



GaAs pHEMT で構成された 正側（供給）単電源 DC~10GHz の MMIC パワー・アンプ

データシート

ADPA9002

特長

- OP1dB : 29dBm (代表値)
- ゲイン : 最大 15dB (代表値)
- OIP3 : 最大 43dBm (代表値)
- $V_{DD} = 12V$ のとき、385mA (代表値) で自己バイアス
(I_{DQ} 調整用に V_{GG1} でオプションのバイアス制御が可能)
- 50Ω に整合した入出力
- 32ピン、5mm × 5mm LFCSP

アプリケーション

- 防衛および宇宙
- 試験用計測器

機能ブロック図

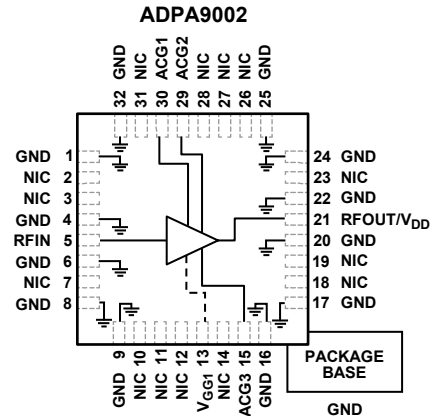


図 1.

概要

ADPA9002 は、ガリウムヒ素 (GaAs) の擬似格子整合型高電子移動度トランジスタ (pHEMT) で構成されたモノリシック・マイクロ波集積回路 (MMIC) のパワー・アンプで、動作範囲は DC~10GHz です。このアンプは、15dB のゲイン、42dBm の OIP3、31.5dBm の飽和出力電力 (P_{SAT}) を実現し、12V 電源から 385mA を必要とします。ADPA9002 は通常動作では自己バイアスされますが、電源静止電流 (I_{DQ}) 調整用にバイアス制御がオプションで可能です。このアンプは、航空宇宙&防衛や試験装置のアプリケーションに最適です。また、ADPA9002 は、内部

的に 50Ω に整合されている入出力 (I/O) を備え、RoHS 準拠の 5mm × 5mm LFCSP プレモールド・キャビティ・パッケージを採用しているため、量産向け表面実装技術 (SMT) アセンブリ装置への適合性があります。

このデータシートでは、RFOUT/ V_{DD} などの多機能ピンについてはピン名全体を表記しますが、特定の機能のみが該当するような説明箇所では、 V_{DD} のように 1 つのピン機能だけを表記しています。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	ESD に関する注意	5
アプリケーション	1	ピン配置およびピン機能の説明	6
機能ブロック図	1	インターフェース回路図	7
概要	1	代表的な性能特性	8
改訂履歴	2	定 I _{DD} 動作	16
仕様	3	動作原理	17
DC~2GHz	3	アプリケーション情報	18
2GHz~5GHz	3	代表的なアプリケーション回路	18
5GHz~10GHz	4	外形寸法	19
絶対最大定格	5	オーダー・ガイド	19
熱抵抗	5		

改訂履歴

10/2019—Revision 0: Initial Version

仕様

DC~2GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 12\text{V}$ 、 $I_{DQ} = 385\text{mA}$ 、 $V_{GG1} = \text{GND}$ （公称自己バイアス動作）、周波数範囲 = DC~2GHz、 50Ω 整合入出力。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		DC		2	GHz	
GAIN		12.5	14.5		dB	
Gain Variation Over Temperature			± 0.01		dB/ $^\circ\text{C}$	
NOISE FIGURE			5		dB	
RETURN LOSS						
Input			18		dB	
Output			14		dB	
OUTPUT						
Output Power for 1 dB Compression	OP1dB	27	29		dBm	トーンあたりの出力パワー (P_{OUT}) = 14dBm で測定
Saturated Output Power	P_{SAT}		31		dBm	
Output Third-Order Intercept	OIP3		43		dBm	
SUPPLY						
Quiescent Current	I_{DQ}		385		mA	外部バイアス制御の場合、目標の I_{DQ} となるよう、 V_{GG1} を $-2\text{V} \sim +0.5\text{V}$ の範囲で調整
Drain Voltage	V_{DD}	10	12	15	V	

2GHz~5GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 12\text{V}$ 、 $I_{DQ} = 385\text{mA}$ 、 $V_{GG1} = \text{GND}$ （公称自己バイアス動作）、周波数範囲 = 2GHz~5GHz、 50Ω 整合入出力。

表 2.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		2		5	GHz	
GAIN		13	15		dB	
Gain Variation Over Temperature			± 0.008		dB/ $^\circ\text{C}$	
NOISE FIGURE			3		dB	
RETURN LOSS						
Input			14		dB	
Output			15		dB	
OUTPUT						
Output Power for 1 dB Compression	OP1dB	27	29		dBm	トーンあたりの $P_{OUT} = 14\text{dBm}$ で測定
Saturated Output Power	P_{SAT}		31.5		dBm	
Output Third-Order Intercept	OIP3		42		dBm	
SUPPLY						
Quiescent Current	I_{DQ}		385		mA	外部バイアス制御の場合、目標の I_{DQ} となるよう、 V_{GG1} を $-2\text{V} \sim +0.5\text{V}$ の範囲で調整
Drain Voltage	V_{DD}	10	12	15	V	

5GHz~10GHz

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 12\text{V}$ 、 $I_{DQ} = 385\text{mA}$ 、 $V_{GG1} = \text{GND}$ （公称自己バイアス動作）、周波数範囲 = 5GHz~10GHz、 50Ω 整合入出力。

表 3.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		5		10	GHz	
GAIN		13.5	15.5		dB	
Gain Variation Over Temperature			± 0.016		dB/ $^\circ\text{C}$	
NOISE FIGURE			4		dB	
RETURN LOSS						
Input			19		dB	
Output			13		dB	
OUTPUT						
Output Power for 1 dB Compression	OP1dB	25	28		dBm	
Saturated Output Power	P_{SAT}		31		dBm	
Output Third-Order Intercept	OIP3		40.5		dBm	トーンあたりの $P_{OUT} = 14\text{dBm}$ で測定
SUPPLY						
Quiescent Current	I_{DQ}		385		mA	外部バイアス制御の場合、目標の I_{DQ} となるよう、 V_{GG1} を $-2\text{V} \sim +0.5\text{V}$ の範囲で調整
Drain Voltage	V_{DD}	10	12	15	V	

絶対最大定格

表 4.

Parameter	Rating
V_{DD}	16 V
V_{GG1}	-2.5 V to +1 V
RFIN	25 dBm
Continuous Power Dissipation (P_{DISS}), $T = 85^{\circ}\text{C}$ (Derate 113.64 mW/ $^{\circ}\text{C}$ Above 85°C)	10.2 W
Output Load Voltage Standing Wave Ratio (VSWR)	7:1
Temperature	
Storage Range	-65°C to $+150^{\circ}\text{C}$
Operating Range	-40°C to $+85^{\circ}\text{C}$
Peak Reflow (Moisture Sensitivity Level (MSL) 3)	260°C
Junction to Maintain 1 Million Hour Mean Time to Failure (MTTF)	175°C
Nominal Junction ($T = 85^{\circ}\text{C}$, $V_{DD} = 12\text{ V}$)	125.7°C
ESD Sensitivity	
Human Body Model (HBM)	Class 1B, passed 500 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 5. 熱抵抗

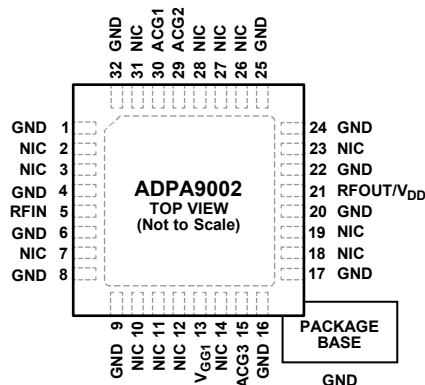
Package	θ_{JC}	Unit
CG-32-2	8.8	$^{\circ}\text{C}/\text{W}$

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. NIC = NOT INTERNALLY CONNECTED. THESE PINS MUST BE CONNECTED TO RF AND DC GROUND.
 2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF AND DC GROUND.

21196-02

図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 4, 6, 8, 9, 16, 17, 20, 22, 24, 25, 32	GND	グラウンド。これらのピンは RF/DC グラウンドに接続する必要があります。
2, 3, 7, 10, 11, 12, 14, 18, 19, 23, 26, 27, 28, 31	NIC	内部では未接続。これらのピンは RF/DC グラウンドに接続する必要があります。
5	RFIN	RF 入力。このピンは DC カップリングされ、50Ω に整合されています。インターフェース回路図については、図 6 を参照してください。
13	V _{GG1}	ゲート電圧。このピンは、デバイスを外部バイアスで動作させる場合に使用します。このピンが接地されていると、アンプは 385mA の標準的な電流値の自己バイアス・モードで動作します。電圧をグラウンド電位の上または下に調整するとドレイン電流を制御できます。外付けのバイパス・コンデンサが必要です (図 62 参照)。インターフェース回路図については、図 7 を参照してください。
15, 29, 30	ACG3, ACG2, ACG1	AC グラウンド・ピン。これらのピンは、低周波数の終端に使用します。外付けのバイパス・コンデンサが必要です (図 62 参照)。インターフェース回路図については、図 4 および図 5 を参照してください。
21	RFOUT/V _{DD}	アンプの RF 出力 (RFOUT)。 ドレイン電圧 (V _{DD})。V _{DD} ネットワークに接続してドレイン電流 (I _{DD}) を供給します (図 62 参照)。インターフェース回路図については、図 5 を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND のインターフェース回路図



図 6. RFIN のインターフェース回路図

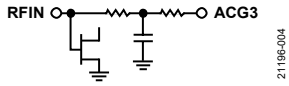


図 4. ACG3 インターフェース回路図

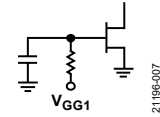


図 7. VGG1 インターフェース回路図

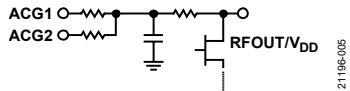


図 5. RFOUT/V_{DD}、ACG1、ACG2 のインターフェース回路図

代表的な性能特性

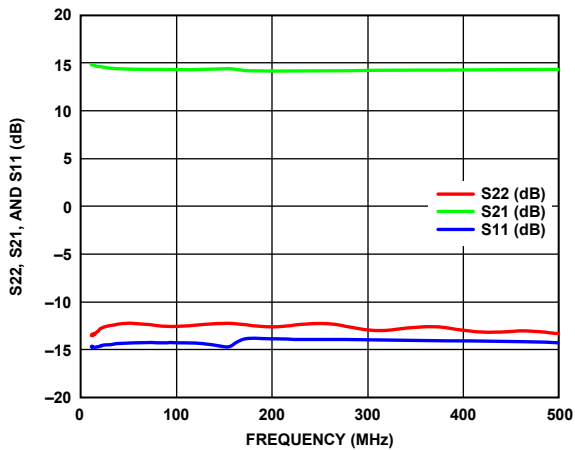


図 8. S22、S21、S11 の周波数特性
(10MHz~500MHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

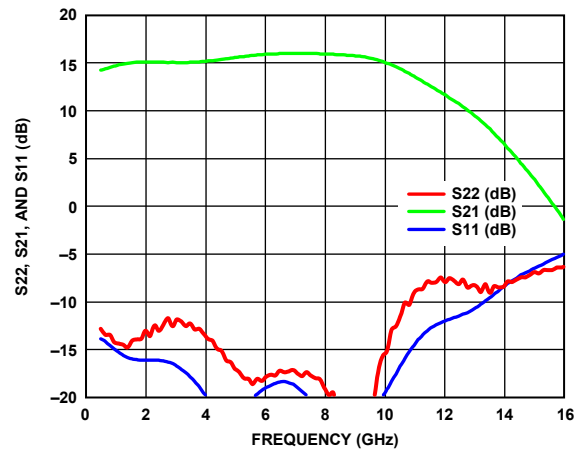


図 11. S22、S21、S11 の周波数特性
(500MHz~16GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

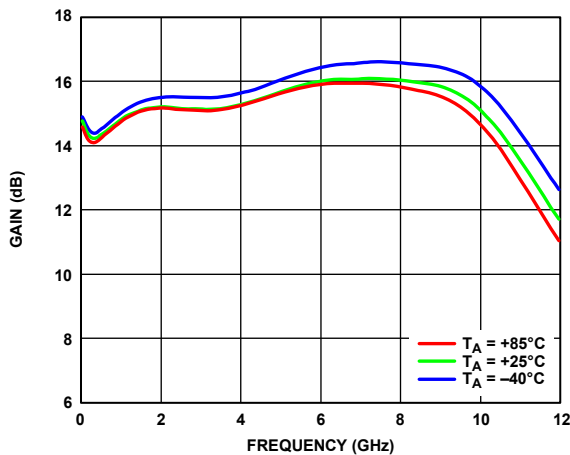


図 9. 様々な温度でのゲインの周波数特性
(自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

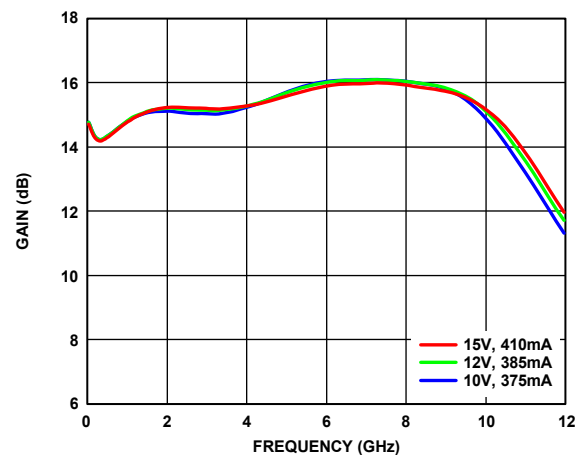


図 12. 様々な V_{DD} と静止電流でのゲインの周波数特性
(自己バイアス・モード、 $V_{GG1} = GND$)

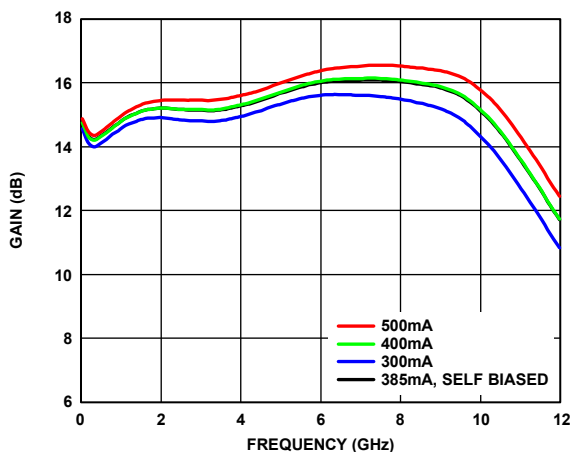


図 10. 様々な I_{DQ} でのゲインの周波数特性
(外部バイアス・モード、 $V_{DD} = 12V$ 、 V_{GG1} を制御)

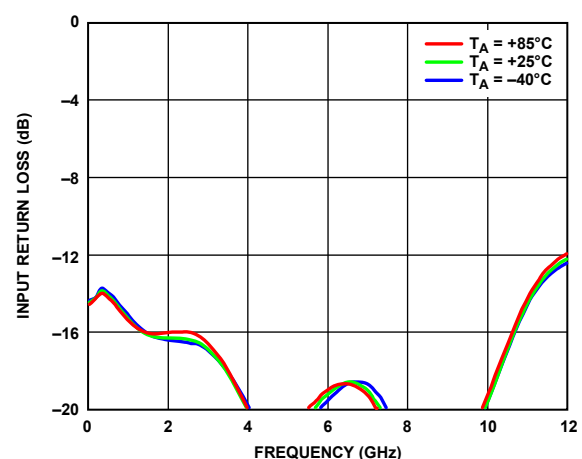


図 13. 様々な温度での入力リターン損失の周波数特性
(自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

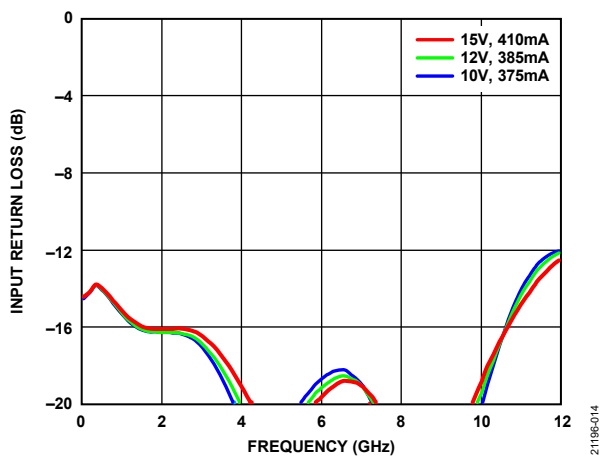


図 14. 様々な V_{DD} と静止電流での入力リターン損失の周波数特性 (自己バイアス・モード、 $V_{GG1} = \text{GND}$)

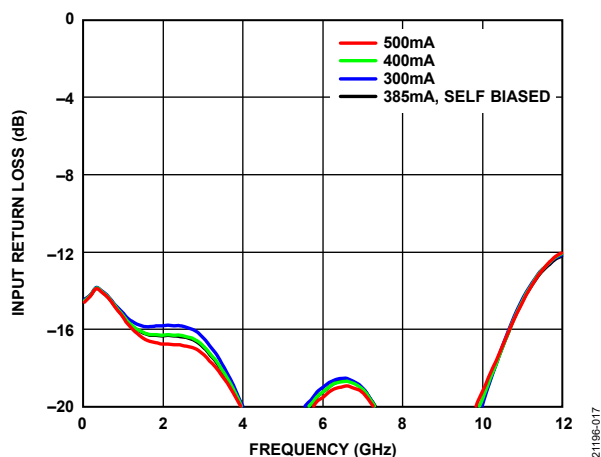


図 17. 様々な I_{DQ} での入力リターン損失の周波数特性 (外部バイアス・モード、 $V_{DD} = 12\text{V}$ 、 V_{GG1} を制御)

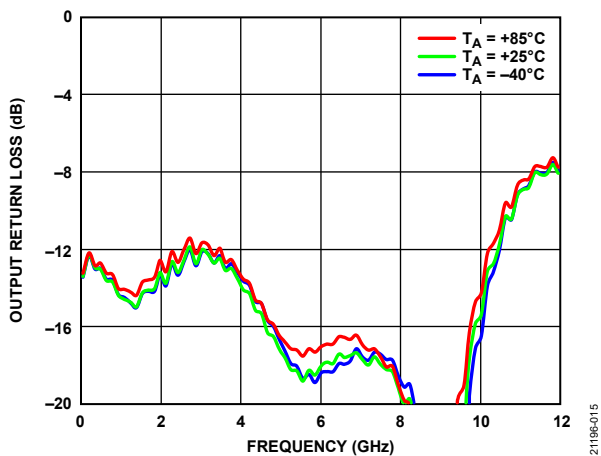


図 15. 様々な温度での出力リターン損失の周波数特性 (自己バイアス・モード、 $V_{DD} = 12\text{V}$ 、 $V_{GG1} = \text{GND}$)

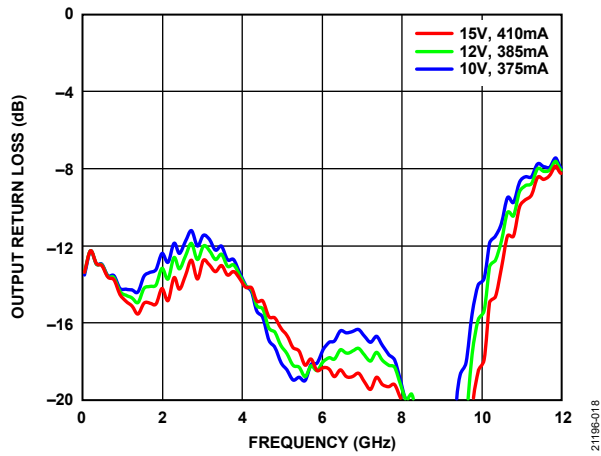


図 18. 様々な V_{DD} と静止電流での出力リターン損失の周波数特性 (自己バイアス・モード、 $V_{GG1} = \text{GND}$)

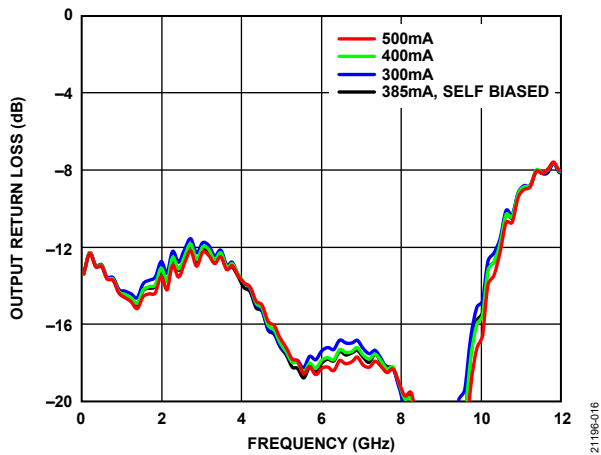


図 16. 様々な I_{DQ} での出力リターン損失の周波数特性 (外部バイアス条件、 $V_{DD} = 12\text{V}$ 、 V_{GG1} を制御)

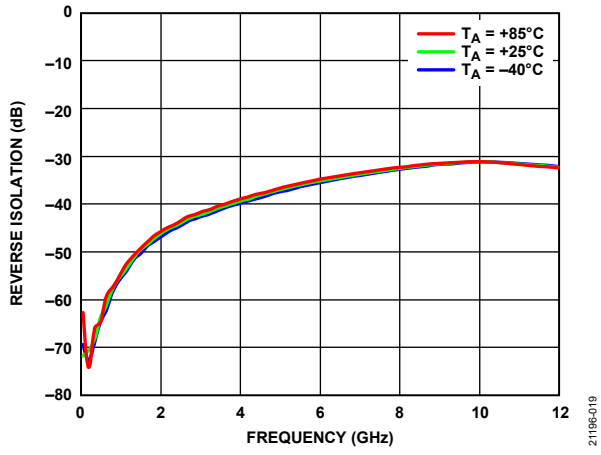


図 19. 様々な温度でのリバース・アイソレーションの周波数特性 (自己バイアス・モード、 $V_{DD} = 12\text{V}$ 、 $V_{GG1} = \text{GND}$)

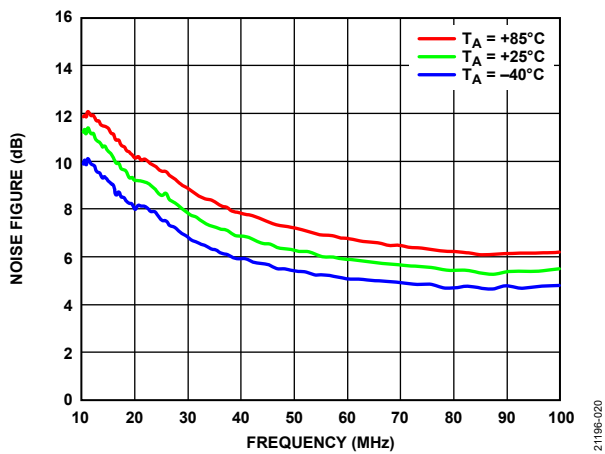


図 20. 様々な温度でのノイズ指数の周波数特性
(10MHz~100MHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

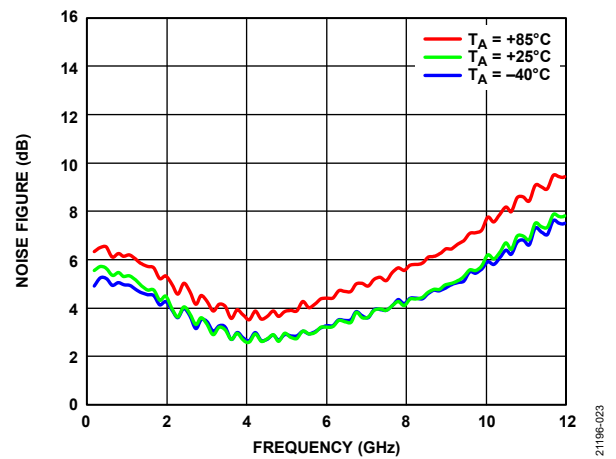


図 23. 様々な温度でのノイズ指数の周波数特性
(100MHz~12GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

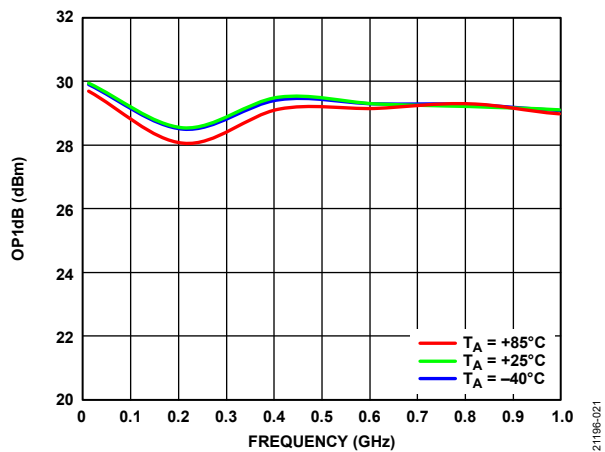


図 21. 様々な温度での OP1dB の周波数特性
(10MHz~1GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

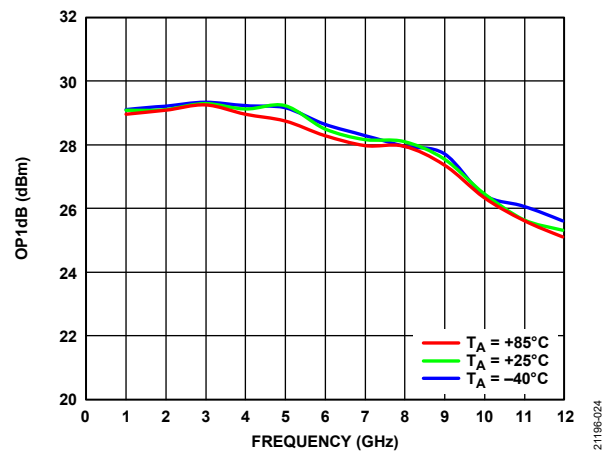


図 24. 様々な温度での OP1dB の周波数特性
(1GHz~12GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

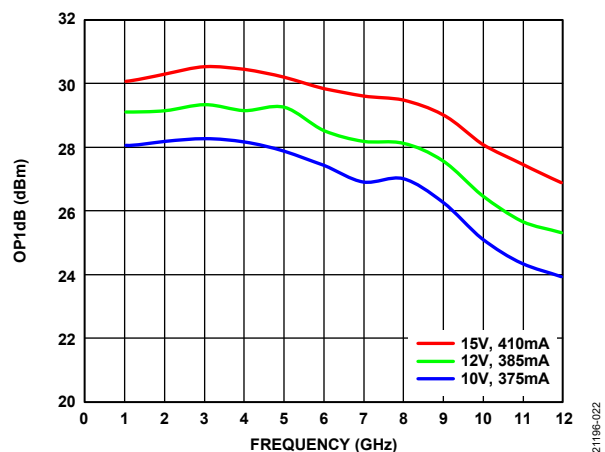


図 22. 様々な V_{DD} と静止電流での OP1dB の周波数特性
(自己バイアス・モード、 $V_{GG1} = GND$)

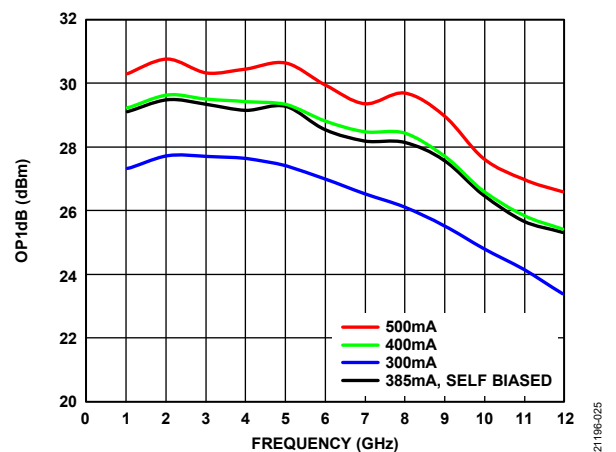


図 25. 様々な I_{DQ} での OP1dB の周波数特性
(外部バイアス・モード、 $V_{DD} = 12V$ 、 V_{GG1} を制御)

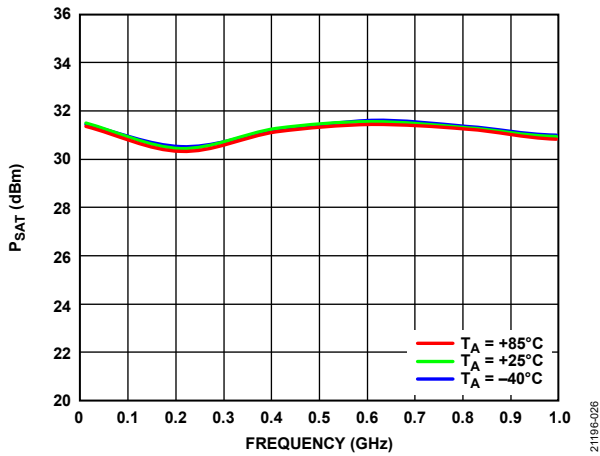


図 26. 様々な温度での P_{SAT} の周波数特性
(低周波数 (10MHz~1GHz)、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

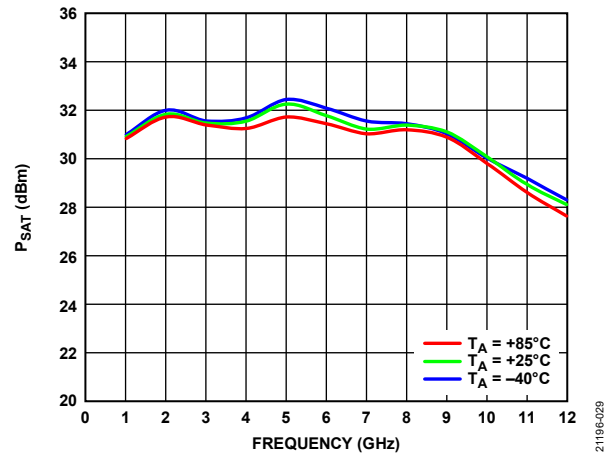


図 29. 様々な温度での P_{SAT} の周波数特性
(1GHz~12GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

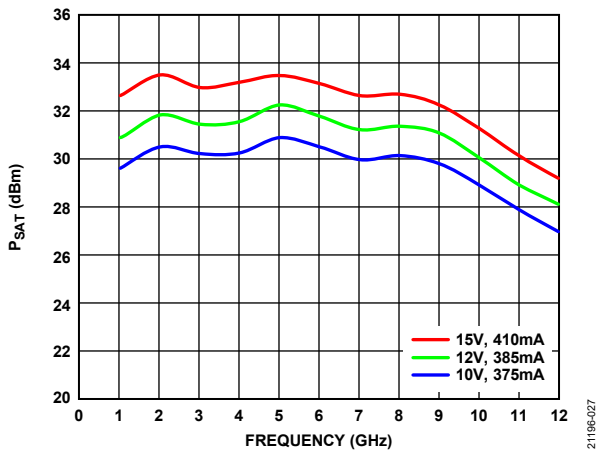


図 27. 様々な V_{DD} と静止電流での P_{SAT} の周波数特性
(自己バイアス・モード、 $V_{GG1} = GND$)

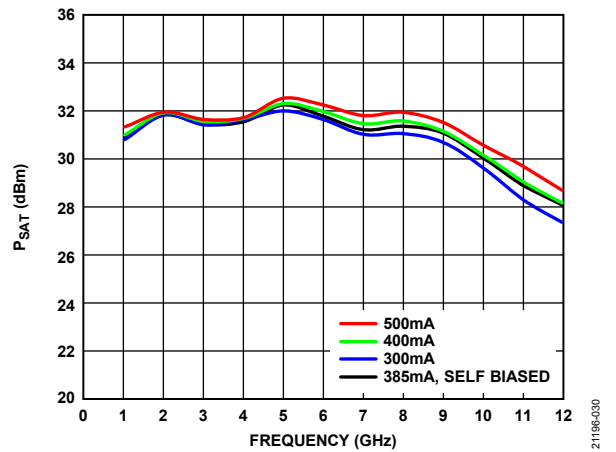


図 30. 様々な I_{DQ} での P_{SAT} の周波数特性
(外部バイアス・モード、 $V_{DD} = 12V$ 、 V_{GG1} を制御)

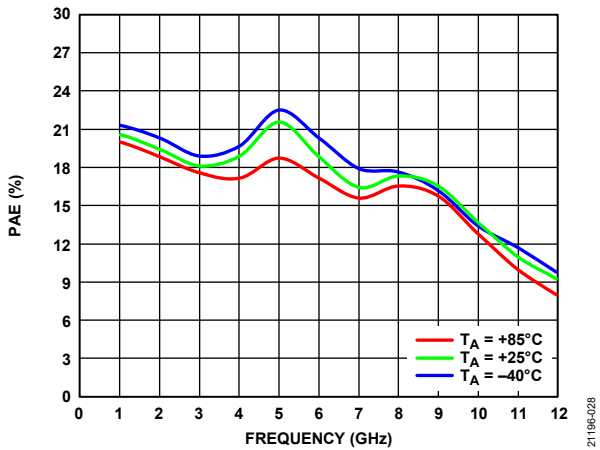


図 28. 様々な温度での電力付加効率 (PAE) の周波数特性
(自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$ 、PAE は P_{SAT} で測定)

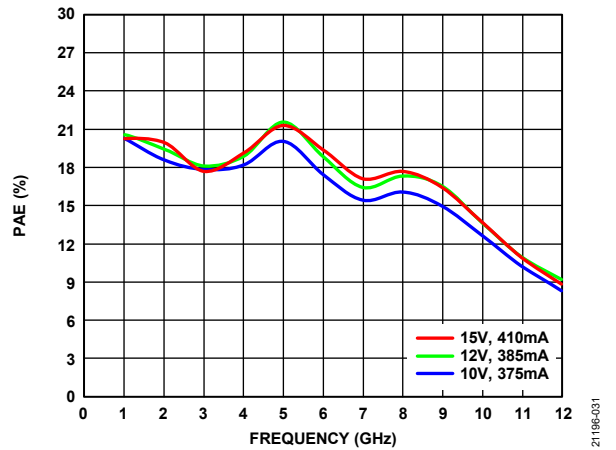


図 31. 様々な V_{DD} と静止電流での PAE の周波数特性
(自己バイアス・モード、 $V_{GG1} = GND$ 、PAE は P_{SAT} で測定)

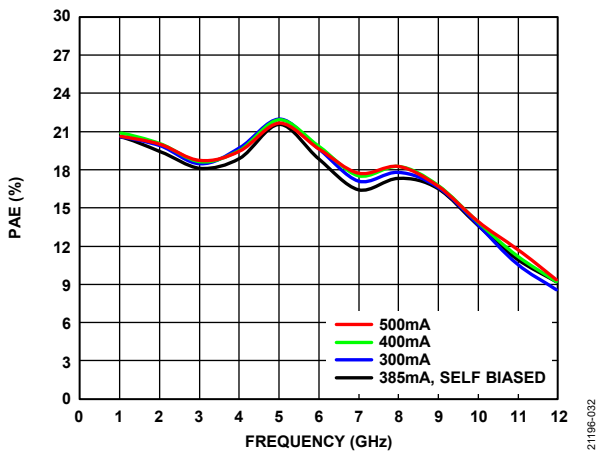


図 32. 様々な I_{DQ} での PAE の周波数特性
(外部バイアス・モード、 $V_{DD} = 12V$ 、 V_{GG1} を制御、PAE は P_{SAT} で測定)

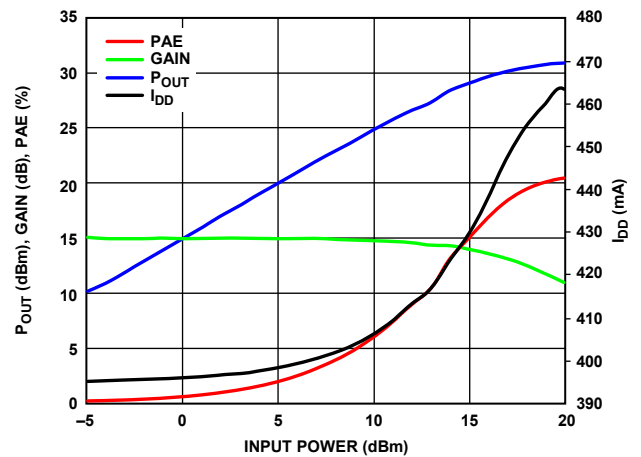


図 35. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係
(1GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

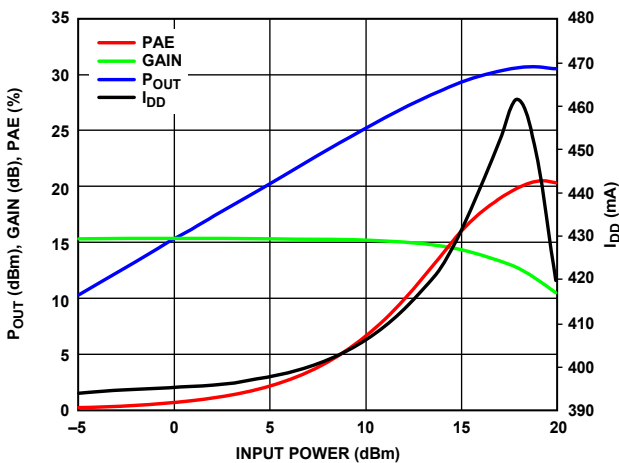


図 33. P_{OUT} 、ゲイン、PAE、電源電流 (I_{DD}) と入力電力の関係
(3GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

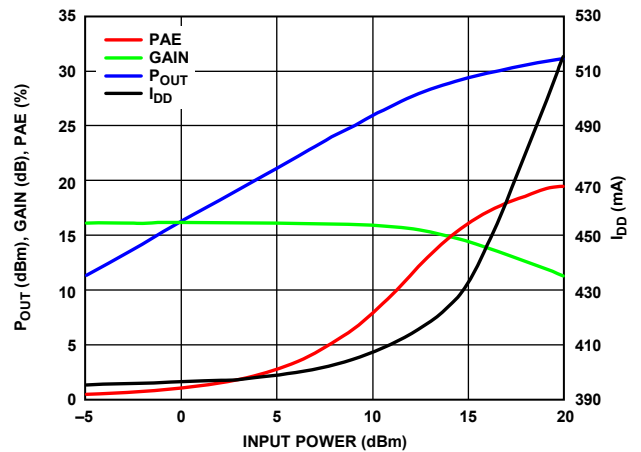


図 36. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係
(6GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

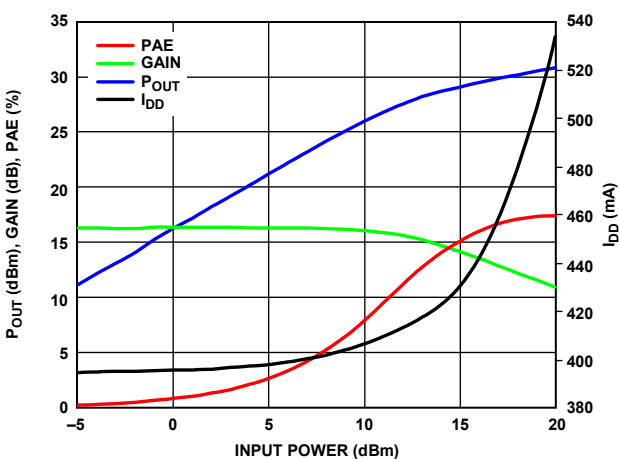


図 34. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係
(8GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

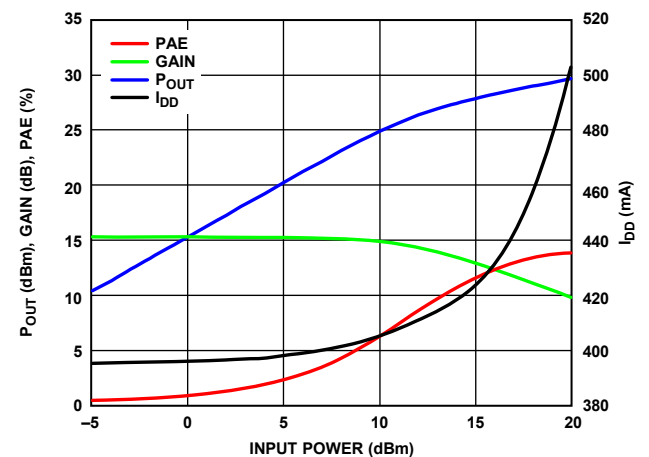


図 37. P_{OUT} 、ゲイン、PAE、 I_{DD} と入力電力の関係
(10GHz、自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

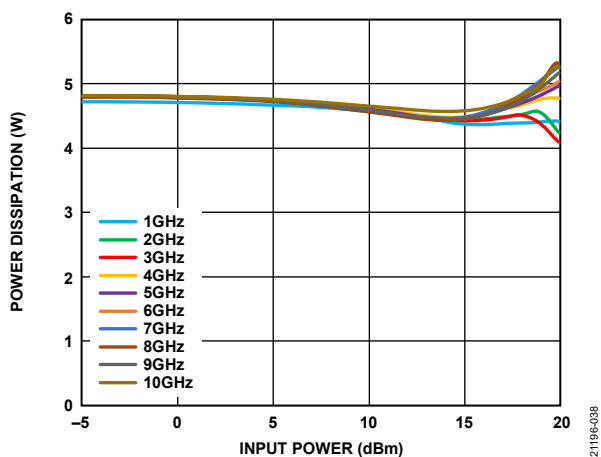


図 38. 様々な温度での消費電力と入力電力の関係
($T_A = 85^\circ\text{C}$ 、自己バイアス・モード、 $V_{DD} = 12\text{V}$ 、 $V_{GG1} = \text{GND}$)

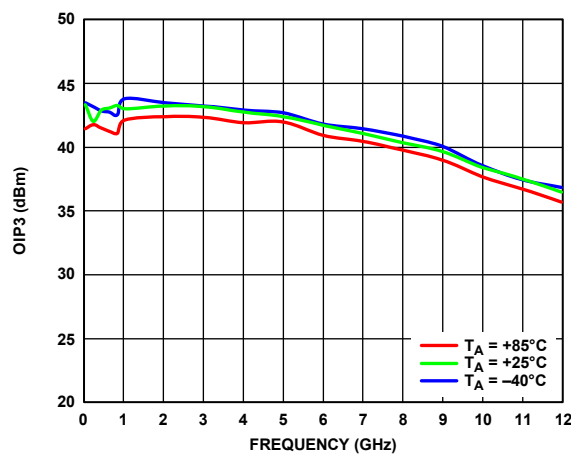


図 41. 様々な温度での OIP3 の周波数特性
($P_{OUT}/\text{トーン} = 14\text{dBm}$ 、自己バイアス・モード、 $V_{DD} = 12\text{V}$ 、 $V_{GG1} = \text{GND}$)

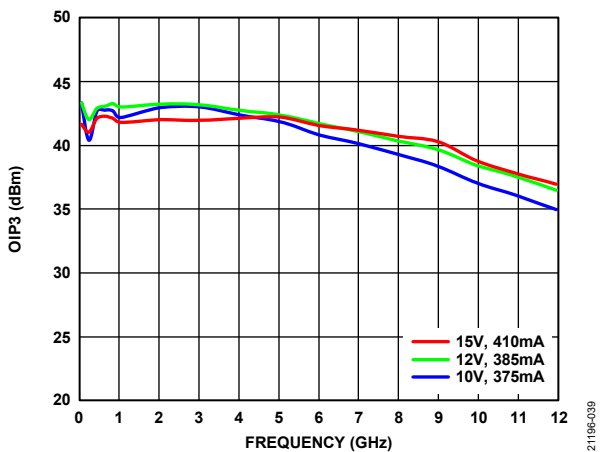


図 39. 様々な V_{DD} と静止電流での OIP3 の周波数特性
(自己バイアス・モード、 $V_{GG1} = \text{GND}$ 、 $P_{OUT}/\text{トーン} = 14\text{dBm}$)

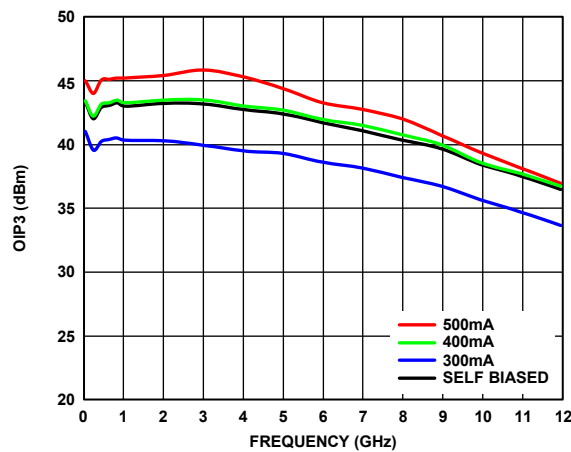


図 42. 様々な I_{DQ} での OIP3 の周波数特性
(外部バイアス・モード、 $V_{DD} = 12\text{V}$ 、 V_{GG1} を制御、 $P_{OUT}/\text{トーン} = 14\text{dBm}$)

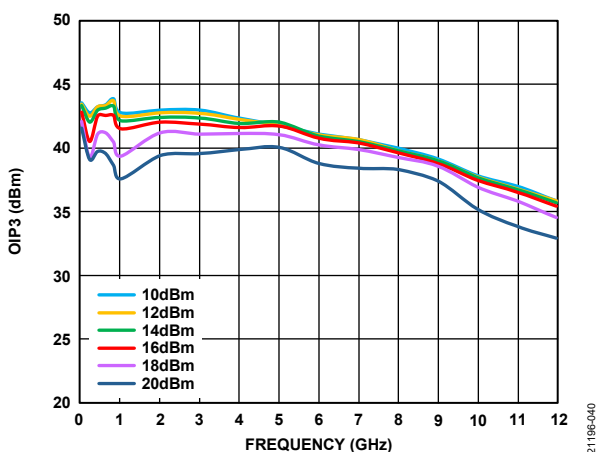


図 40. 様々な $P_{OUT}/\text{トーン}$ での OIP3 の周波数特性
(自己バイアス・モード、 $V_{DD} = 12\text{V}$ 、 $V_{GG1} = \text{GND}$)

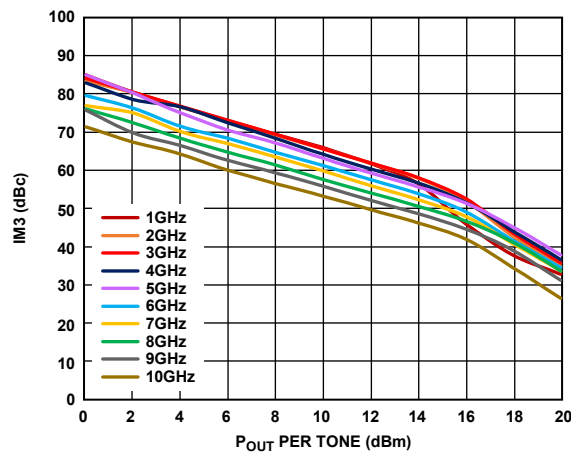


図 43. 様々な周波数でのキャリアに対する 3 次相互変調歪み (IM3) と $P_{OUT}/\text{トーン}$ の関係
(自己バイアス・モード、 $V_{DD} = 10\text{V}$ 、 $V_{GG1} = \text{GND}$)

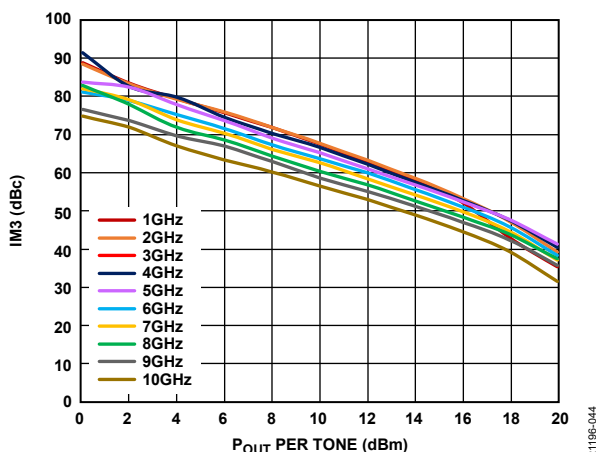


図 44. 様々な周波数での IM3 と P_{OUT}/トーンの関係 (自己バイアス・モード、V_{DD} = 12V、V_{GG1} = GND)

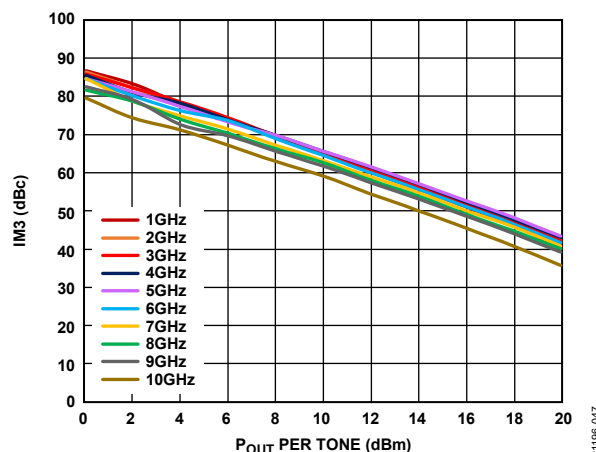


図 47. 様々な周波数での IM3 と P_{OUT}/トーンの関係 (自己バイアス・モード、V_{DD} = 15V、V_{GG1} = GND)

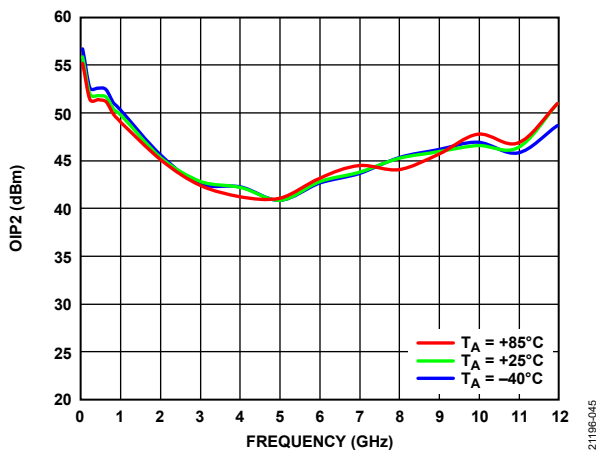


図 45. 様々な温度での OIP2 の周波数特性 (P_{OUT}/トーン = 14dBm、自己バイアス・モード、V_{DD} = 12V、V_{GG1} = GND)

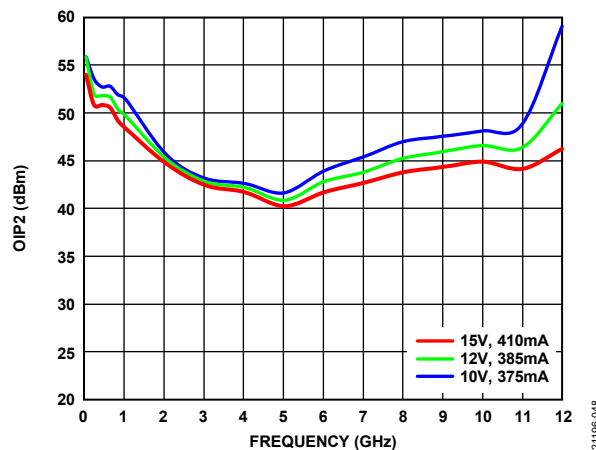


図 48. 様々な V_{DD} と静止電流での OIP2 の周波数特性 (自己バイアス・モード、V_{GG1} = GND、P_{OUT}/トーン = 14dBm)

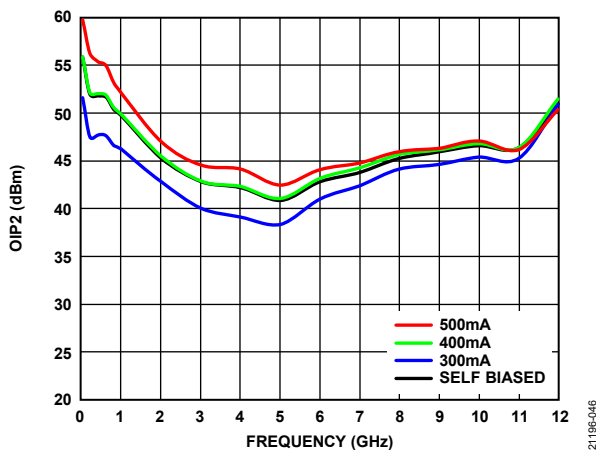


図 46. 様々な I_{DQ} での OIP2 の周波数特性 (外部バイアス・モード、V_{DD} = 12V、V_{GG1} を制御、P_{OUT}/トーン = 14dBm)

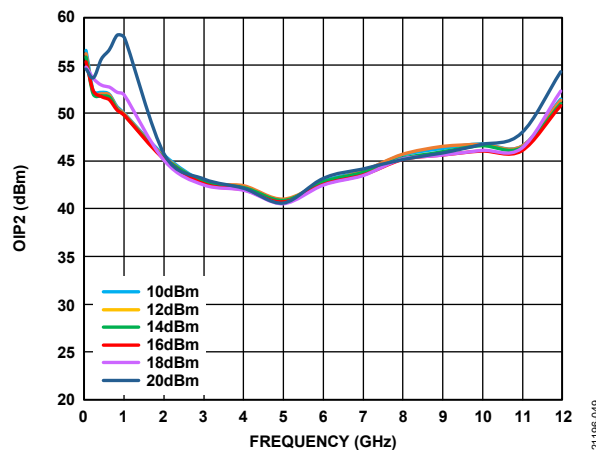


図 49. 様々な P_{OUT}/トーンでの OIP2 の周波数特性 (自己バイアス・モード、V_{DD} = 12V、V_{GG1} = GND)

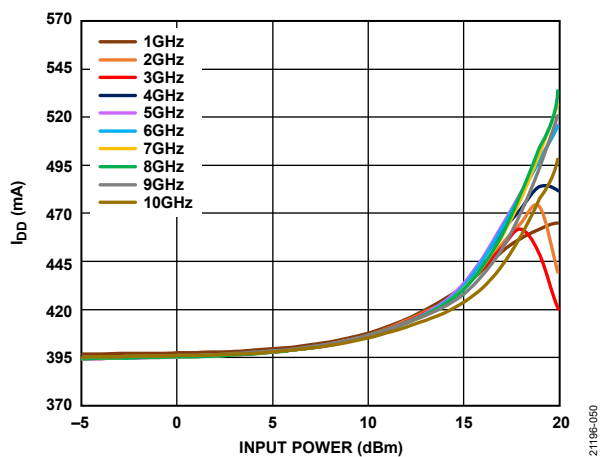


図 50. 様々な周波数での I_{DD} と入力電力の関係 (自己バイアス・モード、 $V_{DD} = 12V$ 、 $V_{GG1} = GND$)

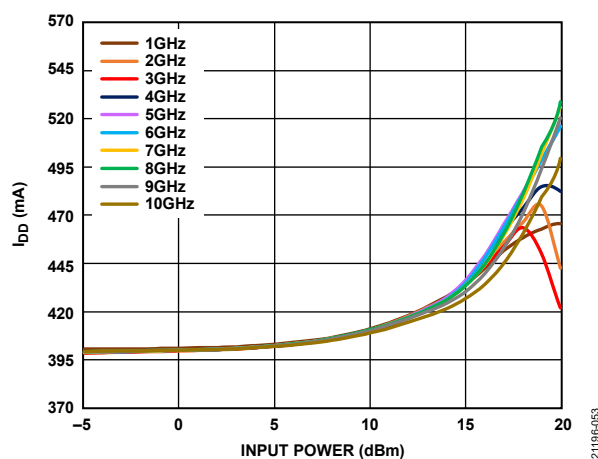


図 53. 様々な周波数での I_{DD} と入力電力の関係 ($V_{DD} = 12V$ 、 $I_{DQ} = 400mA$ 、 V_{GG1} を制御)

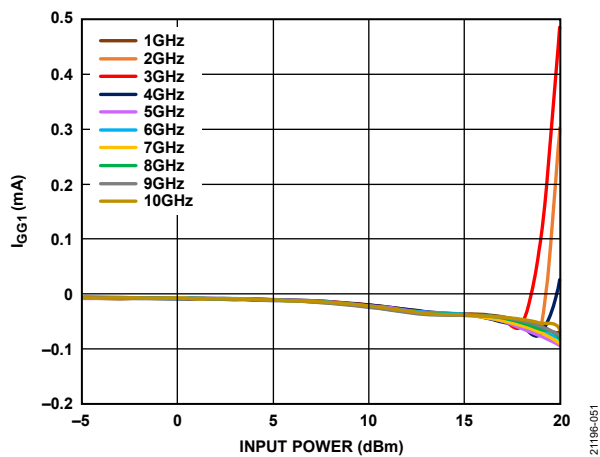


図 51. 様々な周波数でのゲート 1 電流 (I_{GG1}) と入力電力の関係 ($V_{DD} = 12V$ 、 $I_{DQ} = 400mA$ 、 V_{GG1} を制御)

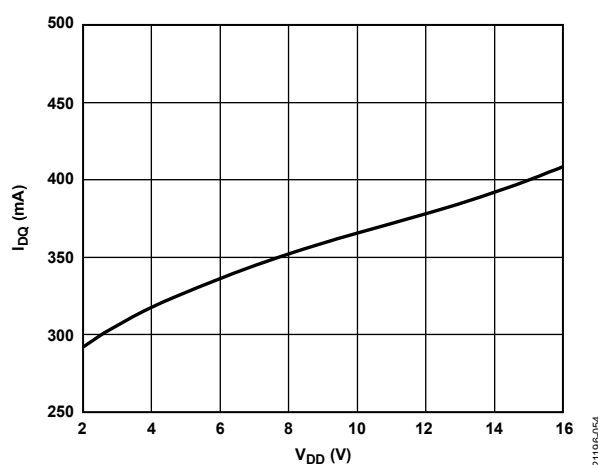


図 54. I_{DQ} と V_{DD} の関係 ($V_{GG1} = GND$ 、自己バイアス・モード)

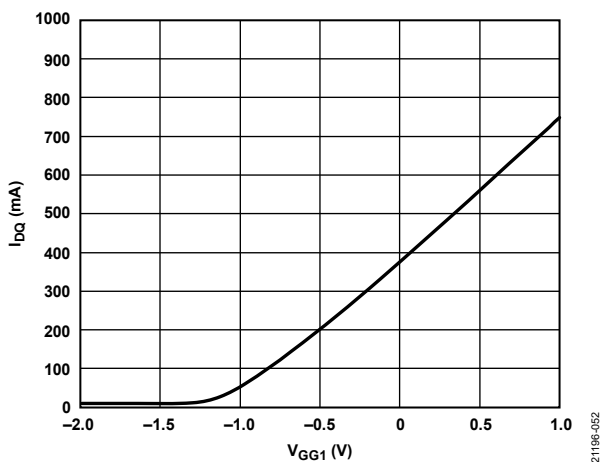


図 52. I_{DQ} と V_{GG1} の関係 ($V_{DD} = 12V$ 、外部バイアス・モード)

定 I_{DD} 動作

定 I_{DD} 動作用に HMC980LP4E アクティブ・バイアス・コントローラを使用してバイアス。特に指定のない限り、T_A = 25°C、V_{DD} = 12V、I_{DQ} = 400mA の条件で公称動作。

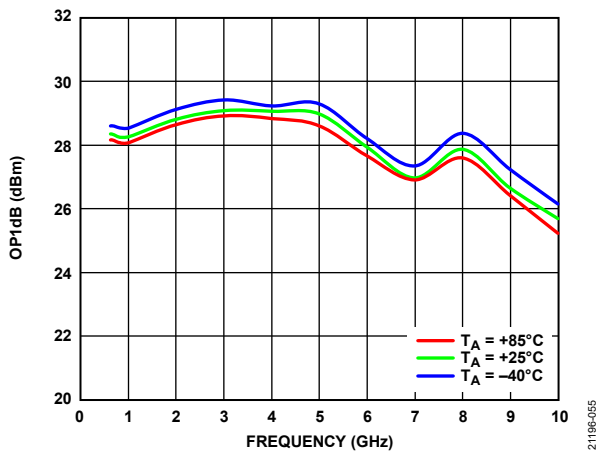


図 55. 様々な温度での OP1dB の周波数特性 (V_{DD} = 12V、定 I_{DD} = 400mA)

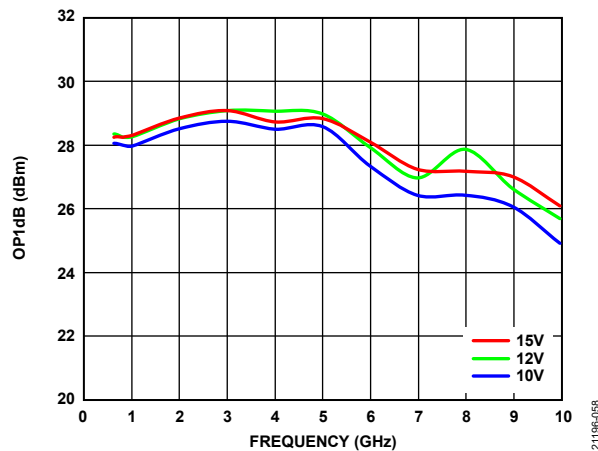


図 58. 様々な電源電圧での OP1dB の周波数特性 (定 I_{DD} = 400mA)

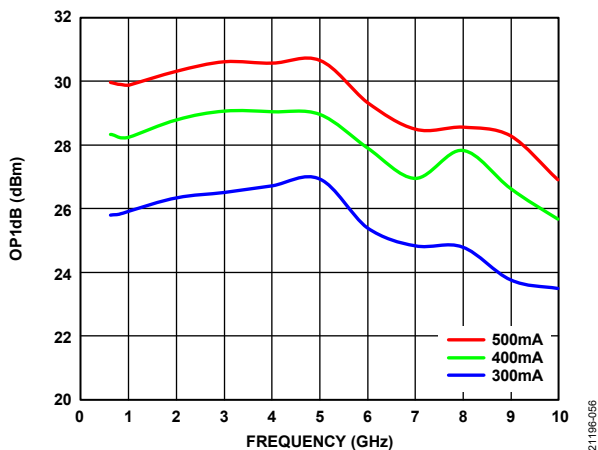


図 56. 様々な定 I_{DD} での OP1dB の周波数特性 (V_{DD} = 12V)

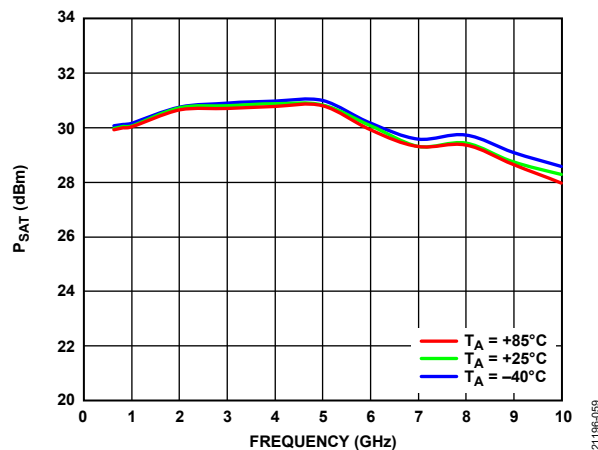


図 59. 様々な温度での Psat の周波数特性 (V_{DD} = 12V、定 I_{DD} = 400mA)

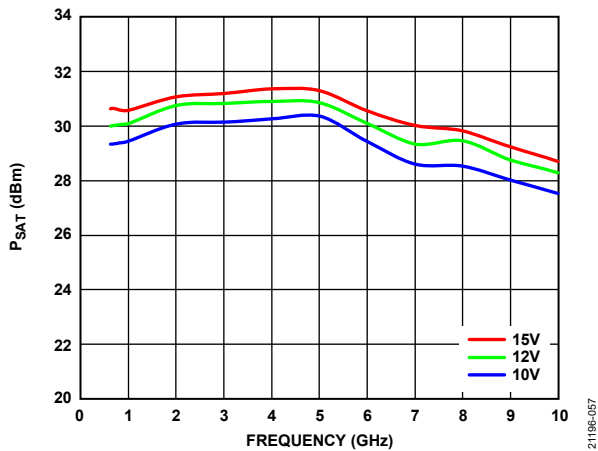


図 57. 様々な電源電圧での Psat の周波数特性 (定 I_{DD} = 400mA)

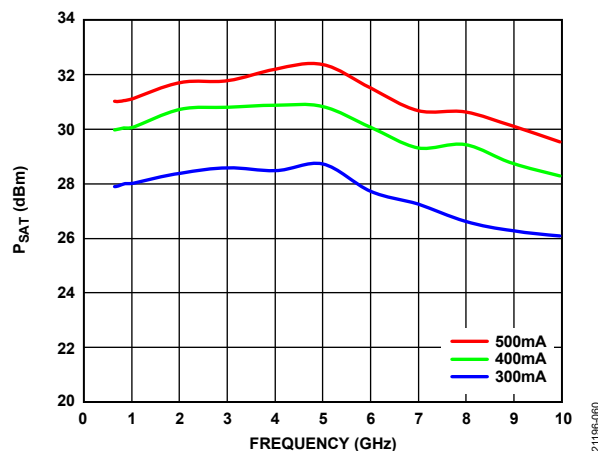


図 60. 様々な定 I_{DD} での Psat の周波数特性 (V_{DD} = 12V)

動作原理

ADPA9002 は、GaAs pHEMT による MMIC のカスコード分布型パワー・アンプです。このデバイスのカスコード分布型アーキテクチャでは、上側の電界効果トランジスタ (FET) のソースが下側の FET のドレインに接続される、2 段構成の FET からなる基本セルを使用しています。この基本セルは引き続き、下側 FET のゲートに相互接続する RFIN 伝送ラインと上側 FET のドレインに相互接続する RFOUT 伝送ラインを介し、数回複製されます。

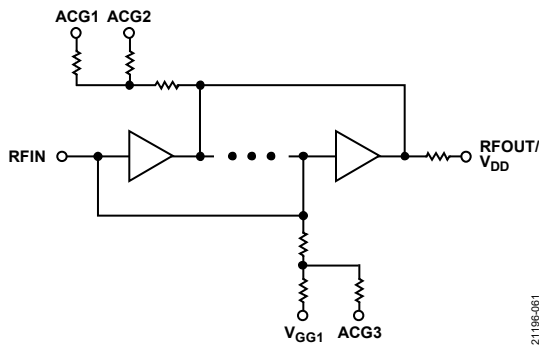


図 61. カスコード分布型アンプの簡略化回路図

各セルに他の回路設計手法を追加することで、全体的な帯域幅、出力パワー、ノイズ指数を最適化できます。このアーキテクチャの大きな利点は、基本セルが 1 つの場合よりもはるかに広い帯域幅にわたって高出力レベルを維持できることです。このアーキテクチャを簡略化した回路図を図 61 に示します。

負の電圧レールが不要な簡略化したバイアスの場合、 V_{GG1} は GND に直接接続できます。 V_{DD} が 12V で V_{GG1} が接地している場

合、静止電流は 385mA (代表値) となります。オプションで、 V_{GG1} を外部で生成し印加することも可能で、この場合、静止電流を 385mA の公称値の上下に調整できます。例えば、図 52 には、 V_{GG1} を約 $-0.3V \sim +0.3V$ に調整すると、静止電流を 250mA ~ 450mA にできることが示されています。

ADPA9002 には、DC ~ 10GHz の周波数範囲で 50Ω (公称値) のインピーダンスを持つシングルエンドの入出力ポートが搭載されています。そのため、このデバイスは、インピーダンス・マッチング回路を必要とせずに直接 50Ω システムに挿入できます。同様に、入出力インピーダンスは温度変化および電源電圧の変動に対して十分に安定しているため、インピーダンス・マッチング補償は不要です。その上、RF 出力ポートは、DC バイアスを通す RF チョークが必要となりますが、 V_{DD} のバイアス・ピンとしても機能します。このデバイスは DC まで動作させることができますが、DC バイアス電源のロード時に RF 段が損傷することがないように、RF 入出力ポートに DC 阻止コンデンサを設けることを推奨します。RF 出力の RF チョークと阻止コンデンサは共にバイアス・ティーを構成します。実際には、外付けの RF チョークと DC 阻止コンデンサの選択によって、最低動作周波数が決まります。

ACG1 ~ ACG3 の各ノードには、グラウンドへの AC 終端 (コンデンサ) を備えることもできます。このような終端を使用することで、200MHz 未満の周波数でゲインを減衰させ、様々な周波数に対して最大限に平坦なゲイン応答が得られます。

安定動作のためには、GND ピンおよびパッケージ基部の露出パッドへのグラウンド接続を低インダクタンスにすることが重要です。ADPA9002 の最適性能を実現し、デバイスの損傷を避けるため、絶対最大定格を超えないようにしてください。

アプリケーション情報

V_{DD} と V_{GG1} に対しては、コンデンサを用いてバイパスする必要があります (図 62 を参照)。RFIN ピンおよび RFOUT/ V_{DD} ピンは、どちらもデカップリングします。RFIN には DC 阻止コンデンサを外付けすることをお勧めします。RFOUT/ V_{DD} ピンには、外付けの RF チョークと DC 阻止コンデンサ (バイアス・ティーなど) を使用することが必要です。広帯域幅アプリケーションでは、外付けのバイアス部品やブロッキング部品の周波数応答がそのアプリケーションの全周波数範囲での使用に適切なものであることを確認してください。

ADPA9002 は、自己バイアス・モードまたは外部バイアス・モードで動作します。 V_{GG1} ピンを接地すると、デバイスを自己バイアス・モードで動作させることができます。外部バイアス構成とするには、 V_{GG1} ピンを $-2V \sim +0.5V$ の範囲で調整してドレインを目的の値に設定します。

自己バイアス動作の場合、起動時の推奨バイアス・シーケンスは次のとおりです。

1. V_{GG1} ピンとすべての GND ピンを接地します。
2. V_{DD} を 12V に設定します。
3. RFIN ピンに RF 信号を印加します。

自己バイアス動作の場合、停止時の推奨バイアス・シーケンスは次のとおりです。

1. RFIN 信号をオフにします。
2. V_{DD} を 0V に設定します。

外部バイアス動作の場合、起動時の推奨バイアス・シーケンスは次のとおりです。

1. すべての GND ピンを接地します。
2. V_{GG1} ピンを $-2V$ に設定します。
3. V_{DD} を 12V に設定します。

4. 目的の I_{DQ} が得られるまで V_{GG1} ピンの電圧を増加します。
5. RFIN ピンに RF 信号を印加します。

外部バイアス動作の場合、停止時の推奨バイアス・シーケンスは次のとおりです。

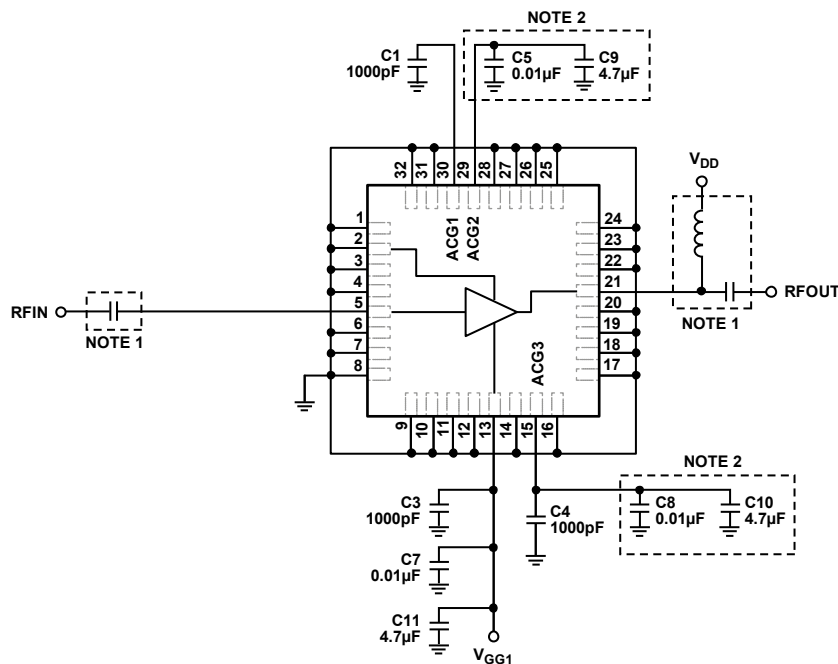
1. RFIN 信号をオフにします。
2. V_{GG1} ピンを $-2V$ に下げ、 I_{DQ} を 0mA (代表値) にします。
3. V_{DD} を 0V に設定します。
4. V_{GG1} ピンを 0V に設定します。

絶対最大定格のセクションに記載されている数値を確実に遵守してください。

特に指定のない限り、ここで示した測定値や数値は代表的なアプリケーション回路 (図 62 参照) を使用して取得され、本セクションの条件に従ってバイアスされたものです。ここで説明したバイアス条件は、全体的なデバイス性能を最適化するために推奨される動作点です。他のバイアス条件を使用すると、代表的な性能特性のセクションに示されている性能とは異なる結果になる場合があります。デバイスに損傷を与えずに最適な性能を得るには、このセクションに示す推奨バイアス・シーケンスに従ってください。

代表的なアプリケーション回路

図 62 において、ドレイン電圧 (V_{DD}) は、RFOUT/ V_{DD} ピンに外付けされた広帯域バイアス・ティーを通じて印加し、RFIN ピンには DC 阻止コンデンサを外付けする必要があります。デバイスを 200MHz 未満で動作させる場合は、必要に応じコンデンサを追加してください。



NOTES

1. DRAIN VOLTAGE (V_{DD}) MUST BE APPLIED THROUGH AN ETHERNET BIAS TEE CONNECTED AT THE RFOUT/ V_{DD} PIN AND AN EXTERNAL DC BLOCK MUST BE CONNECTED AT THE RFIN PIN.
2. USE OPTIONAL CAPACITORS IF THE DEVICE IS OPERATED BELOW 200MHz.

21196-062

図 62. 代表的なアプリケーション回路

外形寸法

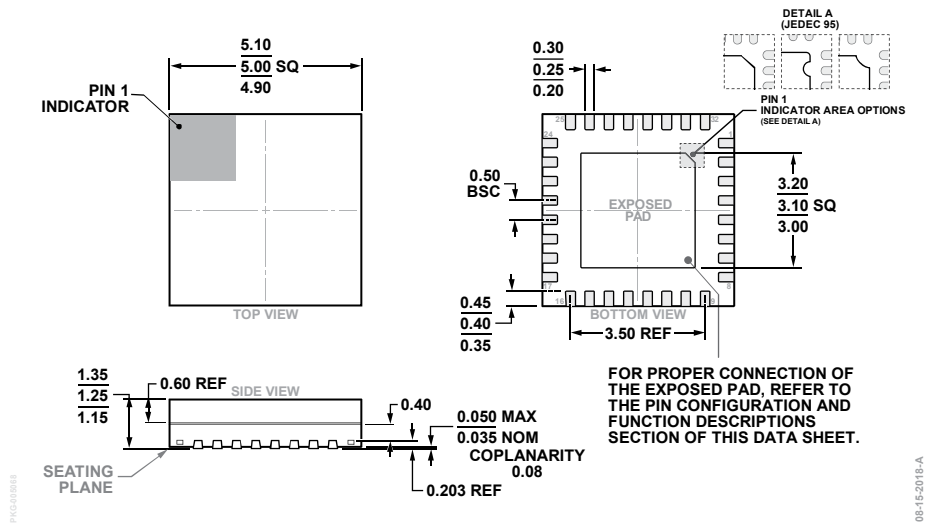


図 63. 32 ピン・リード・フレーム・チップ・スケール・パッケージ、プリモールド・キャビティ [LFCSP_CAV]
 5mm × 5mm ボディ、1.25mm パッケージ高
 (CG-32-2)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature	MSL Rating ²	Description ³	Package Option
ADPA9002ACGZN	-40°C to +85°C	3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
ADPA9002ACGZN-R7	-40°C to +85°C	3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
ADPA9002-EVALZ			Evaluation Board	

¹ Z = RoHS 準拠製品

² 詳細については、絶対最大定格のセクションを参照してください。

³ ADPA9002ACGZN と ADPA9002ACGZN-R7 のピン仕上げは、ニッケル・パラジウム金 (NiPdAu) です。