

## 4.5W (36.5dBm)、8GHz~12GHz の窒化ガリウム (GaN) パワー・アンプ

### 特長

- ▶ 内部整合と AC カップリングが施された 4.5W 窒化ガリウム (GaN) パワー・アンプ
- ▶ 温度補償済みの RF パワー・ディテクタを内蔵
- ▶  $P_{OUT} : P_{IN} = 1\text{dBm}$ 、9.5GHz~11.5GHz で 36.5dBm (代表値)
- ▶ 小信号ゲイン : 9.5GHz~11.5GHz で 38.5dB (代表値)
- ▶ パワー・ゲイン :  $P_{IN} = 1\text{dBm}$ 、9.5GHz~11.5GHz で 35.5dB (代表値)
- ▶ PAE :  $P_{IN} = 1\text{dBm}$ 、9.5GHz~11.5GHz で 47% (代表値)
- ▶ 電源電圧 : 20V (50mA、10% デューティサイクル)
- ▶ 32 ピン、5mm × 5mm、LFCSP

### アプリケーション

- ▶ 気象観測レーダー
- ▶ 航海用レーダー
- ▶ 防衛用レーダー

### 概要

ADPA1120 は、8GHz~12GHz で動作可能なパワー・アンプです。入力電力 ( $P_{IN}$ ) 1dBm、周波数範囲 9.5GHz~11.5GHz で、36.5dBm の飽和出力電力 ( $P_{OUT}$ )、47% の電力付加効率 (PAE)、35.5dB (代表値) のパワー・ゲインを実現します。RF 入力と RF 出力は内部整合され、AC 結合されています。20V のドレイン・バイアス電圧を VDD1-2 ピン、VDD3 ピン、および VDD4 ピンに印加します。ドレイン電流は、VGG1-2 ピンに負の電圧を印加することによって設定されます。

ADPA1120 は窒化ガリウム (GaN) プロセスで製造され、32 ピン、5mm × 5mm のリード・フレーム・チップ・スケール・パッケージ [LFCSP] に収められており、-40°C~+85°C で動作するように仕様規定されています。

### 機能ブロック図

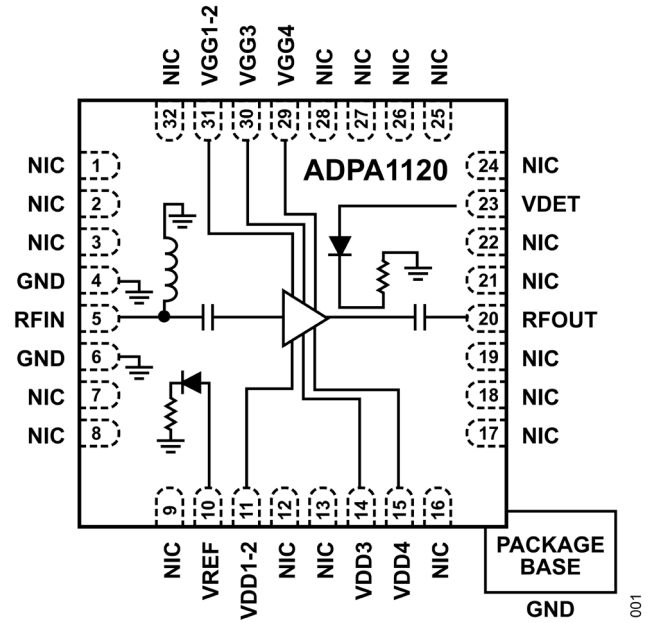


図 1. 機能ブロック図

**目次**

特長.....	1	インターフェース回路図.....	7
アプリケーション.....	1	代表的な性能特性.....	8
概要.....	1	動作原理.....	15
機能ブロック図.....	1	アプリケーション情報.....	16
仕様.....	3	基本的な接続方法.....	16
電気仕様.....	3	推奨バイアス・シーケンス.....	17
絶対最大定格.....	5	ドレインのパルス動作.....	17
熱抵抗.....	5	ゲートのパルス動作.....	17
静電放電（ESD）定格.....	5	温度管理.....	18
ESDに関する注意.....	5	外形寸法.....	19
ピン配置およびピン機能の説明.....	6	オーダー・ガイド.....	19

**改訂履歴**

10/2025— Revision 0: Initial Version

## 仕様

## 電気仕様

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、電源電流 ( $V_{DD}$ ) = 20V、静止電流 ( $I_{DQ}$ ) = 50mA、パルス幅 = 100 $\mu$ s、10%デューティサイクル、周波数範囲 = 8GHz~9.5GHz。

表 1. 周波数範囲：8GHz~9.5GHz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE	8		9.5	GHz	
GAIN					
Small Signal Gain (S21)		39		dB	
Gain Flatness		$\pm 1.37$		dB	
RETURN LOSS					
Input (S11)		15		dB	
Output (S22)		20		dB	
POWER					
$P_{OUT}$	34.5	36.5		dBm	$P_{IN} = 1\text{dBm}$
Gain	33.5	35.5		dB	$P_{IN} = 1\text{dBm}$
PAE		50		%	$P_{IN} = 1\text{dBm}$
$I_{DQ}$		50		mA	Adjust the gate control voltage ( $V_{GG1}$ ) between -3V and -1V to achieve an $I_{DQ} = 50\text{mA}$ , $V_{GG1} = -2.0\text{V}$ typical to achieve $I_{DQ} = 50\text{mA}$

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、 $V_{DD} = 20\text{V}$ 、 $I_{DQ} = 50\text{mA}$ 、パルス幅 = 100 $\mu$ s、10%のデューティサイクル、周波数範囲 = 9.5GHz~11.5GHz。

表 2. 周波数範囲：9.5GHz~11.5GHz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE	9.5		11.5	GHz	
GAIN					
S21		38.5		dB	
Gain Flatness		$\pm 1.13$		dB	
RETURN LOSS					
S11		15		dB	
S22		11		dB	
POWER					
$P_{OUT}$	34.5	36.5		dBm	$P_{IN} = 1\text{dBm}$
Gain	33.5	35.5		dB	$P_{IN} = 1\text{dBm}$
PAE		47		%	$P_{IN} = 1\text{dBm}$
$I_{DQ}$		50		mA	Adjust $V_{GG1}$ between -3V and -1V to achieve an $I_{DQ} = 50\text{mA}$ , $V_{GG1} = -2.0\text{V}$ typical to achieve $I_{DQ} = 50\text{mA}$

## 仕様

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、 $V_{DD} = 20V$ 、 $I_{DQ} = 50mA$ 、パルス幅 =  $100\mu s$ 、10%のデューティサイクル、周波数範囲 = 11.5GHz～12GHz。

表 3. 周波数範囲：11.5GHz～12GHz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE	11.5		12	GHz	
GAIN					
S21		35.5		dB	
Gain Flatness		$\pm 2.33$		dB	
RETURN LOSS					
S11		11		dB	
S22		12		dB	
POWER					
$P_{OUT}$		34.5		dBm	$P_{IN} = 1dBm$
Gain		33.5		dB	$P_{IN} = 1dBm$
PAE		42		%	$P_{IN} = 1dBm$
$I_{DQ}$		50		mA	Adjust $V_{GG1}$ between $-3V$ and $-1V$ to achieve an $I_{DQ} = 50mA$ , $V_{GG1} = -2.0V$ typical to achieve $I_{DQ} = 50mA$

## 絶対最大定格

表 4. 絶対最大定格

Parameter	Rating
Bias Voltage	
Drain (VDD1-2, VDD3, and VDD4)	35V DC
Gate (VGG1-2, VGG3, and VGG4)	-8V DC to 0V DC
Continuous Wave RF Input Power (RFIN)	12dBm
Maximum Power Dissipation, P <sub>DISS</sub>	
Drain Bias Pulse Width = 100µs at 10% Duty Cycle, T <sub>CASE</sub> = 85°C	17W
Continuous Drain Bias, T <sub>CASE</sub> = 85°C	14W
Temperature	
Maximum Channel	225°C
Storage Range	-65°C to +150°C
Operating Range	-40°C to +85°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$  は、ジャンクションとケース間の熱抵抗です。

表 5. 熱抵抗

Package Type <sup>1,2</sup>	Pulsed 10% Duty Cycle, 100µs Pulse Width, $\theta_{JC}$	Continuous Wave $\theta_{JC}$	Unit
CP-32-13	8.20	10	°C/W

<sup>1</sup>  $\theta_{JC}$  は、以下の条件で求めたものです。すなわち、熱伝達は、チャンネルからグラウンド・パッドを通して PCB までの熱伝導のみに起因し、グラウンド・パッドは 85°C の動作温度で一定に保たれるものとします。

<sup>2</sup> ドレイン・バイアスのパルス幅 = 100µs（10%デューティサイクル）。

## 静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

## ADPA1120 の ESD 定格

表 6. ADPA1120、32 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	200	0B

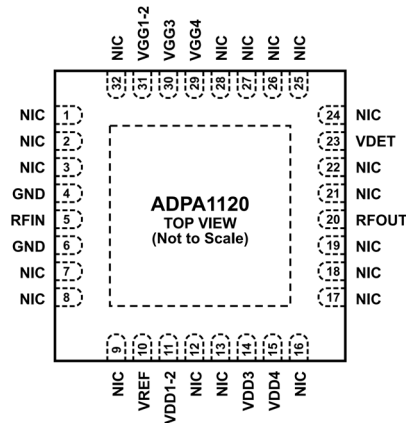
## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
 1. NOT INTERNALLY CONNECTED. THE NIC PINS ARE NOT CONNECTED INTERNALLY. HOWEVER, ALL DATA SHOWN WAS MEASURED WITH THE NIC PINS CONNECTED TO RF AND DC GROUND EXTERNALLY.  
 2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF AND DC GROUND.

図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1 to 3, 7 to 9, 12, 13, 16 to 19, 21, 22, 24 to 28, 32	NIC	内部接続なし。NIC ピンは内部では接続されていません。ただし、すべてのデータは NIC ピンを外部で RF/DC グラウンドに接続して測定しています。
4, 6	GND	グラウンド。GND ピンは RF グラウンドおよび DC グラウンドに接続する必要があります。インターフェース回路図については、 <a href="#">図 3</a> を参照してください。
5	RFIN	RF 入力。RFIN ピンは信号パスに AC カップリングされ、50Ω に整合されています。インターフェース回路図については、 <a href="#">図 4</a> を参照してください。RFIN ピンにはグラウンドへの内部 DC パスが存在するので、RFIN ピンを 0V 以外の DC バイアス・レベルに接続する場合は、RFIN ピンを外部的に AC カップリングしてください。
10	VREF	VDET による RF P <sub>OUT</sub> 測定の温度補償用リファレンス・ダイオード。インターフェース回路図については、 <a href="#">図 8</a> を参照してください。
11, 14, 15	VDD1-2, VDD3, VDD4	ドレイン・バイアス電圧。1 段目、2 段目、3 段目、および 4 段目のドレイン・バイアス。インターフェース回路図については、 <a href="#">図 7</a> を参照してください。
20	RFOUT	RF 出力。RFOUT ピンは AC カップリングされ、50Ω に整合されています。インターフェース回路図については、 <a href="#">図 6</a> を参照してください。
23	VDET	RF P <sub>OUT</sub> 測定用のディテクタ・ダイオード。VDET ピンを介して P <sub>OUT</sub> を検出するには、外付けの直列抵抗を通じて DC バイアス電圧を加える必要があります。VREF ピンと組み合わせて使用した場合、電圧差 (VREF 電圧 (V <sub>REF</sub> ) - VDET 電圧 (V <sub>DET</sub> )) は RF P <sub>OUT</sub> に比例した温度補償済みの DC 電圧になります。インターフェース回路図については、 <a href="#">図 8</a> を参照してください。
29, 30, 31	VGG4, VGG3, VGG1-2	ゲート・バイアス電圧。1 段目、2 段目、3 段目、および 4 段目のゲート・バイアス。インターフェース回路図については、 <a href="#">図 5</a> を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

ピン配置およびピン機能の説明

インターフェース回路図

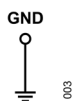


図 3. GND ピンのインターフェース回路図

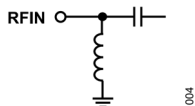


図 4. RFIN ピンのインターフェース回路図



図 5. VGG1-2、VGG3、VGG4 ピンのインターフェース回路図



図 6. RFOUT ピンのインターフェース回路図

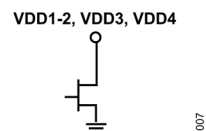


図 7. VDD1-2、VDD3、VDD4 ピンのインターフェース回路図

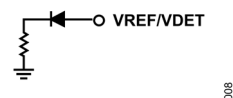


図 8. VREF/VDET ピンのインターフェース回路図

代表的な性能特性

特に指定のない限り、 $V_{DD} = 20V$ 、 $I_{DQ} = 50mA$ 、 $V_{DD}$ は10%デューティサイクルのパルス動作、パルス幅  $100\mu s$ 、 $T_{CASE} = 25^{\circ}C$ 。

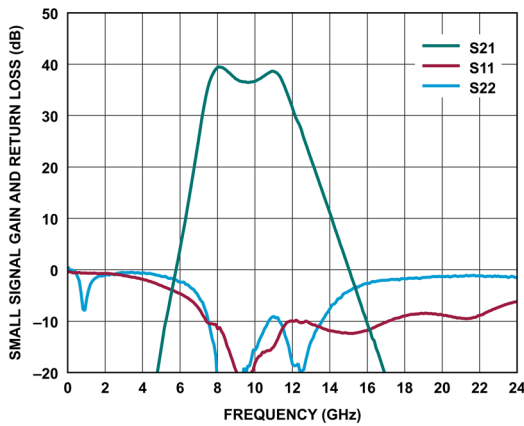


図 9. 小信号ゲインおよびリターン・ロスの周波数特性

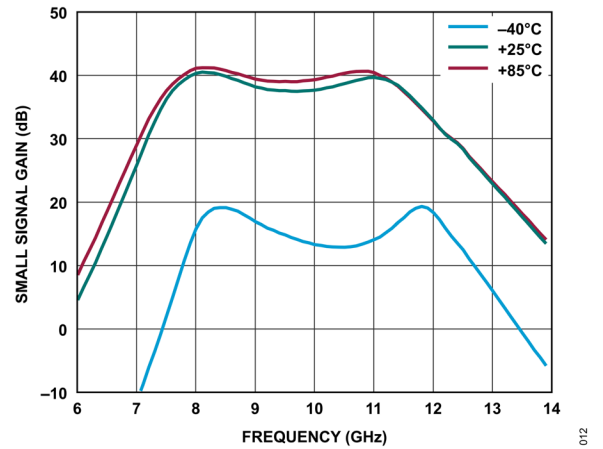


図 12. 様々な温度での小信号ゲインの周波数特性、小信号ゲインの変化幅は $\pm 6dB$ 、 $-40^{\circ}C$ での動作は予想値、図 46 を参照

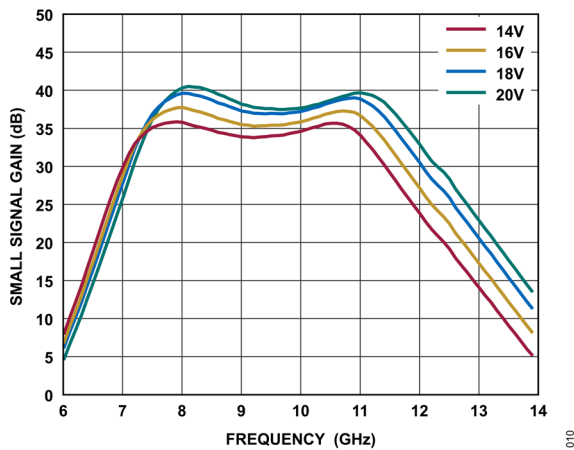


図 10. 様々な電源電圧での小信号ゲインの周波数特性

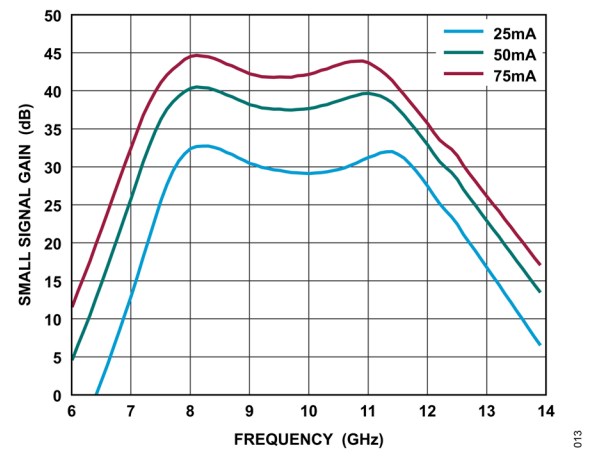


図 13. 様々な電源電流での小信号ゲインの周波数特性

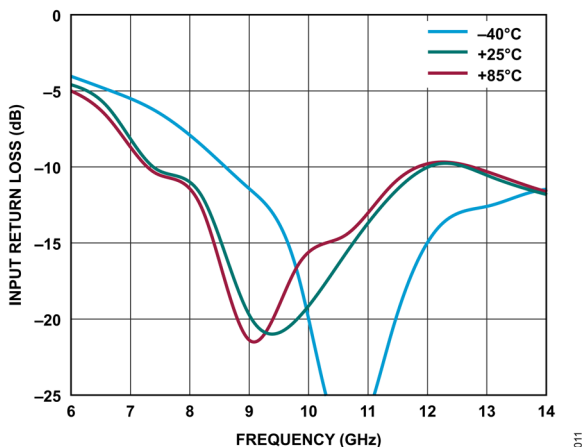


図 11. 様々な温度での入力リターン・ロスの周波数特性

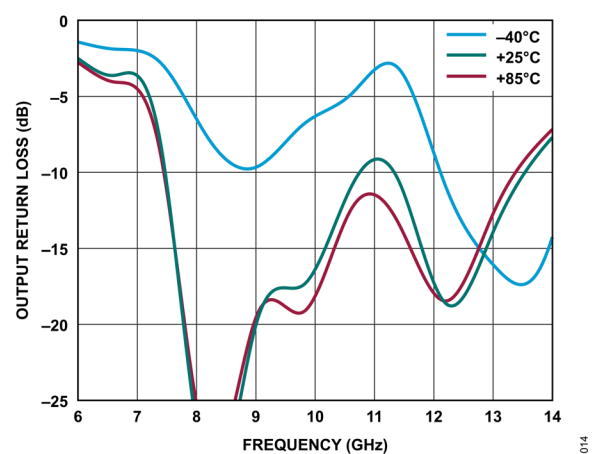


図 14. 様々な温度での出力リターン・ロスの周波数特性

代表的な性能特性

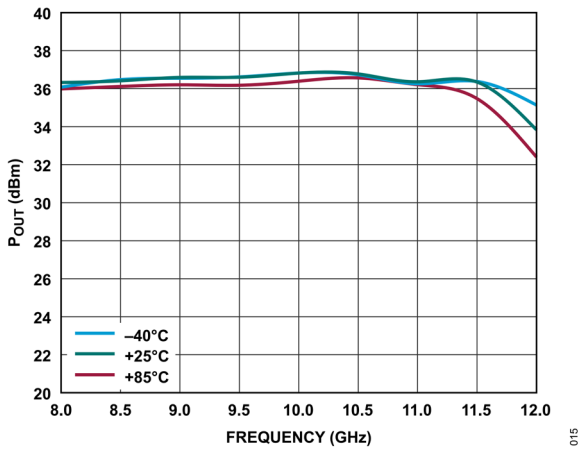


図 15. 様々な温度での  $P_{OUT}$  ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

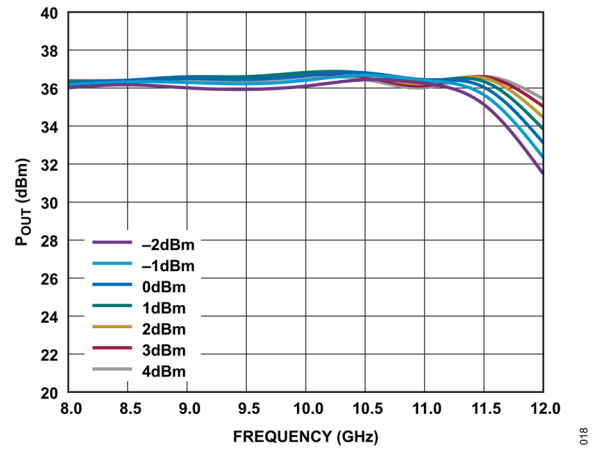


図 18. 様々な  $P_{IN}$  値での  $P_{OUT}$  の周波数特性

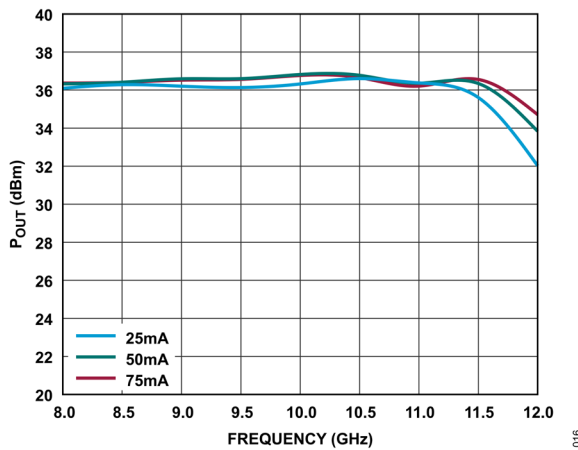


図 16. 様々な電源電流での  $P_{OUT}$  ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

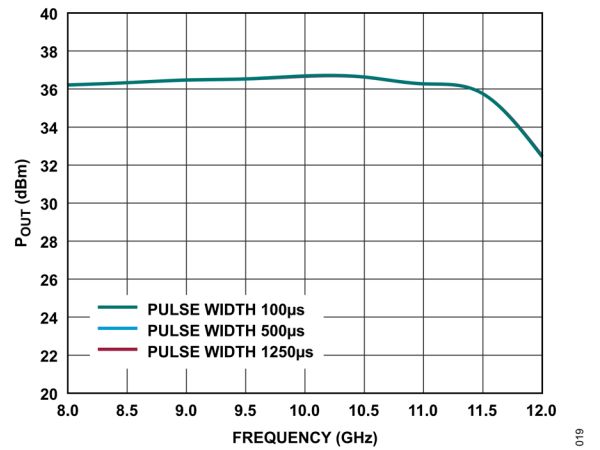


図 19. 様々なパルス幅 (10%デューティサイクル) での  $P_{OUT}$  ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

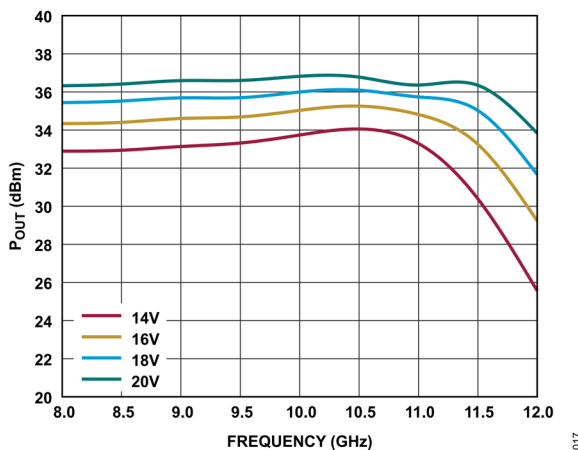


図 17. 様々な電源電圧での  $P_{OUT}$  ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

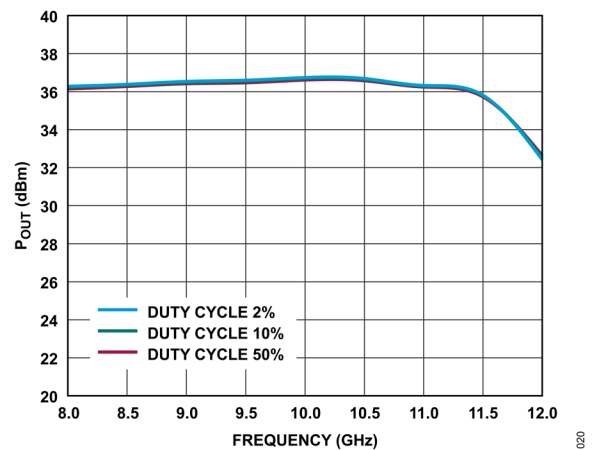


図 20. 様々なデューティサイクル (パルス幅 100µs) での  $P_{OUT}$  ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

代表的な性能特性

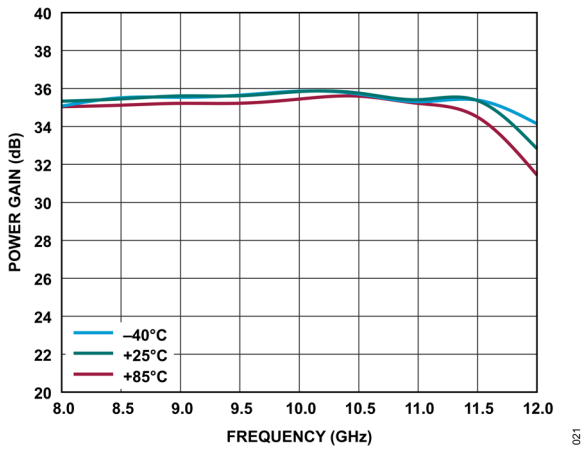


図 21. 様々な温度でのパワー・ゲイン ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

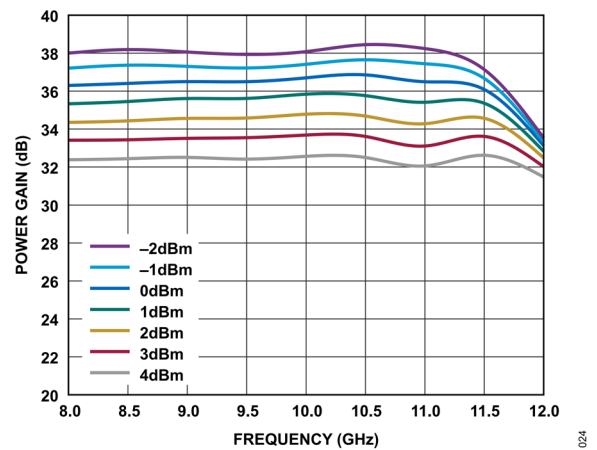


図 24. 様々な  $P_{IN}$  値でのパワー・ゲインの周波数特性

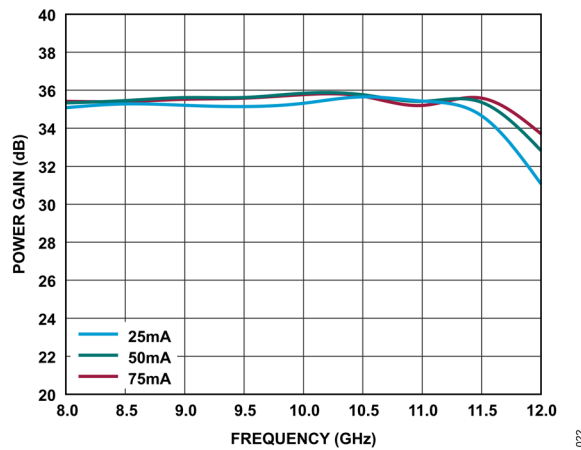


図 22. 様々な電源電流でのパワー・ゲイン ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

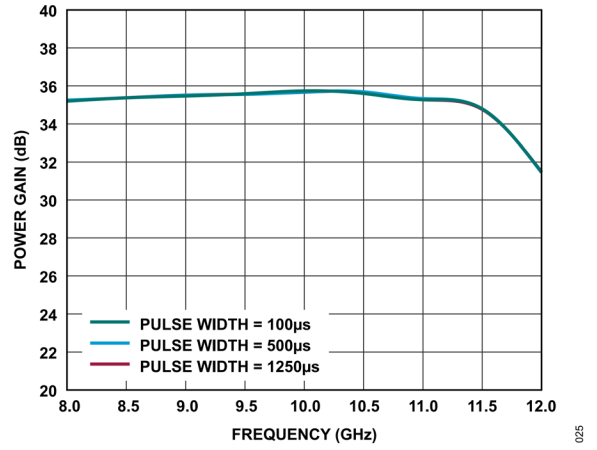


図 25. 様々なパルス幅 (10%デューティサイクル) でのパワー・ゲイン ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

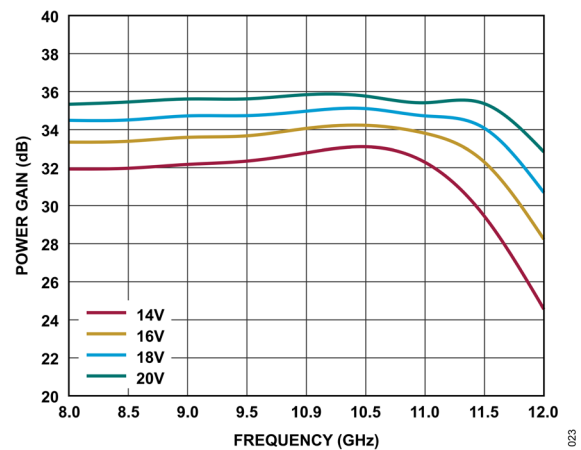


図 23. 様々な電源電圧でのパワー・ゲイン ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

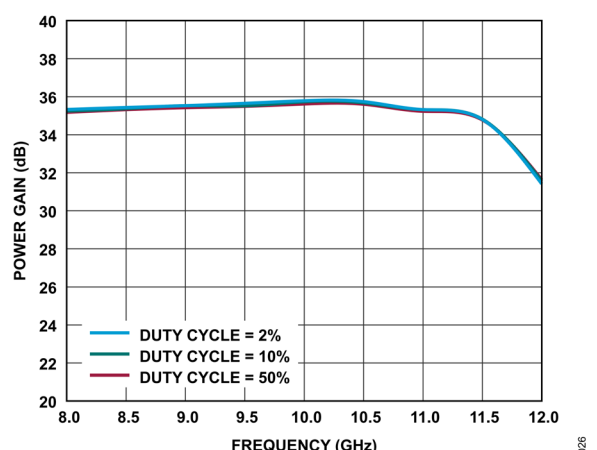


図 26. 様々なデューティサイクル (パルス幅 100µs) でのパワー・ゲイン ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

代表的な性能特性

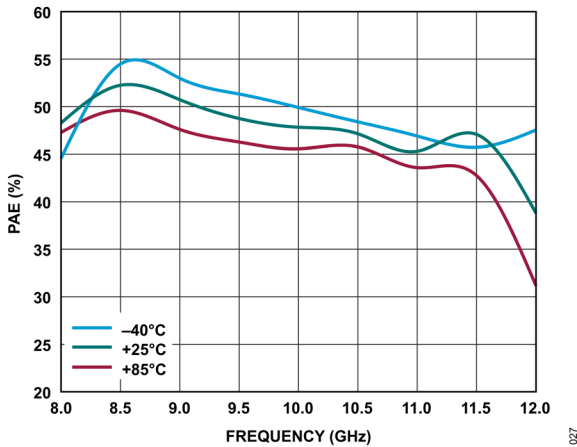


図 27. 様々な温度での PAE ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

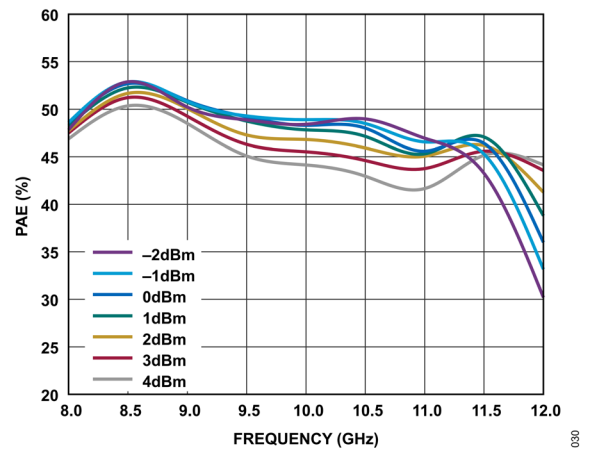


図 30. 様々な  $P_{IN}$  値での PAE の周波数特性

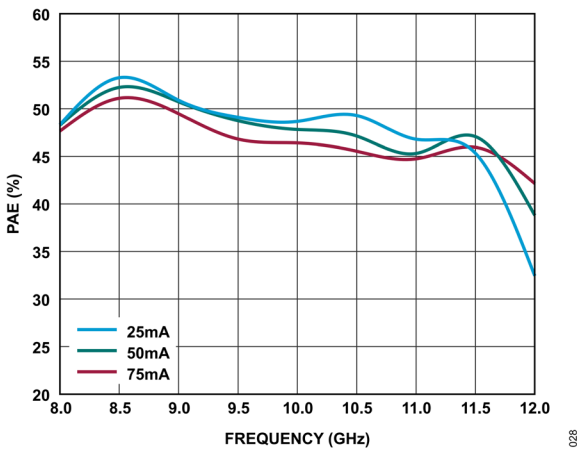


図 28. 様々な電源電流での PAE ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

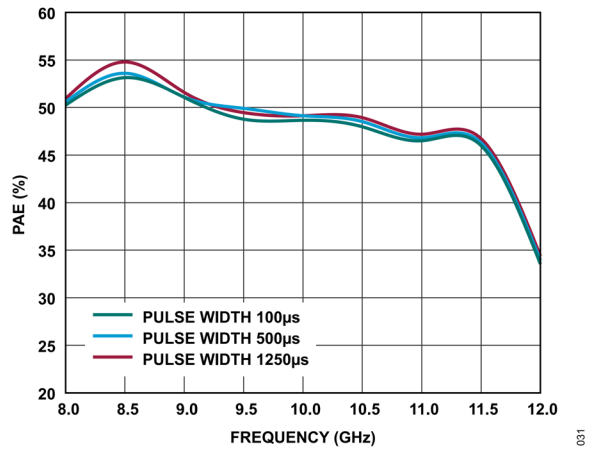


図 31. 様々なパルス幅 (10%デューティサイクル) での PAE ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

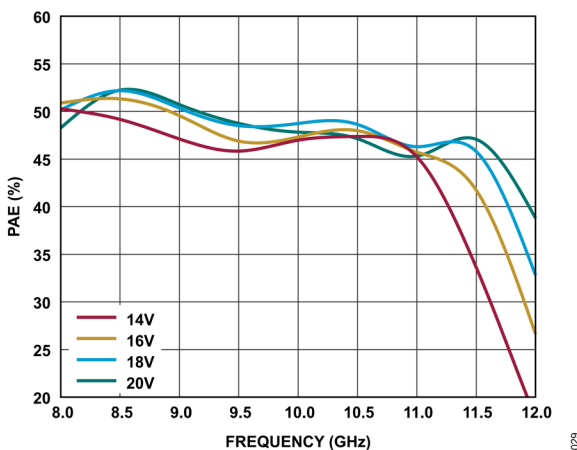


図 29. 様々な電源電圧での PAE ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

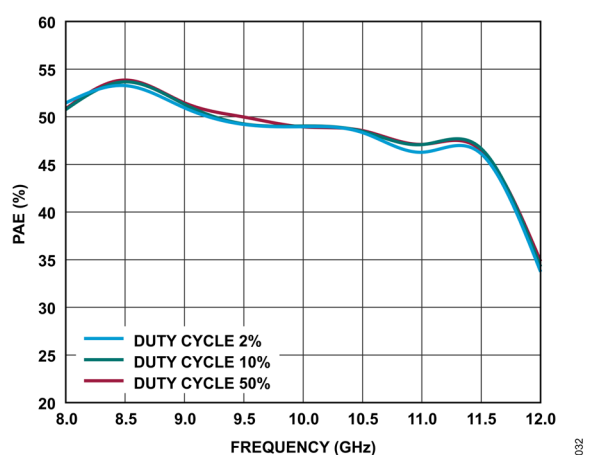


図 32. 様々なデューティサイクル (パルス幅  $100\mu\text{s}$ ) での PAE ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

代表的な性能特性

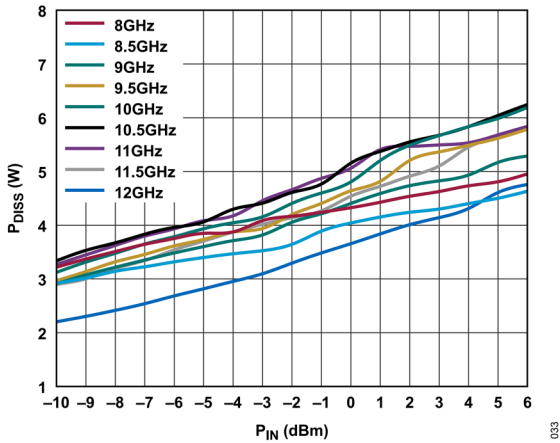


図 33. 様々な周波数での  $P_{DISS}$  と  $P_{IN}$  の関係 (85°C)

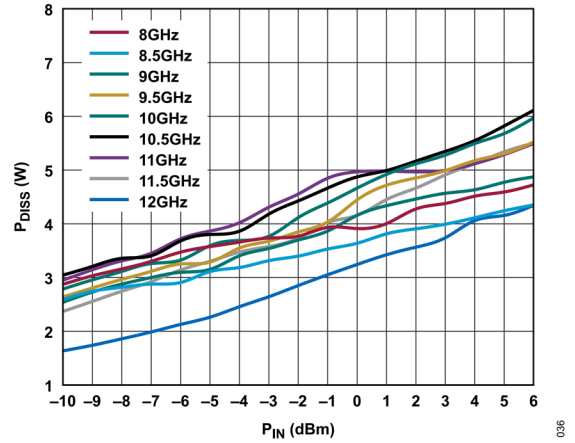


図 36. 様々な周波数での  $P_{DISS}$  と  $P_{IN}$  の関係 (パルス幅 = 100µs、2% デューティサイクル)

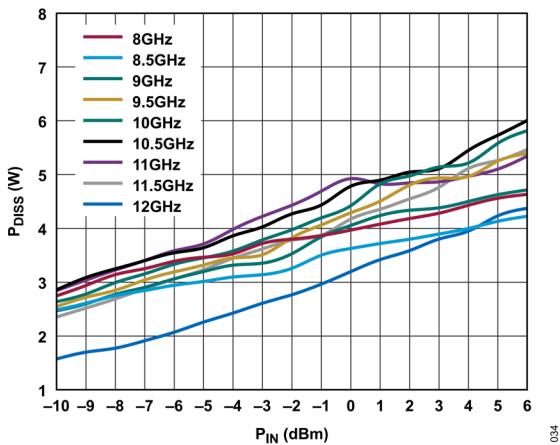


図 34. 様々な周波数での  $P_{DISS}$  と  $P_{IN}$  の関係 (パルス幅 = 500µs、10% デューティサイクル)

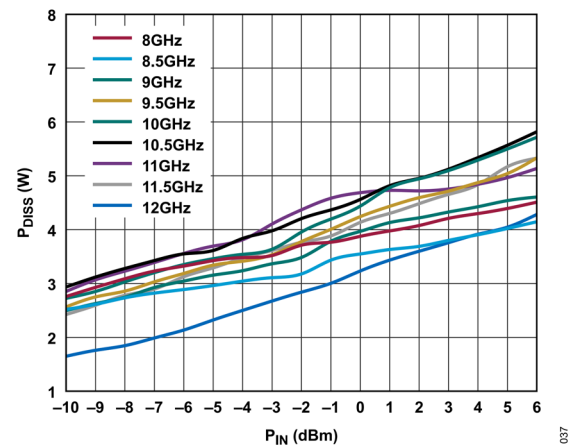


図 37. 様々な周波数での  $P_{DISS}$  と  $P_{IN}$  の関係 (パルス幅 = 100µs、50% デューティサイクル)

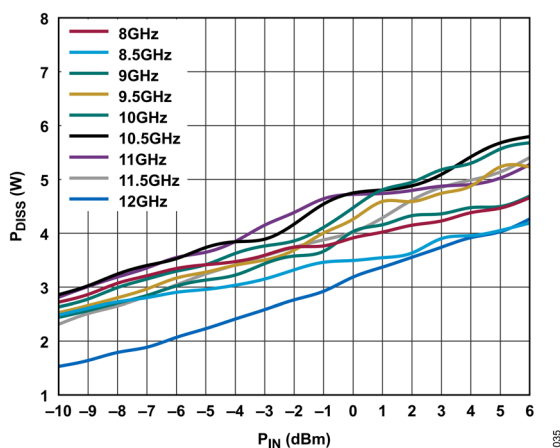


図 35. 様々な周波数での  $P_{DISS}$  と  $P_{IN}$  の関係 (パルス幅 = 1250µs、10% デューティサイクル)

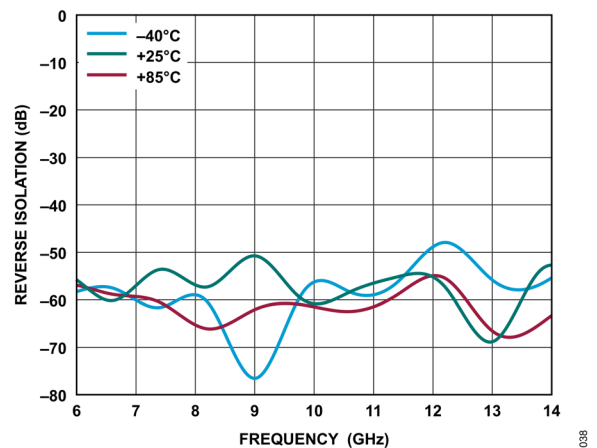


図 38. 様々な温度でのリバース・アイソレーションの周波数特性

代表的な性能特性

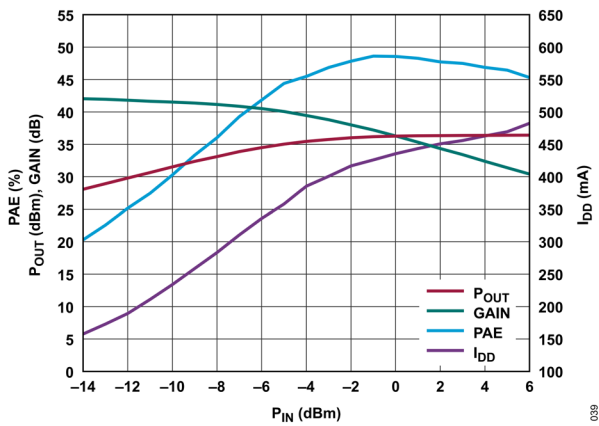


図 39. PAE、 $P_{OUT}$ 、ゲイン、電源電流 ( $I_{DD}$ ) と  $P_{IN}$  の関係 (8GHz)

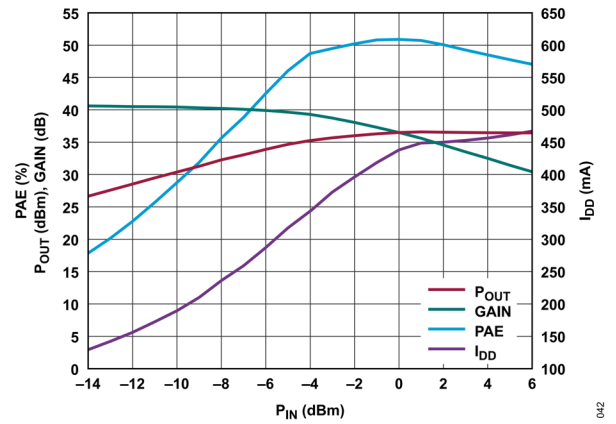


図 42. PAE、 $P_{OUT}$ 、ゲイン、 $I_{DD}$  と  $P_{IN}$  の関係 (9GHz)

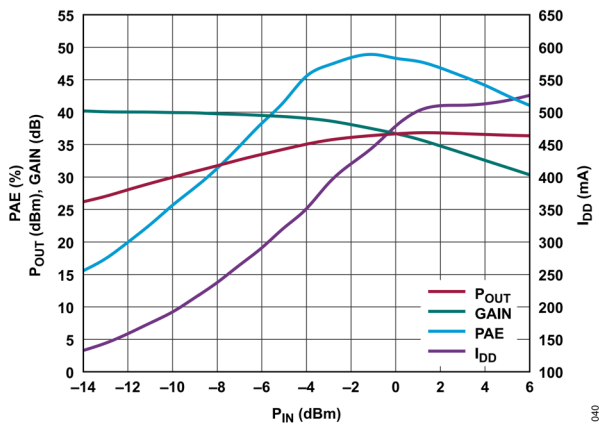


図 40. PAE、 $P_{OUT}$ 、ゲイン、 $I_{DD}$  と  $P_{IN}$  の関係 (10GHz)

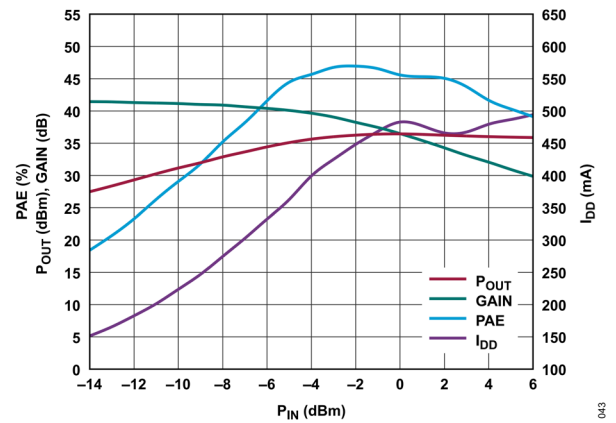


図 43. PAE、 $P_{OUT}$ 、ゲイン、 $I_{DD}$  と  $P_{IN}$  の関係 (11GHz)

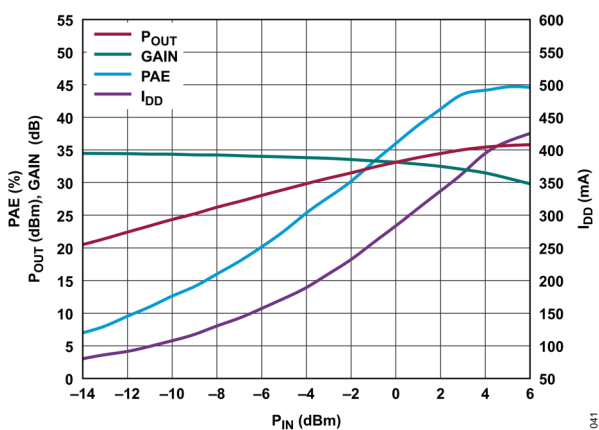


図 41. PAE、 $P_{OUT}$ 、ゲイン、 $I_{DD}$  と  $P_{IN}$  の関係 (12GHz)

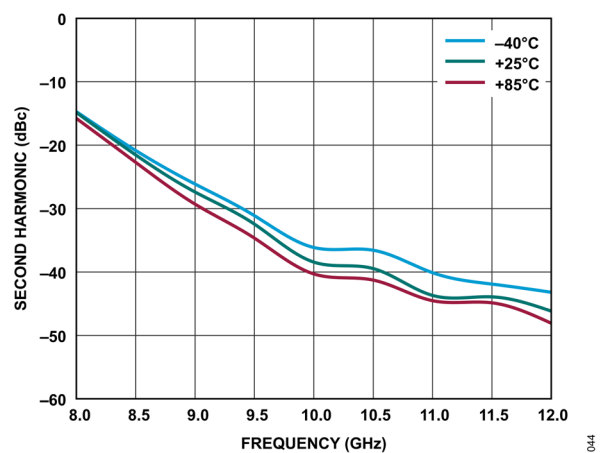


図 44. 様々な温度での第2高調波 ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

代表的な性能特性

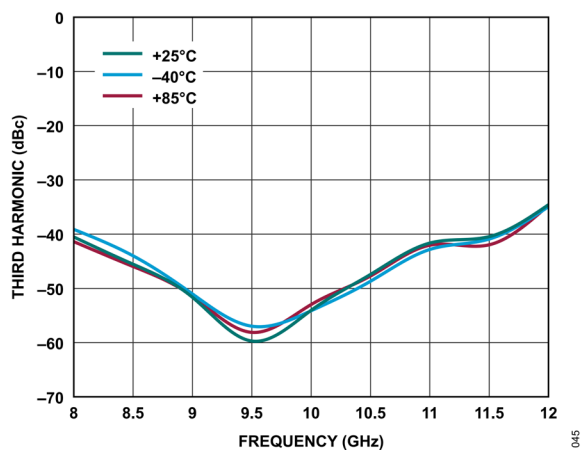


図 45. 様々な温度での第 3 高調波 ( $P_{IN} = 1\text{dBm}$ ) の周波数特性

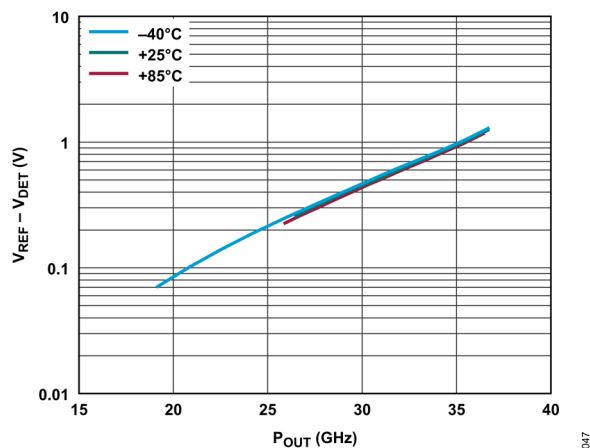


図 47. 様々な温度での  $V_{REF} - V_{DET}$  と  $P_{OUT}$  の関係

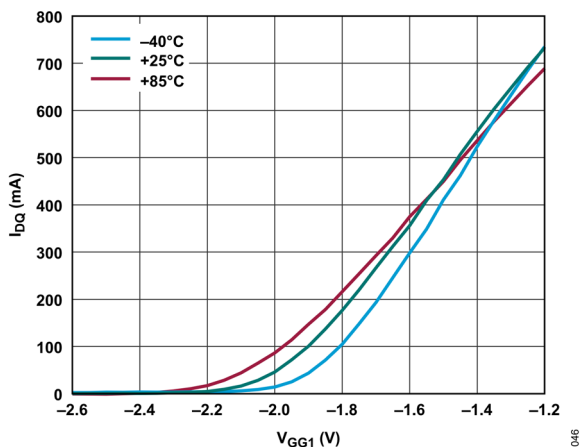


図 46. 様々な温度での  $I_{DQ}$  と  $V_{GG1}$  の関係

動作原理

ADPA1120 は 36.5dBm (4.5W) のパルス電力を供給する GaN パワー・アンプです。カスケード接続された 4 つのゲイン段で構成されています。簡略化したブロック図を図 48 に示します。

VDD1-2 ピンに印加される正のバイアス電圧が 1 段目と 2 段目のゲイン段のドレインをバイアスし、VDD3 ピンに印加されるバイアス電圧が 3 段目、VDD4 ピンに印加されるバイアス電圧が 4 段目のゲイン段のドレインをバイアスします (単一の共通電源電圧を使用する必要があります)。1 段目と 2 段目のゲイン段の VGG1-2 ゲート・バイアス・ピン、3 段目のゲイン段の VGG3 ゲート・バイアス・ピン、4 段目のゲイン段の VGG4 ゲート・バイアス・ピンには負の DC 電圧を加えて、各段のドレイン電流を制御できるようにします。

推奨 DC バイアス電圧を印加することで、電力入力が 1dBm のときに、9.5GHz~11.5GHz の帯域で 36.5dBm のパルス RF P<sub>OUT</sub> と 47% の PAE (共に代表値) を実現します。

ADPA1120 は、AC カップリングされたシングル・エンドの RFIN ポートと RFOUT ポートを備えています。これらのポートのインピーダンスは、8GHz~12GHz の動作周波数範囲で 50Ω (公称値) です。したがって、ADPA1120 は 50Ω のシステムに直接実装できます。外付けのインピーダンス・マッチング部品や AC カップリング・コンデンサは不要です。

RF 出力信号 (RFOUT) の一部は、RF P<sub>OUT</sub> 検出用のダイオードに方向性結合 (カップリング) されます。このダイオードに抵

抗を通じて外部から DC バイアスを加えると RF 電力が整流されるので、VDET の DC 電圧として使用できるようになります。VDET を温度補償できるようにするために、RF パワーにカップリングされていない同一ダイオードを通じ、VREF ピンでリファレンス DC 電圧を検出することができます。電圧差 V<sub>REF</sub> - V<sub>DET</sub> から、RF P<sub>OUT</sub> に比例した温度補償済みのディテクタ電圧が得られます。

-40°C ではデバイスがトランジスタのピンチオフ電圧近くまでバイアスされるので、小信号ゲインが大幅に低下します。また、図 46 に示すように、低温時にはピンチオフ電圧が正方向へ移動します。結果として、トランジスタをオンにして電流を流すには、より正寄りのゲート電圧が必要になります。小信号レベル時や低温時のゲインは室温時の値よりはるかに小さくなりますが、大信号レベル時には予想通りの性能が得られます。図 21 を参照してください。

このデータシートのデータは、ドレイン電流を I<sub>DQ</sub> の公称値、つまり 50mA に設定することによって得たものです。この I<sub>DQ</sub> の初期値が決まれば、その後のテストと動作ではゲート電圧が一定に保たれます。この VGG ゲート電圧を固定したまま動作を続けていくと、I<sub>DQ</sub> がある程度増える可能性があります。長時間動作時にゲート電圧を一定に保つと、公称 I<sub>DQ</sub> 値を一定に保った場合よりも安定した RF 性能が得られます。

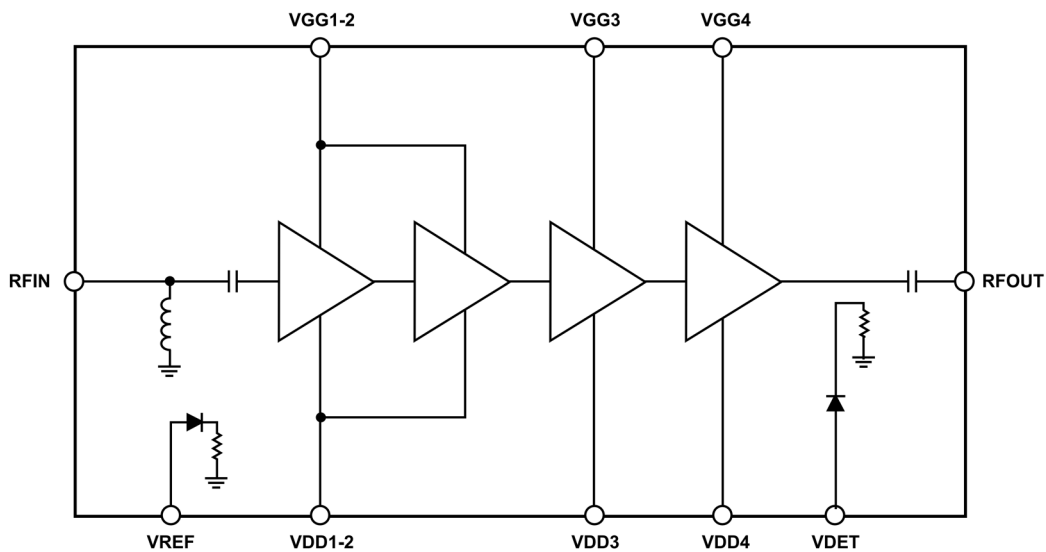


図 48. 基本的なブロック図

アプリケーション情報

基本的な接続方法

ADPA1120 を動作させるための基本的な接続方法を図 49 に示します。14V~20V の電源電圧を VDD1-2、VDD3、および VDD4 ピンに印加します。VGG1-2、VGG3、VGG4、VDD1-2、VDD3、および VDD4 ピンは、図 49 に示す容量値と抵抗値でデカップリングしてください。ゲート・バイアス・ピン VGG1-2、VGG3、VGG4 は、ADPA1120 をバイアスするために使用します。ピン 1~ピン 3、ピン 7~ピン 9、ピン 12、ピン 13、ピン 16~ピン 19、ピン 21、ピン 22、ピン 24~ピン 28、およびピン 32 は内部で接続されていません (NIC ピン)。これらの NIC ピンは内部では接続されていませんが、デバイスの特性評価時には全てグラウンドに接続されています。

バイアス・レベルとドレイン電流は、VGGx ピンに-3V~-1V の電圧を印加して設定します。ADPA1120 は連続動作とパルス動作が可能です。パルス動作では、ゲート電圧またはドレイン電圧をパルスにすることで温度管理を改善できます。

ゲート・パルス・モードでは VDD が固定レベル (公称 20V) に維持されますが、ゲート電圧は-4V (オフ時) ~約-3V ないし-1V (オン時) のパルス波になります。オン時の電圧レベルを厳密に調整することによって目的の Idq が得られます。

ドレイン・パルス・モードでは VDD 電圧がオン/オフされますが、ゲート電圧は-3V~-1V の固定負電圧レベルに保持されます。高い値の電流と電圧がオン/オフされるので、回路には金属酸化膜半導体電界効果トランジスタ (MOSFET) と MOSFET スイッチ・ドライバが必要です。大容量のコンデンサも必要です。これらのコンデンサは局所的な電荷貯蔵素子として機能し、パルス波がオンの間、ADPA1120 に必要なドレイン電流を供給すると同時に、安定したドレイン電圧の維持を実現します。

ADPA1120-EVALZ 評価用ボード・パッケージには、ドレイン・パルス・モードに必要な回路が搭載されたプラグイン・パルサ・ボードが含まれています。詳細については ADPA1120-EVALZ のユーザ・ガイドを参照してください。

安全に電源をオンにするには、VGGx ピンの電圧を-4V に設定してから VDD 電圧を加える必要があります。VGGx ピンの電流が増加して目的のドレイン・バイアス電流に達すれば、RF を入力できます。RF ソースのトリガは、ドレイン・パルスが高になっている間だけ RF が入力されるように行ってください。安全に電源をオフにするには、RF 入力信号を停止してから VGGx ピンの電圧を-4V まで下げます。その後に VDD を 0V まで下げてから、更に VGG1-2 を 0V に上げることができます。

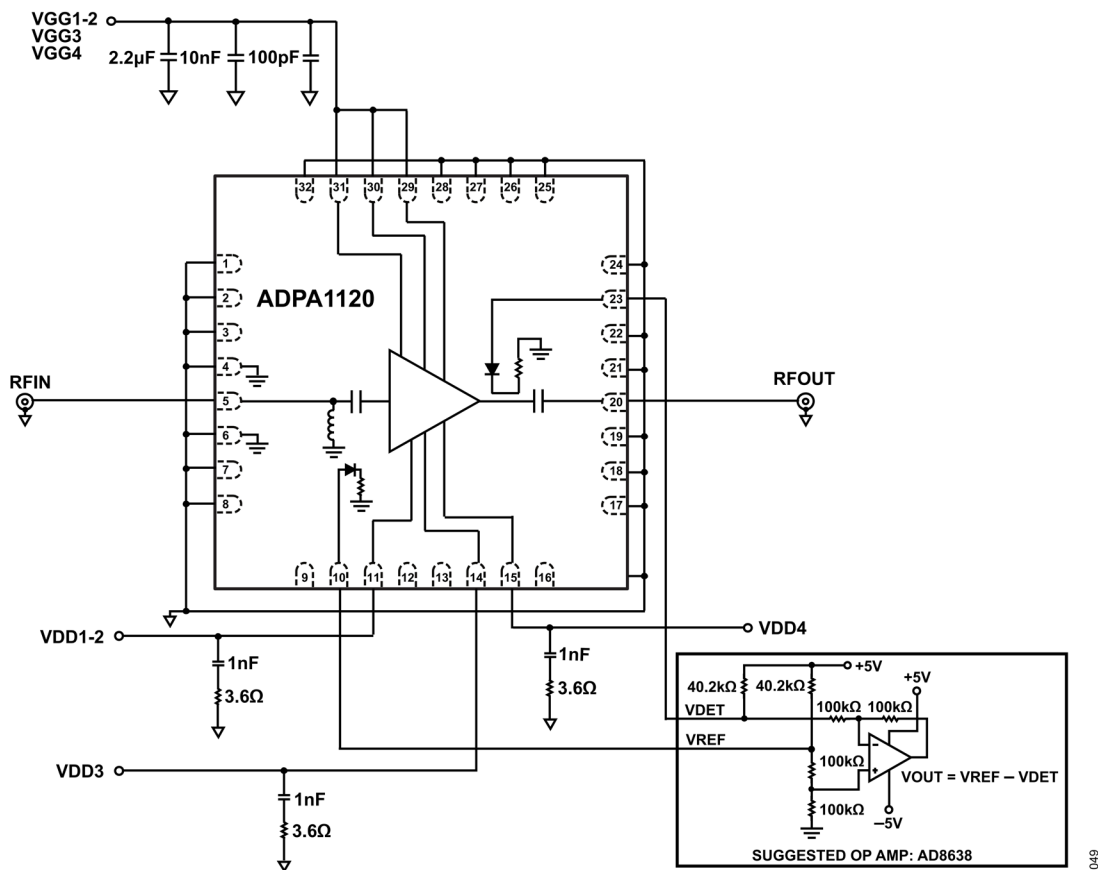


図 49. 基本的な接続方法

## アプリケーション情報

### 推奨バイアス・シーケンス

パワーアップ時の推奨バイアス・シーケンスを以下に示します。

1. すべての GND ピンを接地します。
2. VGG1-2、VGG3、および VGG4 ピンの電圧を-4V に設定します。
3. VDD1-2、VDD3、および VDD4 ピンの電圧を 20V に設定します。
4. VGG1-2、VGG3、および VGG4 ピンの電圧を-3V から-1V に上げて、 $I_{DQ}$ を必要な値にします（公称値 50mA）。
5. RFIN ピンに RF 信号を印加します。

送信状態でパワーダウンする場合の推奨シーケンスを以下に示します。

1. RF 信号をオフにします。
2. VGG1-2、VGG3、および VGG4 ピンの電圧を-4V まで下げます。
3. VDD1-2、VDD3、および VDD4 ピンの電圧を 0V に設定します。
4. VGG1-2、VGG3、および VGG4 ピンの電圧を 0V に設定します。

特に指定のない限り、このデータシートに示すすべての測定値とデータは、基本接続回路（図 49 参照）を使い、このセクションに示す条件でバイアスを加えて取得しています。ここで説明したバイアス条件は、全体的なデバイス性能を最適化するために推奨される動作点です。他のバイアス条件を使用して動作させると、**代表的な性能特性**のセクションに示されている性能とは異なる結果になる場合があります。デバイスを損傷させることなく最大限の性能を得るには、このセクションに示す推奨バイアス・シーケンスに従うと共に、**絶対最大定格**のセクションに示す値を厳守してください。

### ドレインのパルス動作

ADPA1120 のドレインをパルス動作にするには、ドレイン・ピンの電圧を 0V~20V のパルスにすると同時に、パワー・アンプのゲート・ピンに負の電圧を加えます。

ADPA1120 にドレイン電圧を供給するために使用する電源は、電圧降下を最小限に抑えるために高速の過渡応答特性を備えていなければなりません。

### ドレインのパルス動作のセットアップ

ドレインのパルス動作は、以下の手順でセットアップします。

1. すべての電源、グラウンド、および制御信号を ADPA1120 に接続します。図 49 を参照してください。
2. パワー・アンプをパルス動作にするには、VGG1-2、VGG3、および VGG4 ピンの電圧を-4V に設定し、VDD1-2、VDD3、および VDD4 ピンの電圧を 20V に設定します。
3. ドレイン電圧パルス・ピン VDD1-2、VDD3、および VDD4 をオンにして、0V~20V、100 $\mu$ s、10%デューティサイクル（代表値）のパルスを加えます。
4. VGG1-2、VGG3 および VGG4 ピンの電圧を-3V~-1V に調整して、 $I_{DQ}$ を必要なパルス値にします（公称値 50mA）。
5. RF 入力信号を印加します。

### ゲートのパルス動作

ADPA1120 のゲートをパルス動作にするには、ドレイン・ピンの電圧を一定に保ちながら、パワー・アンプのゲート・ピンに負のパルス電圧を加えます。

ADPA1120 にドレイン電圧を供給するために使用する電源は、電圧降下を最小限に抑えるために高速の過渡応答特性を備えていなければなりません。

### ゲートのパルス動作のセットアップ

ゲートのパルス動作は、以下の手順でセットアップします。

1. すべての電源、グラウンド、および制御信号を ADPA1120 に接続します。図 49 を参照してください。
2. パワー・アンプをパルス動作にするには、VGG1-2、VGG3、および VGG4 ピンの電圧を-4V に設定し、VDD1-2、VDD3、および VDD4 ピンの電圧を 20V に設定します。
3. ゲート電圧パルス・ピン VGG1-2、VGG3、および VGG4 をオンにして、-4V~約-3V、100 $\mu$ s、10%デューティサイクル（代表値）のパルスを加えます。
4. パルスのオフ電圧レベルを-4V に保ちながら、ゲート電圧パルスのハイ電圧を-3V~-1V の範囲に調整して、 $I_{DQ}$ を目標のパルス値（公称値 50mA）にします。
5. RF 入力信号を印加します。

アプリケーション情報

温度管理

仕様規定された性能と定格の動作寿命を達成するためには、温度管理を適切に行うことが重要です。ADPA1120 は連続動作とパルス動作の両方に対応できますが、パルス波によるバイアスの方が、安全なチャンネル温度 (T<sub>CHAN</sub>) を維持するための温度管理が容易です。T<sub>CHAN</sub> (またはダイ温度) は平均故障時間と密接に関連しています。

連続バイアスの場合を考えます (図 50 参照)。バイアスが印加されると、ADPA1120 の T<sub>CHAN</sub> はターン・オン・トランジェントの間に上昇し、最終的に定常状態の値に落ち着きます。デバイスの熱抵抗  $\theta_{JC}$  は、次式のように、T<sub>CHAN</sub> における開始時のベース温度 (T<sub>BASE</sub>) からの上昇温度をデバイスの総消費電力 P<sub>DISS</sub> で割ることによって計算できます。

$$\theta_{JC} = t_{RISE} / P_{DISS}$$

ここで、  
 t<sub>RISE</sub> は、ADPA1120 の T<sub>CHAN</sub> が T<sub>BASE</sub> から上昇した値 (°C)、  
 P<sub>DISS</sub> は ADPA1120 の消費電力 (W) です。

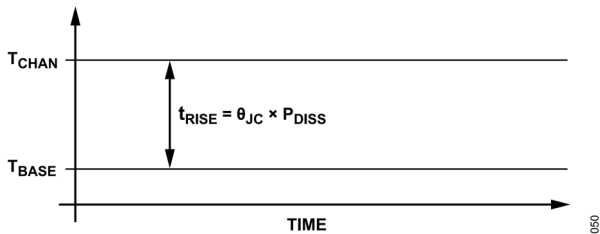


図 50. 連続バイアス条件でのチャンネル温度上昇

次に、低デューティサイクルのパルス波でバイアスする場合を考えます (図 51 参照)。バイアスが印加されると、ADPA1120 の T<sub>CHAN</sub> は指数関数的に増減するパルスの連続として表すことができます。連続パルス印加時の T<sub>CHAN</sub> はターン・オン・トランジェントの間に上昇し、ピーク値に達して最終的に定常安定状態に落ち着き、この時点でパルスとパルスの間のピーク T<sub>CHAN</sub> 値も安定します。

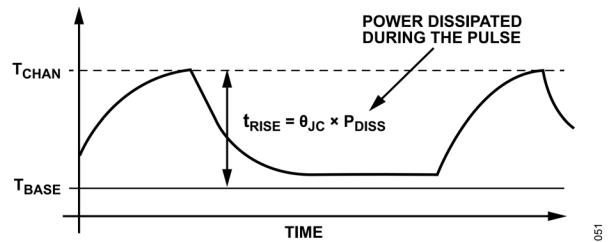


図 51. 低デューティサイクルのパルス波バイアス

## 外形寸法

Package Drawing Option	Package Type	Package Description
CP-32-13	LFCSP	32-Lead Lead Frame Chip Scale Package

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADPA1120ACPZN	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	Tape, 1	CP-32-13
ADPA1120ACPZN-R7	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	Reel, 1500	CP-32-13

<sup>1</sup> Z = RoHS 準拠製品。