



45.0dBm (35W) 4.8GHz~6.0GHz GaN パワー・アンプ

データシート

ADPA1107

特長

$P_{IN} = 27.0\text{dBm}$ での P_{OUT} : 5.4GHz~6.0GHz で
45.0dBm (代表値)

小信号ゲイン : 4.8GHz~5.4GHz で 30.5dB (代表値)

周波数範囲 : 4.8GHz~6.0GHz

$P_{IN} = 27.0\text{dBm}$ での PAE : 5.4GHz~6.0GHz で
56.5% (代表値)

$V_{DD} : I_{DQ} = 350\text{mA}$ 、10%のデューティ・サイクルで 28V

40ピン、6mm × 6mm、LFCSP

アプリケーション

気象観測レーダー

航海用レーダー

防衛用レーダー

機能ブロック図

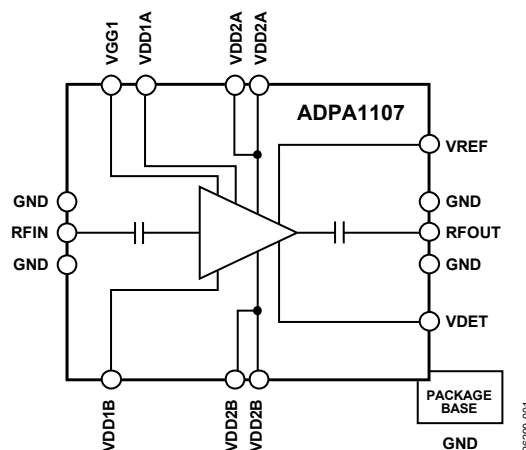


図 1.

概要

ADPA1107 は窒化ガリウム (GaN) 広帯域パワー・アンプで、4.8GHz~6.0GHz の帯域幅において 56.5% (代表値) の電力付加効率 (PAE) で 45.0dBm (35W) を供給します。また、5.4GHz~6.0GHz の帯域幅で $\pm 0.5\text{dB}$ のゲイン平坦性を実現します。

ADPA1107 は、レーダー、公共モバイル無線、汎用増幅機器などのパルス波のアプリケーションに最適です。

ADPA1107 は、6mm × 6mm の 40ピン・フレーム・チップ・スケール・パッケージ (LFCSP) を採用しています。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2021 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	ピン配置およびピン機能の説明	6
アプリケーション	1	インターフェース回路図	7
機能ブロック図	1	代表的な性能特性	8
概要	1	動作原理	16
改訂履歴	2	アプリケーション情報	17
仕様	3	基本的な接続方法	17
電気仕様	3	温度管理	19
絶対最大定格	5	外形寸法	20
熱抵抗	5	オーダー・ガイド	20
静電放電 (ESD) 定格	5		
ESD に関する注意	5		

改訂履歴

7/2021—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、ベース温度 (T_{BASE}) = 25°C、電源電圧 (V_{DD}) = 28V、静止電流 (I_{DQ}) = 350mA、パルス幅 = 100μs、10%のデューティ・サイクル、周波数範囲 = 4.8GHz~5.4GHz。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE	4.8		5.4	GHz	
GAIN					
Small Signal Gain	28.0	30.5		dB	
Gain Flatness		±1.3		dB	
RETURN LOSS					
Input		16.0		dB	
Output		13.5		dB	
POWER					
Output Power (P _{OUT})					
Input Power (P _{IN}) = 25.0 dBm		45.5		dBm	
P _{IN} = 27.0 dBm	43.5	45.5		dBm	
Power Gain					
P _{IN} = 25.0 dBm		20.5		dB	
P _{IN} = 27.0 dBm	16.5	18.5		dB	
Power Added Efficiency (PAE)					
P _{IN} = 25.0 dBm		56.5		%	
P _{IN} = 27.0 dBm		55.0		%	
QUIESCENT CURRENT (I _{DQ})		350		mA	ゲート制御電圧 (VGG1) を-4V~-2V に調整することで I _{DQ} = 350mA (代表値) を実現

特に指定のない限り、 $T_{BASE} = 25^{\circ}\text{C}$ 、 $V_{DD} = 28\text{V}$ 、 $I_{DQ} = 350\text{mA}$ 、パルス幅 = $100\mu\text{s}$ 、10%のデューティ・サイクル、周波数範囲 = $5.4\text{GHz} \sim 6.0\text{GHz}$ 。

表 2.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE	5.4		6.0	GHz	
GAIN					
Small Signal Gain	27.0	29.5		dB	
Gain Flatness		± 0.5		dB	
RETURN LOSS					
Input		7.5		dB	
Output		12.0		dB	
POWER					
P_{OUT}					
$P_{IN} = 25.0\text{ dBm}$		45.0		dBm	
$P_{IN} = 27.0\text{ dBm}$	43.0	45.0		dBm	
Power Gain					
$P_{IN} = 25.0\text{ dBm}$		20.3		dB	
$P_{IN} = 27.0\text{ dBm}$	16.0	18.0		dB	
PAE					
$P_{IN} = 25.0\text{ dBm}$		56.0		%	
$P_{IN} = 27.0\text{ dBm}$		56.5		%	
I_{DQ}		350		mA	ゲート制御電圧 (VGG1) を $-4\text{V} \sim -2\text{V}$ に調整することで $I_{DQ} = 350\text{mA}$ (代表値) を実現

絶対最大定格

表 3.

Parameter	Rating
Drain Bias Voltage (V_{DD1A} , V_{DD1B} , V_{DD2A} , and V_{DD2B})	35 V dc
Negative Gate Bias Voltage (V_{GG1}), $V_{DD} = 28$ V (Nominal Drain Voltage)	-8 V dc to -1 V dc
RF Input Power (RFIN)	31 dBm
Drain and Gate Bias	
Pulse Width	1000 μ s
Duty Cycle	40%
Maximum Pulsed Power Dissipation (P_{DISS})	
Drain Bias Pulse Width = 100 μ s and $T_{BASE} = 85^{\circ}\text{C}$	
At 10% Duty Cycle, Derate 581 mW/ $^{\circ}\text{C}$ Above 85°C	81.4 W
At 40% Duty Cycle, Derate 538 mW/ $^{\circ}\text{C}$ Above 85°C	75.2 W
Drain Bias Pulse Width = 1000 μ s and $T_{BASE} = 85^{\circ}\text{C}$	
At 10% Duty Cycle, Derate 459 mW/ $^{\circ}\text{C}$ Above 85°C	64.2 W
Temperature	
Nominal Pulsed Peak Channel, $T_{BASE} = 85^{\circ}\text{C}$, $P_{IN} = 27$ dBm	
Drain Bias Pulse Width = 100 μ s $P_{DISS} = 27.9$ W at 5.4 GHz, and at 10% Duty Cycle	133 $^{\circ}\text{C}$
$P_{DISS} = 29.2$ W at 5.4 GHz and at 40% Duty Cycle	139.3 $^{\circ}\text{C}$
Drain Bias Pulse Width = 1000 μ s $P_{DISS} = 28.3$ W at 5.4 GHz and at 10% Duty Cycle	146.7 $^{\circ}\text{C}$
Maximum Channel	225 $^{\circ}\text{C}$
Maximum Peak Reflow for Moisture Sensitivity Level (MSL) 3 ¹	260 $^{\circ}\text{C}$
Storage Range	-60 $^{\circ}\text{C}$ to +125 $^{\circ}\text{C}$
Operating Range	-40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$

¹ オーダー・ガイドを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

全体的な熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} はチャンネルからケース (チャンネルからデバイス下側の露出金属) までの熱抵抗です。

表 4. 熱抵抗

Package Type ¹	θ_{JC}	Unit
CP-40-7		
Drain Bias Pulse Width = 100 μ s at 10% Duty Cycle	1.72	$^{\circ}\text{C}/\text{W}$
Drain Bias Pulse Width = 100 μ s at 40% Duty Cycle	1.86	$^{\circ}\text{C}/\text{W}$
Drain Bias Pulse Width = 1000 μ s at 10% Duty Cycle	2.18	$^{\circ}\text{C}/\text{W}$

¹ θ_{JC} は、以下の条件で求めたものです。すなわち、熱伝達はチャンネルからグラウンド・パッドを通して PCB までの熱伝導のみに起因し、グラウンド・パッドは 85°C の動作温度で一定に保たれるものとします。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものであります。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ADPA1107 の ESD 定格

表 5. ADPA1107、40 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	500	1B

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

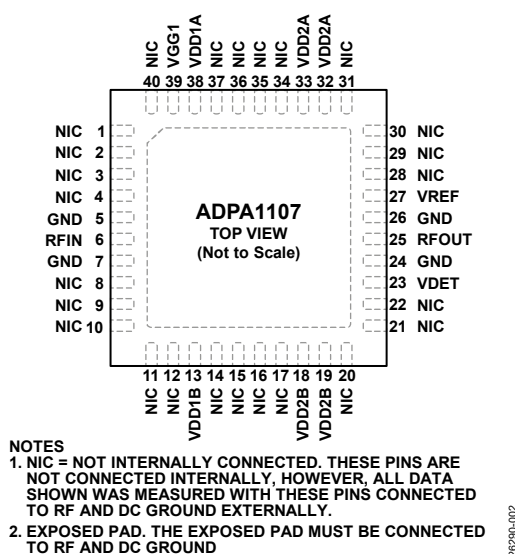


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	概要
1 to 4, 8 to 12, 14 to 17, 20 to 22, 28 to 31, 34 to 37, 40	NIC	内部では未接続。これらのピンは内部では未接続です。ただし、示したすべてのデータは NIC ピンを外部で RF/DC グラウンドに接続して測定しています。
5, 7, 24, 26	GND	GND ピンは、RF/DC グラウンドに接続する必要があります。インターフェース回路図については、 図 3 を参照してください。
6	RFIN	RF 入力。RFIN ピンは AC カップリングされ、50Ω に整合されています。インターフェース回路図については、 図 4 を参照してください。
13, 38	VDD1B, VDD1A	アンプ用電源電圧。初段のドレイン・バイアス。インターフェース回路図については、 図 4 を参照してください。
18, 19, 32, 33	VDD2B, VDD2A	アンプ用電源電圧。2 段目のドレイン・バイアス。インターフェース回路図については、 図 5 を参照してください。
23	VDET	RF 出力電力測定用のディテクタ・ダイオード。この VDET ピンを介して出力電力を検出するには、外付けの直列抵抗を通じて DC バイアス電圧を加える必要があります。VREF ピンと組み合わせて使用した場合、その電圧差 ($V_{REF} - V_{DET}$) は RF 出力電力に比例した温度補償済み DC 電圧になります。インターフェース回路図については、 図 5 を参照してください。
25	RFOUT	RF 出力。RFOUT ピンは AC カップリングされ、50Ω に整合されています。インターフェース回路図については、 図 5 を参照してください。
27	VREF	VDET による RF 出力電力測定値の温度補償用リファレンス・ダイオード。インターフェース回路図については、 図 6 を参照してください。
39	VGG1	ゲート制御電圧ピン。インターフェース回路図については、 図 4 および 図 5 を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図



図 3. GND のインターフェース回路図

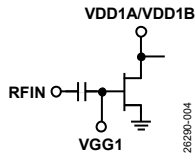


図 4. RFIN、VGG1、VDD1A、VDD1B のインターフェース回路図

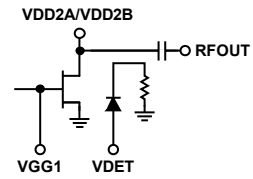


図 5. RFOUT、VGG1、VDD2A、VDD2B、VDET のインターフェース回路図

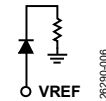


図 6. VREF のインターフェース回路図

代表的な性能特性

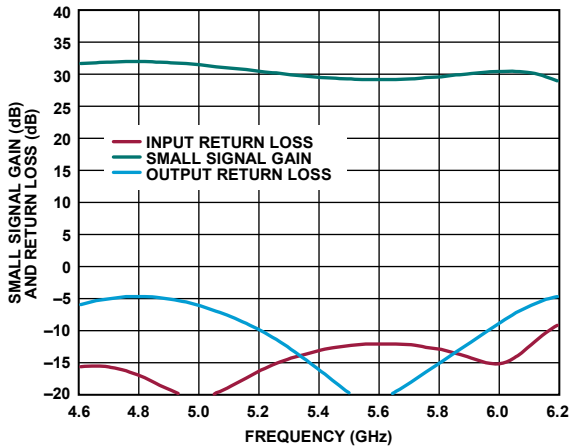


図 7. 小信号ゲインおよびリターン・ロス（応答）と周波数の関係

26290-007

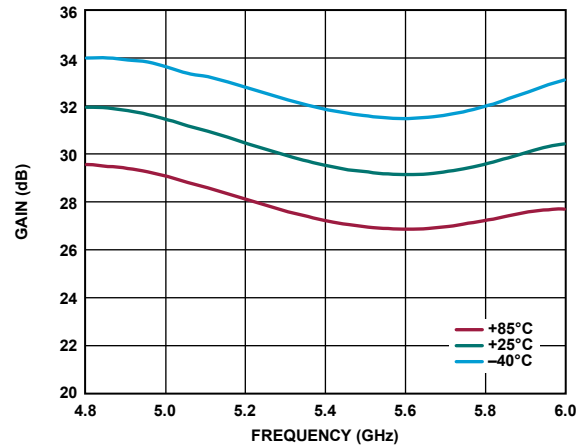


図 10. 様々な温度での小信号ゲインと周波数の関係

26290-010

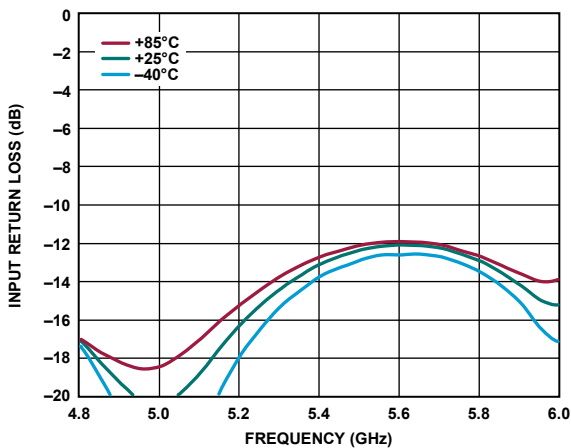


図 8. 様々な温度での入力リターン・ロスと周波数の関係

26290-008

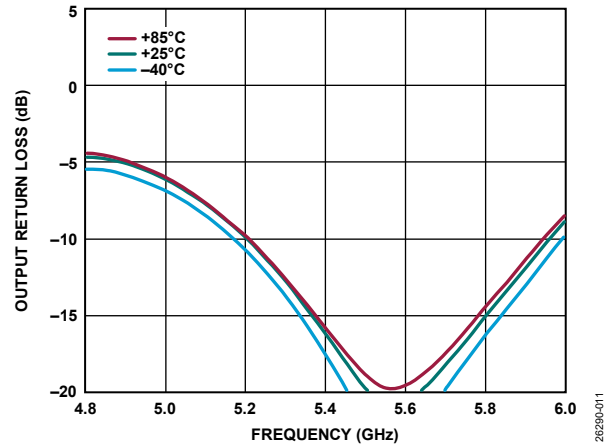


図 11. 様々な温度での出力リターン・ロスと周波数の関係

26290-011

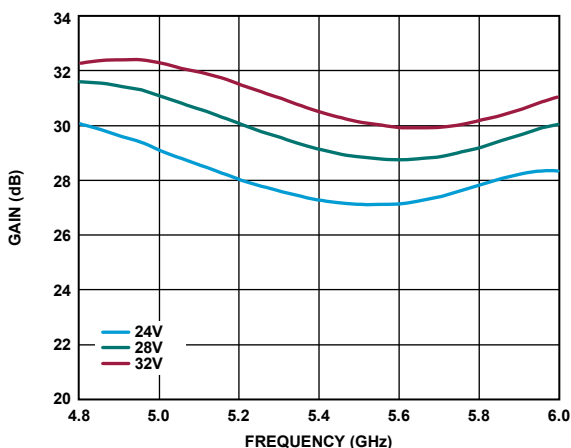


図 9. 様々な電源電圧での小信号ゲインと周波数の関係、 $I_{DQ} = 350\text{mA}$

26290-009

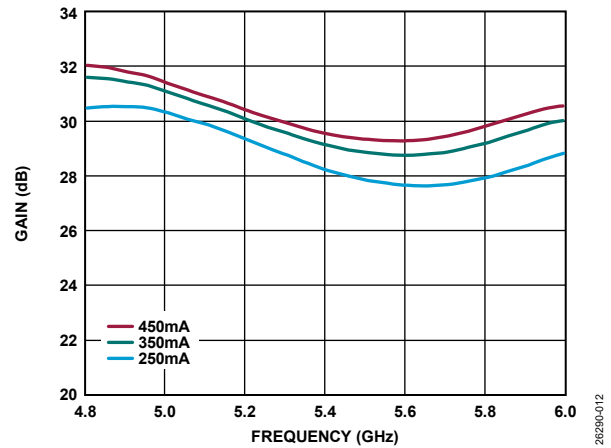


図 12. 様々な静止電流での小信号ゲインと周波数の関係、 V_{DD1x} および $V_{DD2x} = 28\text{V}$

26290-012

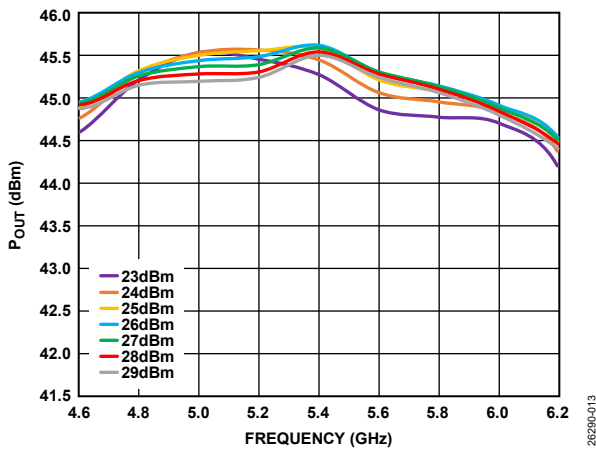


図 13. 様々な P_{IN} レベルでの P_{OUT} と周波数の関係

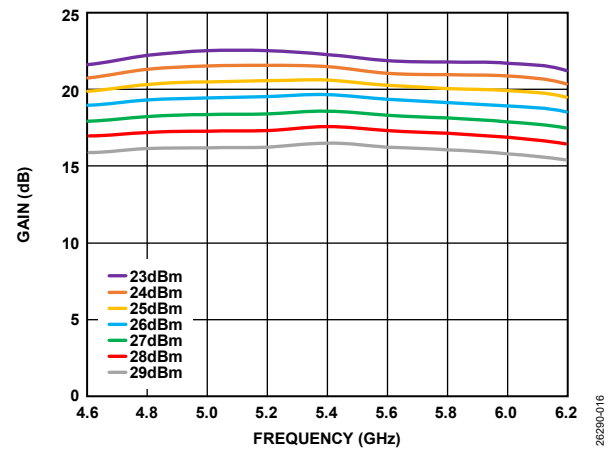


図 16. 様々な P_{IN} レベルでのゲインと周波数の関係

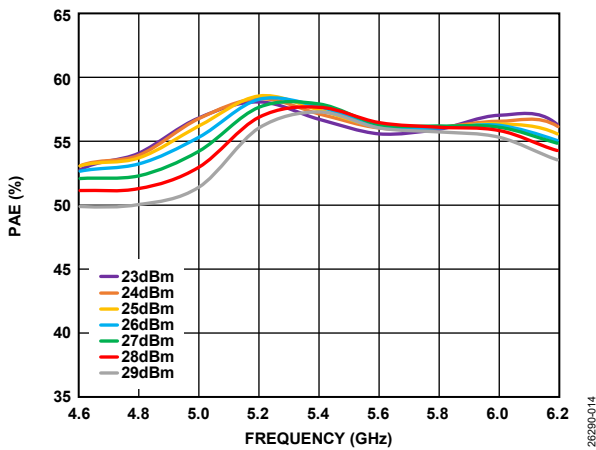


図 14. 様々な P_{IN} レベルでの PAE と周波数の関係

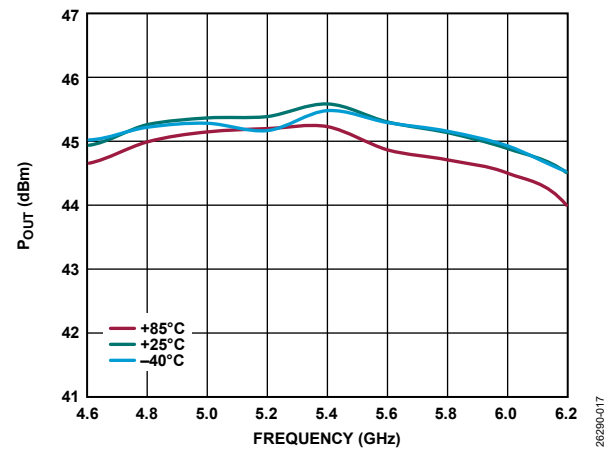


図 17. 様々な温度での P_{OUT} と周波数の関係、 $P_{IN} = 27\text{dBm}$

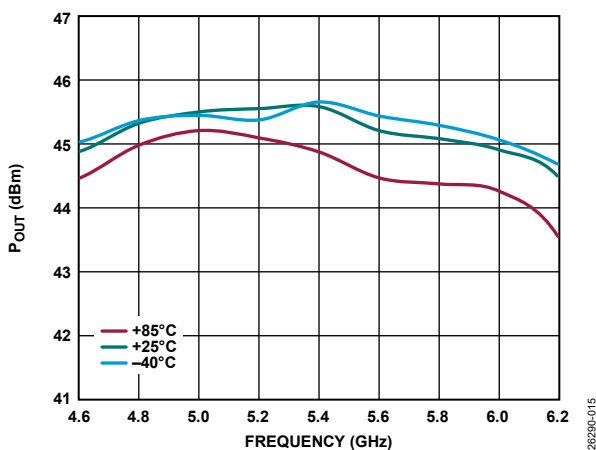


図 15. 様々な温度での P_{OUT} と周波数の関係、 $P_{IN} = 25\text{dBm}$

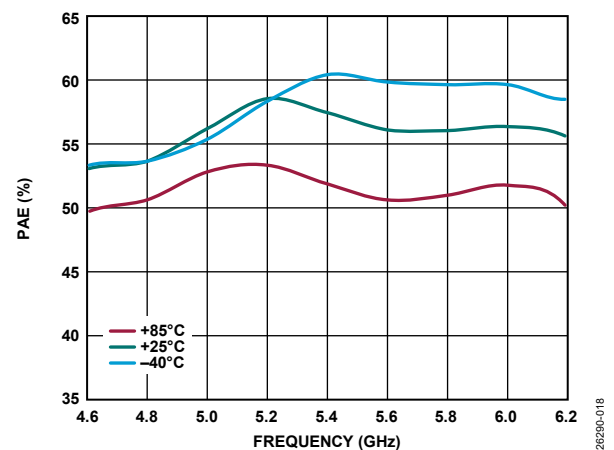


図 18. 様々な温度での PAE と周波数の関係、 $P_{IN} = 25\text{dBm}$

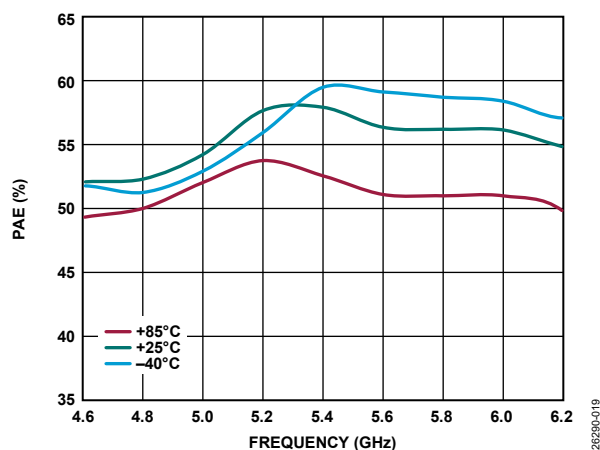


図 19. 様々な温度での PPAE と周波数の関係、 $P_{IN} = 27\text{dBm}$

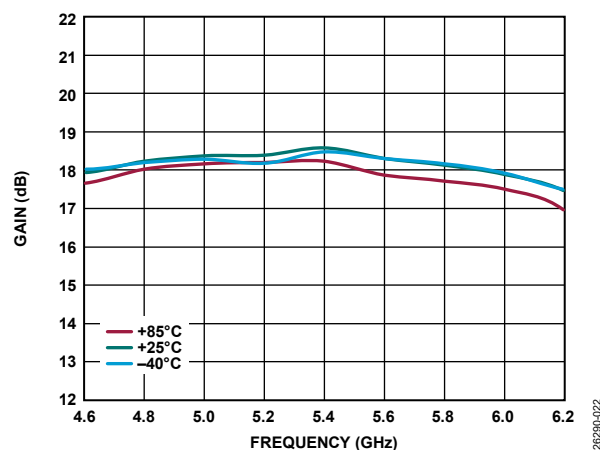


図 22. 様々な温度でのゲインと周波数の関係、 $P_{IN} = 27\text{dBm}$

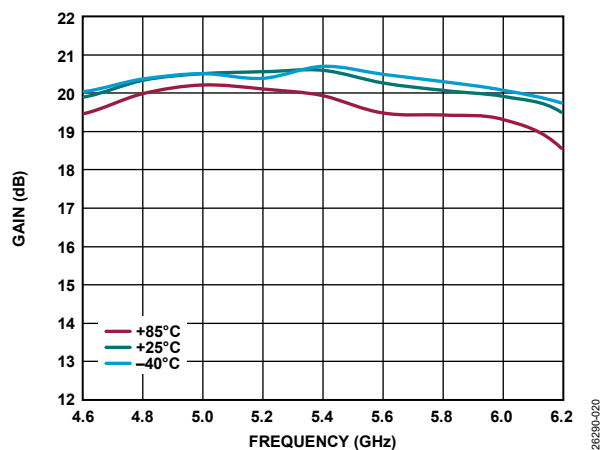


図 20. 様々な温度でのゲインと周波数の関係、 $P_{IN} = 25\text{dBm}$

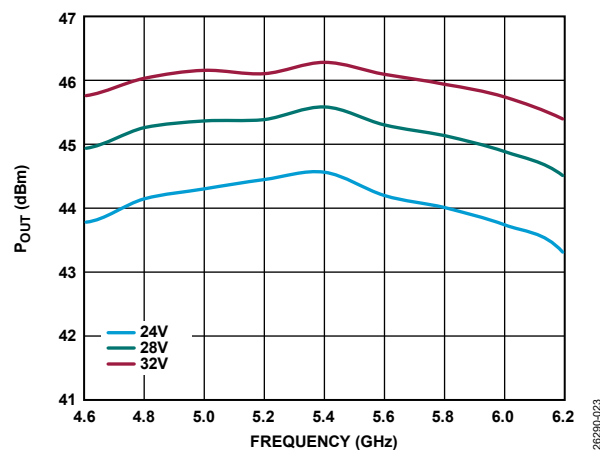


図 23. 様々な電源電圧での P_{OUT} と周波数の関係、 $P_{IN} = 27\text{dBm}$ および $I_{DQ} = 350\text{mA}$

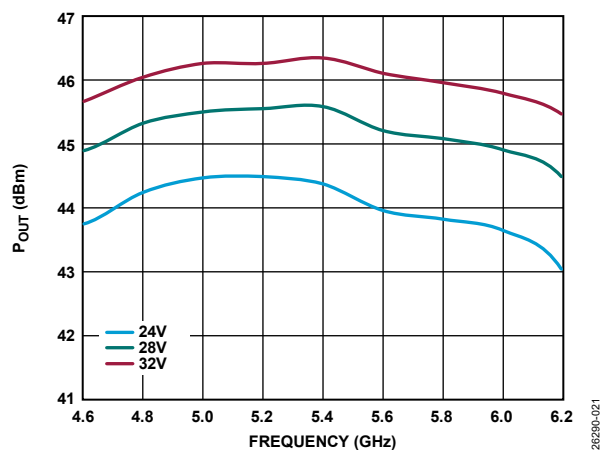


図 21. 様々な電源電圧での P_{OUT} と周波数の関係、 $P_{IN} = 25\text{dBm}$ および $I_{DQ} = 350\text{mA}$

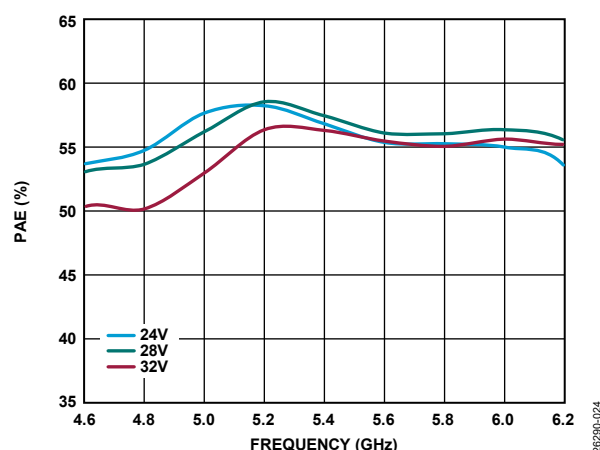


図 24. 様々な電源電圧での PAE と周波数の関係、 $P_{IN} = 25\text{dBm}$ および $I_{DQ} = 350\text{mA}$

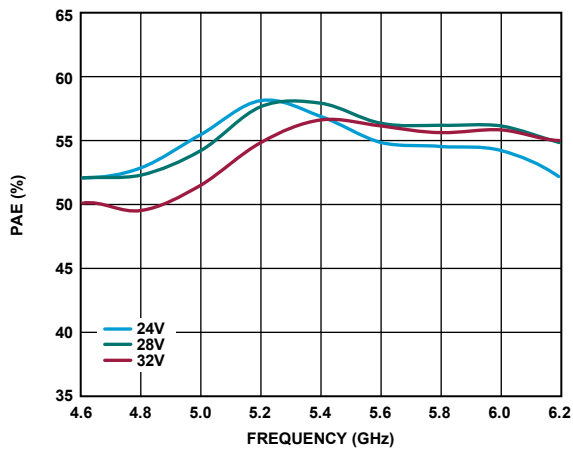


図 25. 様々な電源電圧での PAE と周波数の関係、
 $P_{IN} = 27\text{dBm}$ および $I_{DQ} = 350\text{mA}$

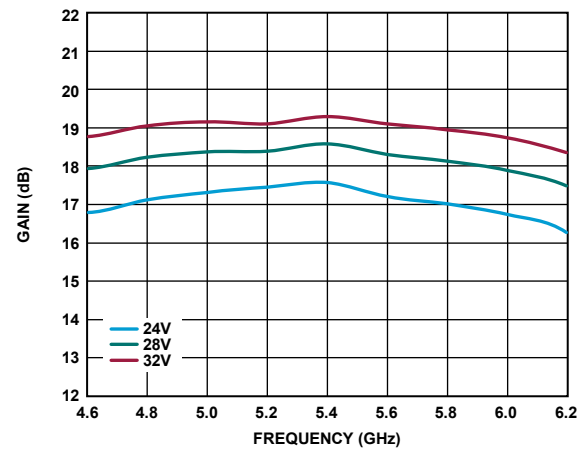


図 28. 様々な電源電圧でのゲインと周波数の関係、
 $P_{IN} = 27\text{dBm}$ および $I_{DQ} = 350\text{mA}$

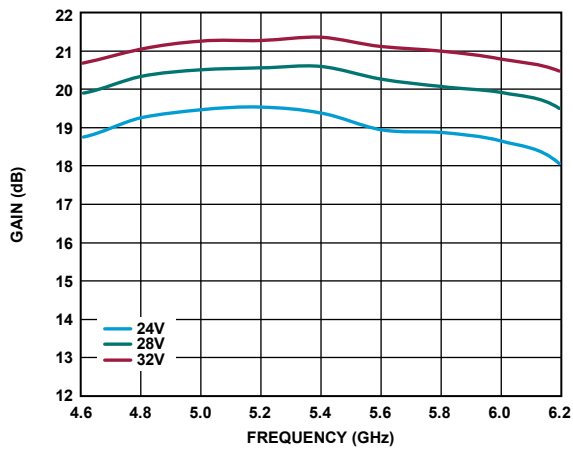


図 26. 様々な電源電圧でのゲインと周波数の関係、
 $P_{IN} = 25\text{dBm}$ および $I_{DQ} = 350\text{mA}$

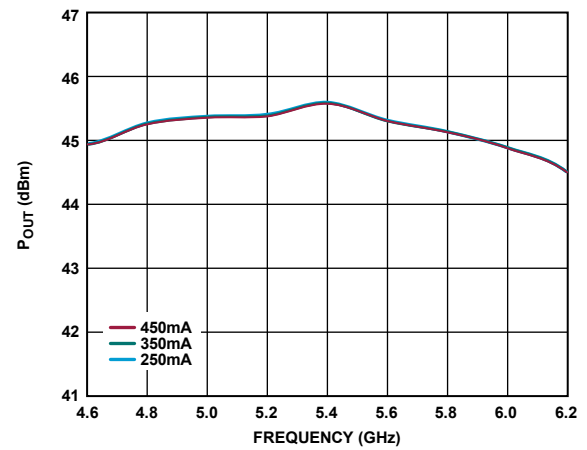


図 29. 様々な静止電流での P_{OUT} と周波数の関係、
 $P_{IN} = 27\text{dBm}$ および $V_{DD} = 28\text{V}$

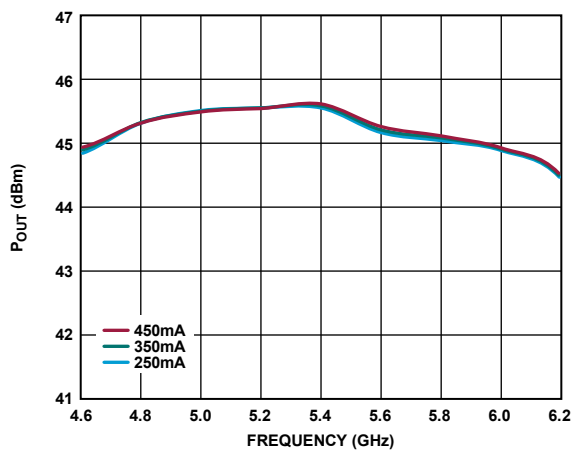


図 27. 様々な静止電流での P_{OUT} と周波数の関係、
 $P_{IN} = 25\text{dBm}$ および $V_{DD} = 28\text{V}$

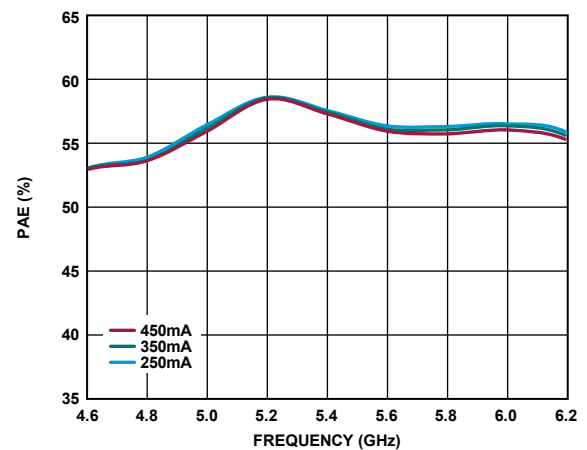


図 30. 様々な静止電流での PAE と周波数の関係、
 $P_{IN} = 25\text{dBm}$ および $V_{DD} = 28\text{V}$

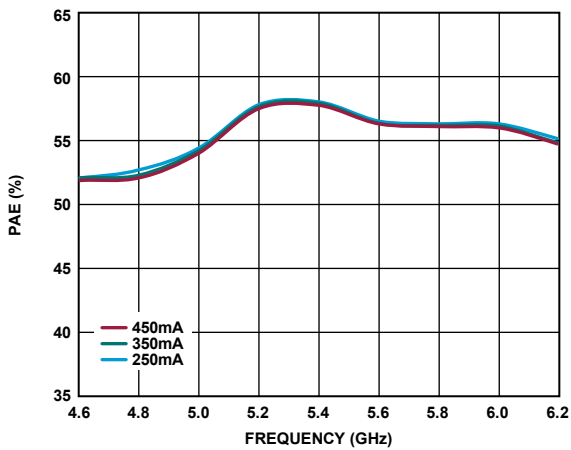


図 31. 様々な静止電流での PAE と周波数の関係、
 $P_{IN} = 27\text{dBm}$ および $V_{DD} = 28\text{V}$

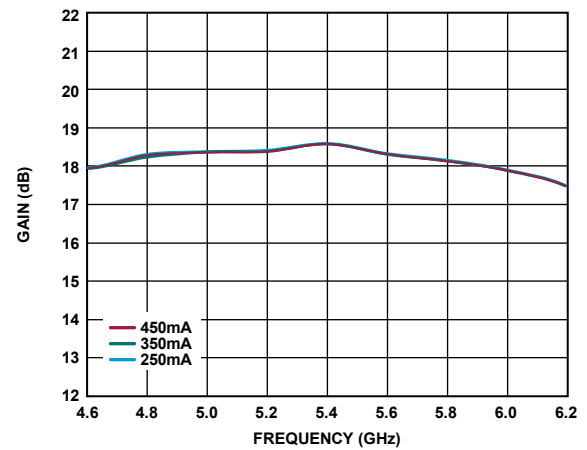


図 34. 様々な静止電流でのゲインと周波数の関係、 $P_{IN} = 27\text{dBm}$

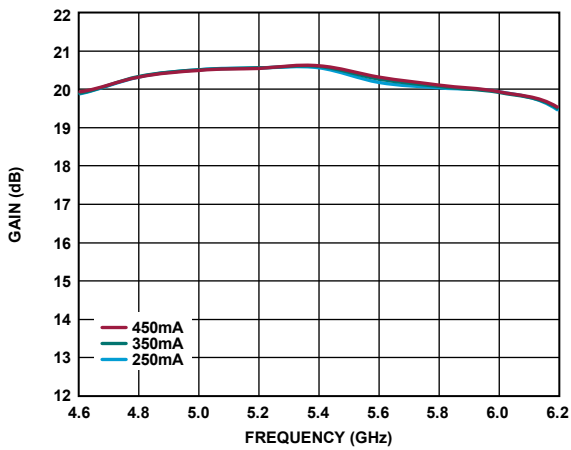


図 32. 様々な静止電流でのゲインと周波数の関係、
 $P_{IN} = 25\text{dBm}$ および $V_{DD} = 28\text{V}$

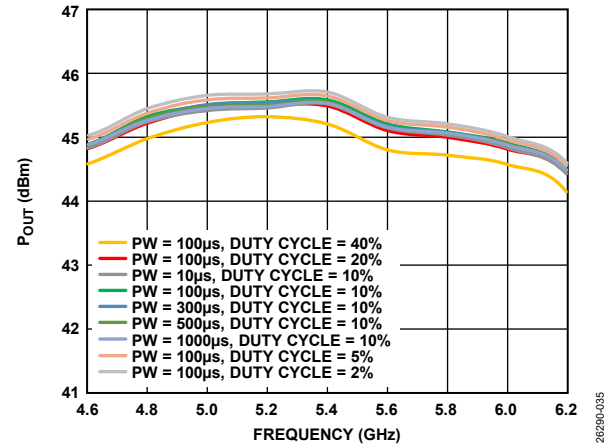


図 35. 様々なパルス幅 (PW) およびデューティ・サイクルでの
 P_{OUT} と周波数の関係、 $P_{IN} = 27\text{dBm}$

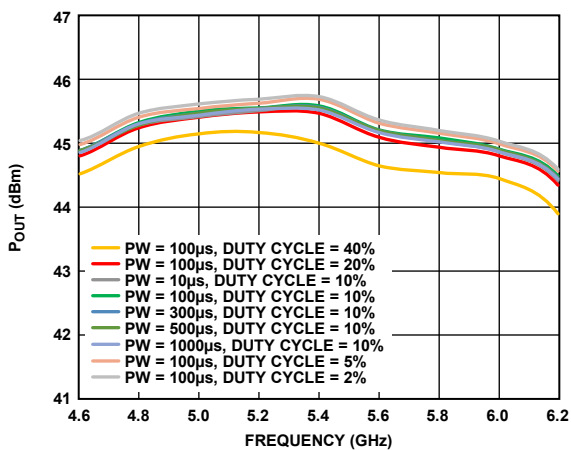


図 33. 様々なパルス幅 (PW) およびデューティ・サイクルでの
 P_{OUT} と周波数の関係、 $P_{IN} = 25\text{dBm}$

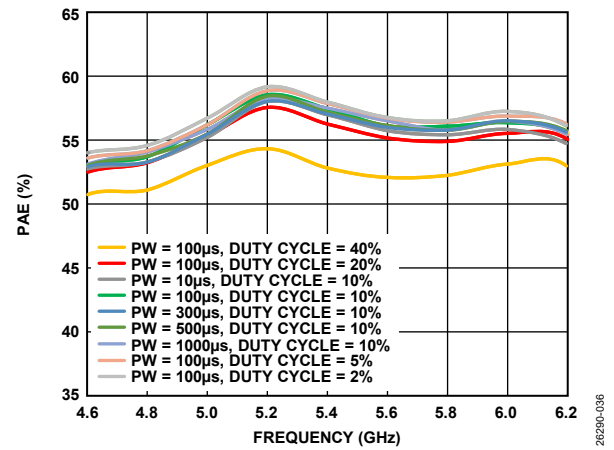


図 36. 様々なパルス幅 (PW) およびデューティ・サイクルでの
PAE と周波数の関係、 $P_{IN} = 25\text{dBm}$

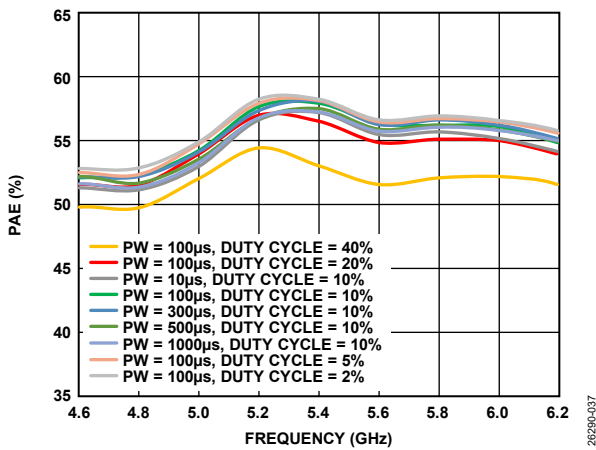


図 37. 様々なパルス幅 (PW) およびデューティ・サイクルでの PAE と周波数の関係、 $P_{IN} = 27\text{dBm}$

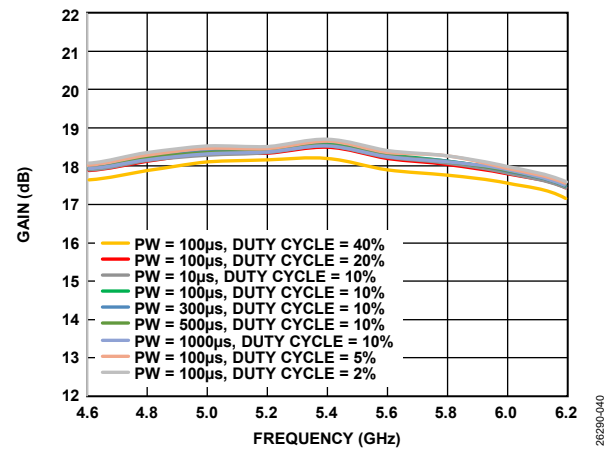


図 40. 様々なパルス幅 (PW) およびデューティ・サイクルでの ゲインと周波数の関係、 $P_{IN} = 27\text{dBm}$

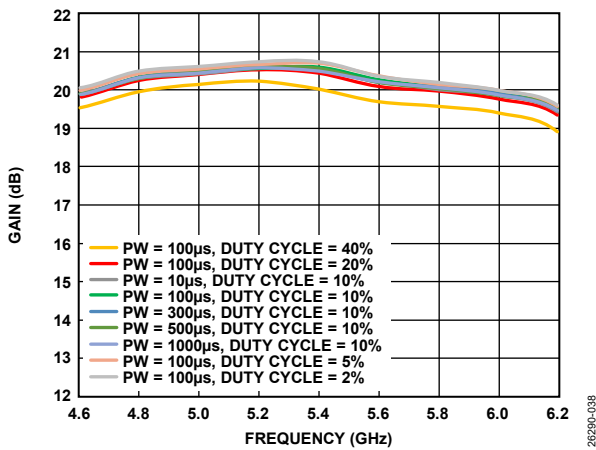


図 38. 様々なパルス幅 (PW) およびデューティ・サイクルでの ゲインと周波数の関係、 $P_{IN} = 25\text{dBm}$

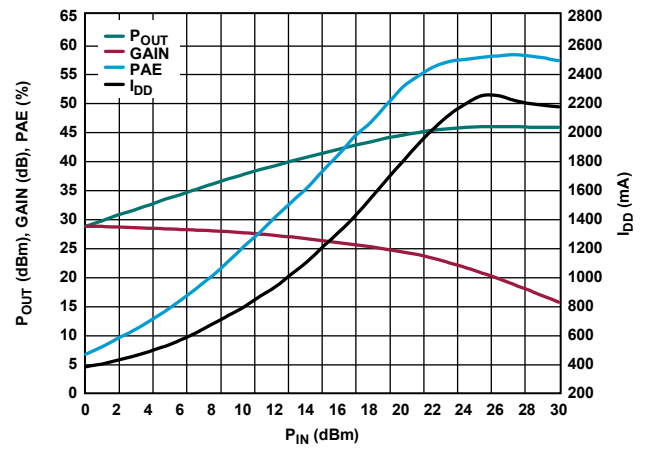


図 41. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、5.4GHz

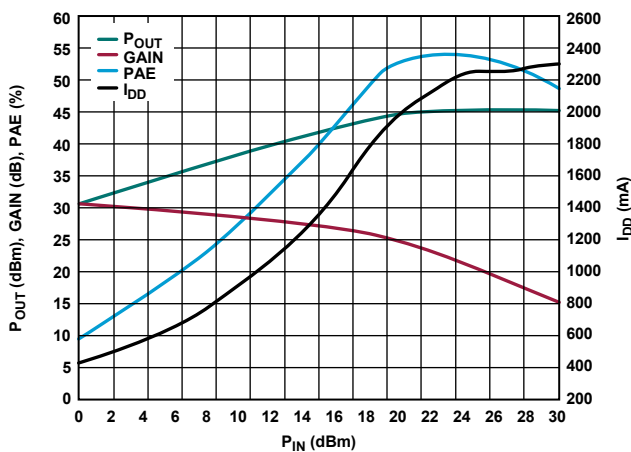


図 39. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、4.8GHz

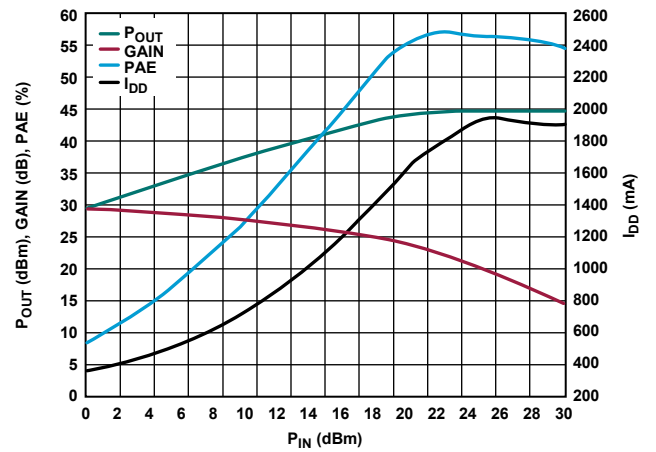


図 42. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、6.0GHz

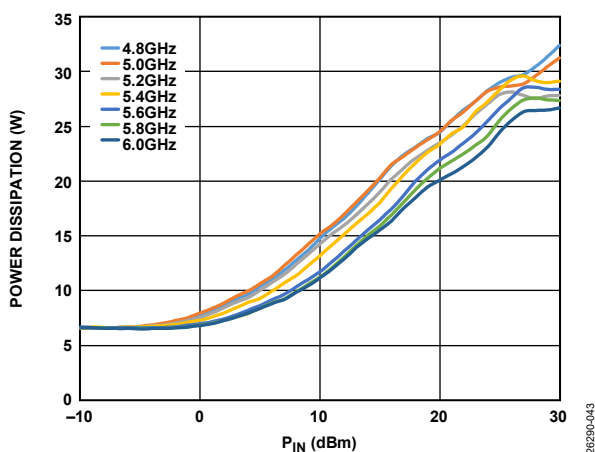


図 43. 消費電力と P_{IN} の関係、ドレイン・バイアスのパルス幅 = 100µs、10%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

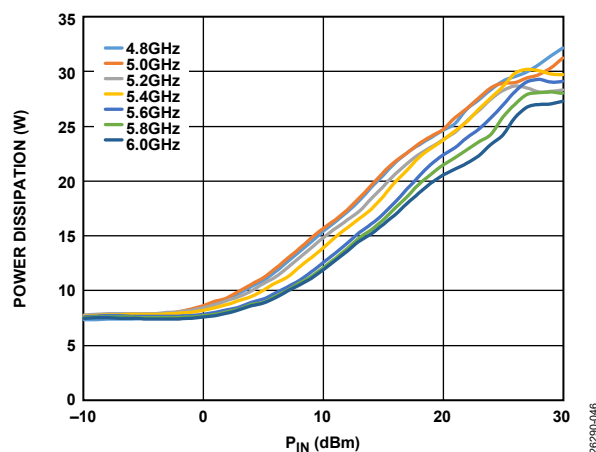


図 46. 消費電力と P_{IN} の関係、ドレイン・バイアスのパルス幅 = 100µs、20%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

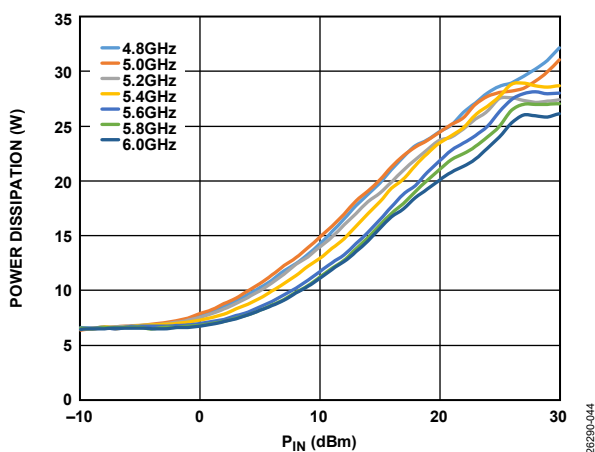


図 44. 消費電力と P_{IN} の関係、ドレイン・バイアスのパルス幅 = 100µs、2%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

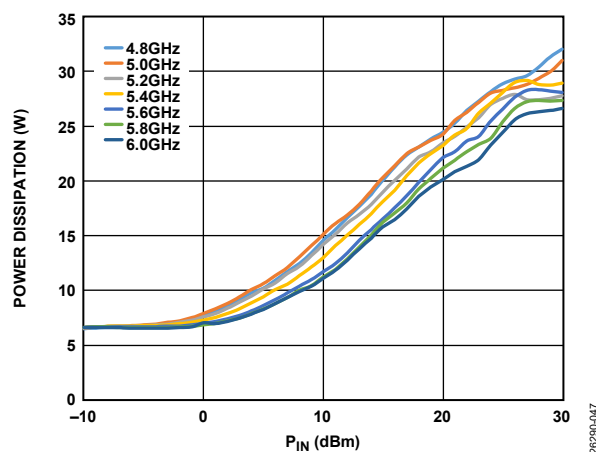


図 47. 消費電力と P_{IN} の関係、ドレイン・バイアスのパルス幅 = 100µs、5%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

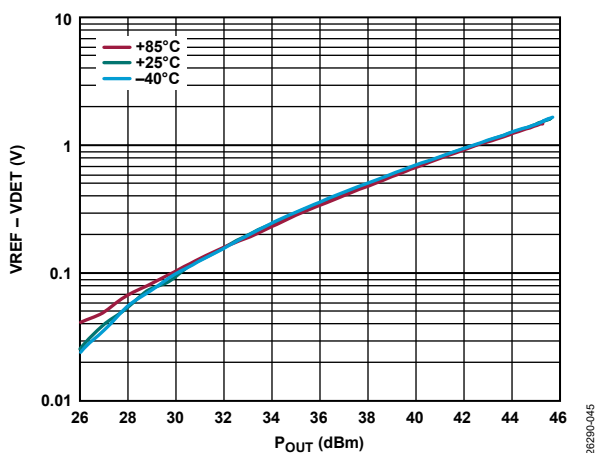


図 45. 様々な温度でのディテクタ電圧 ($V_{REF} - V_{DET}$) と P_{OUT} 関係、5.4GHz

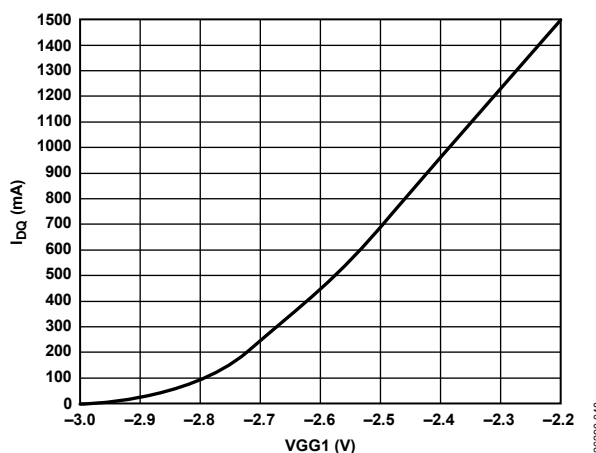


図 48. I_{DQ} と V_{GG1} の関係、 V_{DD1x} および $V_{DD2x} = 28V$ 、標準的なデバイスによる代表値

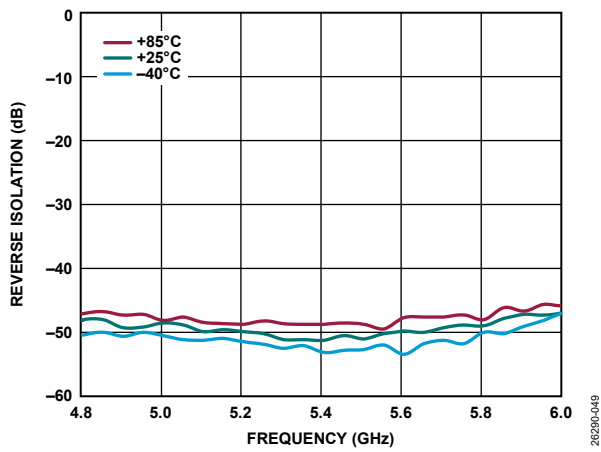


図 49. 様々な温度でのリバース・アイソレーションと周波数の関係、VDD1x および VDD2x = 28V

動作原理

ADPA1107 は、45dBm (35W) のパルス電力を供給する広帯域 GaN パワー・アンプで、2つのカスケード接続されたゲイン段で構成されています。簡略化したブロック図を図 50 に示します。

ADPA1107 は、AC カップリングされたシングル・エンドの RFIN ポートおよび RFOUT ポートを備えており、これらのポートのインピーダンスは 4.8GHz~6.0GHz の周波数範囲で 50Ω (公称値) です。したがって、ADPA1107 は 50Ω のシステムに直接実装することができ、外付けのインピーダンス・マッチング部品や AC カップリング・コンデンサは不要です。

VDD1A と VDD1B、および VDD2A と VDD2B の各ピンに印加されたドレイン・バイアス電圧が、それぞれ、初段と 2 段目のゲイン段のドレインをバイアスします (単一の共通電源電圧を

使用する必要があります)。VGG1 ピンに印加された負の DC 電圧が、それぞれ初段と 2 段目のゲイン段のゲートをバイアスすることで、それぞれの段のドレイン電流を制御することができます。

RF 出力信号の一部は、RF 出力電力検出用のダイオードに方向性結合されます。このダイオードに DC バイアスを加えると RF 電力が整流され、VDET ピンで DC 電圧として RF 電力を測定できるようになります。VREF を介して同一の回路を対称に配置し、カップリングされた RF 電力を差し引くことにより、VDET の温度補償を行うことができます。VREF - VDET による差分から、RF 出力電力に比例する温度補償信号が得られます (図 51 参照)。

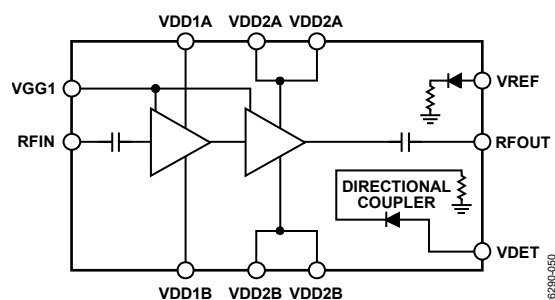


図 50. 簡略化したブロック図

アプリケーション情報

基本的な接続方法

ADPA1107 を動作させるための基本的な接続方法を図 51 に示します。28V~32V の電源電圧をすべての VDDxA ピンと VDDxB ピンに印加します。VDDxA ピンと VDDxB ピンは図 51 に示すコンデンサ値でデカップリングします。ADPA1107 が無条件で安定動作できるよう、VDD1x ピンにはデカップリング・コンデンサと直列に 2.55Ω の抵抗が必要です。VGG1 ピンは、すべての段の I_{DQ} を設定するために使用します。VDDxA、VDDxB、VGG1 の各ラインのデカップリング・コンデンサは、ADPA1107 の特性を適切なものにするために使用される構成になっています。

ピン 1~ピン 4、ピン 8~ピン 12、ピン 14~ピン 17、ピン 20~ピン 22、ピン 28~ピン 31、ピン 34~ピン 37、およびピン 40 は、内部接続なし (NIC) のピンとなっています。MIC ピンは内部では接続されていませんが、デバイスの特性評価時にはすべてグラウンドに接続されています。

-2V~-4V の電圧を VGG1 ラインに印加することでドレイン電流を設定できます。デバイスはゲート電圧またはドレイン電圧にパルス印加することで動作できます。

ゲート・パルス・モードでは、VDDxA と VDDxB は固定レベル (公称+28V) に維持され、ゲート電圧は-4V (オフ時) ~約 -2.6V (オン時) のパルス波になります。オン時の電圧レベルを厳密に調整することによって目的の I_{DQ} が得られます。

ドレイン・パルス・モードでは、VDDxA と VDDxB はオンとオフを繰り返すパルス波になりますが、ゲート電圧は-2V~-4V の負の固定レベルに維持されます。大電流・高電圧によるオン/オフのスイッチングが行われるため、回路には金属酸化膜半導体電界効果トランジスタ (MOSFET) と MOSFET スイッチ・ドライバが必要です。大容量のコンデンサも必要となります。このようなコンデンサは局所的な電荷貯蔵素子として機能し、パルスがオンの間、ADPA1107 に必要なドレイン電流を供給すると同時に、安定したドレイン電圧の維持を実現します。

ADPA1107-EVALZ には、ドレイン・パルス・モードの実現に必要な回路が形成されたプラグイン・パルサ・ボードが含まれています。詳細については、ADPA1107A-EVALZ ユーザ・ガイド (UG-1962) を参照してください。

安全に電源投入するために、VGG1 の電圧を-4V に設定してから VDDxA および VDDxB の電圧を加える必要があります。VGG1 が増加して目的の I_{DQ} が達せられてから、RF を入力できます。

安全に電源オフするためには、RF 入力を停止し、VGG1 を-4V に低下させてください。その後 VDDxA と VDDxB を 0V に低下させてから VGG1 を 0V に増加できます。

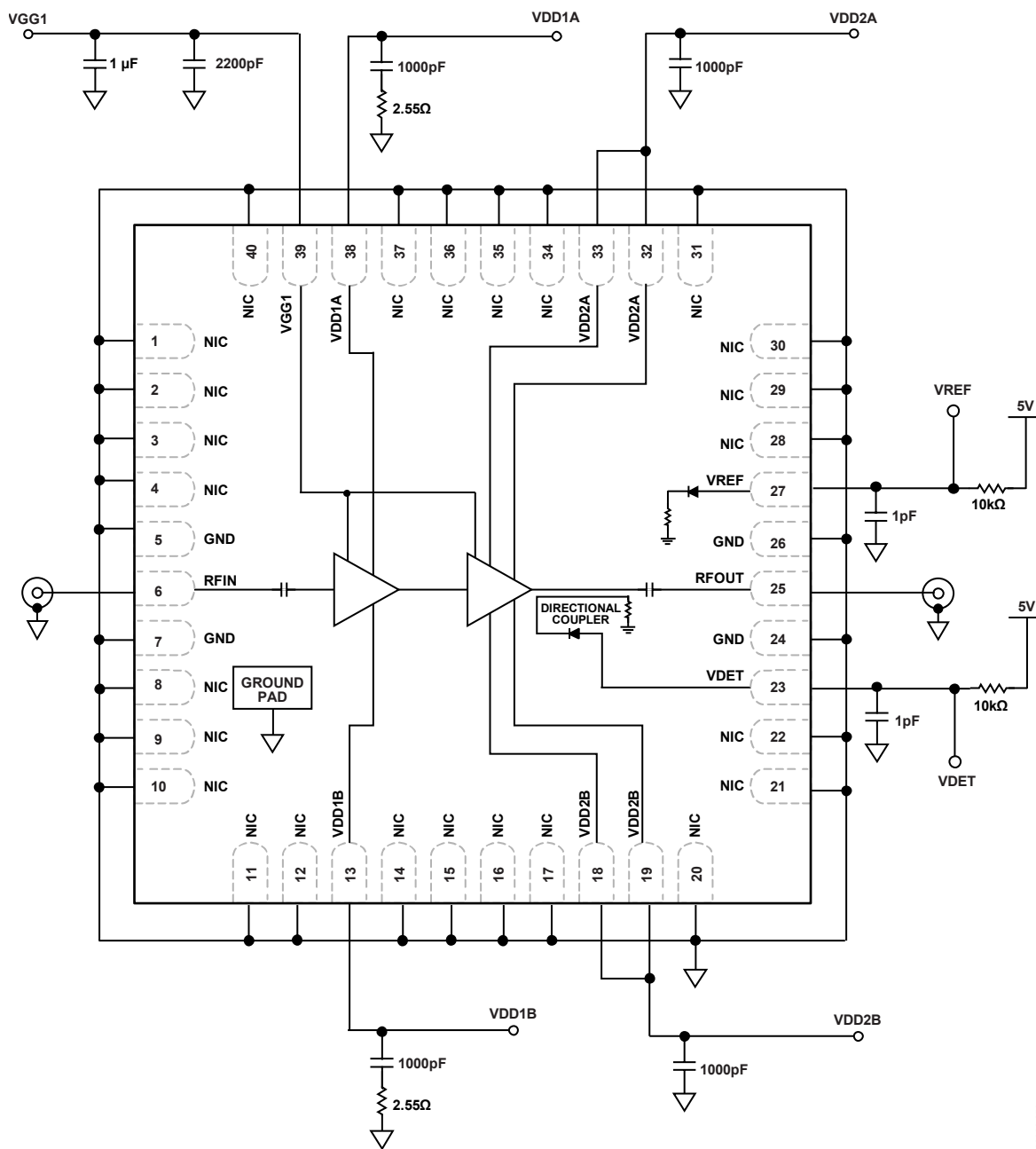


图 51. 基本的な接続方法

26290-053

温度管理

仕様規定された性能と定格の動作寿命を達成するためには、温度管理を適切に行うことが重要です。パルス波のバイアスを印加することで、平均消費電力を制限し安全なチャンネル温度を維持することができます。チャンネル（またはダイ）の温度は、平均故障時間（MTTF）と密接に関連しています。

連続バイアスの条件を検討します（図 52 参照）。バイアスが印加されると、デバイスのチャンネル温度（ T_{CHAN} ）はターン・オン・トランジェントの間に上昇し、最終的に定常状態の値に落ち着きます。デバイスの θ_{JC} は、開始時の T_{BASE} からの T_{CHAN} の上昇分をデバイスの総消費電力 P_{DISS} で割ることにより計算できます。

$$\theta_{JC} = t_{RISE} / P_{DISS} \tag{1}$$

ここで、 t_{RISE} は、デバイスの T_{CHAN} の T_{BASE} からの温度上昇値（°C）、 P_{DISS} は、デバイスの消費電力（W）です。

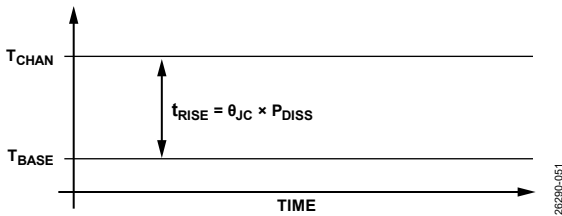


図 52. 連続バイアス条件でのチャンネル温度上昇

次に、低デューティ・サイクルのパルス・バイアス条件を考えます（図 53 参照）。バイアスが印加されると、デバイスの T_{CHAN} は指数関数的に増加・減少するパルスの連続として表すことができます。連続パルス印加時のチャンネル温度のピーク値は、ターン・オン・トランジェントの間に上昇し、最終的に定常安定状態に落ち着きます。このとき、パルスとパルスの間のピーク・チャンネル温度は安定しています。

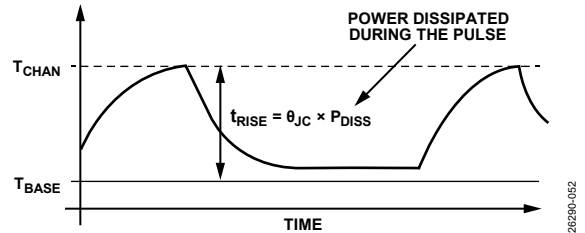


図 53. 低デューティ・サイクルのパルス・バイアス条件

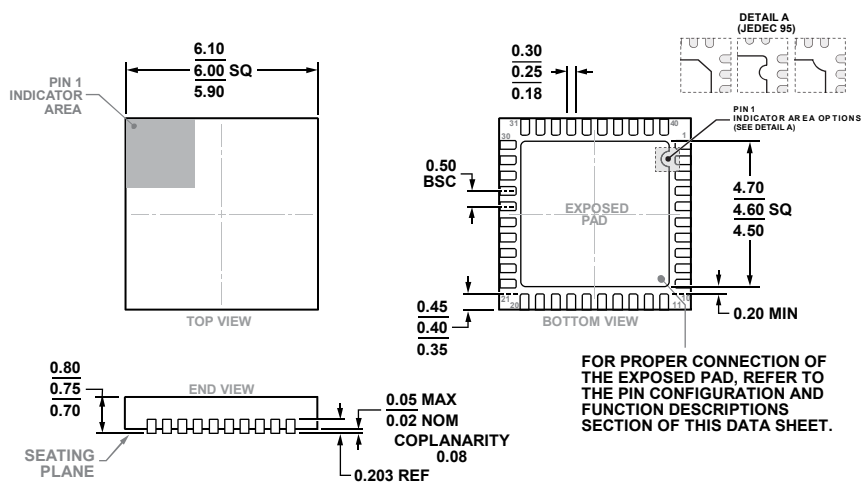
表 7 に、様々なパルス条件での熱抵抗値を示します。

表 7. パルスの設定と熱抵抗値

Pulse Settings		θ_{JC} (°C/W)
Pulse Width (μ s)	Duty Cycle (%)	
100	10	1.72
100	20	1.76
500	10	2.10

狭いパルス幅、または低いデューティ・サイクルにすると、信頼性を向上させることができます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD-5

図 54. 40 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 6mm × 6mm ボディ、0.75mm パッケージ高
 (CP-40-7)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature	MSL Rating ²	Description ³	Package Option
ADPA1107ACPZN	-40°C to +85°C	MSL3	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-7
ADPA1107ACPZN-R7	-40°C to +85°C	MSL3	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-7
ADPA1107-EVALZ			Evaluation Board	

¹ ADPA1107ACPZN モデルおよび ADPA1107ACPZN-R7 モデルは RoHS 準拠製品です。

² 詳細については、絶対最大定格のセクションを参照してください。

³ ADPA1107ACPZN と ADPA1107ACPZN-R7 のピン仕上げは、ニッケル・パラジウム金 (NiPdAu) です。