

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2020年12月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2020年12月23日

製品名：ADPA1105

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：1 ページ

左上 特徴の欄 パッケージの記述

【誤】

32-Lead, 5 mm × 5 mm, **LFSCP**\_CAV package

【正】

32-Lead, 5 mm × 5 mm, **LFSP**\_CAV package



# 46dBm (40W) 0.9GHz~1.6GHz GaN パワー・アンプ

データシート

ADPA1105

## 特長

$P_{IN} = 19\text{dBm}$  での出力電力 : 46dBm (代表値)  
小信号ゲイン : 0.9GHz~1.4GHz で 34.5dB (代表値)  
 $P_{IN} = 19\text{dBm}$  でのパワー・ゲイン : 27dB (代表値)  
帯域幅 : 0.9GHz~1.6GHz  
 $P_{IN} = 19\text{dBm}$  での PAE : 0.9GHz~1.4GHz で 60% (代表値)  
電源電圧 :  $V_{DD} = 50\text{V}$   
(400mA、10%のデューティ・サイクル)  
32ピン、5mm × 5mm LFSCP\_CAVパッケージ

## アプリケーション

気象観測レーダー  
航海用レーダー  
防衛用レーダー

## 概要

ADPA1105 は、窒化ガリウム (GaN) 広帯域パワー・アンプで、0.9GHz~1.4GHzの帯域幅において 60% (代表値) の電力付加効率 (PAE) で 46dBm (40W) を供給します。また、0.9GHz~1.4GHzの帯域幅で±0.5dBのゲイン平坦性を実現します。

## 機能ブロック図

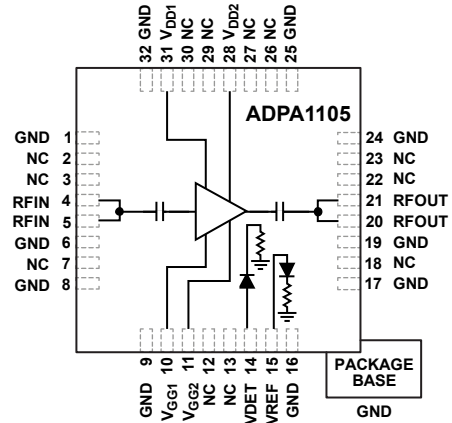


図 1.

ADPA1105 は、ワイヤレス・インフラストラクチャ、レーダー、公共モバイル無線、汎用増幅機器などのパルス波のアプリケーションに最適です。

ADPA1105 は 32ピン、リード・フレーム・チップ・スケール・パッケージ、プリモールド・キャビティ (LFSCP\_CAV) を採用しています。

## 目次

特長 .....	1	ピン配置およびピン機能の説明 .....	5
アプリケーション .....	1	インターフェース回路図 .....	5
機能ブロック図 .....	1	代表的な性能特性 .....	6
概要 .....	1	動作原理 .....	13
改訂履歴 .....	2	アプリケーション情報 .....	14
仕様 .....	3	基本的な接続方法 .....	14
電気仕様 .....	3	温度管理 .....	15
絶対最大定格 .....	4	外形寸法 .....	16
熱抵抗 .....	4	オーダー・ガイド .....	16
静電放電 (ESD) 定格 .....	4		
ESD に関する注意 .....	4		

## 改訂履歴

10/2020—Revision 0: Initial Version

## 仕様

## 電気仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、電源電圧 ( $V_{DD}$ ) = 50V、 $I_{DQ} = 400\text{mA}$ 、パルス幅 = 100 $\mu\text{s}$ 、10%のデューティ・サイクル、周波数範囲 = 0.9GHz~1.4GHz。

表 1.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		0.9		1.4	GHz	
GAIN						
Small Signal Gain		32	34.5		dB	
Gain Flatness			$\pm 0.5$		dB	
RETURN LOSS						
Input			16		dB	
Output			9		dB	
POWER						
Output Power ( $P_{OUT}$ )						
Input Power ( $P_{IN}$ ) = 19 dBm		44	46		dBm	
Power Gain						
$P_{IN} = 19$ dBm		25	27		dB	
PAE						
$P_{IN} = 19$ dBm			60		%	
TARGET QUIESCENT CURRENT	$I_{DQ}$		400		mA	ゲート制御電圧 ( $V_{GG1}$ 、 $V_{GG2}$ ) を-4V~0V に調整することで $I_{DQ} = 400\text{mA}$ (代表値) を実現

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 50\text{V}$ 、 $I_{DQ} = 400\text{mA}$ 、パルス幅 = 100 $\mu\text{s}$ 、10%のデューティ・サイクル、周波数範囲 = 1.4GHz~1.6GHz。

表 2.

パラメータ	記号	Min	Typ	Max	単位	テスト条件/コメント
FREQUENCY RANGE		1.4		1.6	GHz	
GAIN						
Small Signal Gain		30.5	32.5		dB	
Gain Flatness			$\pm 0.9$		dB	
RETURN LOSS						
Input			11		dB	
Output			14		dB	
POWER						
$P_{OUT}$						
$P_{IN} = 19$ dBm		44	46		dBm	
Power Gain						
$P_{IN} = 19$ dBm		25	27		dB	
PAE						
$P_{IN} = 19$ dBm			57		%	
TARGET QUIESCENT CURRENT	$I_{DQ}$		400		mA	ゲート制御電圧 ( $V_{GG1}$ 、 $V_{GG2}$ ) を-4V~0V に調整することで $I_{DQ} = 400\text{mA}$ (代表値) を実現

## 絶対最大定格

表 3.

Parameter	Rating
Drain Bias Voltage ( $V_{DD1}$ , $V_{DD2}$ )	55 V dc
Gate Bias Voltage ( $V_{GG1}$ , $V_{GG2}$ )	-5 V to 0 V dc
Radio Frequency Input Power (RFIN)	30 dBm
Maximum Drain Bias	
Pulse Width	500 $\mu$ s
Duty Cycle	20%
Drain Bias Pulse Width = 100 $\mu$ s at 10% Duty Cycle	
Maximum Pulsed Power Dissipation ( $P_{DISS}$ ), Base Temperature ( $T_{BASE}$ ) = 85°C, Derate 473 mW/°C Above 85°C	54.5 W
Nominal Pulsed Peak Channel Temperature, $P_{IN}$ = 19 dBm, $P_{DISS}$ = 33.6 W at 0.9 GHz	155.9°C
Drain Bias Pulse Width = 200 $\mu$ s at 20% Duty Cycle	
Maximum Pulsed Power Dissipation ( $P_{DISS}$ ) (Base Temperature ( $T_{BASE}$ ) = 85°C, Derate 355 mW/°C Above 85°C)	40.8 W
Nominal Pulsed Peak Channel Temperature $P_{IN}$ = 19 dBm, $P_{DISS}$ = 33.6 W at 0.9 GHz <sup>1</sup>	179.7°C
Maximum Channel Temperature	200°C
Maximum Peak Reflow Temperature	260°C
Storage Temperature Range	-60°C to +125°C
Operating Temperature Range	-40°C to +85°C

<sup>1</sup>  $P_{DISS}$  に対して最も厳しい周波数

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$  は、デバイスのジャンクションとケースの間の熱抵抗 (°C/W) です。

表 4. 熱抵抗

Package Type <sup>1</sup>	$\theta_{JC}$	Unit
CG-32-2		
Drain Bias Pulse Width = 100 $\mu$ s <sup>2</sup>	2.11	°C/W
Drain Bias Pulse Width = 200 $\mu$ s <sup>3</sup>	2.82	°C/W

<sup>1</sup>  $\theta_{JC}$  は、熱がチャンネルから PCB へグラウンド・パッドを通じた熱伝導のみで伝達され、グラウンド・パッドが 85°C の動作温度で一定に保たれているという条件のもとで測定された  $\theta_{JC}$  によって決定されています。

<sup>2</sup> 10% のデューティ・サイクル

<sup>3</sup> 20% のデューティ・サイクル

## 静電放電 (ESD) 定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた場所で取り扱う場合にのみ適用できます。

人体モデル (HBM) は、ANSI/ESDA/JEDEC JS-001 規格に基づいています。

## ADPA1105 の ESD 定格

表 5. ADPA1105、32 ピン LFCSP\_CAV

ESD Model	Withstand Threshold (V)	Class
HBM	250	1A

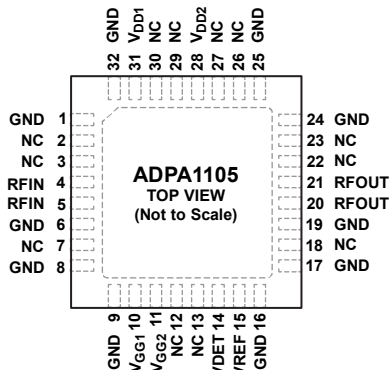
## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. THE NC PINS ARE NOT CONNECTED INTERNALLY. HOWEVER, ALL DATA SHOWN IS MEASURED WITH THE NC PINS CONNECTED TO RF AND DC GROUND EXTERNALLY.
  2. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO RF AND DC GROUND.

21925-002

図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 6, 8, 9, 16, 17, 19, 24, 25, 32	GND	GND ピンは、RF/DC グラウンドに接続する必要があります。インターフェース回路図については、 <a href="#">図 6</a> を参照してください。
2, 3, 7, 12, 13, 18, 22, 23, 26, 27, 29, 30	NC	NC ピンは、内部では接続されていません。ただし、すべてのデータは NC ピンを外部で RF/DC グラウンドに接続して測定しています。
4, 5	RFIN	RF 入力。RFIN ピンは AC カップリングされ、50Ω に整合されています。インターフェース回路図については、 <a href="#">図 3</a> を参照してください。
10	V <sub>GG1</sub>	ゲート制御、1 段目のゲート・バイアス。インターフェース回路図については、 <a href="#">図 3</a> を参照してください。
11	V <sub>GG2</sub>	ゲート制御、2 段目のゲート・バイアス。インターフェース回路図については、 <a href="#">図 4</a> を参照してください。
14	VDET	RF 出力電力測定用のディテクタ・ダイオード。VDET を介して出力電力を検出するには、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。VREF ピンと組み合わせて使用した場合、電圧差 (VREF - VDET) が RF 出力電力に比例した温度補償済み DC 電圧になります。
15	VREF	VDET による RF 出力電力測定値の温度補償用リファレンス・ダイオード。VREF には、外付けの直列抵抗を通じて DC バイアス電圧をかける必要があります。
20, 21	RFOUT	RF 出力。RFOUT ピンは AC カップリングされ、50Ω に整合されています。インターフェース回路図については、 <a href="#">図 4</a> を参照してください。
28	V <sub>DD2</sub>	アンプの電源電圧、2 段目のドレイン・バイアス。インターフェース回路図については、 <a href="#">図 4</a> を参照してください。
31	V <sub>DD1</sub>	アンプの電源電圧、1 段目のドレイン・バイアス。インターフェース回路図については、 <a href="#">図 3</a> を参照してください。
	EPAD	露出パッド。露出パッドは RF/DC グラウンドに接続する必要があります。

インターフェース回路図

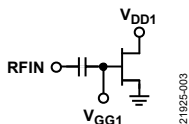


図 3. RFIN、V<sub>GG1</sub> および V<sub>DD1</sub> のインターフェース

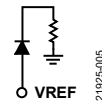


図 5. VREF インターフェース

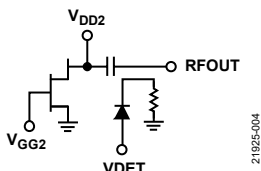


図 4. RFOUT、V<sub>GG2</sub>、V<sub>DD2</sub> および VDET のインターフェース



図 6. GND インターフェース

代表的な性能特性

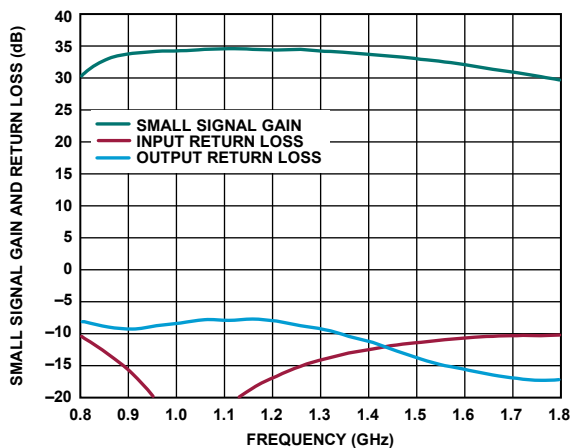


図 7. 小信号ゲインおよびリターン・ロスの周波数特性

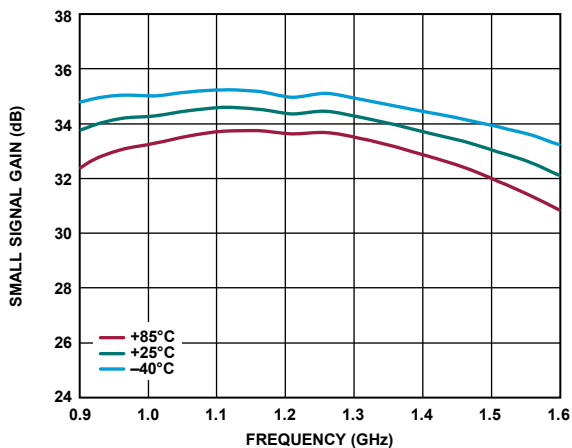


図 10. 様々な温度での小信号ゲインの周波数特性

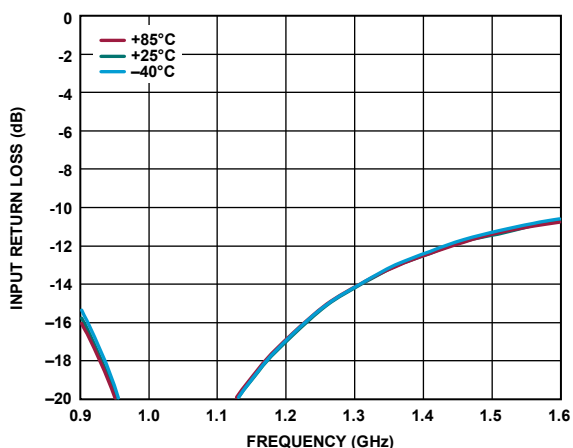


図 8. 様々な温度での入力リターン・ロスの周波数特性

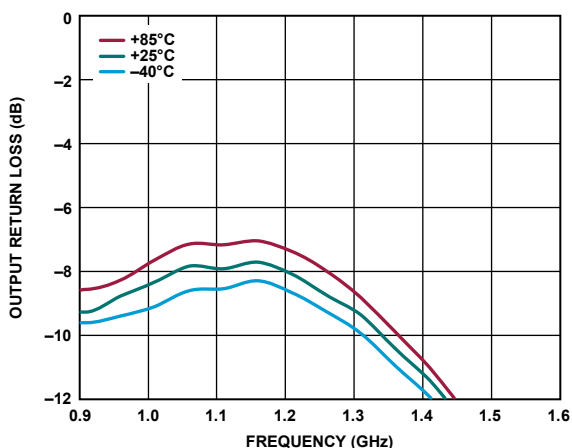


図 11. 様々な温度での出力リターン・ロスの周波数特性

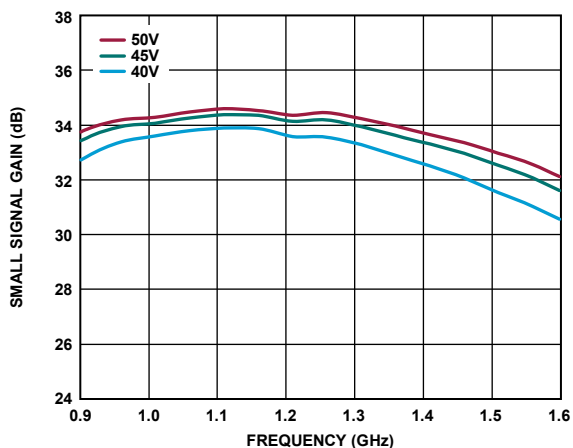


図 9. 様々な電源電圧での小信号ゲインの周波数特性、 $I_{DQ} = 400\text{mA}$

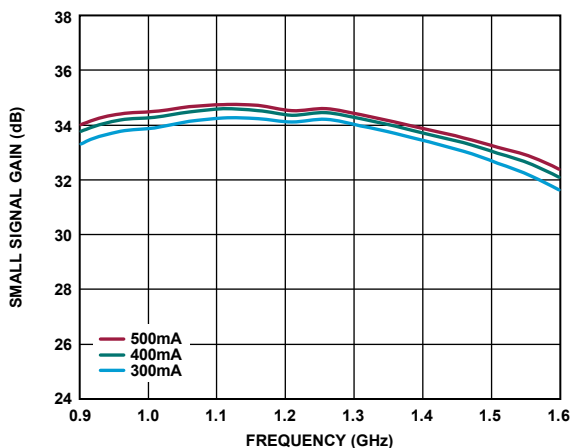


図 12. 様々な  $I_{DQ}$  での小信号ゲインの周波数特性、 $V_{DD1}$  および  $V_{DD2} = 50\text{V}$

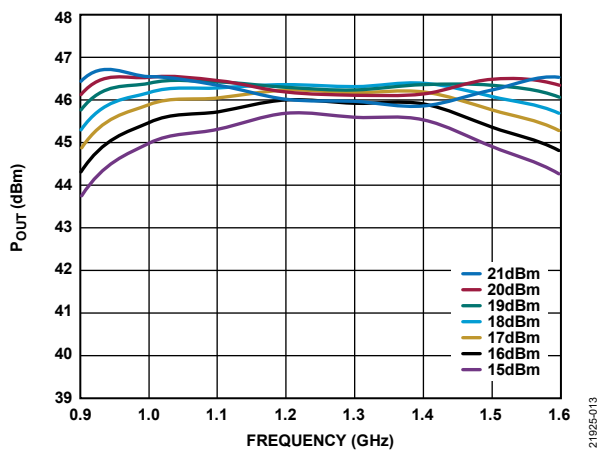


図 13. 様々な  $P_{IN}$  レベルでの出力電力 ( $P_{OUT}$ ) の周波数特性

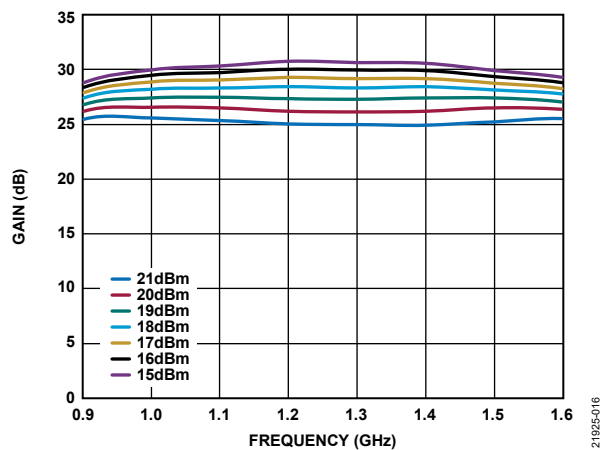


図 16. 様々な  $P_{IN}$  レベルでのゲインの周波数特性

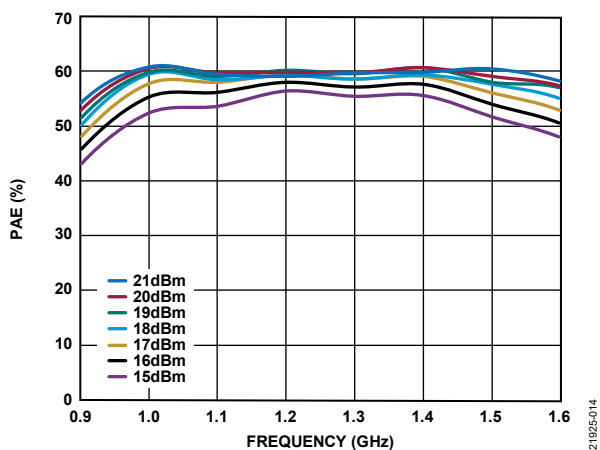


図 14. 様々な  $P_{IN}$  レベルでの PAE の周波数特性

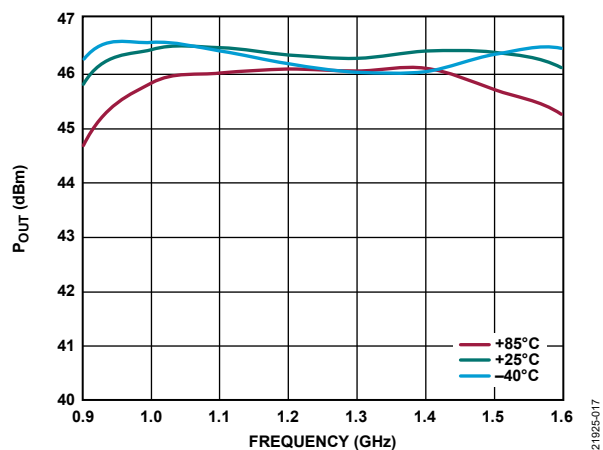


図 17. 様々な温度での  $P_{OUT}$  の周波数特性、 $P_{IN} = 19\text{dBm}$

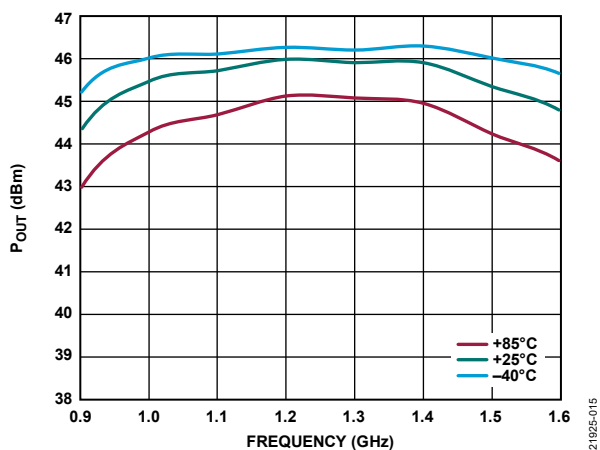


図 15. 様々な温度での  $P_{OUT}$  の周波数特性、 $P_{IN} = 16\text{dBm}$

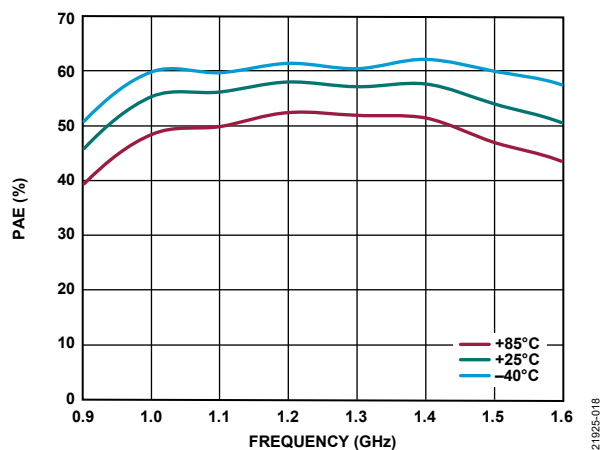


図 18. 様々な温度での PAE の周波数特性、 $P_{IN} = 16\text{dBm}$



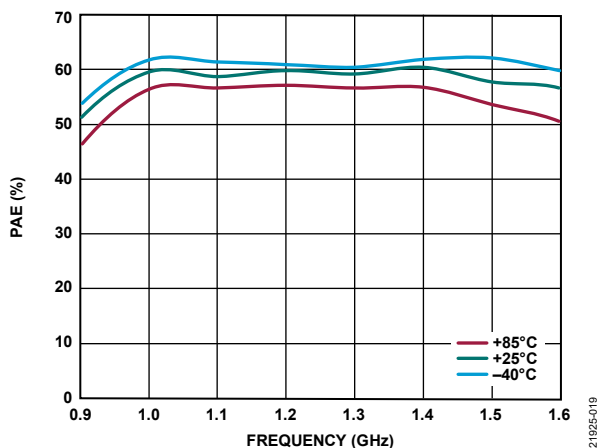


図 19. 様々な温度での PAE の周波数特性、 $P_{IN} = 19\text{dBm}$

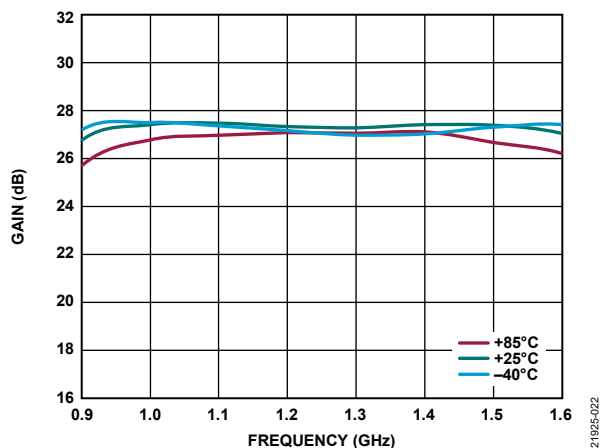


図 22. 様々な温度でのゲインの周波数特性、 $P_{IN} = 19\text{dBm}$

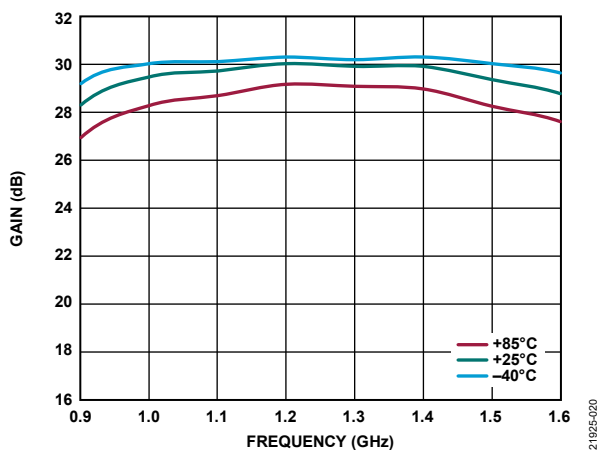


図 20. 様々な温度でのゲインの周波数特性、 $P_{IN} = 16\text{dBm}$

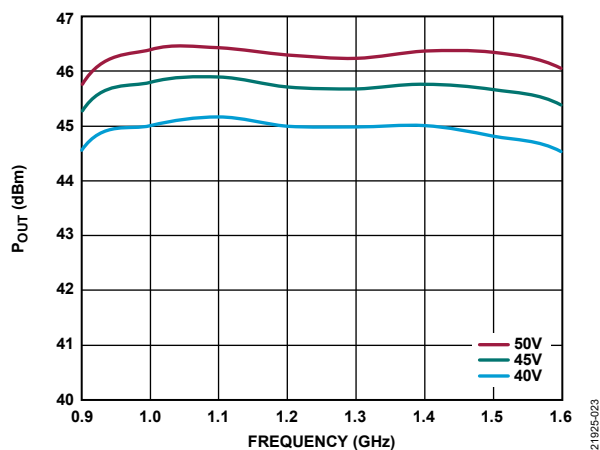


図 23. 様々な電源電圧での  $P_{OUT}$  の周波数特性、  
 $P_{IN} = 19\text{dBm}$ 、 $I_{DQ} = 400\text{mA}$

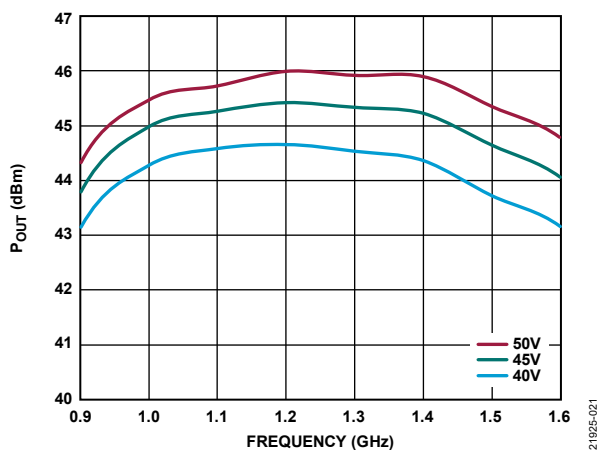


図 21. 様々な電源電圧での  $P_{OUT}$  の周波数特性、  
 $P_{IN} = 16\text{dBm}$ 、 $I_{DQ} = 400\text{mA}$

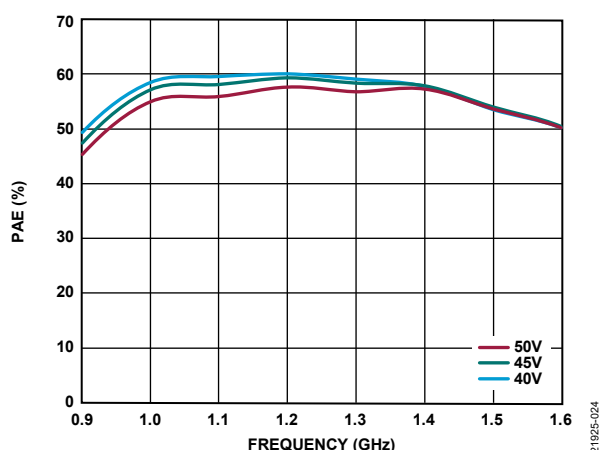


図 24. 様々な電源電圧での PAE の周波数特性、  
 $P_{IN} = 16\text{dBm}$ 、 $I_{DQ} = 400\text{mA}$

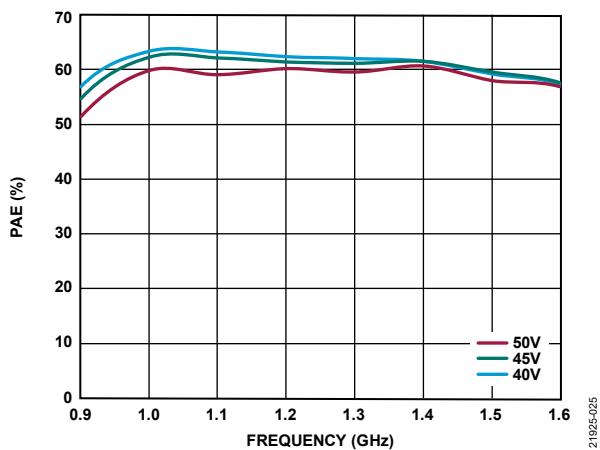


図 25. 様々な電源電圧での PAE の周波数特性、  
 $P_{IN} = 19\text{dBm}$ 、 $I_{DQ} = 400\text{mA}$

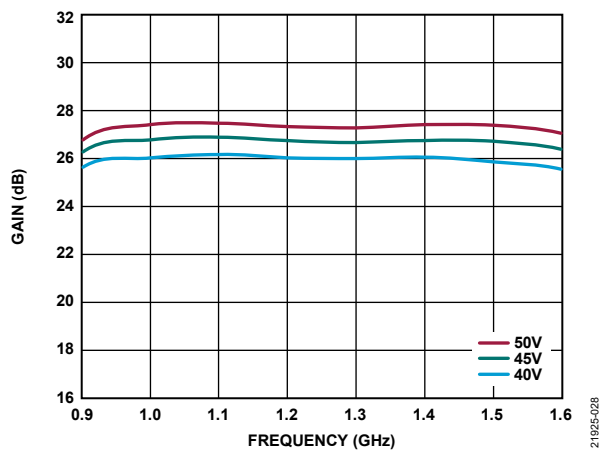


図 28. 様々な電源電圧でのゲインの周波数特性、  
 $P_{IN} = 19\text{dBm}$ 、 $I_{DQ} = 400\text{mA}$

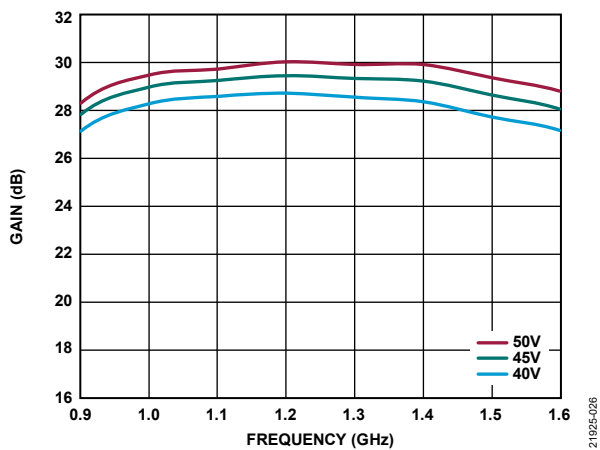


図 26. 様々な電源電圧でのゲインの周波数特性、  
 $P_{IN} = 16\text{dBm}$ 、 $I_{DQ} = 400\text{mA}$

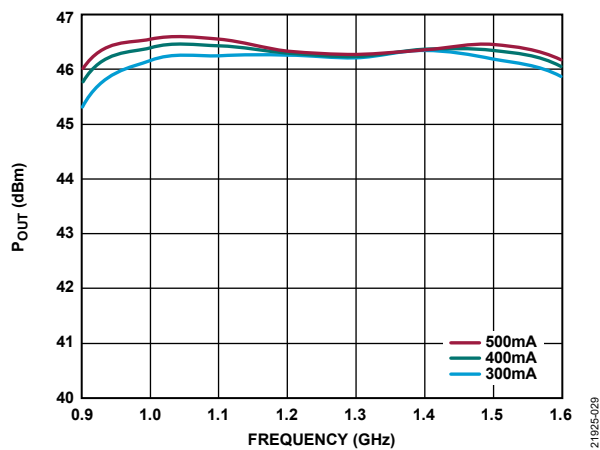


図 29. 様々な電源電流  $I_{DQ}$  での  $P_{OUT}$  の周波数特性、  
 $P_{IN} = 19\text{dBm}$ 、 $V_{DD} = 50\text{V}$

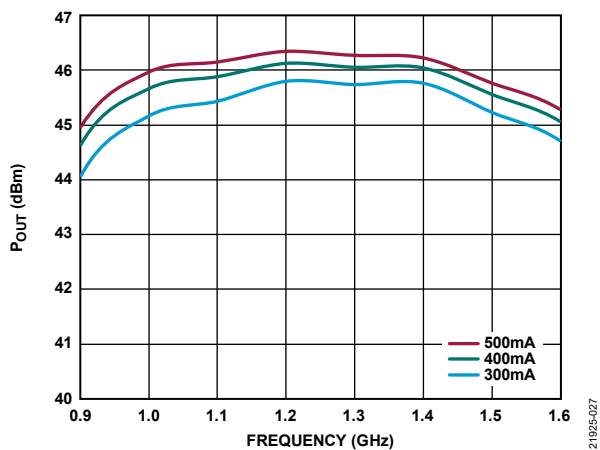


図 27. 様々な電源電流  $I_{DQ}$  での  $P_{OUT}$  の周波数特性、  
 $P_{IN} = 16\text{dBm}$ 、 $V_{DD} = 50\text{V}$

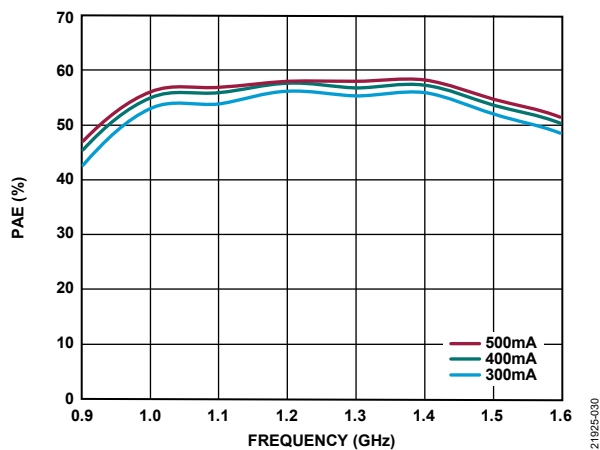


図 30. 様々な電源電流  $I_{DQ}$  での PAE の周波数特性、  
 $P_{IN} = 16\text{dBm}$ 、 $V_{DD} = 50\text{V}$

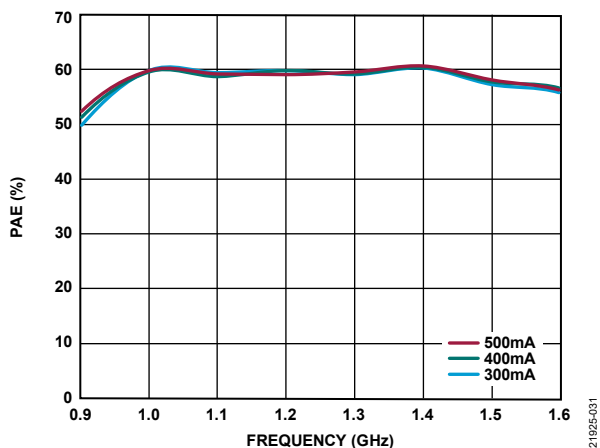


図 31. 様々な電源電流  $I_{DQ}$  での PAE の周波数特性、 $P_{IN} = 19\text{dBm}$ 、 $V_{DD} = 50\text{V}$

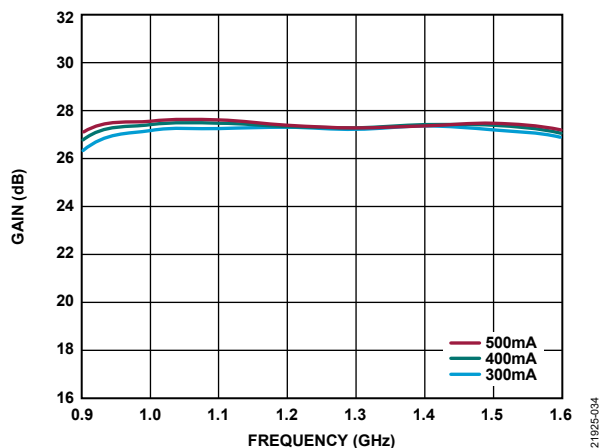


図 34. 様々な  $I_{DQ}$  電流でのゲインの周波数特性、 $P_{IN} = 19\text{dBm}$

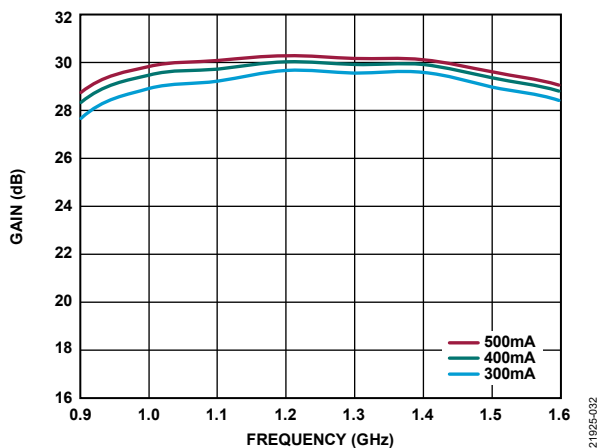


図 32. 様々な電源電流  $I_{DQ}$  でのゲインの周波数特性、 $P_{IN} = 16\text{dBm}$ 、 $V_{DD} = 50\text{V}$

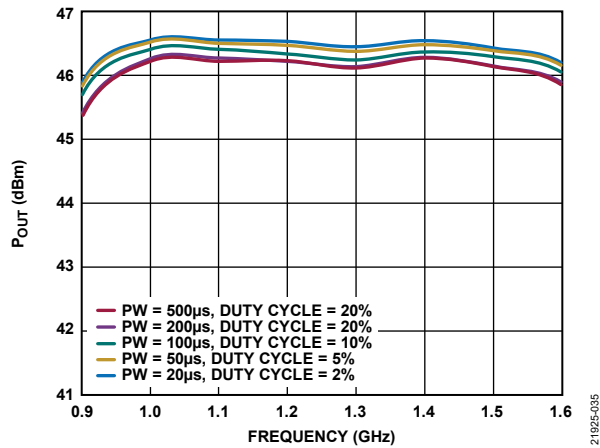


図 35. 様々なパルス幅とデューティ・サイクルでの  $P_{OUT}$  の周波数特性、 $P_{IN} = 19\text{dBm}$

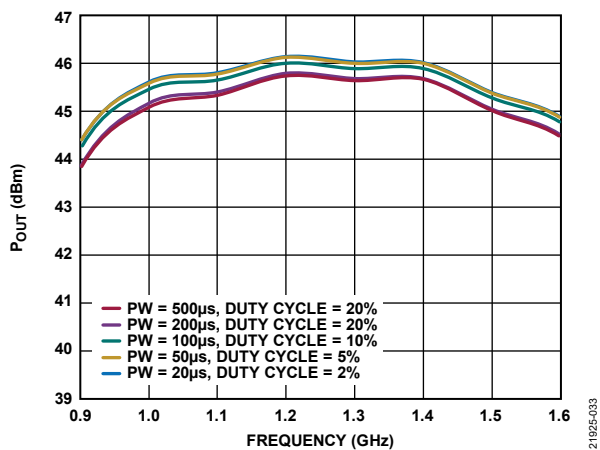


図 33. 様々なパルス幅 (PW) とデューティ・サイクルでの  $P_{OUT}$  の周波数特性、 $P_{IN} = 16\text{dBm}$

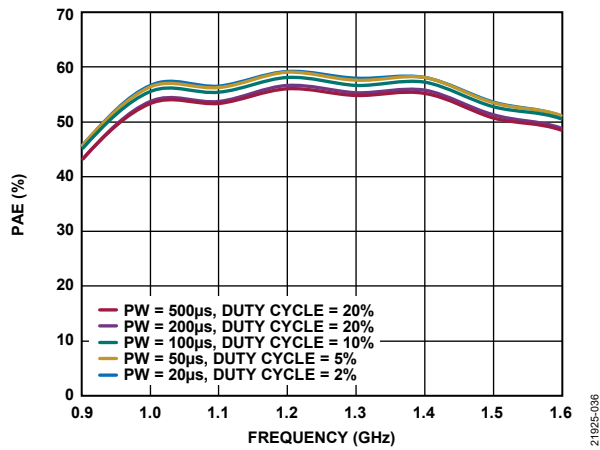


図 36. 様々なパルス幅とデューティ・サイクルでの PAE の周波数特性、 $P_{IN} = 16\text{dBm}$

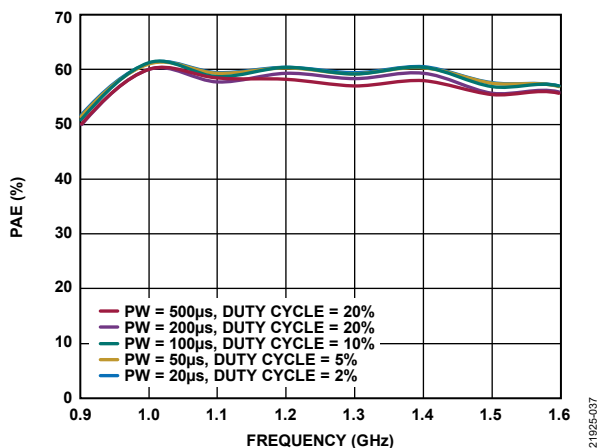


図 37. 様々なパルス幅とデューティ・サイクルでの PAE の周波数特性、 $P_{IN} = 19\text{dBm}$

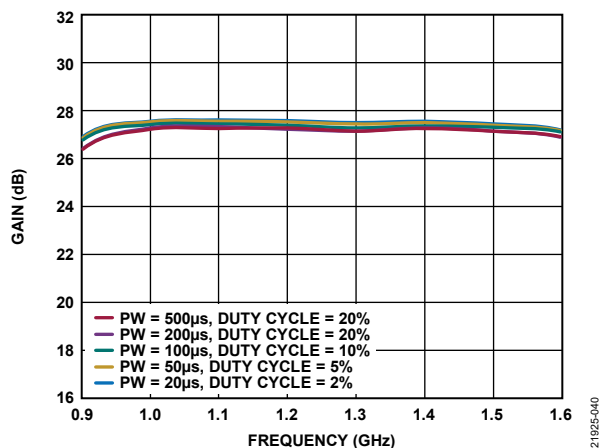


図 40. 様々なパルス幅とデューティ・サイクルでの ゲインの周波数特性、 $P_{IN} = 19\text{dBm}$

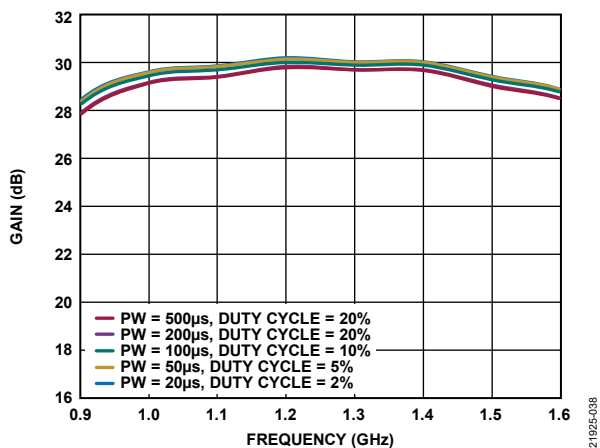


図 38. 様々なパルス幅とデューティ・サイクルでの ゲインの周波数特性、 $P_{IN} = 16\text{dBm}$

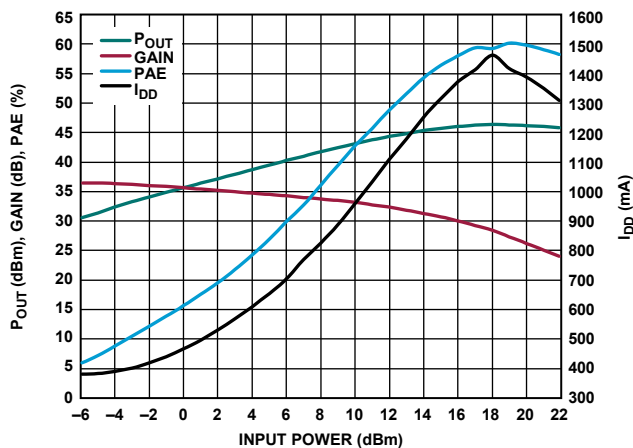


図 41.  $P_{OUT}$ 、ゲイン、PAE、 $I_{DD}$  と入力パワーの関係、1.2GHz

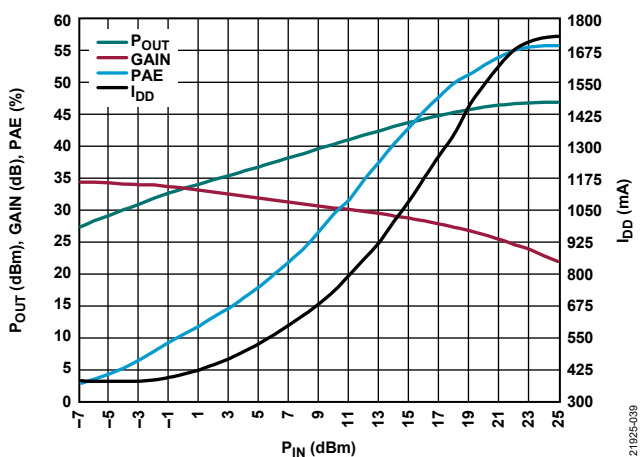


図 39.  $P_{OUT}$ 、ゲイン、PAE、電源電流 ( $I_{DD}$ ) と  $P_{IN}$  の関係、0.9GHz

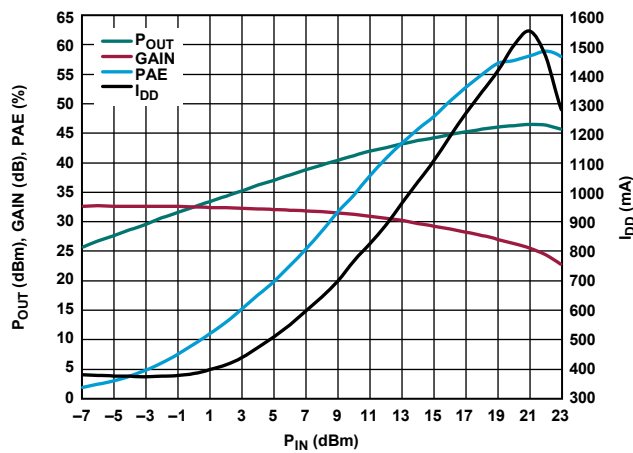


図 42.  $P_{OUT}$ 、ゲイン、PAE、 $I_{DD}$  と  $P_{IN}$  の関係、1.6GHz

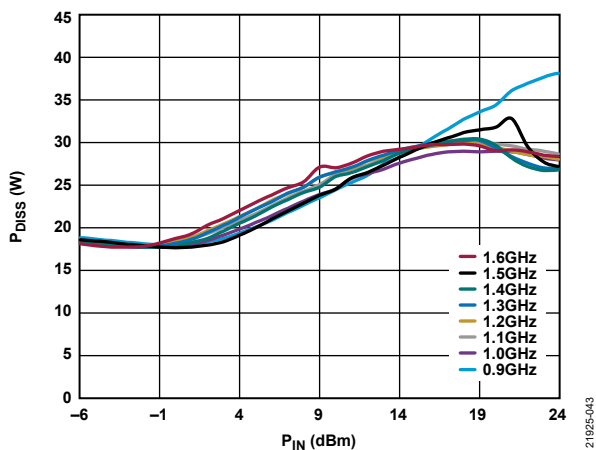


図 43.  $P_{DISS}$  と  $P_{IN}$  の関係、ドレイン・バイアスのパルス幅 = 100 $\mu$ s、10%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

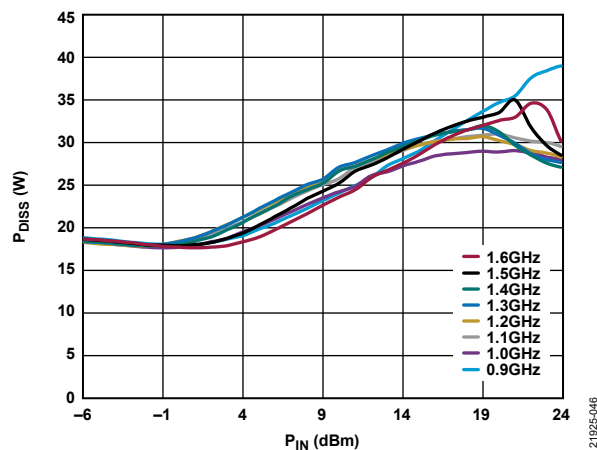


図 46.  $P_{DISS}$  と  $P_{IN}$  の関係、ドレイン・バイアスのパルス幅 = 200 $\mu$ s、20%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

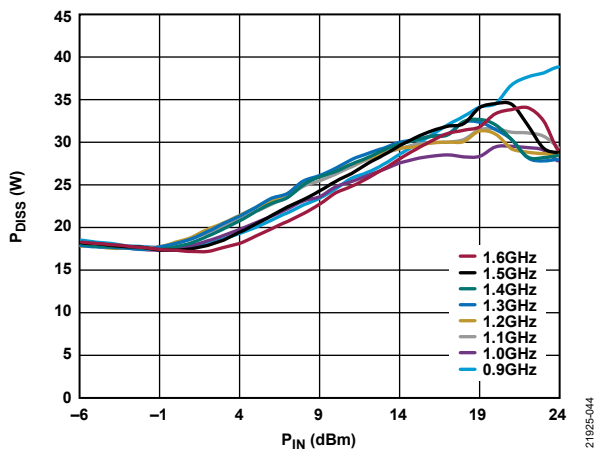


図 44.  $P_{DISS}$  と  $P_{IN}$  の関係、ドレイン・バイアスのパルス幅 = 20 $\mu$ s、2%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

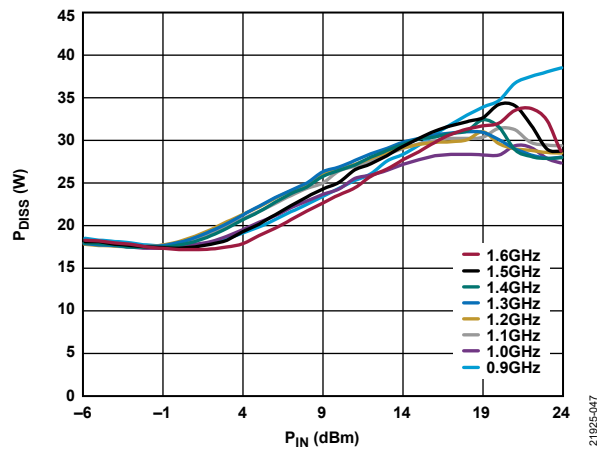


図 47.  $P_{DISS}$  と  $P_{IN}$  の関係、ドレイン・バイアスのパルス幅 = 50 $\mu$ s、5%のデューティ・サイクル、 $T_{BASE} = 85^{\circ}C$

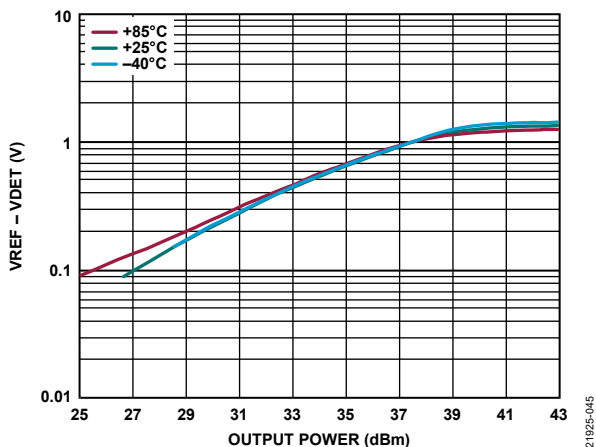


図 45. 様々な温度でのディテクタ電圧 ( $V_{REF} - V_{DET}$ ) と出力電力の関係、1.2GHz

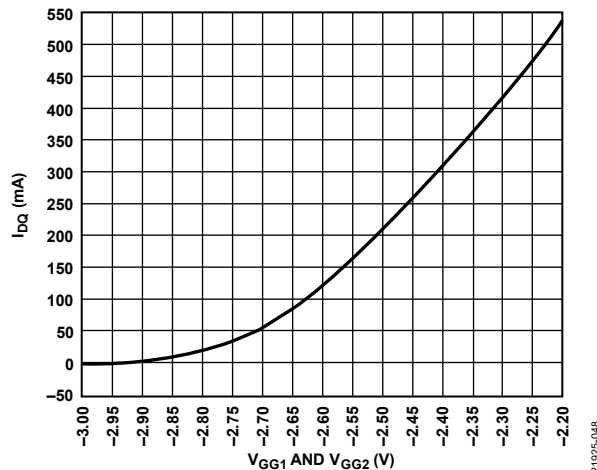


図 48.  $I_{DQ}$  と  $V_{GG1}$  および  $V_{GG2}$  の関係、 $V_{DD1}$  および  $V_{DD2} = 50V$ 、標準的なデバイスによる代表値

## 動作原理

ADPA1105 は、46dBm (40W) のパルス電力を供給する GaN パワー・アンプで、2つのカスケード接続されたゲイン段で構成されています。このアーキテクチャを簡略化したブロック図を図49に示します。

ADPA1105 は、DC ブロックされたシングル・エンドの RFIN および RFOUT ポートを備えており、これらのポートのインピーダンスは0.9GHz~1.6GHzの動作周波数範囲で50Ω (公称値) です。したがって、ADPA1105 は50Ωのシステムに直接実装することができ、外付けのインピーダンス・マッチング部品や AC カップリング・コンデンサは不要です。

V<sub>DD1</sub> ピンに印加されたパルス・バイアス電圧が1段目のゲイン段の、V<sub>DD2</sub> ピンに印加されたパルス電圧が2段目のゲイン段のドレインをバイアスします (単一のコモン電源電圧を使用する必要があります)。V<sub>GG1</sub> ピンに印加された負の DC 電圧が1段目のゲイン段の、V<sub>GG2</sub> ピンに印加された負の DC 電圧が2段目のゲイン段のゲートをバイアスすることで、それぞれの段のドレイン電流を制御することができます (単一のコモン電源電圧を使用する必要があります)。

推奨の DC バイアス電圧を印加することで、19dBm の電力入力時に、1.5GHz で46dBm のパルス RF 出力電力 (代表値) と60% の PAE を実現できます。

RF 出力信号の一部は、RF 出力電力検出用のダイオードに方向性結合 (カップリング) されます。このダイオードに DC バイアスを加えると RF 電力が整流され、VDET ピンで DC 電圧として RF 電力を測定できるようになります。RF 出力にカップリングされていない対称ダイオード回路 (VREF ピンの DC 電圧出力を含む) をリファレンスすると温度補償を行うことができます。VREF - VDET による差分から、RF 出力に比例する温度補償信号が得られます。

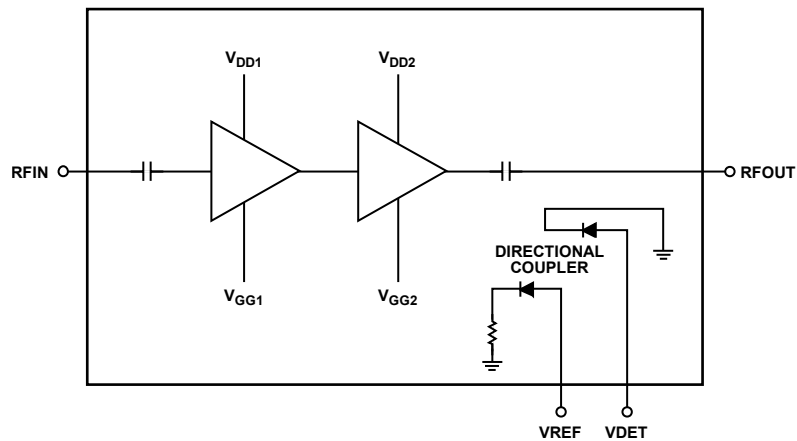


図 49. 基本的なブロック図

21925-049

## アプリケーション情報

## 基本的な接続方法

ADPA1105 を動作させるための基本的な接続方法を図 50 に示します。20V~50V の電源電圧を  $V_{DD1}$  ピンと  $V_{DD2}$  ピンに印加します。図 50 に、この 2 つのピンをデカップリングするコンデンサ値を示します。ピン 28 ( $V_{DD2}$ ) とピン 31 ( $V_{DD1}$ ) に接続された 2 個の 1000pF の電源デカップリング・コンデンサのそれぞれに 3.9Ω の抵抗を直列に配置します。2 つのゲート電圧ピン ( $V_{GG1}$  と  $V_{GG2}$ ) を接続し、図 50 に示すようにこの 2 つのピンを駆動します。ピン 2、ピン 3、ピン 7、ピン 12、ピン 13、ピン 18、ピン 22、ピン 23、ピン 26、ピン 27、ピン 29、ピン 30 は未接続 (NC) ピンとなっています。これらのピンは内部で接続されていませんが、デバイスの特性評価時にはすべてグラウンドに接続され、追加の熱対策として利用されています。

$V_{DD1}$ 、 $V_{DD2}$ 、 $V_{GG1}$ 、 $V_{GG2}$  ラインのデカップリング・コンデンサは、ADPA1105 の特性を適切なものにするための構成になっています。コンデンサの数は減らすことができますが、それぞれのシステムによって異なる結果が得られます。最初に、デバイスから最も遠い位置にある最大のコンデンサを取り除くか、組み合わせてみることを推奨します。

外部バイアスは、5V までプリアップされた 2 個の抵抗 (715Ω) を介して内部 RF 検出回路に印加します。これにより、約 12mA が流れます。オペアンプを差動アンプの構成で使用し、VREF から VDET を減算することで、RF 出力パワーに比例した温度補償済みの電圧が得られます。

0V~-4V の電圧を  $V_{GG1}$  および  $V_{GG2}$  ラインに印加して、バイアス・レベルとドレイン電流を設定します。ADPA1105 は連続動作に対応していないため、ゲート電圧またはドレイン電圧にパルス波を印加して、パルス・モードで動作させる必要があります。

ゲート・パルス・モードでは、 $V_{DD}$  は固定レベル (公称+50V) に維持され、ゲート電圧は-4V (オフ時) ~約-2.3V (オン時) のパルス波になります。オン時の電圧レベルを調整することによって所望の静止ドレイン電流が得られます。

ドレイン・パルス・モードでは、 $V_{DD}$  電圧はオンとオフを繰り返すパルス波になりますが、ゲート電圧は 0V~-4V の負の固定レベルに維持されます。高電流・高電圧によるオン/オフのスイッチングが行われるため、金属酸化膜半導体電界効果トランジスタ (MOSFET) と MOSFET スイッチ・ドライバが回路には必要です。大容量のコンデンサも必要となります。このようなコンデンサは局所的な電荷貯蔵素子として機能し、パルス波がオンの間、ADPA1105 に必要なドレイン電流を供給すると同時に、安定したドレイン電圧の維持を実現します。

ADPA1105-EVALZ 評価用ボード・パッケージには、ドレイン・パルス・モードに必要な回路が搭載されたプラグイン・パルス・ボードが含まれています。詳細については、ADPA1105-EVALZ を参照してください。

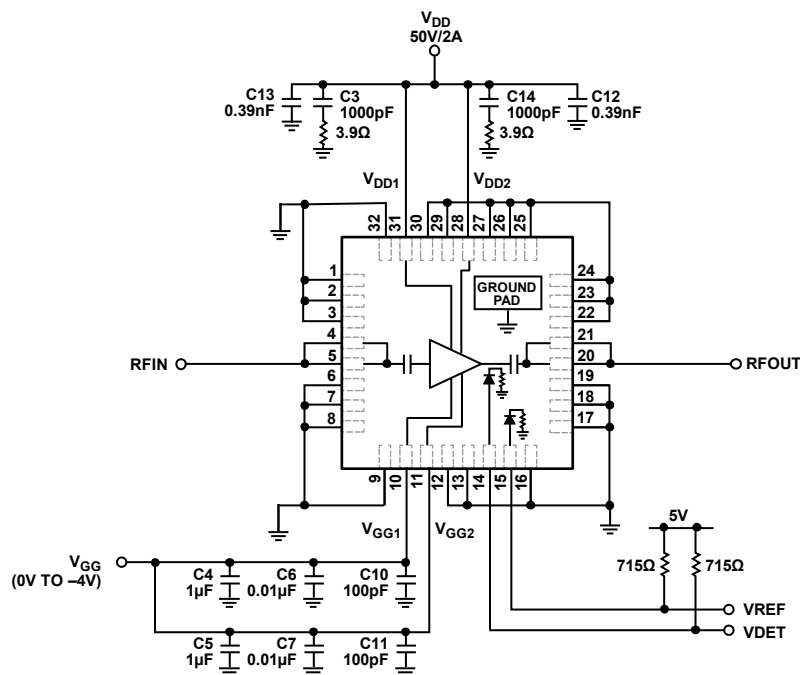


図 50. 基本的な接続方法

## 温度管理

仕様規定された性能と定格の動作寿命を達成するためには、温度管理を適切に行うことが重要です。平均消費電力を制限し安全なチャンネル温度を維持するには、パルス波のバイアスを印加する必要があります。チャンネル（またはダイ）の温度は、平均故障時間と密接に関連しています。

連続バイアスの場合を考えます（図 51 参照）。バイアスが印加されると、デバイスのチャンネル温度（ $T_{CHAN}$ ）はターン・オン・トランジェントの間に上昇し、最終的に定常状態の値に落ち着きます。デバイスの熱抵抗  $\theta_{JC}$  は、次式のように、 $T_{CHAN}$  における開始時の  $T_{BASE}$  からの上昇温度を総消費電力  $P_{DISS}$  で割ることによって計算できます。

$$\theta_{JC} = t_{RISE} / P_{DISS} \quad (1)$$

ここで、

$t_{RISE}$  は、デバイスの  $T_{CHAN}$  における  $T_{BASE}$  からの上昇温度のピーク値（°C）、

$P_{DISS}$  は、デバイスの消費電力（W）です。

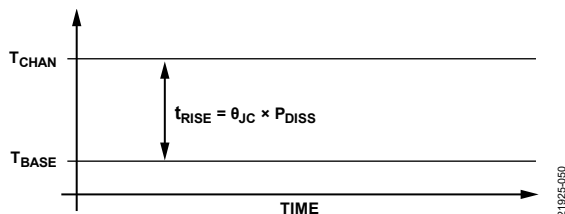


図 51. 連続バイアス

次に、低デューティ・サイクルのパルス波でバイアスする場合を考えます（図 52 参照）。バイアスが印加されると、デバイスの  $T_{CHAN}$  は指数関数的に増加・減少するパルスの連続として表すことができます。連続パルス印加時のチャンネル温度のピーク値は、ターン・オン・トランジェントの間に上昇し、最終的に定常安定状態に落ち着きます。このとき、パルスとパルスの間でピーク・チャンネル温度は安定しています。

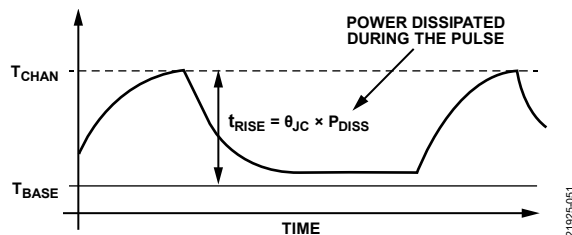


図 52. 低デューティ・サイクルのパルス波バイアス

様々なパルス幅およびデューティ・サイクルのバイアス電圧で ADPA1105 アンプの過渡熱測定を実施して得られた熱抵抗値を、表 7 に示します。

表 7. パルスの設定と熱抵抗値

Pulse Settings		$\theta_{JC}$ (°C/W)
Pulse Width ( $\mu$ s)	Duty Cycle (%)	
100	10	2.11
200	20	2.82
300	30	3.54

狭いパルス幅、または低いデューティ・サイクルにすると、信頼性を向上させることができます。

ADPA1105 アンプは、低デューティ・サイクルのパルス波アプリケーション向けに設計されていますが、連続バイアス条件で（誤って）動作させても、短時間であれば可能です。このような条件では、熱抵抗は  $6.5^{\circ}\text{C}/\text{W}$  まで増加します。公称の静止バイアス（ $V_{DD1}$  および  $V_{DD2} = 50\text{V}$ 、 $I_{DD} = 0.4\text{A}$ ）でも、 $20\text{W}$  の消費電力によってチャンネル温度はベース温度から  $130^{\circ}\text{C}$  上昇します。このような場合には、デバイスが  $200^{\circ}\text{C}$  の最大チャンネル温度を超えないよう細心の注意を払ってください。



外形寸法

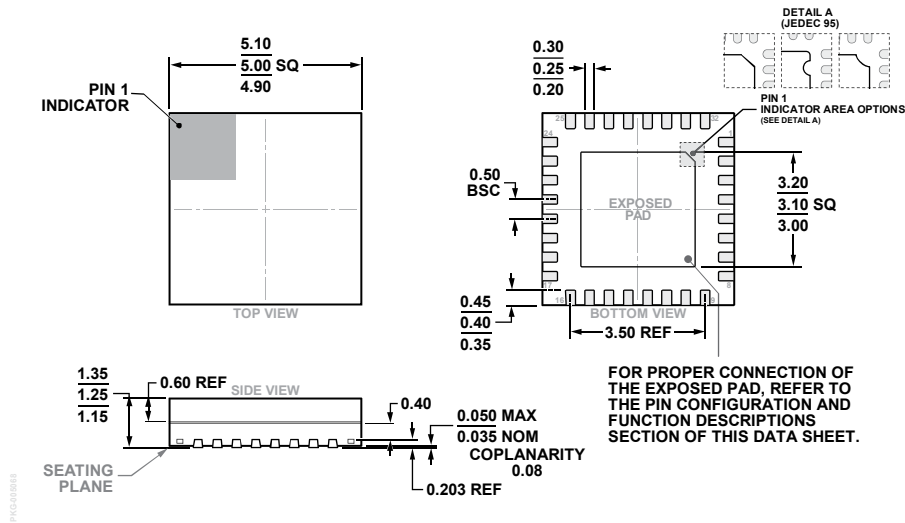


図 53. 32 ピン・リード・フレーム・チップ・スケール・パッケージ、プリモールド・キャビティ [LFCSP\_CAV]  
 5mm × 5mm ボディ、1.25mm パッケージ高  
 (CG-32-2)  
 寸法：mm

オーダー・ガイド

Model <sup>1, 2, 3</sup>	Temperature	MSL Rating <sup>4</sup>	Package Description	Package Option
ADPA1105ACGZN	-40°C to +85°C	MSL3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
ADPA1105ACGZN-R7	-40°C to +85°C	MSL3	32-Lead Lead Frame Chip Scale Package, Premolded Cavity [LFCSP_CAV]	CG-32-2
ADPA1105-EVALZ			Evaluation Board	

<sup>1</sup> すべてのモデルは RoHS 準拠製品です。

<sup>2</sup> ADPA1105ACGZN と ADPA1105ACGZN-R7 のピン仕上げは、ニッケル・パラジウム金 (NiPdAu) です。

<sup>3</sup> 評価用ボードを注文する際は、モデル番号 ADPA1105-EVALZ を指定してください。

<sup>4</sup> 詳細については、絶対最大定格のセクションを参照してください。