



パワー・ディテクタ付き 1W Eバンド・パワー・アンプ、 81GHz～86GHz

データシート

ADMV7810

特長

- ゲイン：20dB（代表値）
- 1dB 圧縮ポイントの出力電力：28dBm（代表値）
- 飽和出力電力：29dBm（代表値）
- 出力 3 次インターセプト・ポイント：33dBm（代表値）
- 入力リターン損失：12dB（代表値）
- 出力リターン損失：20dB（代表値）
- DC 電源：4V/800mA
- 外部マッチング不要
- ダイ・サイズ：2.999 mm × 3.799 mm × 0.05 mm

アプリケーション

- Eバンド通信システム
- 大容量ワイヤレス・バックホール無線システム
- 計測装置

概要

ADMV7810 は、統合型 Eバンド、ガリウムヒ素 (GaAs) 擬格子格子整合型、高電子移動度転送 (pHEMT) モノリシック・マイクロ波集積回路 (MMIC) の中出力パワー・アンプで、温度補償されたオンチップのパワー・ディテクタを内蔵し、動作範囲は 81GHz～86GHz です。ADMV7810 は、4V 電源電圧から 18% の電力付加効率 (PAE) で 20dB のゲイン、1dB 圧縮ポイントでの 28dBm の出力電力、29dBm の飽和出力電力を提供します。ADMV7810 は直線性に優れており、Eバンド通信および大容量のワイヤレス・バックホール無線システム向けに最適化されています。アンプの構成と高ゲインにより、このデバイスはアンテナの前の最終段の信号増幅に最適です。各ポートに幅 3mil、厚さ 0.5mil、長さ 7mil のリボンを使用し、50Ω の試験装置にチップを接続して、すべてのデータを測定しています。ADMV7810 は 40 パッドのベア・ダイ (CHIP) を採用しており、-55°C～+85°C の温度範囲で動作します。

機能ブロック図

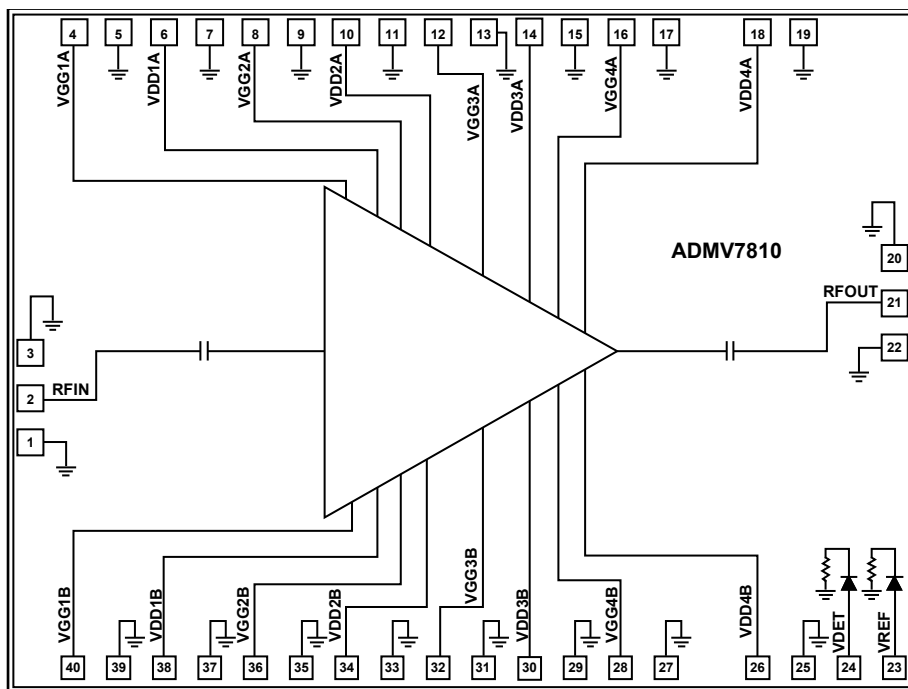


図 1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	代表的な性能特性.....	7
アプリケーション.....	1	動作原理.....	13
概要.....	1	アプリケーション情報.....	14
機能ブロック図.....	1	アセンブリ図.....	15
改訂履歴.....	2	ミリ波 GaAs MMIC の取り付けおよびボンディング技術.....	16
仕様.....	3	取り扱いに関する注意事項.....	16
絶対最大定格.....	4	取り付け.....	16
熱抵抗.....	4	ワイヤ・ボンディング.....	16
ESD に関する注意.....	4	外形寸法.....	17
ピン配置およびピン機能の説明.....	5	オーダー・ガイド.....	17
インターフェース回路図.....	6		

改訂履歴

3/2018–Revision 0: Initial Version

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 V_{DDxA} および $V_{DDxB} = 4\text{V}$ 、 $I_{DD} = 800\text{mA}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit
OPERATING CONDITIONS					
Frequency Range		81		86	GHz
PERFORMANCE					
Gain		18	20		dB
Gain Variation over Temperature			0.02		dB/°C
Output Power for 1 dB Compression	OP1dB	26	28		dBm
Saturated Output Power	P_{SAT}		29		dBm
Output Third-Order Intercept at Maximum Gain ¹	OIP3		33		dBm
Power Added Efficiency	PAE		18		%
Input Return Loss			12		dB
Output Return Loss			20		dB
POWER SUPPLY					
Total Drain Current ²	I_{DD}		800		mA

¹ トーンあたりの出力電力 (P_{OUT}) = 14dBm、1MHz 間隔で取得されたデータ。

² VGGxA パッドと VGGxB パッドを-2V~0V に調整して、合計ドレイン電流 (I_{DD}) = 800mA を実現します。

絶対最大定格

表 2.

Parameter	Rating
Drain Bias Voltage (VDD1A to VDD4A, VDD1B to VDD4B)	4.5 V
Gate Bias Voltage (VGG1A to VGG4A, VGG1B to VGG4B)	-3 V to 0 V
Maximum Junction Temperature (to Maintain 1 Million Hours Mean Time to Failure (MTTF))	175°C
Operating Temperature Range	-55°C to +85°C
Storage Temperature Range	-65°C to +150°C
Electrostatic Discharge (ESD) Sensitivity Human Body Model (HBM)	250 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース (またはダイとパッケージ) の間の熱抵抗です。

表 3.熱抵抗

Package Type	θ_{JC}^1	Unit
C-40-3	24.2	°C/W

¹ダイ・アタッチ・エポキシとしての ATROX 800HT1V®に基づく。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

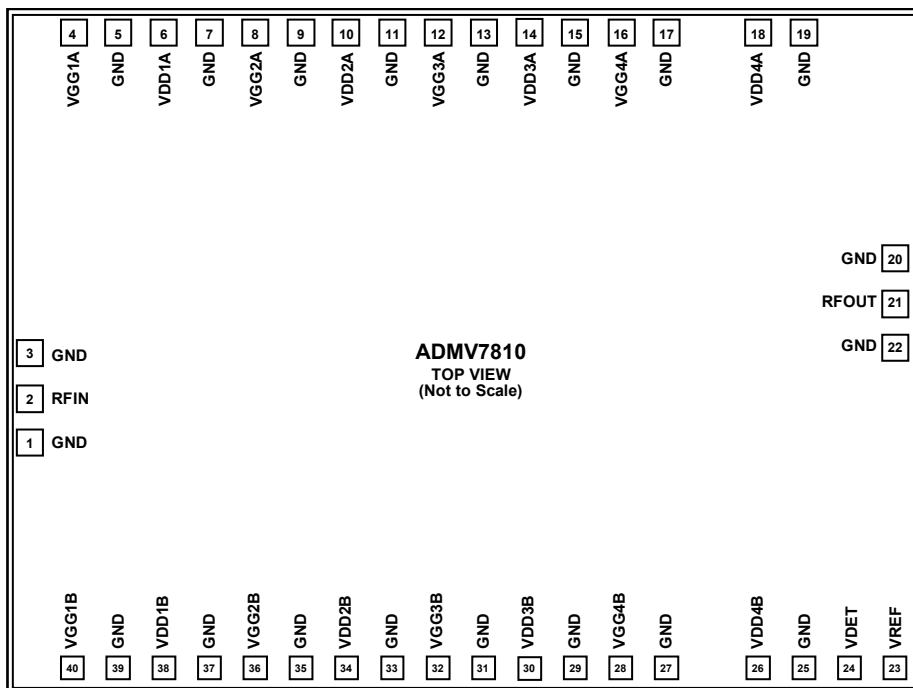


図 2. パッド構成

表 4. パッド機能の説明

パッド番号	記号	説明
1、3、5、7、9、11、13、15、17、19、20、22、25、27、29、31、33、35、37、39	GND	グラウンド接続（図 3 を参照）。
2	RFIN	RF 入力。AC カップリング RFIN および 50Ω に整合（図 4 を参照）。
4、8、12、16	VGG1A～VGG4A	電源アンプの 1 段目のゲート・バイアス電圧（図 8 を参照）。必要な外付け部品については、図 46 を参照してください。
6、10、14、18	VDD1A～VDD4A	電源アンプの 1 段目のドレイン・バイアス電圧（図 5 を参照）。
21	RFOUT	RF 出力。AC カップリング RFOUT および 50Ω に整合（図 6 を参照）。
23	VREF	パワー・ディテクタのリファレンス電圧（図 7 を参照）。VREF はダイオードの DC バイアスで、VDET の補償に使用される外部抵抗から印加されます。必要な外付け部品については、典型的なアプリケーション回路を参照してください（図 46 を参照）。
24	VDET	パワー・ディテクタのディテクタ電圧（図 7 を参照）。VDET は、ダイオードによって整流される RF 出力電力を表す DC 電圧で、外部抵抗からバイアスが印加されます。必要な外付け部品については、典型的なアプリケーション回路を参照してください（図 46 を参照）。
26、30、34、38	VDD4B～VDD1B	電源アンプの 2 段目のドレイン・バイアス電圧（図 5 を参照）。
28、32、36、40	VGG4B～VGG1B	電源アンプの 2 段目のゲート・バイアス電圧（図 8 を参照）。必要な外付け部品については、図 46 を参照してください。
ダイ下部	GND	グラウンド。ダイの下部を RF/DC グラウンドに接続する必要があります（図 3 を参照）。

インターフェース回路図



図 3. GND インターフェース回路図

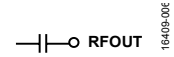


図 6. RFOUT のインターフェース回路図

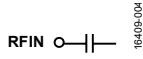


図 4. RFIN インターフェース回路図



図 7. VREF、VDET のインターフェース回路図

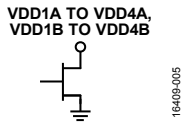


図 5. VDD1A~VDD4A および VDD1B~VDD4B のインターフェース回路図

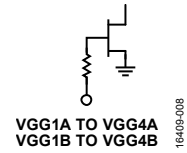


図 8. VGG1A~VGG4A および VGG1B~VGG4B のインターフェース回路図

代表的な性能特性

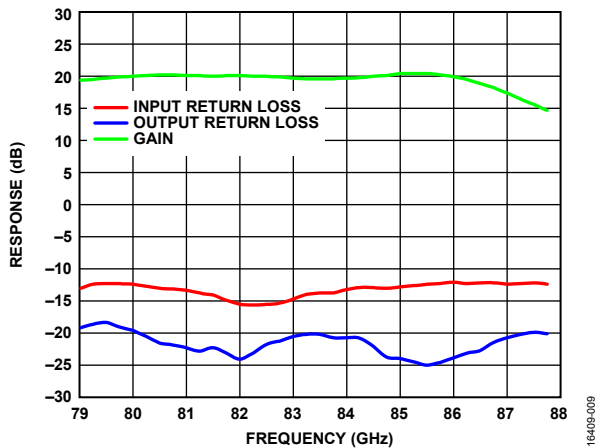


図 9. 高域幅ゲインとリターン・ロス応答の周波数特性、 $I_{DD} = 800\text{mA}$

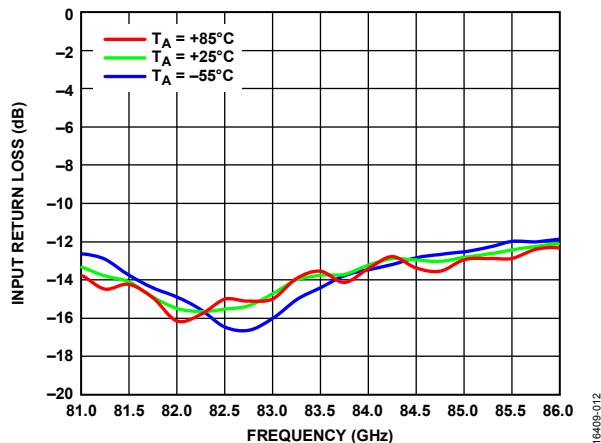


図 12. 様々な温度での入力リターン・ロスの周波数特性、 $I_{DD} = 800\text{mA}$

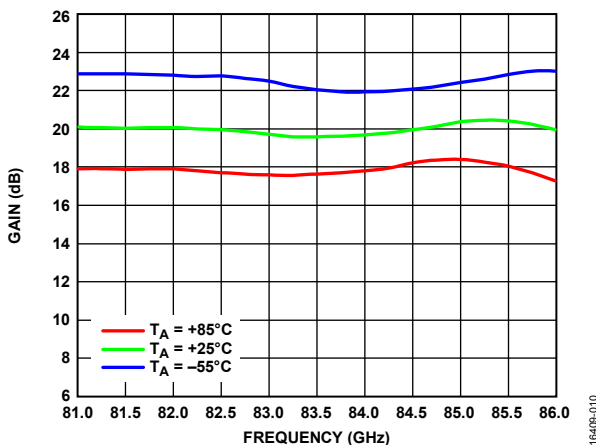


図 10. 様々な温度でのゲインの周波数特性、 $I_{DD} = 800\text{mA}$

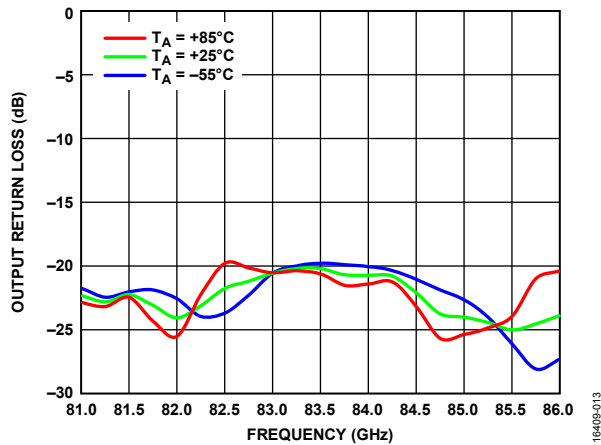


図 13. 様々な温度での出力リターン・ロスの周波数特性、 $I_{DD} = 800\text{mA}$

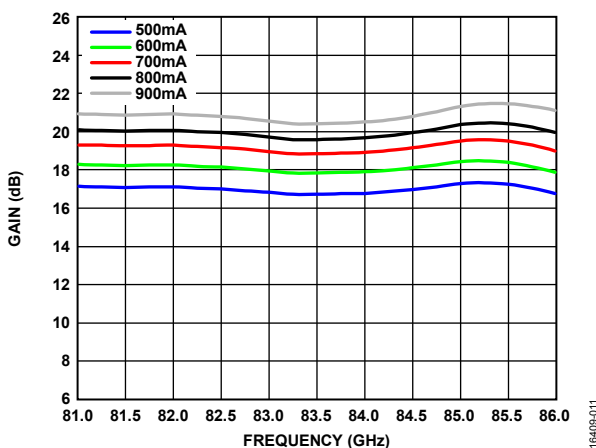


図 11. ゲインの周波数特性、 I_{DD}

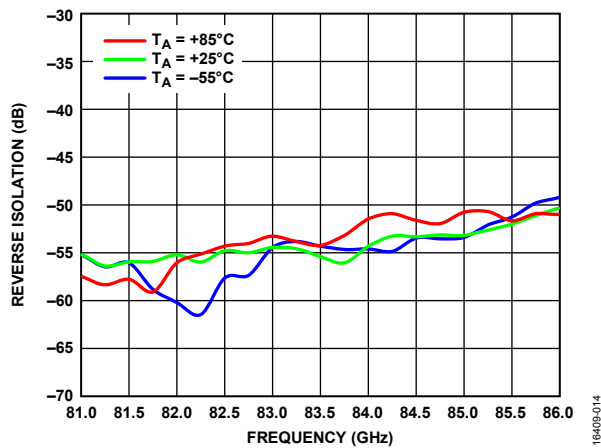


図 14. 様々な温度でのリバース・アイソレーションの周波数特性、 $I_{DD} = 800\text{mA}$

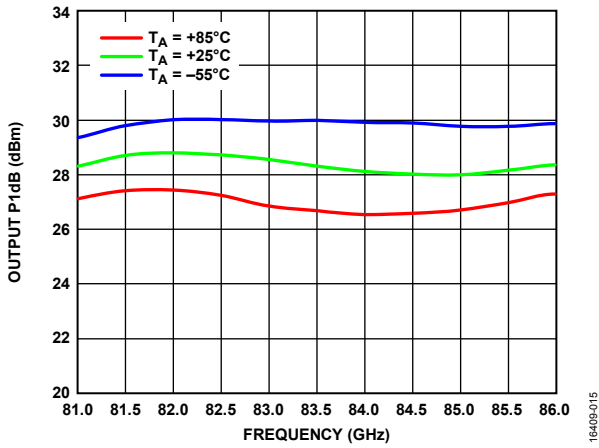


図 15. 様々な温度での出力 P1dB の周波数特性、 $I_{DD} = 800\text{mA}$

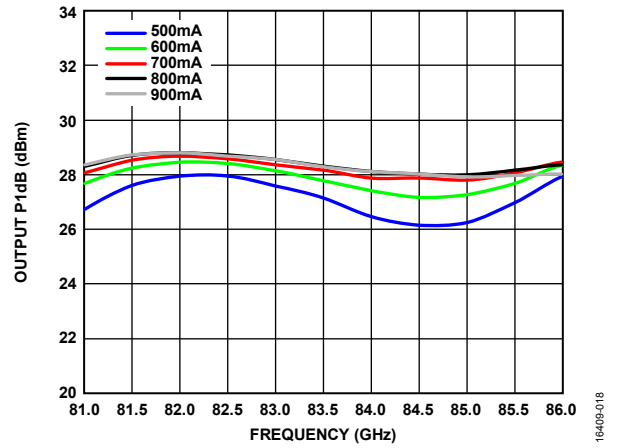


図 18. 出力 P1dB の周波数特性、 I_{DD}

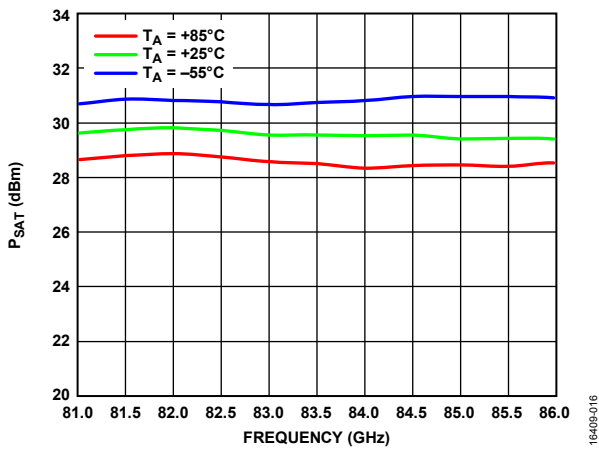


図 16. 様々な温度での P_{SAT} の周波数特性、 $I_{DD} = 800\text{mA}$

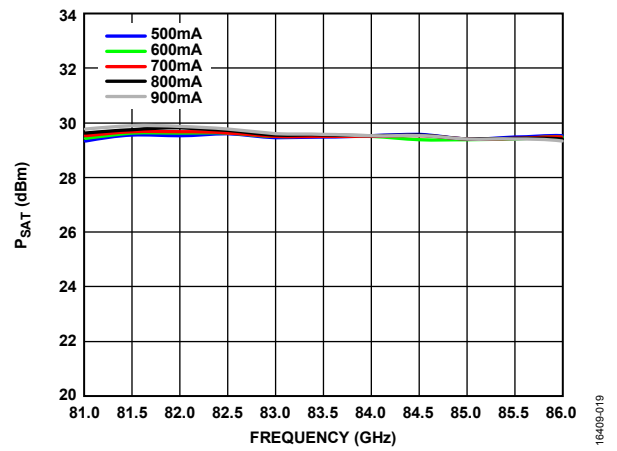


図 19. P_{SAT} の周波数特性、 I_{DD}

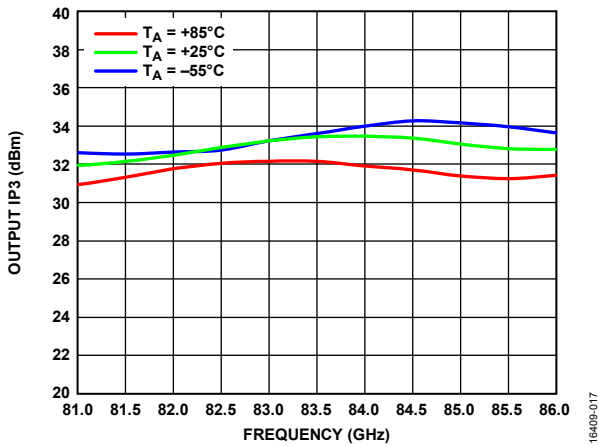


図 17. 様々な温度での出力 IP3 の周波数特性、 $I_{DD} = 800\text{mA}$ 、 $P_{OUT}/\text{トーン} = 14\text{dBm}$

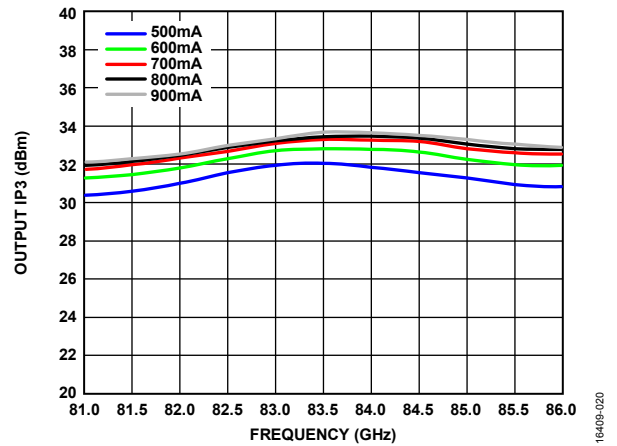


図 20. 出力 IP3 の周波数特性、 I_{DD} 、 $P_{OUT}/\text{トーン} = 14\text{dBm}$

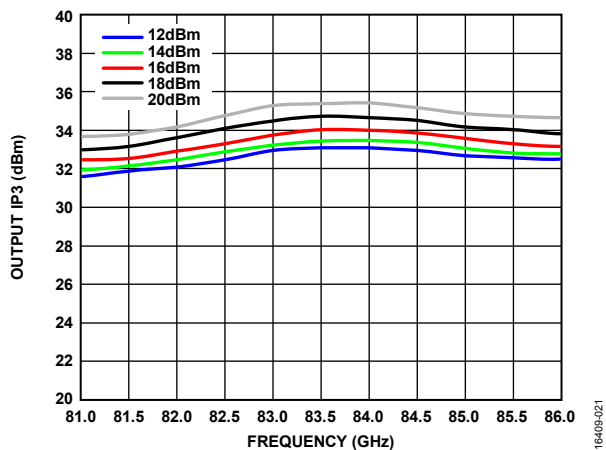


図 21. 出力 IP3 の周波数特性、 P_{OUT} /トーン、 $I_{DD} = 800\text{mA}$

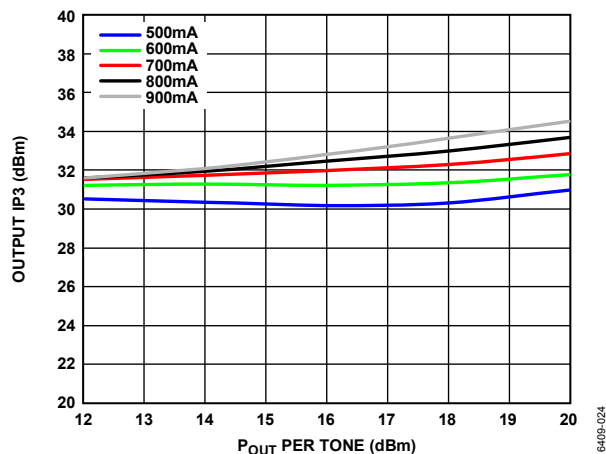


図 24. 出力 IP3 とトーンあたり P_{OUT} の関係、 I_{DD} 、 $RF = 81\text{GHz}$

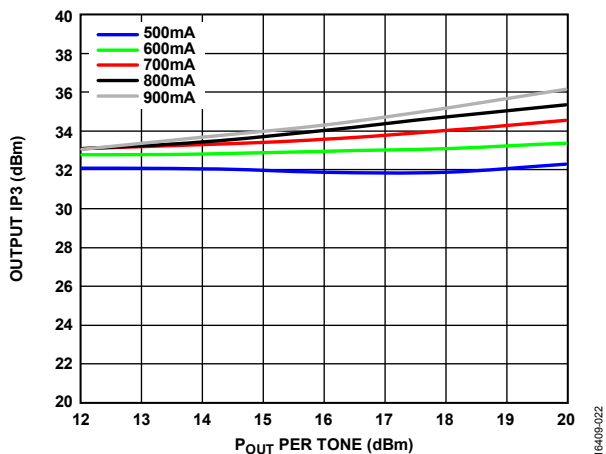


図 22. 出力 IP3 とトーンあたり P_{OUT} の関係、 I_{DD} 、 $RF = 83.5\text{GHz}$

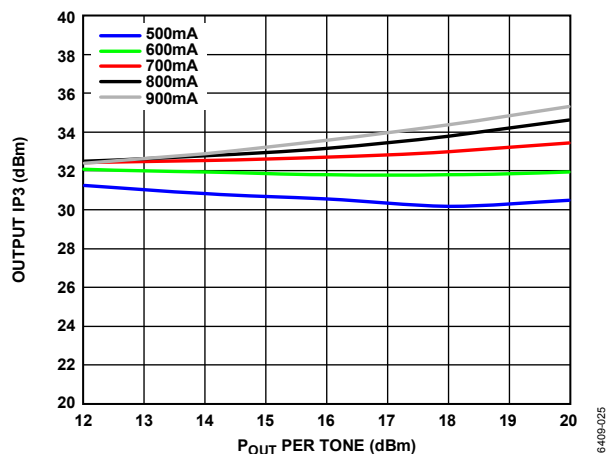


図 25. 出力 IP3 とトーンあたり P_{OUT} の関係、 I_{DD} 、 $RF = 86\text{GHz}$

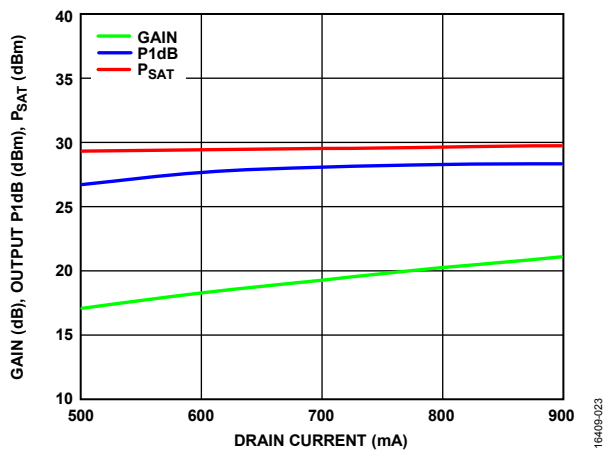


図 23. ゲイン、出力 P1dB、 P_{SAT} とドレイン電流 (I_{DD}) の関係、 $RF = 81\text{GHz}$

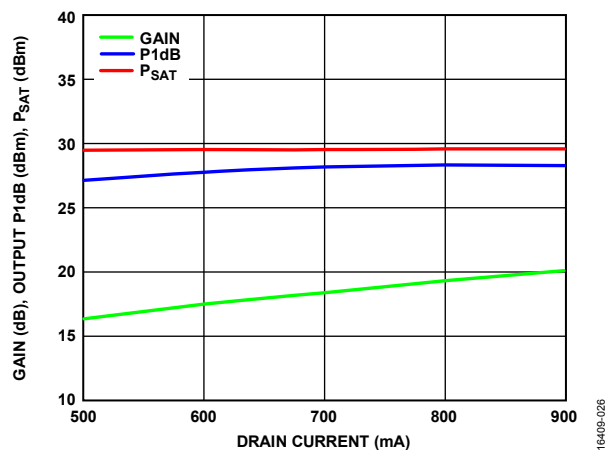


図 26. ゲイン、出力 P1dB、 P_{SAT} とドレイン電流 (I_{DD}) の関係、 $RF = 83.5\text{GHz}$

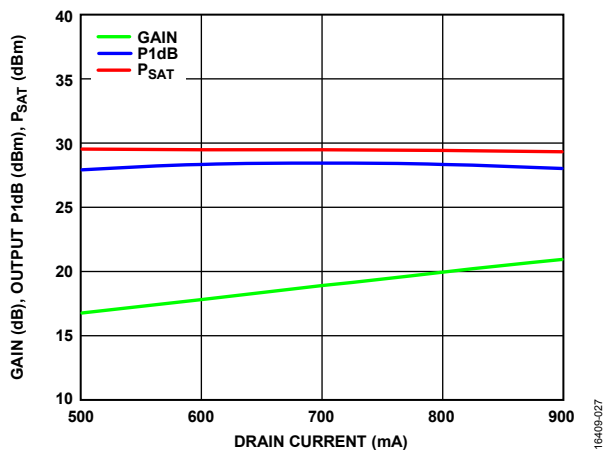


図 27. ゲイン、出力 P1dB、 P_{SAT} と I_{DD} の関係、RF = 86GHz

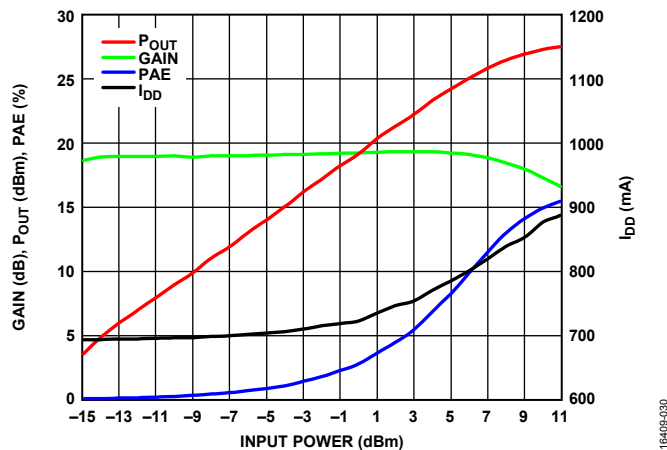


図 30. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 86GHz、 $I_{DD} = 700\text{mA}$

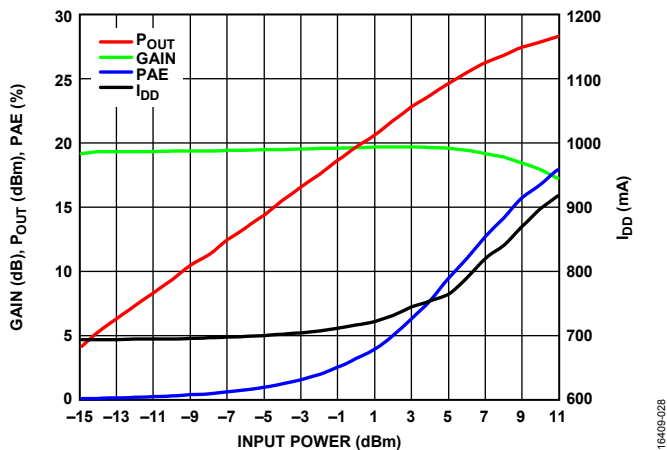


図 28. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 81GHz、 $I_{DD} = 700\text{mA}$

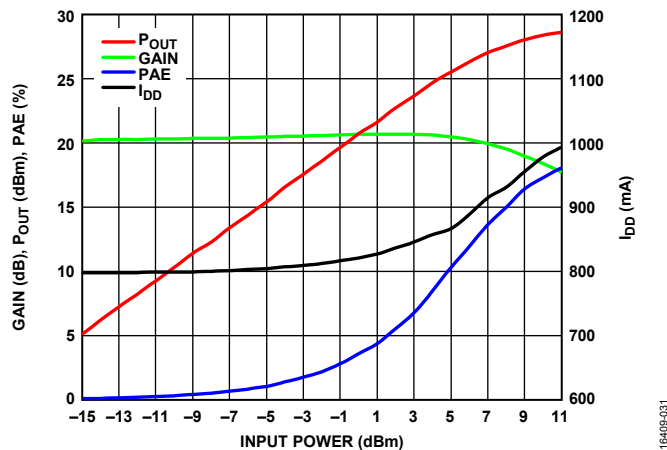


図 31. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 81GHz、 $I_{DD} = 800\text{mA}$

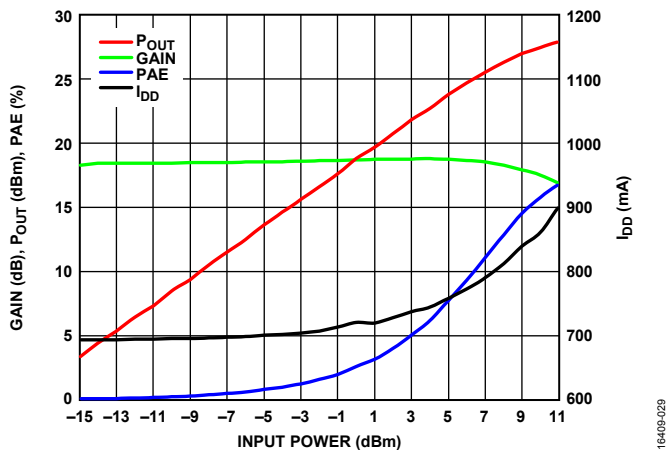


図 29. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 83.5GHz、 $I_{DD} = 700\text{mA}$

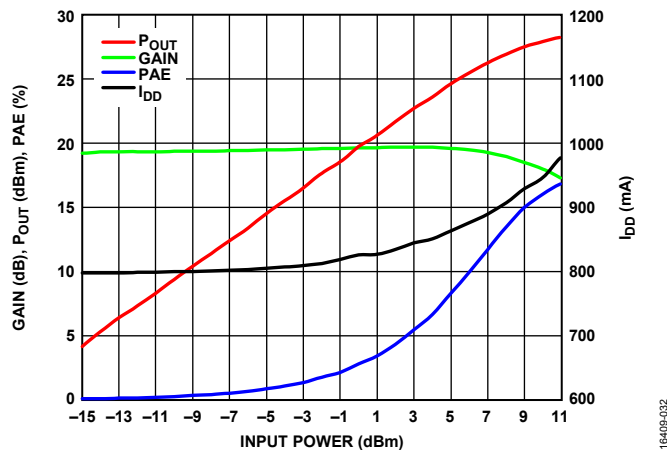
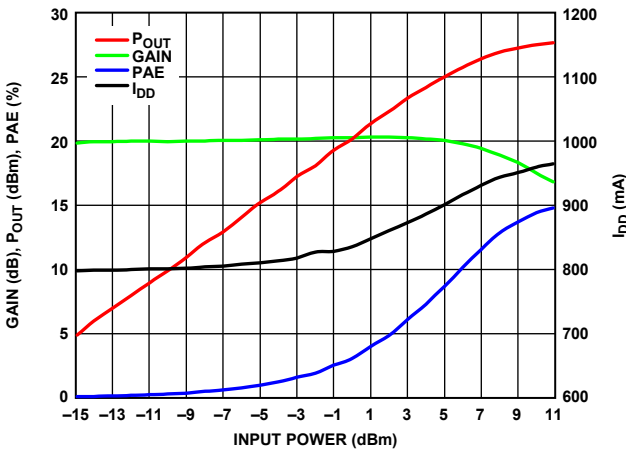
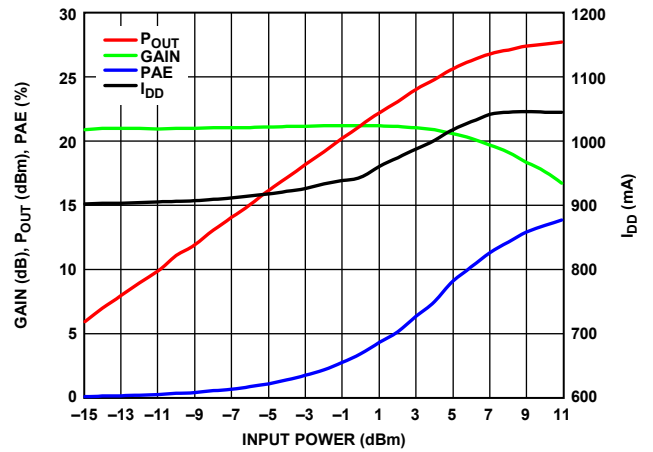


図 32. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 83.5GHz、 $I_{DD} = 800\text{mA}$



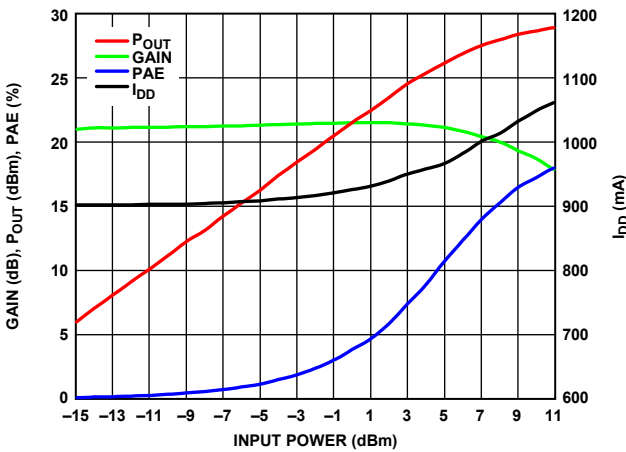
16409-033

図 33. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 86GHz、 $I_{DD} = 800$ mA



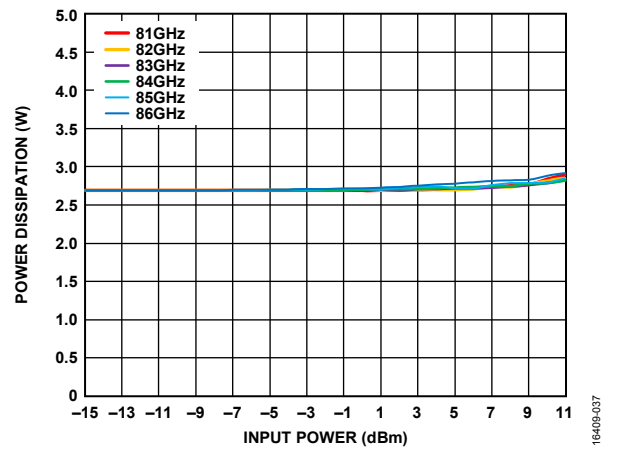
16409-036

図 36. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 86GHz、 $I_{DD} = 900$ mA



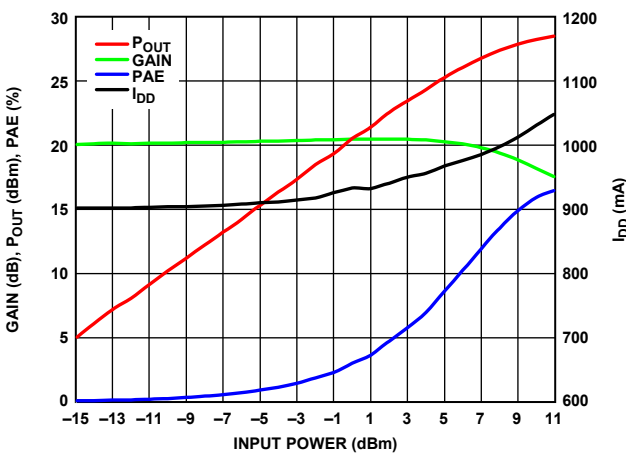
16409-034

図 34. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 81GHz、 $I_{DD} = 900$ mA



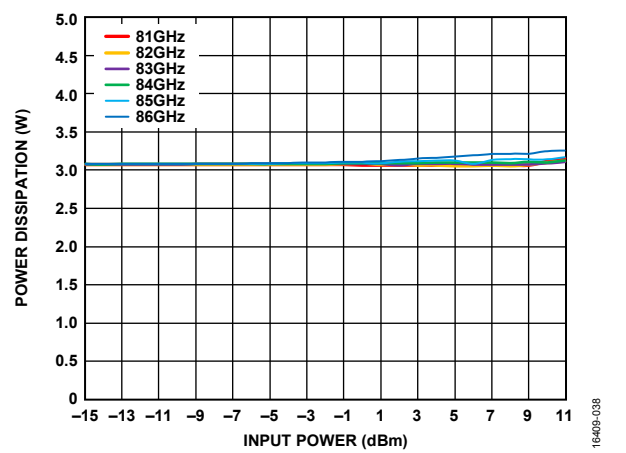
16409-037

図 37. 様々な周波数での消費電力と入力電力の関係、 $I_{DD} = 700$ mA、 $T_A = 85^\circ$ C



16409-035

図 35. ゲイン、 P_{OUT} 、PAE、 I_{DD} と入力電力の関係、RF = 83.5GHz、 $I_{DD} = 900$ mA



16409-038

図 38. 様々な周波数での消費電力と入力電力の関係、 $I_{DD} = 800$ mA、 $T_A = 85^\circ$ C

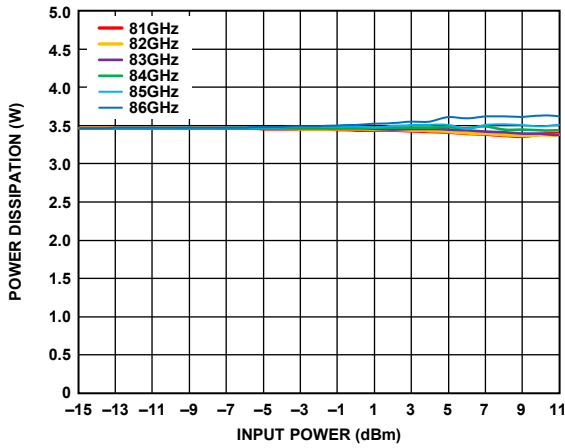


図 39. 様々な周波数での消費電力と入力電力の関係、 $I_{DD} = 900\text{mA}$ 、 $T_A = 85^\circ\text{C}$

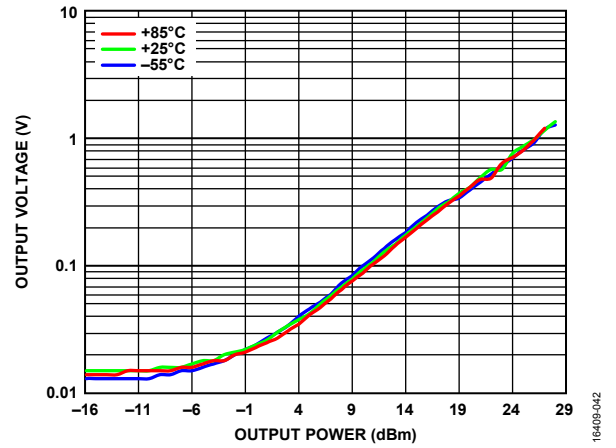


図 42. 様々な温度での検出器の出力電圧 (V_{OUT}) と出力電力の関係、 $I_{DD} = 800\text{mA}$ 、 $RF = 81\text{GHz}$

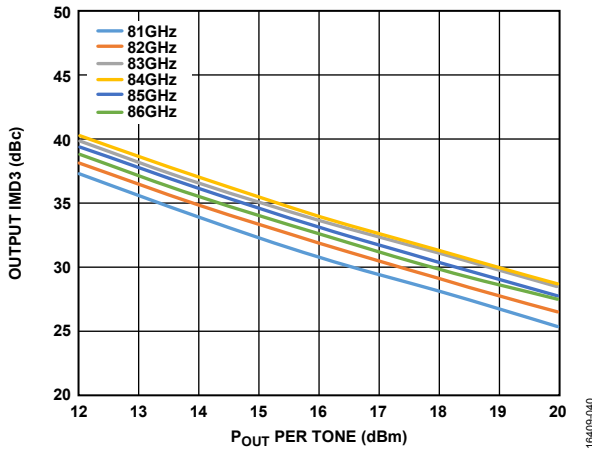


図 40. 様々な周波数での低出力 3 次相互変調歪み (IMD3) と トーンあたりの P_{OUT} の関係、 $I_{DD} = 800\text{mA}$

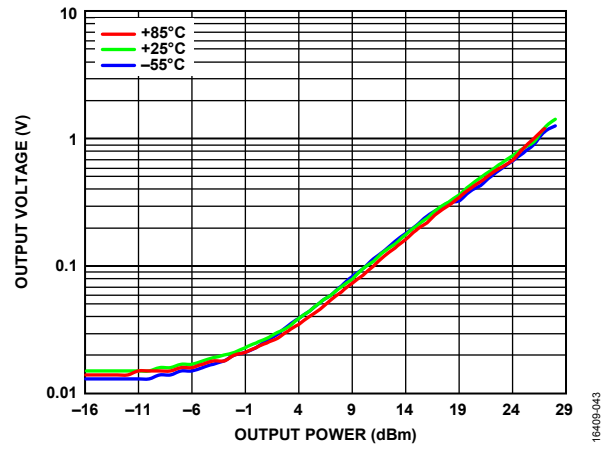


図 43. 様々な温度での検出器の出力電圧 (V_{OUT}) と出力電力の関係、 $I_{DD} = 800\text{mA}$ 、 $RF = 83.5\text{GHz}$

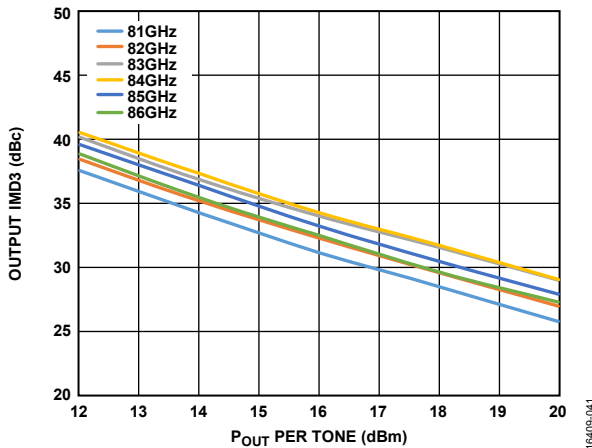


図 41. 様々な周波数での高出力 3 次相互変調歪み (IMD3) と P_{OUT} /トーンの関係、 $I_{DD} = 800\text{mA}$

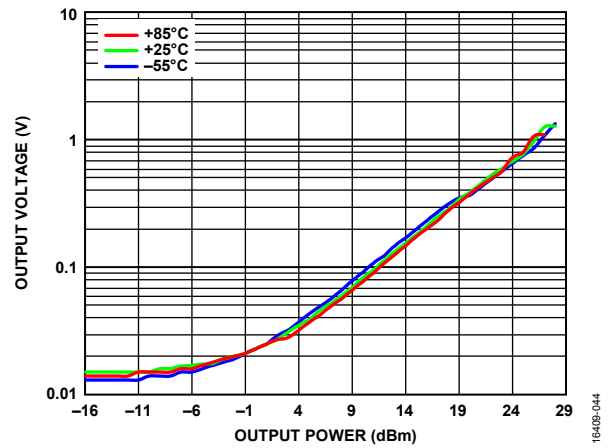


図 44. 温度での検出器の出力電圧 (V_{OUT}) と出力電力の関係、 $I_{DD} = 800\text{mA}$ 、 $RF = 86\text{GHz}$

動作原理

ADMV7810 パワー・アンプの回路アーキテクチャを図 45 に示します。ADMV7810 は、4つのカスケード接続されたゲイン段を使用して、24dB の結合ゲインと 29dBm の飽和出力電力 (P_{SAT}) のアンプを形成します。最終段の出力では、カップラが出力信号の一部を分岐させます。カップリングされた信号は、出力電力の外部

モニタリング用にオンチップ・ダイオード・ディテクタに送信されます。整合されたリファレンス・ダイオードが搭載されており、ディテクタの温度依存性が修正されます。各ブロックのバイアスとディテクタ機能の使用については、図 46 のアプリケーション回路を参照してください。

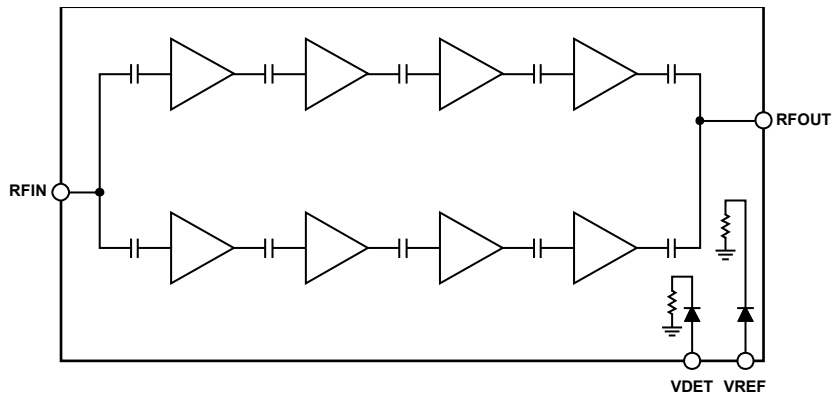


図 45. パワー・アンプ回路のアーキテクチャ

アプリケーション情報

ADMV7810の代表的なアプリケーション回路を図46に示します。電源ラインをアプリケーション回路図で示すように組み合わせて、外付け部品を最低限に抑え、電源のルーティングを簡略化します。

ADMV7810は、複数のアンプ、ディテクタ、減衰器の段を使用します。すべての段は、空乏モード pHEMT トランジスタを使用します。次のパワーアップ・バイアス・シーケンスに従い、トランジスタの損傷を避ける必要があります。

1. VGG1A~VGG4A パッドと VGG1B~VGG4B パッドに-2Vのバイアスを印加します。

2. VDD1A~VDD1B パッドと VDD1B~VDD4B パッドに 4V を印加します。
3. VGG1A~VGG4A と VGG1B~VGG4B を -2V~0V に調整して、800mA の合計アンプ・ドレイン電流を実現します。

ADMV7810 の電源を切るには、逆の手順に従います。汎用的なバイアス・シーケンスの詳細なガイダンスについては、[MMIC Amplifier Biasing Procedure](#) アプリケーション・ノートを参照してください。

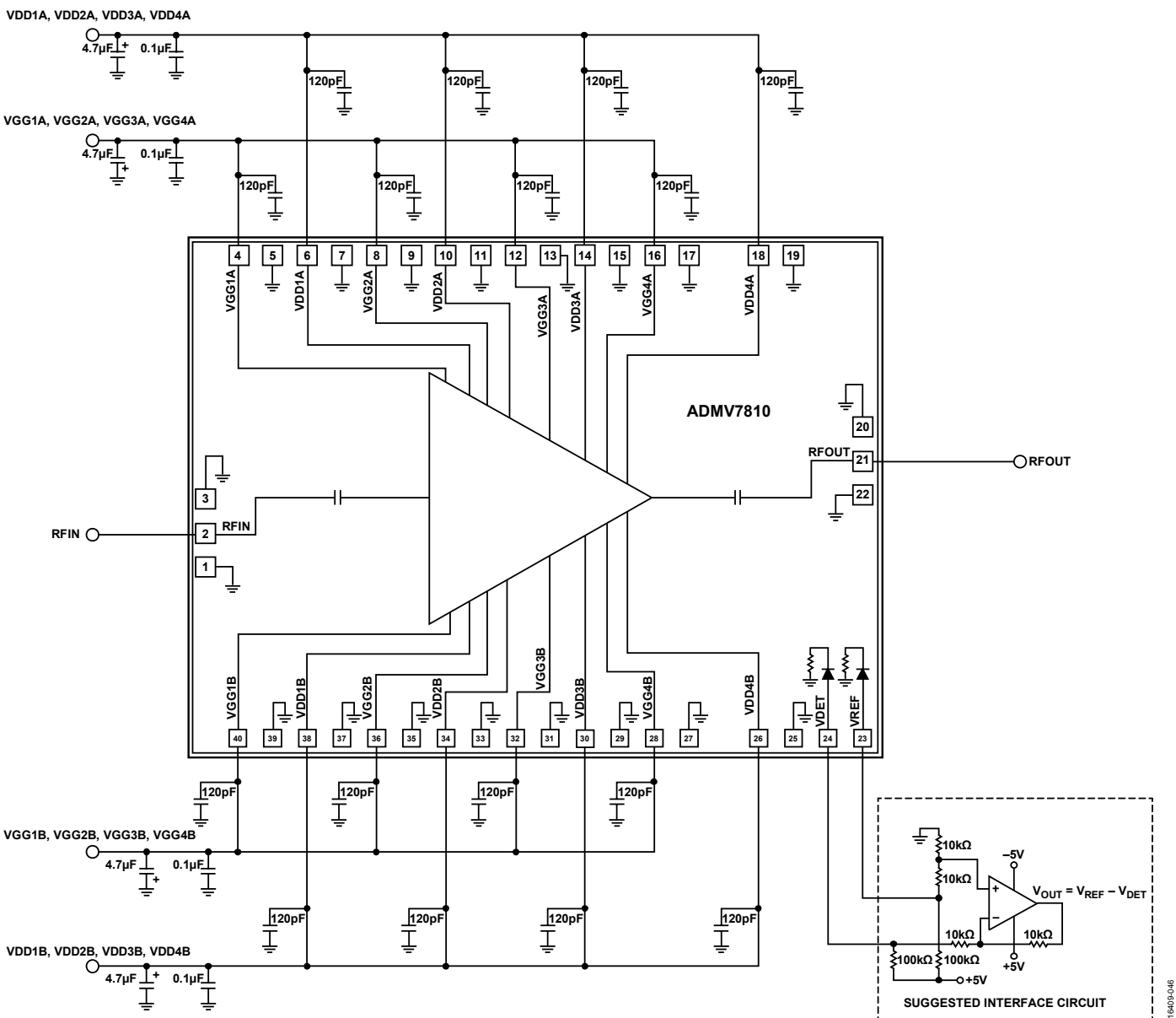


図 46. 代表的なアプリケーション回路

アセンブリ図

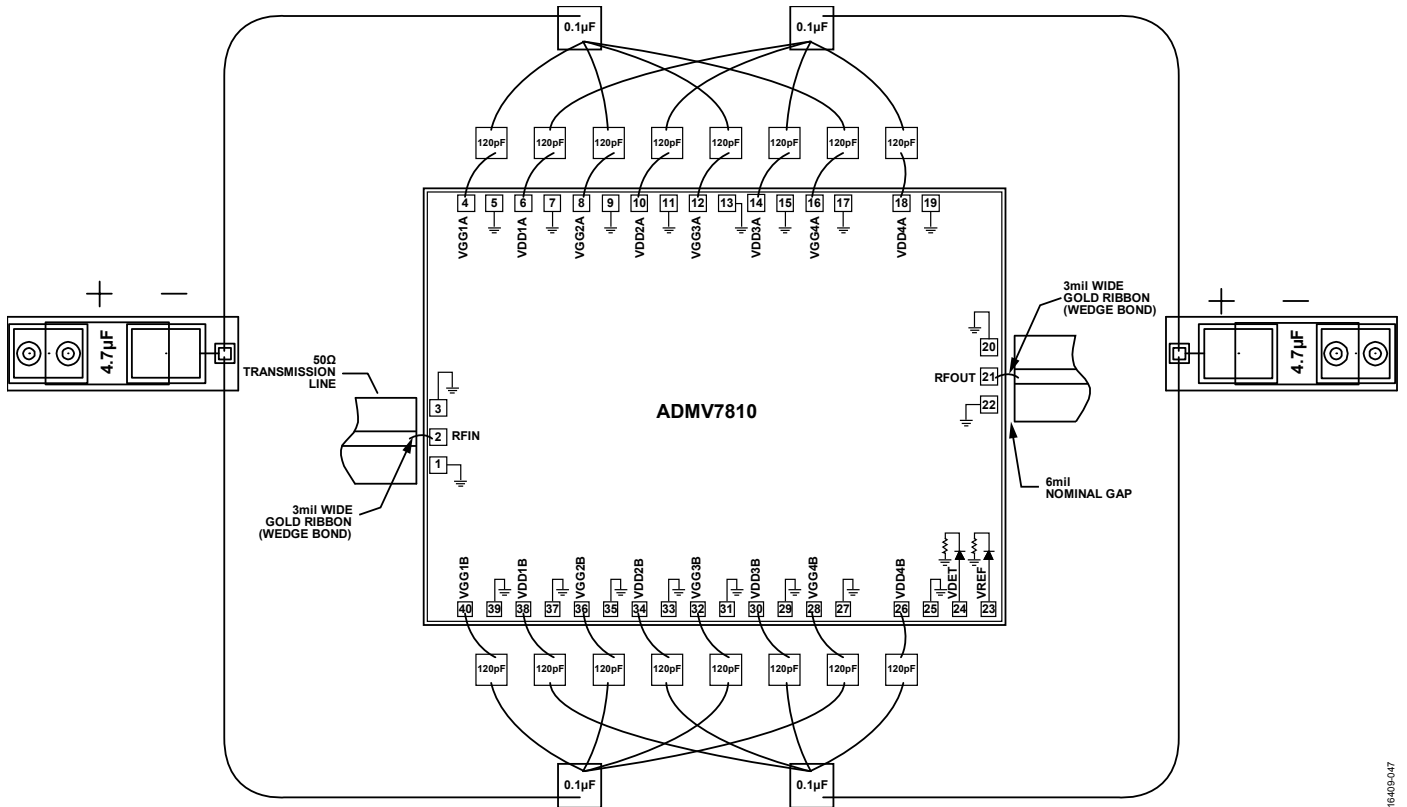


図 47. アセンブリ図

16405047

ミリ波 GaAs MMIC の取り付けおよびボンディング技術

共晶または伝導エポキシを使用して、直接グラウンド・プレーンにダイを装着します。

チップとの間で RF を送受信するには、厚さ 0.127mm (5mil) のアルミナ薄膜基板上で 50Ω マイクロストリップの伝送線を使用します (図 48 を参照)。

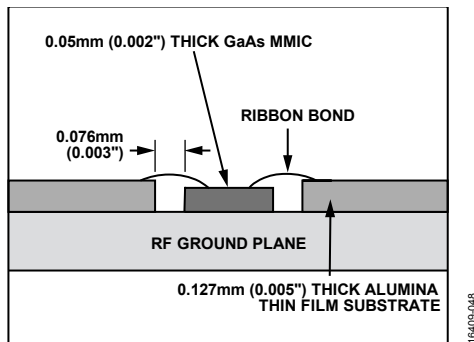


図 48. RF 信号のルーティング

ボンディング・ワイヤの長さを最低限に抑えるため、マイクロストリップの基板を可能な限りダイの近くに配置します。通常、ダイから基板までの間隔は、0.076mm~0.152mm (3mil~6mil) です。

取り扱いに関する注意事項

恒久的な損傷を避けるために、次の注意事項に従ってください。

保管

すべてのベア・ダイは、ワッフルまたはゲルベースの ESD 保護コンテナに収納され、ESD 保護バッグに密閉して出荷されます。密閉された ESD 保護バッグを開いた後に、すべてのダイを乾燥した窒素雰囲気下で保管する必要があります。

洗浄

チップは清潔な環境で処理します。チップの洗浄には、液体のクリーニング・システムを使用しないでください。

静電気の影響

ESD の注意事項に従い、静電放電から保護します。

トランジェント

バイアスを印加するときは、計測器とバイアス電源のトランジェントを抑制します。誘導性ピックアップを最低限に抑えるため、シールド付き信号とバイアス・ケーブルを使用します。

一般的な取り扱い

エッジのチップの取り扱いには、バキューム・コレットまたは先端の曲がった尖ったピンセットだけを使用してください。チップの表面には壊れやすいエア・ブリッジがあるので、チップの表面をバキューム・コレット、ピンセット、指で触らないでください。

取り付け

チップの背面はメタライズされており、金/錫 (AuSn) 共晶接合プリフォームまたは伝導体エポキシでダイに取り付けることができます。取り付ける表面は清潔で平らである必要があります。

共晶接合ダイの取り付け

作業表面の温度 255°C とツール温度 265°C では、80% Au/20% の Sn プリフォームを使用するのが最適です。高温の窒素 90%/水素 10% の混合ガスを適用する場合は、ツール先端の温度を 290°C に維持します。チップを 320°C を超える温度に 20 秒以上さらさないでください。取り付けの際は、3 秒以上こすらないでください。

エポキシ・ダイの取り付け

ダイの取り付けには、ATROX 800HT1V が推奨されます。チップの配置後に、チップの周辺に薄いエポキシのフィレットが観察されるように、取り付け表面に最小限のエポキシを塗布します。メーカーが指定したスケジュールでエポキシを補修します。

ワイヤ・ボンディング

RF ポートでは、3mil × 0.5mil の金製リボンで作成された RF ボンドが推奨されます。これらのボンドは、直径 1mil (0.025mm) の 40g~60g の DC ボンドの強度でサーモソニック・ボンディングを施す必要があります。40g~50g の強度でボール・ボンドを作成し、18g~22g の強度でウェッジ・ボンドを作成します。すべてのボンドを 150°C の公称段温度で作成します。最低量の超音波エネルギーを適用して信頼性の高いボンドを実現します。すべてのボンドは、可能な限り短く、12mil (0.31mm) 未満にします。

外形寸法

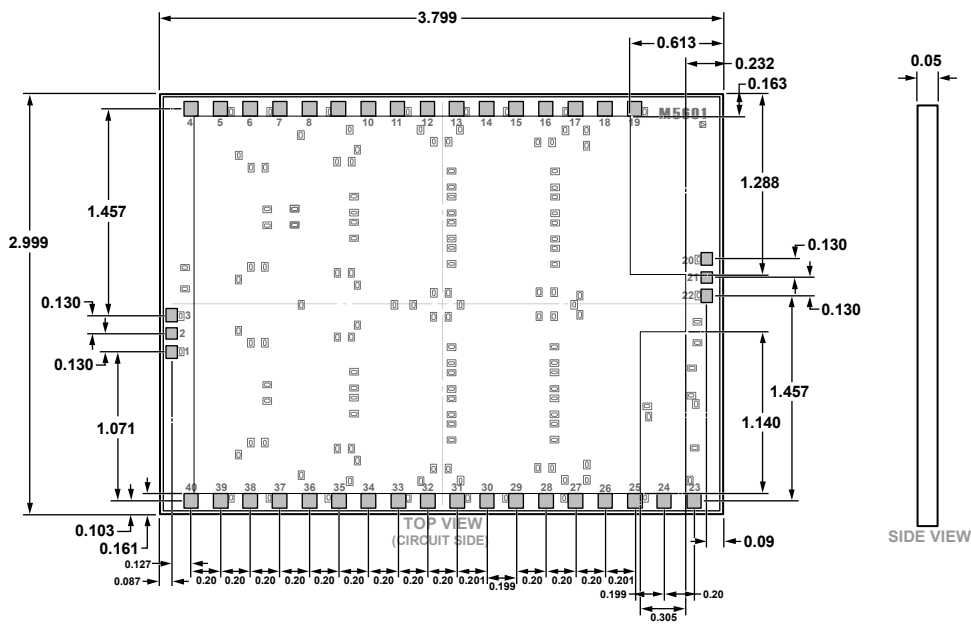


図 49. 40 パッド・ベア・ダイ [チップ]
(C-40-3)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option ²
ADMV7810CHIPS	-55°C to +85°C	40-Pad Bare Die [CHIP]	C-40-3
ADMV7810-SX	-55°C to +85°C	40-Pad Bare Die [CHIP]	C-40-3

¹ ADMV7810-SX は、サンプル・オーダー向けのゲル・パックに入った 2 ペアのダイで構成されます。

² これはワッフル・パック・オプションです。その他のパッケージ・オプションについては、アナログ・デバイセズの営業担当者にお問い合わせください。