

17.7GHz~55GHz、広帯域、マイクロ波ダウン・コンバータ

特長

- ▶ 広帯域 RF 入力周波数範囲：17.7GHz~55GHz
- ▶ RF チェーン機能内蔵
 - ▶ 調整可能なイメージ除去フィルタ
 - ▶ ゲイン制御 DSA
- ▶ LO チェーン機能内蔵
 - ▶ 入力周波数範囲：8.85GHz~27.5GHz
 - ▶ 内部 2 通倍器
 - ▶ 調整可能な LO 高調波除去フィルタ
 - ▶ I/Q 位相補正
- ▶ 2 つの周波数変換モード
 - ▶ IF シングルエンド出力 (2GHz~12GHz)
 - ▶ ベースバンド I/Q 差動出力 (DC~8GHz)
- ▶ プログラマブル I/Q ベースバンド・モード機能
 - ▶ 不均衡最適化
 - ▶ コモンモード電圧
 - ▶ DC オフセット補正
 - ▶ ゲインの選択
 - ▶ 高ゲイン (50Ω 差動、DC~8GHz)
 - ▶ 低ゲイン (100Ω 差動、DC~4GHz)
- ▶ プログラマブル IF モード機能
 - ▶ イメージ除去の最適化
 - ▶ 調整可能なバンドパス・フィルタ
 - ▶ ゲイン制御 DSA
- ▶ プログラマブルな自動パワーダウン過負荷保護機能を備えた内部パワー・ディテクタ
- ▶ 部品間のばらつきを最小限に抑える NVM 工場出荷時キャリブレーション
- ▶ シンプルな SPI：3 線式または 4 線式
- ▶ 汎用ロジック出力により、システム内の他のチップとの統合を実現
- ▶ 高速周波数ホッピングのアプリケーションに対応する LUT ロジック・アドレス入力
- ▶ 120 ボール、6mm × 6.5mm、CSP_BGA パッケージ

アプリケーション

- ▶ 衛星ペイロード¹および地上局 (SATCOM)
- ▶ 広帯域レーダーおよび電子戦システム (EW)
- ▶ 計測器および ATE (自動試験装置)
- ▶ ミリ波 5G および 6G テスター

¹ ADMV1455 の商業宇宙ロー (CSL) および商業宇宙ハイ (CSH) に適合するバージョンの詳細については、space@analog.com にお問い合わせください。

概要

ADMV1455 は、広帯域の無線設計向けに最適化された、高集積マイクロ波ダウン・コンバータであり、17.7GHz~55GHz の RF 周波数範囲で動作します。従来のマルチチップ・ソリューションに代わるコンパクトなソリューションを可能にし、システムのサイズ、重量、消費電力を大幅に削減します。

内蔵の局部発振器 (LO) シグナル・チェーンは、8.85GHz~27.5GHz の範囲の LO 入力信号を受け入れます。LO シグナル・チェーンには、内部アンプ、周波数 2 通倍器、プログラマブルな高調波除去フィルタ、同相/直交 (I/Q) ミキサの駆動に必要な 17.7GHz~55GHz の信号を生成する位相調整回路が備わっています。

ADMV1455 には、スイッチで選択可能な 2 つの RF シグナル・チェーンがあります。1 つのチェーンは 17.7GHz~34GHz の範囲で動作し、もう 1 つのチェーンは 30GHz~55GHz の範囲で動作します。各チェーンは、低ノイズ・アンプ (LNA)、信号レベル制御、フィルタリングからなる複数のステージで構成されます。I/Q ミキサ入力での電力レベルをモニタリングできるように、パワー・ディテクタが備わっています。

利用可能な周波数変換モードは 2 つあります。シングルエンド出力中間周波数 (IF) と差動 I/Q ベースバンドです。シングルエンド出力 IF モードは 2GHz~12GHz の周波数範囲で動作し、オンチップの 90°IF ハイブリッド、チューナブル・フィルタ、2 つの調整可能なゲイン制御段で構成されています。差動 I/Q ベースバンド・モードは DC~8GHz で動作し、プログラマブルな内部コモンモード電圧、プログラマブルなオフセット電圧、プログラマブルなゲイン選択で構成されています。差動出力インピーダンスは 75Ω を中心としており、これによりベースバンド出力は 50Ω または 100Ω のどちらの差動負荷インピーダンスにもインターフェースできます。

RF 入力、LO 入力、IF 出力は、すべてシングルエンドであり、50Ω インピーダンスに整合しています。外部整合回路は不要です。

ゲインおよび周波数ルックアップ・テーブル (LUT) が内蔵されており、シリアル・ペリフェラル・インターフェース (SPI) を通じてアドレス指定できます。あるいは、周波数ホッピング・アプリケーション用に ADD_Fx および ADD_Gx のボール接続を直接用いることにより、高速スイッチングが可能です。

3 線式または 4 線式のどちらを実装している場合でも動作できる、シンプルな SPI が内蔵されています。SPI を用いることにより、ゲイン制御、イメージ除去の最適化、チューナブル・フィルタ、汎用ロジック出力、LUT などのすべての内蔵機能をプログラムできます。

ADMV1455 ダウン・コンバータは BGA パッケージで提供され、パッケージ上面あるいはプリント回路基板 (PCB) の裏面を通じて放熱されます。どちらのヒート・シンク法も熱性能は同様であり、Tc を効率的に制御できます。ADMV1455 は -40°C~+95°C の温度範囲で動作します。

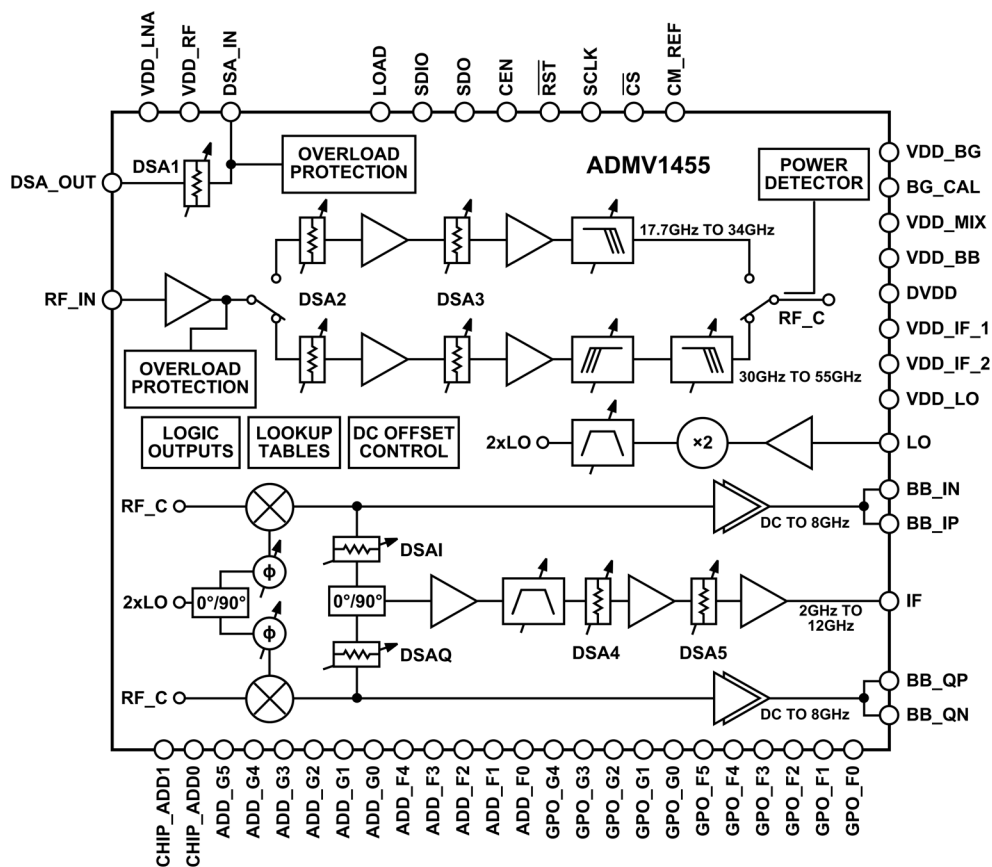
目次

特長.....	1	DSA1	76
アプリケーション.....	1	RF シグナル・チェーン	76
概要.....	1	DSA2	77
機能ブロック図.....	3	DSA3	77
仕様.....	4	RF チューナブル LPF.....	77
IF モード.....	6	RF チューナブル HPF.....	77
I/Q ベースバンド・モード.....	8	ミキサーの概要.....	78
タイミング仕様.....	10	ミキサーの側波帯の選択.....	78
絶対最大定格.....	11	I/Q ベースバンドのシグナル・チェーン.....	78
熱抵抗.....	13	I/Q ベースバンドのゲイン選択.....	79
静電放電 (ESD) 定格.....	14	I/Q ベースバンドのコモンモード電圧 (V _{OCM})	79
ESD に関する注意.....	14	I/Q ベースバンドの DC オフセット.....	79
ピン配置およびピン機能の説明.....	15	IF シグナル・チェーン.....	79
代表的な性能特性.....	19	イメージ除去の最適化.....	80
IF モード、RF_IN、高周波数帯.....	19	IF チューナブル BPF	81
反射損失.....	30	DSA4	82
LO リーク.....	32	DSA5	82
IF モード、RF_IN、低周波数帯.....	35	合計ゲイン制御.....	82
IF モード、DSA_IN、低周波数帯.....	42	RF ゲインに関する指針.....	82
IF モード、DSA_IN、高周波数帯.....	47	自動 ADC 設定.....	82
ベースバンド・モード、DSA_IN、低周波数帯.....	52	パワー・ディテクタ.....	83
ベースバンド・モード、DSA_IN、高周波数帯.....	57	温度センサー.....	83
動作原理.....	65	過負荷保護.....	84
チップの概要.....	65	アプリケーション情報.....	85
パワーアップおよび初期化のシーケンス.....	65	推奨設定.....	85
パワーダウン・シーケンス.....	65	推奨 PCB レイアウト.....	86
SPI.....	66	評価用ボードの情報.....	86
タイミング図の概要.....	67	レジスタの一覧.....	87
不揮発性メモリ.....	70	レジスタの詳細.....	94
デジタルの概要.....	70	レジスタ 0X000～レジスタ 0X0A1.....	94
同期 LOAD 機能.....	71	レジスタ 0X101～レジスタ 0X194.....	100
フィルタの LUT.....	71	レジスタ 0X200～レジスタ 0X2B0.....	108
ゲインの LUT.....	73	レジスタ 0X600～レジスタ 0X80C.....	125
汎用出力.....	74	レジスタ 0X900～レジスタ 0XE03.....	133
RF 接続.....	74	外形寸法.....	141
LO シグナル・チェーン.....	74	オーダー・ガイド.....	141
LO チューナブル・フィルタ.....	75		

改訂履歴

12/2025—Revision 0: Initial Version

機能ブロック図



001

図 1. 機能ブロック図

仕様

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、 $V_{DD_BB} = 2.5\text{V}$ 、その他の電源はすべて 1.8V 。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGES					
RF Input (f_{RF})					
Low Band Signal Chain		17.7		34	GHz
High Band Signal Chain		30		55	GHz
LO Input (f_{LO})		8.85		27.5	GHz
2× LO Multiplier ($2 \times f_{LO}$)		17.7		55	GHz
IF Single-Ended Output		2		12	GHz
Baseband I/Q Differential Output		DC		8	GHz
LO AMPLITUDE RANGE					
$f_{LO} < 25\text{GHz}$		-7		-3	dBm
$f_{LO} \geq 25\text{GHz}$		-3		0	dBm
OPERATING TEMPERATURE RANGE					
		-40		+95	$^\circ\text{C}$
IMAGE REJECTION CONTROL					
LO Phase Adjustment			± 20		Degrees
LO Phase Step			0.6		Degrees
IF Amplitude Step Size			0.1		dB
BASEBAND OUTPUT COMMON-MODE VOLTAGE (V_{OCM})					
$V_{DD_BB} = 1.8\text{V}$	Internally generated, digitally controlled	0.8		1.1	V
$V_{DD_BB} = 2.5\text{V}$		0.8		1.5	V
POWER DETECTOR PERFORMANCE					
Input Range	Power at RF_IN and output measured digitally via the on-chip analog-to-digital converter (ADC)	-40		-17	dBm
RETURN LOSS					
RF_IN Input	50Ω single-ended				
Low Band	17GHz to 34GHz		-10		dB
High Band	30GHz to 55GHz		-8		dB
DSA_IN Input and DSA1 = 0dB	50Ω single-ended				
Low Band	17GHz to 50GHz		-14		dB
High Band	50GHz to 55GHz		-6		dB
DSA_IN Input and DSA1 = 15dB	50Ω single-ended				
Low Band	17GHz to 50GHz		-11		dB
High Band	50GHz to 55GHz		-6		dB
DSA_OUT Output and DSA1 = 0dB	50Ω single-ended				
Low Band	17GHz to 50GHz		-12		dB
High Band	50GHz to 55GHz		-6		dB
DSA_OUT Output and DSA1 = 15dB	50Ω single-ended				
Low Band	17GHz to 50GHz		-15		dB
High Band	50GHz to 55GHz		-8		dB
LO Input	50Ω single-ended		-8		dB
IF Output	50Ω single-ended				dB
2GHz to 6GHz			-7		dB
4GHz to 8GHz			-9		dB
6GHz to 10GHz			-9		dB
8GHz to 12GHz			-15		dB

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LOGIC INPUTS					
Input High Voltage (V_{INH})		1.2		1.8	V
Input Low Voltage (V_{INL})			0	0.63	V
High and Low Input Current (I_{INH}/I_{INL})			7		μ A
Input Capacitance (C_{IN})			0.4		pF
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	Output high current (I_{OH}) = 8mA	1.35			V
Output Low Voltage (V_{OL})	Output low current (I_{OL}) = 8mA			0.45	V
Minimum Hysteresis Window			160		mV
POWER SUPPLIES					
DVDD		1.6	1.8	2	V
VDD_LNA		1.6	1.8	2	V
VDD_RF		1.6	1.8	2	V
VDD_MIX		1.6	1.8	2	V
VDD_LO		1.6	1.8	2	V
VDD_IF		1.6	1.8	2	V
VDD_BG		1.6	1.8	2	V
VDD_IF_2		1.6	1.8	2	V
VDD_BB		1.6	1.8 or 2.5	2.75	V
Supply Current					
IF Mode					
1.8V Supplies	CEN high and RF Band 0		570		mA
	CEN high and RF Band 1		550		mA
	CEN low		65		mA
Baseband Mode					
1.8V Supplies	CEN high and RF Band 0		465		mA
2.5V Supply			125		mA

仕様

IF モード

RF_IN 入力、高周波数帯

特に指定のない限り、 $T_c = 25^\circ\text{C}$ 、全電源電圧 = 1.8V、RF 電力 (P_{RF}) = -45dBm、LO 電力 (P_{LO}) = -5dBm、 $f_{RF} = 49\text{GHz}$ 、IF 周波数 (f_{IF}) = 8GHz、 $f_{LO} = 41\text{GHz}$ (上側波帯)、最大ゲイン、RF ローパス・フィルタ (LPF) 設定 = 0x00 (最高カットオフ)、RF ハイパス・フィルタ (HPF) 設定 = 0x3F (最低カットオフ)。

表 2. RF_IN 入力、高周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL STEP ATTENUATOR (DSA) PERFORMANCE					
Full Attenuation Range	Set DSA2 to DSA5 maximum attenuation		50		dB
Attenuation Step Size	DSA2		6		dB
	DSA3, DSA4, and DSA5		1		dB
Attenuation Step Error	DSA2		± 0.2		dB
	DSA3, DSA4, and DSA5		± 0.2		dB
RX IF MODE, HIGH BAND, RF_IN PERFORMANCE					
Conversion Gain	RF_IN input pin and IF_OUT output pin		41		dB
Single Sideband Noise Figure			6.2		dB
Input 1 dB Compression (P1dB)			-27		dBm
Input Third-Order Intercept (IP3)	100 MHz tone spacing		-16		dBm
Image Rejection (IMRR)	Uncalibrated		-28		dBc
	Calibrated		-52		dBc

RF_IN 入力、低周波数帯

特に指定のない限り、 $T_c = 25^\circ\text{C}$ 、全電源電圧 = 1.8V、 $P_{RF} = -50\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{RF} = 26\text{GHz}$ 、 $f_{IF} = 8\text{GHz}$ 、 $f_{LO} = 34\text{GHz}$ (下側波帯)、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)。

表 3. RF_IN 入力、低周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DSA PERFORMANCE					
Full Attenuation Range	Set DSA2 to DSA5 maximum attenuation		52		dB
Attenuation Step Size	DSA2		6		dB
	DSA3, DSA4, and DSA5		1		dB
Attenuation Step Error	DSA2		± 0.2		dB
	DSA3, DSA4, and DSA5		± 0.2		dB
RX IF MODE, LOW BAND, RF_IN PERFORMANCE					
Conversion Gain	RF_IN input pin and IF_OUT output pin		48		dB
Single Sideband Noise Figure			4.0		dB
Input P1dB			-34		dBm
IP3	100MHz tone spacing		-24		dBm
IMRR	Uncalibrated		-55		dBc
	Calibrated		-80		dBc

仕様

DSA_IN 入力、高周波数帯

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、全電源電圧 = 1.8V、 $P_{RF} = -40\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{RF} = 49\text{GHz}$ 、 $f_{IF} = 8\text{GHz}$ 、 $f_{LO} = 41\text{GHz}$ （上側波帯）、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、RF HPF 設定 = 0x3F（最低カットオフ）。

表 4. DSA_IN 入力、高周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DSA PERFORMANCE					
Full Attenuation Range	Set DSA1 to DSA5 maximum attenuation		66		dB
Attenuation Step Size	DSA1		1		dB
	DSA2		6		dB
	DSA3, DSA4, and DSA5		1		dB
Attenuation Step Error	DSA1		± 0.2		dB
	DSA2		± 0.2		dB
	DSA3, DSA4, and DSA5		± 0.2		dB
RX IF MODE, HIGH BAND, DSA_IN PERFORMANCE					
Conversion Gain	DSA_IN input pin, IF_OUT output pin, and DSA_OUT connected by short 50 Ω line to RF_IN on PCB		36		dB
Single Sideband Noise Figure			12.0		dB
Input P1dB			-21		dBm
IP3	100 MHz tone spacing		-11		dBm
IMRR	Uncalibrated		-28		dBc
	Calibrated		-52		dBc

DSA_IN 入力、低周波数帯

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、全電源電圧 = 1.8V、 $P_{RF} = -50\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{RF} = 26\text{GHz}$ 、 $f_{IF} = 8\text{GHz}$ 、 $f_{LO} = 34\text{GHz}$ （下側波帯）、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）。

表 5. DSA_IN 入力、低周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DSA PERFORMANCE					
Full Attenuation Range	Set DSA1 to DSA5 maximum attenuation		64		dB
Attenuation Step Size	DSA1		1		dB
	DSA2		6		dB
	DSA3, DSA4, and DSA5		1		dB
Attenuation Step Error	DSA1		± 0.2		dB
	DSA2		± 0.2		dB
	DSA3, DSA4, and DSA5		± 0.2		dB
RX IF MODE, LOW BAND, DSA_IN PERFORMANCE					
Conversion Gain	DSA_IN input pin, IF_OUT output pin, and DSA_OUT connected by short 50 Ω line to RF_IN on PCB		45		dB
Single Sideband Noise Figure			9.0		dB
Input P1dB			-30		dBm
IP3	100MHz tone spacing		-19		dBm
IMRR	Uncalibrated		-55		dBc
	Calibrated		-80		dBc

仕様

I/Q ベースバンド・モード

DSA_IN 入力、高周波数帯

特に指定のない限り、 $T_c = 25^\circ\text{C}$ 、 $V_{DD_BB} = 2.5\text{V}$ 、その他全電源電圧 = 1.8V、 $P_{RF} = -40\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{RF} = 49\text{GHz}$ 、ベースバンド周波数 (f_{BB}) = 100MHz、 $f_{LO} = 48.9\text{GHz}$ (上側波帯)、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)、RF HPF 設定 = 0x3F (最低カットオフ)、 V_{OCM} 設定 = 0x0C。

特に指定のない限り、測定は、高ゲイン設定 (レジスタ 0x194、ビット [1:0] = 0b'11) で、オンボード・マッチング・ネットワークを使用。特に指定のない限り、測定は、BB_IP 出力のみでのシングルエンド測定で、他の出力 BB_IN、BB_QP、BB_QN は 50Ω 負荷終端。特に指定のない限り、データは、出力マッチング・ネットワーク損失が 8.15dB、差動損失が 3dB として補正。

表 6. DSA_IN 入力、高周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DSA PERFORMANCE					
Full Attenuation Range	Set DSA1 to DSA3 maximum attenuation		36		dB
Attenuation Step Size	DSA1		1		dB
	DSA2		6		dB
	DSA3		1		dB
	Attenuation Step Error	DSA1	±0.2		dB
	DSA2	±0.2		dB	
	DSA3	±0.2		dB	
RX I/Q BASEBAND MODE, HIGH BAND, DSA_IN PERFORMANCE					
Conversion Gain	DSA_IN input pin, BB_IP output pin with other baseband outputs terminated, and DSA_OUT connected by short 50Ω line to RF_IN on PCB				
Gain Setting High	For 50Ω operation		12		dB
Gain Stetting Low	For 100Ω operation		6		dB
Noise Figure, Single Sideband	Measured with output balun combining BB_IP and BB_IN, corrected -3dB for single sideband				
$f_{BB} > 1\text{GHz}$	Thermal noise floor		12.3		dB
$f_{BB} < 100\text{MHz}$	1/f noise corner		15.3		dB
Input P1dB			-7.5		dBm
IP3	100MHz tone spacing		0		dBm
Baseband Quadrature Imbalance	0GHz to 8GHz				
Amplitude			±0.8		dB
Phase			±5		Degrees

仕様

DSA_IN 入力、低周波数帯

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、 $V_{DD_BB} = 2.5\text{V}$ 、その他全電源電圧 = 1.8V 、 $P_{RF} = -45\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{RF} = 29\text{GHz}$ 、 $f_{BB} = 100\text{MHz}$ 、 $f_{LO} = 29.1\text{GHz}$ （上側波帯）、最大ゲイン、RF LPF 設定 = $0x00$ （最高カットオフ）、 V_{OCM} 設定 = $0x0C$ 。

測定は、高ゲイン設定（レジスタ $0x194$ 、ビット[1:0] = $0b'11$ ）で、オンボード・マッチング・ネットワークを使用。特に指定のない限り、測定は、BB_IP 出力のみでのシングルエンド測定で、他の出力 BB_IN、BB_QP、BB_QN は 50Ω 負荷終端。特に指定のない限り、データは、出力マッチング・ネットワーク損失が 8.15dB 、差動損失が 3dB として補正。

表 7. DSA_IN 入力、低周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DSA PERFORMANCE					
Full Attenuation Range	Set DSA1 to DSA3 maximum attenuation		37		dB
Attenuation Step Size	DSA1		1		dB
	DSA2		6		dB
	DSA3		1		dB
Attenuation Step Error	DSA1		± 0.2		dB
	DSA2		± 0.2		dB
	DSA3		± 0.2		dB
RX I/Q BASEBAND MODE, HIGH BAND, DSA_IN PERFORMANCE					
Conversion Gain	DSA_IN input pin, BB_IP output pin with other baseband outputs terminated, and DSA_OUT connected by short 50Ω line to RF_IN on PCB				
Gain Setting High	For 50Ω operation		22.5		dB
Gain Setting Low	For 100Ω operation		17		dB
Input P1dB			-15		dBm
IP3	100MHz tone spacing		-6.5		dBm
Baseband Quadrature Imbalance	0GHz to 8GHz				
Amplitude			± 0.8		dB
Phase			5		Degrees

仕様

タイミング仕様

詳細については、[タイミング図の概要のセクション](#)、[デジタル入力のパワーアップおよび印加のセクション](#)、[SPI 命令の初期化のセクション](#)、[チップのイネーブルおよび動作のセクション](#)、[チップのディスエーブルおよびリセットのセクション](#)、[チップのディスエーブルおよびパワーダウンのセクション](#)を参照してください。

表 8. タイミング仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
t ₁	1		100	ms	Power supplies 10% to 90% rise time.
t ₂	10			ns	Power supplies 90% level to valid digital input time (t _{DIGITAL}). Do not set any logic input levels high prior to t _{DIGITAL} . The RST and CS can go high together after t ₂ has transpired. If CHIP_ADD0 and CHIP_ADD1 are to be set externally, then set them to the desired logic levels after t ₂ and prior to any SPI instructions.
t ₃	10			ns	RST rising edge to CS falling edge (first SPI instruction after reset). Waiting t ₃ ensures that the digital logic has reset to the default values.
t ₄	5			ns	CS falling edge to SCLK rising edge setup time.
t ₅	10			ns	SCLK cycle time (write).
t ₅	20			ns	SCLK cycle time (read).
t ₆	2.5			ns	SCLK high time.
t ₇	2.5			ns	SCLK low time.
t ₈	3			ns	SDI data setup time.
t ₉	2			ns	SDI data hold time.
t ₁₀	5			ns	SCLK rising edge to CS hold time.
t ₁₁	5			ns	Minimum CS high time for latching in data (for multiple SPI transactions).
t ₁₂	5			ns	CS rising edge to next SCLK rising edge ignore.
t ₁₃		4		ns	SCLK falling edge to SDO valid (load capacitance (C _L) = 10pF).
t ₁₄		5		ns	SDO rise and fall time (C _L = 10pF).
t ₁₅		4		ns	CS rising edge to SDO tristate (C _L = 10pF).
t ₁₆	10			ns	Time from final initialization SPI instruction to entering the operational time (t _{OPERATIONAL}). Set CEN to logic high at this time.
t ₁₇	5			ns	CS rising edge to LOAD pin first rising edge time for loading filter contents.
t ₁₈	10			ns	LOAD pin high time for loading the filter and DSA contents.
t ₁₉	10			ns	LOAD pin low time for preparing to load the DSA offsets.
t ₂₀	10			ns	LOAD pin high time for loading the DSA offsets.
t ₂₁	0			ns	CS falling edge to LOAD pin falling edge time. Both can be set low at the same time after a load operation has been completed (after t ₁₈ or t ₂₀) and another SPI instruction is desired.
t ₂₂	10			ns	Time from the last SPI instruction when the chip is operational (t _{CONTINUE}) to the disable time (t _{DISABLE}). After t ₂₂ has transpired, set CEN to logic low to disable the chip.
t ₂₃	3			μs	CEN falling edge to RST falling edge. Waiting t ₂₃ ensures that the RF portions of the chip have been allowed to power down prior to chip reset.
t ₂₄	10			ns	RST low time to perform reset.
t ₂₅	3			μs	CEN falling edge to the power-down time (t _{POWER-DOWN}). Waiting t ₂₅ ensures that the RF portions of the chip have been allowed to power down prior to shutting down the chip power.
t ₂₆			10	μs	Logic inputs fall time. The logic inputs and power supplies can be turned off at the same time.
t ₂₇	1		100	ms	Power supplies 90% to 10% fall time.

絶対最大定格

表 9. 10 年の寿命を実現するための絶対最大定格

Parameter	Rating
Supply Voltage	
2.5V Supply	2.75V
1.8V Supply	2V
Digital Input and Output Voltages	
1.8V Supply	2V
LO Input Power	0dBm
RF Input Power ¹	See Table 10, Table 11, Table 12, and Table 13 for additional information
Temperature	
Maximum Junction (T _J)	125°C
Maximum Storage Range	-65°C to +150°C
Operating T _C Range	-40°C to +95°C
Maximum Power Dissipation	1.4W
Moisture Sensitivity Level (MSL) Rating ²	MSL3

¹ RF 入力電源定格は、ピークと平均値の比を 10dB と仮定しています。

² IPC/JEDEC J-STD-20 MSL 分類に準拠。

表 10. RF 入力電源定格 (IF モード、10 年寿命)

Parameter	RF Band	
	Low (dBm)	High (dBm)
CEN = Low		
RF_IN	+4	+4
DSA_IN at DSA1 ≤ 13	+8 + DSA1 Value	+8 + DSA1 Value
DSA_IN at DSA1 ≥ 14	+22	+22
CEN = High		
RF_IN for All DSAs Combined		
At Maximum Gain	-41	-34
At Minimum Gain	-9	-9
RF_IN for Each DSA Set to Its Maximum Attenuation		
DSA2	-35	-28
DSA3	-26	-19
DSA4	-26	-19
DSA5	-26	-19
DSA_IN for All DSAs Combined		
At Maximum Gain	-37	-30
At Minimum Gain	-5	-5
DSA_IN for Each DSA Set to Its Maximum Attenuation		
DSA1	-22	-15
DSA2	-32	-24
DSA3	-22	-15
DSA4	-22	-15
DSA5	-22	-15

表 11. RF 入力電源定格 (I/Q ベースバンド・モード、10 年寿命)

Parameter	RF Band	
	Low (dBm)	High (dBm)
CEN = Low		
RF_IN	+4	+4
DSA_IN at DSA1 ≤ 13	+8 + DSA1 Value	+8 + DSA1 Value
DSA_IN at DSA1 ≥ 14	+22	+22
CEN = High		
RF_IN for All DSAs Combined		
At Maximum Gain	-26	-16
At Minimum Gain	-9	-9
RF_IN for Each DSA Set to Its Maximum Attenuation		
DSA2	-21	-11
DSA3	-21	-11
DSA_IN for All DSAs Combined		
At Maximum Gain	-22	-12
At Minimum Gain	-5	-5
DSA_IN for Each DSA Set to Its Maximum Attenuation		
DSA1	-7	-2
DSA2	-17	-7
DSA3	-17	-7

絶対最大定格

表 12. RF 入力電源定格 (IF モード、2 時間寿命)

Parameter	RF Band	
	Low (dBm)	High (dBm)
CEN = Low		
RF_IN	+7	+7
DSA_IN at DSA1 ≤ 10	+11 + DSA1 Value	+11 + DSA1 Value
DSA_IN at DSA1 ≥ 11	+22	+22
CEN = High		
RF_IN for All DSAs Combined		
At Maximum Gain	-35	-28
At Minimum Gain	0	0
RF_IN for Each DSA Set to Its Maximum Attenuation		
DSA2	-29	-22
DSA3	-20	-13
DSA4	-20	-13
DSA5	-20	-13
DSA_IN for All DSAs Combined		
At Maximum Gain	-31	-24
At Minimum Gain	+4	+4
DSA_IN for Each DSA Set to Its Maximum Attenuation		
DSA1	-16	-16
DSA2	-25	-18
DSA3	-16	-9
DSA4	-16	-9
DSA5	-16	-9

表 13. RF 入力電源定格 (I/Q ベースバンド・モード、2 時間寿命)

Parameter	RF Band	
	Low (dBm)	High (dBm)
CEN = Low		
RF_IN	+7	+7
DSA_IN at DSA1 ≤ 13	+11 + DSA1 Value	+11 + DSA1 Value
DSA_IN at DSA1 ≥ 11	+22	+22
CEN = High		
RF_IN for All DSAs Combined		
At Maximum Gain	-20	-10
At Minimum Gain	0	0
RF_IN for Each DSA Set to Its Maximum Attenuation		
DSA2	-15	-5
DSA3	-15	-5
DSA_IN for All DSAs Combined		
At Maximum Gain	-16	-6
At Minimum Gain	+4	+4
DSA_IN for Each DSA Set to Its Maximum Attenuation		
DSA1	-1	+4
DSA2	-11	-1
DSA3	-11	-1

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC_TOP} は、ジャンクションとケースの間の熱抵抗（°C/W）です。

記載されているすべてのテスト条件が JEDEC の仕様と同じ場合は、 θ_{JC_TOP} のみを用いて、異なるパッケージ間の熱性能を比較できます。それ以外の場合は、 Ψ_{JT} と Ψ_{JB} を使い、次式に従ってデバイスのジャンクション温度を計算します。

$$T_J = (P \times \Psi_{JT}) + T_{TOP}$$

ここで、
 P はチップ内の総消費電力（W）、
 Ψ_{JT} はジャンクションと上面の間の熱特性値、
 T_{TOP} はパッケージ上面の温度（°C）、 T_{TOP} はパッケージ上面中央で測定した値です。

$$T_J = (P \times \Psi_{JB}) + T_{BOARD}$$

ここで、
 P はチップ内の総消費電力（W）、
 Ψ_{JB} はジャンクションとボードの間の熱特性値、
 T_{BOARD} はパッケージ本体の長辺の中間で端から 1mm 以内の点で測定したボードの温度（°C）です。

JEDEC51-12 に記載のとおり、ヒート・シンクまたはヒート・スプレッドがない場合は、前出の式のみを使用してください。ヒート・シンクまたはヒート・スプレッドが追加されている場合は、 θ_{JC_TOP} を用いてジャンクション温度を推定または計算します。

表 14 に、ADMV1455 パッケージ全体で均一に電力が消費されるという JEDEC 規格とは異なり、JEDEC (JESD51-2) 基板をベースとした電力マップに基づいた、ケースからジャンクションまでの温度上昇 (T_{RISE_JC}) を示します。 T_{RISE_JC} は、すべての動作条件に適用され、ジャンクション温度の計算値は高くなります。ただし、 T_{RISE_JC} を用いると、JEDEC ボードに取り付けた ADMV1455 のジャンクション温度の計算がより正確なものになります。

$T_{BOARD,max}$ （パッケージ底面またはボード上のパッケージに最も近い点を基準とする最高ケース温度）を計算するには、次式を用いると共に、図 2 を参照してください。

$$T_{BOARD,MAX} = T_{J,MAX} - T_{RISE_JC} - P \times \theta_{JC_BOT} \tag{1}$$

底面が PCB の裏面に該当する場合は、次式を用います。

$$T_{BOARD} = T_{BASE_PLATE} + P \times \theta_{BOARD} + P \times \theta_{TIM} \tag{2}$$

ここで、
 P はチップ内の総消費電力（W）、
 $T_{J,MAX}$ は表 9 に示す最高ジャンクション温度（°C）、

$T_{BOARD,MAX}$ はパッケージ本体の長辺の中間で端から 1mm 以内の点で測定したボードの最高温度（°C）、

T_{RISE_JC} は表 14 に示すケースからジャンクションまでの最大温度上昇（°C）、

T_{BOARD} はパッケージ本体の長辺の中間で端から 1mm 以内の点で測定したボードの温度（°C）、

T_{BASE_PLATE} はヒート・シンクのベース・プレートの温度、

θ_{TIM} は TIM の熱抵抗（°C/W）、

θ_{BOARD} はボードの熱抵抗（°C/W）、

θ_{JC_BOT} は表 15 に示すジャンクションとケースの間の熱抵抗（°C/W）です。

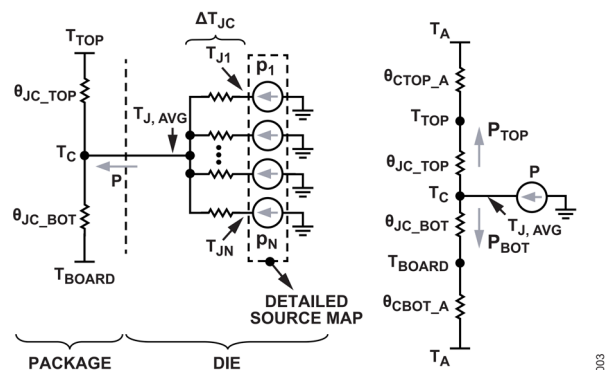


図 2. 電力マップの回路レベルの記載（左）と均一消費電力法（右）

表 14. 電力マップに基づく温度上昇

Package Type ¹	T_{RISE_JC}	Unit
BC-120-4	20	°C

¹ 熱抵抗の最適化に関する詳細は、JEDEC 規格 JESD51-2 を参照してください。

JEDEC (JESD51-2) ボードをベースとする均一消費電力の JEDEC 規格を仮定した ADMV1455 の熱抵抗を、表 15 に示します。均一消費電力に基づく熱抵抗は、ADMV1455 と他の同種 IC の性能を比較するのに有用です。

表 15. 均一消費電力に基づく熱抵抗

Package Type	θ_{JC_BOT} ¹	θ_{JC_TOP} ²	Ψ_{JT}	Ψ_{JB}	θ_{JA}	Unit
BC-120-4	2.3	3.0	0.1	7.3	24.3	°C/W

¹ 熱抵抗の最適化に関する詳細は、JEDEC 規格 JESD51-2 を参照してください。

² 熱抵抗の最適化に関する詳細は、JEDEC 規格 JESD51-2 を参照してください。

絶対最大定格

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起チャージ・デバイス・モデル（FICDM）。

ADMV1455 の ESD 定格

表 16. ADMV1455、120 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	750	1B
FICDM	500	C2A

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

ADMV1455
TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12
A	NIC	VDD_LNA	VDD_RF	GND		GND			GND	GPO_G4	VDD_MIX	NIC
B	DNC	CM_REF	GND	GND	DSA_IN	GND	BB_IN	BB_IP	GND	GPO_G2	GPO_G1	GPO_G0
C	GND	GND	GND	GND	GND	GND	GND	GND	GND	BG_CAL	GPO_F5	GPO_F4
D		DSA_OUT	GND	GND	GND	GPO_F3	ADD_F0	ADD_F0	CHIP_ADD1	GPO_G3	VDD_BB	
E	GND	GND	GND	GPO_F2	GPO_F2	GPO_F3	GND	ADD_F1	ADD_F1	GND	GND	GND
F		RF_IN	GND	GND	GND	GND	ADD_F4	ADD_F4	GND	GND	LO	
G	GND	GND	GND	GPO_F0	GPO_F0	GPO_F1	GND	ADD_F3	ADD_F3	GND	GND	GND
H	ADD_G2	ADD_G3	VDD_IF_1	GND	GND	GPO_F1	ADD_F2	ADD_F2	CHIP_ADD0	LOAD	SDIO	
J	ADD_G1	ADD_G4	NIC	GND	GND	GND	GND	GND	GND	GND	SDO	SCLK
K	DVDD	ADD_G5	VDD_IF_2	GND	IF	GND	BB_QN	BB_QP	GND	CEN	RST	CS
L	NIC	ADD_G0		GND		GND			GND	VDD_LO	VDD_BG	NIC

NOTES
1. NIC = NOT INTERNALLY CONNECTED. THE NIC BALLS ARE NOT CONNECTED INTERNALLY.

図 3. ピン配置

表 17. ピン機能の説明

ピン番号	記号	説明
A1, A12, J3, L1, L12	NIC	内部接続なし。NIC ボールは内部では接続されていません。アプリケーションに必要な場合や実装する上で必要な場合は、これらのボールをグラウンドに接続することもできます。
A2	VDD_LNA	LNA 電源電圧 (1.8V)。0.01μF および 1μF のデカップリング・コンデンサを VDD_LNA の近くに配置します。
A3	VDD_RF	RF アンプ電源電圧 (1.8V)。0.01μF および 1μF のデカップリング・コンデンサを VDD_RF の近くに配置します。
A4, A6, A9, B3, B4, B6, B9, C1 to C9, D3 to D5, E1 to E3, E7, E10 to E12, F3 to F6, F9, F10, G1 to G3, G7, G10 to G12, H4, H5, J4 to J10, K4, K6, K9, L4, L6, L9	GND	グラウンド。すべての GND ボールをまとめて、PCB の低インピーダンス・プレーンに接続します。
A10	GPO_G4	汎用デジタル出力カボール・ゲイン4。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
A11	VDD_MIX	ミキサー電源電圧 (1.8V)。0.01μF および 1μF のデカップリング・コンデンサを VDD_MIX の近くに配置します。
B1	DNC	接続しないでください。DNC ボールまたはグラウンドには接続しないでください。
B2	CM_REF	I/Q ベースバンド・コモンモード・リファレンス電圧入力。内部コモンモード電圧リファレンスを用いる場合、CM_REF はフローティング状態にできます。コモンモード電圧を外部で設定する場合は CM_REF ボールを用い、0.01μF のデカップリング・コンデンサを CM_REF の近くに配置します。CM_REF はグラウンドに接続しないでください。

ピン配置およびピン機能の説明

表 17. ピン機能の説明 (続き)

ピン番号	記号	説明
B5	DSA_IN	DSA1 RF 入力。DSA_IN ボールは DC カップリングされ、50Ω に整合されています。DSA_IN には外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを DSA_IN に直列に配置し、コンデンサの寄生成分の影響が動作周波数範囲に対し許容可能なものになるようにしてください。DSA1 を使用しない場合、DSA_IN はフローティング状態にできます。
B7, B8	BB_IN, BB_IP	差動ベースバンド I 出力。これらの出力は内部において 75Ω の差動出力インピーダンスで DC カップリングされています。そのため、50Ω または 100Ω のどちらの差動負荷インピーダンスにもインターフェースできます。 コモンモード電圧範囲は、VDD_BB = 2.5V の場合に 0.8V~1.5V、VDD_BB = 1.8V の場合に 0.8V~1.1V です。IF モードで動作させる場合は、BB_IN および BB_IP をフローティング状態にできます。
B10	GPO_G2	汎用デジタル出力ボール・ゲイン 2。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
B11	GPO_G1	汎用デジタル出力ボール・ゲイン 1。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
B12	GPO_G0	汎用デジタル出力ボール・ゲイン 0。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
C10	BG_CAL	バンドギャップ・リファレンス・キャリブレーション。BG_CAL は、製造時およびデバッグ目的に使用されます。このボールはフローティング状態のままにできます。あるいは、3.48kΩ、1% の抵抗に接続できます。このボールはグラウンドに接続しないでください。
C11	GPO_F5	汎用デジタル出力ボール・フィルタ 5。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
C12	GPO_F4	汎用デジタル出力ボール・フィルタ 4。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
D2	DSA_OUT	DSA1 RF 出力ピン。このボールは DC カップリングされ、50Ω に整合されています。DSA_OUT には外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを DSA_OUT に直列に配置し、コンデンサの寄生成分の影響が動作周波数範囲に対し許容可能なものになるようにしてください。DSA1 を使用しない場合、DSA_OUT はフローティング状態にできます。
D6, E6	GPO_F3	汎用デジタル出力ボール・フィルタ 3。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
D7, D8	ADD_F0	周波数 LUT アドレス・ビット 0。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはブルダウン抵抗はありません。マイクロコントローラまたはフィールド・プログラマブル・ゲート・アレイ (FPGA) からのロジック出力に接続します。フローティング状態にはしないでください。ADDF0 を用いてルックアップ・テーブル・アドレス・ポイントを設定しない場合は、このボールをグラウンドに接続します。
D9	CHIP_ADD1	チップ・アドレス・ビット 1。アクティブ・ハイ、1.8V ロジック。CHIP_ADD1 は内部で 15kΩ を介してハイにプルアップされます。このボールは、マイクロコントローラまたは FPGA からのロジック出力によって動的に設定されます。固定アドレス指定を実行する場合、ハイに設定するにはこのボールをフローティング状態のままにし、ローに設定するにはこのボールをグラウンドに接続します。シングル・チップ実装の場合は、このボールを常にグラウンドに接続します。
D10	GPO_G3	汎用デジタル出力ボール・ゲイン 3。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
D11	VDD_BB	ベースバンド電源電圧。IQ ベースバンド・モードの場合、公称電圧は 2.5V です。ただし、より低いゲインを許容できる場合は、この電圧を 1.8V に設定できます。最高の P1dB 性能は、2.5V を用いることにより得られます。IF モードの場合、電圧は 1.8V または 2.5V が可能で、性能に違いは生じません。0.01μF および 1μF のデカップリング・コンデンサを VDD_BB の近くに配置します。
E4, E5	GPO_F2	汎用デジタル出力ボール・フィルタ 2。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
E8, E9	ADD_F1	周波数 LUT アドレス・ビット 1。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはブルダウン抵抗はありません。マイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADDF1 を用いてルックアップ・テーブル・アドレス・ポイントを設定しない場合は、このボールをグラウンドに接続します。
F2	RF_IN	RF 入力。このボールは DC カップリングされ、50Ω に整合されています。RF_IN には外部電圧をかけないでください。 必要に応じ、DC 阻止コンデンサを RF_IN に直列に配置し、コンデンサの寄生成分の影響が動作周波数範囲に対し許容可能なものになるようにしてください。DSA1 を用いる場合、RF_IN を DSA_OUT に直接接続します。
F7, F8	ADD_F4	周波数 LUT アドレス・ビット 4。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはブルダウン抵抗はありません。マイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADDF4 を用いてルックアップ・テーブル・アドレス・ポイントを設定しない場合は、このボールをグラウンドに接続します。
F11	LO	LO 入力。このボールは DC カップリングされ、50Ω に整合されています。LO には外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを LO に直列に配置し、コンデンサの寄生成分の影響が動作周波数範囲に対し許容可能なものになるようにしてください。

ピン配置およびピン機能の説明

表 17. ピン機能の説明 (続き)

ピン番号	記号	説明
G4, G5	GPO_F0	汎用デジタル出力ボール・フィルタ 0。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
G6, H6	GPO_F1	汎用デジタル出力ボール・フィルタ 1。アクティブ・ハイ、1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
G8, G9	ADD_F3	周波数 LUT アドレス・ビット 3。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_F3 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_F3 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
H1	ADD_G2	ゲイン LUT アドレス・ビット 2。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G2 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G2 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
H2	ADD_G3	ゲイン LUT アドレス・ビット 3。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G3 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G3 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
H3	VDD_IF_1	IF チェーン電源電圧 (1.8V)。0.01μF および 1μF のデカップリング・コンデンサを VDD_IF の近くに配置します。
H7, H8	ADD_F2	周波数 LUT アドレス・ビット 2。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_F2 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_F2 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
H9	CHIP_ADD0	チップ・アドレス・ビット 0。アクティブ・ハイ、1.8V ロジック。CHIP_ADD0 は内部で 15kΩ を介してハイにプルアップされます。このボールは、マイクロコントローラまたは FPGA からのロジック出力によって動的に設定されます。固定アドレス指定を実行する場合、ハイに設定するにはこのボールをフローティング状態のままにし、ローに設定するにはこのボールをグラウンドに接続します。シングル・チップ実装の場合は、このボールを常にグラウンドに接続します。
H10	LOAD	ロード同期トグル。アクティブ・ハイ、1.8V ロジック。LOAD 機能が有効な場合、LOAD ボールをロジック・ローからロジック・ハイに遷移させると、フィルタ・レジスタおよびゲイン・レジスタの内容が動作中のレジスタに送られます。ロード動作が完了したら LOAD ボールをロジック・ローに戻してください。詳細については図 168 を参照してください。内部プルアップ抵抗またはプルダウン抵抗はありません。LOAD はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。LOAD 機能を使用しない場合、このボールはグラウンドに接続します。
H11	SDIO	SPI データ入出力。アクティブ・ハイ、1.8V ロジック。3 線式 SPI を実装する場合、SDIO は双方向です。4 線式 SPI を実装する場合、SDIO はデータ入力のみ用いられます。
J1	ADD_G1	ゲイン LUT アドレス・ビット 1。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G1 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G1 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
J2	ADD_G4	ゲイン LUT アドレス・ビット 4。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G4 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G4 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
J11	SDO	SPI データ出力。アクティブ・ハイ、1.8V ロジック。4 線式 SPI を実装する場合、SPI データは、SDO ボールを用いて読み出されます。SDO を使用しない場合、このボールはフローティング状態にします。
J12	SCLK	SPI クロック入力。アクティブ・ハイ、1.8V ロジック。SPI 書込みトランザクションの間、データは、SCLK の立上がりエッジでサンプリングされます。SPI 読出しトランザクションの間、出力データは SCLK の立下がりエッジで変化します。
K1	DVDD	デジタル電源電圧 (1.8V)。0.01μF および 1μF のデカップリング・コンデンサを DVDD の近くに配置します。
K2	ADD_G5	ゲイン LUT アドレス・ビット 5。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G5 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G5 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
K3	VDD_IF_2	IF 電源電圧 (1.8V)。0.01μF および 1μF のデカップリング・コンデンサを VDD_IF_2 の近くに配置します。
K5	IF	IF 出力。IF ボールは DC カップリングされ、50Ω に整合されています。IF ボールには外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを IF に直列に配置し、コンデンサの寄生成分の影響が動作周波数範囲に対し許容可能なものになるようにしてください。
K7, K8	BB_QN, BB_QP	差動ベースバンド Q 出力。これらの出力は内部において 75Ω の差動出力インピーダンスで DC カップリングされています。そのため、50Ω または 100Ω のどちらの差動負荷インピーダンスにもインターフェースできます。
K10	CEN	コモンモード電圧範囲は、VDD_BB = 2.5V の場合に 0.8V~1.5V、VDD_BB = 1.8V の場合に 0.8V~1.1V です。IF モードで動作させる場合、BB_QN および BB_QP をフローティング状態にできます。チップ・イネーブル。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。CEN はマイクロコントローラ、FPGA、または電力シーケンサからのロジック出力に接続します。フローティング状態にはしないでください。すべての電源電圧がオンになり RST がハイにセットされるまで、CEN ピンをローに保持しておく必要があります。
K11	RST	チップ・リセット。アクティブ・ロー、1.8V ロジック。

ピン配置およびピン機能の説明

表 17. ピン機能の説明（続き）

ピン番号	記号	説明
K12	CS	SPI チップ・セレクト。アクティブ・ロー、1.8V ロジック。SPI トランザクションを開始するにはCSをローにします。詳細については、 図 167 および 図 168 を参照してください。
L2	ADD_G0	ゲイン LUT アドレス・ビット 0。アクティブ・ハイ、1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G0 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G0 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
L10	VDD_LO	LO 電源電圧 (1.8V)。0.01 μ F および 1 μ F のデカップリング・コンデンサを VDD_LO の近くに配置します。
L11	VDD_BG	バンドギャップ・リファレンス電源電圧 (1.8V)。0.01 μ F および 1 μ F のデカップリング・コンデンサを VDD_BG の近くに配置します。理想的には、適切な NVM ロード動作を実現するために、VDD_BG 電圧を印加する前に、その他すべての電源をオンにしRSTをハイにセットします。それが不可能な場合、例えばすべての電源電圧が同時に印加される場合などは、RSTをハイにセットし NVM リフレッシュ・コマンドを実行することを徹底してください。

代表的な性能特性

IF モード、RF_IN、高周波数帯

すべての測定は、RF_INを入力、IF を出力として用い、RF を高周波数の設定にしています。特に指定のない限り、電源電圧 = 1.8V (全電源)、 $T_c = 25^\circ\text{C}$ です。

特に指定のない限り、すべての測定は、 $P_{RF} = -45\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{RF} = 49\text{GHz}$ 、 $f_{IF} = 8\text{GHz}$ 、 $f_{LO} = 41\text{GHz}$ (上側波帯)、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)、RF HPF 設定 = 0x3F (最低カットオフ)、IF バンドパス・フィルタ (BPF) 設定 = 8GHz (表 24 参照)、LO チューナブル・フィルタ広帯域ハイ設定 (表 22 参照) で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています (図 3 の RF および IF の入力ピンおよび出力ピンを参照)。

変換ゲイン

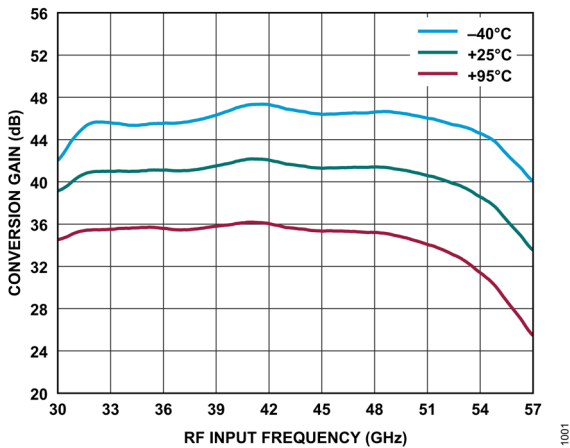


図 4. いくつかの温度設定での変換ゲインと RF 入力周波数の関係

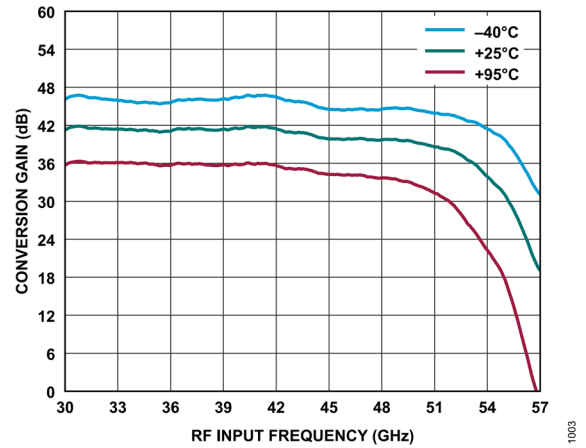


図 6. いくつかの温度設定での変換ゲインと RF 入力周波数の関係 (LO フィルタ広帯域ロー設定)

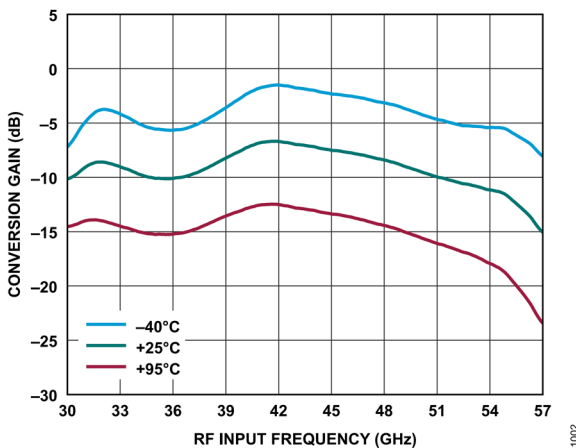


図 5. いくつかの温度設定での変換ゲインと RF 入力周波数の関係 (最小ゲイン)

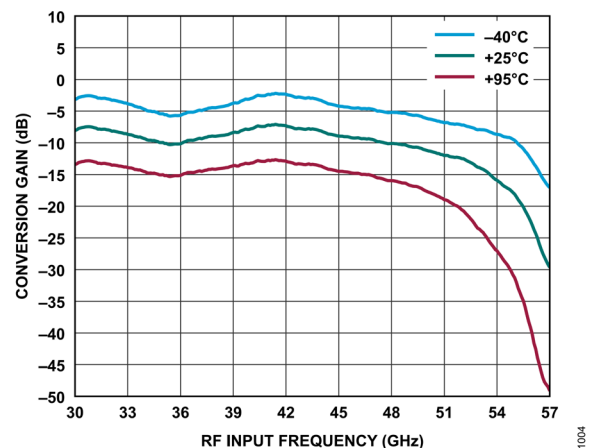


図 7. いくつかの温度設定での変換ゲインと RF 入力周波数の関係 (LO フィルタ広帯域ロー設定、最小ゲイン)

代表的な性能特性

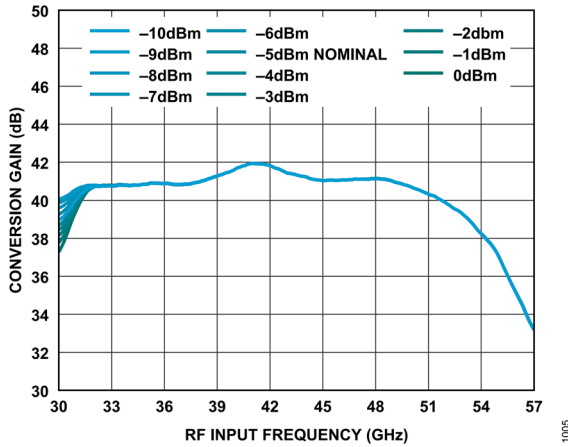


図 8. 様々な LO 電力での変換ゲインと RF 入力周波数の関係

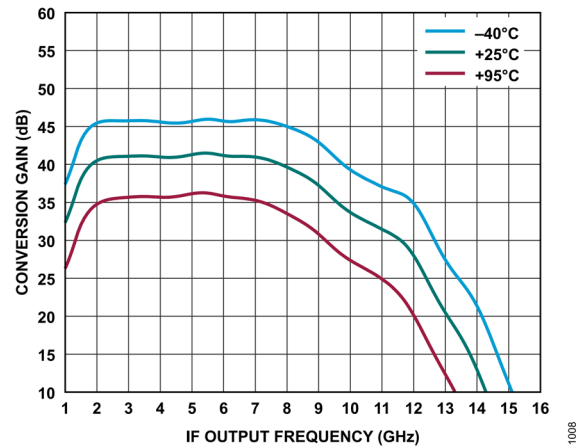


図 11. いくつかの温度設定での変換ゲインと IF 出力周波数の関係 (4GHz IF フィルタ)

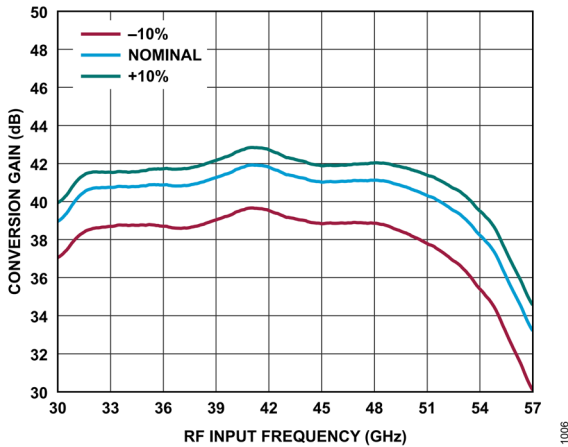


図 9. いくつかの電源電圧での変換ゲインと RF 入力周波数の関係

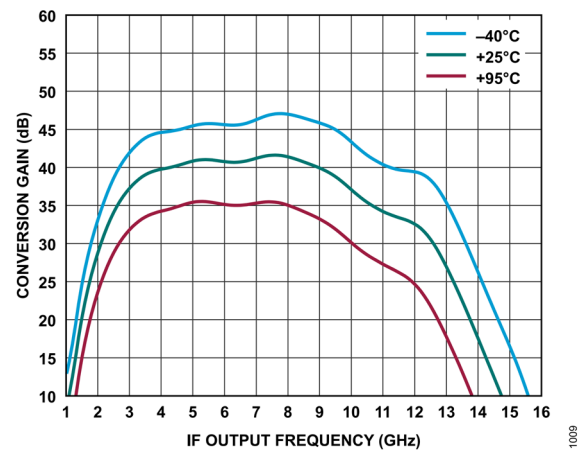


図 12. いくつかの温度設定での変換ゲインと IF 出力周波数の関係 (6GHz IF フィルタ)

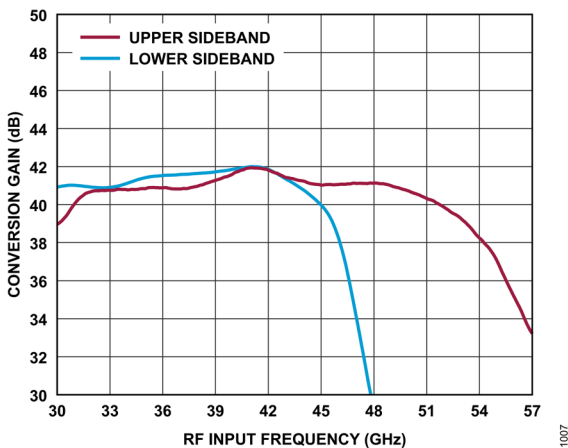


図 10. 変換ゲインと RF 入力周波数の関係 (上側波帯および下側波帯)

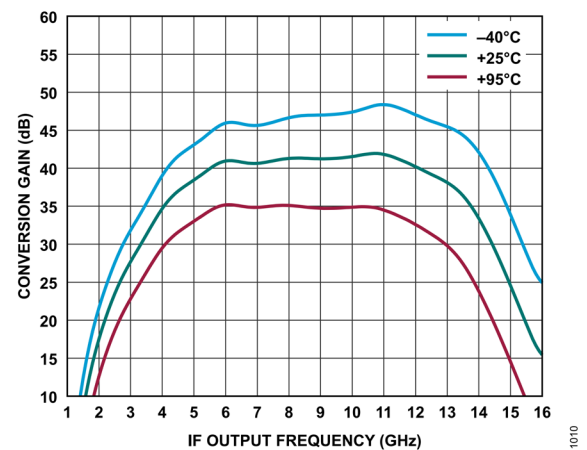


図 13. いくつかの温度設定での変換ゲインと IF 出力周波数の関係 (8GHz IF フィルタ)

代表的な性能特性

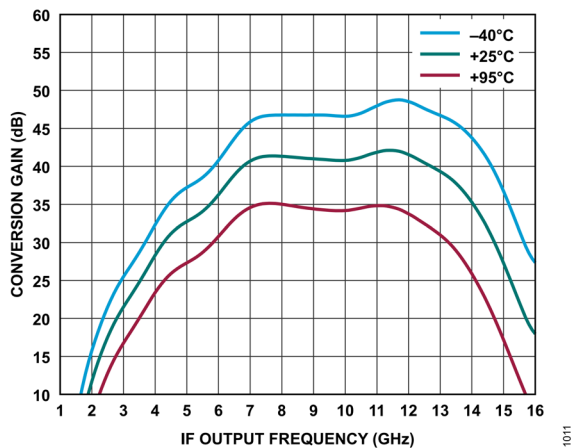


図 14. いくつかの温度設定での変換ゲインと IF 出力周波数の関係 (10GHz IF フィルタ)

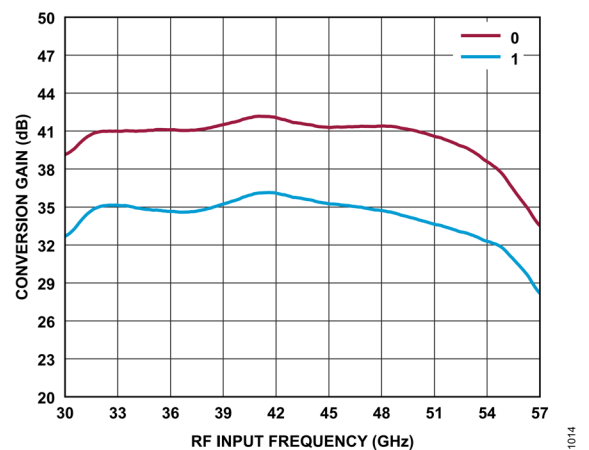


図 17. 異なる DSA2 設定での変換ゲインと RF 入力周波数の関係

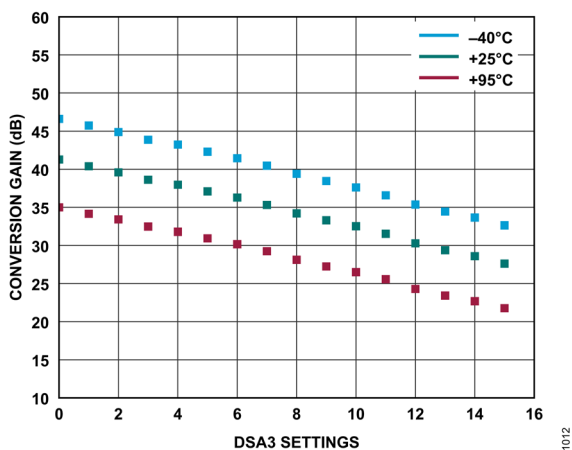


図 15. いくつかの温度設定での変換ゲインと DSA3 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

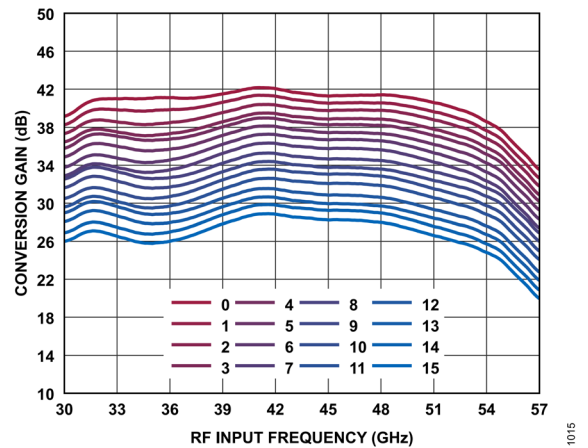


図 18. 様々な DSA3 設定での変換ゲインと RF 入力周波数の関係

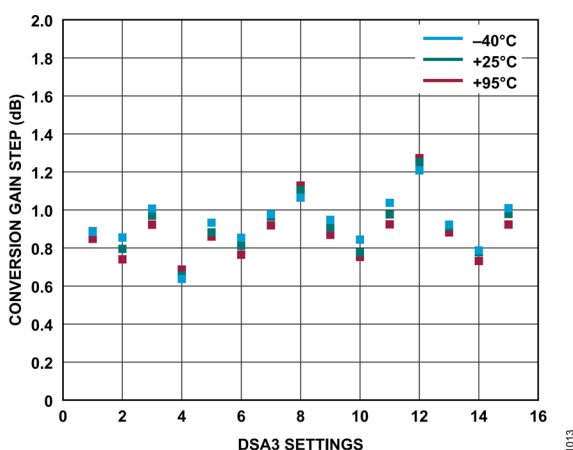


図 16. いくつかの温度設定での変換ゲイン・ステップと DSA3 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

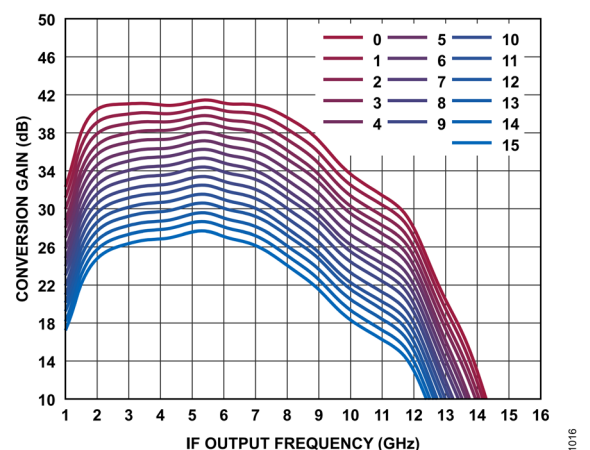


図 19. 様々な DSA4 設定での変換ゲインと IF 出力周波数の関係 (4GHz IF フィルタ)

代表的な性能特性

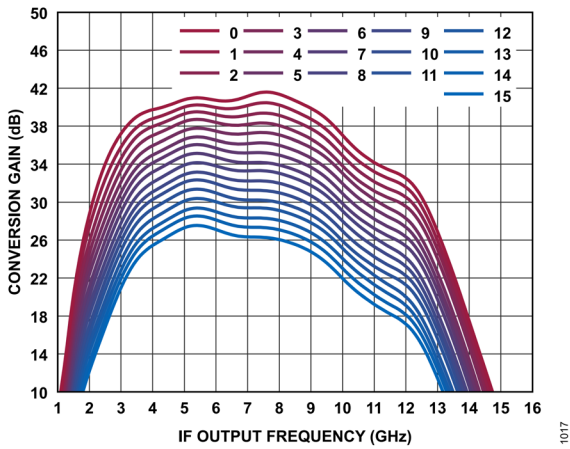


図 20. 様々な DSA4 設定での変換ゲインと IF 出力周波数の関係 (6GHz IF フィルタ)

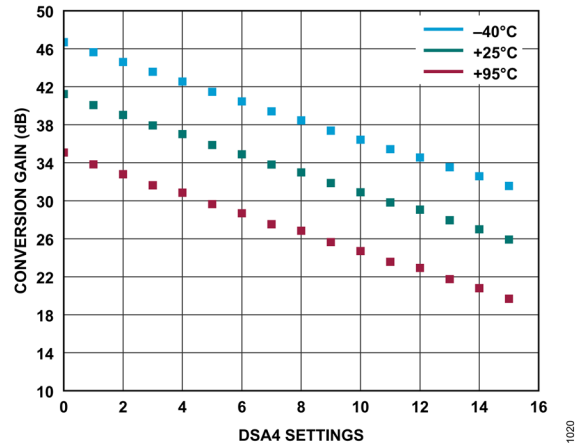


図 23. いくつかの温度設定での変換ゲインと DSA4 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

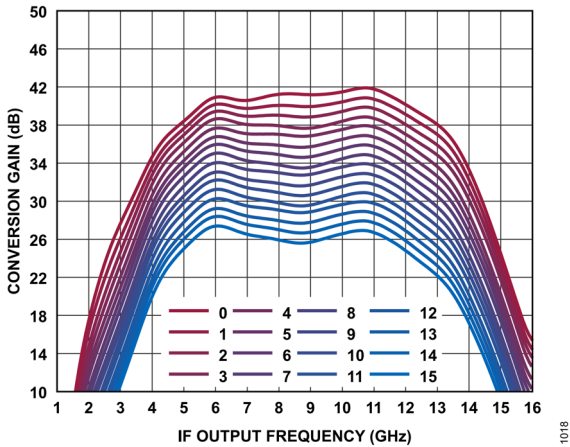


図 21. 様々な DSA4 設定での変換ゲインと IF 出力周波数の関係 (8GHz IF フィルタ)

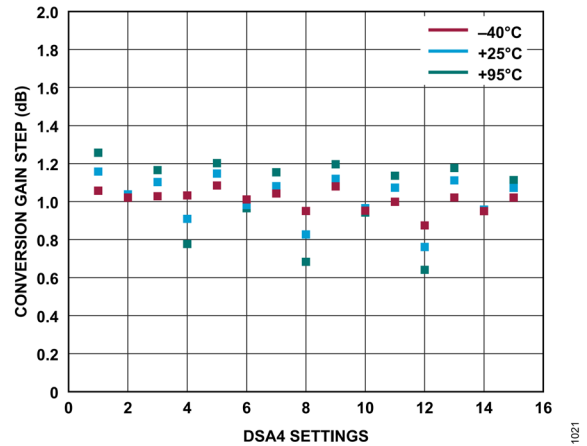


図 24. いくつかの温度設定での変換ゲイン・ステップと DSA4 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

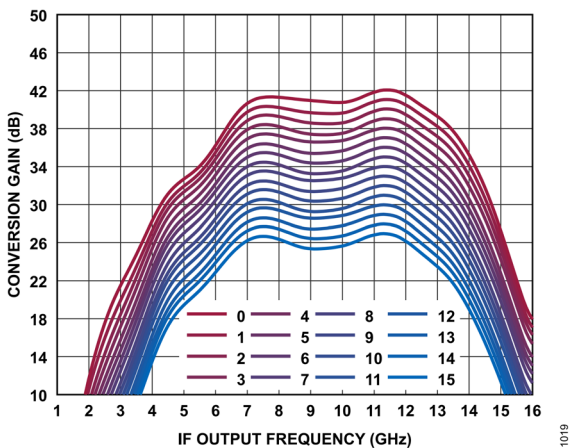


図 22. 様々な DSA4 設定での変換ゲインと IF 出力周波数の関係 (10GHz IF フィルタ)

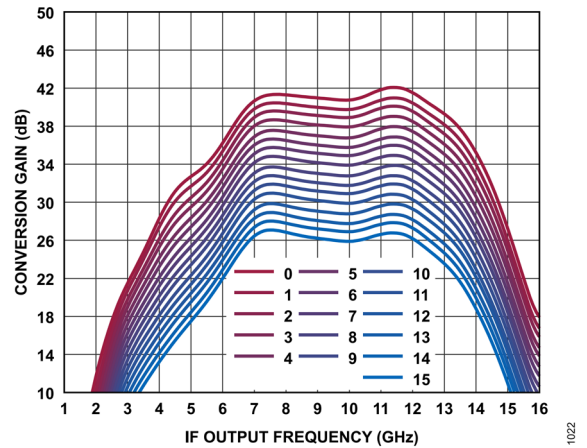


図 25. 様々な DSA5 設定での変換ゲインと IF 出力周波数の関係 (10GHz IF フィルタ)

代表的な性能特性

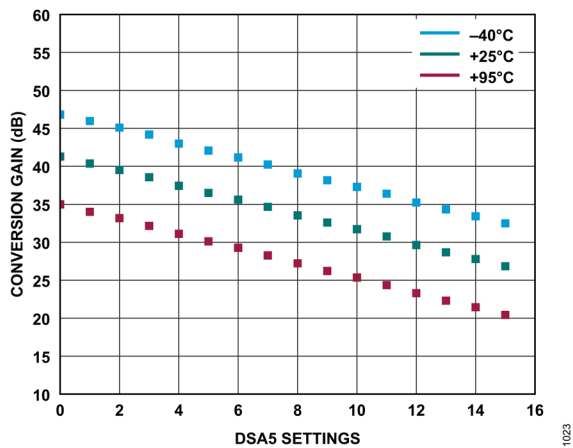


図 26. いくつかの温度設定での変換ゲインと DSA5 設定の関係 (シングル $f_{RF} = 49\text{GHz}$ 、シングル $f_{IF} = 10\text{GHz}$)

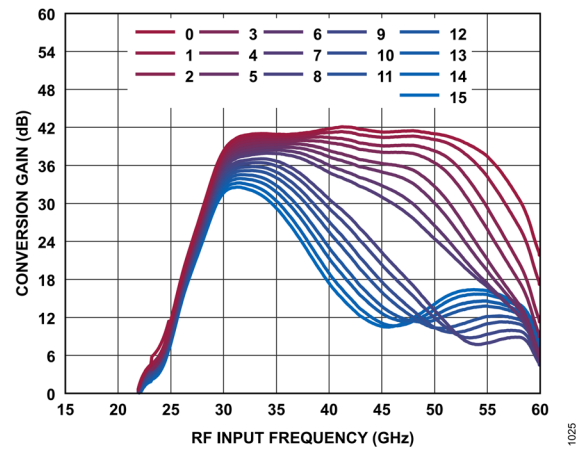


図 28. 様々な RF ローパス・フィルタ設定での変換ゲインと RF 入力周波数の関係

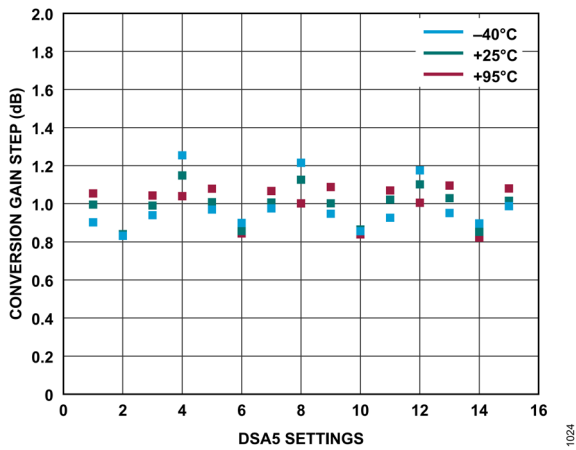


図 27. いくつかの温度設定での変換ゲイン・ステップと DSA5 設定の関係 (シングル $f_{RF} = 49\text{GHz}$ 、シングル $f_{IF} = 10\text{GHz}$)

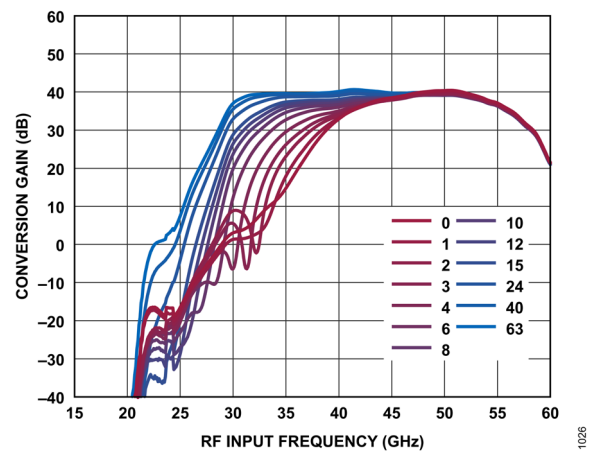


図 29. 様々な RF ハイパス・フィルタ設定での変換ゲインと RF 入力周波数の関係

代表的な性能特性

入力 IP3

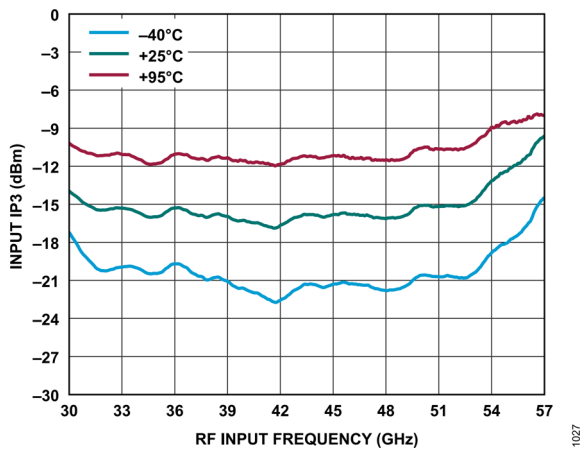


図 30. いくつかの温度設定での入力 IP3 と RF 入力周波数の関係

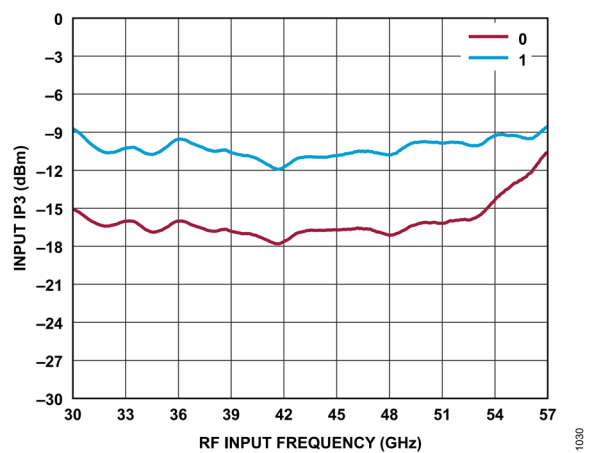


図 33. 異なる DSA2 設定での入力 IP3 と RF 入力周波数の関係

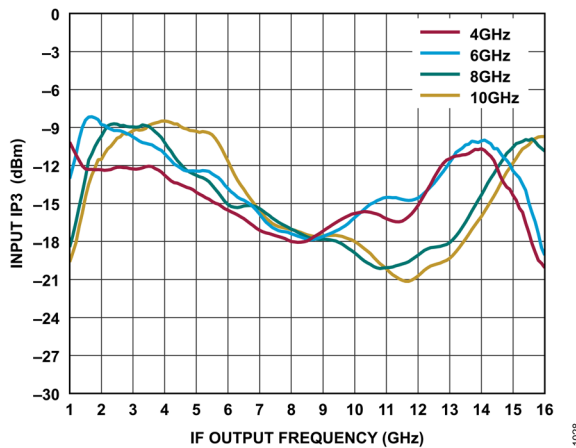


図 31. いくつかの IF フィルタ設定での入力 IP3 と IF 出力周波数の関係

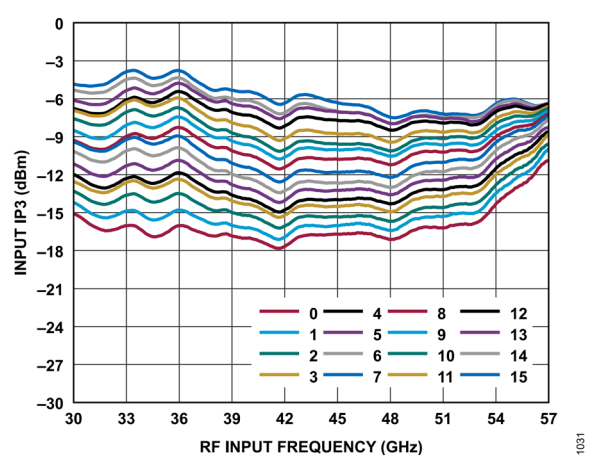


図 34. 様々な DSA3 設定での入力 IP3 と RF 入力周波数の関係

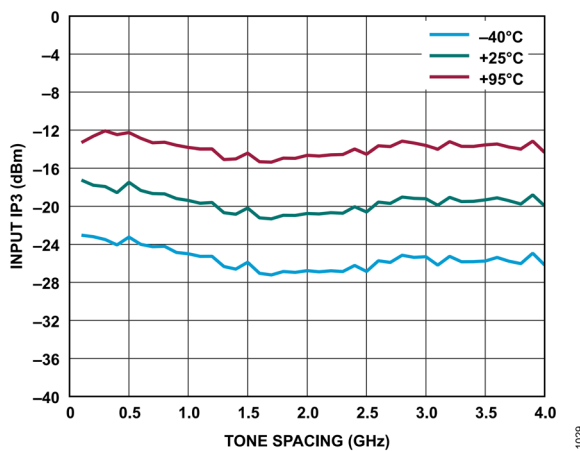


図 32. いくつかの温度設定での入力 IP3 と トーン間隔の関係

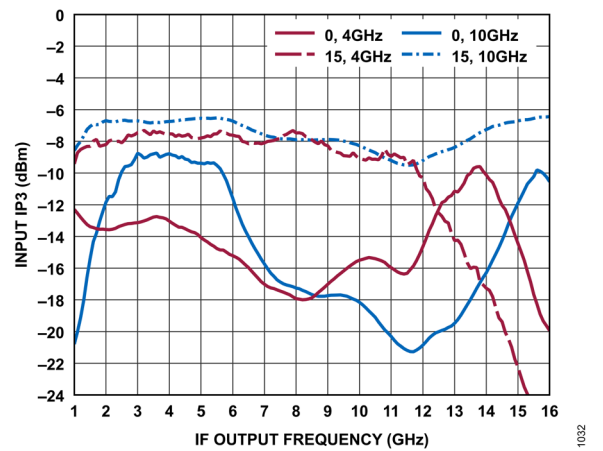


図 35. いくつかの DSA4 設定および IF フィルタ設定での入力 IP3 と IF 出力周波数の関係

代表的な性能特性

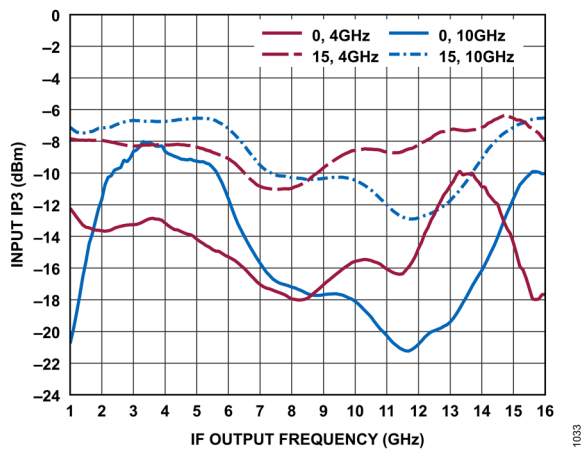


図 36. いくつかの DSA5 設定および IF フィルタ設定での入力 IP3 と IF 出力周波数の関係

代表的な性能特性

ノイズ指数

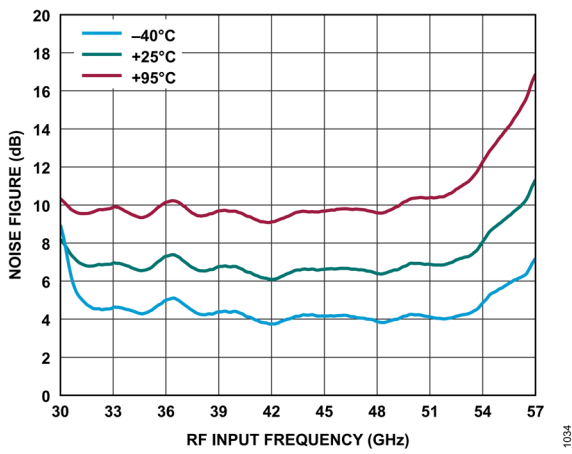


図 37. いくつかの温度設定でのノイズ指数と RF 入力周波数の関係

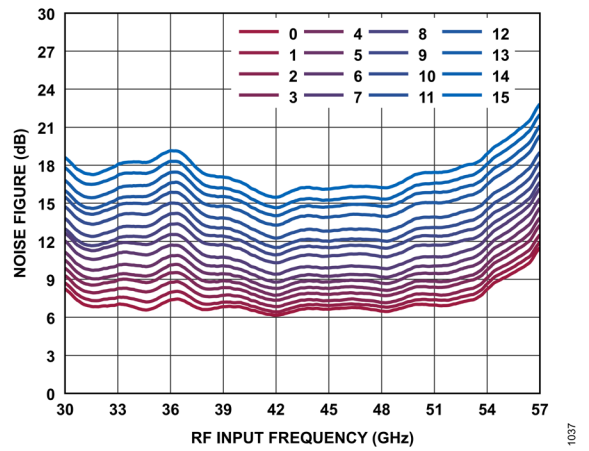


図 40. 様々な DSA3 設定でのノイズ指数と RF 入力周波数の関係

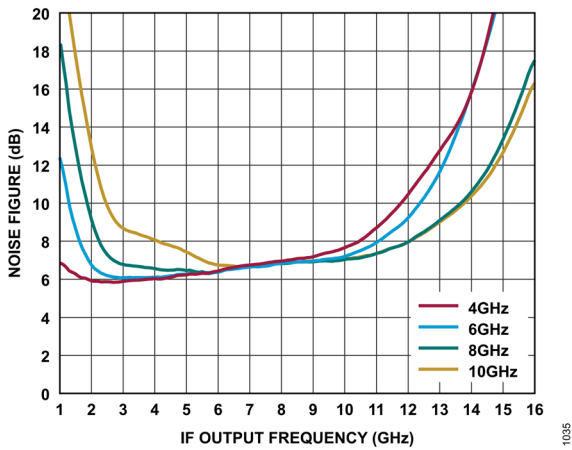


図 38. いくつかの IF フィルタ設定でのノイズ指数と IF 出力周波数の関係

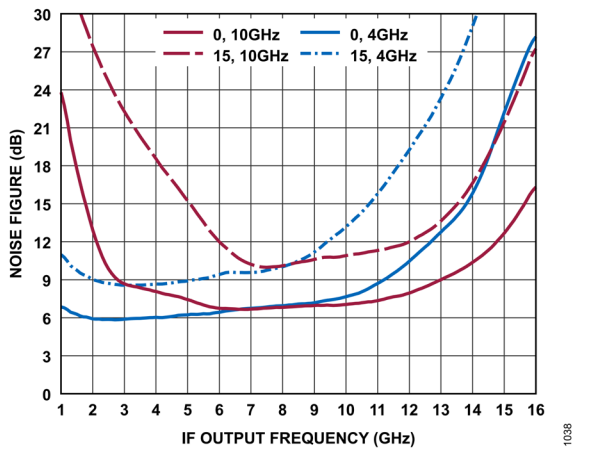


図 41. いくつかの DSA4 設定および IF フィルタ設定でのノイズ指数と IF 出力周波数の関係

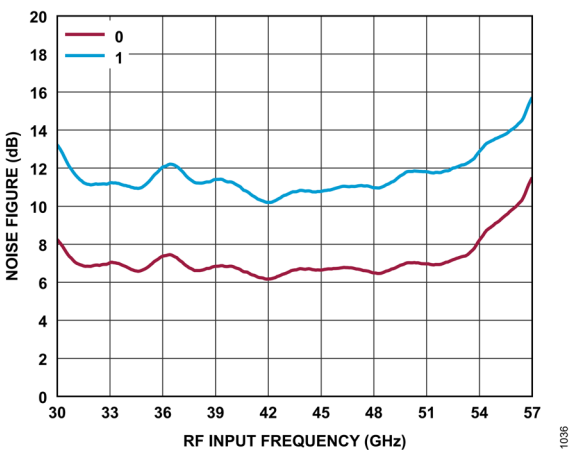


図 39. いくつかの DSA2 設定でのノイズ指数と RF 入力周波数の関係

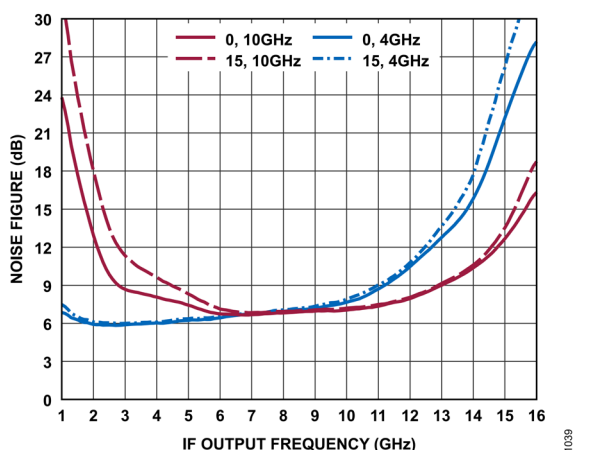


図 42. いくつかの DSA5 設定および IF フィルタ設定でのノイズ指数と IF 出力周波数の関係

代表的な性能特性

入力 P1dB

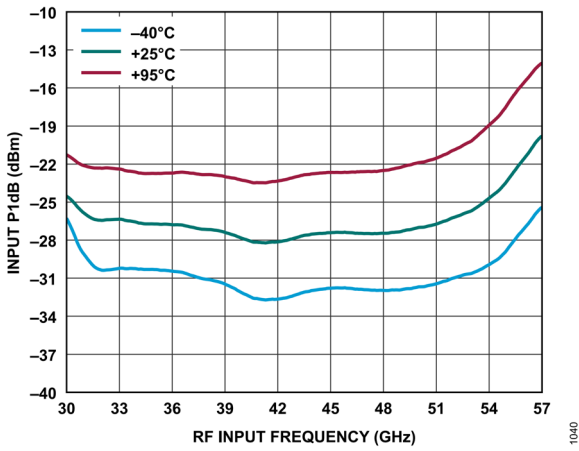


図 43. いくつかの温度設定での入力 P1dB と RF 入力周波数の関係

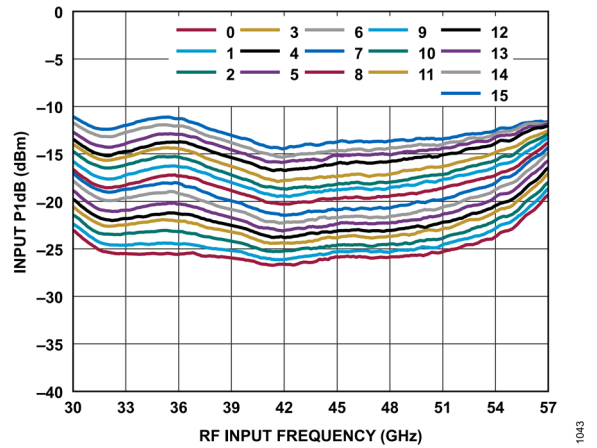


図 46. 異なる RF_DSA3 設定での入力 P1dB と RF 入力周波数の関係

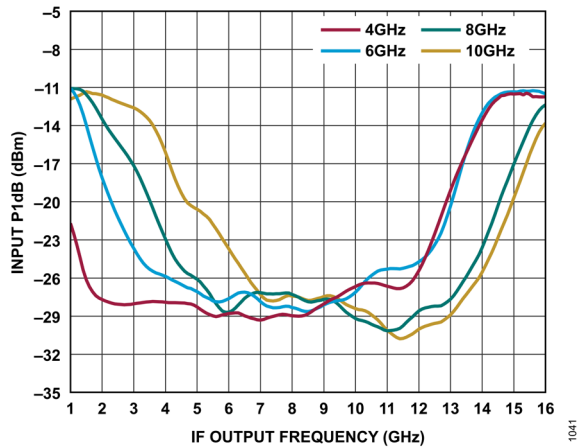


図 44. いくつかの IF フィルタ設定での入力 P1dB と IF 出力周波数の関係

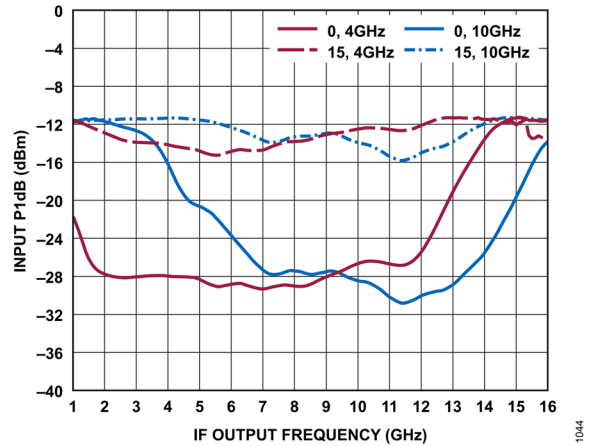


図 47. いくつかの RF_DSA4 設定および IF フィルタ設定での入力 P1dB と IF 出力周波数の関係

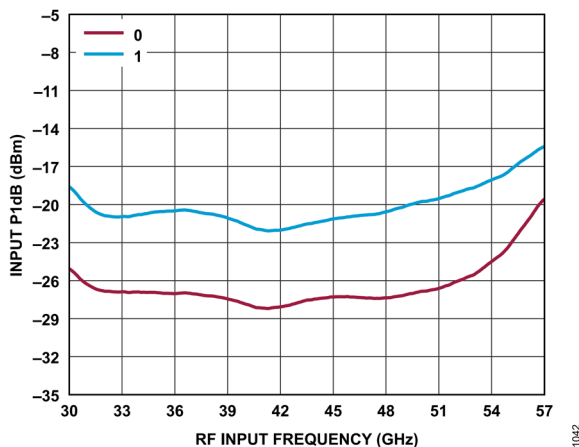


図 45. 異なる RF_DSA2 設定での入力 P1dB と RF 入力周波数の関係

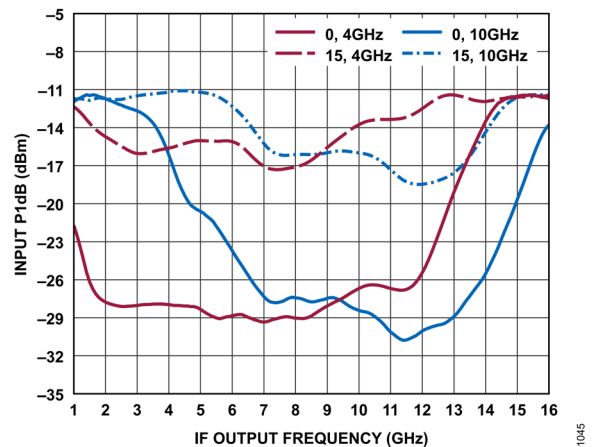


図 48. いくつかの RF_DSA5 設定および IF フィルタ設定での入力 P1dB と IF 出力周波数の関係

代表的な性能特性

イメージ除去

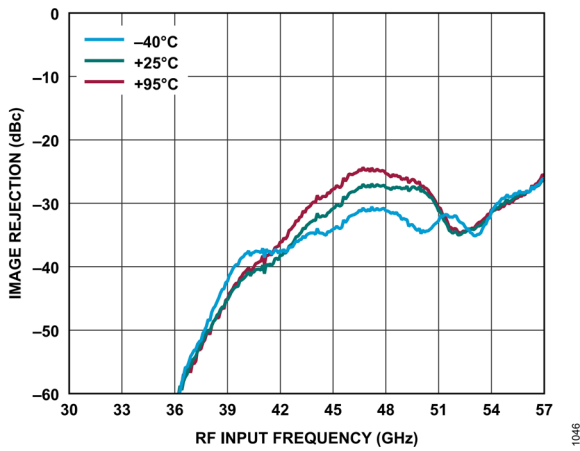


図 49. いくつかの温度設定でのイメージ除去と RF 入力周波数の関係 (キャリブレーションなし、広帯域 RF フィルタ)

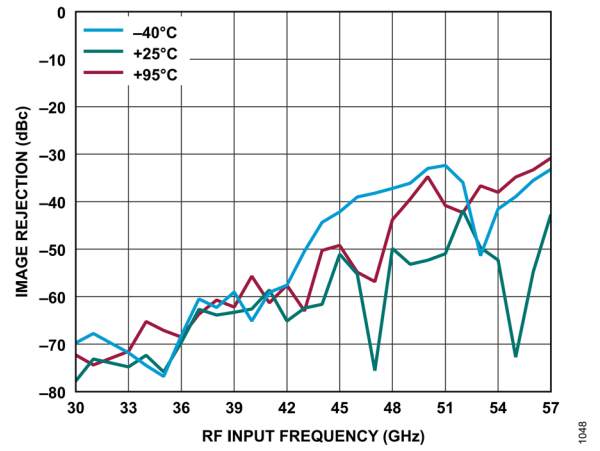


図 51. いくつかの温度設定でのイメージ除去と RF 入力周波数の関係 (25°C で最適化、広帯域 RF フィルタ)

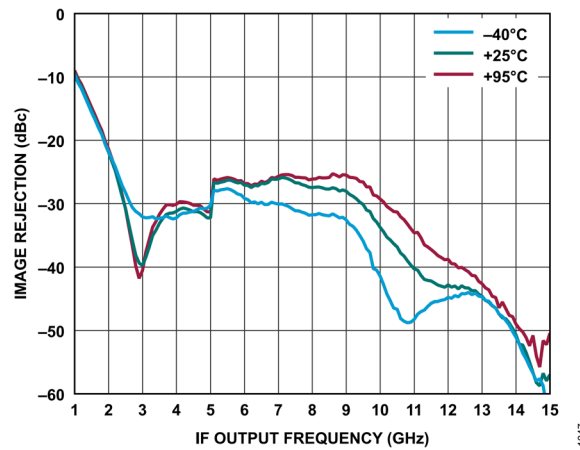


図 50. いくつかの温度設定でのイメージ除去と IF 出力周波数の関係 (キャリブレーションなし、広帯域 RF フィルタ、周波数掃引により調整した IF フィルタ設定)

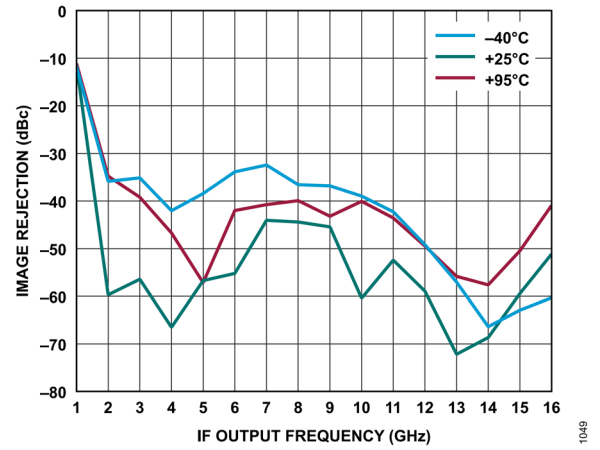


図 52. いくつかの温度設定でのイメージ除去と IF 出力周波数の関係、(25°C で最適化、広帯域 RF フィルタ、周波数掃引により調整した IF フィルタ設定)

代表的な性能特性

パワー・ディテクタ

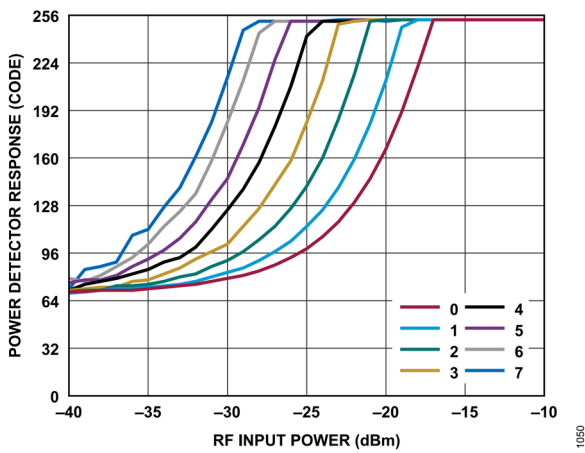


図 53. いくつかのディテクタ抵抗制御設定でのパワー・ディテクタ応答と RF 入力電力の関係

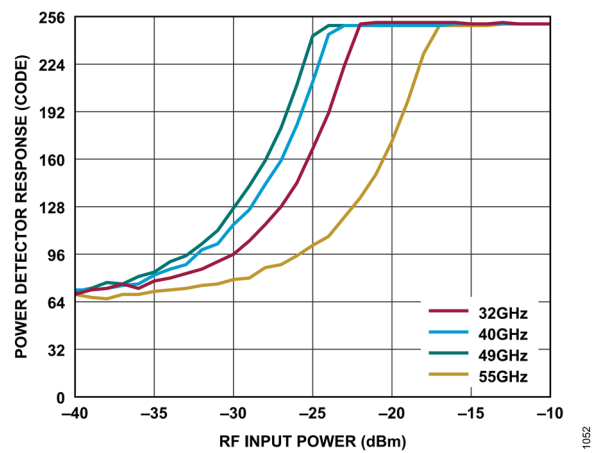


図 55. いくつかの RF 入力周波数でのパワー・ディテクタ応答と RF 入力電力の関係 (ディテクタ抵抗制御設定 = 4)

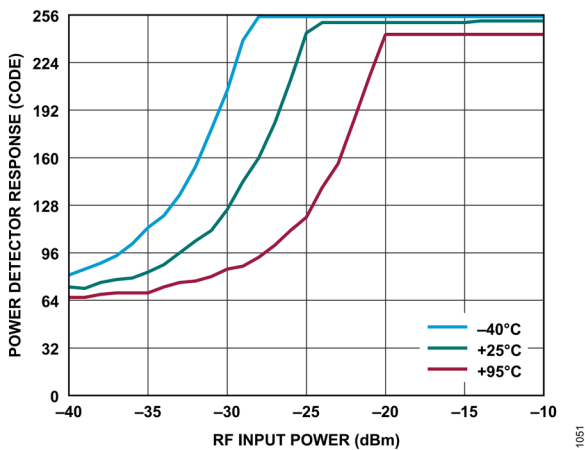


図 54. いくつかの温度設定でのパワー・ディテクタ応答と RF 入力電力の関係 (ディテクタ抵抗制御設定 = 4)

代表的な性能特性

反射損失

特に指定のない限り、電源電圧 = 1.8V (全電源)、 $T_c = 25^\circ\text{C}$ です。

特に指定のない限り、すべての測定は、 $P_{RF} = -45\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $P_{IF} = -15\text{dBm}$ 、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)、RF HPF 設定 = 0x3F (最低カットオフ)、IF BPF 設定 = 8GHz で行いました。

プローブ測定 (適用可能な場合) は、デバイスから終端された配線パターンをプローブすることによって行いました。

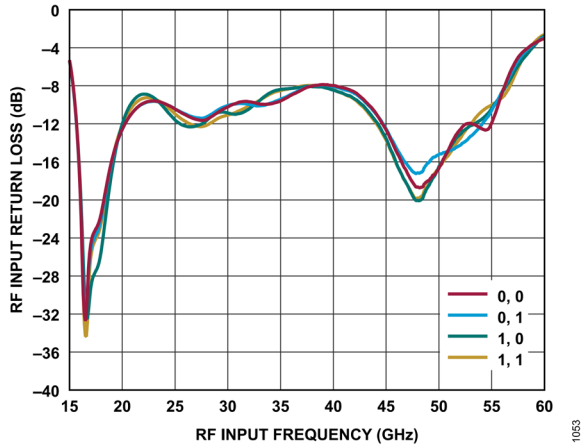


図 56. いくつかの RF 帯域および DSA2 設定での RF 入力反射損失と RF 入力周波数の関係 (25°C)

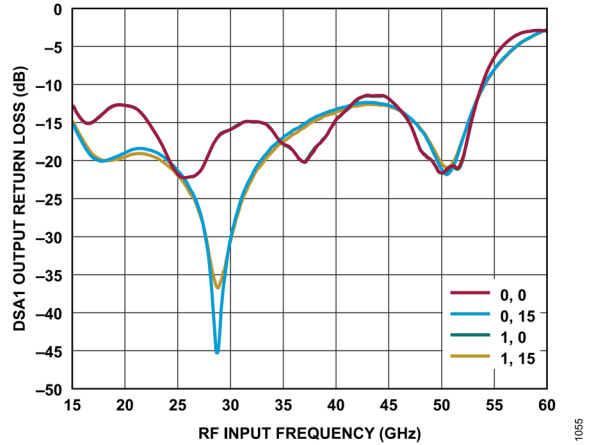


図 58. いくつかの RF 帯域および DSA1 設定での DSA1 出力反射損失と RF 入力周波数の関係 (25°C)

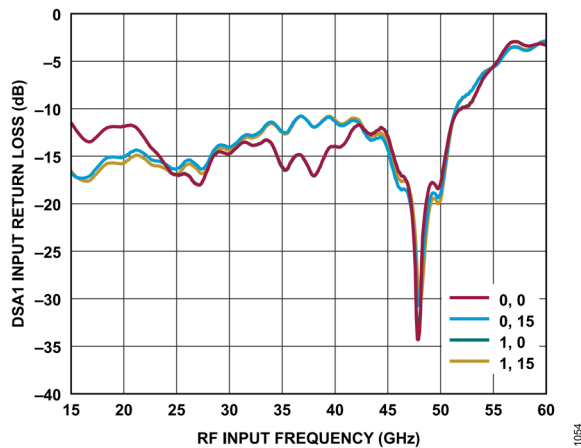


図 57. いくつかの RF 帯域および DSA1 設定での DSA1 入力反射損失と RF 入力周波数の関係 (25°C)

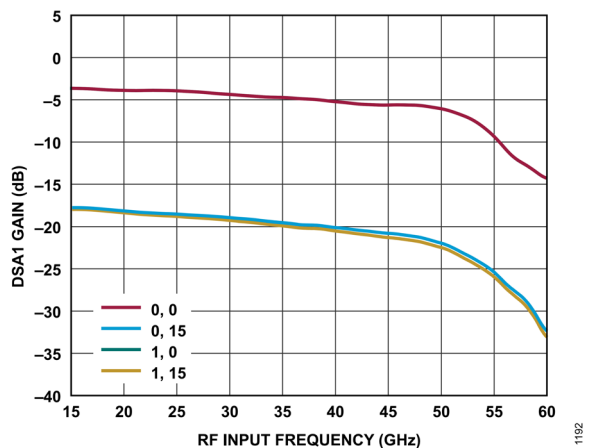


図 59. いくつかの RF 帯域および DSA1 設定での DSA1 ゲインと RF 入力周波数の関係 (25°C)

代表的な性能特性

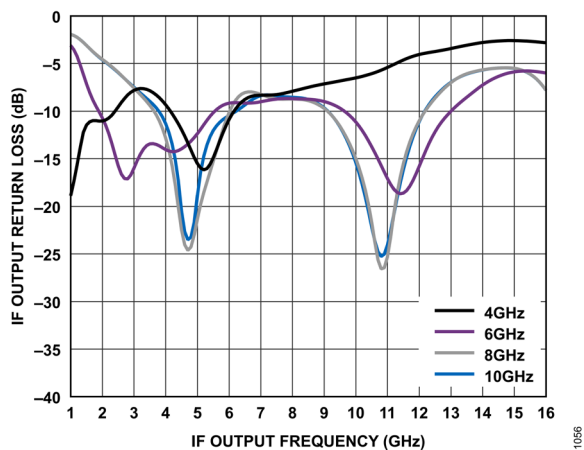


図 60. いくつかの IF フィルタ設定での IF 出力反射損失と IF 出力周波数の関係 (25°C)

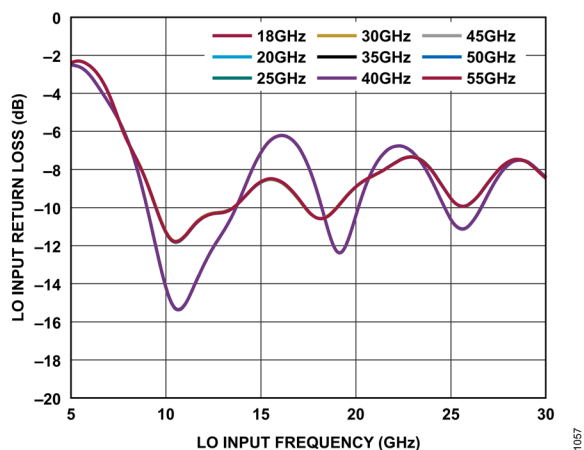


図 61. 様々な LO フィルタ設定での LO 入力反射損失と LO 入力周波数の関係

代表的な性能特性

LO リーク

特に指定のない限り、デジタル 1.8V 電圧源 = 1.8V、DC 1.8V 電圧源 = 1.8V、 T_{TOP} (パッケージの上面基準) = 25°C です。RF ピンに対する測定は除去されています (図 3 の RF および IF の入力ピンおよび出力ピンを参照)。

特に指定のない限り、すべての測定は、RF 振幅 = -45dBm、IF = 8GHz、LO 電力 = -5dBm、RF 帯域 1、上側波帯、最大ゲイン、LO チューナブル・フィルタ広帯域ハイ設定、RF LFP 設定 = 0x00 (最高カットオフ)、RF HPF 設定 = 0x3F (最低カットオフ)、IF フィルタ = 8GHz、 $T_C = 25^\circ C$ で行いました。仕様規定された温度はすべて T_C です。特に指定のない限り、すべての測定は IF 出力で行いました。配線パターン損失とコネクタ損失の影響は除去されています。

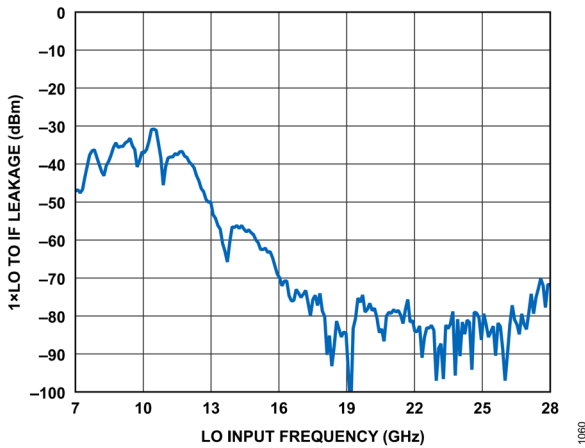


図 62. 1×LO から IF へのリークと LO 入力周波数の関係 (RF 高周波数帯、25°C)

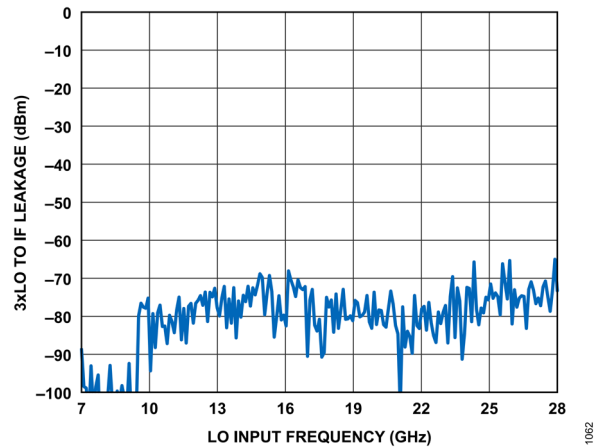


図 64. 3×LO から IF へのリークと LO 入力周波数の関係 (RF 高周波数帯、25°C)

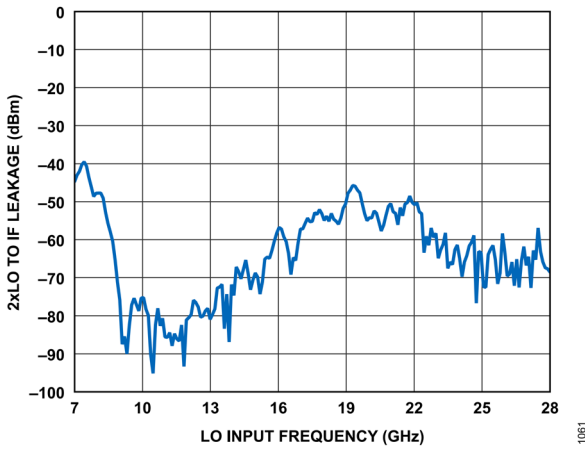


図 63. 2×LO から IF へのリークと LO 入力周波数の関係 (RF 高周波数帯、25°C)

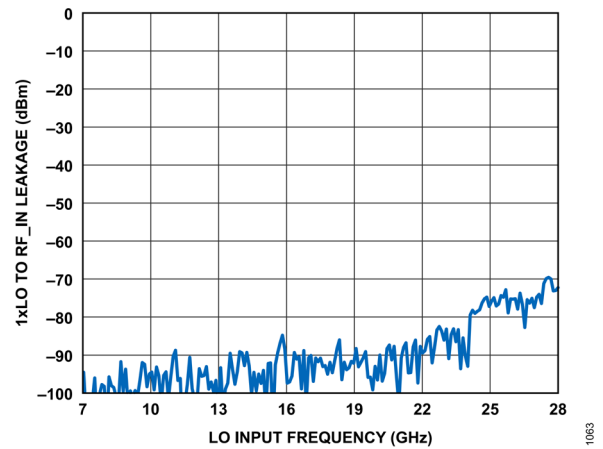


図 65. 1×LO から RF_IN へのリークと LO 入力周波数の関係 (RF 高周波数帯、25°C)

代表的な性能特性

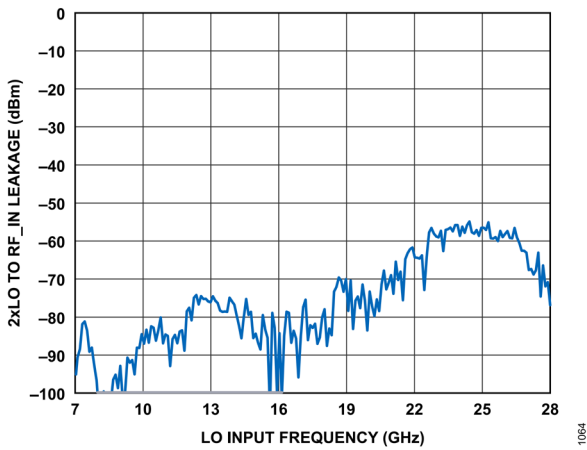


図 66. 2×LO から RF_IN へのリークと LO 入力周波数の関係 (RF 高周波数帯、25°C)

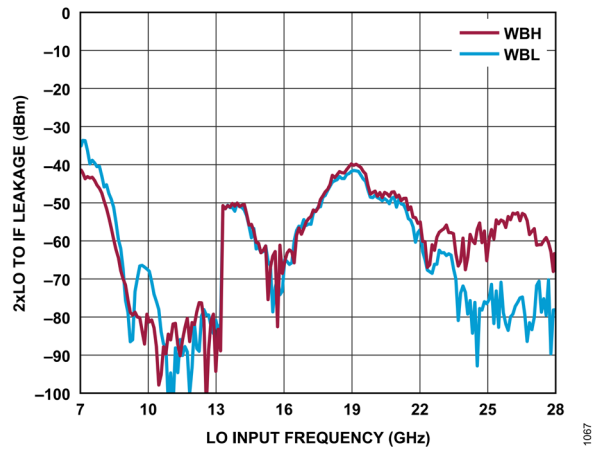


図 69. 2×LO から IF へのリークと LO 入力周波数の関係 (RF 低周波数帯、25°C)

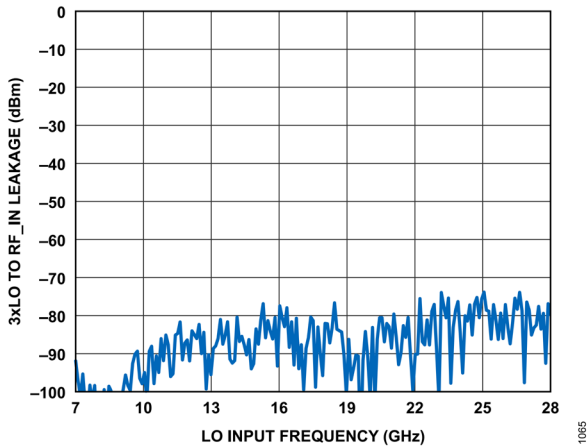


図 67. 3×LO から RF_IN へのリークと LO 入力周波数の関係 (RF 高周波数帯、25°C)

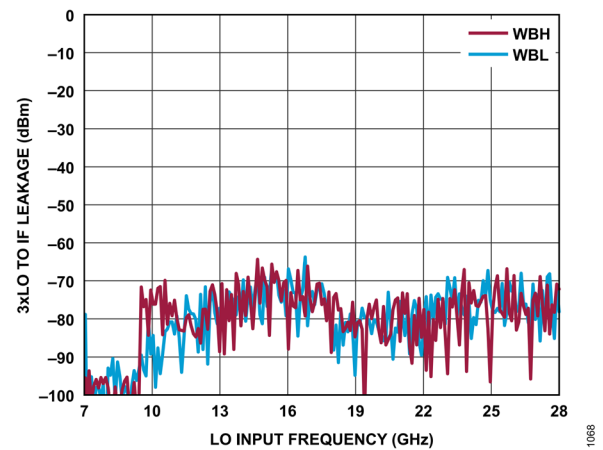


図 70. 3×LO から IF へのリークと LO 入力周波数の関係 (RF 低周波数帯、25°C)

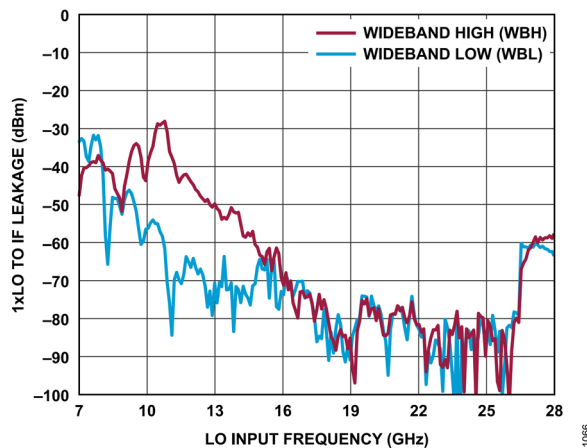


図 68. 1×LO から IF へのリークと LO 入力周波数の関係 (RF 低周波数帯、25°C)

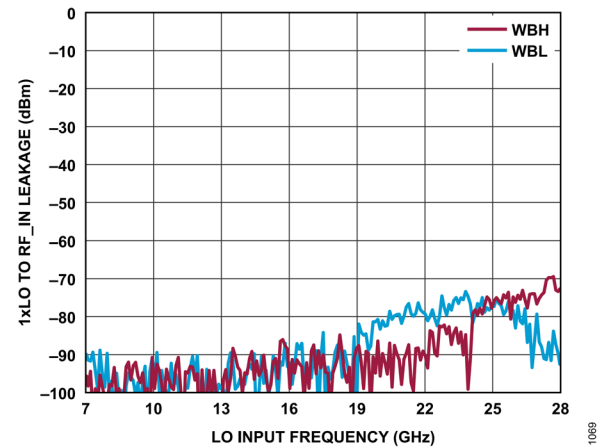


図 71. 1×LO から RF_IN へのリークと LO 入力周波数の関係 (RF 低周波数帯、25°C)

代表的な性能特性

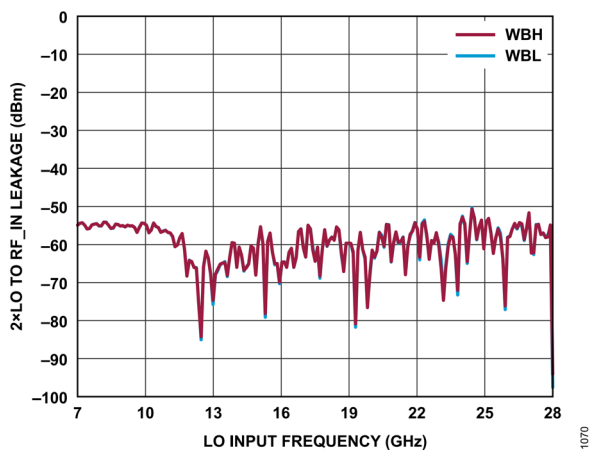


図 72. 2×LO から RF_IN へのリークと LO 入力周波数の関係 (RF 低周波数帯、25°C)

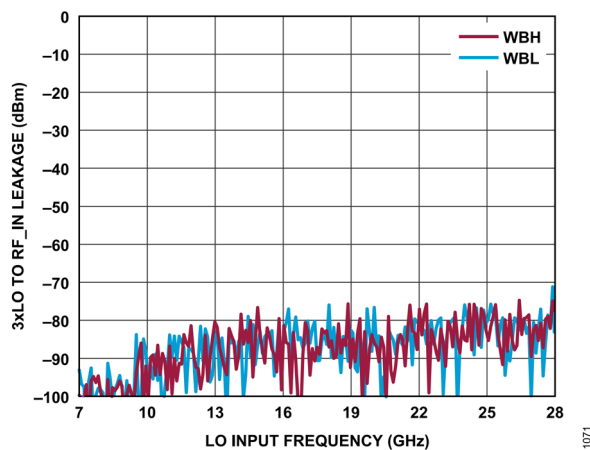


図 73. 3×LO から RF_IN へのリークと LO 入力周波数の関係 (RF 低周波数帯、25°C)

代表的な性能特性

IF モード、RF_IN、低周波数帯

すべての測定は、RF_INを入力、IF を出力として用い、RF を低周波帯の設定にしています。特に指定のない限り、電源電圧 = 1.8V (全電源)、 $T_c = 25^\circ\text{C}$ です。

特に指定のない限り、すべての測定は、 $P_{RF} = -55\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{RF} = 29\text{GHz}$ 、 $f_{IF} = 8\text{GHz}$ 、 $f_{LO} = 37\text{GHz}$ (下側波帯)、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)、LO チューナブル・フィルタ広帯域ハイ設定、IF BPF 設定 = 8GHz で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています (図 3 の RF および IF の入力ピンおよび出力ピンを参照)。

変換ゲイン

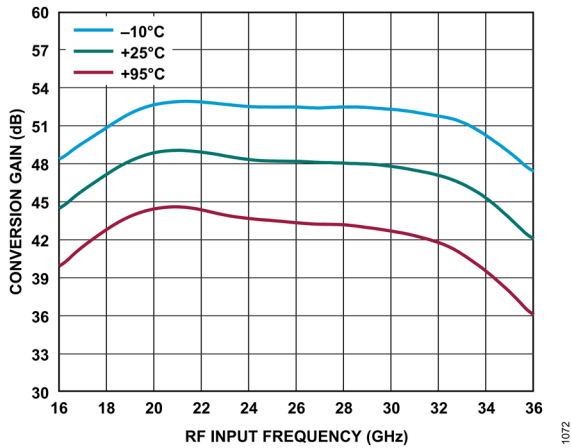


図 74. いくつかの温度設定での変換ゲインと RF 入力周波数の関係

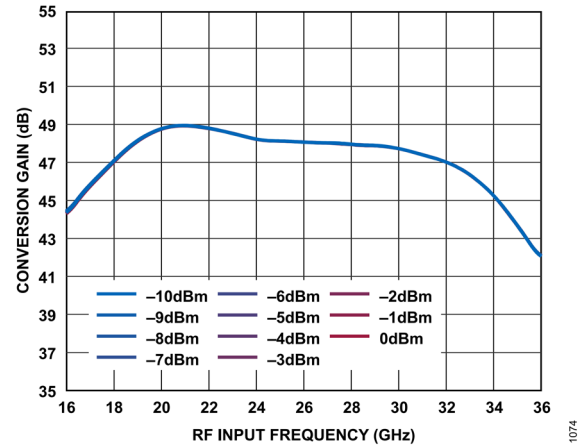


図 76. 様々な LO 電力での変換ゲインと RF 入力周波数の関係

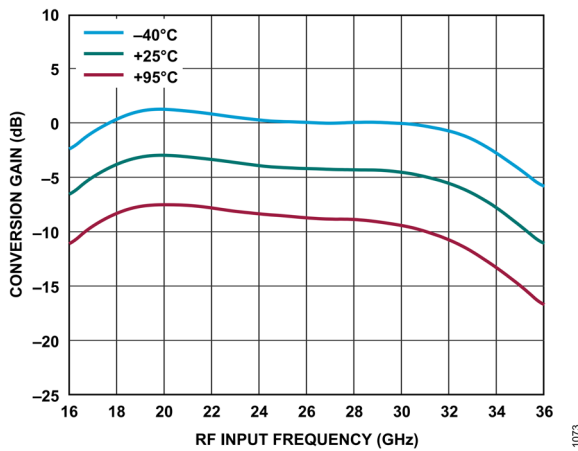


図 75. いくつかの温度設定での変換ゲインと RF 入力周波数の関係 (最小ゲイン)

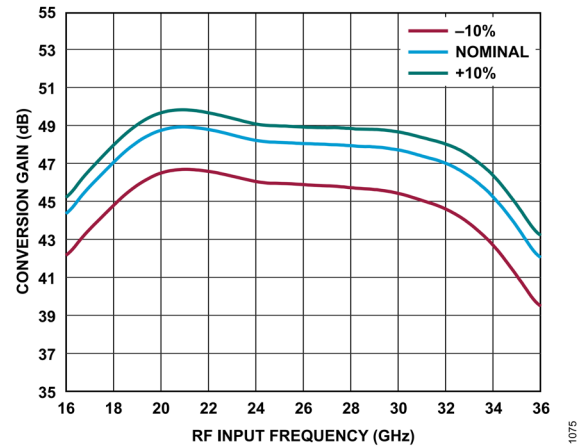


図 77. いくつかの電源電圧での変換ゲインと RF 入力周波数の関係

代表的な性能特性

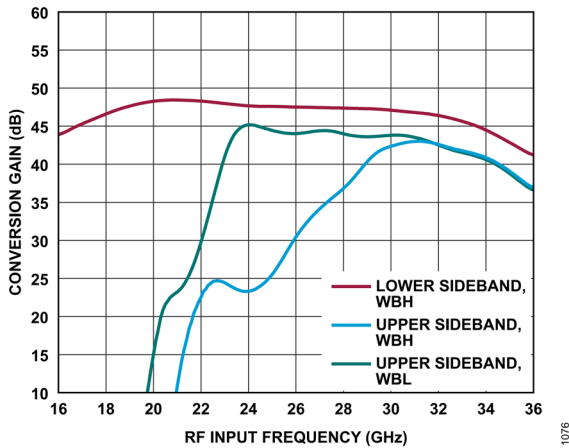


図 78. 変換ゲインと RF 入力周波数の関係 (いくつかの LO チューナブル・フィルタ設定での上側波帯および下側波帯)

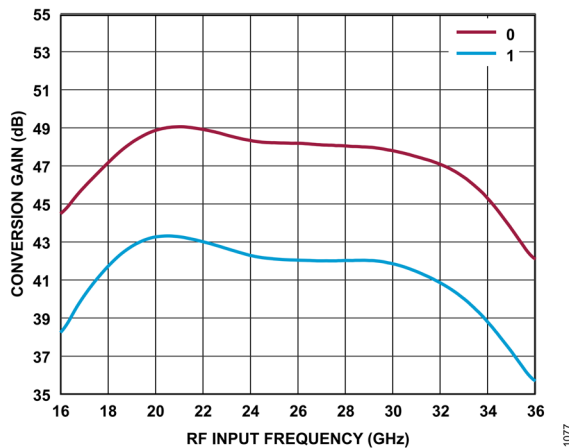


図 79. 異なる DSA2 設定での変換ゲインと RF 入力周波数の関係

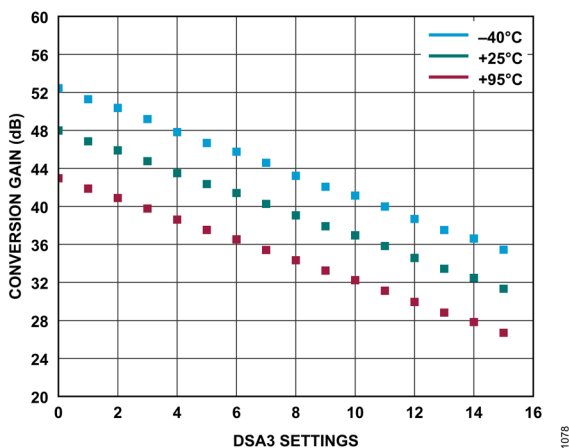


図 80. いくつかの温度設定での変換ゲインと DSA3 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

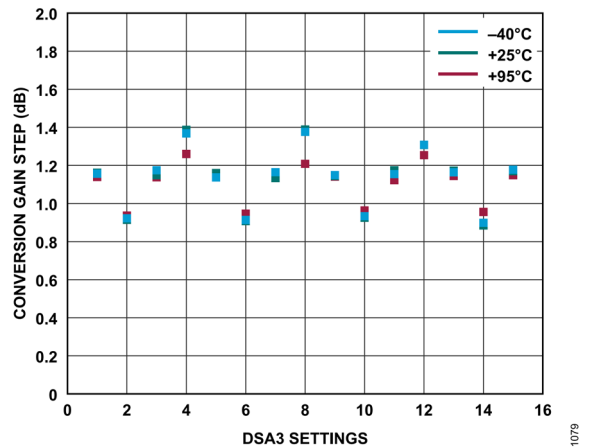


図 81. いくつかの温度設定での変換ゲイン・ステップと DSA3 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

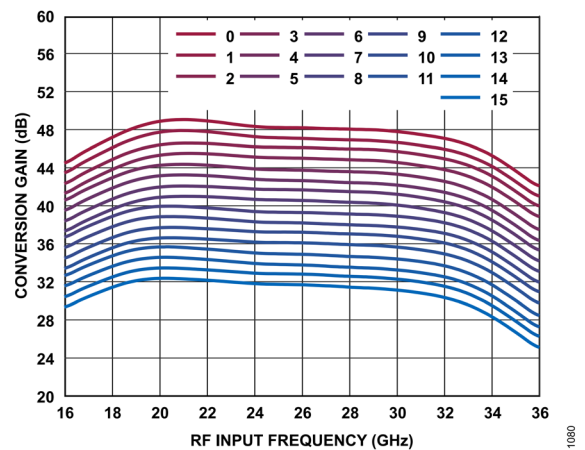


図 82. 様々な DSA3 設定での変換ゲインと RF 入力周波数の関係

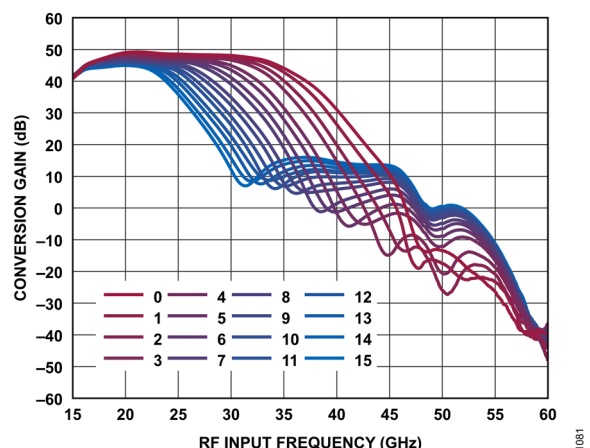


図 83. 様々な RF ローパス・フィルタ設定での変換ゲインと RF 入力周波数の関係

代表的な性能特性

入力 IP3

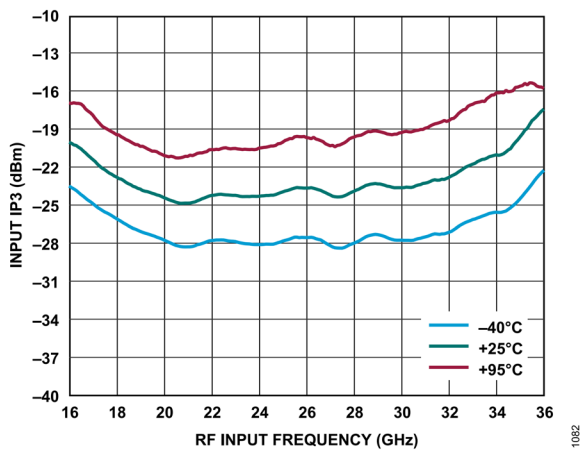


図 84. いくつかの温度設定での入力 IP3 と RF 入力周波数の関係

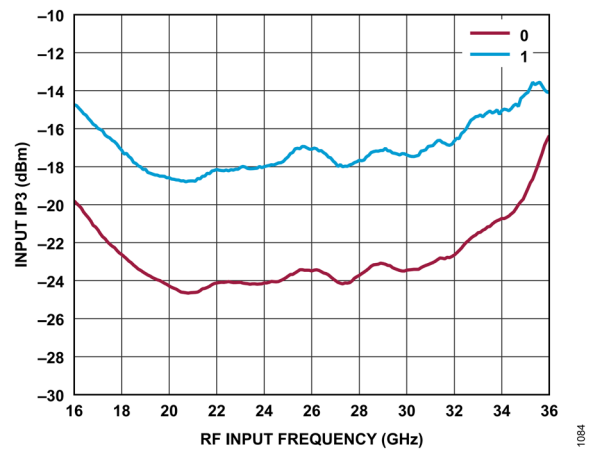


図 86. 異なる DSA2 設定での入力 IP3 と RF 入力周波数の関係

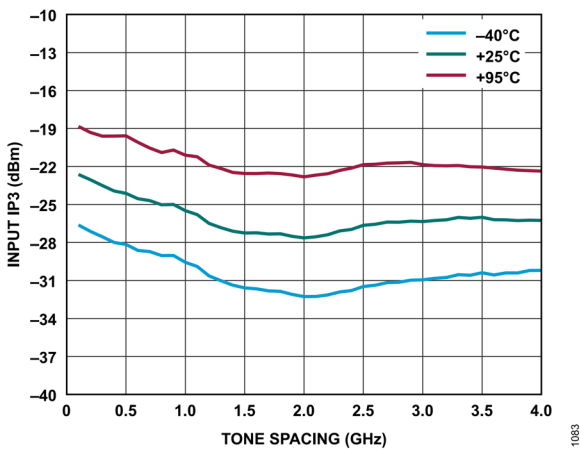


図 85. いくつかの温度設定での入力 IP3 と トーン間隔の関係

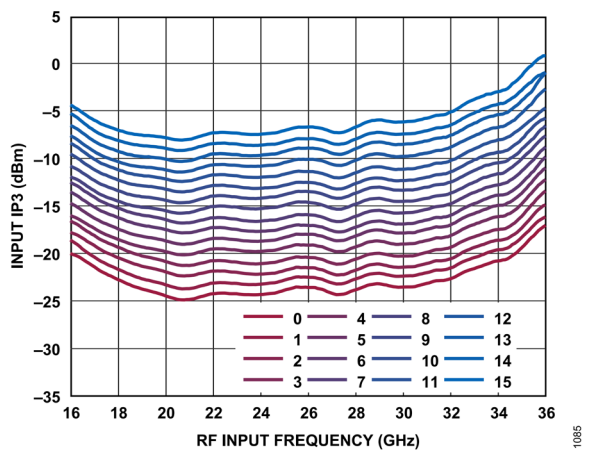


図 87. 様々な DSA3 設定での入力 IP3 と RF 入力周波数の関係

代表的な性能特性

ノイズ指数

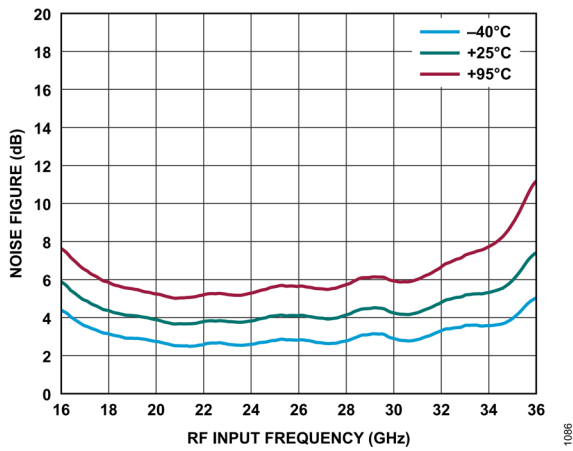


図 88. いくつかの温度設定でのノイズ指数と RF 入力周波数の関係

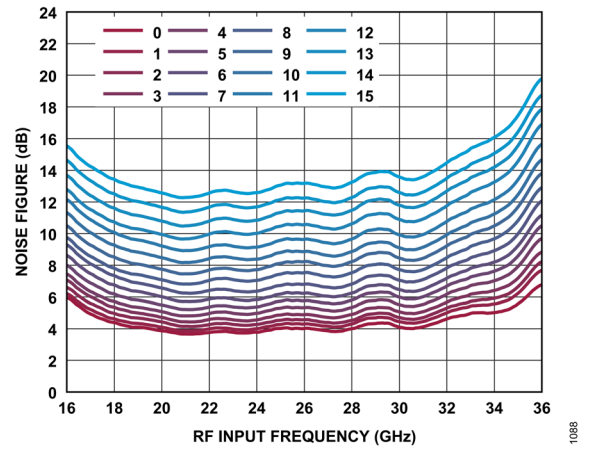


図 90. 様々な DSA3 設定でのノイズ指数と RF 入力周波数の関係

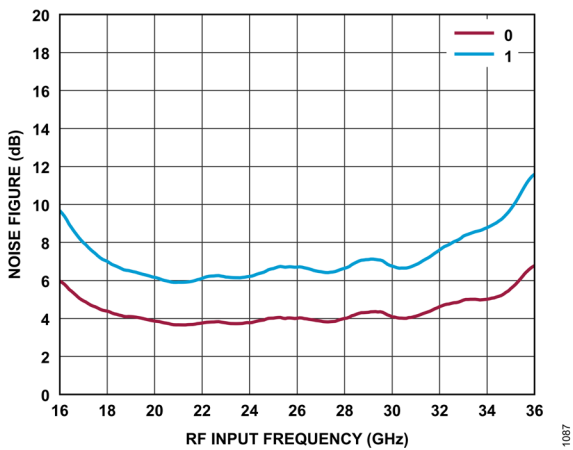


図 89. いくつかの DSA2 設定でのノイズ指数と RF 入力周波数の関係

代表的な性能特性

入力 P1dB

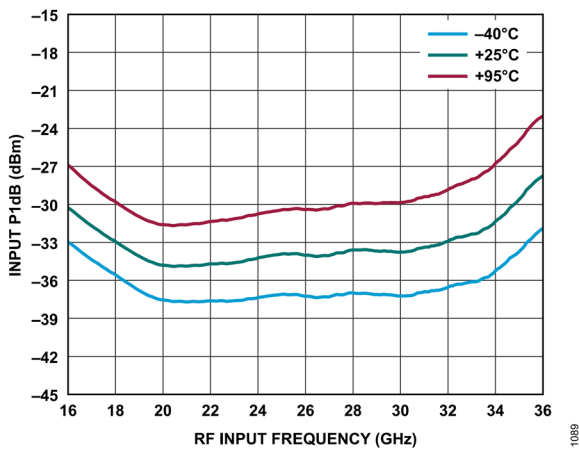


図 91. いくつかの温度設定での入力 P1dB と RF 入力周波数の関係

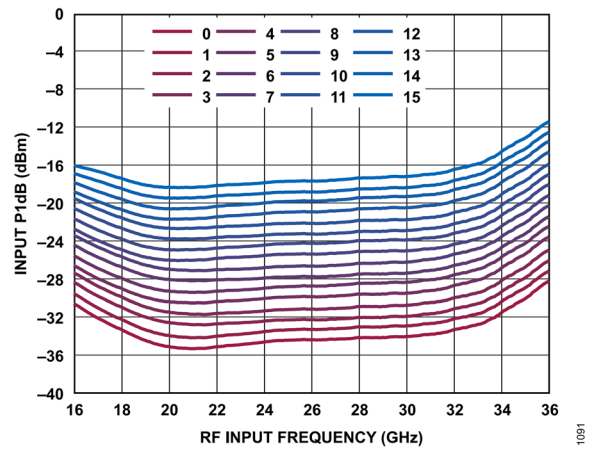


図 93. 異なる RF_DSA3 設定での入力 P1dB と RF 入力周波数の関係

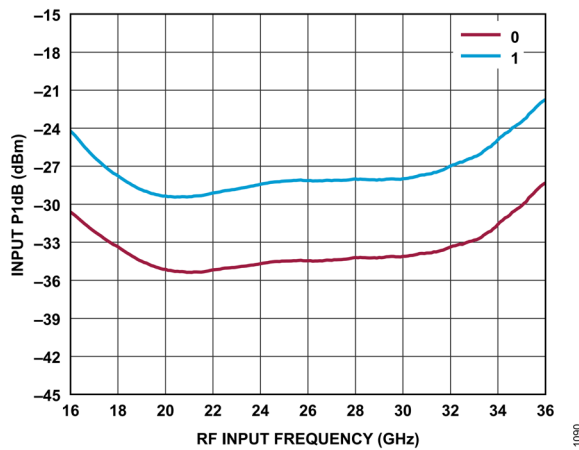


図 92. 異なる RF_DSA2 設定での入力 P1dB と RF 入力周波数の関係

代表的な性能特性

イメージ除去

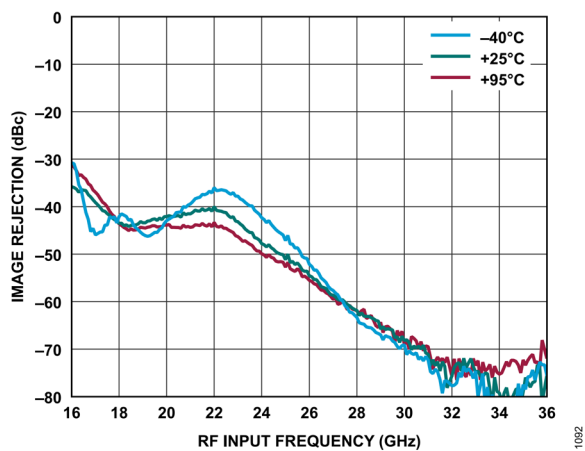


図 94. いくつかの温度設定でのイメージ除去と RF 入力周波数の関係 (キャリブレーションなし)

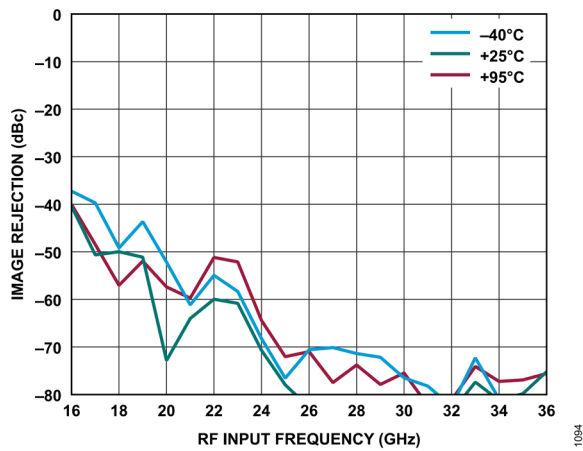


図 95. いくつかの温度設定でのイメージ除去と RF 入力周波数の関係 (25°C で最適化)

代表的な性能特性

パワー・ディテクタ

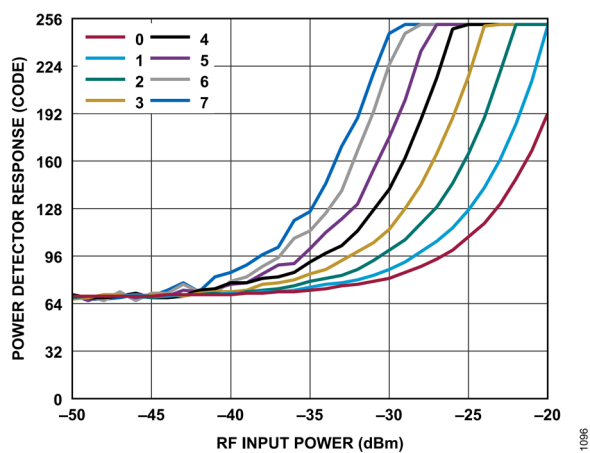


図 96. いくつかのディテクタ抵抗制御設定でのパワー・ディテクタ応答と RF 入力電力の関係

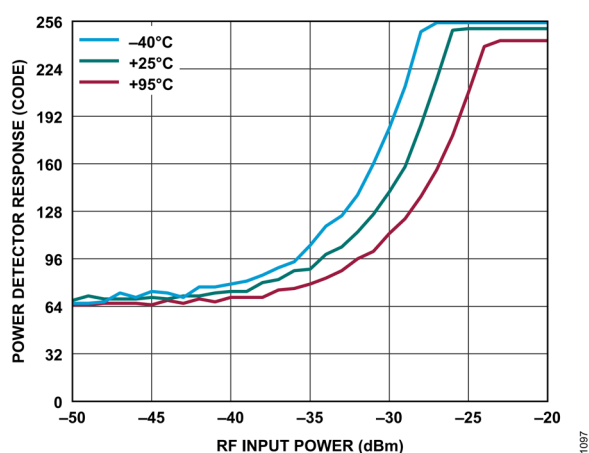


図 97. いくつかの温度設定でのパワー・ディテクタ応答と RF 入力電力の関係 (ディテクタ抵抗制御設定 = 4)

代表的な性能特性

IF モード、DSA_IN、低周波数帯

すべての測定は、DSA_IN を入力、IF を出力として用い、RF を低周波数帯の設定にしています。DSA_OUT は、ボード上で 50Ω の短い配線パターンを用いて RF_IN に接続されています。特に指定のない限り、電源電圧 = 1.8V (全電源)、T_c = 25°C です。

特に指定のない限り、すべての測定は、P_{RF} = -55dBm、P_{LO} = -5dBm、f_{RF} = 29GHz、f_{IF} = 8GHz、f_{LO} = 37GHz (下側波帯)、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)、LO チューナブル・フィルタ広帯域ハイ設定、IF BPF 設定 = 8GHz で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています (図 3 の RF および IF の入力ピンおよび出力ピンを参照)。

変換ゲイン

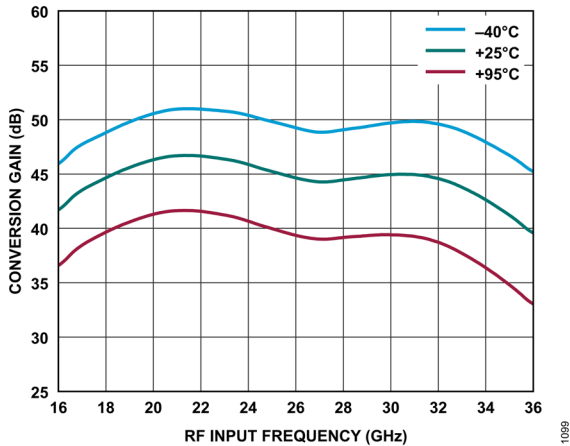


図 98. いくつかの温度設定での変換ゲインと RF 入力周波数の関係

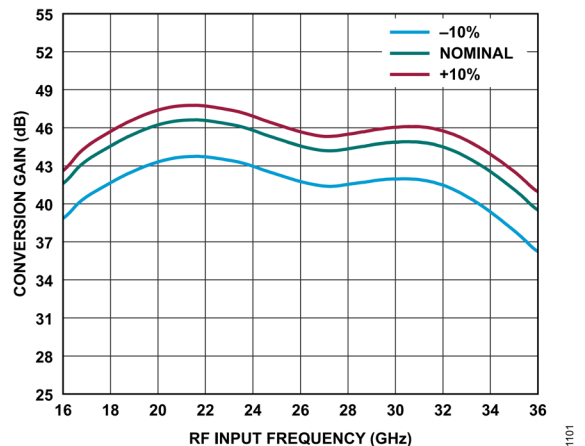


図 100. いくつかの電源電圧での変換ゲインと RF 入力周波数の関係

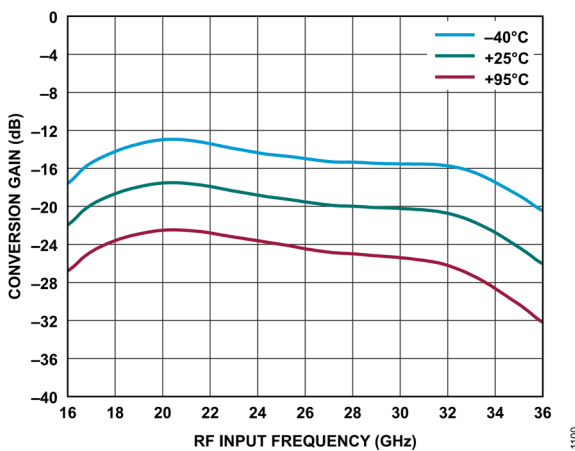


図 99. いくつかの温度設定での変換ゲインと RF 入力周波数の関係 (最小ゲイン)

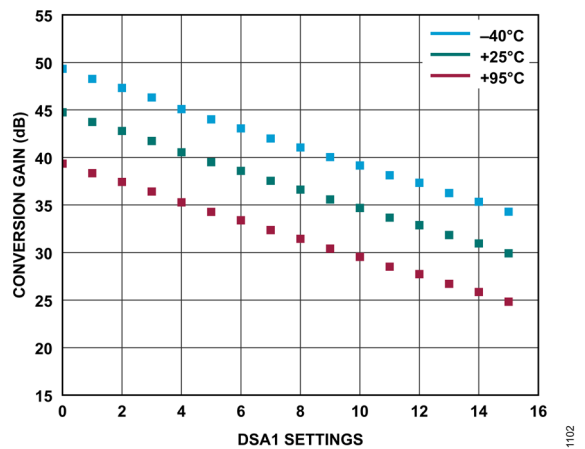


図 101. いくつかの温度設定での変換ゲインと DSA1 設定の関係 (シングル f_{RF} = 29GHz)

代表的な性能特性

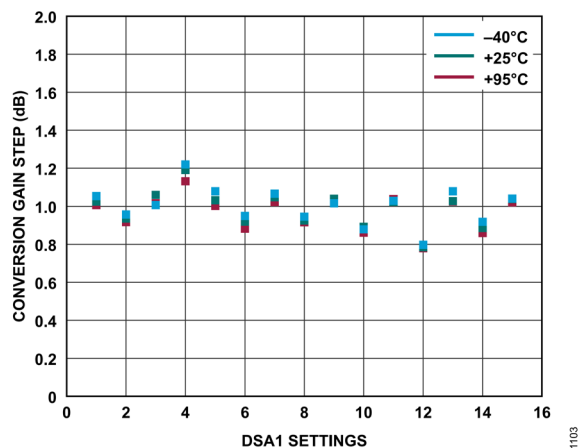


図 102. いくつかの温度設定での変換ゲイン・ステップと DSA1 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

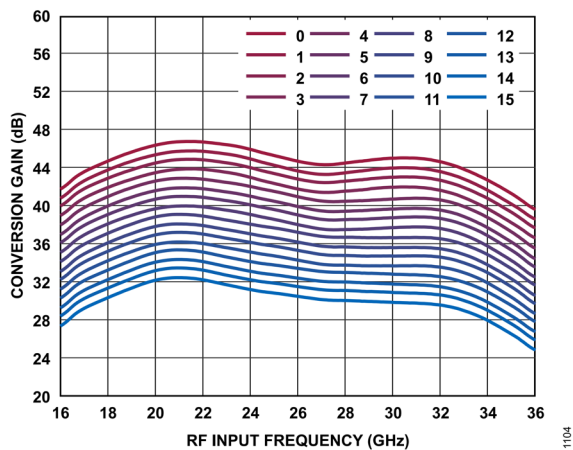


図 103. 様々な DSA1 設定での変換ゲインと RF 入力周波数の関係

代表的な性能特性

入力 IP3

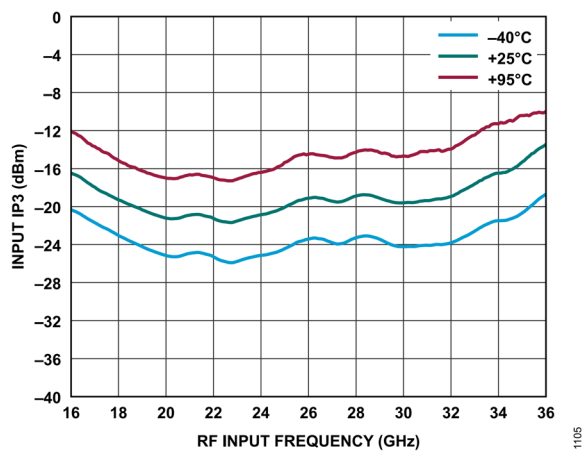


図 104. いくつかの温度設定での入力 IP3 と RF 入力周波数の関係

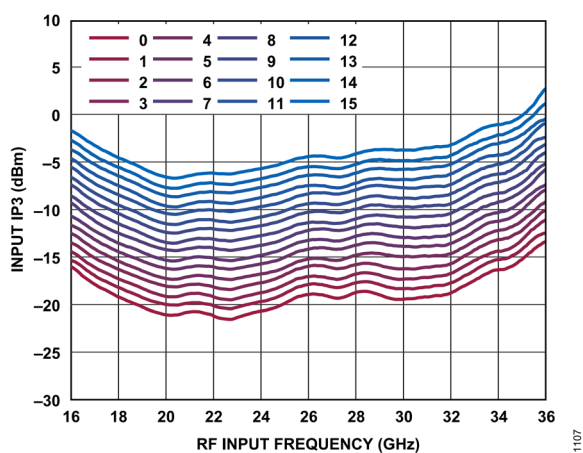


図 106. 様々な DSA1 設定での入力 IP3 と RF 入力周波数の関係

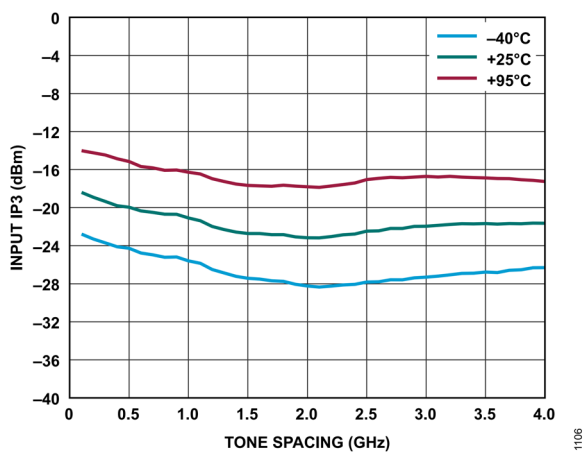


図 105. いくつかの温度設定での入力 IP3 と トーン間隔の関係

代表的な性能特性

ノイズ指数

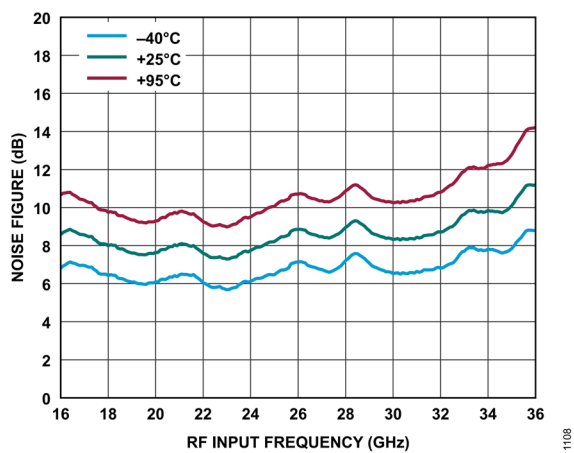


図 107. いくつかの温度設定でのノイズ指数と RF 入力周波数の関係

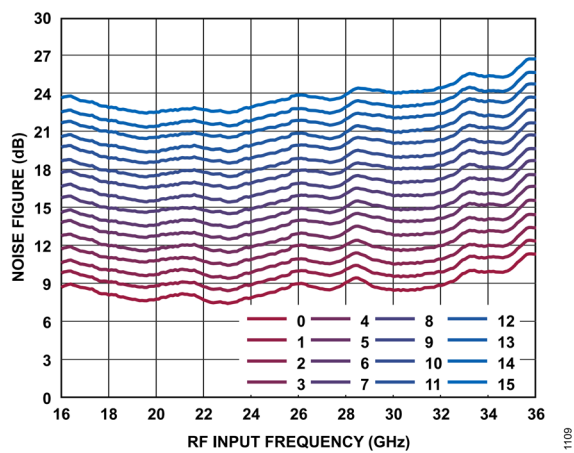


図 108. 様々な DSA1 設定でのノイズ指数と RF 入力周波数の関係

代表的な性能特性

入力 P1dB

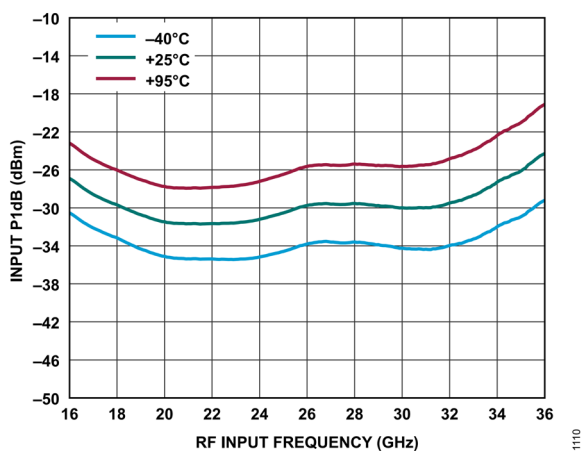


図 109. いくつかの温度設定での入力 P1dB と RF 入力周波数の関係

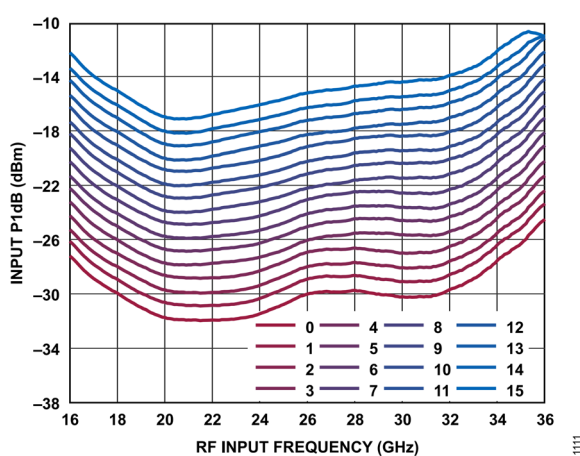


図 110. 様々な RF_DSA1 設定での入力 P1dB と RF 入力周波数の関係

代表的な性能特性

IF モード、DSA_IN、高周波数帯

すべての測定は、DSA_IN を入力、IF を出力として用い、RF を高周波数帯の設定にしています。DSA_OUT は、ボード上で 50Ω の短い配線パターンを用いて RF_IN に接続されています。特に指定のない限り、電源電圧 = 1.8V (全電源)、T_c = 25°C です。

特に指定のない限り、すべての測定は、P_{RF} = -45dBm、P_{LO} = -5dBm、f_{RF} = 49GHz、f_{IF} = 8GHz、f_{LO} = 41GHz (上側波帯)、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)、RF HPF 設定 = 0x3F (最低カットオフ)、LO チューナブル・フィルタ広帯域ハイ設定、IF BPF 設定 = 8GHz で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています (図 3 の RF および IF の入力ピンおよび出力ピンを参照)。

変換ゲイン

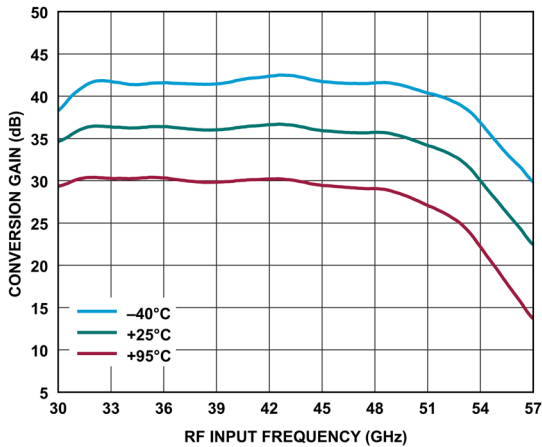


図 111. いくつかの温度設定での変換ゲインと RF 入力周波数の関係

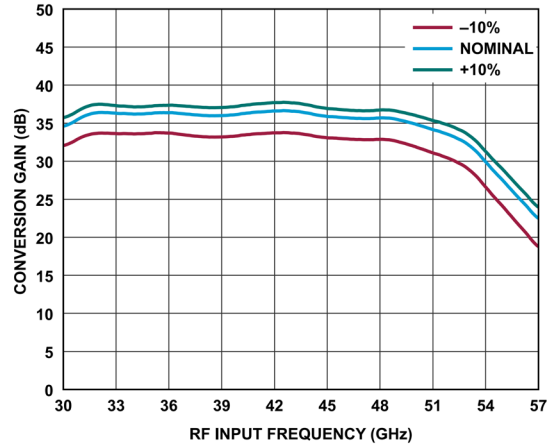


図 113. いくつかの電源電圧での変換ゲインと RF 入力周波数の関係

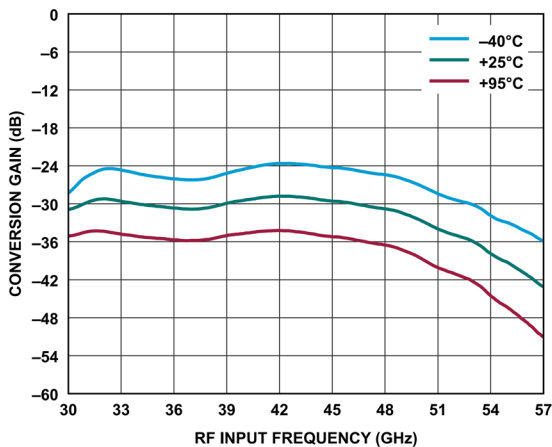


図 112. いくつかの温度設定での変換ゲインと RF 入力周波数の関係 (最小ゲイン)

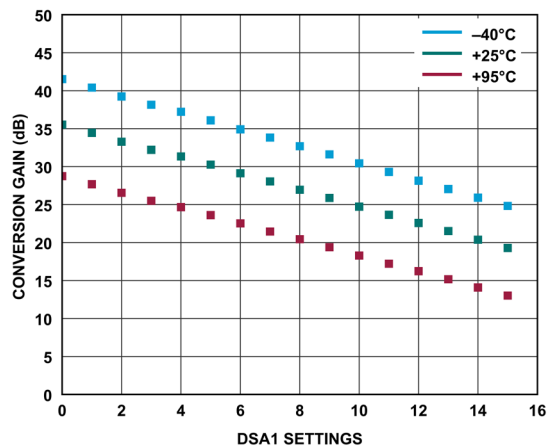


図 114. いくつかの温度設定での変換ゲインと DSA1 設定の関係 (シングル f_{RF} = 49GHz)

代表的な性能特性

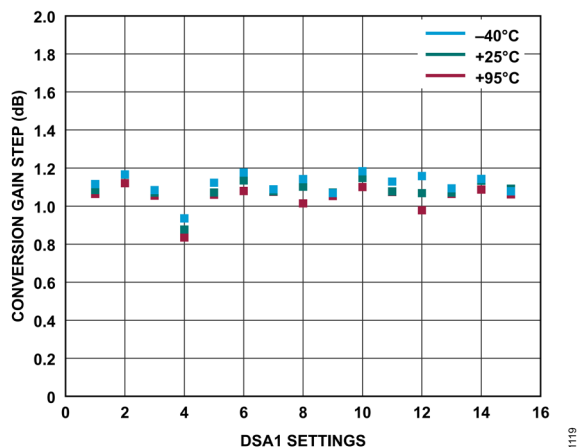


図 115. いくつかの温度設定での変換ゲイン・ステップと DSA1 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

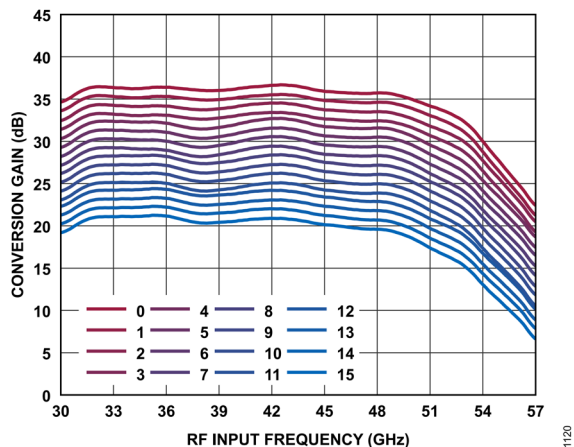


図 116. 様々な DSA1 設定での変換ゲインと RF 入力周波数の関係

代表的な性能特性

入力 IP3

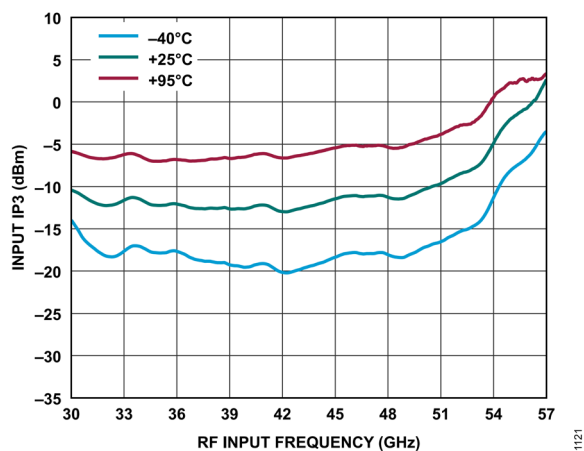


図 117. いくつかの温度設定での入力 IP3 と RF 入力周波数の関係

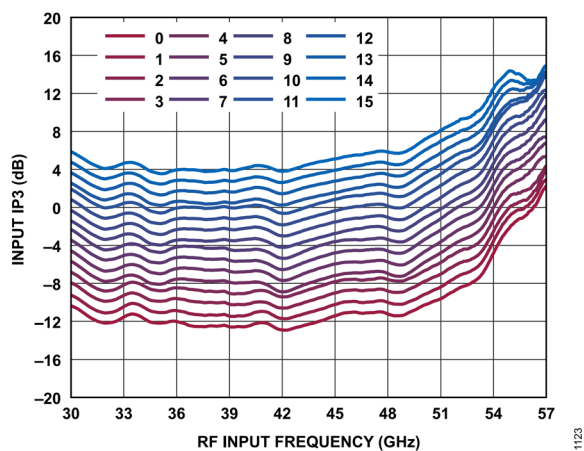


図 119. 様々な DSA1 設定での入力 IP3 と RF 入力周波数の関係

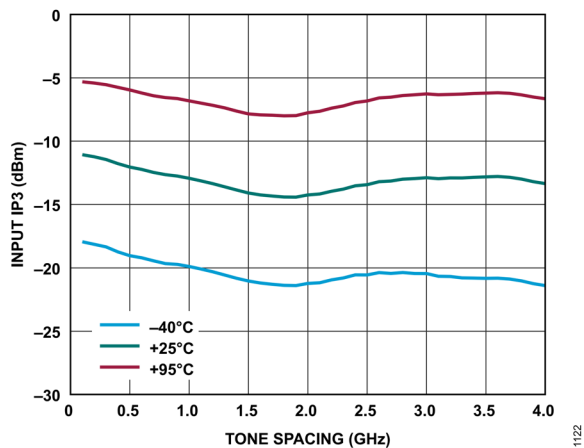


図 118. いくつかの温度設定での入力 IP3 と トーン間隔の関係

代表的な性能特性

ノイズ指数

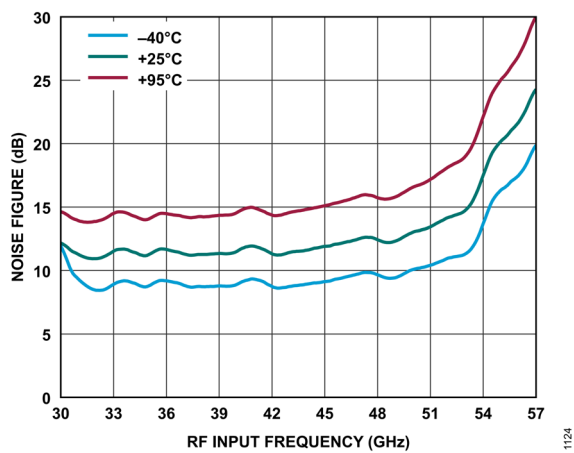


図 120. いくつかの温度設定でのノイズ指数と RF 入力周波数の関係

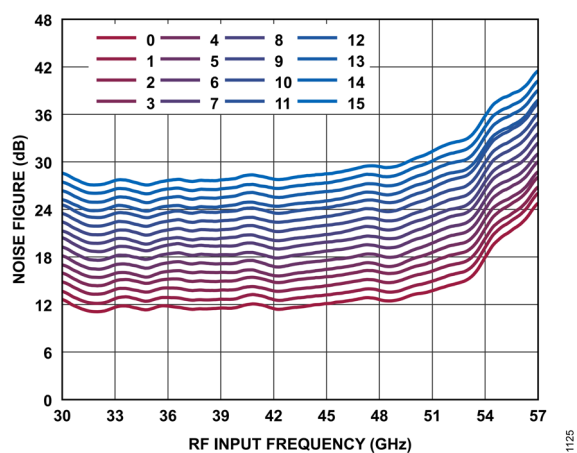


図 121. 様々な DSA1 設定でのノイズ指数と RF 入力周波数の関係

代表的な性能特性

入力 P1dB

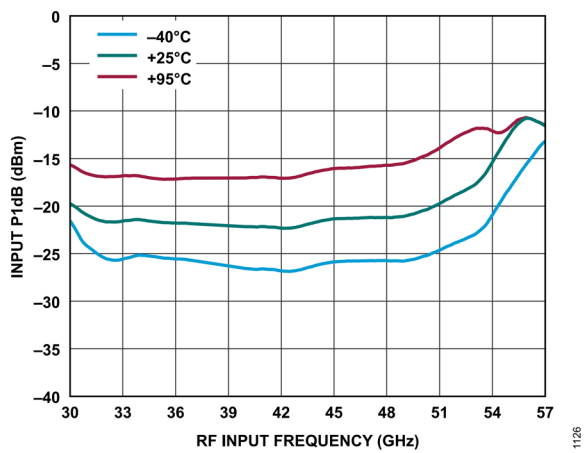


図 122. いくつかの温度設定での入力 P1dB と RF 入力周波数の関係

1126

代表的な性能特性

ベースバンド・モード、DSA_IN、低周波数帯

すべての測定は、DSA_IN を入力、ベースバンド IQ を出力として用い、RF を低周波数帯の設定にしています。DSA_OUT は、ボード上で 50Ω の短い配線パターンを用いて RF_IN に接続されています。

特に指定のない限り、VDD_BB = 2.5V、他の全電源 = 1.8V、T_c = 25°C です。

特に指定のない限り、測定は、P_{RF} = -55dBm、P_{LO} = -5dBm、f_{RF} = 29GHz、f_{BB} = 100MHz、f_{LO} = 29.1GHz（下側波帯）、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、LO チューナブル・フィルタ広帯域ロー設定、V_{OCM} 設定 = 0x0C で行いました。

測定は、高ゲイン設定（レジスタ 0x194、ビット[1:0] = 0b'11）で、オンボード・マッチング・ネットワークを使用。特に指定のない限り、測定は、BB_IP 出力のみでのシングルエンド測定で、他の出力 BB_IN、BB_QP、BB_QN は 50Ω 負荷終端。特に指定のない限り、データは、出力マッチング・ネットワーク損失が 8.15dB、差動損失が 3dB として補正。

変換ゲイン

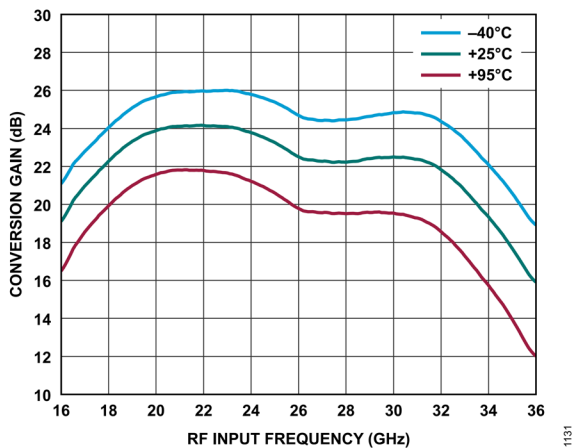


図 123. いくつかの温度設定での変換ゲインと RF 入力周波数の関係

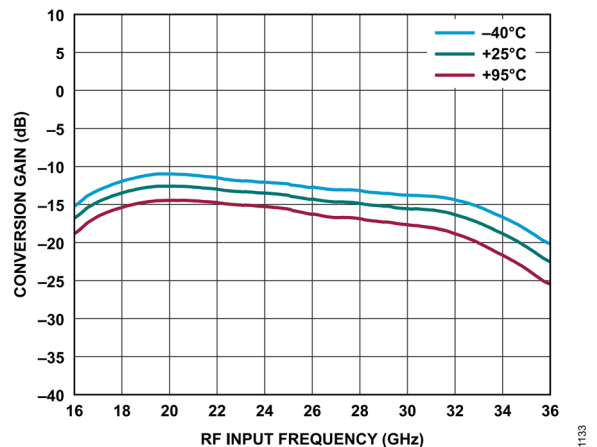


図 125. いくつかの温度設定での変換ゲインと RF 入力周波数の関係（最小ゲイン）

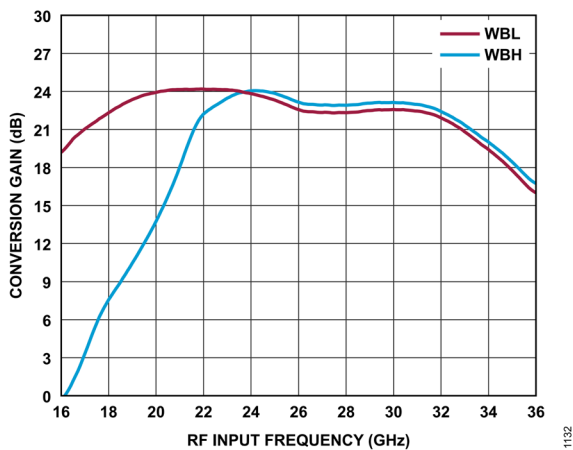


図 124. 異なる LO フィルタ設定での変換ゲインと RF 入力周波数の関係

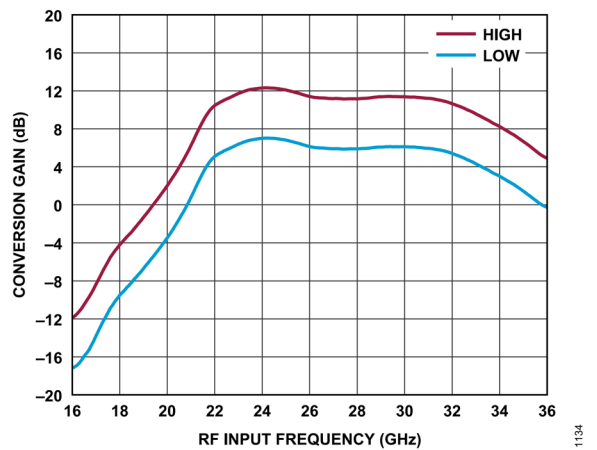


図 126. 異なるゲイン設定での変換ゲインと RF 入力周波数の関係

代表的な性能特性

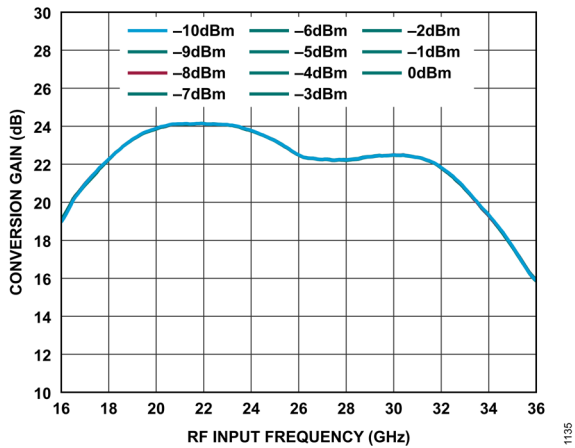


図 127. 様々な LO 電力での変換ゲインと RF 入力周波数の関係

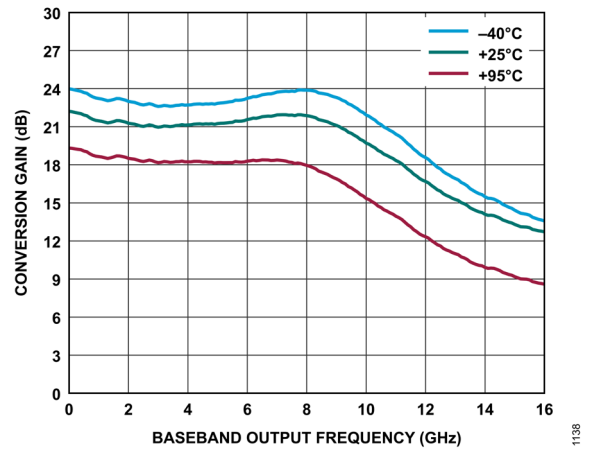


図 130. いくつかの温度設定での変換ゲインとベースバンド出力周波数の関係

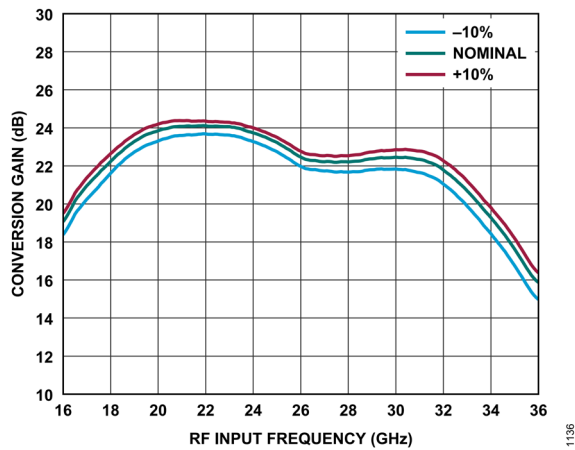


図 128. いくつかの電源電圧での変換ゲインと RF 入力周波数の関係

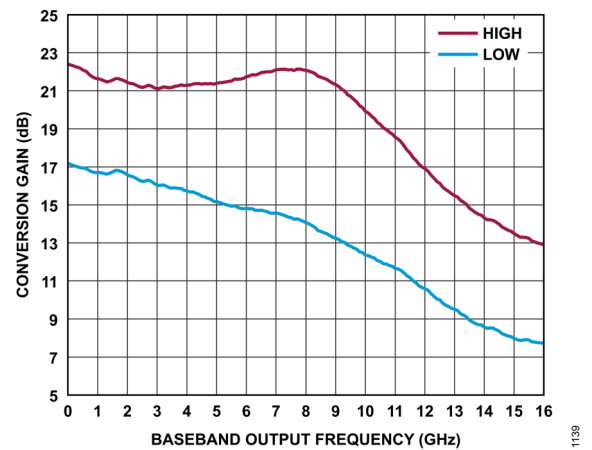


図 131. 異なるゲイン設定での変換ゲインとベースバンド出力周波数の関係

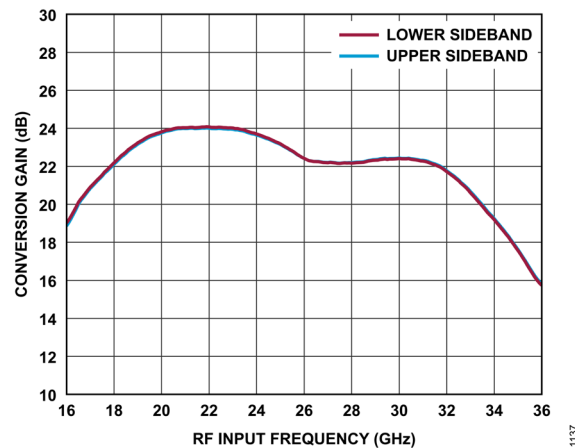


図 129. 変換ゲインと RF 入力周波数の関係 (上側波帯および下側波帯)

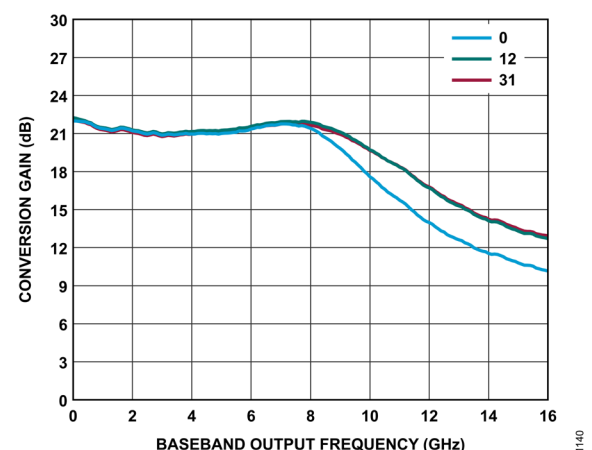


図 132. いくつかの共通モード電圧設定での変換ゲインとベースバンド出力周波数の関係

代表的な性能特性

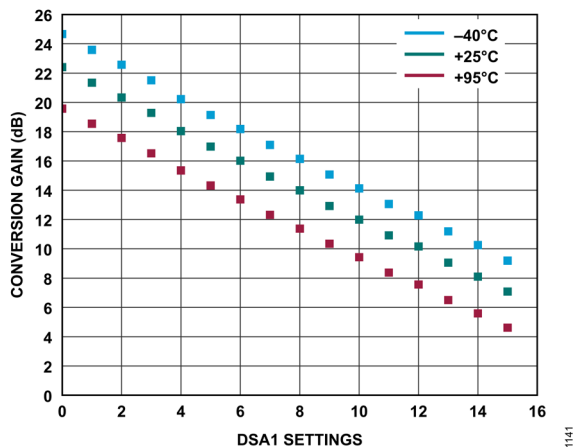


図 133. いくつかの温度設定での変換ゲインと DSA1 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

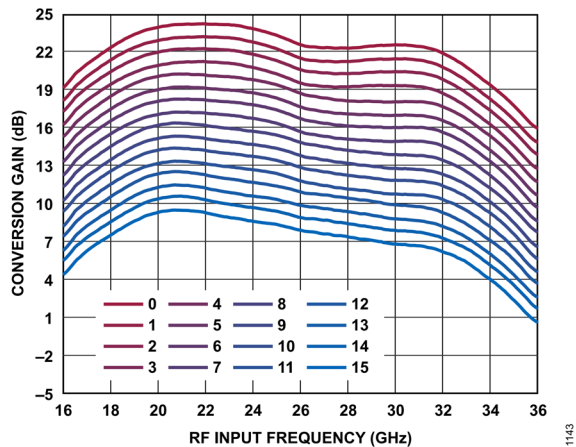


図 135. 様々な DSA1 設定での変換ゲインと RF 入力周波数の関係

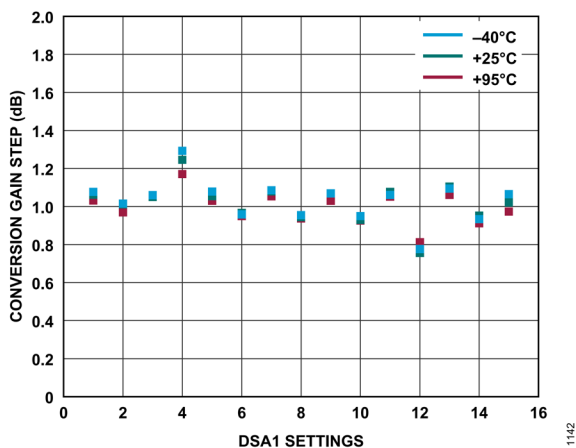


図 134. いくつかの温度設定での変換ゲイン・ステップと DSA1 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

代表的な性能特性

入力 IP3

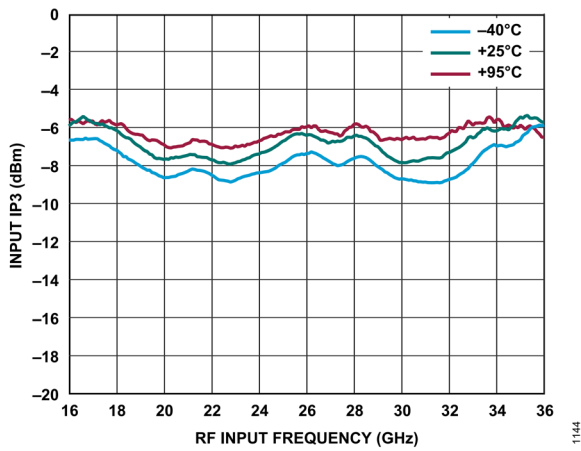


図 136. いくつかの温度設定での入力 IP3 と RF 入力周波数の関係

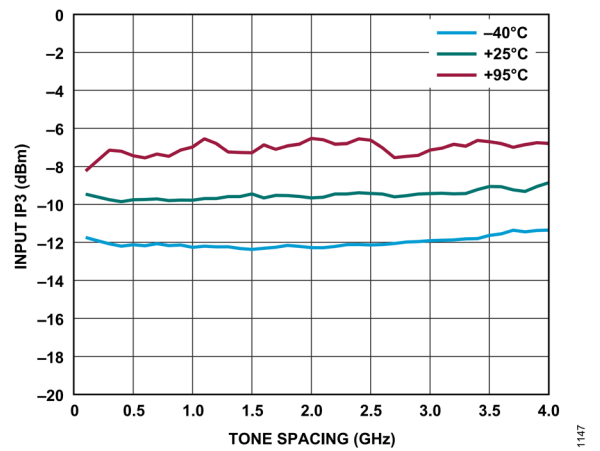


図 138. いくつかの温度設定での入力 IP3 と トーン間隔の関係

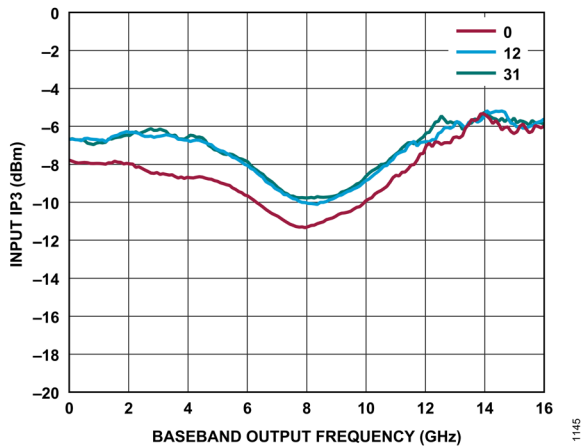


図 137. いくつかのコモンモード電圧設定での入力 IP3 と ベースバンド出力周波数の関係

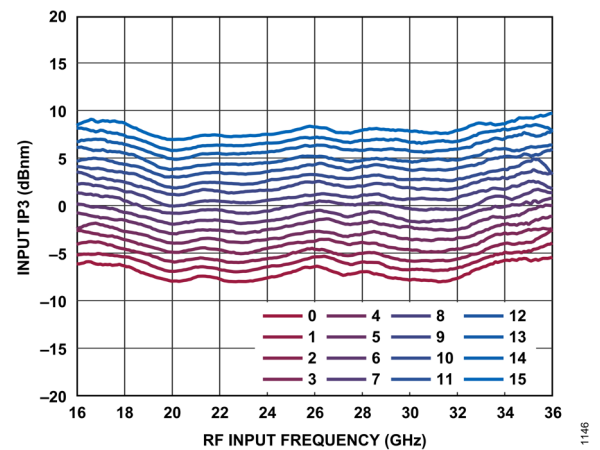


図 139. 様々な DSA1 設定での入力 IP3 と RF 入力周波数の関係

代表的な性能特性

入力 P1dB

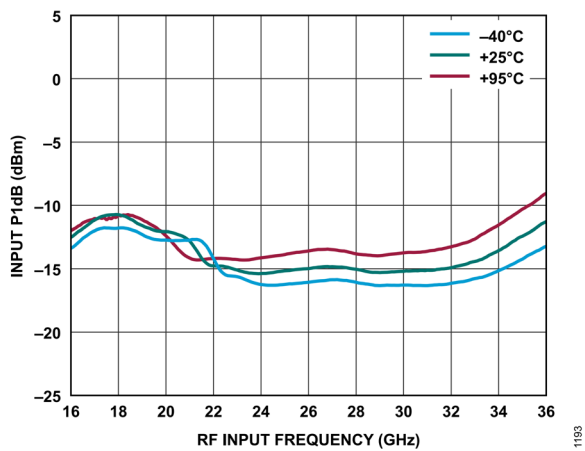


図 140. いくつかの温度設定での入力 P1dB と RF 入力周波数の関係

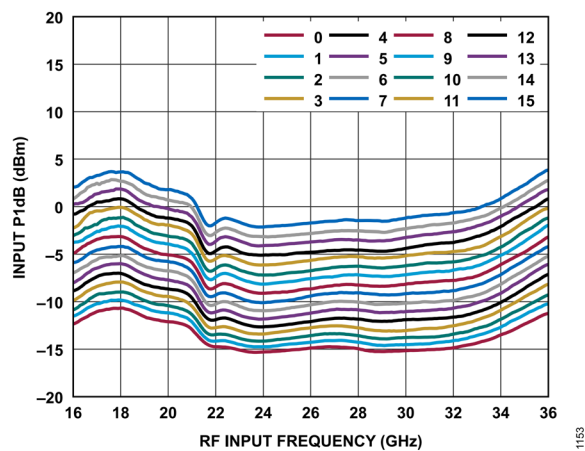


図 141. 様々な DSA1 設定での入力 P1dB と RF 入力周波数の関係

代表的な性能特性

ベースバンド・モード、DSA_IN、高周波数帯

すべての測定は、DSA_IN を入力、ベースバンド IQ を出力として用い、RF を高周波数帯の設定にしています。DSA_OUT は、ボード上で 50Ω の短い配線パターンを用いて RF_IN に接続されています。

特に指定のない限り、VDD_BB = 2.5V、他の全電源 = 1.8V、T_c = 25°C です。

特に指定のない限り、すべての測定は、P_{RF} = -40dBm、P_{LO} = -5dBm、f_{RF} = 49GHz、f_{BB} = 100MHz、f_{LO} = 48.9GHz（上側波帯）、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、RF HPF 設定 = 0x3F（最低カットオフ）、LO チューナブル・フィルタ広帯域ハイ設定、V_{OCM} 設定 = 0x0C で行いました。

測定は、高ゲイン設定（レジスタ 0x194、ビット[1:0] = 0b'11）で、オンボード・マッチング・ネットワークを使用。特に指定のない限り、測定は、BB_IP 出力のみでのシングルエンド測定で、他の出力 BB_IN、BB_QP、BB_QN は 50Ω 負荷終端。特に指定のない限り、データは、出力マッチング・ネットワーク損失が 8.15dB、差動損失が 3dB として補正。

変換ゲイン

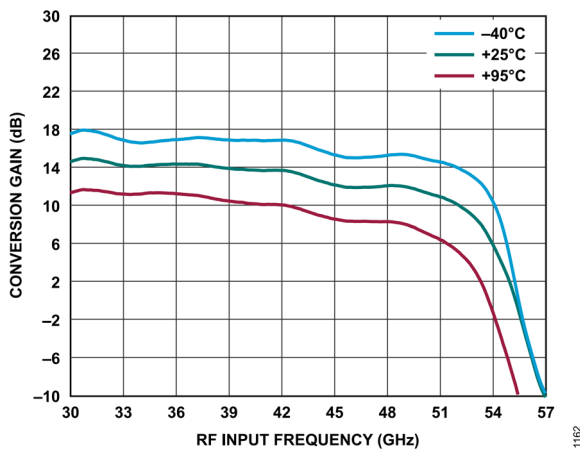


図 142. いくつかの温度設定での変換ゲインと RF 入力周波数の関係

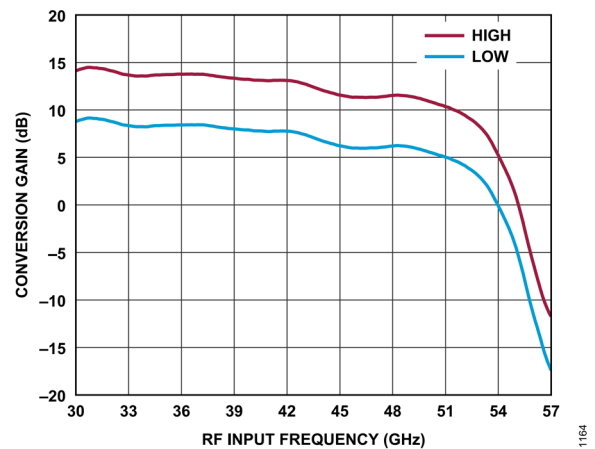


図 144. 異なるゲイン設定での変換ゲインと RF 入力周波数の関係

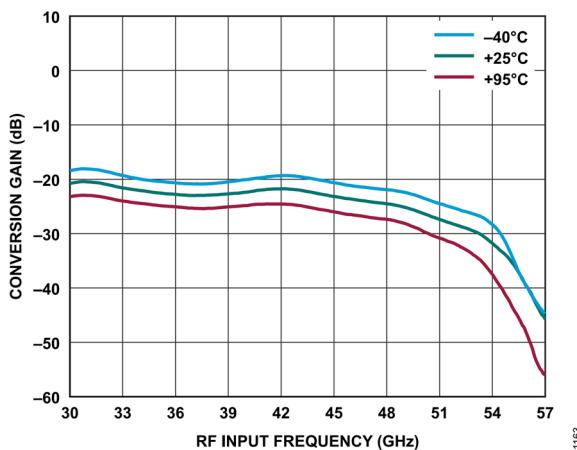


図 143. いくつかの温度設定での変換ゲインと RF 入力周波数の関係（最小ゲイン）

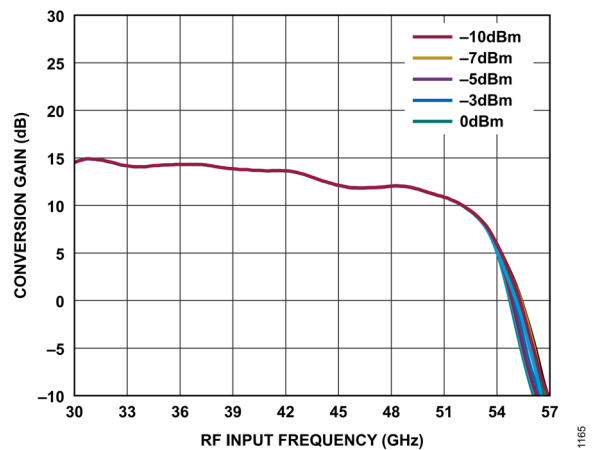


図 145. 様々な LO 電力での変換ゲインと RF 入力周波数の関係

代表的な性能特性

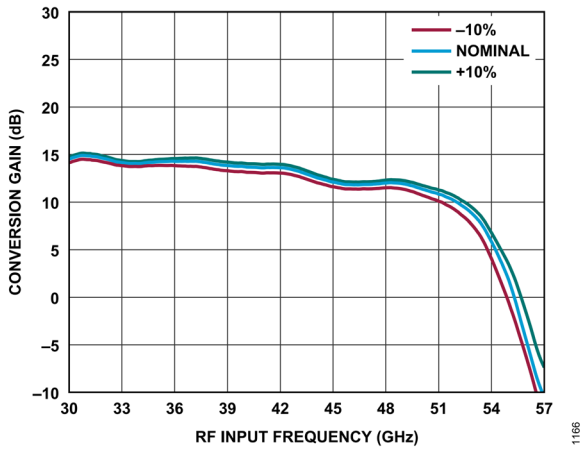


図 146. いくつかの電源電圧での変換ゲインと RF 入力周波数の関係

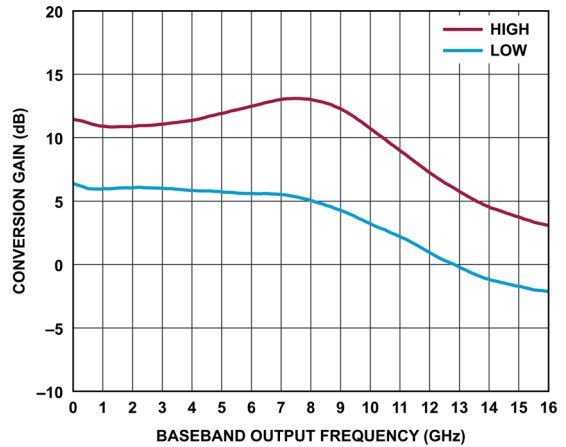


図 149. 異なるゲイン設定での変換ゲインとベースバンド出力周波数の関係

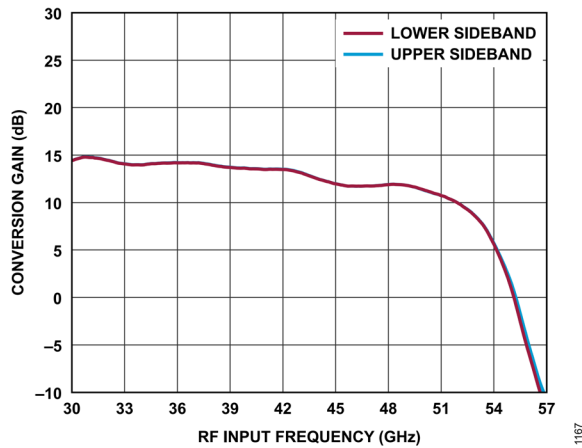


図 147. 変換ゲインと RF 入力周波数の関係 (上側波帯および下側波帯)

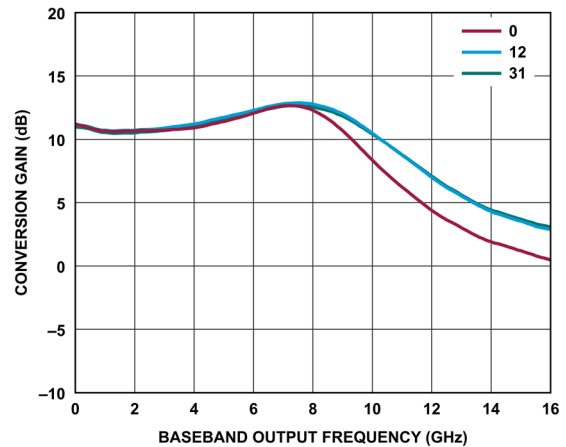


図 150. いくつかの共通モード電圧設定での変換ゲインとベースバンド出力周波数の関係

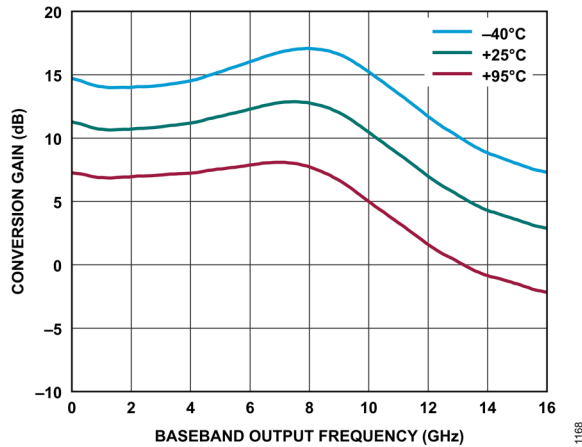


図 148. いくつかの温度設定での変換ゲインとベースバンド出力周波数の関係 (シングル $f_{RF} = 49\text{GHz}$)

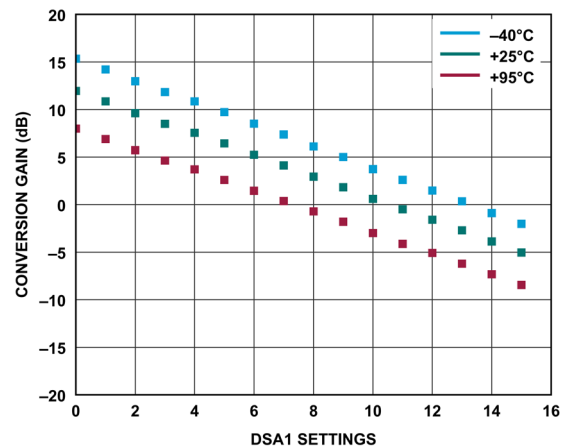


図 151. いくつかの温度設定での変換ゲインと DSA1 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

代表的な性能特性

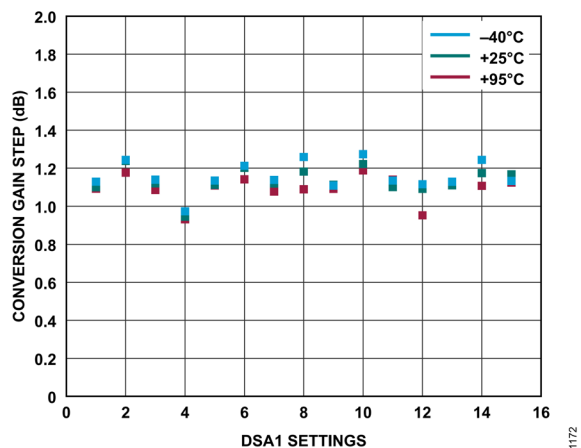


図 152. いくつかの温度設定での変換ゲイン・ステップと DSA1 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

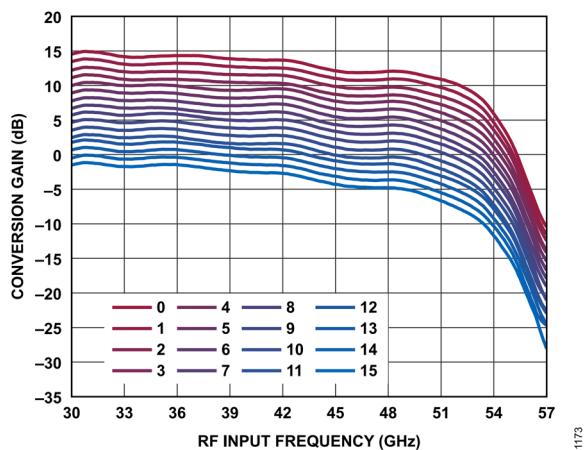


図 153. 様々な DSA1 設定での変換ゲインと RF 入力周波数の関係

代表的な性能特性

入力 IP3

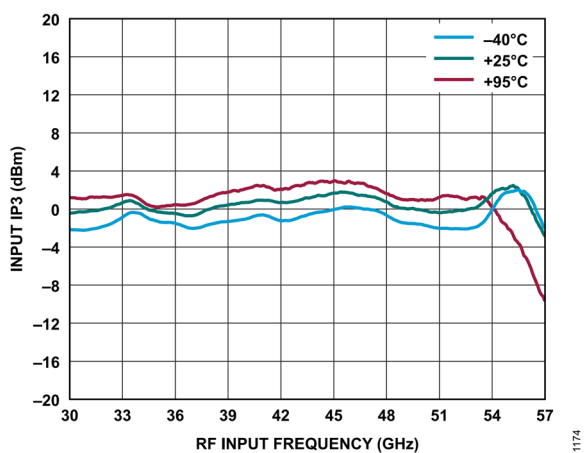


図 154. いくつかの温度設定での入力 IP3 と RF 入力周波数の関係

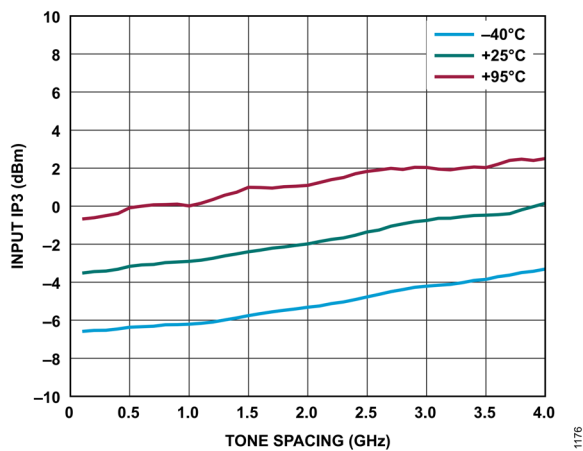


図 156. いくつかの温度設定での入力 IP3 と トーン間隔の関係

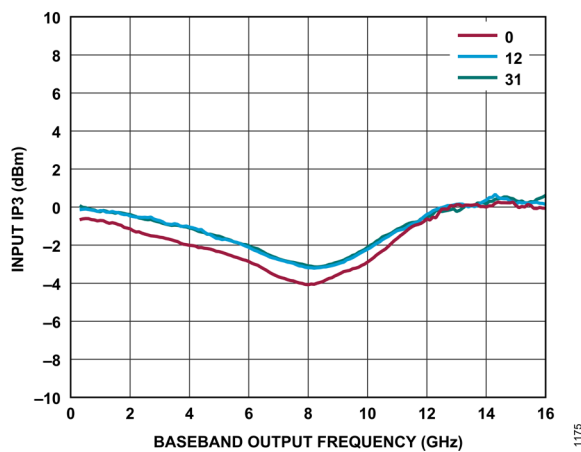


図 155. いくつかのコモンモード電圧設定での入力 IP3 と ベースバンド出力周波数の関係

代表的な性能特性

ノイズ指数

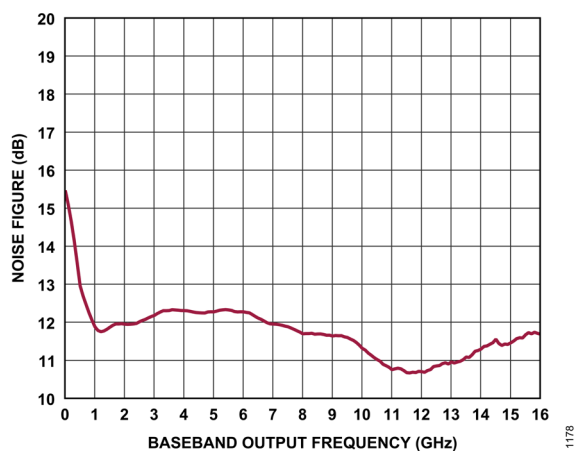


図 157. ノイズ指数とベースバンド出力周波数の関係
 (BB_IP と BB_IN を差動結合する出力バランを用いて測定、
 シングル・サイドバンドについては-3dB を補正)

代表的な性能特性

入力 P1dB

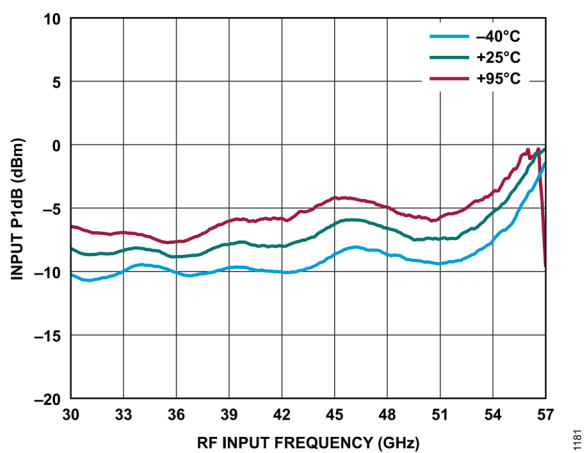


図 158. いくつかの温度設定での入力 P1dB と RF 入力周波数の関係

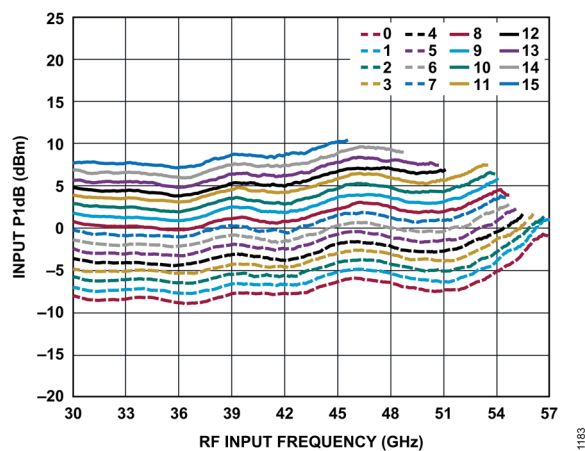


図 160. 様々な DSA1 設定での入力 P1dB と RF 入力周波数の関係

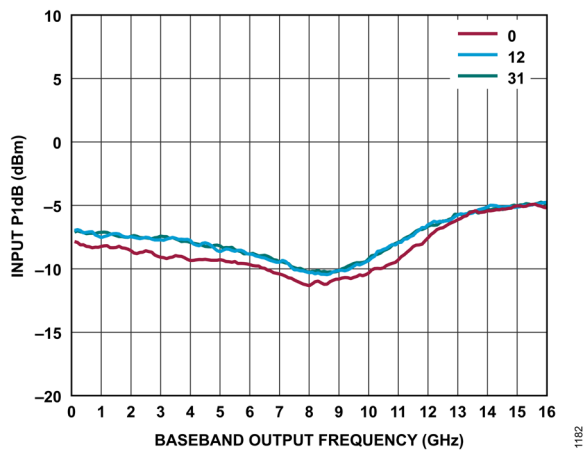


図 159. いくつかの共通モード電圧設定での入力 P1dB と ベースバンド出力周波数の関係

代表的な性能特性

信号バランス

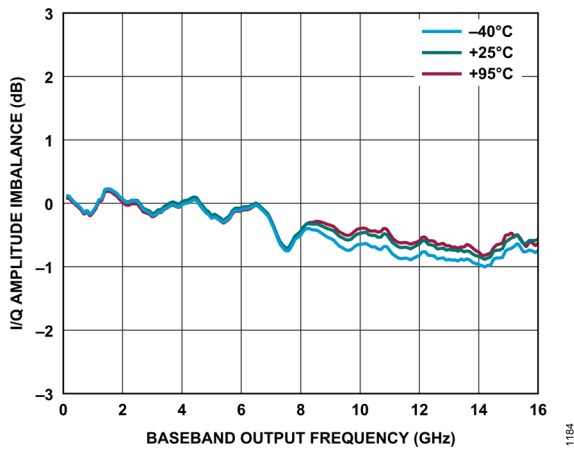


図 161. いくつかの温度設定での I/Q 振幅不均衡とベースバンド出力周波数の関係 (ベースバンド・ゲイン・ハイ、キャリアプレーションなし、シングル $f_{LO} = 42\text{GHz}$ 、I/Q 出力に balan を使用)

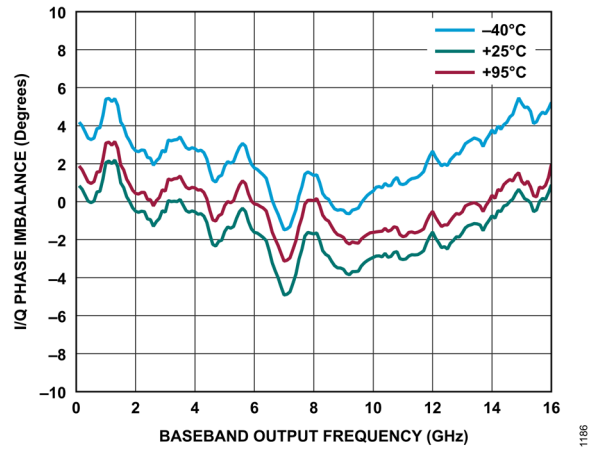


図 163. いくつかの温度設定での I/Q 位相不均衡とベースバンド出力周波数の関係 (ベースバンド・ゲイン・ハイ、キャリアプレーションなし、シングル $f_{LO} = 42\text{GHz}$ 、I/Q 出力に balan を使用)

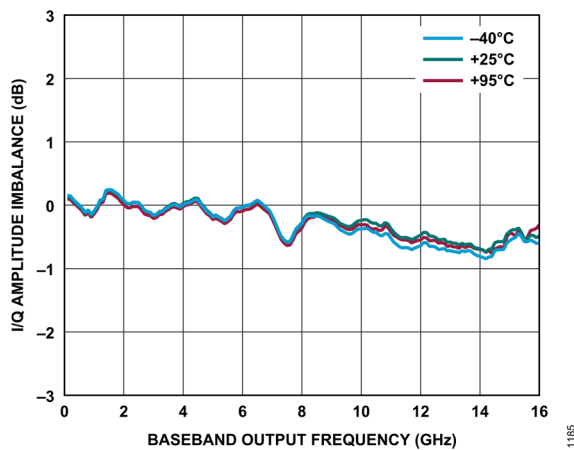


図 162. いくつかの温度設定での I/Q 振幅不均衡とベースバンド出力周波数の関係 (ベースバンド・ゲイン・ロー、キャリアプレーションなし、シングル $f_{LO} = 42\text{GHz}$ 、I/Q 出力に balan を使用)

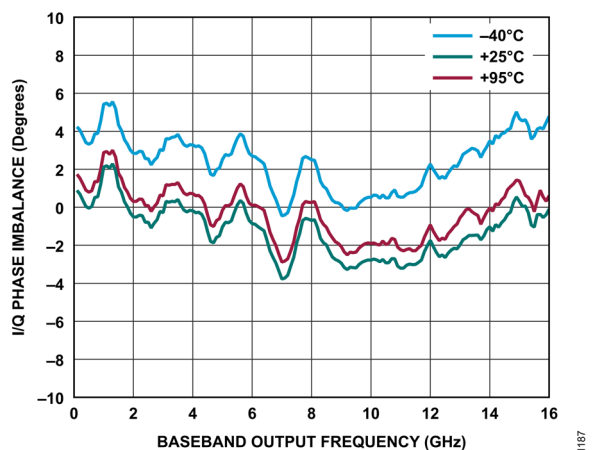


図 164. いくつかの温度設定での I/Q 位相不均衡とベースバンド出力周波数の関係 (ベースバンド・ゲイン・ロー、キャリアプレーションなし、シングル $f_{LO} = 42\text{GHz}$ 、I/Q 出力に balan を使用)

代表的な性能特性

出力コモンモード電圧 (V_{OCM})

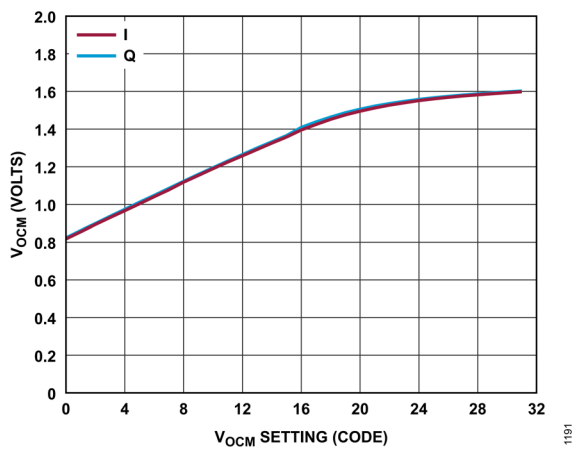


図 165. V_{OCM} と V_{OCM} 設定の関係

動作原理

チップの概要

ADMV1455 は、17.7GHz～55GHz の広い RF 周波数範囲にわたり動作する広帯域無線システム向けに設計された、高集積マイクロ波ダウン・コンバータです。デバイスは最大 12GHz の IF 出力に対応するため、最新の高速データ・コンバータとシームレスに統合でき、また、その実質的な周波数範囲はミリ波スペクトルに十分拡張できます。

このチップは、I/Q ミキサ、1 つの LO シグナル・チェーン、2 つの RF シグナル・チェーン、1 つの IF シグナル・チェーン、ベースバンド I/Q アンプを含む、シンプルな SPI により完全に設定可能なアーキテクチャで構成されています。この集積レベルにより、外付け部品を最小限まで減らすと同時に、最大限の設計柔軟性を実現できます。

ADMV1455 は、6mm × 6.5mm の小さいフットプリント、広帯域性能、設定可能なシグナル・チェーンといった特長を備えているため、システム性能を損なうことなくサイズ、重量、消費電力 (SWaP) を低減することが要求される、次世代高データレート・システムに最適です。

パワーアップおよび初期化のシーケンス

ADMV1455 のパワーアップと初期化を行うには、以下の手順に従います。詳細については、[タイミング図の概要](#)のセクションと [図 167](#) を参照してください。

1. すべてのデジタル・ロジック入力を確実にロジック・レベル・ローにします。
2. 1ms 以上の立上がり時間ですべての電源電圧を同時にパワー・オンします。
3. 電源が安定したら、 \overline{RST} をロジック・レベル・ハイにセットします。
4. NVM のロード命令をプログラムします。
5. 目的のチップ動作を行うよう、必要なレジスタをプログラムします。
6. CEN をロジック・レベル・ハイにセットします。

パワーダウン・シーケンス

ADMV1455 では、2 通りのパワーダウン・オプションが使用できます。1 つのパワーダウン・オプションは、チップへのすべての電力供給を断つことであり、もう 1 つのパワーダウン・オプションは、チップの動作を無効化し低消費電力モードにすることです。

完全パワーダウン

チップを秩序的に完全にパワーダウンするには、以下の手順に従います。詳細については [図 170](#) を参照してください。

1. CEN をロジック・レベル・ローにセットします。
2. その他すべてのロジック入力をロジック・レベル・ローにします。
3. 全電源電圧をオフにします。

CEN によるチップ無効化

電源電圧をオンにしたまま、チップの動作を止め低消費電力モードにするには、CEN をロジック・レベル・ローにします。CEN をロジック・レベル・ローにすると、チップ内のほとんどの RF 回路がオフになります。詳細については、[図 169](#) を参照してください。

動作原理

SPI

ADMV1455 では、通信用に SPI を使用してチップ設定を行います。SPI は 3 線式または 4 線式のいずれの構成でも実装可能であり、1.8V のロジック・レベルと、最大 125MHz の SCLK 周波数に対応します。

SPI は、デジタル入力およびデジタル出力で構成されます。CHIP_ADD0、CHIP_ADD1、SCLK、CSがデジタル入力です。SDIO は、双方向であり、実行する SPI 動作の種類に応じて、入力または出力に設定できます。また、SDO は、読出し動作を実行しない限り高インピーダンス状態を維持するデジタル出力です。CSはアクティブ・ローのデジタル入力であり、SPI 命令時にはローにアサートする必要があります。SPI 命令の最後には確実にCSをデアサートしてください。

チップ・アドレス入力である CHIP_ADD0 および CHIP_ADD1 をマルチチップ・システムにおいて用いると、特定のチップのアドレスを指定できます。この機能により、最大 4 チップが SCLK、SDIO、SDO、CSの各接続を共用できます。チップ・アドレス入力を 0 に設定するには、そのボールをグラウンドに接続するか、0Ω のプルダウン抵抗を追加します。チップ・アドレス入力を 1 に設定するには、フローティング状態のままにします。内部 15kΩ 抵抗によりロジック・レベル・ハイにセットされます。指定されたチップ・アドレスによって、SPI 通信フレーム・ビット [21:20] が変更されます。

シングル SPI の命令の場合、通信フレームは 24 ビット幅であり、16 ビットのヘッダと 8 ビットのデータで構成されます。ヘッダには、R/W ビット、ブロードキャスト (BR) ビット、2 ビットのチップ・アドレス・ビット、12 ビットのレジスタ・アドレス・ビットがあります。ヘッダおよびデータはどちらも、MSB ファースト形式であり、SCLK の立上がりエッジでチップがロジック・レベルをサンプリングするときに、SDIO でシフト・インさせる必要があります。SPI 通信フレームについては図 166 を参照してください。

書き込み動作の場合は R/W ビットを 0 に設定し、読出し動作の場合は R/W ビットを 1 に設定します。シングル・チップ SPI 命令の場合は BR ビットを 0 に設定し、チップ・アドレスに関係なくすべてのチップを SPI 命令に応答させるには、BR ビットを 1 に設定します。読出し動作では、BR ビットは 0 にのみ設定する必要があります。

3 線式 SPI を用いる読出し動作の場合、SDIO は最後のヘッダ SCLK 立上がりエッジの後に入力から出力に変化します。その後、SCLK の立下がりエッジでロジック・レベルが変化したときに、データが SDIO でシフト・アウトされます。そのため、データは、SCLK の次の立上がりエッジでサンプリングできません。CSがデアサートされると、SDIO はデジタル入力に戻ります。

4 線式 SPI を用いる読出し動作の場合、SDO は最後のヘッダ SCLK 立上がりエッジの後に高インピーダンス状態からアクティブ出力に遷移します。その後、SCLK の立下がりエッジでロジック・レベルが変化したときに、データが SDO でシフト・アウトされます。そのため、データは、SCLK の次の立上がりエッジでサンプリングできます。CSがデアサートされると、SDO は高インピーダンス状態に戻ります。

ADMV1455 は、SPI 命令時間を最小限に抑える SPI ストリーミングに対応しています。SPI ストリーミング命令の間、CSがローにアサートされ、単一の 16 ビット・ヘッダ命令が与えられた後、複数バイトのデータが続き、その後、CSがデアサートされて命令が終了します。シーケンシャルなレジスタ・アドレス指定は、レジスタ 0x000 のビット 5 およびビット 2 の設定状況に応じて昇順または降順が前提とされます。なお、デフォルトは降順アドレス指定です。

SPI 命令のいずれかのヘッダ部分でCSがデアサートされた場合、その命令の動作は無視されます。SPI 命令のデータ部分でCSがデアサートされた場合、そのデータは無視されます。SPI ストリーミング動作では、データの完全なバイト (8 ビット) はチップに受け入れられますが、部分的なバイトは無視されます。

詳細については、[タイミング図の概要](#)のセクション、[デジタル入力のパワーアップおよび印加](#)のセクション、[SPI 命令の初期化](#)のセクション、[チップのイネーブルおよび動作](#)のセクション、[チップのディスエーブルおよびリセット](#)のセクション、[チップのディスエーブルおよびパワーダウン](#)のセクションを参照してください。また、SPI および通信プロトコルの詳細については、[ADI-SPI, Serial Control Interface Standard \(Rev 1.0\)](#)を参照してください。

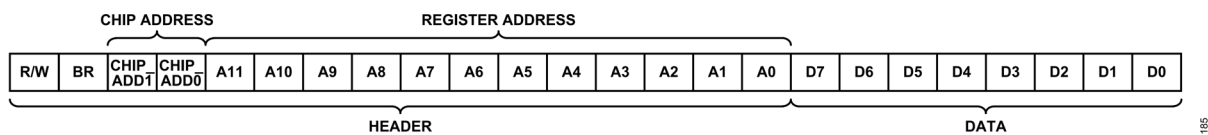


図 166. シングル SPI フレームのタイミング図

動作原理

タイミング図の概要

図 167、図 168、図 169、図 170 に示すタイミング図は、ADMV1455 の動作の各種プログラミング・シーケンスおよび電源シーケンスが可視化されているため、便利です。これらのタイミング図は、表 8 に詳述されているタイミング仕様を用いています。

このガイダンスには、パワーアップ時にデジタル入力をローに保持し、パワーダウンより前またはそれと同時にデジタル入力を除去するといった、ADMV1455 が損傷しないようにするための制限事項が含まれています。更に、タイミング図には、必要な SPI 命令をプログラムしてから CEN 入力を用いてチップの RF 部をイネーブルするといった、動作のためのベスト・プラクティスが含まれています。

これらのタイミング図の詳細については、デジタル入力のパワーアップおよび印加のセクション、SPI 命令の初期化のセクション、チップのイネーブルおよび動作のセクション、チップのディスエーブルおよびリセットのセクション、チップのディスエーブルおよびリセットのセクション、チップのディスエーブルおよびパワーダウンのセクションを参照してください。

デジタル入力のパワーアップおよび印加

パワーアップおよび初期化のタイミング図 (図 167 参照) は、電源が開始時間 t_{START} で始まり、 t_1 の時間で立ち上がることを示しています。電源電圧がその公称値の 90% に達した後、 $t_{DIGITAL}$ のタイミングで最短でも t_2 の時間だけ待機した後、有効なデジタル入力を印加できます。チップが損傷する可能性をなくするため、 $t_{DIGITAL}$ より前にはデジタル入力を印加しないでください。

一般に、 $t_{DIGITAL}$ において、 \overline{RST} 入力と \overline{CS} 入力と共にハイになります。該当する場合、SPI 命令の準備のために $CHIP_ADD0$ および $CHIP_ADD1$ もこのときにセットされます。初期化時間 $t_{INITIALIZE}$ に SPI 命令が開始される前にチップがリセットされるよう、最短でも t_3 の時間だけ待機します。

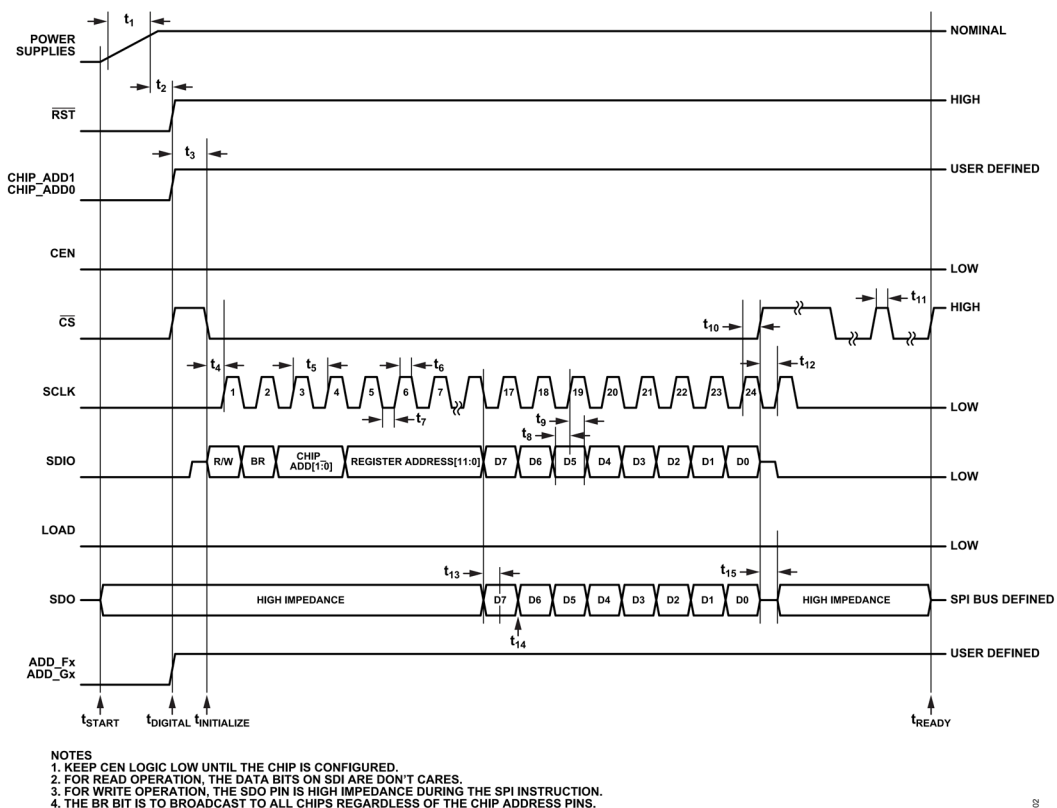


図 167. パワーアップおよび初期化のタイミング図

動作原理

SPI 命令の初期化

$t_{\text{INITIALIZE}}$ (図 167 参照) のタイミングで目的動作のための SPI 命令を用いることにより、チップを設定します。命令ごとに $t_{\text{INITIALIZE}}$ からレディ時間 t_{READY} までループを繰り返し、必要なすべての SPI 命令を与えてチップを設定します。初期化 SPI 命令の間は CEN 入力をローに保持し、 t_{READY} で初期化を完了します。

チップのイネーブルおよび動作

初期化 SPI 命令がすべて完了した後、最短でも t_{16} の時間だけ待機し、確実にデジタル・ロジックが命令を処理するようにしてから、 $t_{\text{OPERATIONAL}}$ のタイミングで CEN 入力をハイにセットしてチップ動作をイネーブルします。 $t_{\text{OPERATIONAL}}$ において、チップの RF 部がイネーブルされます。詳細については、図 168 を参照してください。

チップ動作の間、LOAD 入力トグルや、ADD_Fx 入力および ADD_Gx 入力への変化と共に、必要な SPI 命令を与えることができます。チップをディスエーブルする、チップをリセットする、チップをパワーダウンする、のいずれかが必要になるまで、 $t_{\text{OPERATIONAL}}$ から t_{CONTINUE} 間でのループを繰り返し動作を続行します。

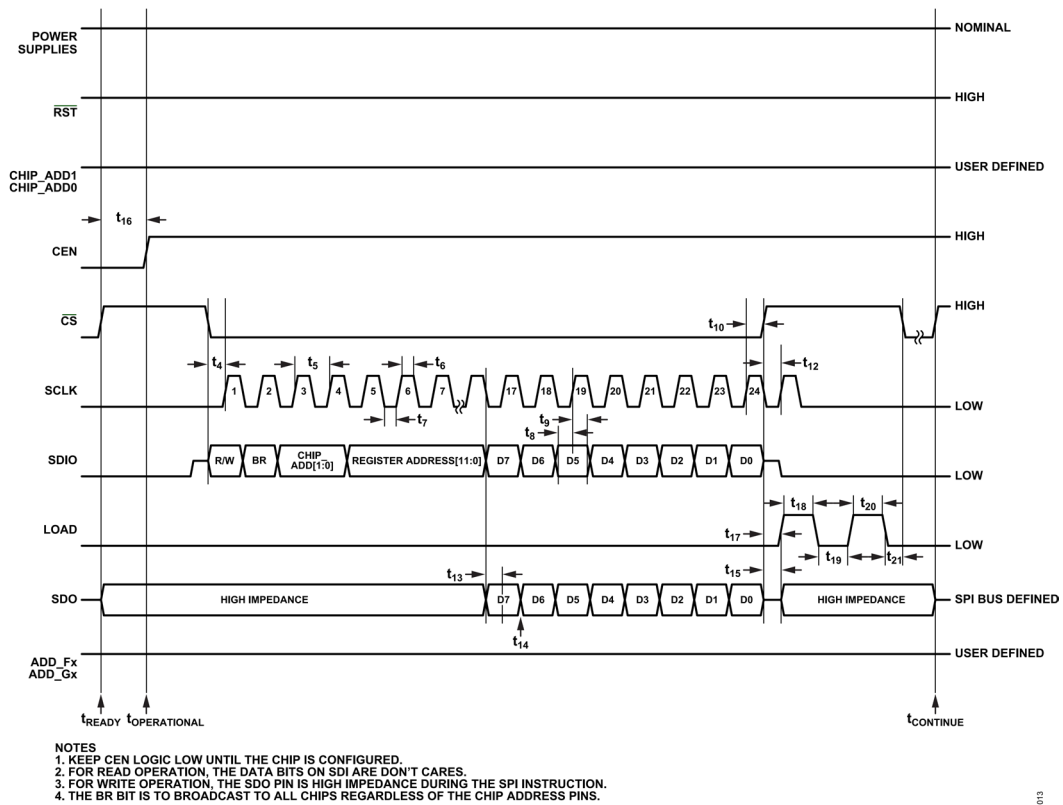


図 168. 動作のタイミング図

動作原理

チップのディスエーブルおよびリセット

チップをディスエーブルする、あるいはリセットする必要がある場合、 $t_{CONTINUE}$ で始まる図 169 に従います。最後の SPI 命令から最短でも t_{22} だけ待機してから、 $t_{DISABLE}$ で CEN 入力をローにセットしてチップをディスエーブルします。

CEN 入力をローにセットした後、チップの RF 部がパワーダウンできるよう、最短でも t_{23} の時間だけ待機します。その後、最短でも t_{24} の間 \overline{RST} 入力をローにセットしてから、再度 \overline{RST} 入力をハイにセットできます。最短でも t_3 の時間待機してから、 $t_{INITIALIZE}$ にループ・バックします。これを図 167 に示します。

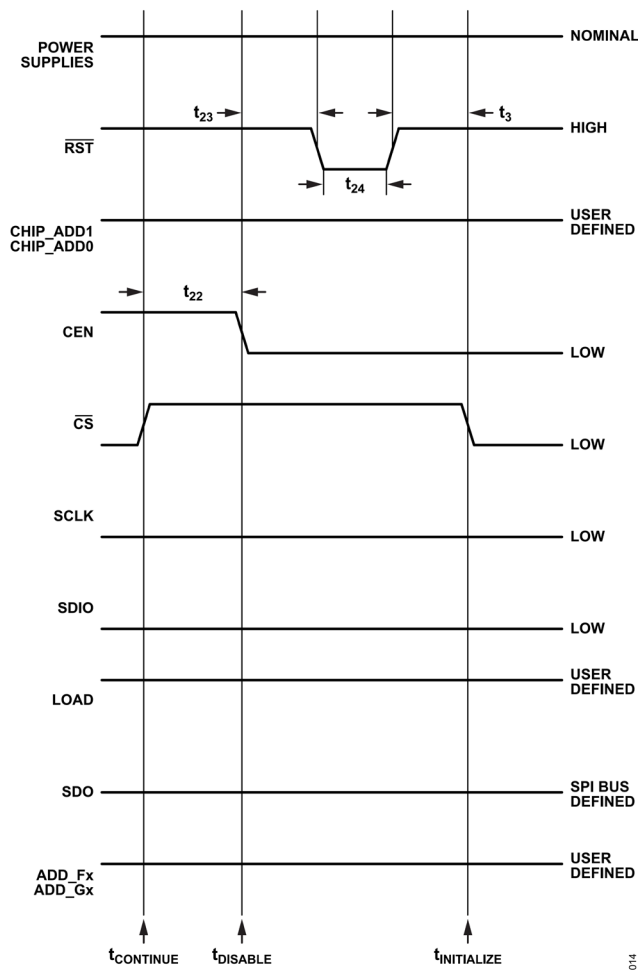


図 169. チップのディスエーブルおよびリセットのタイミング図

チップのディスエーブルおよびパワーダウン

チップをディスエーブルする、あるいはパワーダウンする必要がある場合、 $t_{CONTINUE}$ で始まる図 170 に従います。最後の SPI 命令から最短でも t_{22} だけ待機してから、 $t_{DISABLE}$ で CEN 入力をローにセットしてチップをディスエーブルします。

CEN 入力をローにセットした後、チップが $t_{POWER-DOWN}$ でパワーダウンする前にチップの RF 部がパワーダウンできるよう、最短でも t_{25} の時間だけ待機します。 $t_{POWER-DOWN}$ において、その他すべてのロジック入力は、 t_{26} の立下がり時間でローにセットする必要があります。理想的には、ロジック入力は電源のランプダウンより前に除去しますが、ロジック入力の立下がり時間が最長でも t_{26} の時間を越えなければ、同時に除去しても構いません。なお、 t_{26} の時間単位はマイクロ秒であり、 t_{27} の時間単位はミリ秒であることに注意してください。

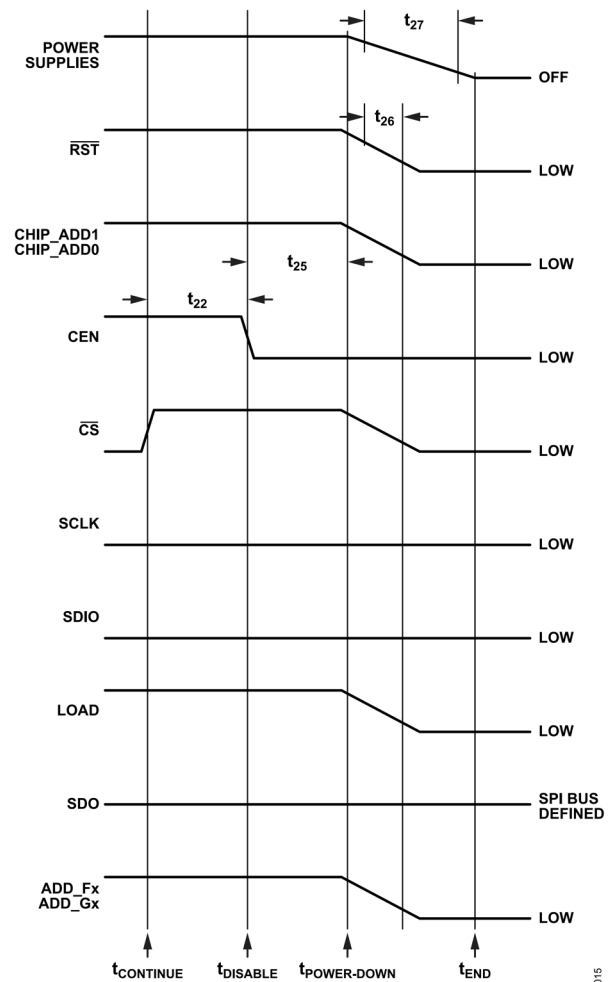


図 170. チップのディスエーブルおよびパワーダウンのタイミング図

動作原理

不揮発性メモリ

ADMV1455には単純な不揮発性メモリ (NVM) が内蔵されており、デバイスごとのばらつきを最小限に抑えるための工場出荷時のキャリブレーション値を保存しています。NVMの値によって、チップのバイアス電流設定、内蔵ADCの調整、内部温度センサーの調整が行われます。チップのパワーアップ時には、このNVMが確実にその値を適切なシャドウ・レジスタに書き込むようにすることを推奨します。NVMはスタティックであり、ユーザによる変更はできません。

NVM 正常性チェック

NVM値がロードされたことを確認するには、以下のNVM正常性チェック命令を用います。

1. 以下を実行してレジスタ 0x033 をシャドウ化します。
 - ▶ レジスタ 0x07B を値 0x33 に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x33 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値 (通常は 0x20) を返すはずです。
2. 以下を実行してレジスタ 0x034 をシャドウ化します。
 - ▶ レジスタ 0x07B を値 0x34 に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x34 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値 (通常は 0x20) を返すはずです。
3. 以下を実行してレジスタ 0x037 をシャドウ化します。
 - ▶ レジスタ 0x07B を値 0x37 に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x37 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値 (通常は 0x0D) を返すはずです。
4. 以下を実行してレジスタ 0x038 をシャドウ化します。
 - ▶ レジスタ 0x07B を値 0x38 に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x38 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値 (通常は 0x0D) を返すはずです。

戻り値のいずれかがゼロの場合、[NVM ロード命令](#)のセクションに詳述する命令を実行します。

NVM ロード命令

レジスタ 0x07C からの戻り値がゼロの場合、以下の NVM ロード命令を実行します。

1. レジスタ 0x078 を値 0x08 に設定します。
2. 1ms 待機します。
3. レジスタ 0x07E を値 0x40 に設定します。
4. 1ms 待機します。
5. レジスタ 0x07E を値 0x54 に設定します。
6. 1ms 待機します。
7. レジスタ 0x078 を値 0x09 に設定します。

デジタルの概要

ADMV1455には高度なデジタル・ロジックが内蔵されており、これを用いることによりチップ内の各回路ブロックを様々な方法で設定できます。これらの方法には、単純なレジスタ設定、同期 LOAD 機能、ルックアップ・テーブル (LUT)、ロジック・ステート・マシン、並列入力ロジック・ポインタ、汎用ロジック出力などがあります。

デジタル・ロジックは、周波数制御 (フィルタ) 用とゲイン制御 (アッテネータ) 用の 2 つのサブセクションに分割できます。各サブセクションの代表的な図については、[図 171](#) および [図 172](#) を参照してください。これらの図を参照する場合、右から左、すなわち、制御対象要素から始めて入力制御方法を決める、という順に従うと有益です。

周波数制御サブセクションでは、フィルタおよび GPO_Fx ロジック出力を設定する最も簡単な方法は、レジスタ 0x800~レジスタ 0x80C を用いることです。レジスタ 0x2A0 は RF チェーンの LPF 値を設定できるバイパス・レジスタであり、これを用いることによりレジスタ 0x802 の LPF 値より高い分解能を実現できます。同様に、レジスタ 0x2A1 は RF チェーンの HPF 値を設定するバイパス・レジスタであり、これを用いることによりレジスタ 0x804 の HPF 値より高い分解能を実現できます。レジスタ 0x2A2 は、IF チェーンの BPF のコーナー周波数を調整するのに必要なレジスタです。推奨値については、[表 24](#) を参照してください。

ADMV1455 を評価するときに、LUT を用いてフィルタを設定するようチップを動作させる予定がある場合、レジスタ 0x802 およびレジスタ 0x804 を用いることを推奨します。ただし、LUT を用いる予定がないならば、レジスタ 0x2A0 およびレジスタ 0x2A1 を用いるのが有利です。これらのレジスタの方が分解能が高いためです。

ゲイン制御サブセクションでは、アッテネータおよび GPO_Gx ロジック出力を設定する最も簡単な方法は、レジスタ 0x28B~レジスタ 0x28E を用いることです。LOAD 機能を用いる必要がある場合は、レジスタ 0x600~レジスタ 0x603 も使用できます。

動作原理

デジタル構成図

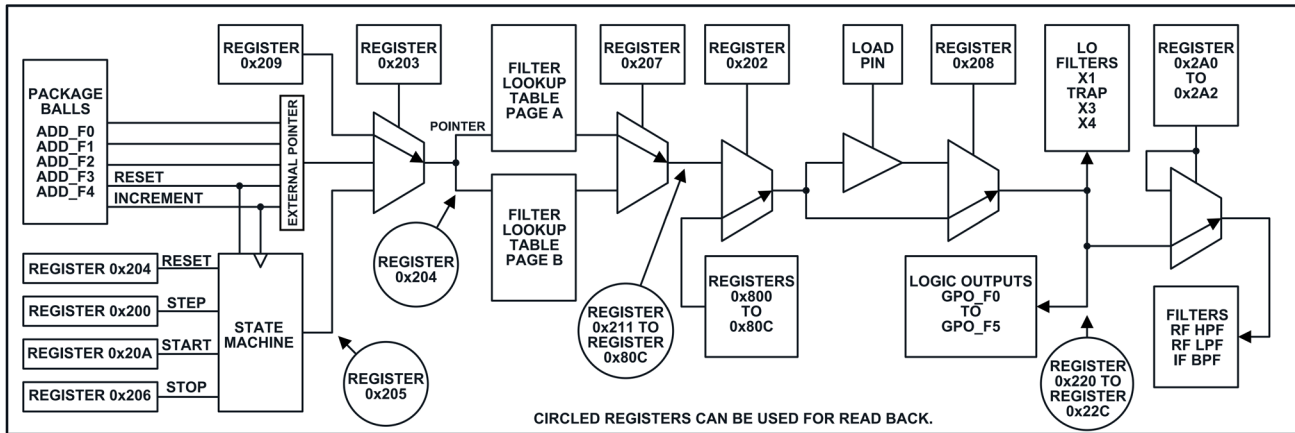


図 171. フィルタ構成図

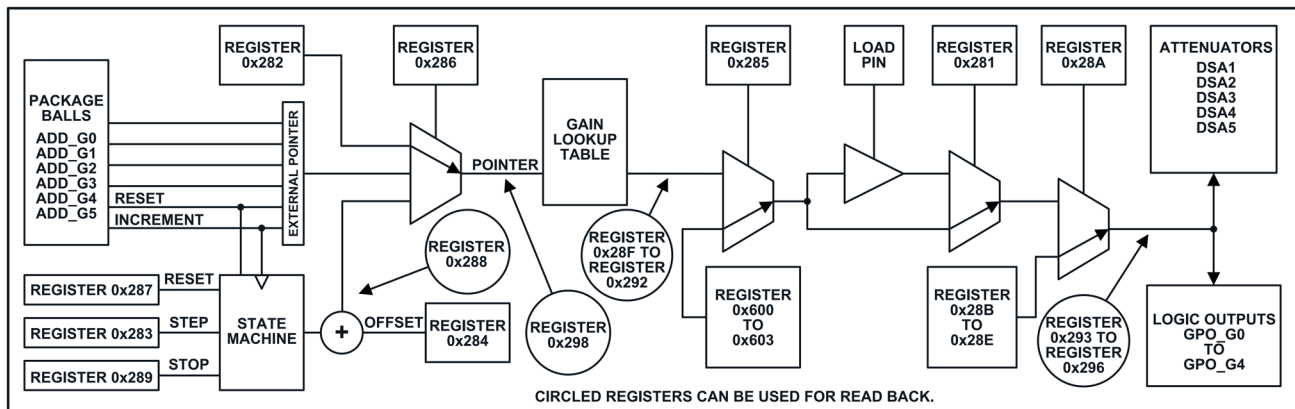


図 172. ゲイン構成図

同期 LOAD 機能

ADMV1455には同期 LOAD 機能があり、これを用いることにより、LOAD ボールでの特定のトリガ立上がりエッジ・イベント時にフィルタ設定およびゲイン設定を適用できます。LOAD 機能のタイミングについては図 168 を参照してください。フィルタ設定の LOAD 機能を有効にするには、レジスタ 0x208 を 1 にセットします。ゲイン設定の LOAD 機能を有効にするには、レジスタ 0x281 を 1 にセットします。

フィルタの LUT

デジタル・ロジックには、LO チューナブル・フィルタ、RF チューナブル・フィルタ、GPO_F ロジック出力の状態を定めるために使用できる、フィルタ LUT が含まれています。この LUT は、チップの設定状態を迅速に変更する必要がある高速周波数ホッピング・アプリケーションで有用です。

LUT を用いるには、レジスタ 0x202 を 1 にセットし、レジスタ 0x900～レジスタ 0xC3F で LUT を設定します。

LUT は 2 ページからなり、それぞれに 32 インデックス、合計 64 インデックスがあります。ページ A を選択するにはレジスタ 0x207 を 0 にセットします。ページ B を選択するにはレジスタ 0x207 を 1 にセットします。

LUT のインデックス (ポインタ) には、レジスタ 0x203 で定められる 3 つのソースがあります。ポインタは、並列ロジック入力 ADD_F ボール、レジスタ 0x209、または内部ステート・マシンを用いることにより、設定できます。ADD_F ボールをポインタとして用いるにはレジスタ 0x203 を 0 に、レジスタ 0x209 をポインタとして用いるにはレジスタ 0x203 を 1 に、内部ステート・マシンを用いるにはレジスタ 0x203 を 2 にセットします。

LUT のポインタ・ソースに関わらず、ポインタ値をリード・バックするにはレジスタ 0x240 を使用します。

LUT の出力値は、レジスタ 0x211～レジスタ 0x21D で読み出せます。これらのレジスタの値は、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサの前段のフィルタ値を表します。

動作原理

フィルタのステート・マシン

内部ステート・マシンを用いると、多くの状態をシーケンシャルに移行できます。ADD_F4 入力を用いれば進行し、ADD_F3 を用いればリセットします。ステート・マシンには、開始値、停止値、ステップ・サイズ、ラップ設定、リセットなど、SPIからのいくつかの入力パラメータがあります。

パワーアップ時は、ステート・マシンの出力はゼロであり、ADD_F3 ボールまたはレジスタ 0x204 のどちらを用いてもゼロにリセットできます。ステート・マシンをリセット状態に保持するには ADD_F3 をロジック・ハイにセットし、その後通常動作に戻すにはロジック・ローにします。別の方法としては、レジスタ 0x204 を 0 にセットするとステート・マシンがリセット状態に保持され、1 に戻すと再度通常動作になります。

確実にステート・マシンが良好に動作するようにするため、停止値を開始より大きな値に設定することを推奨します。ステップ・サイズは 8 ビットの 2 の補数で、範囲は-128~+127 です。ここで、-128 は 0x80 によって表され、+127 は 0x7F、-1 は 0xFF によって表されます。値がゼロのステップ・サイズは無効です。

ステート・マシンの現在の値をリード・バックするには、レジスタ 0x205 を用います。

ラップ設定が無効化されている場合、インクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけインクリメントします。ステート・マシンが停止値に達すると、次の状態が

開始値になります。ステップ・サイズが停止値を越えてインクリメントする場合は、開始値が用いられます。

ラップ設定が無効化されている場合、デクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけデクリメントします。ステート・マシンがゼロに達すると、次の状態が停止値になります。ステップ・サイズがゼロ未満にデクリメントする場合は、停止値が用いられます。このシーケンスの間、開始値は無視されます。

ラップ設定が有効化されている場合、インクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけインクリメントします。ステップ・サイズが停止値を越えてインクリメントする場合、シーケンスはロール・オーバーし、ゼロから残りのカウントを続けます。このシーケンスの間、開始値は無視されます。

ラップ設定が有効化されている場合、デクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけデクリメントします。ステップ・サイズがゼロ未満にデクリメントする場合、シーケンスはロール・オーバーし、停止値から残りのカウントを続けます。このシーケンスの間、開始値は無視されます。

適用可能なレジスタとステート・マシンの動作例については、表 18 を参照してください。表 18 に示すシーケンスは、ADD_F4 の各立上がりエッジで無期限に継続します。

表 18. フィルタのステート・マシンの動作例

Example	Step ¹	Start ²	Stop ³	Wrap ⁴	State Machine Sequence
1	+1	3	6	0	0, 1, 2, 3, 4, 5, 6, 3, 4, 5, 6, 3, 4, 5, 6...
2	+2	3	6	0	0, 2, 4, 6, 3, 5, 3, 5, 3, 5, 3, 5, 3, 5, 3...
3	+3	3	6	0	0, 3, 6, 3, 6, 3, 6, 3, 6, 3, 6, 3, 6, 3, 6...
4	+4	3	6	0	0, 4, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3...
5	-1	3	6	0	0, 6, 5, 4, 3, 2, 1, 0, 6, 5, 4, 3, 2, 1, 0...
6	-2	3	6	0	0, 6, 4, 2, 0, 6, 4, 2, 0, 6, 4, 2, 0, 6, 4...
7	-3	3	6	0	0, 6, 3, 0, 6, 3, 0, 6, 3, 0, 6, 3, 0, 6, 3...
8	-4	3	6	0	0, 6, 2, 6, 2, 6, 2, 6, 2, 6, 2, 6, 2, 6, 2...
9	+1	3	6	1	0, 1, 2, 3, 4, 5, 6, 0, 1, 2, 3, 4, 5, 6, 0...
10	+2	3	6	1	0, 2, 4, 6, 1, 3, 5, 0, 2, 4, 6, 1, 3, 5, 0...
11	+3	3	6	1	0, 3, 6, 2, 5, 1, 4, 0, 3, 6, 2, 5, 1, 4, 0...
12	+4	3	6	1	0, 4, 1, 5, 2, 6, 3, 0, 4, 1, 5, 2, 6, 3, 0...
13	-1	3	6	1	0, 6, 5, 4, 3, 2, 1, 0, 6, 5, 4, 3, 2, 1, 0...
14	-2	3	6	1	0, 5, 3, 1, 6, 4, 2, 0, 5, 3, 1, 6, 4, 2, 0...
15	-3	3	6	1	0, 4, 1, 5, 2, 6, 3, 0, 4, 1, 5, 2, 6, 3, 0...
16	-4	3	6	1	0, 3, 6, 2, 5, 1, 4, 0, 3, 6, 2, 5, 1, 4, 0...

¹ ステップ・サイズは、レジスタ 0x200 のビット[7:0]によって決まります。

² 開始は、レジスタ 0x20A のビット[4:0]によって決まります。

³ 停止は、レジスタ 0x206 のビット[4:0]によって決まります。

⁴ ラップ設定は、レジスタ 0x20A のビット 5 によって決まります。

動作原理

ゲインの LUT

デジタル・ロジックには、67 のインデックスがあるゲイン LUT が含まれており、これを用いることで、DSA の状態や GPO_G ロジック出力の状態を定めることができます。この LUT は、チップの設定状態を迅速に変更することが必要な高速周波数ホッピング・アプリケーションで有用です。

LUT を用いるには、レジスタ 0x285 を 1 にセットし、レジスタ 0xE00～レジスタ 0xF0B で LUT を設定します。

LUT のインデックス (ポインタ) には、レジスタ 0x286 で定められる 3 つのソースがあります。ポインタは、並列ロジック入力 ADD_G ボール、レジスタ 0x282、または内部ステート・マシンを用いることにより、設定できます。ADD_G ボールをポインタとして用いるにはレジスタ 0x286 を 0 に、レジスタ 0x282 をポインタとして用いるにはレジスタ 0x286 を 1 に、内部ステート・マシンを用いるにはレジスタ 0x286 を 2 にセットします。

LUT のポインタ・ソースに関わらず、ポインタ値をリード・バックするにはレジスタ 0x298 を使用します。

LUT の出力値は、レジスタ 0x28F～レジスタ 0x290 で読み出せます。これらのレジスタの値は、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサの前段の DSA 値を表します。

ゲインのステート・マシン

内部ステート・マシンを用いると、多くの状態をシーケンシャルに移行できます。ADD_G5 入力を用いれば進行し、ADD_G4 を用いればリセットします。ステート・マシンには、オフセット値、停止値、ステップ・サイズ、リセットなど、SPI からのいくつかの入力パラメータがあります。

パワーアップ時は、ステート・マシンの出力はゼロであり、ADD_G4 ボールまたはレジスタ 0x287 のどちらを用いてもゼロにリセットできます。ステート・マシンをリセット状態に保持するには ADD_G4 をロジック・ハイにセットし、その後通常動作に戻すにはロジック・ローにします。別の方法としては、レ

ジスタ 0x287 を 0 にセットするとステート・マシンがリセット状態に保持され、1 に戻すと再度通常動作になります。

ステップ・サイズは 8 ビットの 2 の補数で、範囲は-128～+127 です。ここで、-128 は 0x80 によって表され、+127 は 0x7F、-1 は 0xFF によって表されます。値がゼロのステップ・サイズは無効です。

ステート・マシンは、プログラムされたステップ・サイズ値に基づき、ADD_G5 の立上がりエッジごとにインクリメントまたはデクリメントします。ステート・マシンは常にゼロおよび停止値に拘束されます。これらのどちらかに達すると、そのままになります。ステート・マシンの値が停止値に等しい場合、ステップ・サイズを正の数から負の数に変更することにより、ステート・マシンをデクリメントしてゼロに戻すことができます。

オフセット値は 8 ビットの 2 の補数で、範囲は-128～+127 です。ここで、-128 は 0x80 によって表され、+127 は 0x7F、-1 は 0xFF によって表されます。

ポインタ値は、ステート・マシンの値にオフセット値を加えた値に等しくなります。ポインタの現在の値をリード・バックするには、レジスタ 0x288 を用います。

ステート・マシンの値とポインタの値のどちらも、ゼロおよび停止値に拘束されます。ステート・マシンが特定の値のままであるときに停止値またはオフセット値が変更されると、これらの拘束値の範囲にある限り、ポインタを更新できます。最小ポインタ値はオフセット値またはゼロのいずれか大きい方に拘束されます。

適用可能なレジスタとステート・マシンの動作例については、表 19 を参照してください。表 19 に示すシーケンスは、ADD_G5 の各立上がりエッジで無期限には継続しません。シーケンスの最後に達した後、更にシーケンスを可能にするには、ステート・マシンのリセット、ステップ・サイズの変更、または停止値の変更が必要です。

表 19. ゲインのステート・マシンの動作例

Example	Step ¹	Offset ²	Stop ³	State Machine Sequence
1	1	0	6	0, 1, 2, 3, 4, 5, 6
2	2	0	6	0, 2, 4, 6
3	4	0	6	0, 4, 6
4	6	0	6	0, 6
5	1	1	6	1, 2, 3, 4, 5, 6
6	2	1	6	1, 3, 5, 6
7	3	1	6	1, 4, 6
8	-1	0	6	6, 5, 4, 3, 2, 1, 0

¹ ステップ・サイズは、レジスタ 0x283 のビット[7:0]によって決まります。

² オフセットは、レジスタ 0x284 のビット[7:0]によって決まります。

³ 停止は、レジスタ 0x289 のビット[6:0]によって決まります。

動作原理

汎用出力

ADMV1455には11個の汎用出力があり、これらを用いると、スタンドアロンのチューナブル・フィルタやスタンドアロンのDSAなど、システム内の他の部品のロジック・レベルを設定できます。これらの出力は、1.8Vのロジック・レベルをサポートし、SPIまたはLUTによって定義できます。

どの汎用出力に対してもそれを用いる前には、レジスタ 0x780 およびレジスタ 0x781 を用いてその出力の出力イネーブル・ビットを1にセットする必要があります。その後、出力状態（ロジック・ハイまたはロジック・ロー）が、レジスタ 0x603 およびレジスタ 0x805 にプログラムされた値によって決まります。詳細については、表 20 を参照してください。

表 20. GPO レジスタ

Output	Output Enable		Output State	
	Register	Bit	Register	Bit
GPO_F0	0x780	0	0x805	0
GPO_F1	0x780	1	0x805	1
GPO_F2	0x780	2	0x805	2
GPO_F3	0x780	3	0x805	3
GPO_F4	0x780	4	0x805	4
GPO_F5	0x780	5	0x805	5
GPO_G0	0x780	6	0x603	0
GPO_G1	0x780	7	0x603	1
GPO_G2	0x781	0	0x603	2
GPO_G3	0x781	1	0x603	3
GPO_G4	0x781	2	0x603	4

RF 接続

ADMV1455のRF接続は、DCカップリングしていると見なされます。システム内の他のコンポーネントからのDC電圧がこれらのRF接続に存在する場合は、DC阻止コンデンサを、これらのピンと直列に配置することを推奨します。DC阻止コンデンサは必ず、フィルタの動作周波数に基づいて選択する必要があります。一般に、100pFを超える値であれば、低い動作周波数側での挿入損失を最小限に抑えるのに十分です。高い動作周波数側では、選択するコンデンサの寄生成分への考慮が必要になる場合があります。図 173 に、寄生成分のあるコンデンサの一般的なモデルを示します。寄生直列インダクタンス (LESL) は、そのインピーダンスが 10GHz を超える周波数で支配的になる可能性があるため、通常は最も懸念されます。リーク抵抗 (RL)、誘電体吸収抵抗 (RDA)、誘電体吸収容量 (CDA)、電気直列抵抗 (RESR) などの他の寄生成分はそれほど考慮すべき重要な成分ではありませんが、完全を期すためにここに示します。

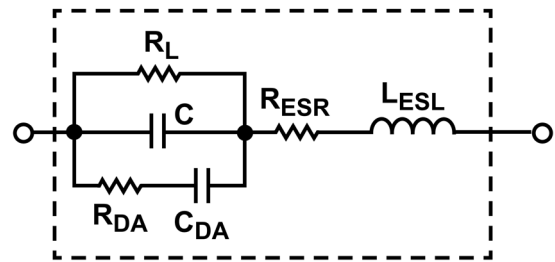


図 173. コンデンサの一般モデル

188

LO シグナル・チェーン

ADMV1455のLOシグナル・チェーンは、入力信号をLOボールから受け入れます。このLO入力信号は、アンプでバッファされ、2通倍器によって2倍にされた後、チューナブル・フィルタ、広帯域90°ハイブリッド、および2個の調整可能位相シフタへと供給されます。図 174 にこのLOシグナル・チェーンを示します。LOシグナル・チェーンは、8.85GHz~27.5GHzの入力周波数で動作するよう仕様規定されています。

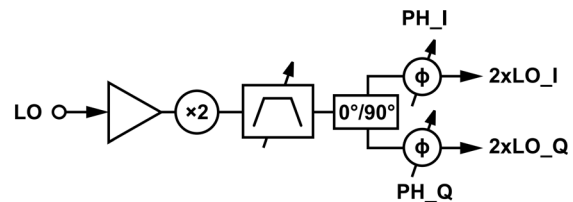


図 174. LO チェーンの構成図

189

入力周波数が 25GHz 未満の場合、仕様規定されている入力電力レベルは、-7dBm~-3dBmです。-10dBm~-7dBmおよび-3dBm~0dBmの入力電力レベルでも動作はしますが、性能は低下します。

入力周波数が 25GHz 以上の場合、仕様規定されている入力電力レベルは、-3dBm~0dBmです。-10dBm~-3dBmの入力電力レベルでも動作はしますが、性能は低下します。

不要なスプリアス・ミキサー成分を避けるには、LO入力信号の高調波成分を最小限に抑えます。すべてのLO入力高調波信号が基本LO信号の-40dBcより小さくなるようにすることを推奨します。

スプリアス・ミキサー成分を減らすために、LOチューナブル・フィルタが用いられており、2通倍器後に存在する可能性のあるLO高調波成分を最適化しています。これらのチューナブル・フィルタのその他の推奨設定事項については、LOチューナブル・フィルタのセクションを参照してください。

広帯域90°ハイブリッドおよび調整可能位相シフタは、必要なミキサーLO信号である、2xLO_Iおよび2xLO_Qを発生します。ミキサーのLO信号は17.7GHz~55GHzで動作します。調整可能位相シフタは、ミキサーLO信号の直交位相を調整できます。これを微調整アッテネータである DSAI および DSAQ と併用することにより、ADMV1455 のイメージ除去機能を最適化できます。この最適化を行う方法の詳細については、イメージ除去の最適化のセクションを参照してください。

動作原理

LO チューナブル・フィルタ

LO チューナブル・フィルタは、レジスタ 0x800、レジスタ 0x801、レジスタ 0x802、レジスタ 0x803、レジスタ 0x804、レジスタ 0x80C を用いて設定されます。LO 入力周波数に基づいてこれらのフィルタを設定するためのガイダンスについては、表 21 を参照してください。

LO 入力周波数が絶えず変化する広帯域アプリケーションの場合、LO チューナブル・フィルタを広帯域動作に設定すると有益です。フィルタを広帯域動作に設定することにより、ミキサーを正常な入力電力レベルで駆動できます。ただし、スプリアス・ミキサー成分が増加します。広帯域 LO 入力周波数に基づいてこれらのフィルタを設定するためのガイダンスについては、表 22 を参照してください。

表 21. 狭帯域 LO チューナブル・フィルタの推奨設定

LO Frequency		1×LO	3×LO	4×LO	LO Trap		LO Band	LO Doubler
Minimum	Maximum	Register 0x800, Bits[4:0]	Register 0x801, Bits[4:0]	Register 0x802, Bits[3:0]	Register 0x803, Bits[7:0]	Register 0x804, Bits[1:0]	Register 0x80A, Bit 5	Register 0x80C, Bits[7:0]
8.85	9.99	0x1F	0x1C	0x08	0x18	0x03	0x00	0x1F
10	11.99	0x1F	0x1C	0x00	0x18	0x03	0x00	0x1D
12	12.49	0x0A	0x07	0x00	0xAA	0x03	0x00	0x04
12.5	12.99	0x0A	0x07	0x00	0xAA	0x03	0x00	0x04
13	13.99	0x0A	0x07	0x00	0xAA	0x03	0x01	0x04
14	14.49	0x0A	0x07	0x05	0xAA	0x03	0x01	0x08
14.5	14.99	0x0A	0x07	0x05	0xA3	0x01	0x01	0x08
15	16.99	0x05	0x05	0x05	0xA3	0x01	0x01	0x08
17	17.99	0x01	0x04	0x05	0xA3	0x01	0x01	0x08
18	18.49	0x01	0x04	0x07	0xA3	0x01	0x01	0x80
18.5	18.99	0x01	0x04	0x07	0xA7	0x01	0x01	0x80
19	20.99	0x01	0x03	0x07	0xA7	0x01	0x01	0x80
21	23.99	0x00	0x02	0x07	0xE7	0x01	0x01	0x80
24	27.5	0x00	0x00	0x07	0xE7	0x01	0x01	0xC0

表 22. 広帯域 LO チューナブル・フィルタの推奨設定

LO Frequency		1×LO	3×LO	4×LO	LO Trap		LO Band	LO Doubler
Minimum	Maximum	Register 0x800, Bits[4:0]	Register 0x801, Bits[4:0]	Register 0x802, Bits[3:0]	Register 0x803, Bits[7:0]	Register 0x804, Bits[1:0]	Register 0x80A, Bit 5	Register 0x80C, Bits[7:0]
8.85	12.99	0x1F	0x00	0x05	0x18	0x03	0x00	0x08
13	27.5	0x1F	0x00	0x05	0xA7	0x01	0x01	0x80

動作原理

DSA1

ADMV1455 には、広帯域でスタンドアロンのデジタル・ステップ・アッテネータである DSA1 が内蔵されています。このアッテネータは、システムのノイズ性能を犠牲にしてもより広いダイナミック・レンジ制御が必要となるシステムで使用することを意図しています。このデバイスは 1dB 刻みで 15dB の減衰制御が可能です。減衰量はプログラムした値に比例します。

バイパス・レジスタを用いる場合（レジスタ 0x28A を 1 にセット）、DSA1 の状態を設定するにはレジスタ 0x28B のビット[3:0]を使用します。バイパス・レジスタを用いない場合（レジスタ 0x28A を 0 にセット）、DSA1 の状態を設定するにはレジスタ 0x600 のビット[3:0]を使用します。

DSA1 を用いる場合、システム・ラインアップの前段の出力を DSA_IN に接続し、DSA_OUT を短い PCB パターンを介して RF_IN に接続する必要があります。DSA1 を用いない場合は、DSA_IN と DSA_OUT の両方をフローティング状態のままにできます。

RF シグナル・チェーン

ADMV1455 の RF_IN ボールは LNA に直結され、その後段に 2 個のスイッチで選択可能な広帯域 RF シグナル・チェーンが続きます。低周波数帯の RF シグナル・チェーンは 17.7GHz~34GHz で動作し、高周波数帯の RF シグナル・チェーンは 30GHz~55GHz で動作します。各シグナル・チェーンには、複数の DSA および チューナブル・フィルタがあります。図 175 にこの RF シグナル・チェーンを示します。RF シグナル・チェーン出力 (RF_C) は I/Q ミキサーに供給される点に注意してください。

低周波数帯の RF シグナル・チェーンを選択するには、レジスタ 0x800 のビット 7 を 0 にセットし、レジスタ 0x801 のビット[6:5]をどちらも 0 にセットします。高周波数帯の RF シグナル・チェーンを選択するには、レジスタ 0x800 のビット 7 を 1 にセットし、レジスタ 0x801 のビット[6:5]をどちらも 1 にセットします。

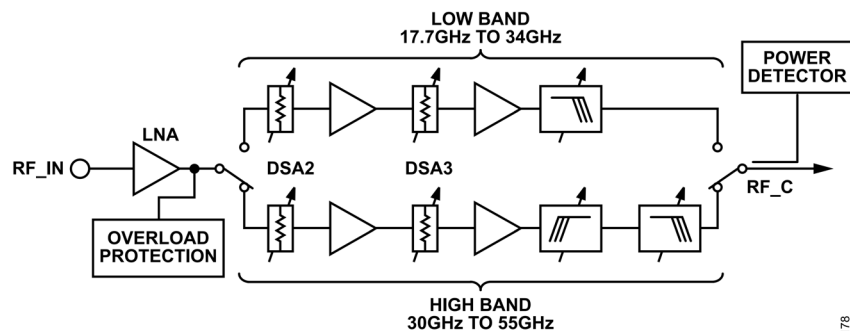


図 175. RF シグナル・チェーンの構成図

動作原理

DSA2

RF シグナル・チェーンの LNA の直後の DSA が DSA2 です。このアッテネータは、0dB と 6dB の 2 つの状態を提供します。バイパス・レジスタを用いる場合（レジスタ 0x28A を 1 にセット）、DSA2 の状態を設定するにはレジスタ 0x28B のビット 4 を使用します。バイパス・レジスタを用いない場合（レジスタ 0x28A を 0 にセット）、DSA2 の状態を設定するにはレジスタ 0x600 のビット 4 を使用します。0dB 状態の場合はビット 4 を 0 に、6dB 状態の場合はビット 4 を 1 にセットします。

DSA3

RF シグナル・チェーンの DSA2 の直後の DSA が DSA3 です。このアッテネータは 1dB 刻みで 0dB~15dB の 16 個の状態を提供します。減衰量はプログラムした値に比例します。バイパス・レジスタを用いる場合（レジスタ 0x28A を 1 にセット）、DSA3 の状態を設定するにはレジスタ 0x28C のビット[3:0]を使用します。バイパス・レジスタを用いない場合（レジスタ 0x28A を 0 にセット）、DSA3 の状態を設定するにはレジスタ 0x601 のビット[3:0]を使用します。

RF チューナブル LPF

低周波数帯と高周波数帯のどちらの RF シグナル・チェーンにも、イメージ周波数の除去に役立つチューナブル LPF があります。各チューナブル LPF は、カットオフ周波数を制御する 4 ビットまたは 16 状態で構成されています。カットオフ周波数はプログラムされた LPF 値に反比例します。

バイパス・レジスタ（レジスタ 0x2A0）を用いる場合、ビット 4 を 1 にセットし、次いで、目的の LPF 値をビット[3:0]にプログラムします。バイパス・レジスタ（レジスタ 0x2A0）を用いない場合は、ビット 4 を 0 にセットし、次いで、レジスタ 0x802 のビット[7:4]または周波数 LUT を使用します。

レジスタ 0x802 または周波数 LUT を用いる場合、低周波数帯チューナブル LPF には 3 つの制御ビット（0~7）があり、プログラムされる値は 2 が乗じられます（1 ポジション分だけ左にシフト）。例えば、レジスタ 0x802 のビット[7:4]が 7 にセットされている場合、実効的な LPF 値は 14 です。

レジスタ 0x802 または周波数 LUT のどちらを用いる場合も、高周波数帯チューナブル LPF は 4 つの制御ビットすべてを保持します。

RF チューナブル HPF

高周波数帯 RF シグナル・チェーンには、イメージ周波数の除去に役立つチューナブル HPF があります。このチューナブル HPF は、カットオフ周波数を制御する 6 ビットまたは 64 状態で構成されています。カットオフ周波数はプログラムされた HPF 値に反比例します。

バイパス・レジスタ（レジスタ 0x2A1）を用いる場合、ビット 7 を 1 にセットし、次いで、目的の HPF 値をビット[5:0]にプログラムします。バイパス・レジスタ（レジスタ 0x2A1）を用いない場合は、ビット 7 を 0 にセットし、次いで、レジスタ 0x804 のビット[7:4]または周波数 LUT を使用します。

レジスタ 0x804 または周波数 LUT を用いる場合、チューナブル HPF には 4 つの制御ビットがあり、プログラムされる値は 4 が乗じられます（2 ポジション分だけ左にシフト）。例えば、レジスタ 0x804 のビット[7:4]が 15 にセットされている場合、実効的な LPF 値は 60 です。

動作原理

ミキサの概要

ADMV1455 には、優れた直線性とノイズ指数を持つ、イメージ除去ダウン・コンバージョン I/Q ミキサが内蔵されています。ミキサを駆動するのに必要な LO 信号である $2 \times LO_I$ および $2 \times LO_Q$ は、LO シグナル・チェーンから発生します。RF シグナル・チェーンからの出力である RF_C もミキサに供給されます。ミキサは、最大 55GHz の RF および LO 入力周波数をサポートします。ミキサの直交する出力である IF_I および IF_Q は、その後、IF シグナル・チェーンと I/Q ベースバンド・シグナル・チェーンを駆動するために用いられます。図 176 にこのミキサを示します。

ミキサには、レジスタ 0x17D にゲート選択ビット・フィールドがあります。I/Q ベースバンド・モードの場合はこのレジスタを 0 にセットし、IF モードの場合はこのレジスタを 1 にセットします。

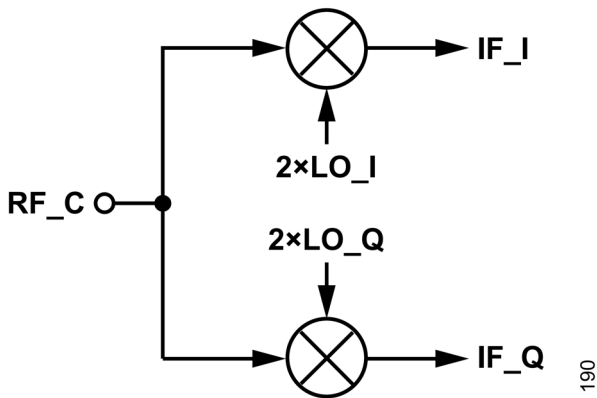


図 176. ミキサの構成図

ミキサの側波帯の選択

ADMV1455 のミキサの側波帯は、ミキサの LO 入力である $2 \times LO_I$ および $2 \times LO_Q$ を切り替えることにより選択できます。これらの入力を切り替えるには、レジスタ 0x801 のビット 7 を使用します。RF 周波数が LO 周波数の 2 倍より高い場合に該当する上側波帯では、このビットを 0 にセットします。RF 周波数が LO 周波数の 2 倍より低い場合に該当する下側波帯では、このビットを 1 にセットします。

I/Q ベースバンドのシグナル・チェーン

ADMV1455 の I/Q ベースバンドのシグナル・チェーンは、DC ~ 8GHz の周波数に対応し、ベースバンド・アンプを内蔵しています。ベースバンド・アンプは、V_{OCM} の調整と DC オフセットの補正を行います。図 177 に、I/Q ベースバンドのシグナル・チェーンを示します。

I/Q ベースバンドのシグナル・チェーンを用いるには、レジスタ 0x184 を 0 にセットします。ベースバンド・アンプをパワーアップするには、レジスタ 0x107 のビット [3:0] を 0 にセットします。I/Q ベースバンドのシグナル・チェーンを使用しない場合は、レジスタ 0x107 のビット [3:0] を 1 にセットしてベースバンド・アンプをパワーダウンします。

I/Q ベースバンドの出力は内部において 75Ω の差動出力インピーダンスで DC カップリングされています。そのため、50Ω または 100Ω のどちらの差動負荷インピーダンスにもインターフェースできます。これらの出力を使用しない場合、フローティング状態のままにしておくことができます。

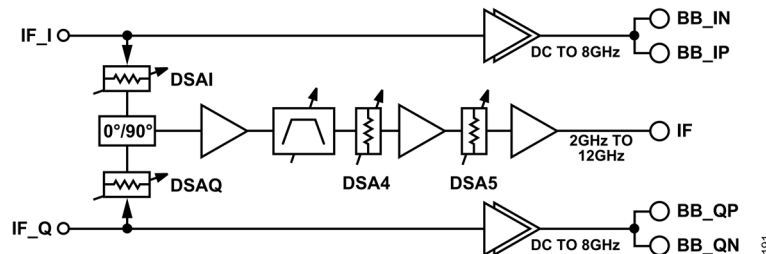


図 177. IF および I/Q ベースバンドのシグナル・チェーン

動作原理

I/Q ベースバンドのゲイン選択

ベースバンド・アンプには、レジスタ 0x194 による 2 つのゲイン選択ビットがあります。DC~8GHz で動作する 50Ω 差動負荷インピーダンスには、高ゲイン設定を選択します。また、DC~4GHz で動作する 100Ω 差動負荷インピーダンスには、低ゲイン設定を選択します。高ゲインを選択する場合はレジスタを 3 にセットし、低ゲインを選択する場合はレジスタを 0 にセットします。2つの状態間のゲインの差は、通常 6dB です。

I/Q ベースバンドのコモンモード電圧 (V_{OCM})

I/Q ベースバンドの出力 V_{OCM} を設定するには 2 通りの方法があります。1 つは、SPI を通じて調整可能な内部生成電圧を用いる方法、もう 1 つは、CM_REF 入力を用いる方法です。VDD_BB が 1.8V の場合に印加可能な V_{OCM} の範囲は 0.8V~1.1V ですが、VDD_BB 電圧が 2.5V の場合は、この範囲を 1.5V まで拡張できます。

内部生成 V_{OCM} を用いるにはレジスタ 0x18A のビット 0 を 1 にセットし、外部電圧を CM_REF ボールに印加するにはこのビットを 0 にセットします。外部電圧を印加する場合、CM_REF ボールとグラウンドの間に必ず 0.01μF のシャント・コンデンサを配置してください。

内部生成の V_{OCM} を用いて BB_IP ボールおよび BB_IN ボールの電圧を調整する場合は、レジスタ 0x15C のビット[4:0]を使用します。BB_QP ボールおよび BB_QN ボールの電圧を調整するには、レジスタ 0x165 のビット[4:0]を使用します。代表的な V_{OCM} と V_{OCM} 設定の関係を図 165 に示します。VDD_BB 電圧を 1.8V に設定するか 2.5V に設定によらず、プロットの初期の線形勾配は同じです (レジスタ設定が 14 未満の場合)。

I/Q ベースバンドの DC オフセット

各 I/Q ベースバンド出力には、DC 電圧のオフセットを加えることができます。このオフセットは、レジスタ 0x18C~レジスタ 0x193 の 8 個のレジスタによって制御できます。8 個のレジスタのビット・フィールドは 6 ビット幅です。約 1.45mV のステップ・サイズ、92mV の範囲で、64 通りの状態を設定できます。

8 個のレジスタはペアを作るようグループ分けできます。正の出力ボールに印加されるオフセットの値および方向 (正または負) を設定するペアの第一レジスタと、負の出力ボールに印加される反対方向のオフセットの値および方向を設定するペアの第二レジスタです。1 つのペアにおいて、第二レジスタの値は第一レジスタにプログラムされる値から 63 を差し引いた値に設定しなくてはなりません。

これらのレジスタ・ペアは、平均コモンモード電圧を BB_IP と BB_IN の間、および BB_QP と BB_QN の間に保つ助けとなります。例えば、レジスタ 0x18C は、BB_IP ボールに正のオフセットを加え、レジスタ 0x18D は BB_IN ボールに負のオフセットを加えます。

BB_IP と BB_IN に一度に使用できるレジスタ・ペアは 1 つのみです。同様に、BB_QP と BB_QN に一度に使用できるレジスタ・ペアは 1 つのみです。使用しないレジスタ・ペアは、デフォルトのレジスタ値のままにする必要があります。レジスタとそれに対応する出力ボールおよびオフセット方向の詳細は、表 23 を参照してください。

表 23. I/Q ベースバンドの DC オフセット・レジスタ・ペア

Pair	Register	Bits	Output	Offset Direction	Value
1	0x18C	[5:0]	BB_IP	Positive	User determined
	0x18D	[5:0]	BB_IN	Negative	63, Register 0x18C, Bits[5:0]
2	0x18E	[5:0]	BB_IP	Negative	User determined
	0x18F	[5:0]	BB_IN	Positive	63, Register 0x18E, Bits[5:0]
3	0x190	[5:0]	BB_QP	Positive	User determined
	0x191	[5:0]	BB_QN	Negative	63, Register 0x190, Bits[5:0]
4	0x192	[5:0]	BB_QP	Negative	User determined
	0x193	[5:0]	BB_QN	Positive	63, Register 0x192, Bits[5:0]

IF シグナル・チェーン

ADMV1455 の IF シグナル・チェーンは、2GHz~12GHz の周波数に対応し、微調整アッテネータ付きの 90°ハイブリッド、帯域幅が 4GHz のチューナブル BPF、2 つの 15dB DSA で構成されています。ミキサーからの IF_I および IF_Q の直交出力は、2 つの微調整アッテネータに供給され、次いで 90°ハイブリッドに供給されます。その後、シングルエンドの 90°ハイブリッド出力は、IF BPF を駆動し、続いて DSA を駆動します。この IF シグナル・チェーンについては図 177 を参照してください。

IF シグナル・チェーンを用いるには、レジスタ 0x184 を 1 にセットします。レジスタ 0x107 のビット[3:0]を 1 にセットすることにより、ベースバンド・アンプをパワーダウンします。

IF シグナル・チェーンの出力は、内部で 50Ω のシングルエンド・インピーダンスにより DC カップリングされています。IF シグナル・チェーンを使用しない場合、IF ボールはフローティング状態のままにできます。

動作原理

イメージ除去の最適化

ミキサのイメージ除去能力は、所定の RF 入力周波数に対しゲインを持たない能力、あるいは、除去される出力信号を持つ能力と定義され、これがなければこの RF 入力周波数から同じ IF 出力周波数が供給されます。例えば、目的の RF 入力周波数が 30GHz、 $2 \times \text{LO}_I$ および $2 \times \text{LO}_Q$ ミキサの LO 周波数が 28GHz、必要な IF 出力周波数が 2GHz の場合、RF 入力イメージ周波数は 26GHz になります。

ミキサの LO 信号の直交位相不均衡の不完全性（理想的には 90° ）、ミキサの出力振幅不均衡の不完全性（理想的には 0dB）、IF ハイブリッド出力の不均衡な特性により、RF イメージ周波数が加わったときに IF 出力信号が現れる可能性があります。こうした不完全性を克服し、ADMV1455 のイメージ除去能力を最適化できるようにするために、ミキサ-LO 信号の位相およびミキサ出力の振幅を調整できます。

LO シグナル・チェーンの調整可能位相シフタである PH_I および PH_Q は、 $2 \times \text{LO}_I$ 信号と $2 \times \text{LO}_Q$ 信号の間の直交位相不均衡を補正できます。各位相シフタは、 0.6° （代表値）のステップ・サイズ、 20° の範囲で、32 通りの状態をカバーします。 $2 \times \text{LO}_I$ の位相を調整するにはレジスタ 0x80A のビット[4:0]を使用し、 $2 \times \text{LO}_Q$ の位相を調整するにはレジスタ 0x809 のビット[4:0]を使用します。

ミキサからの IF_I 信号および IF_Q 信号は、微調整アッテネータ DSAI および DSAQ に供給されます。これらのアッテネータを用いることで、0.1dB の小さな刻み幅と、これらの信号に対する 1.5dB の合計振幅制御が可能となるため、ADMV1455 のイメージ除去能力を最適化できます。これらのアッテネータを調整するには、レジスタ 0x80B を使用します。ビット[3:0]が DSAI を設定し、ビット[7:4]が DSAQ を設定します。

RF イメージ周波数を印加し IF 出力電力レベルを観測する場合、イメージ除去の最適化を実行するためにいくつかのオプションがあります。2 つの可能なオプションについては、[感度誘導型の最適化](#)のセクションおよび[粗掃引および高精細掃引による最適化](#)のセクションを参照してください。

感度誘導型の最適化

イメージ除去の最適化を行うための最初のオプションは、取り得る最適値の範囲を絞り込むのを支援するために感度分析を用いることです。この最適化を実行するには、RF イメージ周波数を印加し、IF 出力電力を測定する間に以下の手順を実行します。

1. PH_I および PH_Q の両方を 15 にセットします。
2. DSAI および DSAQ の両方を 0 にセットします。

3. DSAI の値を 0 から順に刻みます。IF 出力電力の極小値に達したら掃引を停止し、その極小値を与える DSAI 値を保持します。
4. DSAQ についてステップ 3 を繰り返します。
5. 刻みの最適な方向を決定するために PH_I を 14 にセットし、その後 16 にセットします。PH_I = 14 の場合の方が PH_I = 16 の場合よりも良好な結果が得られるならば、値を 13 から 0 へと刻みます。その反対の場合は、17 から 31 へと刻みます。IF 出力電力の極小値に達したら掃引を停止し、その極小値を与える PH_I 値を保持します。
6. PH_Q についてステップ 5 を繰り返します。
7. DSAI、DSAQ、PH_I、PH_Q についてステップ 3～ステップ 6 で決定した値に対し、それぞれの値に ± 1 の調整を行うことにより、更に最適化が可能です。

粗掃引および高精細掃引による最適化

イメージ除去の最適化を行うための 2 つ目のオプションは、粗掃引を行った後、更に高精細掃引を行って、最適値を決定することです。この最適化を実行するには、RF イメージ周波数を印加し、IF 出力電力を測定する間に以下の手順を実行します。

1. PH_I および PH_Q の両方を 0 にセットします。
2. DSAQ を 0 にセットします。DSAI の値を 0～15 へと順に刻みます。それぞれの値について IF 出力電力値を記録します。
3. DSAI を 0 にセットします。DSAQ の値を 0～15 へと順に刻んでいきます。それぞれの値について IF 出力電力値を記録します。
4. ステップ 2 とステップ 3 から、最小の IF 出力電力となる値の組み合わせを抽出します。なお、DSA の 1 高精細ステップはゼロである点に注意してください。
5. 0、4、8、12、16、20、24、28 の値について、PH_I および PH_Q で入れ子型の粗掃引を行います。両方の位相シフタに対し 64 通りの値の組み合わせがテストされます。IF 出力電力が最小となる値の組み合わせを記録します。
6. ステップ 5 で決定した値の組み合わせを用いて、各値に 4 を加算および減算することにより、高精細掃引の範囲を決定します。これらの値について、PH_I および PH_Q で入れ子型の高精細掃引を行います。例えば、ステップ 5 で PH_I = 16 および PH_Q = 12 という結果が得られたとすると、PH_I の高精細掃引範囲を 12～20、PH_Q の高精細掃引範囲を 8～16 にします。高精細掃引から粗掃引の値を差し引いて、80 通りの高精細掃引の組み合わせが追加されます。IF 出力電力が最小となる値の組み合わせを抽出します。

動作原理

IF チューナブル BPF

IF シグナル・チェーンには、不要な IF 周波数を除去し IF 出力電力の平坦性を最良のものにする、チューナブル BPF が備わっています。このチューナブル BPF の帯域幅は 4GHz（代表値）であり、粗調整および微調整の機能があります。

チューナブル BPF の微調整を有効にするには、レジスタ 0x2A2 のビット 4 を 1 にセットします。その後、レジスタ 0x2A2 のビット [3:0] によって微調整値を設定します。粗調整は、レジスタ 0x804 のビット [3:2] または周波数 LUT によって設定されます。

IF シグナル・チェーンの性能に影響するその他の制御項目が 2 つあります。IF 抵抗キャリブレーションと IF サブバンドです。IF

抵抗キャリブレーションは、レジスタ 0x188 のビット 3 によってイネーブルされ、その値はビット [2:0] によって決まります。IF サブバンドはレジスタ 0x800 のビット [6:5] によって決まります。これらの設定は、必要な IF 中心周波数に基づいて、BPF の粗調整値と共に調整する必要があります。

必要な IF 中心周波数に基づいてチューナブル BPF を設定するためのガイダンスについては、表 24 を参照してください。ゲインの平坦性および除去に対するアプリケーション要件によっては、BPF の微調整値にわずかな変更を加えることが有益となる場合があります。

表 24. IF チューナブル BPF の推奨設定

Frequency	Register			
	IF Resistor Calibration, Register 0x188, Bits[3:0]	IF Subband, Register 0x800, Bits[6:5]	Coarse Adjust, Register 0x804, Bits[3:2]	Fine Adjust, Register 0x2A2, Bits[4:0]
4GHz	0xC	0x3	0x3	0x1F
6GHz	0xE	0x1	0x0	0x1D
8GHz	0xE	0x0	0x0	0x12
10GHz	0xE	0x0	0x0	0x10

動作原理

DSA4

IF シグナル・チェーンの IF BPF の直後の DSA が DSA4 です。このアッテネータは 1dB 刻みで 0dB~15dB の 16 個の状態を提供します。減衰量はプログラムした値に比例します。バイパス・レジスタを用いる場合（レジスタ 0x28A を 1 にセット）、DSA4 の状態を設定するにはレジスタ 0x28C のビット[7:4]を使用します。バイパス・レジスタを用いない場合（レジスタ 0x28A を 0 にセット）、DSA4 の状態を設定するにはレジスタ 0x601 のビット[7:4]を使用します。

DSA5

IF シグナル・チェーンの DSA4 の直後の DSA が DSA5 です。このアッテネータは 1dB 刻みで 0dB~15dB の 16 個の状態を提供します。減衰量はプログラムした値に比例します。バイパス・レジスタを用いる場合（レジスタ 0x28A を 1 にセット）、DSA5 の状態を設定するにはレジスタ 0x28D のビット[3:0]を使用します。バイパス・レジスタを用いない場合（レジスタ 0x28A を 0 にセット）、DSA5 の状態を設定するにはレジスタ 0x602 のビット[3:0]を使用します。

合計ゲイン制御

表 25 に、ADMV1455 で実装可能な各設定の、標準的な合計有能利得（減衰）制御を示します。

表 25. 各設定の標準的な合計有能利得（減衰）

Configuration		
Input	Output	Available Attenuation (dB)
LNA (RF_IN)	IF	51
	I/Q baseband	21
DSA1 (DSA_IN)	IF	66
	I/Q baseband	36

RF ゲインに関する指針

最高のノイズ指数性能を達成するための RF ゲイン（減衰）指針は、すべての DSA を最大ゲイン状態に保持することです。

ゲインを減らす必要があり、ノイズ指数を最優先する場合は、減衰を逆順に設定するのが最も良い方法です。IF モードでは、DSA5 に減衰を加えることから始め、次いで、DSA4、DSA3、DSA2、DSA1 に減衰を加えます。I/Q ベースバンド・モードでは、DSA3、DSA2、DSA1 の順に減衰を加えます。

入力 P1dB および入力 IP3 の性能を最高にするには、通常の順序で減衰を設定します。IF モードでは、DSA1 に減衰を加えることから始め、次いで、DSA2、DSA3、DSA4、DSA5 に減衰を加えます。なお、このゲイン指針によりノイズ指数性能が著しく低下することに注意してください。

入力 P1dB、入力 IP3、ノイズ指数のバランスを取るには、DSA4 の減衰を設定してから DSA5 の減衰を設定します。このゲインにより、ノイズ指数への影響が最小限に抑えられながらも P1dB および IIP3 が改善します。

自動 ADC 設定

ADMV1455 には、パワー・ディテクタおよび温度センサーの値を連続的に取得できる、オンチップ自動 ADC が備わっています。その後、これらの値は、SPI を用いレジスタ 0x040 およびレジスタ 0x041 を通じてリード・バックできます。

また、この ADC には、レジスタ 0x055 (ADC_FILTER_TAPS) を用いて設定可能な平均化機能もあります。平均化の量は、レジスタ 0x055 の値を指数とする 2 のべき乗によって決まります。推奨値は 2⁷、つまり 128 平均です。ADC の取得時間は、平均化の数の反比例します。

自動 ADC 設定のセットアップは、以下の手順に従います。

1. レジスタ 0x107 のビット 7 およびビット 5 を 0 の値にセットします。これにより温度センサーおよび ADC がパワーアップします。
2. レジスタ 0x178 の DETECTOR_RES_CTRL を必要な値にセットします。通常、これは 7 です。
3. レジスタ 0x043 を 0x00 にセットして ADC_CLK をディスエーブルします。
4. レジスタ 0x051 を 0x00 にセットして ADC を自動モードに設定します。
5. レジスタ 0x055 の ADC_FILTER_TAPS を 0x07 にセットして平均化を 2⁷ に設定します。
6. パワー・ディテクタと温度センサーの両方を読み出すにはレジスタ 0x052 を 0x21 にセットし、ADC_CLK_FREQ を 3.5MHz に設定します。
7. レジスタ 0x05F を 0x00 にセットし、デジタル・フィルタがリセット状態にならないようにします。
8. レジスタ 0x043 を 0x01 にセットして ADC_CLK をイネーブルします。

パワー・ディテクタおよび温度センサーの値を知るには、以下のレジスタをリード・バックします。

1. パワー・ディテクタの値の場合はレジスタ 0x041 を読み出します。
2. 温度センサーの値の場合はレジスタ 0x040 を読み出します。

動作原理

パワー・ディテクタ

ADMV1455 には、RF シグナル・チェーン (RF_C) の後段、I/Q ミキサーの前段にパワー・ディテクタがあり、RF 入力の電力レベルを見積もることができます。パワー・ディテクタの出力は、オンチップ ADC を用いてサンプリングでき、また、その値は SPI を介してリード・バックできます。

パワー・ディテクタの内部終端抵抗は、RF 入力電力レベルを ADC のコード応答に応じてシフトできます。応答カーブの例については図 96 を参照してください。

内部終端抵抗を設定するには、レジスタ 0x178 (DETECTOR_RES_CTRL) を使用します。ほとんどのアプリケーションにおいて、特にチップが最大ゲインに設定されている場合には、値を 7 に維持することを推奨します。ゲインを下げる (減衰量を上げる) 必要がある場合には、内部終端抵抗の値を小さくして用いることが有益な場合もあります。

工場出荷時のキャリブレーションを実行することが役に立ちます。このキャリブレーションでは、既知の RF 入力電力レベルが RF_IN または DSA_IN に印加され、対応する ADC コードは SPI を通じてリード・バックされます。工場出荷時のキャリブレーション値を格納するには、システムのマイクロコントローラに表を作成します。

ADC のセットアップおよびパワー・ディテクタ値のリード・バックの詳細については、自動 ADC 設定のセクションの方法に従ってください。

温度センサー

ADMV1455 には、チップ温度のモニタリングができるオンチップ温度センサーが備わっています。温度センサーの出力は、オンチップ ADC を用いてサンプリングでき、また、その値は SPI を介してリード・バックできます。

ADC のセットアップおよび温度センサー値のリード・バックの詳細については、自動 ADC 設定のセクションの方法に従ってください。

ADMV1455 の T_C を推定するには、次式を用います。

$$T_C = -\frac{5}{6} \times ADC_CODE + 177 \quad (3)$$

動作原理

過負荷保護

ADMV1455では過負荷保護回路が DSA1 および RF 入力 LNA に接続されており、CEN 入力が高くなり過剰な RF 入力電力が検出されると、チップを自動的にパワーダウンできます。過負荷保護機能は、低頻度の過剰 RF 入力電力が原因で ADMV1455 に致命的な損傷が生じないようにするのに有用です。

4 種類の過負荷保護モードが使用できます。過負荷保護モードを設定するには、レジスタ 0x108 (OVERLOAD_PROTECTION_MODE) を使用します。

レジスタ 0x108 を 0 にセットすると、自動過負荷保護は無効になります。2 つの過負荷信号は、レジスタ 0x0A0 (RX_DSA1_OVERLOAD および RX_LNA_OVERLOAD) からリード・バックできます。CEN 入力を用いてチップをパワーダウンするなど、外部から適切な対応を行うことが必要です。

レジスタ 0x108 を 1 にセットすると、DSA1 の自動過負荷保護が有効になります。DSA1 に過剰な RF 電力が入力されると、RX_DSA1_OVERLOAD ビットがハイにアサートされ、過剰な RF 入力電力がなくなるまで、チップの多くの RF 部がパワーダウンします。

レジスタ 0x108 を 2 にセットすると、RF 入力 LNA の自動過負荷保護が有効になります。RF 入力 LNA に過剰な RF 電力が入力されると、RX_LNA_OVERLOAD ビットがハイにアサートされ、過剰な RF 入力電力がなくなるまで、チップの多くの RF 部がパワーダウンします。

レジスタ 0x108 を 3 にセットすると、ラッチ付き RF 入力 LNA の自動過負荷保護が有効になります。RF 入力 LNA に過剰な RF 電力が入力されると、レジスタ 0x0A1 の RX_LNA_OVERLOAD_LATCHED ビットがハイにアサートされ、チップの多くの RF 部がパワーダウンします。この過剰な RF 入力電力がなくなっても、チップの多くの RF 部はパワーダウンしたままになります。チップの RF 部をパワーアップするには、RX_LNA_OVERLOAD_LATCHED ビットをクリアする必要があります。それを行うには、OVERLOAD_PROTECTION_MODE を別の値にセットします。クリア動作を行った後は、必ず OVERLOAD_PROTECTION_MODE を必要なモードに設定し直してください。

DSA1 のスレッシュホールド値は、レジスタ 0x173 によって決まります。0 の値を用いることを推奨します。これは、DSA1 の過負荷保護入力電力スレッシュホールドが約 13dBm であることに相当します。

RF 入力 LNA のスレッシュホールド値は、レジスタ 0x172 によって決まります。0 の値を用いることを推奨します。これは、LNA の過負荷保護入力電力スレッシュホールドが約 -6dBm であることに相当します。

絶対最大定格との関係

過負荷保護は、低頻度の過剰な RF 入力電力発生に対する保護を目的としています。RF 入力電力が過剰な状態で ADMV1455 を連続動作させることは、チップの寿命を低下させる可能性があるため、避けてください。

過負荷保護は、通常、RF_IN (LNA) では -6dBm、DSA_IN (DSA1) では +13dBm でトリガされます。これらのレベルは、CEN がハイの場合のほとんどの絶対最大定格を超えています。

DSA1 モードまたはラッチ付き RF 入力 LNA モードの自動過負荷保護を用いているときに、過剰な RF 入力電力が過負荷保護回路をトリガした場合、予想されるチップ寿命は、CEN がローの場合の絶対最大定格と整合します。これらの 2 つのモードが最高レベルの保護を提供します。

RF 入力 LNA モード (非ラッチ) の自動過負荷保護を用いているときに、過剰な RF 入力電力が過負荷保護回路をトリガした場合、チップ寿命は、0dBm が印加された状態で約 2 時間になります。

過負荷保護がアクティブになるまでは、チップ寿命は、CEN がハイの場合の最大絶対定格に従います。これらの定格と過負荷スレッシュホールドの間の RF 入力電力範囲は保護されないため、この範囲で連続動作させることは避けてください。

広い範囲の RF 入力電力レベルをサポートする必要のあるシステムでは、ADMV1455 に外部自動ゲイン制御 (AGC) ループを実装すると有益な場合があります。AGC ループは、RF 入力電力をモニタし、それによって ADMV1455 の DSA に調整を行い、チップ寿命が維持されるようにします。

より長時間の過剰 RF 入力電力が必要となるシステムの場合、または可能な AGC ループ・オプションを検討する場合は、[アナログ・デバイセズのテクニカル・サポート](#)にお問い合わせください。

アプリケーション情報

推奨設定

広帯域で動作させる場合、または ADMV1455 の評価を開始する場合は、表 26 に示す推奨設定を参照してください。これらの推

奨設定は、ADMV1455 を設定する上での必要最小限の条件と見なすことができます。その他の機能も設定でき、また、すべての設定は特定の最終用途に応じて調整できます。詳細については、動作原理のセクションを参照してください。

表 26. 推奨設定

Register	IF Mode		I/Q Baseband Mode		Notes
	RF Low Band	RF High Band	RF Low Band	RF High Band	
0x000	0x18	0x18	0x18	0x18	Enables the SDO output.
0x104	0x00	0x00	0xB6	0xB6	Configures the power downs.
0x105	0x00	0x00	0x01	0x01	Configures the power downs.
0x107	0xAF	0xAF	0xA0	0xA0	Configures the power downs.
0x108	0x03	0x03	0x03	0x03	Automatic overload protection for the RF input LNA with latch.
0x172	0x00	0x00	0x00	0x00	RF input LNA threshold.
0x173	0x00	0x00	0x00	0x00	DSA1 threshold.
0x17D	0x01	0x01	0x00	0x00	Configures mixer mode.
0x184	0x01	0x01	0x00	0x00	Configures mixer mode.
0x188	0x0E	0x0E	Don't care	Don't care	Configures the IF BPF.
0x202	0x00	0x00	0x00	0x00	Disables the filter LUT.
0x285	0x00	0x00	0x00	0x00	Disables the gain LUT.
0x2A2	0x12	0x12	0x12	0x12	Configures the IF BPF.
0x600	0x00	0x00	0x00	0x00	Configure the maximum gain.
0x601	0x00	0x00	0x00	0x00	Configures the maximum gain.
0x602	0x00	0x00	Don't care	Don't care	Configure the maximum gain.
0x800	0x1F	0x9F	0x1F	0x9F	Configures the bands and filters.
0x801	0x80	0x60	0x80	0x60	Configures the bands and filters.
0x802	0x05	0x05	0x05	0x05	Configures the filters.
0x803	0xA7	0xA7	0xA7	0xA7	Configures the filters.
0x804	0xF1	0xF1	0xF1	0xF1	Configures the filters.
0x809	0x0F	0x0F	0x0F	0x0F	Configures the LO phase.
0x80A	0x2F	0x2F	0x2F	0x2F	Configures the LO band and LO phase.
0x80C	0x80	0x80	0x80	0x80	Configures the filters.

アプリケーション情報

推奨 PCB レイアウト

ADMV1455 のパッケージ・タイプはボール・グリッド・アレイであるため、小さなフットプリントで多数のピンを配置できます。パッケージの底面にある露出パッドは、熱抵抗および電気抵抗の低いグラウンド・プレーンにハンダ付けするためのものです。通常、PCB には、各ボールに対してハンダ・マスク定義のランド・パターンがあり、適切なハンダ拡散防止および接続を確保できます。

特定の実装においては、RF 配線パターンの引き回しのエスケープ計画に注意を払う必要があります。優先順位としては、RF パターンを最優先とし、次いで電源ピン、デジタル・ロジック接続の順にすることを推奨します。

ADMV1455 との間の RF 接続は、エスケープ計画を容易にするために、パッケージの端部付近にあります。特に、RF の絶縁性能の指標が重要となるアプリケーションにおいては、内層パターンをストリップラインで配線することを推奨します。PCB 設計で採用された RF パターンの種類に関わりなく、一般に、ビアのステッチングを RF パターンのいずれかの側に平行にすることが推奨されます。ビア・ステッチングは、スルーボード・タイプのビアでもブラインドのレイヤ to レイヤ・ビアでも構いません。

理想的には、グラウンド接続ボールは、パッケージから PCB サーマル・プレーンへの熱伝達を最大化するために、スルーボード・タイプのビアで接続されます。ADMV1455 の熱性能指標の詳細については、[熱抵抗](#)のセクションを参照してください。

ADMV1455 の評価用ボードでは、このセクションで示した推奨事項が用いられており、多くのアプリケーションに対し、このセクションは良い開始点となります。評価用ボードに関する詳細は、[ADMV1455-EVALZ ユーザ・ガイド](#)を参照してください。

評価用ボードの情報

ADMV1455 の評価用ボードの詳細については、ADMV1455-EVALZ 評価用ボードの Web ページを参照してください。

レジスタの一覧

注：フィルタ LUT A のインデックス 1 からフィルタ LUT B のインデックス 31 までのビット・フィールド機能（レジスタ 0x90D～レジスタ 0xC3F）は、フィルタ LUT A のインデックス 0 のビット・フィールド機能（レジスタ 0x900 およびレジスタ 0x90C）と同じです。ゲイン LUT のインデックス 1 からゲイン LUT のインデックス 66 までのビット・フィールド機能（レジスタ 0xE04～レジスタ 0xF0B）は、ゲイン LUT_0 のビット・フィールド機能（レジスタ 0xE00 およびレジスタ 0xE03）と同じです。

表 27. ADMV1455 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0x000	REG0000	[7:0]	SOFT_RESET_R	LSB_FIRST_R	ADDR_ASCN_R	SDO_ACTIVE_R	SDO_ACTIVE	ADDR_ASCN	LSB_FIRST	SOFT_RESET	0x00	R/W	
0x004	REG0004	[7:0]	PRODUCT_ID[7:0]								0x66	R	
0x005	REG0005	[7:0]	PRODUCT_ID[15:8]								0x00	R	
0x00A	REG000A	[7:0]	SCRATCH_PAD								0x00	R/W	
0x040	REG0040	[7:0]	ADC_TEMP_SENSOR_READBACK								0x00	R	
0x041	REG0041	[7:0]	ADC_DETECTOR_READBACK								0x00	R	
0x043	REG0043	[7:0]	RESERVED								ADC_CLK_EN	0x00	R/W
0x051	REG0051	[7:0]	MANUAL_ADC_MODE_EN	MANUAL_ADC_EN	RE-SERVED	MANUAL_ADC_MUX_SEL					0x00	R/W	
0x052	REG0052	[7:0]	RESERVED		DETECTOR_SAMPLING_TRIG	DIGITAL_FILTER_RESET	ADC_RESET	RE-SERVED	ADC_CLK_FREQ		0x00	R/W	
0x053	REG0053	[7:0]	ADC_OUT								0x00	R	
0x054	REG0054	[7:0]	RESERVED								ADC_EOC	0x01	R
0x055	REG0055	[7:0]	RESERVED				ADC_FILTER_TAPS				0x00	R/W	
0x05F	REG005F	[7:0]	RESERVED								HARD_RESET_DIGITAL_FILTER	0x00	R/W
0x078	REG0078	[7:0]	RESERVED			NVM_OSC_CFG					0x09	R/W	
0x07B	REG007B	[7:0]	NVM_READ_ADDRESS								0x00	R/W	
0x07C	REG007C	[7:0]	NVM_READ_DATA[7:0]								0x00	R	
0x07D	REG007D	[7:0]	NVM_READ_DATA[15:8]								0x00	R	
0x07E	REG007E	[7:0]	NVM_REFRESH								0x68	R/W	
0x0A0	REG00A0	[7:0]	RESERVED						RX_LNA_OVERLOAD	RX_DSA1_OVERLOAD	0x00	R	
0x0A1	REG00A1	[7:0]	RESERVED						RX_LNA_OVERLOAD_LATCHED		0x00	R	
0x101	REG0101	[7:0]	RESERVED					RF_DSA_OVERLOAD_PD	RESERVED		0x00	R/W	
0x102	REG0102	[7:0]	RESERVED		RF_LNA_OVERLOAD_PD	RESERVED					0x00	R/W	
0x104	REG0104	[7:0]	IF_AMP3_BIAS_PD	RE-SERVED	IF_AMP2_PD	IF_AMP2_BIAS_PD	RE-SERVED	IF_AMP1_PD	IF_AMP1_BIAS_PD	RE-SERVED	0x00	R/W	
0x105	REG0105	[7:0]	RESERVED								IF_AMP3_PD	0x00	R/W

レジスタの一覧

表 27. ADMV1455 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0x107	REG0107	[7:0]	TEMP_SENSOR_PD	RE-SERVED	ADC_PD	RE-SERVED	BB_Q_AMP_PD	BB_Q_AMP_BIAS_PD	BB_I_AMP_PD	BB_I_AMP_BIAS_PD	0x0F	R/W	
0x108	REG0108	[7:0]	RESERVED						OVERLOAD_PROTECTION_MODE		0x00	R/W	
0x15C	REG015C	[7:0]	RESERVED			BB_I_VOVM				0x05	R/W		
0x165	REG0165	[7:0]	RESERVED			BB_Q_VOVM				0x05	R/W		
0x172	REG0172	[7:0]	RESERVED			LNA_OVERLOAD_THRESHOLD				0x0F	R/W		
0x173	REG0173	[7:0]	RESERVED			DSA1_OVERLOAD_THRESHOLD				0x0F	R/W		
0x178	REG0178	[7:0]	RESERVED					DETECTOR_RES_CTRL		0x07	R/W		
0x17D	REG017D	[7:0]	RESERVED							MIXER_GATE_SELECT	0x01	R/W	
0x184	REG0184	[7:0]	RESERVED							IF_BB_SWITCH_CTRL	0x01	R/W	
0x188	REG0188	[7:0]	RESERVED				IF_RES_CAL_BYPASS_EN	IF_RES_CAL			0x04	R/W	
0x18A	REG018A	[7:0]	RESERVED							BB_VOVM_SEL	0x01	R/W	
0x18C	REG018C	[7:0]	RESERVED			BB_IP_OFFSET_POS				0x00	R/W		
0x18D	REG018D	[7:0]	RESERVED			BB_IN_OFFSET_NEG				0x3F	R/W		
0x18E	REG018E	[7:0]	RESERVED			BB_IP_OFFSET_NEG				0x00	R/W		
0x18F	REG018F	[7:0]	RESERVED			BB_IN_OFFSET_POS				0x3F	R/W		
0x190	REG0190	[7:0]	RESERVED			BB_QP_OFFSET_POS				0x00	R/W		
0x191	REG0191	[7:0]	RESERVED			BB_QN_OFFSET_NEG				0x3F	R/W		
0x192	REG0192	[7:0]	RESERVED			BB_QP_OFFSET_NEG				0x00	R/W		
0x193	REG0193	[7:0]	RESERVED			BB_QN_OFFSET_POS				0x3F	R/W		
0x194	REG0194	[7:0]	RESERVED						BB_Q_GAIN_SEL	BB_I_GAIN_SEL	0x03	R/W	
0x200	REG0200	[7:0]	FILTER_SM_STEP									0x01	R/W
0x202	REG0202	[7:0]	RESERVED							FILTER_LUT_EN		0x01	R/W
0x203	REG0203	[7:0]	RESERVED						FILTER_LUT_MODE		0x00	R/W	
0x204	REG0204	[7:0]	RESERVED							FILTER_SM_RESET		0x01	R/W
0x205	REG0205	[7:0]	FILTER_SM_POINTER									0x00	R
0x206	REG0206	[7:0]	RESERVED			FILTER_SM_STOP						0x1F	R/W
0x207	REG0207	[7:0]	RESERVED							FILTER_LUT_SELECT		0x00	R/W
0x208	REG0208	[7:0]	RESERVED							FILTER_LOAD_EN		0x00	R/W
0x209	REG0209	[7:0]	RESERVED			FILTER_SPI_POINTER						0x00	R/W

レジスタの一覧

表 27. ADMV1455 のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0x20A	REG020A	[7:0]	RESERVED		FILTER_SM_WRAP	FILTER_SM_START					0x00	R/W	
0x210	REG0210	[7:0]	RESERVED			FILTER_ADD_F_READBACK						0x00	R
0x211	REG0211	[7:0]	FILTER_LUT_OUTPUT[7:0]									0x00	R
0x212	REG0212	[7:0]	FILTER_LUT_OUTPUT[15:8]									0x00	R
0x213	REG0213	[7:0]	FILTER_LUT_OUTPUT[23:16]									0x00	R
0x214	REG0214	[7:0]	FILTER_LUT_OUTPUT[31:24]									0x00	R
0x215	REG0215	[7:0]	FILTER_LUT_OUTPUT[39:32]									0x00	R
0x216	REG0216	[7:0]	FILTER_LUT_OUTPUT[47:40]									0x00	R
0x217	REG0217	[7:0]	FILTER_LUT_OUTPUT[55:48]									0x00	R
0x218	REG0218	[7:0]	FILTER_LUT_OUTPUT[63:56]									0x00	R
0x219	REG0219	[7:0]	FILTER_LUT_OUTPUT[71:64]									0x00	R
0x21A	REG021A	[7:0]	FILTER_LUT_OUTPUT[79:72]									0x00	R
0x21B	REG021B	[7:0]	FILTER_LUT_OUTPUT[87:80]									0x00	R
0x21C	REG021C	[7:0]	FILTER_LUT_OUTPUT[95:88]									0x00	R
0x21D	REG021D	[7:0]	FILTER_LUT_OUTPUT[103:96]									0x00	R
0x220	REG0220	[7:0]	FILTER_READBACK[7:0]									0x00	R
0x221	REG0221	[7:0]	FILTER_READBACK[15:8]									0x00	R
0x222	REG0222	[7:0]	FILTER_READBACK[23:16]									0x00	R
0x223	REG0223	[7:0]	FILTER_READBACK[31:24]									0x00	R
0x224	REG0224	[7:0]	FILTER_READBACK[39:32]									0x00	R
0x225	REG0225	[7:0]	FILTER_READBACK[47:40]									0x00	R
0x226	REG0226	[7:0]	FILTER_READBACK[55:48]									0x00	R
0x227	REG0227	[7:0]	FILTER_READBACK[63:56]									0x00	R
0x228	REG0228	[7:0]	FILTER_READBACK[71:64]									0x00	R
0x229	REG0229	[7:0]	FILTER_READBACK[79:72]									0x00	R
0x22A	REG022A	[7:0]	FILTER_READBACK[87:80]									0x00	R
0x22B	REG022B	[7:0]	FILTER_READBACK[95:88]									0x00	R
0x22C	REG022C	[7:0]	FILTER_READBACK[103:96]									0x00	R
0x240	REG0240	[7:0]	FILTER_LUT_POINTER									0x00	R
0x281	REG0281	[7:0]	RESERVED								GAIN_LOAD_EN	0x00	R/W
0x282	REG0282	[7:0]	RE-SERVED	GAIN_SPI_POINTER								0x00	R/W
0x283	REG0283	[7:0]	GAIN_SM_STEP									0x01	R/W
0x284	REG0284	[7:0]	GAIN_SM_OFFSET									0x00	R/W
0x285	REG0285	[7:0]	RESERVED								GAIN_LUT_EN	0x01	R/W
0x286	REG0286	[7:0]	RESERVED						GAIN_LUT_MODE			0x00	R/W
0x287	REG0287	[7:0]	RESERVED								GAIN_SM_RESET	0x01	R/W
0x288	REG0288	[7:0]	GAIN_SM_POINTER_PLUS_OFFSET									0x00	R
0x289	REG0289	[7:0]	RE-SERVED	GAIN_SM_STOP								0x42	R/W

レジスタの一覧

表 27. ADMV1455 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0x28A	REG028A	[7:0]	RESERVED							GAIN_LUT_BYPASS_EN	0x00	R/W	
0x28B	REG028B	[7:0]	RESERVED			DSA2_BYPASS_VALUE	DSA1_BYPASS_VALUE				0x00	R/W	
0x28C	REG028C	[7:0]	DSA4_BYPASS_VALUE				DSA3_BYPASS_VALUE				0x00	R/W	
0x28D	REG028D	[7:0]	RESERVED				DSA5_BYPASS_VALUE				0x00	R/W	
0x28E	REG028E	[7:0]	RESERVED				GPO_G_BYPASS				0x00	R/W	
0x28F	REG028F	[7:0]	RESERVED				GAIN_LUT_OUTPUT[4:0]				0x00	R	
0x290	REG0290	[7:0]	GAIN_LUT_OUTPUT[12:5]								0x00	R	
0x291	REG0291	[7:0]	RESERVED				GAIN_LUT_OUTPUT[16:13]				0x00	R	
0x292	REG0292	[7:0]	RESERVED				GAIN_LUT_OUTPUT[21:17]				0x00	R	
0x293	REG0293	[7:0]	RESERVED				GAIN_READBACK[4:0]				0x00	R	
0x294	REG0294	[7:0]	GAIN_READBACK[12:5]								0x00	R	
0x295	REG0295	[7:0]	RESERVED				GAIN_READBACK[16:13]				0x00	R	
0x296	REG0296	[7:0]	RESERVED				GAIN_READBACK[21:17]				0x00	R	
0x298	REG0298	[7:0]	GAIN_LUT_POINTER								0x00	R	
0x29B	REG029B	[7:0]	GAIN_SM_POINTER_PRE_OFFSET								0x00	R	
0x2A0	REG02A0	[7:0]	RESERVED			LPF_SELECT	LPF_BYPASS_VALUE				0x00	R/W	
0x2A1	REG02A1	[7:0]	HPF_SELECT	RE-SERVED	HPF_BYPASS_VALUE						0x00	R/W	
0x2A2	REG02A2	[7:0]	RESERVED			BPF_SELECT	BPF_FINE				0x00	R/W	
0x2A3	REG02A3	[7:0]	RESERVED				LPF_READBACK				0x00	R	
0x2A4	REG02A4	[7:0]	RESERVED			HPF_READBACK				0x00	R		
0x2A5	REG02A5	[7:0]	RESERVED				BPF_READBACK				0x00	R	
0x2B0	REG02B0	[7:0]	RESERVED			GAIN_ADD_G_READBACK				0x00	R		
0x600	REG0600	[7:0]	RESERVED			RF_DSA2_GAIN	RF_DSA1_GAIN				0x00	R/W	
0x601	REG0601	[7:0]	IF_DSA4_GAIN				RF_DSA3_GAIN				0x00	R/W	
0x602	REG0602	[7:0]	RESERVED				IF_DSA5_GAIN				0x00	R/W	
0x603	REG0603	[7:0]	RESERVED				GPO_G				0x00	R/W	
0x780	REG0780	[7:0]	GPO_G_OE[1:0]			GPO_F_OE				0x00	R/W		
0x781	REG0781	[7:0]	RESERVED				GPO_G_OE[4:2]				0x00	R/W	
0x800	REG0800	[7:0]	RF_BAND_SELECT	IF_SUBBAND			LO_X1_FILTER				0x00	R/W	
0x801	REG0801	[7:0]	LO_SIDE-BAND	RF_SUBBAND			LO_X3_FILTER				0x80	R/W	
0x802	REG0802	[7:0]	LPF_VALUE				LO_X4_FILTER				0x00	R/W	
0x803	REG0803	[7:0]	LO_TRAP_FILTER[7:0]								0x00	R/W	
0x804	REG0804	[7:0]	HPF_VALUE				BPF_COARSE	LO_TRAP_FILTER[9:8]				0x00	R/W
0x805	REG0805	[7:0]	RESERVED			GPO_F				0x00	R/W		
0x806	REG0806	[7:0]	RESERVED			DSA2_OFFSET	DSA1_OFFSET				0x00	R/W	
0x807	REG0807	[7:0]	DSA4_OFFSET				DSA3_OFFSET				0x00	R/W	

レジスタの一覧

表 27. ADMV1455 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x808	REG0808	[7:0]	RESERVED				DSA5_OFFSET				0x00	R/W
0x809	REG0809	[7:0]	RESERVED				LO_PHASE_Q				0x00	R/W
0x80A	REG080A	[7:0]	RESERVED		LO_BAND	LO_PHASE_I				0x20	R/W	
0x80B	REG080B	[7:0]	DSAQ_0P1DB				DSAI_0P1DB				0x00	R/W
0x80C	REG080C	[7:0]	LO_DOUBLER_BAND								0x00	R/W
0x900	REG0900	[7:0]	RF_BAND_SELECT_LUT_A_0	IF_SUBBAND_LUT_A_0		LO_X1_FILTER_LUT_A_0				0x00	R/W	
0x901	REG0901	[7:0]	LO_SIDE-BAND_LUT_A_0	RF_SUBBAND_LUT_A_0		LO_X3_FILTER_LUT_A_0				0x80	R/W	
0x902	REG0902	[7:0]	LPF_VALUE_LUT_A_0				LO_X4_FILTER_LUT_A_0				0x00	R/W
0x903	REG0903	[7:0]	LO_TRAP_FILTER_LUT_A_0[7:0]								0x00	R/W
0x904	REG0904	[7:0]	HPF_VALUE_LUT_A_0				BPF_COARSE_LUT_A_0		LO_TRAP_FILTER_LUT_A_0[9:8]		0x00	R/W
0x905	REG0905	[7:0]	RESERVED		GPO_F_LUT_A_0				0x00	R/W		
0x906	REG0906	[7:0]	RESERVED		DSA2_OFFSET_LUT_A_0		DSA1_OFFSET_LUT_A_0			0x00	R/W	
0x907	REG0907	[7:0]	DSA4_OFFSET_LUT_A_0				DSA3_OFFSET_LUT_A_0				0x00	R/W
0x908	REG0908	[7:0]	RESERVED				DSA5_OFFSET_LUT_A_0				0x00	R/W
0x909	REG0909	[7:0]	RESERVED				LO_PHASE_Q_LUT_A_0				0x00	R/W
0x90A	REG090A	[7:0]	RESERVED		LO_BAND_LUT_A_0	LO_PHASE_I_LUT_A_0				0x20	R/W	
0x90B	REG090B	[7:0]	DSAQ_0P1DB_LUT_A_0				DSAI_0P1DB_LUT_A_0				0x00	R/W
0x90C	REG090C	[7:0]	LO_DOUBLER_BAND_LUT_A_0								0x00	R/W
...
0xA93	REG0A93	[7:0]	RF_BAND_SELECT_LUT_A_31	IF_SUBBAND_LUT_A_31		LO_X1_FILTER_LUT_A_31				0x00	R/W	
0xA94	REG0A94	[7:0]	LO_SIDE-BAND_LUT_A_31	RF_SUBBAND_LUT_A_31		LO_X3_FILTER_LUT_A_31				0x00	R/W	
0xA95	REG0A95	[7:0]	LPF_VALUE_LUT_A_31				LO_X4_FILTER_LUT_A_31				0x00	R/W
0xA96	REG0A96	[7:0]	LO_TRAP_FILTER_LUT_A_31[7:0]								0x00	R/W
0xA97	REG0A97	[7:0]	HPF_VALUE_LUT_A_31				BPF_COARSE_LUT_A_31		LO_TRAP_FILTER_LUT_A_31[9:8]		0x00	R/W
0xA98	REG0A98	[7:0]	RESERVED		GPO_F_LUT_A_31				0x00	R/W		
0xA99	REG0A99	[7:0]	RESERVED		DSA2_OFFSET_LUT_A_31		DSA1_OFFSET_LUT_A_31			0x00	R/W	
0xA9A	REG0A9A	[7:0]	DSA4_OFFSET_LUT_A_31				DSA3_OFFSET_LUT_A_31				0x00	R/W
0xA9B	REG0A9B	[7:0]	RESERVED				DSA5_OFFSET_LUT_A_31				0x00	R/W
0xA9C	REG0A9C	[7:0]	RESERVED				LO_PHASE_Q_LUT_A_31				0x00	R/W
0xA9D	REG0A9D	[7:0]	RESERVED		LO_BAND_LUT_A_31	LO_PHASE_I_LUT_A_31				0x00	R/W	
0xA9E	REG0A9E	[7:0]	DSAQ_0P1DB_LUT_A_31				DSAI_0P1DB_LUT_A_31				0x00	R/W
0xA9F	REG0A9F	[7:0]	LO_DOUBLER_BAND_LUT_A_31								0x00	R/W

レジスタの一覧

表 27. ADMV1455 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xAA0	REG0AA0	[7:0]	RF_BAND_SELECT_LUT_B_0	IF_SUBBAND_LUT_B_0	LO_X1_FILTER_LUT_B_0					0x00	R/W	
0xAA1	REG0AA1	[7:0]	LO_SIDE_BAND_LUT_B_0	RF_SUBBAND_LUT_B_0	LO_X3_FILTER_LUT_B_0					0x00	R/W	
0xAA2	REG0AA2	[7:0]	LPF_VALUE_LUT_B_0			LO_X4_FILTER_LUT_B_0					0x00	R/W
0xAA3	REG0AA3	[7:0]	LO_TRAP_FILTER_LUT_B_0[7:0]					0x00		R/W		
0xAA4	REG0AA4	[7:0]	HPF_VALUE_LUT_B_0			BPF_COARSE_LUT_B_0	LO_TRAP_FILTER_LUT_B_0[9:8]		0x00		R/W	
0xAA5	REG0AA5	[7:0]	RESERVED		GPO_F_LUT_B_0					0x00	R/W	
0xAA6	REG0AA6	[7:0]	RESERVED		DSA2_OFFSET_LUT_B_0	DSA1_OFFSET_LUT_B_0				0x00	R/W	
0xAA7	REG0AA7	[7:0]	DSA4_OFFSET_LUT_B_0			DSA3_OFFSET_LUT_B_0				0x00	R/W	
0xAA8	REG0AA8	[7:0]	RESERVED			DSA5_OFFSET_LUT_B_0				0x00	R/W	
0xAA9	REG0AA9	[7:0]	RESERVED			LO_PHASE_Q_LUT_B_0				0x00	R/W	
0xAAA	REG0AAA	[7:0]	RESERVED		LO_BAND_LUT_B_0	LO_PHASE_I_LUT_B_0				0x00	R/W	
0xAAB	REG0AAB	[7:0]	DSAQ_0P1DB_LUT_B_0			DSAI_0P1DB_LUT_B_0				0x00	R/W	
0xAAC	REG0AAC	[7:0]	LO_DOUBLER_BAND_LUT_B_0					0x00		R/W		
...		
0xC33	REG0C33	[7:0]	RF_BAND_SELECT_LUT_B_31	IF_SUBBAND_LUT_B_31	LO_X1_FILTER_LUT_B_31					0x00	R/W	
0xC34	REG0C34	[7:0]	LO_SIDE_BAND_LUT_B_31	RF_SUBBAND_LUT_B_31	LO_X3_FILTER_LUT_B_31					0x00	R/W	
0xC35	REG0C35	[7:0]	LPF_VALUE_LUT_B_31			LO_X4_FILTER_LUT_B_31					0x00	R/W
0xC36	REG0C36	[7:0]	LO_TRAP_FILTER_LUT_B_31[7:0]					0x00		R/W		
0xC37	REG0C37	[7:0]	HPF_VALUE_LUT_B_31			BPF_COARSE_LUT_B_31	LO_TRAP_FILTER_LUT_B_31[9:8]		0x00		R/W	
0xC38	REG0C38	[7:0]	RESERVED		GPO_F_LUT_B_31					0x00	R/W	
0xC39	REG0C39	[7:0]	RESERVED		DSA2_OFFSET_LUT_B_31	DSA1_OFFSET_LUT_B_31				0x00	R/W	
0xC3A	REG0C3A	[7:0]	DSA4_OFFSET_LUT_B_31			DSA3_OFFSET_LUT_B_31				0x00	R/W	
0xC3B	REG0C3B	[7:0]	RESERVED			DSA5_OFFSET_LUT_B_31				0x00	R/W	
0xC3C	REG0C3C	[7:0]	RESERVED			LO_PHASE_Q_LUT_B_31				0x00	R/W	
0xC3D	REG0C3D	[7:0]	RESERVED		LO_BAND_LUT_B_31	LO_PHASE_I_LUT_B_31				0x00	R/W	
0xC3E	REG0C3E	[7:0]	DSAQ_0P1DB_LUT_B_31			DSAI_0P1DB_LUT_B_31				0x00	R/W	
0xC3F	REG0C3F	[7:0]	LO_DOUBLER_BAND_LUT_B_31					0x00		R/W		
0xE00	REG0E00	[7:0]	RESERVED			RF_DSA2_GAIN_LUT_0	RF_DSA1_GAIN_LUT_0				0x00	R/W
0xE01	REG0E01	[7:0]	IF_DSA4_GAIN_LUT_0			RF_DSA3_GAIN_LUT_0				0x00	R/W	
0xE02	REG0E02	[7:0]	RESERVED			IF_DSA5_GAIN_LUT_0				0x00	R/W	

レジスタの一覧

表 27. ADMV1455 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xE03	REG0E03	[7:0]		RESERVED				GPO_G_LUT_0			0x00	R/W
...
0xF08	REG0F08	[7:0]		RESERVED		RF_DSA2_GAIN_LUT_66		RF_DSA1_GAIN_LUT_66			0x00	R/W
0xF09	REG0F09	[7:0]		IF_DSA4_GAIN_LUT_66				RF_DSA3_GAIN_LUT_66			0x00	R/W
0xF0A	REG0F0A	[7:0]		RESERVED				IF_DSA5_GAIN_LUT_66			0x00	R/W
0xF0B	REG0F0B	[7:0]		RESERVED				GPO_G_LUT_66			0x00	R/W

レジスタの詳細

レジスタ 0X000～レジスタ 0X0A1

アドレス：0x000、リセット：0x00、レジスタ名：REG0000

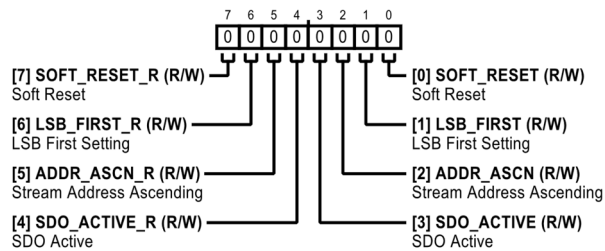


図 178.

表 28. REG0000 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFT_RESET_R	ソフト・リセット。このビット・フィールドはゼロに自動リセットします。リセットの開始後にゼロにセットする必要はありません。 0：リセットをアサートしない。 1：リセットをアサート。	0x0	R/W
6	LSB_FIRST_R	LSB ファーストの設定。 0：MSB ファースト。 1：LSB ファースト。	0x0	R/W
5	ADDR_ASCN_R	ストリーム昇順アドレス指定。 0：無効化。 1：有効化。	0x0	R/W
4	SDO_ACTIVE_R	SDO アクティブ。 0：3 線式 SPI を有効化。 1：4 線式 SPI を有効化。	0x0	R/W
3	SDO_ACTIVE	SDO アクティブ。 0：3 線式 SPI を有効化。 1：4 線式 SPI を有効化。	0x0	R/W
2	ADDR_ASCN	ストリーム昇順アドレス指定。 0：無効化。 1：有効化。	0x0	R/W
1	LSB_FIRST	LSB ファーストの設定。 0：MSB ファースト。 1：LSB ファースト。	0x0	R/W
0	SOFT_RESET	ソフト・リセット。このビット・フィールドはゼロに自動リセットします。リセットの開始後にゼロにセットする必要はありません。 0：リセットをアサートしない。 1：リセットをアサート。	0x0	R/W

アドレス：0x004、リセット：0x66、レジスタ名：REG0004

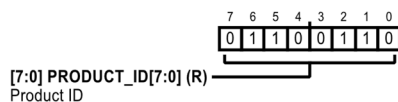


図 179.

表 29. REG0004 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID。	0x66	R

レジスタの詳細

アドレス : 0x005、リセット : 0x00、レジスタ名 : REG0005

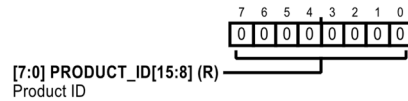


図 180.

表 30. REG0005 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID。	0x0	R

アドレス : 0x00A、リセット : 0x00、レジスタ名 : REG000A

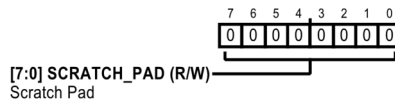


図 181.

表 31. REG000A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_PAD	スクラッチ・パッド。	0x0	R/W

アドレス : 0x040、リセット : 0x00、レジスタ名 : REG0040



図 182.

表 32. REG0040 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_TEMP_SENSOR_READBACK	ADC の温度センサー・リードバック。自動モードでのみ更新されます。	0x0	R

アドレス : 0x041、リセット : 0x00、レジスタ名 : REG0041



図 183.

表 33. REG0041 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_DETECTOR_READBACK	ADC のパワー・ディテクタ・リードバック。	0x0	R

アドレス : 0x043、リセット : 0x00、レジスタ名 : REG0043

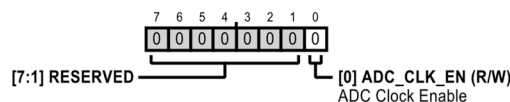


図 184.

レジスタの詳細

表 34. REG0043 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	ADC_CLK_EN	ADC クロック・イネーブル。 0 : 無効化。 1 : 有効化。	0x0	R/W

アドレス : 0x051、リセット : 0x00、レジスタ名 : REG0051

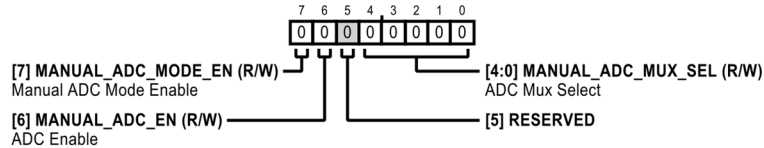


図 185.

表 35. REG0051 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MANUAL_ADC_MODE_EN	手動 ADC モード・イネーブル。 0 : 自動。 1 : 手動。	0x0	R/W
6	MANUAL_ADC_EN	ADC イネーブル。このビットは手動モードで使用します。自動モードの場合、ADC は常にイネーブルされているため、このビットは不要です。 0 : 無効化。 1 : 有効化。	0x0	R/W
5	RESERVED	予約済み。	0x0	R/W
[4:0]	MANUAL_ADC_MUX_SEL	ADC マルチプレクサの選択。 0 : 温度センサーの読出し。 1 : パワー・ディテクタの読出し。	0x0	R/W

アドレス : 0x052、リセット : 0x00、レジスタ名 : REG0052

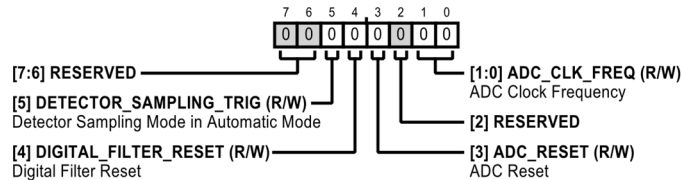


図 186.

表 36. REG0052 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	DETECTOR_SAMPLING_TRIG	自動モードでのディテクタ・サンプリング・モード。 0 : 温度読出し値のみが取り込まれます。 1 : ディテクタおよび温度の読出し値が取り込まれます。	0x0	R/W
4	DIGITAL_FILTER_RESET	デジタル・フィルタ・リセット。 0 : リセットをディスエーブル。 1 : DETECTOR_SAMPLING_TRIG の次の立上がりエッジでリセット。	0x0	R/W
3	ADC_RESET	ADC リセット。 0 : 通常動作。 1 : リセット。	0x0	R/W
2	RESERVED	予約済み。	0x0	R
[1:0]	ADC_CLK_FREQ	ADC クロック周波数。 00 : 7MHz。 01 : 3.5MHz。 10 : SPI SCLK クロック周波数。	0x0	R/W

レジスタの詳細

アドレス : 0x053、リセット : 0x00、レジスタ名 : REG0053

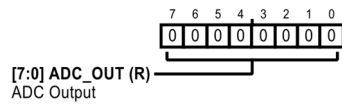


図 187.

表 37. REG0053 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_OUT	ADC 出力。手動モードでのパワー・ディテクタまたは温度センサーの読出し値。	0x0	R

アドレス : 0x054、リセット : 0x01、レジスタ名 : REG0054

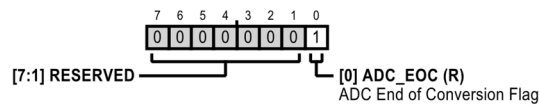


図 188.

表 38. REG0054 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	ADC_EOC	ADC 変換終了フラグ。	0x1	R

アドレス : 0x055、リセット : 0x00、レジスタ名 : REG0055

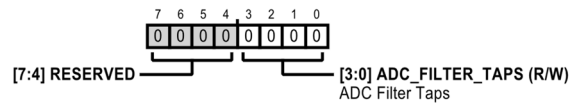


図 189.

表 39. REG0055 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	ADC_FILTER_TAPS	ADC フィルタ・タップ。これらのビットは、ADC フィルタ・タップの数を定義します。ビット・フィールドが 1~8 以外の値の場合、ADC 平均化数はゼロになります。 0001 : 2 ¹ 。 0010 : 2 ² 。 0011 : 2 ³ 。 0100 : 2 ⁴ 。 0101 : 2 ⁵ 。 0110 : 2 ⁶ 。 0111 : 2 ⁷ 。 1000 : 2 ⁸ 。	0x0	R/W

レジスタの詳細

アドレス : 0x05F、リセット : 0x00、レジスタ名 : REG005F

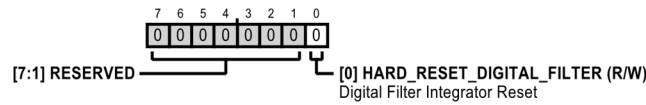


図 190.

表 40. REG005F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	HARD_RESET_DIGITAL_FILTER	デジタル・フィルタ積分器リセット。 0 : 通常動作。 1 : リセット。	0x0	R/W

アドレス : 0x078、リセット : 0x09、レジスタ名 : REG0078

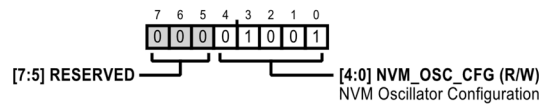


図 191.

表 41. REG0078 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	NVM_OSC_CFG	NVM 発振器の設定。	0x9	R/W

アドレス : 0x07B、リセット : 0x00、レジスタ名 : REG007B



図 192.

表 42. REG007B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_READ_ADDRESS	NVM の読出しアドレス。このビット・フィールドは、NVM_READ_DATA の読出し動作を実行する際にリード・バックされる NVM レジスタ・アドレスへのポインタを定義します。リード・バック可能な NVM レジスタ・アドレスは、0x33~0x38 です。	0x0	R/W

アドレス : 0x07C、リセット : 0x00、レジスタ名 : REG007C



図 193.

レジスタの詳細

表 43. REG007C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_READ_DATA[7:0]	NVM 読み出しデータ。NVM_READ_ADDRESS を読み出し対象の NVM アドレスに設定します。その後、NVM_READ_DATA の読み出し動作を実行して値を取得します。	0x0	R

アドレス : 0x07D、リセット : 0x00、レジスタ名 : REG007D

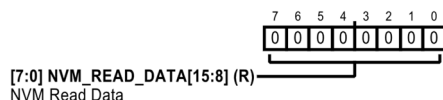


図 194.

表 44. REG007D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_READ_DATA[15:8]	NVM 読み出しデータ。NVM_READ_ADDRESS を読み出し対象の NVM アドレスに設定します。その後、NVM_READ_DATA の読み出し動作を実行して値を取得します。	0x0	R

アドレス : 0x07E、リセット : 0x68、レジスタ名 : REG007E

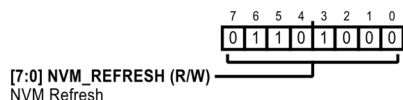


図 195.

表 45. REG007E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_REFRESH	NVM リフレッシュ。	0x68	R/W

アドレス : 0x0A0、リセット : 0x00、レジスタ名 : REG00A0

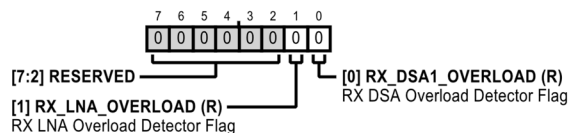


図 196.

表 46. REG00A0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	RX_LNA_OVERLOAD	RX LNA 過負荷ディテクタ・フラグ。 0 : LNA 入力電力はスレッシュホールド値未満です。 1 : LNA 入力電力はスレッシュホールド値を超えています。	0x0	R
0	RX_DSA1_OVERLOAD	RX DSA 過負荷ディテクタ・フラグ。 0 : DSA1 入力電力はスレッシュホールド値未満です。 1 : DSA1 入力電力はスレッシュホールド値を超えています。	0x0	R

レジスタの詳細

アドレス : 0x0A1、リセット : 0x00、レジスタ名 : REG00A1

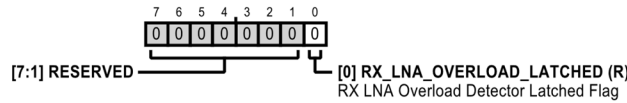


図 197.

表 47. REG00A1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	RX_LNA_OVERLOAD_LATCHED	RX LNA のラッチされた過負荷ディテクタ・フラグ。 OVERLOAD_PROTECTION_MODE がモード 3 (b11) に設定されているときに RF 入力 LNA に過剰な RF 電力が入力されると、RX_LNA_OVERLOAD_LATCHED ビットがハイにアサートされ、チップの多くの RF 部がパワーダウンします。チップの RF 部をパワーアップするには、RX_LNA_OVERLOAD_LATCHED ビットをクリアする必要があります。それを行うには、OVERLOAD_PROTECTION_MODE を別の値にセットします。クリア動作を行った後は、必ず OVERLOAD_PROTECTION_MODE を必要なモードに設定し直してください。 0 : 通常動作。 1 : RF 入力 LNA で電力がスレッシュホールド値を超えています。	0x0	R

レジスタ 0X101~レジスタ 0X194

アドレス : 0x101、リセット : 0x00、レジスタ名 : REG0101

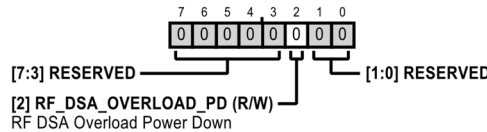


図 198.

表 48. REG0101 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	RF_DSA_OVERLOAD_PD	RF DSA 過負荷パワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x102、リセット : 0x00、レジスタ名 : REG0102

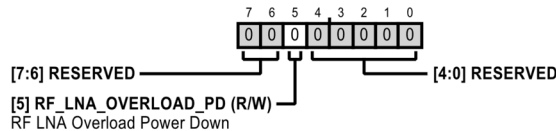


図 199.

表 49. REG0102 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	RF_LNA_OVERLOAD_PD	RF LNA 過負荷パワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
[4:0]	RESERVED	予約済み。	0x0	R/W

レジスタの詳細

アドレス : 0x104、リセット : 0x00、レジスタ名 : REG0104

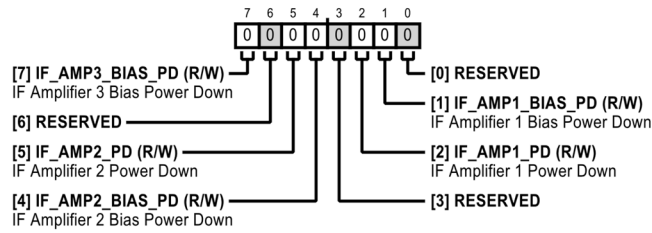


図 200.

表 50. REG0104 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	IF_AMP3_BIAS_PD	IF アンプ 3 のバイアス・パワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
6	RESERVED	予約済み。	0x0	R/W
5	IF_AMP2_PD	IF アンプ 2 のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
4	IF_AMP2_BIAS_PD	IF アンプ 2 のバイアス・パワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
3	RESERVED	予約済み。	0x0	R/W
2	IF_AMP1_PD	IF アンプ 1 のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
1	IF_AMP1_BIAS_PD	IF アンプ 1 のバイアス・パワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
0	RESERVED	予約済み。	0x0	R/W

アドレス : 0x105、リセット : 0x00、レジスタ名 : REG0105

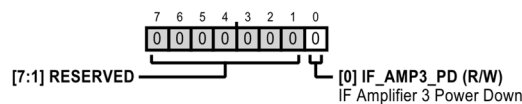


図 201.

表 51. REG0105 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	IF_AMP3_PD	IF アンプ 3 のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W

レジスタの詳細

アドレス : 0x107、リセット : 0x0F、レジスタ名 : REG0107

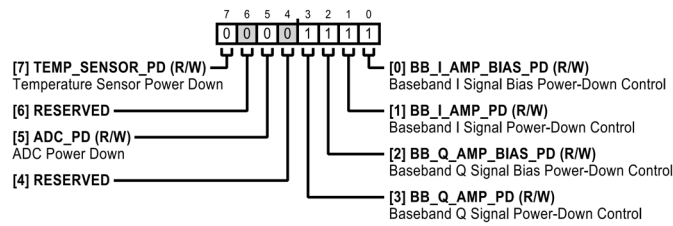


図 202.

表 52. REG0107 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	TEMP_SENSOR_PD	温度センサーのパワーダウン 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
6	RESERVED	予約済み。	0x0	R/W
5	ADC_PD	ADC のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
4	RESERVED	予約済み。	0x0	R/W
3	BB_Q_AMP_PD	ベースバンド Q 信号のパワーダウン制御。 0 : 通常動作。 1 : パワーダウン。	0x1	R/W
2	BB_Q_AMP_BIAS_PD	ベースバンド Q 信号のバイアスのパワーダウン制御。 0 : 通常動作。 1 : パワーダウン。	0x1	R/W
1	BB_I_AMP_PD	ベースバンド I 信号のパワーダウン制御。 0 : 通常動作。 1 : パワーダウン。	0x1	R/W
0	BB_I_AMP_BIAS_PD	ベースバンド I 信号のバイアスのパワーダウン制御。 0 : 通常動作。 1 : パワーダウン。	0x1	R/W

アドレス : 0x108、リセット : 0x00、レジスタ名 : REG0108

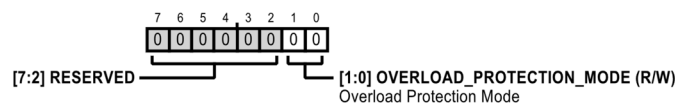


図 203.

表 53. REG0108 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	OVERLOAD_PROTECTION_MODE	過負荷保護モード。 00 : 自動過負荷保護をディスエーブル。RX_DSA1_OVERLOAD および RX_LNA_OVERLOAD の 2 つの過負荷信号が SPI を通じて読み出せます。CHIP_EN ピンを用いてチップをパワーダウンするなど、外部から適切な対応を行うことが必要です。 01 : DSA1 をモニタ。DSA1 に過剰な RF 電力が入力されると、RX_DSA1_OVERLOAD ビットがハイにアサートされ、過剰な RF 入力電力がなくなるまで、チップの多くの RF 部がパワーダウンします。 10 : RF 入力 LNA をモニタ。RF 入力 LNA に過剰な RF 電力が入力されると、RX_LNA_OVERLOAD ビットがハイにアサートされ、過剰な RF 入力電力がなくなるまで、チップの多くの RF 部がパワーダウンします。	0x0	R/W

レジスタの詳細

表 53. REG0108 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		11: RF 入力 LNA およびラッチをモニタ。RF 入力 LNA に過剰な RF 電力が入力されると、RX_LNA_OVERLOAD_LATCHED ビットがハイにアサートされ、チップの多くの RF 部がパワーダウンします。過剰な RF 入力電力がなくなっても、チップの RF 部はパワーダウンしたままになります。チップの RF 部をパワーアップするには、RX_LNA_OVERLOAD_LATCHED ビットをクリアする必要があります。それを行うには、OVERLOAD_PROTECTION_MODE を別の値にセットします。クリア動作を行った後は、必ず OVERLOAD_PROTECTION_MODE を必要なモードに設定し直してください。		

アドレス : 0x15C、リセット : 0x05、レジスタ名 : REG015C

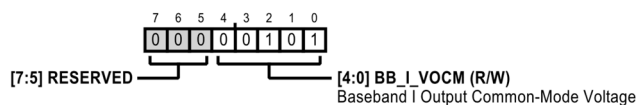


図 204.

表 54. REG015C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	BB_I_VOCM	ベースバンド I の出力コモンモード電圧。	0x5	R/W

アドレス : 0x165、リセット : 0x05、レジスタ名 : REG0165

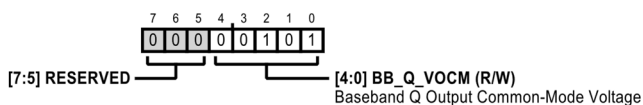


図 205.

表 55. REG0165 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	BB_Q_VOCM	ベースバンド Q の出力コモンモード電圧。	0x5	R/W

アドレス : 0x172、リセット : 0x0F、レジスタ名 : REG0172

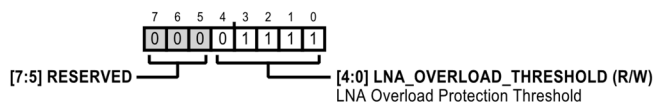


図 206.

表 56. REG0172 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LNA_OVERLOAD_THRESHOLD	LNA 過負荷保護スレシヨルド。	0xF	R/W

レジスタの詳細

アドレス : 0x173、リセット : 0x0F、レジスタ名 : REG0173

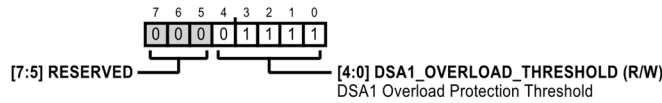


図 207.

表 57. REG0173 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	DSA1_OVERLOAD_THRESHOLD	DSA1 過負荷保護スレシヨルド。	0xF	R/W

アドレス : 0x178、リセット : 0x07、レジスタ名 : REG0178

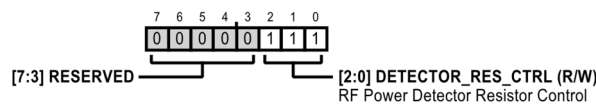


図 208.

表 58. REG0178 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
[2:0]	DETECTOR_RES_CTRL	RF パワー・ディテクタの抵抗制御。電力検出ダイナミック・レンジの制御。RF 入力電力の検出は、この値に反比例します。	0x7	R/W

アドレス : 0x17D、リセット : 0x01、レジスタ名 : REG017D

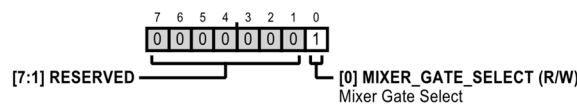


図 209.

表 59. REG017D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	MIXER_GATE_SELECT	ミキサのゲートの選択。 0 : I/Q ベースバンド・モード。 1 : IF モード。	0x1	R/W

アドレス : 0x184、リセット : 0x01、レジスタ名 : REG0184

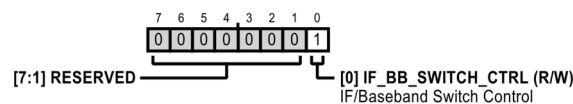


図 210.

表 60. REG0184 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	IF_BB_SWITCH_CTRL	IF/ベースバンド切り替え制御。 0 : I/Q ベースバンド・モード。 1 : IF モード。	0x1	R/W

レジスタの詳細

アドレス : 0x188、リセット : 0x04、レジスタ名 : REG0188

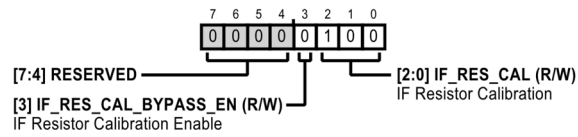


図 211.

表 61. REG0188 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	IF_RES_CAL_BYPASS_EN	IF 抵抗キャリブレーション・イネーブル。	0x0	R/W
[2:0]	IF_RES_CAL	IF 抵抗のキャリブレーション。 100 : 低 IF。 110 : 高 IF。	0x4	R/W

アドレス : 0x18A、リセット : 0x01、レジスタ名 : REG018A

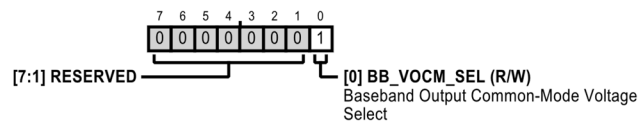


図 212.

表 62. REG018A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	BB_VOVM_SEL	ベースバンドの出力コモンモード電圧の選択。 0 : CM_REF を用いる外部電圧。 1 : レジスタ 0x15C およびレジスタ 0x165 を用いる内部電圧。	0x1	R/W

アドレス : 0x18C、リセット : 0x00、レジスタ名 : REG018C

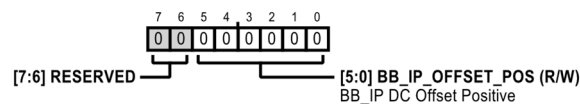


図 213.

表 63. REG018C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_IP_OFFSET_POS	BB_IP の DC オフセット正。	0x0	R/W

レジスタの詳細

アドレス : 0x18D、リセット : 0x3F、レジスタ名 : REG018D

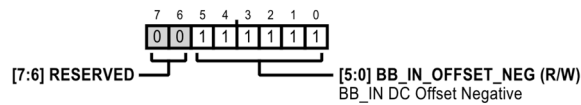


図 214.

表 64. REG018D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_IN_OFFSET_NEG	BB_IN の DC オフセット負。	0x3F	R/W

アドレス : 0x18E、リセット : 0x00、レジスタ名 : REG018E

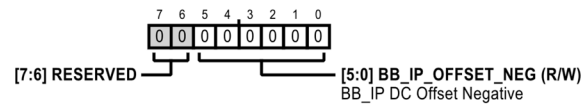


図 215.

表 65. REG018E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_IP_OFFSET_NEG	BB_IP の DC オフセット負。	0x0	R/W

アドレス : 0x18F、リセット : 0x3F、レジスタ名 : REG018F

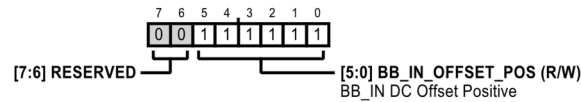


図 216.

表 66. REG018F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_IN_OFFSET_POS	BB_IN の DC オフセット正。	0x3F	R/W

アドレス : 0x190、リセット : 0x00、レジスタ名 : REG0190

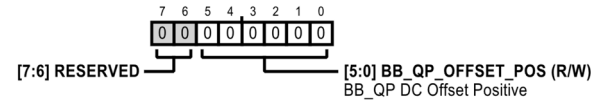


図 217.

表 67. REG0190 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_QP_OFFSET_POS	BB_QP の DC オフセット正。	0x0	R/W

レジスタの詳細

アドレス : 0x191、リセット : 0x3F、レジスタ名 : REG0191

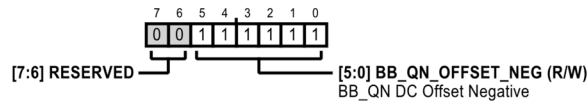


図 218.

表 68. REG0191 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_QN_OFFSET_NEG	BB_QN の DC オフセット負。	0x3F	R/W

アドレス : 0x192、リセット : 0x00、レジスタ名 : REG0192

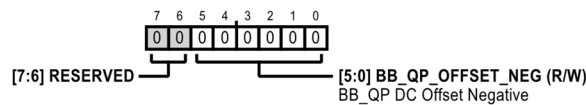


図 219.

表 69. REG0192 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_QP_OFFSET_NEG	BB_QP の DC オフセット負。	0x0	R/W

アドレス : 0x193、リセット : 0x3F、レジスタ名 : REG0193

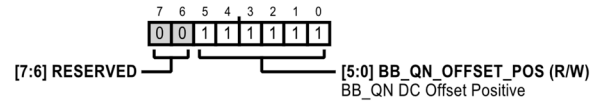


図 220.

表 70. REG0193 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	BB_QN_OFFSET_POS	BB_QN の DC オフセット正。	0x3F	R/W

アドレス : 0x194、リセット : 0x03、レジスタ名 : REG0194

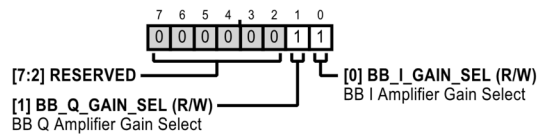


図 221.

表 71. REG0194 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	BB_Q_GAIN_SEL	BB Q アンプのゲイン選択。50Ω 差動インピーダンスを実装する場合には高ゲインを用い、100Ω 差動インピーダンスを実装する場合には低ゲインを用います。 0 : 低ゲイン。 1 : 高ゲイン。	0x1	R/W
0	BB_I_GAIN_SEL	BB I アンプのゲイン選択。50Ω 差動インピーダンスを実装する場合には高ゲインを用い、100Ω 差動インピーダンスを実装する場合には低ゲインを用います。 0 : 低ゲイン。 1 : 高ゲイン。	0x1	R/W

レジスタの詳細

レジスタ 0X200～レジスタ 0X2B0

アドレス : 0x200、リセット : 0x01、レジスタ名 : REG0200

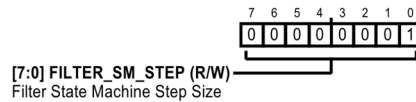


図 222.

表 72. REG0200 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_SM_STEP	フィルタのステート・マシンのステップ・サイズ。この 2 の補数値は、フィルタ・ステート・マシンのインクリメント量またはデクリメント量を定めます。値がゼロのステップ・サイズは無効です。	0x1	R/W

アドレス : 0x202、リセット : 0x01、レジスタ名 : REG0202

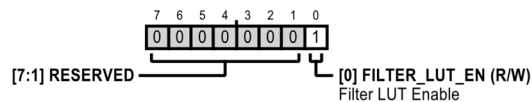


図 223.

表 73. REG0202 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_LUT_EN	フィルタ LUT イネーブル。ディスエーブルの場合、フィルタ設定はレジスタ 0x800～レジスタ 0x80C を用いて定義されます。イネーブルの場合、フィルタ設定は、LUT によって決まります。LUT はレジスタ 0x900～レジスタ 0xC3F を用いて設定されます。 0 : 無効化。 1 : 有効化。	0x1	R/W

アドレス : 0x203、リセット : 0x00、レジスタ名 : REG0203

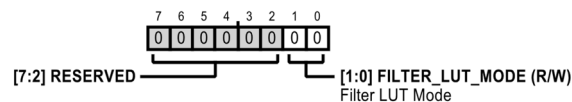


図 224.

表 74. REG0203 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	FILTER_LUT_MODE	フィルタ LUT のモード。 00 : LUT ポインタは ADD_F ポールを用いて選択。 01 : LUT ポインタはレジスタ 0x209 (FILTER_SPI_POINTER) を用いて選択。 10 : LUT ポインタは ADD_F4 の立上がりエッジでインクリメントまたはデクリメント。	0x0	R/W

レジスタの詳細

アドレス : 0x204、リセット : 0x01、レジスタ名 : REG0204

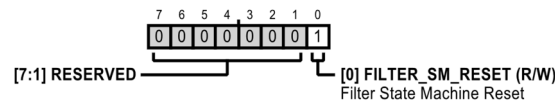


図 225.

表 75. REG0204 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_SM_RESET	フィルタ・ステート・マシンのリセット。アクティブ・ローのリセット。このビット・フィールドを0にセットし、次いで1にセットすると、ステート・マシンが0にリセットされます。このビット・フィールドを0に保持すると、ステート・マシンは0のままになります。 0 : アドレス・ポインタをゼロにリセット。 1 : 通常動作。	0x1	R/W

アドレス : 0x205、リセット : 0x00、レジスタ名 : REG0205

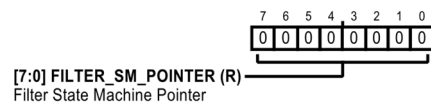


図 226.

表 76. REG0205 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_SM_POINTER	フィルタ・ステート・マシンのポインタ。	0x0	R

アドレス : 0x206、リセット : 0x1F、レジスタ名 : REG0206

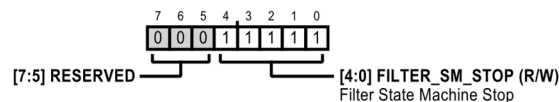


図 227.

表 77. REG0206 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	FILTER_SM_STOP	フィルタ・ステート・マシンの停止。	0x1F	R/W

アドレス : 0x207、リセット : 0x00、レジスタ名 : REG0207

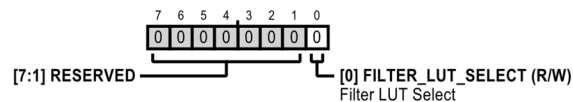


図 228.

表 78. REG0207 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_LUT_SELECT	フィルタ LUT の選択。 0 : テーブル A。 1 : テーブル B。	0x0	R/W

レジスタの詳細

アドレス : 0x208、リセット : 0x00、レジスタ名 : REG0208

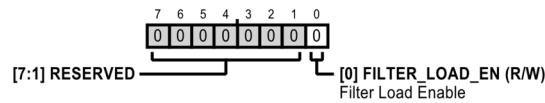


図 229.

表 79. REG0208 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_LOAD_EN	フィルタのロードをイネーブル。ディスエーブルの場合、フィルタ値は直ちに適用されます。イネーブルの場合、フィルタ値は、LOAD ポールの立上がりエッジで適用されます。 0 : 無効化。 1 : 有効化。	0x0	R/W

アドレス : 0x209、リセット : 0x00、レジスタ名 : REG0209

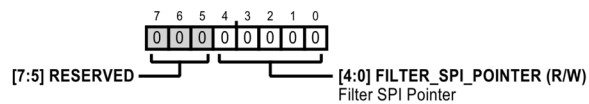


図 230.

表 80. REG0209 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	FILTER_SPI_POINTER	フィルタ SPI ポインタ。	0x0	R/W

アドレス : 0x20A、リセット : 0x00、レジスタ名 : REG020A

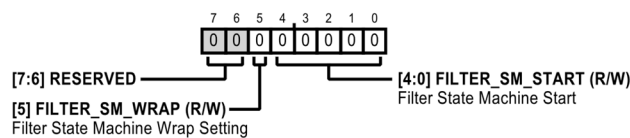


図 231.

表 81. REG020A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:7]	RESERVED	予約済み。	0x0	R
5	FILTER_SM_WRAP	フィルタ・ステート・マシンのラップ設定。	0x0	R/W
[4:0]	FILTER_SM_START	フィルタ・ステート・マシンの開始。	0x0	R/W

レジスタの詳細

アドレス : 0x210、リセット : 0x00、レジスタ名 : REG0210

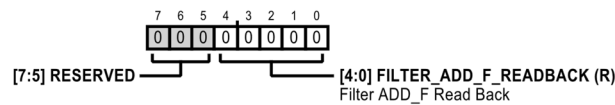


図 232.

表 82. REG0210 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	FILTER_ADD_F_READBACK	フィルタ ADD_F のリード・バック。	0x0	R

アドレス : 0x211、リセット : 0x00、レジスタ名 : REG0211

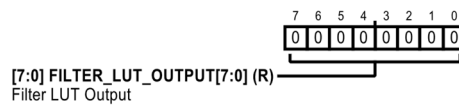


図 233.

表 83. REG0211 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[7:0]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x212、リセット : 0x00、レジスタ名 : REG0212

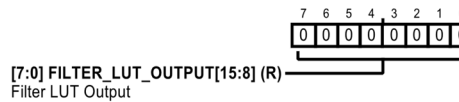


図 234.

表 84. REG0212 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[15:8]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x213、リセット : 0x00、レジスタ名 : REG0213

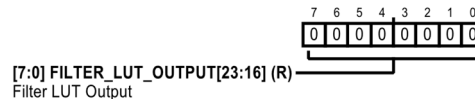


図 235.

表 85. REG0213 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[23:16]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

レジスタの詳細

アドレス : 0x214、リセット : 0x00、レジスタ名 : REG0214

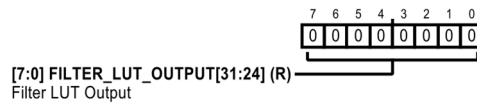


図 236.

表 86. REG0214 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[31:24]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x215、リセット : 0x00、レジスタ名 : REG0215



図 237.

表 87. REG0215 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[39:32]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x216、リセット : 0x00、レジスタ名 : REG0216

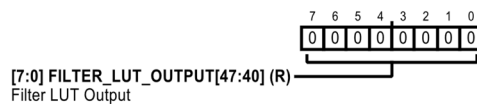


図 238.

表 88. REG0216 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[47:40]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x217、リセット : 0x00、レジスタ名 : REG0217



図 239.

表 89. REG0217 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[55:48]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

レジスタの詳細

アドレス : 0x218、リセット : 0x00、レジスタ名 : REG0218

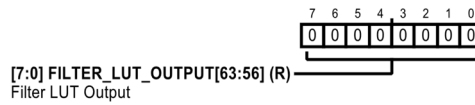


図 240.

表 90. REG0218 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[63:56]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x219、リセット : 0x00、レジスタ名 : REG0219

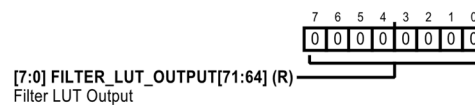


図 241.

表 91. REG0219 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[71:64]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x21A、リセット : 0x00、レジスタ名 : REG021A

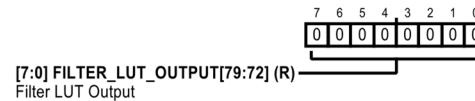


図 242.

表 92. REG021A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[79:72]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x21B、リセット : 0x00、レジスタ名 : REG021B

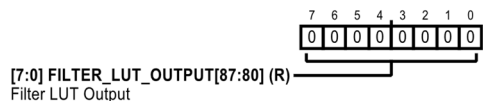


図 243.

表 93. REG021B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[87:80]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

レジスタの詳細

アドレス : 0x21C、リセット : 0x00、レジスタ名 : REG021C



図 244.

表 94. REG021C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[95:88]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x21D、リセット : 0x00、レジスタ名 : REG021D



図 245.

表 95. REG021D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[103:96]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x220、リセット : 0x00、レジスタ名 : REG0220

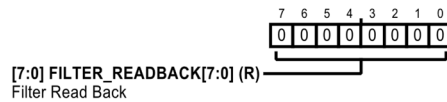


図 246.

表 96. REG0220 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[7:0]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x221、リセット : 0x00、レジスタ名 : REG0221

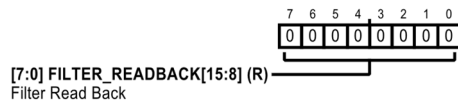


図 247.

表 97. REG0221 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[15:8]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x222、リセット : 0x00、レジスタ名 : REG0222

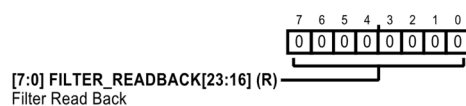


図 248.

レジスタの詳細

表 98. REG0222 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[23:16]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x223、リセット : 0x00、レジスタ名 : REG0223

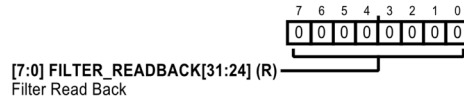


図 249.

表 99. REG0223 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[31:24]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x224、リセット : 0x00、レジスタ名 : REG0224

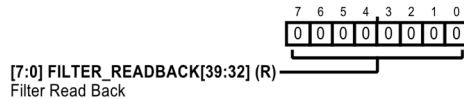


図 250.

表 100. REG0224 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[39:32]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x225、リセット : 0x00、レジスタ名 : REG0225

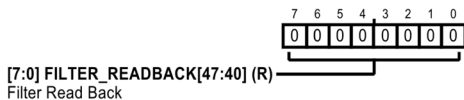


図 251.

表 101. REG0225 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[47:40]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x226、リセット : 0x00、レジスタ名 : REG0226

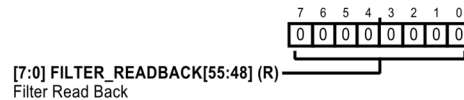


図 252.

表 102. REG0226 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[55:48]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

レジスタの詳細

アドレス : 0x227、リセット : 0x00、レジスタ名 : REG0227

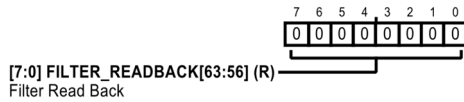


図 253.

表 103. REG0227 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[63:56]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x228、リセット : 0x00、レジスタ名 : REG0228

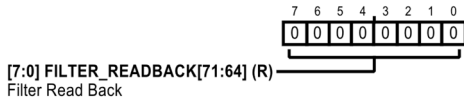


図 254.

表 104. REG0228 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[71:64]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x229、リセット : 0x00、レジスタ名 : REG0229

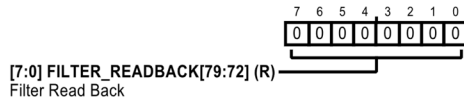


図 255.

表 105. REG0229 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[79:72]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x22A、リセット : 0x00、レジスタ名 : REG022A

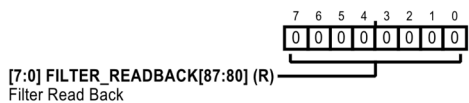


図 256.

表 106. REG022A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[87:80]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x22B、リセット : 0x00、レジスタ名 : REG022B

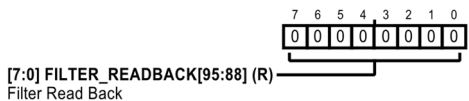


図 257.

レジスタの詳細

表 107. REG022B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[95:88]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x22C、リセット : 0x00、レジスタ名 : REG022C

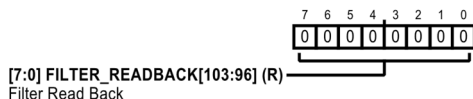


図 258.

表 108. REG022C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[103:96]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x240、リセット : 0x00、レジスタ名 : REG0240

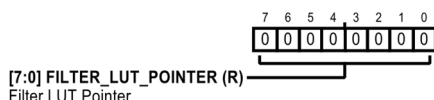


図 259.

表 109. REG0240 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_POINTER	フィルタ LUT ポインタ。このビット・フィールドは、レジスタ 0x203 によって制御されるマルチプレクサ後のフィルタ LUT のインデックス・ポインタを表します。	0x0	R

アドレス : 0x281、リセット : 0x00、レジスタ名 : REG0281

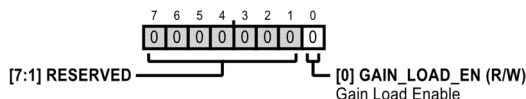


図 260.

表 110. REG0281 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_LOAD_EN	ゲインのロードをイネーブル。ディスエーブルの場合、ゲイン値は直ちに適用されます。イネーブルの場合、ゲイン値は、LOAD ポールの立上がりエッジで適用されます。 0 : 無効化。 1 : 有効化。	0x0	R/W

アドレス : 0x282、リセット : 0x00、レジスタ名 : REG0282

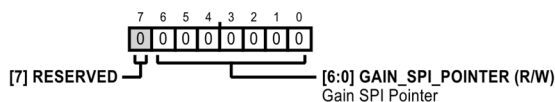


図 261.

レジスタの詳細

表 111. REG0282 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	GAIN_SPI_POINTER	ゲイン SPI ポインタ。	0x0	R/W

アドレス : 0x283、リセット : 0x01、レジスタ名 : REG0283

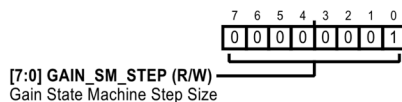


図 262.

表 112. REG0283 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_STEP	ゲインのステート・マシンのステップ・サイズ。この 2 の補数値は、ゲイン・ステート・マシンのインクリメント量またはデクリメント量を定めます。値がゼロのステップ・サイズは無効です。	0x1	R/W

アドレス : 0x284、リセット : 0x00、レジスタ名 : REG0284

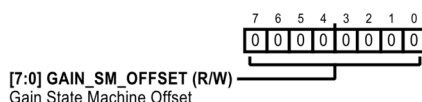


図 263.

表 113. REG0284 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_OFFSET	ゲインのステート・マシンのオフセット。この 2 の補数値は、ステート・マシン出力のオフセット量を定めます。	0x0	R/W

アドレス : 0x285、リセット : 0x01、レジスタ名 : REG0285

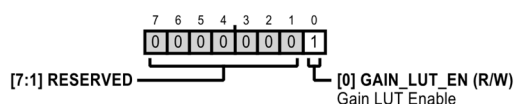


図 264.

表 114. REG0285 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_LUT_EN	ゲインの LUT をイネーブル。ディスエーブルの場合、フィルタ設定はレジスタ 0x600~レジスタ 0x603 を用いて定義されます。イネーブルの場合、フィルタ設定は、LUT によって決まります。LUT はレジスタ 0xE00~レジスタ 0xF0B を用いて設定されます。 0 : 無効化。 1 : 有効化。	0x1	R/W

アドレス : 0x286、リセット : 0x00、レジスタ名 : REG0286

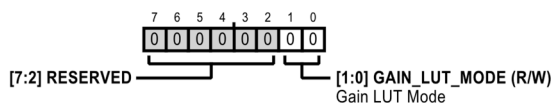


図 265.

レジスタの詳細

表 115. REG0286 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	GAIN_LUT_MODE	ゲインの LUT モード。 00 : LUT ポインタは ADD_G ポールを用いて選択。 01 : LUT ポインタはレジスタ 0x282 (FILTER_SPI_POINTER) を用いて選択。 10 : LUT ポインタは ADD_G5 の立上がりエッジでインクリメントまたはデクリメント。	0x0	R/W

アドレス : 0x287、リセット : 0x01、レジスタ名 : REG0287

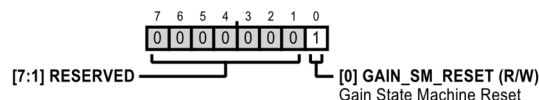


図 266.

表 116. REG0287 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_SM_RESET	ゲイン・ステート・マシンのリセット。アクティブ・ローのリセット。このビット・フィールドを 0 にセットし、次いで 1 にセットすると、ステート・マシンが 0 にリセットされます。このビット・フィールドを 0 に保持すると、ステート・マシンは 0 のままになります。 0 : アドレス・ポインタをゼロにリセット。 1 : 通常動作。	0x1	R/W

アドレス : 0x288、リセット : 0x00、レジスタ名 : REG0288



図 267.

表 117. REG0288 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_POINTER_PLUS_OFFSET	ゲインのステート・マシンのポインタおよびオフセット。	0x0	R

アドレス : 0x289、リセット : 0x42、レジスタ名 : REG0289

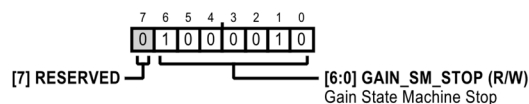


図 268.

表 118. REG0289 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	GAIN_SM_STOP	ゲイン・ステート・マシンの停止。	0x42	R/W

レジスタの詳細

アドレス : 0x28A、リセット : 0x00、レジスタ名 : REG028A

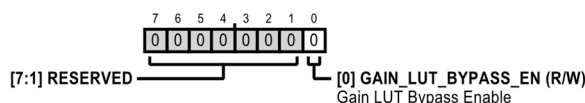


図 269.

表 119. REG028A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_LUT_BYPASS_EN	ゲインの LUT バイパスのイネーブル。イネーブルの場合、ゲインおよび GPO_G 値は、レジスタ 0x28B~レジスタ 0x28E を用いて設定されます。 0 : 無効化。 1 : 有効化。	0x0	R/W

アドレス : 0x28B、リセット : 0x00、レジスタ名 : REG028B

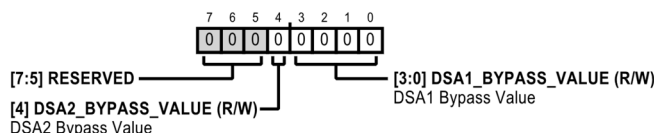


図 270.

表 120. REG028B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	DSA2_BYPASS_VALUE	DSA2 のバイパス値。6dB の単一 1 ビット・ゲイン・ステップでゲイン範囲を提供します。	0x0	R/W
[3:0]	DSA1_BYPASS_VALUE	DSA1 のバイパス値。0x0 が最大ゲイン、0xF が最小ゲインです。	0x0	R/W

アドレス : 0x28C、リセット : 0x00、レジスタ名 : REG028C

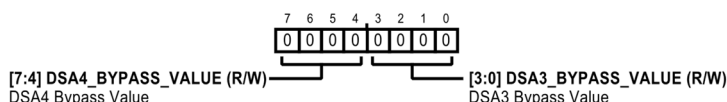


図 271.

表 121. REG028C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSA4_BYPASS_VALUE	DSA4 のバイパス値。0x0 が最大ゲイン、0xF が最小ゲインです。	0x0	R/W
[3:0]	DSA3_BYPASS_VALUE	DSA3 のバイパス値。0x0 が最大ゲイン、0xF が最小ゲインです。	0x0	R/W

アドレス : 0x28D、リセット : 0x00、レジスタ名 : REG028D

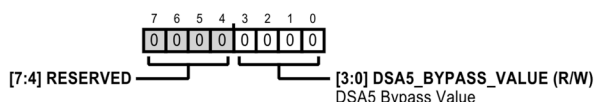


図 272.

表 122. REG028D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	DSA5_BYPASS_VALUE	DSA5 のバイパス値。0x0 が最大ゲイン、0xF が最小ゲインです。	0x0	R/W

レジスタの詳細

アドレス : 0x28E、リセット : 0x00、レジスタ名 : REG028E

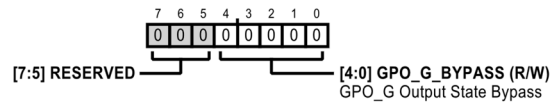


図 273.

表 123. REG028E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GPO_G_BYPASS	GPO_G の出力状態のバイパス。	0x0	R/W

アドレス : 0x28F、リセット : 0x00、レジスタ名 : REG028F

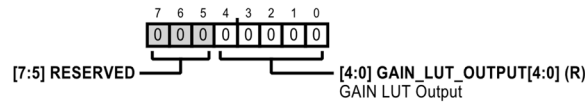


図 274.

表 124. REG028F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GAIN_LUT_OUTPUT[4:0]	ゲイン LUT の出力。このビット・フィールドは、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x290、リセット : 0x00、レジスタ名 : REG0290

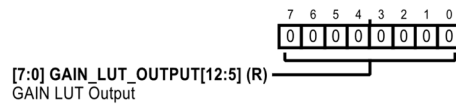


図 275.

表 125. REG0290 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_LUT_OUTPUT[12:5]	ゲイン LUT の出力。このビット・フィールドは、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x291、リセット : 0x00、レジスタ名 : REG0291

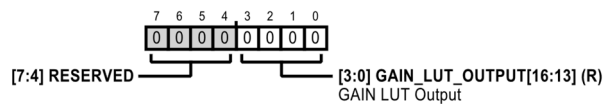


図 276.

レジスタの詳細

表 126. REG0291 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	GAIN_LUT_OUTPUT[16:13]	ゲイン LUT の出力。このビット・フィールドは、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x292、リセット : 0x00、レジスタ名 : REG0292

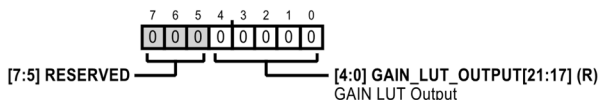


図 277.

表 127. REG0292 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GAIN_LUT_OUTPUT[21:17]	ゲイン LUT の出力。このビット・フィールドは、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x293、リセット : 0x00、レジスタ名 : REG0293

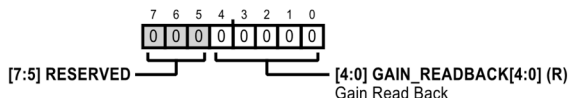


図 278.

表 128. REG0293 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GAIN_READBACK[4:0]	ゲインのリード・バック。このビット・フィールドは、DSA に適用される最終値を表します。	0x0	R

アドレス : 0x294、リセット : 0x00、レジスタ名 : REG0294

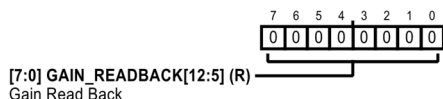


図 279.

表 129. REG0294 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_READBACK[12:5]	ゲインのリード・バック。このビット・フィールドは、DSA に適用される最終値を表します。	0x0	R

アドレス : 0x295、リセット : 0x00、レジスタ名 : REG0295

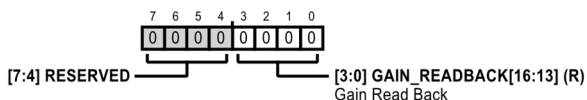


図 280.

レジスタの詳細

表 130. REG0295 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	GAIN_READBACK[16:13]	ゲインのリード・バック。このビット・フィールドは、DSA に適用される最終値を表します。	0x0	R

アドレス : 0x296、リセット : 0x00、レジスタ名 : REG0296

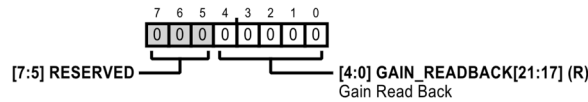


図 281.

表 131. REG0296 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GAIN_READBACK[21:17]	ゲインのリード・バック。このビット・フィールドは、DSA に適用される最終値を表します。	0x0	R

アドレス : 0x298、リセット : 0x00、レジスタ名 : REG0298

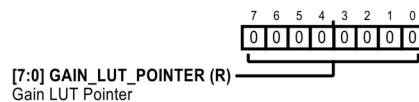


図 282.

表 132. REG0298 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_LUT_POINTER	ゲイン LUT ポインタ。このビット・フィールドは、レジスタ 0x286 によって制御されるマルチプレクサ後のゲイン LUT のインデックス・ポインタを表します。	0x0	R

アドレス : 0x29B、リセット : 0x00、レジスタ名 : REG029B



図 283.

表 133. REG029B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_POINTER_PRE_OFFSET	ゲインのステート・マシン・ポインタのプリ・オフセット。	0x0	R

アドレス : 0x2A0、リセット : 0x00、レジスタ名 : REG02A0

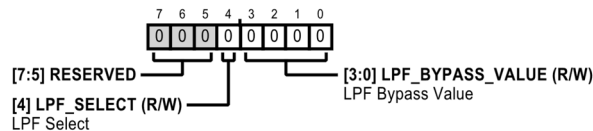


図 284.

レジスタの詳細

表 134. REG02A0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	LPF_SELECT	LPF の選択。 0 : フィルタ状態は LUT または レジスタ 0x800 ~ レジスタ 0x80C で決まります。 1 : フィルタ状態は SPI で決まります (LPF_BYPASS_VALUE)。	0x0	R/W
[3:0]	LPF_BYPASS_VALUE	LPF のバイパス値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W

アドレス : 0x2A1、リセット : 0x00、レジスタ名 : REG02A1

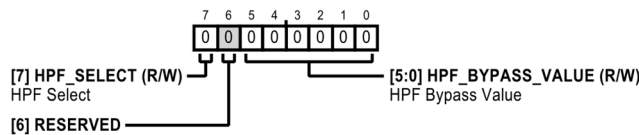


図 285.

表 135. REG02A1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	HPF_SELECT	HPF の選択。 0 : フィルタ状態は LUT または レジスタ 0x800 ~ レジスタ 0x80C で決まります。 1 : フィルタ状態は SPI で決まります (HPF_BYPASS_VALUE)。	0x0	R/W
6	RESERVED	予約済み。	0x0	R/W
[5:0]	HPF_BYPASS_VALUE	HPF のバイパス値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W

アドレス : 0x2A2、リセット : 0x00、レジスタ名 : REG02A2

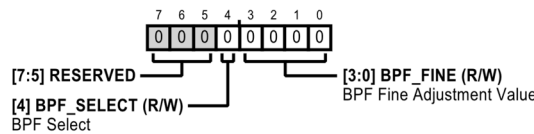


図 286.

表 136. REG02A2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	BPF_SELECT	BPF の選択。 0 : BPF の微調整をディスエーブル。 1 : BPF の微調整は SPI で決まります (BPF_FINE)。	0x0	R/W
[3:0]	BPF_FINE	BPF の微調整値。ハイ・カットオフ周波数とロー・カットオフ周波数のどちらも、このビット・フィールド値に反比例します。	0x0	R/W

アドレス : 0x2A3、リセット : 0x00、レジスタ名 : REG02A3

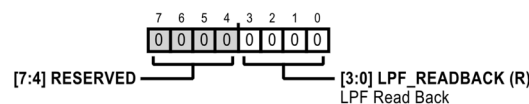


図 287.

表 137. REG02A3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	LPF_READBACK	LPF のリード・バック。	0x0	R

レジスタの詳細

アドレス : 0x2A4、リセット : 0x00、レジスタ名 : REG02A4

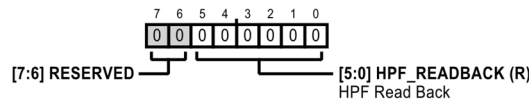


図 288.

表 138. REG02A4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	HPF_READBACK	HPF のリード・バック。	0x0	R

アドレス : 0x2A5、リセット : 0x00、レジスタ名 : REG02A5

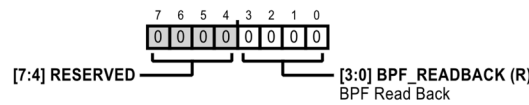


図 289.

表 139. REG02A5 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	BPF_READBACK	BPF のリード・バック。	0x0	R

アドレス : 0x2B0、リセット : 0x00、レジスタ名 : REG02B0

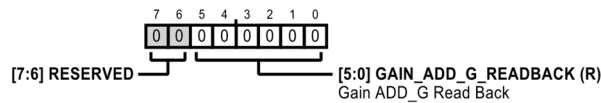


図 290.

表 140. REG02B0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	GAIN_ADD_G_READBACK	ゲイン ADD_G のリード・バック。	0x0	R

レジスタ 0X600～レジスタ 0X80C

アドレス : 0x600、リセット : 0x00、レジスタ名 : REG0600

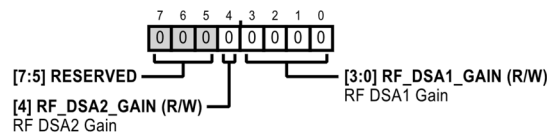


図 291.

レジスタの詳細

表 141. REG0600 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	RF_DSA2_GAIN	RF DSA2 のゲイン。6dB の単一 1 ビット・ゲイン・ステップでゲイン範囲を提供します。	0x0	R/W
[3:0]	RF_DSA1_GAIN	RF DSA1 のゲイン。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

アドレス : 0x601、リセット : 0x00、レジスタ名 : REG0601

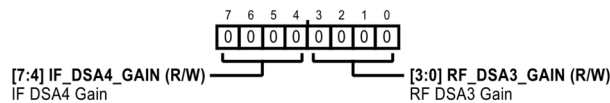


図 292.

表 142. REG0601 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	IF_DSA4_GAIN	IF DSA4 のゲイン。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[3:0]	RF_DSA3_GAIN	RF DSA3 のゲイン。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

アドレス : 0x602、リセット : 0x00、レジスタ名 : REG0602

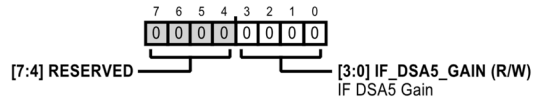


図 293.

表 143. REG0602 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	IF_DSA5_GAIN	IF DSA5 のゲイン。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

レジスタの詳細

アドレス : 0x603、リセット : 0x00、レジスタ名 : REG0603

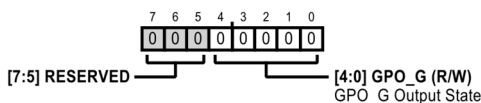


図 294.

表 144. REG0603 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GPO_G	GPO_G の出力状態。GPO_G 出力のロジック状態を設定するにはこのビット・フィールドを使用します。	0x0	R/W

アドレス : 0x780、リセット : 0x00、レジスタ名 : REG0780

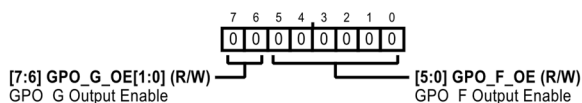


図 295.

表 145. REG0780 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	GPO_G_OE[1:0]	GPO_G の出カインェブル。このビット・フィールドは、汎用出力バッファをイネブルします。	0x0	R/W
[5:0]	GPO_F_OE	GPO_F の出カインェブル。このビット・フィールドは、汎用出力バッファをイネブルします。	0x0	R/W

アドレス : 0x781、リセット : 0x00、レジスタ名 : REG0781

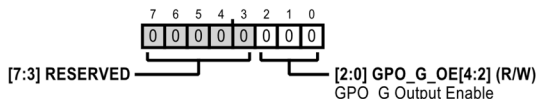


図 296.

表 146. REG0781 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
[2:0]	GPO_G_OE[4:2]	GPO_G の出カインェブル。このビット・フィールドは、汎用出力バッファをイネブルします。	0x0	R/W

アドレス : 0x800、リセット : 0x00、レジスタ名 : REG0800

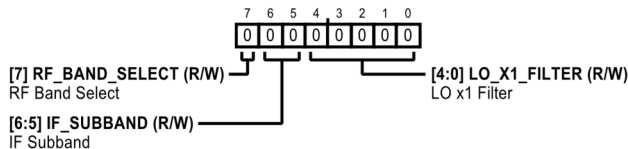


図 297.

表 147. REG0800 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_BAND_SELECT	RF 帯域の選択。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W
[6:5]	IF_SUBBAND	IF サブバンド。 00 : 8GHz または 10GHz。 01 : 6GHz。 11 : 4GHz。	0x0	R/W

レジスタの詳細

表 147. REG0800 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[4:0]	LO_X1_FILTER	LO x1 フィルタ。 00000 : LO 周波数 \geq 21GHz。 00001 : 17GHz \leq LO 周波数 < 21GHz。 00101 : 15GHz \leq LO 周波数 < 17GHz。 01010 : 12GHz \leq LO 周波数 < 15GHz。 11111 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x801、リセット : 0x80、レジスタ名 : REG0801

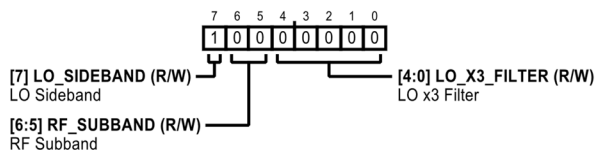


図 298.

表 148. REG0801 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_SIDE BAND	LO サイドバンド。 0 : USB。 1 : LSB。	0x1	R/W
[6:5]	RF_SUBBAND	RF サブバンド。 00 : 低周波数帯。 11 : 高周波数帯。	0x0	R/W
[4:0]	LO_X3_FILTER	LO x3 フィルタ。 00000 : LO 周波数 \geq 24GHz。 00010 : 21GHz \leq LO 周波数 < 24GHz。 00011 : 19GHz \leq LO 周波数 < 21GHz。 00100 : 17GHz \leq LO 周波数 < 19GHz。 00101 : 15GHz \leq LO 周波数 < 17GHz。 11100 : LO 周波数 < 12GHz。 00111 : 12GHz \leq LO 周波数 < 15GHz。	0x0	R/W

アドレス : 0x802、リセット : 0x00、レジスタ名 : REG0802

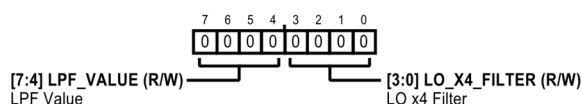


図 299.

表 149. REG0802 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LPF_VALUE	LPF の値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W
[3:0]	LO_X4_FILTER	LO x4 フィルタ。 0000 : 10GHz \leq LO 周波数 < 14GHz。 0101 : 14GHz \leq LO 周波数 < 18GHz。 0111 : LO 周波数 \geq 18GHz。 1000 : LO 周波数 < 10GHz。	0x0	R/W

レジスタの詳細

アドレス : 0x803、リセット : 0x00、レジスタ名 : REG0803

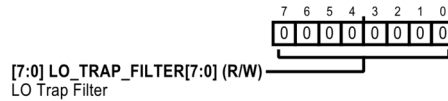


図 300.

表 150. REG0803 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_TRAP_FILTER[7:0]	LO トラップ・フィルタ。 0x1E7 : LO 周波数 ≥ 21GHz。 0x1A7 : 18.5GHz ≤ LO 周波数 < 21.0GHz。 0x1A3 : 14.5GHz ≤ LO 周波数 < 18.5GHz。 0x3AA : 12.0GHz ≤ LO 周波数 < 14.5GHz。 0x318 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x804、リセット : 0x00、レジスタ名 : REG0804

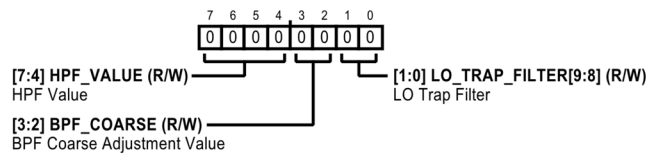


図 301.

表 151. REG0804 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_VALUE	HPF の値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W
[3:2]	BPF_COARSE	BPF の粗調整値。 00 : 高 IF。 11 : 低 IF。	0x0	R/W
[1:0]	LO_TRAP_FILTER[9:8]	LO トラップ・フィルタ。 0x1E7 : LO 周波数 ≥ 21GHz。 0x1A7 : 18.5GHz ≤ LO 周波数 < 21.0GHz。 0x1A3 : 14.5GHz ≤ LO 周波数 < 18.5GHz。 0x3AA : 12.0GHz ≤ LO 周波数 < 14.5GHz。 0x318 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x805、リセット : 0x00、レジスタ名 : REG0805

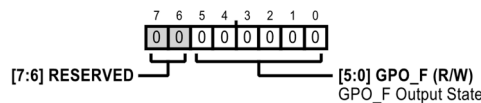


図 302.

レジスタの詳細

表 152. REG0805 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	GPO_F	GPO_F の出力状態。GPO_F 出力のロジック状態を設定するにはこのビット・フィールドを使用します。	0x0	R/W

アドレス : 0x806、リセット : 0x00、レジスタ名 : REG0806

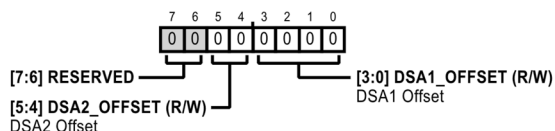


図 303.

表 153. REG0806 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:4]	DSA2_OFFSET	DSA2 のオフセット。	0x0	R/W
[3:0]	DSA1_OFFSET	DSA1 のオフセット。	0x0	R/W

アドレス : 0x807、リセット : 0x00、レジスタ名 : REG0807

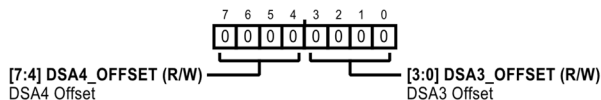


図 304.

表 154. REG0807 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSA4_OFFSET	DSA4 のオフセット。	0x0	R/W
[3:0]	DSA3_OFFSET	DSA3 のオフセット。	0x0	R/W

アドレス : 0x808、リセット : 0x00、レジスタ名 : REG0808

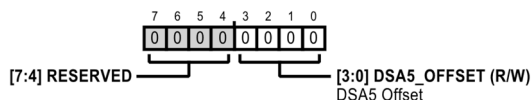


図 305.

表 155. REG0808 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	DSA5_OFFSET	DSA5 のオフセット。	0x0	R/W

アドレス : 0x809、リセット : 0x00、レジスタ名 : REG0809

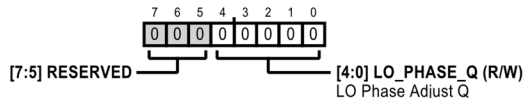


図 306.

レジスタの詳細

表 156. REG0809 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LO_PHASE_Q	LO の位相調整 Q。このビット・フィールドは、LO ブロック内の Q 経路の位相を調整します。イメージ除去のキャリブレーションを行うために使用できます。	0x0	R/W

アドレス : 0x80A、リセット : 0x20、レジスタ名 : REG080A

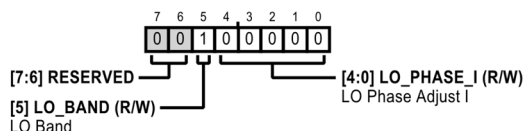


図 307.

表 157. REG080A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	LO_BAND	LO の帯域。 0 : 低周波数帯。 1 : 高周波数帯。	0x1	R/W
[4:0]	LO_PHASE_I	LO の位相調整 I。このビット・フィールドは、LO ブロック内の I 経路の位相を調整します。イメージ除去のキャリブレーションを行うために使用できます。	0x0	R/W

アドレス : 0x80B、リセット : 0x00、レジスタ名 : REG080B

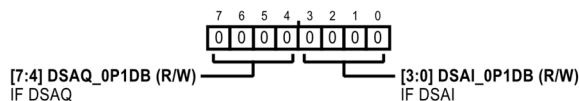


図 308.

表 158. REG080B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSAQ_0P1DB	IF の DSAQ。0.1dB のステップで 1.5dB の範囲。IMR のキャリブレーション用に使用。	0x0	R/W
[3:0]	DSAI_0P1DB	IF の DSAI。0.1dB のステップで 1.5dB の範囲。IMR のキャリブレーション用に使用。	0x0	R/W

アドレス : 0x80C、リセット : 0x00、レジスタ名 : REG080C



図 309.

表 159. REG080C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_DOUBLER_BAND	LO の 2 倍帯域。列挙する値は、一般的なガイダンスです。システム・レベルのスプリアス仕様を実現するには、必要に応じて調整してください。 0xC0 : LO 周波数 ≥ 24GHz。 0x80 : 18GHz ≤ LO 周波数 < 24GHz。 0x08 : 14GHz ≤ LO 周波数 < 18GHz。 0x04 : 12GHz ≤ LO 周波数 < 14GHz。 0x1D : 10GHz ≤ LO 周波数 < 12GHz。 0x1F : LO 周波数 < 10GHz。	0x0	R/W

レジスタの詳細

レジスタ 0X900～レジスタ 0XE03

アドレス : 0x900、リセット : 0x00、レジスタ名 : REG0900

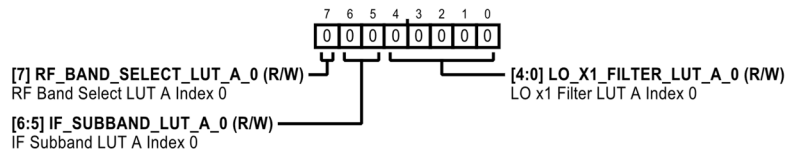


図 310.

表 160. REG0900 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_BAND_SELECT_LUT_A_0	RF 帯域選択 LUT A のインデックス 0。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W
[6:5]	IF_SUBBAND_LUT_A_0	IF サブバンド LUT A のインデックス 0。 00 : 8GHz または 10GHz。 01 : 6GHz。 11 : 4GHz。	0x0	R/W
[4:0]	LO_X1_FILTER_LUT_A_0	LO x1 フィルタ LUT A のインデックス 0。 00000 : LO 周波数 ≥ 21GHz。 00001 : 17GHz ≤ LO 周波数 < 21GHz。 00101 : 15GHz ≤ LO 周波数 < 17GHz。 01010 : 12GHz ≤ LO 周波数 < 15GHz。 11111 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x901、リセット : 0x80、レジスタ名 : REG0901

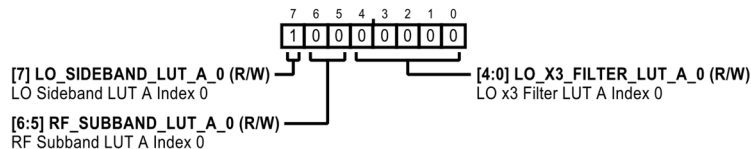


図 311.

表 161. REG0901 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_SIDEHAND_LUT_A_0	LO サイドバンド LUT A のインデックス 0。 0 : USB。 1 : LSB。	0x1	R/W
[6:5]	RF_SUBBAND_LUT_A_0	RF サブバンド LUT A のインデックス 0。 00 : 低周波数帯。 11 : 高周波数帯。	0x0	R/W
[4:0]	LO_X3_FILTER_LUT_A_0	LO x3 フィルタ LUT A のインデックス 0。 00000 : LO 周波数 ≥ 24GHz。 00010 : 21GHz ≤ LO 周波数 < 24GHz。 00011 : 19GHz ≤ LO 周波数 < 21GHz。 00100 : 17GHz ≤ LO 周波数 < 19GHz。 00101 : 15GHz ≤ LO 周波数 < 17GHz。 11100 : LO 周波数 < 12GHz。 00111 : 12GHz ≤ LO 周波数 < 15GHz。	0x0	R/W

レジスタの詳細

アドレス : 0x902、リセット : 0x00、レジスタ名 : REG0902

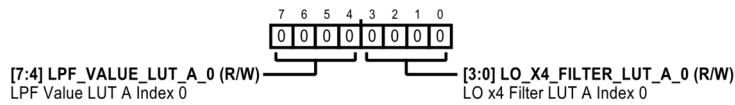


図 312.

表 162. REG0902 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LPF_VALUE_LUT_A_0	LPF 値 LUT A のインデックス 0。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W
[3:0]	LO_X4_FILTER_LUT_A_0	LO x4 フィルタ LUT A のインデックス 0。 0000 : 10GHz ≤ LO 周波数 < 14GHz。 0101 : 14GHz ≤ LO 周波数 < 18GHz。 0111 : LO 周波数 ≥ 18GHz。 1000 : LO 周波数 < 10GHz。	0x0	R/W

アドレス : 0x903、リセット : 0x00、レジスタ名 : REG0903

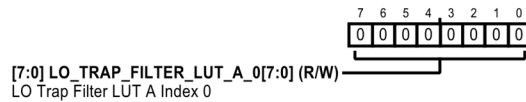


図 313.

表 163. REG0903 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_TRAP_FILTER_LUT_A_0[7:0]	LO トラップ・フィルタ LUT A のインデックス 0。 0x1E7 : LO 周波数 ≥ 21GHz。 0x1A7 : 18.5GHz ≤ LO 周波数 < 21.0GHz。 0x1A3 : 14.5GHz ≤ LO 周波数 < 18.5GHz。 0x3AA : 12.0GHz ≤ LO 周波数 < 14.5GHz。 0x318 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x904、リセット : 0x00、レジスタ名 : REG0904

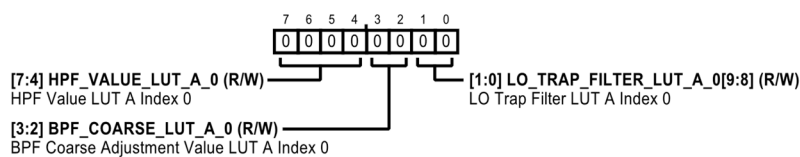


図 314.

レジスタの詳細

表 164. REG0904 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_VALUE_LUT_A_0	HPF 値 LUT A のインデックス 0。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W
[3:2]	BPF_COARSE_LUT_A_0	BPF 粗調整値 LUT A のインデックス 0。 00 : 高 IF。 11 : 低 IF。	0x0	R/W
[1:0]	LO_TRAP_FILTER_LUT_A_0[9:8]	LO トラップ・フィルタ LUT A のインデックス 0。 0x1E7 : LO 周波数 \geq 21GHz。 0x1A7 : 18.5GHz \leq LO 周波数 < 21.0GHz。 0x1A3 : 14.5GHz \leq LO 周波数 < 18.5GHz。 0x3AA : 12.0GHz \leq LO 周波数 < 14.5GHz。 0x318 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x905、リセット : 0x00、レジスタ名 : REG0905

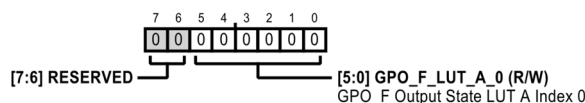


図 315.

表 165. REG0905 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	GPO_F_LUT_A_0	GPO_F 出力状態 LUT A のインデックス 0。GPO_F 出力のロジック状態を設定するにはこのビット・フィールドを使用します。	0x0	R/W

アドレス : 0x906、リセット : 0x00、レジスタ名 : REG0906

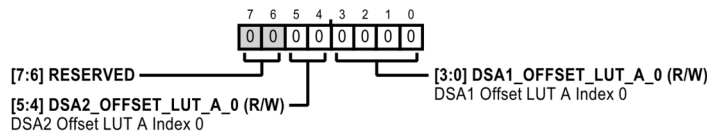


図 316.

表 166. REG0906 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:4]	DSA2_OFFSET_LUT_A_0	DSA2 オフセット LUT A のインデックス 0。	0x0	R/W
[3:0]	DSA1_OFFSET_LUT_A_0	DSA1 オフセット LUT A のインデックス 0。	0x0	R/W

アドレス : 0x907、リセット : 0x00、レジスタ名 : REG0907

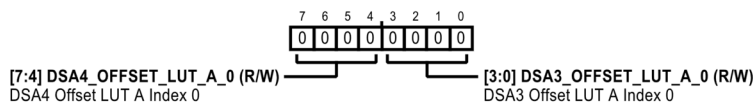


図 317.

表 167. REG0907 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSA4_OFFSET_LUT_A_0	DSA4 オフセット LUT A のインデックス 0。	0x0	R/W
[3:0]	DSA3_OFFSET_LUT_A_0	DSA3 オフセット LUT A のインデックス 0。	0x0	R/W

レジスタの詳細

アドレス : 0x908、リセット : 0x00、レジスタ名 : REG0908

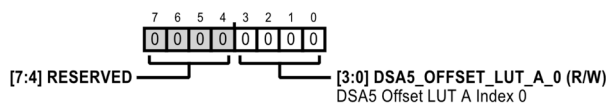


図 318.

表 168. REG0908 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	DSA5_OFFSET_LUT_A_0	DSA5 オフセット LUT A のインデックス 0。	0x0	R/W

アドレス : 0x909、リセット : 0x00、レジスタ名 : REG0909

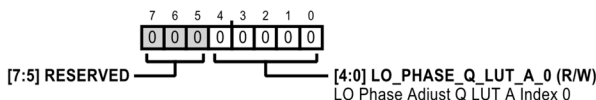


図 319.

表 169. REG0909 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LO_PHASE_Q_LUT_A_0	LO 位相調整 Q LUT A のインデックス 0。このビット・フィールドは、LO ブロック内の Q 経路の位相を調整します。イメージ除去のキャリブレーションを行うために使用できます。	0x0	R/W

アドレス : 0x90A、リセット : 0x20、レジスタ名 : REG090A

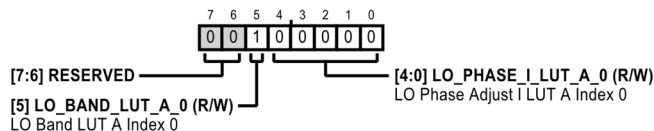


図 320.

表 170. REG090A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	LO_BAND_LUT_A_0	LO 帯域 LUT A のインデックス 0。 0 : 低周波数帯。 1 : 高周波数帯。	0x1	R/W
[4:0]	LO_PHASE_I_LUT_A_0	LO 位相調整 I LUT A のインデックス 0。このビット・フィールドは、LO ブロック内の I 経路の位相を調整します。イメージ除去のキャリブレーションを行うために使用できます。	0x0	R/W

レジスタの詳細

アドレス : 0x90B、リセット : 0x00、レジスタ名 : REG090B

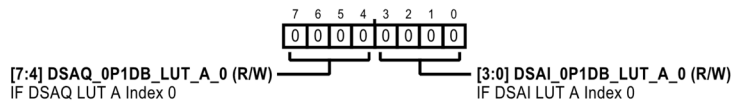


図 321.

表 171. REG090B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSAQ_0P1DB_LUT_A_0	IF DSAQ LUT A のインデックス 0。0.1dB のステップで 1.5dB の範囲。IMR のキャリブレーション用に使用。	0x0	R/W
[3:0]	DSAI_0P1DB_LUT_A_0	IF DSAI LUT A のインデックス 0。0.1dB のステップで 1.5dB の範囲。IMR のキャリブレーション用に使用。	0x0	R/W

アドレス : 0x90C、リセット : 0x00、レジスタ名 : REG090C

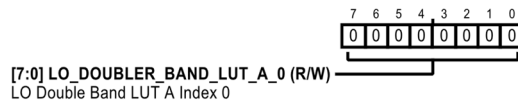


図 322.

表 172. REG090C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_DOUBLER_BAND_LUT_A_0	LO ダブル帯域 LUT A のインデックス 0。列挙する値は、一般的なガイダンスです。システム・レベルのスプリアス仕様を実現するには、必要に応じて調整してください。 0xC0 : LO 周波数 ≥ 24GHz。 0x80 : 18GHz ≤ LO 周波数 < 24GHz。 0x08 : 14GHz ≤ LO 周波数 < 18GHz。 0x04 : 12GHz ≤ LO 周波数 < 14GHz。 0x1D : 10GHz ≤ LO 周波数 < 12GHz。 0x1F : LO 周波数 < 10GHz。	0x0	R/W

注 : フィルタ LUT A のインデックス 1 からフィルタ LUT B のインデックス 31 までのビット・フィールド機能 (レジスタ 0x90D~レジスタ 0xC3F) は、フィルタ LUT A のインデックス 0 のビット・フィールド機能 (レジスタ 0x900 およびレジスタ 0x90C) と同じです。レジスタ・アドレス情報については、表 27 を参照してください。

アドレス : 0xE00、リセット : 0x00、レジスタ名 : REG0E00

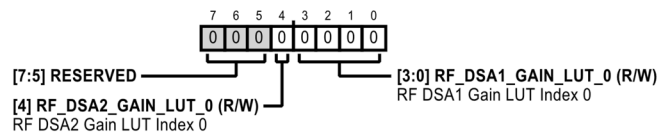


図 323.

表 173. REG0E00 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	RF_DSA2_GAIN_LUT_0	RF DSA2 ゲイン LUT のインデックス 0。6dB の単一 1 ビット・ゲイン・ステップでゲイン範囲を提供します。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
[3:0]	RF_DSA1_GAIN_LUT_0	RF DSA1 ゲイン LUT のインデックス 0。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

アドレス : 0xE01、リセット : 0x00、レジスタ名 : REG0E01

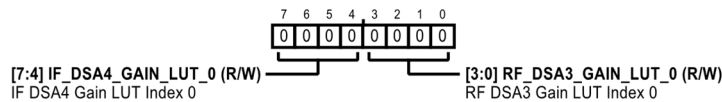


図 324.

表 174. REG0E01 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	IF_DSA4_GAIN_LUT_0	IF DSA4 ゲイン LUT のインデックス 0。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

レジスタの詳細

表 174. REG0E01 のビットの説明 (続き)

[3:0]	RF_DSA3_GAIN_LUT_0	RF DSA3 ゲイン LUT のインデックス 0。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W
-------	--------------------	--	-----	-----

アドレス : 0xE02、リセット : 0x00、レジスタ名 : REG0E02

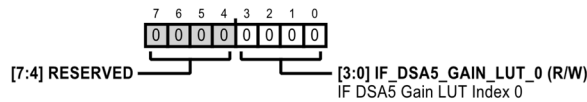


図 325.

表 175. REG0E02 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	IF_DSA5_GAIN_LUT_0	IF DSA5 ゲイン LUT のインデックス 0。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

アドレス : 0xE03、リセット : 0x00、レジスタ名 : REG0E03

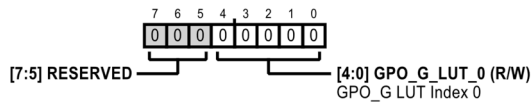


図 326.

表 176. REG0E03 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GPO_G_LUT_0	GPO_G LUT のインデックス 0。GPO_G 出力のロジック状態を設定するにはこのビット・フィールドを使用します。	0x0	R/W

レジスタの詳細

注：ゲイン LUT のインデックス 1 からゲイン LUT のインデックス 66 までのビット・フィールド機能（レジスタ 0xE04～レジスタ 0xF0B）は、ゲイン LUT_0 のビット・フィールド機能（レジスタ 0xE00 およびレジスタ 0xE03）と同じです。レジスタ・アドレス情報については、[表 27](#) を参照してください。

外形寸法

Package Drawing Option	Package Type	Package Description
BC-120-4	CSP_BGA	120-Ball Chip Scale Package Ball Grid Array

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV1455BBCZ	-40°C to +95°C	120-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	Pocket Tape	BC-120-4
ADMV1455BBCZ-R7	-40°C to +95°C	120-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	Reel, 500	BC-120-4

¹ Z = RoHS 準拠製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。

