



データシート ADMV1355

17.7GHz～55GHz、広帯域、マイクロ波アップ・コンバータ

特長

- ▶ 広帯域 RF 出力周波数範囲：17.7GHz～55GHz
- ▶ RF チェーン機能内蔵
 - ▶ 調整可能なサイドバンド除去フィルタ
 - ▶ ゲイン制御 DSA
- ▶ LO チェーン機能内蔵
 - ▶ 入力周波数範囲：8.85GHz～27.5GHz
 - ▶ 内部 2 通倍器
 - ▶ 調整可能な LO 高調波除去フィルタ
 - ▶ I/Q 位相補正
- ▶ 3 つの周波数変換モード
 - ▶ ベースバンド I/Q 差動入力：DC～12GHz
 - ▶ IF ハイブリッド入力：8GHz～12GHz
 - ▶ 複素 IF 入力：1GHz～12GHz
- ▶ プログラマブルな機能
 - ▶ サイドバンド除去の最適化
 - ▶ LO 搬送波フィードスルーのキャリブレーション
- ▶ シンプルな SPI：3 線式または 4 線式
- ▶ 汎用ロジック出力により、システム内の他のチップとの統合を実現
- ▶ 高速周波数ホッピングのアプリケーションに対応する LUT ロジック入力
- ▶ 120 ボール、6mm × 6.5mm、CSP_BGA パッケージ

アプリケーション

- ▶ 衛星ペイロード¹および地上局（SATCOM）
- ▶ 広帯域レーダーおよび電子戦システム（EW）
- ▶ 計測器および ATE（自動試験装置）
- ▶ ミリ波 5G および 6G テスター

¹ ADMV1355 の商業宇宙ロー（CSL）および商業宇宙ハイ（CSH）に適合するバージョンの詳細については、space@analog.com お問い合わせください。

概要

ADMV1355 は、広帯域の無線設計向けに最適化された、高集積マイクロ波アップ・コンバータであり、17.7GHz～55GHz の RF 周波数範囲で動作します。従来のマルチチップ・ソリューションに代わるコンパクトなソリューションを可能にし、システムのサイズ、重量、消費電力を大幅に削減します。

内蔵の局部発振器（LO）シグナル・チェーンは、8.85GHz～27.5GHz の範囲の LO 入力信号を受け入れます。LO シグナル・チェーンには、内部アンプ、周波数 2 通倍器、プログラマブルな高調波除去フィルタ、同相／直交（I/Q）ミキサの駆動に必要な 17.7GHz～55GHz の信号を生成する位相調整回路が備わっています。

ADMV1355 には、IF ハイブリッド入力、複素 IF 入力、ベースバンド I/Q 差動入力の 3 つの周波数変換ミキサ・モードがあります。IF ハイブリッド入力モードでは、8GHz～12GHz の範囲にある 1 つの中間周波数（IF）入力信号を使用し、この信号がオン・チップの 90°IF ハイブリッドを通過します。IF ハイブリッド・カプラが、ミキサに必要な直交信号を発生します。複素 IF 入力モードでは、1GHz～12GHz の範囲にある 2 つの直交 IF 入力信号を使用します。ベースバンド I/Q 差動入力モードでは、DC～12GHz の範囲にある差動ベースバンド I/Q 入力信号を使用します。

ミキサの直後には、スイッチで選択可能な 2 つの RF 出力ドライバ・シグナル・チェーンがあります。低周波数帯のシグナル・チェーンは 17.7GHz～34GHz で動作し、高周波数帯のシグナル・チェーンは 30GHz～55GHz で動作します。各シグナル・チェーンには、信号レベル制御および高調波フィルタリングの複数の段があります。

RF 出力、LO 入力、IF 入力の各ピンはすべて、シングルエンドであり、50Ω にインピーダンス整合しています。また、差動ベースバンド I/Q 入力ピンは、100Ω の差動インピーダンスに整合しています。外部整合回路は不要です。

ゲインおよび周波数ルックアップ・テーブル（LUT）が内蔵されており、シリアル・ペリフェラル・インターフェース（SPI）を通じてアドレス指定できます。あるいは、周波数ホッピング・アプリケーション用に ADD_Fx および ADD_Gx のボール接続を直接利用することにより、高速スイッチングが可能です。

ADMV1355 には、3 線式または 4 線式のどちらを実装している場合でも動作できる、シンプルな SPI が内蔵されています。SPI を用いることにより、ゲイン制御、LO フィードスルーの調整、サイドバンド除去の最適化、チューナブル・フィルタ、汎用ロジック出力、LUT など、オン・チップ調整可能なすべての機能をプログラムできます。

ADMV1355 アップ・コンバータは 120 ボールの CSP_BGA パッケージで提供され、パッケージ上面あるいはプリント回路基板（PCB）の裏面を通じて放熱されます。どちらの放熱法も熱性能は同様であり、T_c を効率的に制御できます。ADMV1355 は -40°C～+95°C の温度範囲で動作します。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	RF 接続.....	69
アプリケーション.....	1	LO シグナル・チェーン.....	69
概要.....	1	LO チューナブル・フィルタ.....	70
機能ブロック図.....	3	LO のヌル化.....	71
仕様.....	4	I/Q ベースバンドのシグナル・チェーン.....	72
IF ハイブリッド・モード.....	6	I/Q ベースバンドの V_{ICM}	72
複素 IF モード.....	7	IF ハイブリッドのシグナル・チェーン.....	73
I/Q ベースバンド・モード.....	8	複素 IF のシグナル・チェーン.....	73
タイミング仕様.....	9	ミキサーの概要.....	73
絶対最大定格.....	10	ミキサーの側波帯の選択.....	73
熱抵抗.....	10	RF シグナル・チェーン.....	73
静電放電 (ESD) 定格.....	11	DSA1.....	73
ESD に関する注意.....	11	DSA2.....	73
ピン配置およびピン機能の説明.....	12	RF チューナブル LPF.....	74
代表的な性能特性.....	15	RF チューナブル HPF.....	74
IF ハイブリッド・モード、IF_HYB、高周波数帯.....	15	サイドバンド除去の最適化.....	74
IF ハイブリッド・モード、IF_HYB、低周波数帯.....	24	合計ゲイン制御.....	75
複素 IF モード、IF_X、高周波数帯.....	33	RF ゲインに関する指針.....	75
複素 IF モード、IF_X、低周波数帯.....	41	ADC 設定.....	75
I/Q ベースバンド・モード、BB_IX および BB_QX、 高周波数帯.....	48	温度センサー.....	75
I/Q ベースバンド・モード、BB_IX および BB_QX、 低周波数帯.....	53	アプリケーション情報.....	76
反射損失.....	58	Apollo DAC を用いたベースバンド・モードの サイドバンド除去.....	76
動作原理.....	60	推奨設定.....	77
チップの概要.....	60	推奨 PCB レイアウト.....	78
パワーアップ・シーケンス.....	60	評価用ボードの情報.....	78
パワーダウン・シーケンス.....	60	レジスタの一覧.....	79
SPI.....	61	レジスタの詳細.....	84
タイミング図の概要.....	62	レジスタ 0X000～レジスタ 0X13E.....	84
NVM.....	65	レジスタ 0X200～レジスタ 0X2B0.....	87
デジタルの概要.....	65	レジスタ 0X300～レジスタ 0X402.....	103
同期 LOAD 機能.....	66	レジスタ 0X600～レジスタ 0X80C.....	105
フィルタの LUT.....	66	レジスタ 0X900～レジスタ 0XE01.....	113
ゲインの LUT.....	68	外形寸法.....	119
汎用出力.....	69	オーダー・ガイド.....	119

改訂履歴

4/2026—Revision 0: Initial Version

機能ブロック図

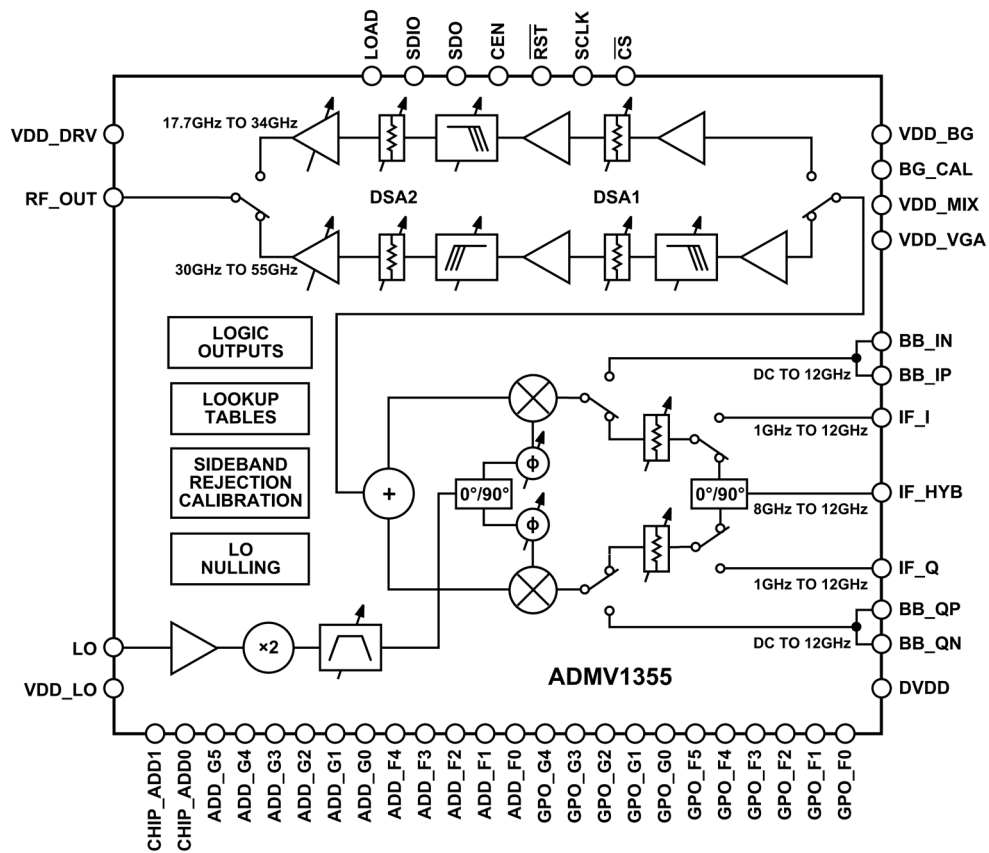


図 1. 機能ブロック図

001

仕様

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、 $V_{DD_DRV} = 3\text{V}$ 、その他すべての電源電圧 = 1.8V、LO 電力 (P_{LO}) = -5dBm。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGES					
RF Output (f_{RF})					
Low Band Signal Chain		17.7		34	GHz
High Band Signal Chain		30		55	GHz
LO Input (f_{LO})		8.85		27.5	GHz
2× LO Multiplier ($2 \times f_{LO}$)		17.7		55	GHz
IF Hybrid Input		8		12	GHz
Complex IF Input		1		12	GHz
High Frequency Mode		3		12	GHz
Low Frequency Mode		1		4	GHz
Baseband I/Q Differential Input		DC		12	GHz
LO AMPLITUDE RANGE					
$f_{LO} < 25\text{GHz}$		-7		-3	dBm
$f_{LO} \geq 25\text{GHz}$		-3		0	dBm
OPERATING TEMPERATURE RANGE					
		-40		+95	$^\circ\text{C}$
DIGITAL STEP ATTENUATOR (DSA) PERFORMANCE					
Full Attenuation Range	DSA1 and DSA2		30		dB
Attenuation Step Size	DSA1 and DSA2		1		dB
Step Error	DSA1, RF high band		± 0.3		dB
	DSA2, RF high band		± 0.4		dB
	DSA1, RF low band		± 0.5		dB
	DSA2, RF low band		± 0.5		dB
SIDE BAND REJECTION CONTROL					
LO Phase Adjustment			± 20		Degrees
LO Phase Step			0.6		Degrees
IF Amplitude Step Size			0.1		dB
BASEBAND INPUT COMMON-MODE VOLTAGE (V_{ICM})	Externally generated	0		1.55	V
RETURN LOSS					
IF Hybrid Input	50 Ω single-ended		-17		dB
Complex IF Input	50 Ω single-ended				
High Frequency Mode			-7		dB
Low Frequency Mode			-8		dB
LO Input	50 Ω single-ended		-8		dB
RF_OUT Output	50 Ω single-ended				
Low Band	17GHz to 34GHz		-10		dB
High Band	30GHz to 55GHz		-8		dB
LOGIC INPUTS					
Input High Voltage (V_{INH})		1.2		1.8	V
Input Low Voltage (V_{INL})			0	0.63	V
High and Low Input Current (I_{INH}/I_{INL})			100		μA
Input Capacitance (C_{IN})			0.4		pF
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	Output high current (I_{OH}) = 8mA	1.35			V
Output Low Voltage (V_{OL})	Output low current (I_{OL}) = 8mA			0.45	V
Minimum Hysteresis Window			160		mV

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLIES					
DVDD		1.6	1.8	2	V
VDD_BG		1.6	1.8	2	V
VDD_LO		1.6	1.8	2	V
VDD_MIX		1.6	1.8	2	V
VDD_VGA		1.6	1.8	2	V
VDD_DRV		2.85	3	3.3	V
Supply Current					
1.8V Supplies	CEN high and RF Band 0		516		mA
	CEN high and RF Band 1		600		mA
	CEN low		48		mA
3V Supply	CEN high and RF Band 0		84		mA
	CEN high and RF Band 1		84		mA
	CEN low		2		mA

仕様

IF ハイブリッド・モード

IF_HYB 入力、高周波数帯

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、 $VDD_DRV = 3\text{V}$ 、その他すべての電源電圧 = 1.8V、IF 電力 (P_{IF}) = -20dBm、LO 電力 (P_{LO}) = -5dBm、IF 周波数 (f_{IF}) = 8GHz、上側波帯、最大ゲイン、RF ローパス・フィルタ (LPF) 設定 = 0x00 (最高カットオフ)、RF ハイパス・フィルタ (HPF) 設定 = 0x3F (最低カットオフ)。

表 2. IF_HYB 入力、高周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
IF HYBRID MODE, HIGH BAND					
Conversion Gain			16		dB
Single Sideband Noise Figure			21		dB
Output 1dB Compression (P1dB)			16		dBm
Output Third-Order Intercept (IP3)	100MHz tone spacing		25		dBm
Sideband Rejection	No RF filtering applied				
	Uncalibrated		-30		dBc
	Calibrated		-40		dBc

IF_HYB 入力、低周波数帯

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、 $VDD_DRV = 3\text{V}$ 、その他すべての電源電圧 = 1.8V、 $P_{IF} = -20\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{IF} = 8\text{GHz}$ 、下側波帯、最大ゲイン、RF LPF 設定 = 0x00 (最高カットオフ)。

表 3. IF_HYB 入力、低周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
IF HYBRID MODE, LOW BAND					
Conversion Gain			19		dB
Single Sideband Noise Figure			23		dB
Output P1dB			19		dBm
Output IP3	100MHz tone spacing		26		dBm
Sideband Rejection	No RF filtering applied				
	Uncalibrated		-20		dBc
	Calibrated		-45		dBc

仕様

複素 IF モード

IF_x 入力、高周波数帯

$T_C = 25^\circ\text{C}$ 、 $V_{DD_DRV} = 3\text{V}$ 、その他すべての電源電圧 = 1.8V 、 $P_{IF} = -21\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{IF} = 1\text{GHz}$ 、上側波帯、最大ゲイン、RF LPF 設定 = $0x00$ （最高カットオフ）、RF HPF 設定 = $0x3F$ （最低カットオフ）。特に指定のない限り、測定は外部 90° ハイブリッドを用いて行われ、損失は除去されています。

表 4. IF_I 入力および IF_Q 入力、高周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
COMPLEX IF MODE, HIGH BAND					
Conversion Gain			18		dB
Single Sideband Noise Figure	<52GHz		16		dB
Output P1dB			17		dBm
Output IP3	100MHz tone spacing		25		dBm
Sideband Rejection	No RF filtering applied				
	Low frequency mode, uncalibrated		-30		dBc
	Low frequency mode, calibrated		-50		dBc
	High frequency mode, uncalibrated		-35		dBc
	High frequency mode, calibrated		-45		dBc

IF_x 入力、低周波数帯

$T_C = 25^\circ\text{C}$ 、 $V_{DD_DRV} = 3\text{V}$ 、その他すべての電源電圧 = 1.8V 、 $P_{IF} = -21\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{IF} = 1\text{GHz}$ 、下側波帯、最大ゲイン、RF LPF 設定 = $0x00$ （最高カットオフ）。特に指定のない限り、測定は外部 90° ハイブリッドを用いて行われ、損失は除去されています。

表 5. IF_I 入力および IF_Q 入力、低周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
COMPLEX IF MODE, LOW BAND					
Conversion Gain			23		dB
Single Sideband Noise Figure			18.5		dB
Output P1dB			19		dBm
Output IP3	100MHz tone spacing		27		dBm
Sideband Rejection	No RF filtering applied				
	Low frequency mode, uncalibrated		-25		dBc
	Low frequency mode, calibrated		-35		dBc
	High frequency mode, uncalibrated		-25		dBc
	High frequency mode, calibrated		-40		dBc

仕様

I/Q ベースバンド・モード

BB_Ix 入力および BB_Qx 入力、高周波数帯

$T_C = 25^\circ\text{C}$ 、 $V_{DD_DRV} = 3\text{V}$ 、その他すべての電源電圧 = 1.8V 、ベースバンド電力 (P_{BB}) = -20dBm 、 $P_{LO} = 0\text{dBm}$ 、ベースバンド周波数 (f_{BB}) = 100MHz 、上側波帯、最大ゲイン、RF LPF 設定 = $0x00$ (最高カットオフ)、RF HPF 設定 = $0x3F$ (最低カットオフ)、 $V_{ICM} = 1\text{V}$ 。特に指定のない限り、測定は外部駆動されたベースバンド・ポートで行われ、損失は除去されています。

表 6. BBB_IP、BB_IN、BB_QP、BB_QN の各入力、高周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
I/Q BASEBAND MODE, HIGH BAND					
Conversion Gain			26		dB
Noise Figure, Single Sideband			13		dB
Output P1dB			16		dBm
Output IP3	100MHz tone spacing		25		dBm
Sideband Rejection	No RF filtering applied				
	Uncalibrated		-20		dBc
	Calibrated with internal phase correction only		-35		dBc
	Calibrated using the AD9084 Apollo external digital-to-analog converters (DACs) with amplitude and phase correction		-60		dBc
Baseband Quadrature Imbalance					
Amplitude	Using Apollo external DACs		± 0.9		dB
Phase			± 16		Degrees

BB_Ix 入力および BB_Qx 入力、低周波数帯

$T_C = 25^\circ\text{C}$ 、 $V_{DD_DRV} = 3\text{V}$ 、その他すべての電源電圧 = 1.8V 、 $P_{BB} = -20\text{dBm}$ 、 $P_{LO} = 0\text{dBm}$ 、 $f_{BB} = 100\text{MHz}$ 、下側波帯、最大ゲイン、RF LPF 設定 = $0x00$ (最高カットオフ)、 $V_{ICM} = 1\text{V}$ 。特に指定のない限り、測定は外部駆動されたベースバンド・ポートで行われ、損失は除去されています。

表 7. BB_IP、BB_IN、BB_QP、BB_QN の各入力、低周波数帯

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
I/Q BASEBAND MODE, LOW BAND					
Conversion Gain			26		dB
Output P1dB			20		dBm
Output IP3	100MHz tone spacing		26		dBm
Sideband Rejection	No RF filtering applied				
	Uncalibrated		-30		dBc
	Calibrated		-35		dBc
Baseband Quadrature Imbalance					
Amplitude	Using Apollo external DACs		± 0.9		dB
Phase			± 16		Degrees

仕様

タイミング仕様

詳細については、[タイミング図の概要](#)のセクション、[デジタル入力のパワーアップおよび印加](#)のセクション、[SPI 命令の初期化](#)のセクション、[チップのイネーブルおよび動作](#)のセクション、[チップのディスエーブルおよびリセット](#)のセクション、[チップのディスエーブルおよびパワーダウン](#)のセクションを参照してください。

表 8. タイミング仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
t ₁	1		100	ms	Power supplies 10% to 90% rise time.
t ₂	10			ns	Power supplies 90% level to valid digital input time (t _{DIGITAL}). Do not set any logic input levels high prior to t _{DIGITAL} . The $\overline{\text{RST}}$ and $\overline{\text{CS}}$ can go high together after t ₂ has transpired. If CHIP_ADD0 and CHIP_ADD1 are to be set externally, then set them to the desired logic levels after t ₂ and prior to any SPI instructions.
t ₃	10			ns	$\overline{\text{RST}}$ rising edge to $\overline{\text{CS}}$ falling edge (first SPI instruction after reset). Waiting t ₃ ensures that the digital logic has reset to the default values.
t ₄	5			ns	$\overline{\text{CS}}$ falling edge to SCLK rising edge setup time.
t ₅	10			ns	SCLK cycle time (write).
t ₅	20			ns	SCLK cycle time (read).
t ₆	2.5			ns	SCLK high time.
t ₇	2.5			ns	SCLK low time.
t ₈	3			ns	SDI data setup time.
t ₉	2			ns	SDI data hold time.
t ₁₀	5			ns	SCLK rising edge to $\overline{\text{CS}}$ hold time.
t ₁₁	5			ns	Minimum $\overline{\text{CS}}$ high time for latching in data (for multiple SPI transactions).
t ₁₂	5			ns	$\overline{\text{CS}}$ rising edge to next SCLK rising edge ignore.
t ₁₃		4		ns	SCLK falling edge to SDO valid (load capacitance (C _L) = 10pF).
t ₁₄		5		ns	SDO rise and fall time (C _L = 10pF).
t ₁₅		4		ns	$\overline{\text{CS}}$ rising edge to SDO tristate (C _L = 10pF).
t ₁₆	10			ns	Time from final initialization SPI instruction to entering the operational time (t _{OPERATIONAL}). Set CEN to logic high at this time.
t ₁₇	5			ns	$\overline{\text{CS}}$ rising edge to LOAD pin first rising edge time for loading filter contents.
t ₁₈	10			ns	LOAD pin high time for loading the filter and DSA contents.
t ₁₉	10			ns	LOAD pin low time for preparing to load the DSA offsets.
t ₂₀	10			ns	LOAD pin high time for loading the DSA offsets.
t ₂₁	0			ns	$\overline{\text{CS}}$ falling edge to LOAD pin falling edge time. Both can be set low at the same time after a load operation has been completed (after t ₁₈ or t ₂₀) and another SPI instruction is desired.
t ₂₂	10			ns	Time from the last SPI instruction when the chip is operational (t _{CONTINUE}) to the disable time (t _{DISABLE}). After t ₂₂ has transpired, set CEN to logic low to disable the chip.
t ₂₃	3			μs	CEN falling edge to $\overline{\text{RST}}$ falling edge. Waiting t ₂₃ ensures that the RF portions of the chip have been allowed to power down prior to chip reset.
t ₂₄	10			ns	$\overline{\text{RST}}$ low time to perform reset.
t ₂₅	3			μs	CEN falling edge to the power-down time (t _{POWER-DOWN}). Waiting t ₂₅ ensures that the RF portions of the chip have been allowed to power down prior to shutting down the chip power.
t ₂₆			10	μs	Logic inputs fall time. The logic inputs and power supplies can be turned off at the same time.
t ₂₇	1		100	ms	Power supplies 90% to 10% fall time.

絶対最大定格

表 9. 絶対最大定格

Parameter	Rating
Supply Voltage	
3V Supply	3.3V
1.8V Supply	2V
Digital Input and Output Voltages	
1.8V Supply	2V
LO Input Power	2dBm
RF Input Power ¹	
IF_HYB, IF_I, and IF_Q Pins	7dBm
BB_IP, BB_IN, BB_QP, and BB_QN Pins	5dBm
Continuous RF Input Power	
For 10 Year Reliability	
IF Hybrid Mode and Complex IF Mode	
DSA1 ≤ 10	-10dBm + DSA1 Value
DSA1 > 10	0dBm
I/Q Baseband Mode	
DSA1 ≤ 10	-17dBm + DSA1 Value
DSA1 > 10	-7dBm
Continuous RF Output Power	
For 10 Year Reliability	
DSA1 ≤ 10 and, DSA2 = 0	5dBm
DSA1 > 10 and DSA2 > 0	5dBm, additional attenuation
Survivability RF Input Power	
2 Hours Over Lifetime	
IF Hybrid Mode and Complex IF Mode	
DSA1 ≤ 10	3dBm + DSA1 Value
DSA1 > 1	13dBm
I/Q Baseband Mode	
DSA1 ≤ 10	-4dBm + DSA1 Value
DSA1 > 10	6dBm
Survivability RF Output Power	
2 Hours Over Lifetime	
DSA1 ≤ 10 and DSA2 = 0	18dBm
DSA1 > 10 and DSA2 > 0	18dBm, additional attenuation
Temperature	
Maximum Junction (T _J)	125°C
Maximum Storage Range	-65°C to +150°C
Operating T _C Range	-40°C to +95°C
Maximum Power Dissipation	1.3W
Moisture Sensitivity Level (MSL) Rating ²	MSL3

¹ RF 入力電源定格は、ピークと平均値の比を 10dB と仮定しています。

² IPC/JEDEC J-STD-20 MSL 分類に準拠。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC_TOP} は、ジャンクションとケースの間の熱抵抗（°C/W）です。

記載されているすべてのテスト条件が JEDEC の仕様と同じ場合は、 θ_{JC_TOP} のみを用いて、異なるパッケージ間の熱性能を比較できます。それ以外の場合は、 Ψ_{JT} と Ψ_{JB} を用い、次式に従ってデバイスのジャンクション温度を計算します。

$$T_J = (P \times \Psi_{JT}) + T_{TOP}$$

ここで、

P はチップ内の総消費電力（W）、

Ψ_{JT} はジャンクションと上面の間の熱特性値、

T_{TOP} はパッケージ上面の温度（°C）、 T_{TOP} はパッケージ上面中央で測定した値です。

$$T_J = (P \times \Psi_{JB}) + T_{BOARD}$$

ここで、

P はチップ内の総消費電力（W）、

Ψ_{JB} はジャンクションとボードの間の熱特性値、

T_{BOARD} はパッケージ本体の長辺の中間で端から 1mm 以内の点で測定したボードの温度（°C）です。

JEDEC51-12 に記載のとおり、ヒートシンクまたはヒート・スプレッドがない場合は、前出の式のみを使用してください。ヒートシンクまたはヒート・スプレッドが追加されている場合は、 θ_{JC_TOP} を用いてジャンクション温度を推定または計算します。

表 10 に、ADMV1355 パッケージ全体で均一に電力が消費されるという JEDEC 規格とは異なり、JEDEC（JESD51-2）基板をベースとした電力マップに基づいた、ケースからジャンクションまでの温度上昇（ T_{RISE_JC} ）を示します。 T_{RISE_JC} は、すべての動作条件に適用され、ジャンクション温度の計算値は高くなります。ただし、 T_{RISE_JC} を用いると、JEDEC ボードに取り付けた ADMV1355 のジャンクション温度の計算がより正確なものになります。

T_{C_MAX} を計算するには、次式を用います（図 2 を参照）。

$$T_{C_MAX} = T_{J_MAX} - T_{RISE_JC} - P \times \theta_{JC_BOT} \quad (1)$$

底面が PCB の裏面に該当する場合は、次式を用います。

$$T_{BOARD} = T_{BASE_PLATE} + P \times \theta_{BOARD} + P \times \theta_{TIM} \quad (2)$$

ここで、

T_{C_MAX} はパッケージ本体の長辺の中間で端から 1mm 以内の点で測定したボードの最高温度（°C）、

T_{J_MAX} は表 9 に示す最高ジャンクション温度（°C）、

絶対最大定格

T_{RISE_JC} は表 10 に示すケースからジャンクションまでの最大温度上昇 (°C) 、
 P はチップ内の総消費電力 (W) 、
 θ_{JC_BOT} は表 11 に示すジャンクションとケースの間の熱抵抗 (°C/W) 、
 T_{BOARD} はパッケージ本体の長辺の真中で端から 1mm 以内の点で測定したボードの温度 (°C) 、
 T_{BASE_PLATE} はヒートシンクのベース・プレートの温度、
 θ_{BOARD} はボードの熱抵抗 (°C/W) 、
 θ_{TIM} は TIM の熱抵抗 (°C/W) です。

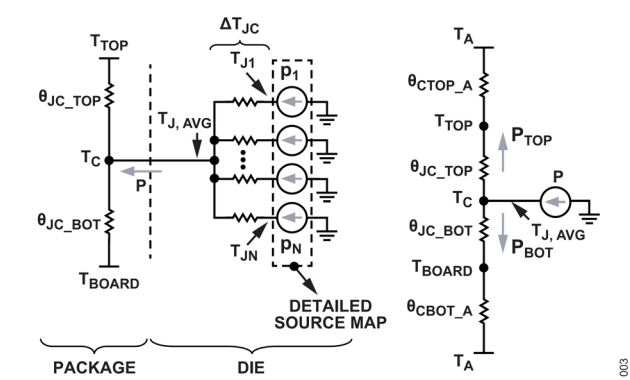


図 2. 電力マップの回路レベルの記載 (左) と均一消費電力法 (右)

表 10. 電力マップに基づく温度上昇

Package Type ¹	T_{RISE_JC}	Unit
BC-120-4	25	°C

¹ 熱抵抗の最適化に関する詳細は、JEDEC 規格 JESD51-2 を参照してください。

JEDEC (JESD51-2) ボードをベースとする均一消費電力の JEDEC 規格を仮定した ADMV1355 の熱抵抗を、表 11 に示します。均一消費電力に基づく熱抵抗は、ADMV1355 と他の同種 IC の性能を比較するのに有用です。

表 11. 均一消費電力に基づく熱抵抗

Package Type	θ_{JC_BOT} ¹	θ_{JC_TOP} ¹	Ψ_{JT}	Ψ_{JB}	θ_{JA}	Unit
BC-120-4	2.5	3.2	0.1	8.2	28.1	°C/W

¹ 熱抵抗の最適化に関する詳細は、JEDEC 規格 JESD51-2 を参照してください。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。
ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM) 。
ANSI/ESDA/JEDEC JS-002 準拠の電界誘起チャージ・デバイス・モデル (FICDM) 。

ADMV1355 の ESD 定格

表 12. ADMV1355、120 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	1000	1C
FICDM	250	C1

ESD に関する注意

ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

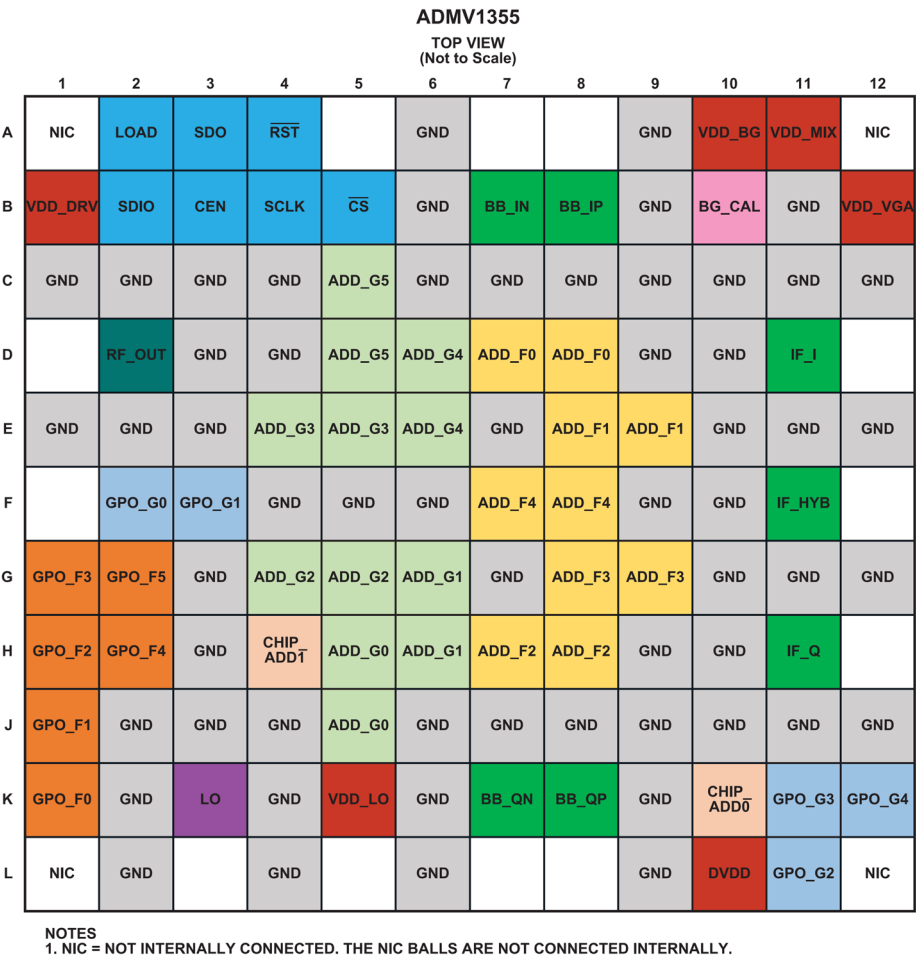


図 3. ピン配置

表 13. ピン機能の説明

ピン番号	記号	説明
A1, A12, L1, L12 A2	NIC LOAD	内部接続なし。NIC ボールは内部では接続されていません。 ロード同期トグル。アクティブ・ハイの 1.8V ロジック。LOAD 機能が有効な場合、LOAD ボールをロジック・ローからロジック・ハイに遷移させると、フィルタ・レジスタおよびゲイン・レジスタの内容が動作中のレジスタに送られます。 ロード動作が完了したら LOAD ボールをロジック・ローに戻してください。詳細については図 181 を参照してください。内部プルアップ抵抗またはプルダウン抵抗はありません。LOAD は、マイクロコントローラまたはフィールド・プログラマブル・ゲート・アレイ（FPGA）からのロジック出力に接続します。フローティング状態にはしないでください。LOAD 機能を使用しない場合、このボールはグラウンドに接続します。
A3	SDO	SPI データ出力。アクティブ・ハイの 1.8V ロジック。4 線式 SPI を実装する場合、SPI データは、SDO ボールを用いて読み出されます。SDO を使用しない場合、このボールはフローティング状態にします。
A4	RST	チップ・リセット。アクティブ・ローの 1.8V ロジック。
A6, A9, B6, B9, B11, C1 to C4, C6 to C12, D3, D4, D9, D10, E1 to E3, E7, E10 to E12, F4 to F6, F9, F10, G3, G7, G10 to G12, H3, H9, H10, J2 to J4, J6 to J12, K2, K4, K6, K9, L2, L4, L6, L9	GND	グラウンド。すべてのグラウンド・ボールをまとめて、PCB の低インピーダンス・プレーンに接続します。
A10	VDD_BG	バンドギャップ・リファレンス電源電圧（1.8V）。0.01μF および 1μF のデカップリング・コンデンサを VDD_BG の近くに配置します。
A11	VDD_MIX	ミキサー電源電圧（1.8V）。0.01μF および 1μF のデカップリング・コンデンサを VDD_MIX の近くに配置します。
B1	VDD_DRV	RF 出力ドライバ電源（3V）。0.01μF および 1μF のデカップリング・コンデンサを VDD_DRV の近くに配置します。

ピン配置およびピン機能の説明

表 13. ピン機能の説明（続き）

ピン番号	記号	説明
B2	SDIO	SPI データ入出力。アクティブ・ハイの 1.8V ロジック。3 線式 SPI を実装する場合、SDIO は双方向です。4 線式 SPI を実装する場合、SDIO はデータ入力にのみ用いられます。
B3	CEN	チップ・イネーブル。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。CEN はマイクロコントローラ、FPGA、または電力シーケンサからのロジック出力に接続します。フローティング状態にはしないでください。すべての電源電圧がオンになり RST がハイにセットされるまで、CEN ピンをローに保持しておく必要があります。
B4	SCLK	SPI クロック入力。アクティブ・ハイの 1.8V ロジック。SPI 書き込みトランザクションの間、データは、SCLK の立上がりエッジでサンプリングされます。SPI 読出しトランザクションの間、出力データは SCLK の立下がりエッジで変化します。
B5	$\overline{\text{CS}}$	SPI チップ・セレクト。アクティブ・ローの 1.8V ロジック。SPI トランザクションを開始するには $\overline{\text{CS}}$ をローにします。詳細については、図 180 および図 181 を参照してください。
B7, B8	BB_IN, BB_IP	差動ベースバンド I 入力。これらの入力は、内部において 100Ω の差動出力インピーダンスで DC カップリングされています。コモン・モード入力電圧 (V_{ICM}) 範囲は 0V~1.55V です。IF モードで動作させる場合は、BB_IN および BB_IP をフローティング状態にできます。
B10	BG_CAL	バンドギャップ・リファレンス・キャリブレーション。BG_CAL は、製造時およびデバッグ目的に使用されます。このボールはフローティング状態のままにできます。あるいは、3.48kΩ、1%の抵抗に接続できます。このボールはグラウンドに接続しないでください。
B12	VDD_VGA	RF シグナル・チェーン電源 (1.8V)。0.01μF および 1μF のデカップリング・コンデンサを VDD_VGA の近くに配置します。
C5, D5	ADD_G5	ゲイン LUT アドレスのビット 5。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G5 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G5 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
D2	RF_OUT	RF 出力。このボールは DC カップリングされ、50Ω に整合されています。RF_OUT には外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを RF_OUT に直列に配置し、コンデンサの寄生成分の影響が必要な動作周波数範囲に対し許容可能なものになるようにしてください。
D6, E6	ADD_G4	ゲイン LUT アドレスのビット 4。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G4 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G4 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
D7, D8	ADD_F0	周波数 LUT アドレスのビット 0。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_F0 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_F0 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
D11, H11	IF_I, IF_Q	複素 IF 入力。各入力は DC カップリングされ、50Ω に整合されています。IF_I や IF_Q には外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを直列に配置し、コンデンサの寄生成分の影響が必要な動作周波数範囲に対し許容可能なものになるようにしてください。
E4, E5	ADD_G3	ゲイン LUT アドレスのビット 3。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G3 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G3 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
E8, E9	ADD_F1	周波数 LUT アドレスのビット 1。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_F1 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_F1 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
F2	GPO_G0	汎用デジタル出力ピン・ゲイン 0。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
F3	GPO_G1	汎用デジタル出力ピン・ゲイン 1。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
F7, F8	ADD_F4	周波数 LUT アドレスのビット 4。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_F4 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_F4 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
F11	IF_HYB	IF ハイブリッド入力。このボールは DC カップリングされ、50Ω に整合されています。IF_HYB には外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを IF_HYB に直列に配置し、コンデンサの寄生成分の影響が必要な動作周波数範囲に対し許容可能なものになるようにしてください。
G1	GPO_F3	汎用デジタル出力ピン・フィルタ 3。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
G2	GPO_F5	汎用デジタル出力ピン・フィルタ 5。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
G4, G5	ADD_G2	ゲイン LUT アドレスのビット 2。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G2 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G2 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。

ピン配置およびピン機能の説明

表 13. ピン機能の説明（続き）

ピン番号	記号	説明
G6, H6	ADD_G1	ゲイン LUT アドレスのビット 1。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G1 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G1 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
G8, G9	ADD_F3	周波数 LUT アドレスのビット 3。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_F3 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_F3 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
H1	GPO_F2	汎用デジタル出力ピン・フィルタ 2。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
H2	GPO_F4	汎用デジタル出力ピン・フィルタ 4。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
H4	CHIP_ADD1	チップ・アドレスのビット 1。アクティブ・ハイの 1.8V ロジック。CHIP_ADD1 は内部で 15kΩ を介してハイにプルアップされます。このボールは、マイクロコントローラまたは FPGA からのロジック出力によって動的に設定されます。固定アドレス指定を行う場合は、このボールをフローティング状態のままにすることによってハイに設定し、グラウンドに接続することによってローに設定します。シングル・チップ実装の場合は、このボールを常にグラウンドに接続します。
H5, J5	ADD_G0	ゲイン LUT アドレスのビット 0。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_G0 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_G0 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
H7, H8	ADD_F2	周波数 LUT アドレスのビット 2。アクティブ・ハイの 1.8V ロジック。内部プルアップ抵抗またはプルダウン抵抗はありません。ADD_F2 はマイクロコントローラまたは FPGA からのロジック出力に接続します。フローティング状態にはしないでください。ADD_F2 を用いて LUT アドレス・ポインタを設定しない場合は、このボールをグラウンドに接続します。
J1	GPO_F1	汎用デジタル出力ピン・フィルタ 1。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
K1	GPO_F0	汎用デジタル出力ピン・フィルタ 0。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
K3	LO	LO 入力。このボールは DC カップリングされ、50Ω に整合されています。LO には外部電圧をかけないでください。必要に応じ、DC 阻止コンデンサを LO に直列に配置し、コンデンサの寄生成分の影響が必要な動作周波数範囲に対し許容可能なものになるようにしてください。
K5	VDD_LO	局部発振器の電源（1.8V）。0.01μF および 1μF のデカップリング・コンデンサを VDD_LO の近くに配置します。
K7, K8	BB_QN, BB_QP	差動ベースバンド Q 入力。これらの入力は、内部において 100Ω の差動出力カインピーダンスで DC カップリングされています。V _{ICM} の範囲は 0V~1.55V です。IF モードで動作させる場合、BB_QN および BB_QP をフローティング状態にできます。
K10	CHIP_ADD0	チップ・アドレスのビット 0。アクティブ・ハイの 1.8V ロジック。CHIP_ADD0 は内部で 15kΩ を介してハイにプルアップされます。このボールは、マイクロコントローラまたは FPGA からのロジック出力によって動的に設定されます。固定アドレス指定を行う場合は、このボールをフローティング状態のままにすることによってハイに設定し、グラウンドに接続することによってローに設定します。シングル・チップ実装の場合は、このボールを常にグラウンドに接続します。
K11	GPO_G3	汎用デジタル出力ピン・ゲイン 3。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
K12	GPO_G4	汎用デジタル出力ピン・ゲイン 4。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。
L10	DVDD	デジタル電源電圧（1.8V）。0.01μF および 1μF のデカップリング・コンデンサを DVDD の近くに配置します。
L11	GPO_G2	汎用デジタル出力ピン・ゲイン 2。アクティブ・ハイの 1.8V ロジック。このボールはフローティング状態のままにできます。このボールはグラウンドに接続しないでください。

代表的な性能特性

IF ハイブリッド・モード、IF_HYB、高周波数帯

すべての測定は、IF_HYBを入力として用い、RFを高周波数の設定にしています。特に指定のない限り、VDD_DRV = 3V、その他すべての電源電圧 = 1.8V、T_c = 25°Cです。

特に指定のない限り、すべての測定は、P_{IF} = -20dBm、P_{LO} = -5dBm、f_{IF} = 8GHz、上側波帯、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、RF HPF 設定 = 0x3F（最低カットオフ）、LO チューナブル・フィルタ広帯域ハイ設定（表 18 参照）で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています（図 3 の IF_HYB 入力ピンおよび RF_OUT 出力ピンを参照）。

変換ゲイン

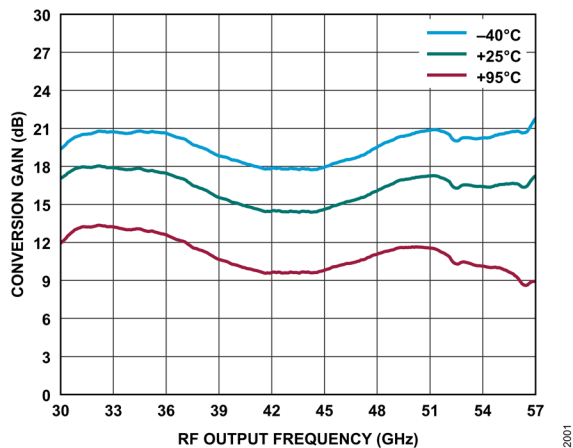


図 4. いくつかの温度設定での変換ゲインと RF 出力周波数の関係

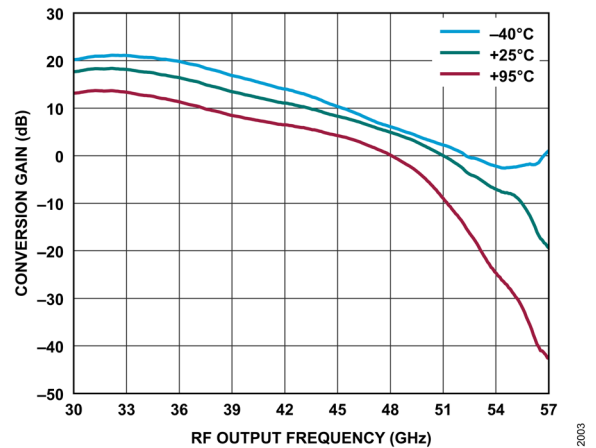


図 6. いくつかの温度設定での変換ゲインと RF 出力周波数の関係（LO フィルタ広帯域ロー設定）

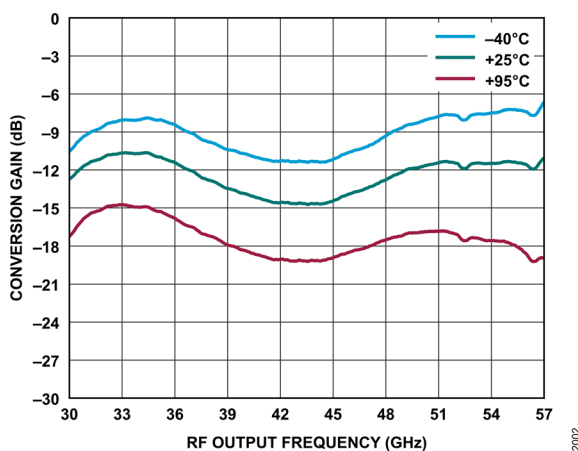


図 5. いくつかの温度設定での変換ゲインと RF 出力周波数の関係（最小ゲイン）

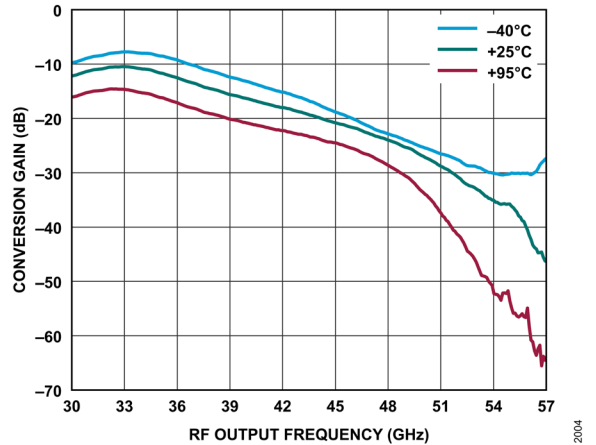


図 7. いくつかの温度設定での変換ゲインと RF 出力周波数の関係（LO フィルタ広帯域ロー設定、最小ゲイン）

代表的な性能特性

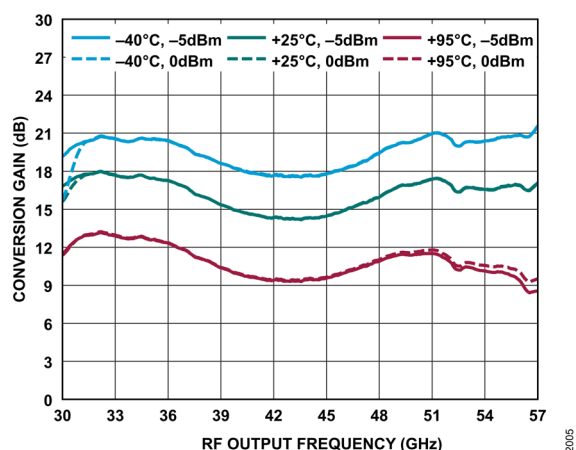


図 8. いくつかの温度設定および LO 電力での変換ゲインと RF 出力周波数の関係

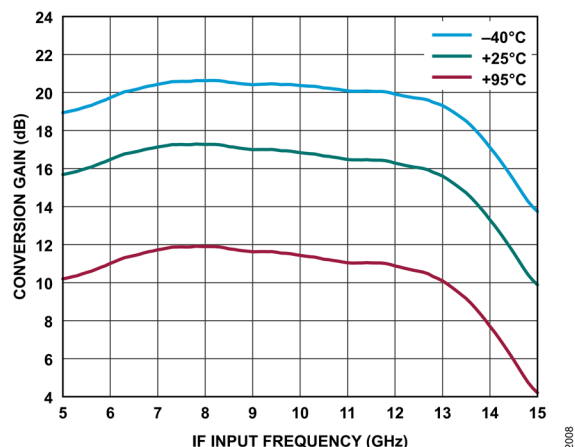


図 11. いくつかの温度設定での変換ゲインと IF 入力周波数の関係

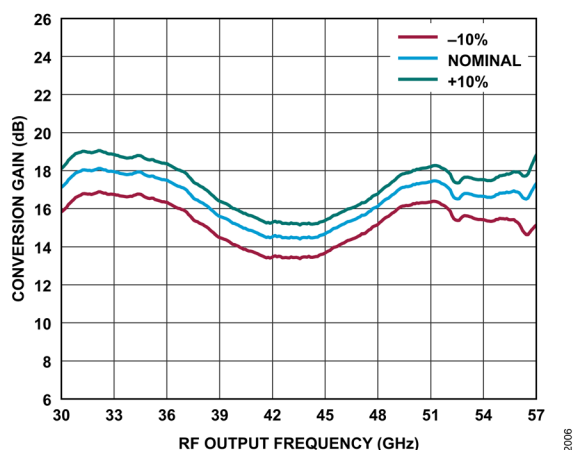


図 9. いくつかの電源電圧での変換ゲインと RF 出力周波数の関係

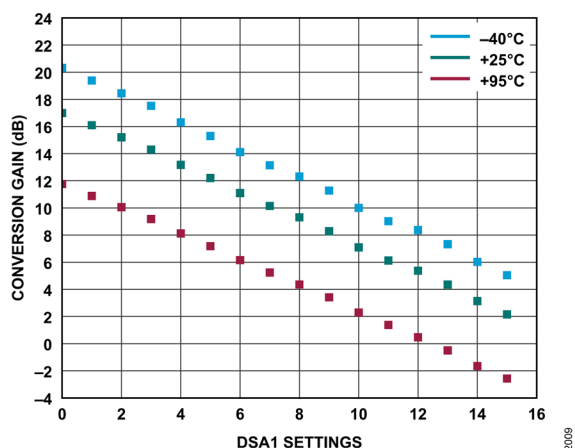


図 12. いくつかの温度設定での変換ゲインと DSA1 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

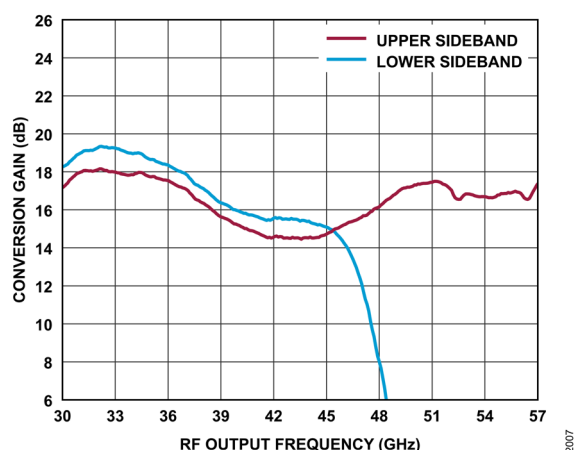


図 10. 変換ゲインと RF 出力周波数の関係 (上側波帯および下側波帯)

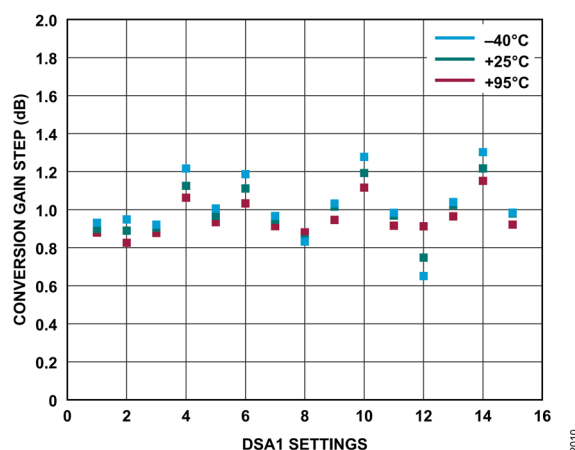


図 13. いくつかの温度設定での変換ゲイン・ステップと DSA1 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

代表的な性能特性

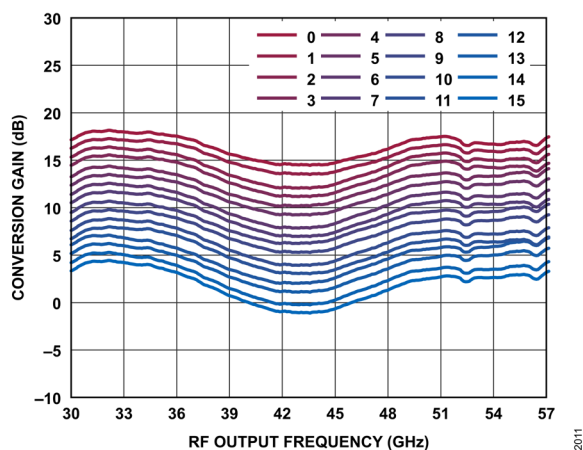


図 14. 様々な DSA1 設定での変換ゲインと RF 出力周波数の関係

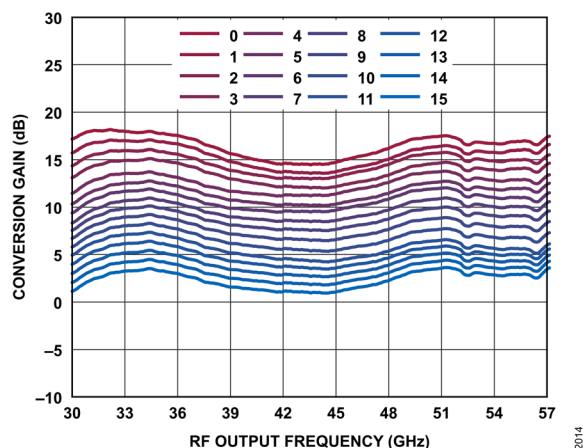


図 17. 様々な DSA2 設定での変換ゲインと RF 出力周波数の関係

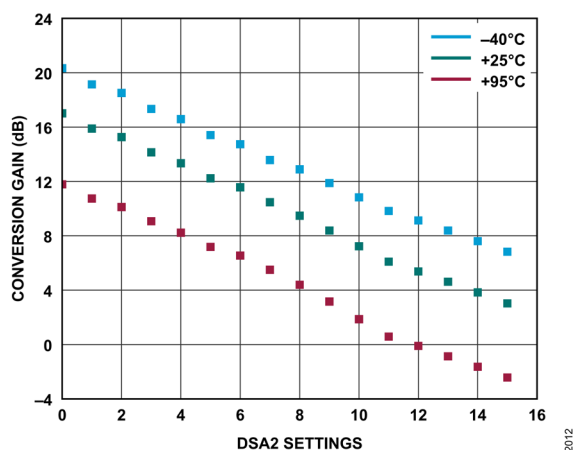


図 15. いくつかの温度設定での変換ゲインと DSA2 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

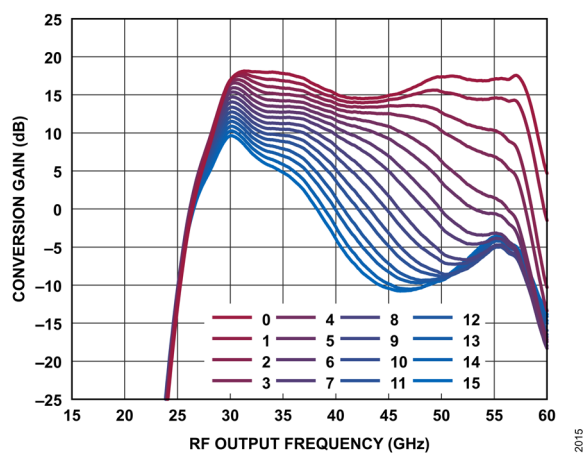


図 18. 様々な RF ローパス・フィルタ設定での変換ゲインと RF 出力周波数の関係

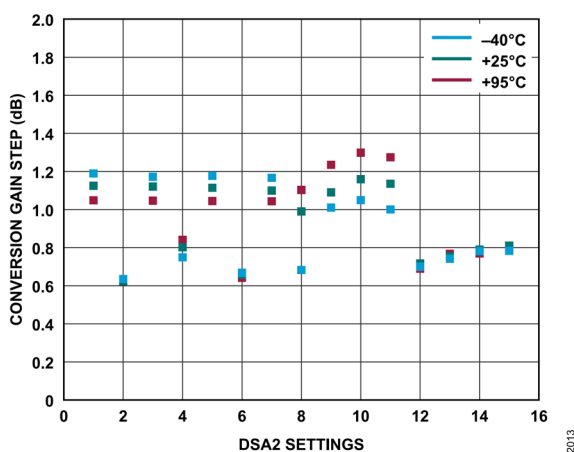


図 16. いくつかの温度設定での変換ゲイン・ステップと DSA2 設定の関係 (シングル $f_{RF} = 49\text{GHz}$)

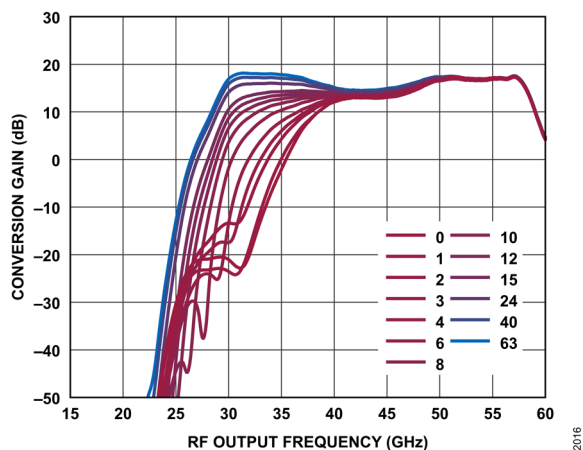


図 19. 様々な RF ハイパス・フィルタ設定での変換ゲインと RF 出力周波数の関係

代表的な性能特性

出力 IP3

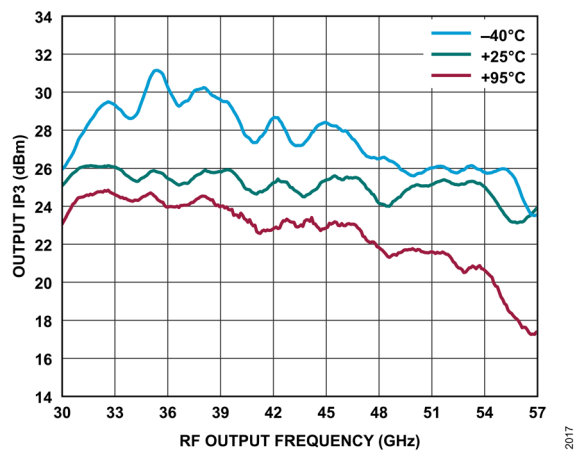


図 20. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係

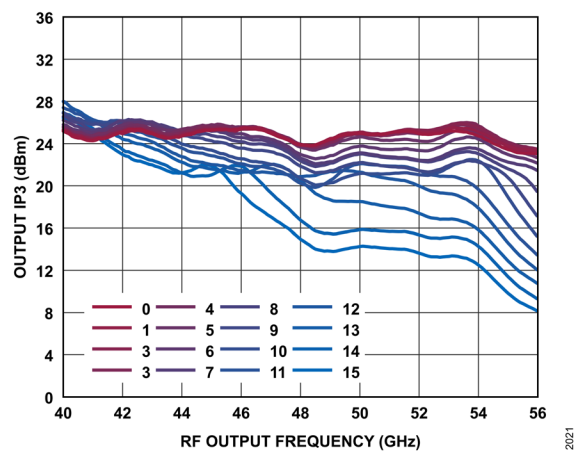


図 23. 様々な DSA1 設定での出力 IP3 と RF 出力周波数 (40GHz~56GHz) の関係

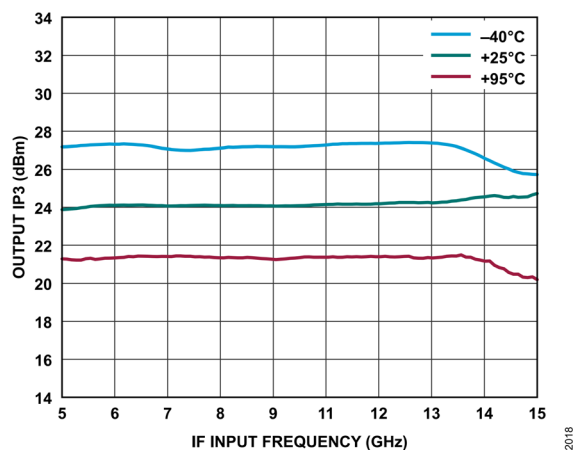


図 21. いくつかの温度設定での出力 IP3 と IF 入力周波数の関係

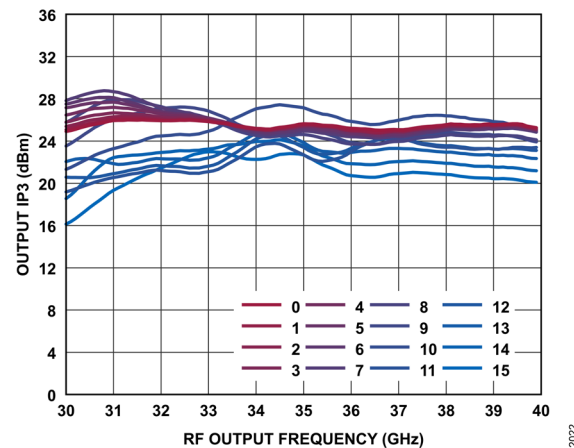


図 24. 様々な DSA2 設定での出力 IP3 と RF 出力周波数 (30GHz~40GHz) の関係

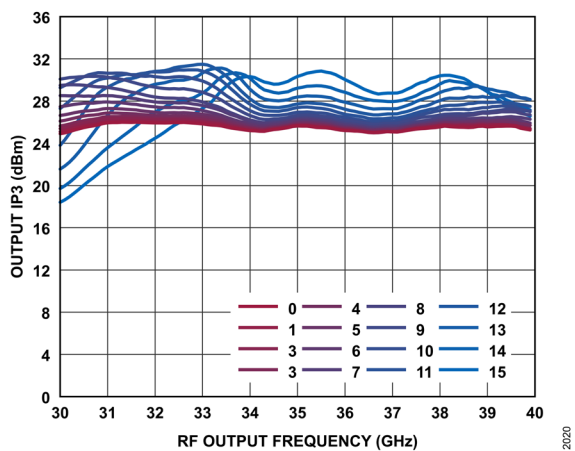


図 22. 様々な DSA1 設定での出力 IP3 と RF 出力周波数 (30GHz~40GHz) の関係

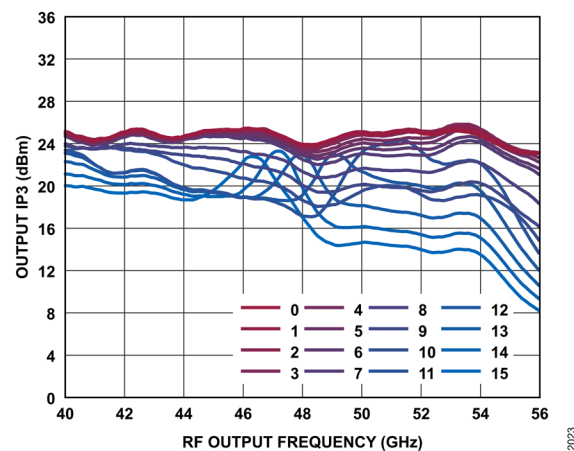


図 25. 様々な DSA2 設定での出力 IP3 と RF 出力周波数 (40GHz~56GHz) の関係

代表的な性能特性

ノイズ指数

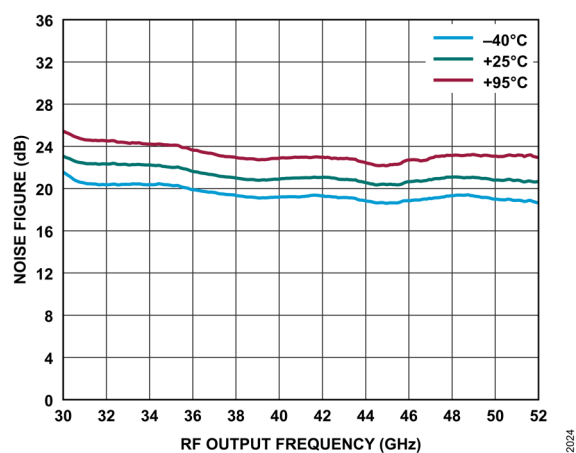


図 26. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係

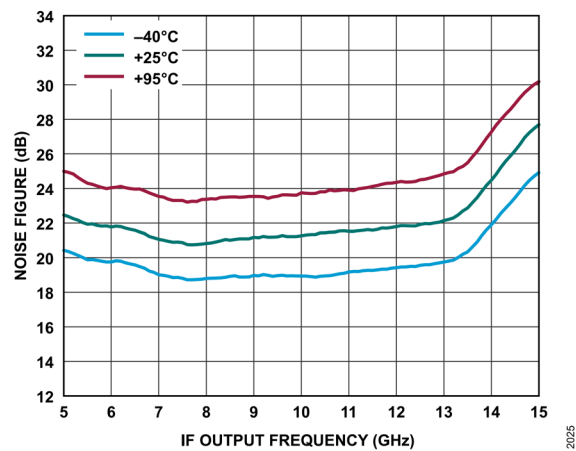


図 27. いくつかの温度設定でのノイズ指数と IF 入力周波数の関係

代表的な性能特性

出力 P1dB

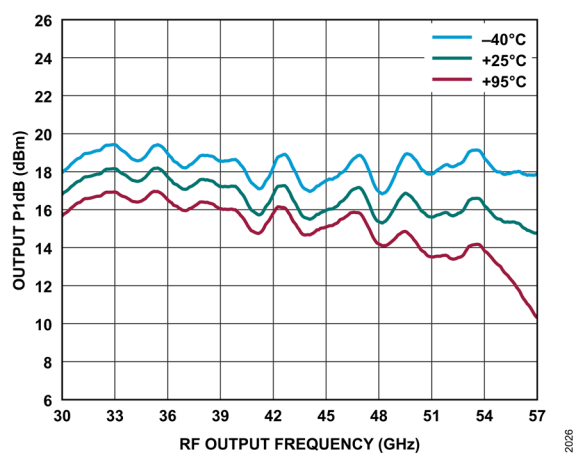


図 28. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係

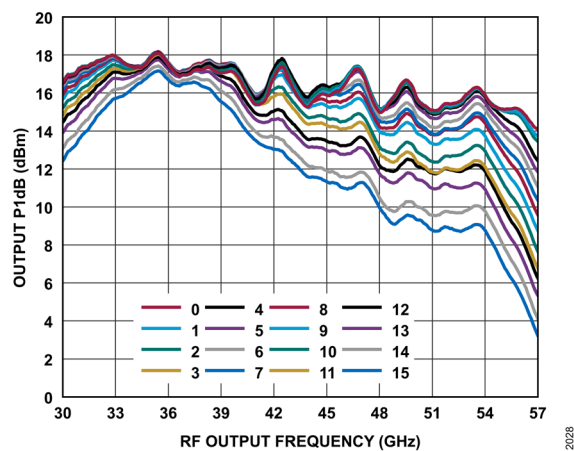


図 30. 様々な DSA1 設定での出力 P1dB と RF 出力周波数の関係

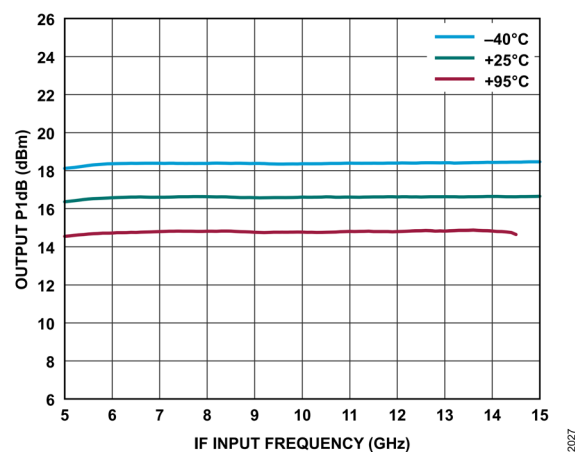


図 29. いくつかの温度設定での出力 P1dB と IF 入力周波数の関係

代表的な性能特性

サイドバンド除去比

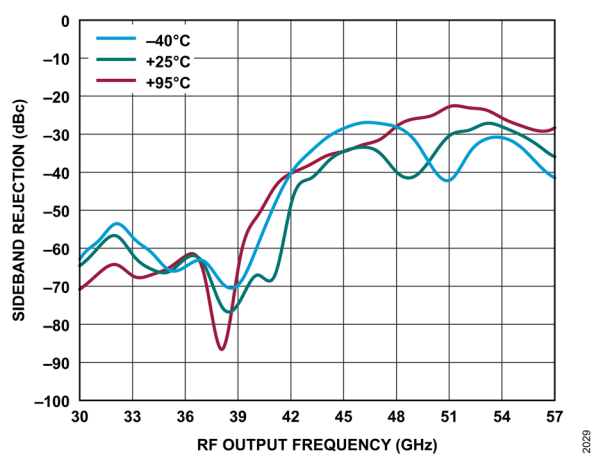


図 31. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係
(キャリブレーションなし、RF フィルタなし)

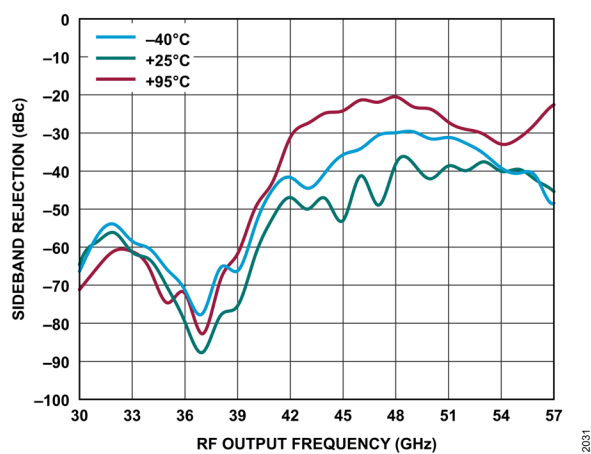


図 33. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係
(25°C で最適化、RF フィルタなし)

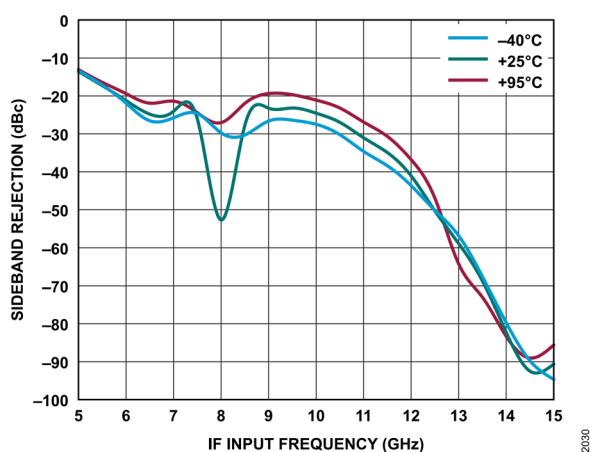


図 32. いくつかの温度設定でのサイドバンド除去比と IF 入力周波数の関係
(キャリブレーションなし、RF フィルタなし)

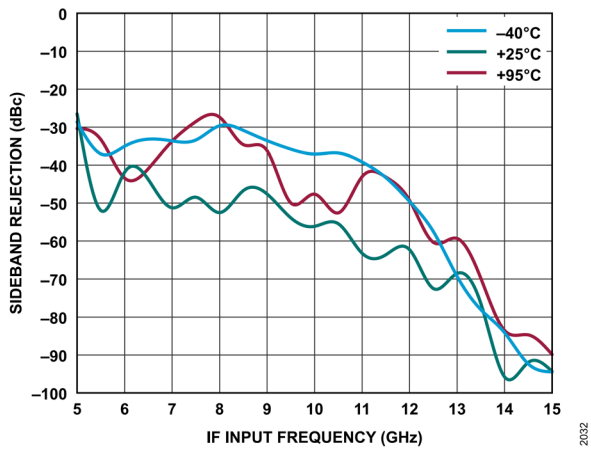


図 34. いくつかの温度設定でのサイドバンド除去比と IF 入力周波数の関係
(25°C で最適化、RF フィルタなし)

代表的な性能特性

スプリアス

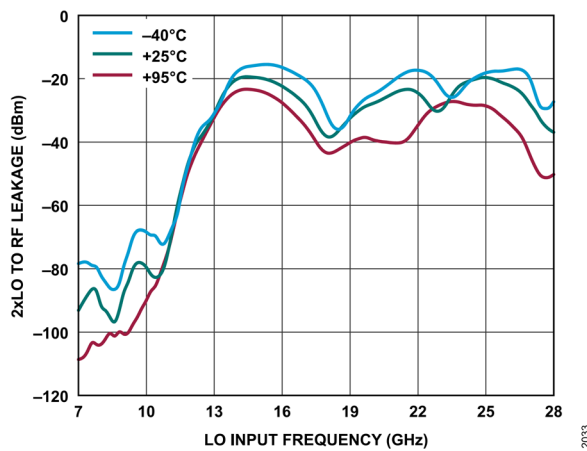


図 35. いくつかの温度設定での 2× LO から RF へのリークと LO 入力周波数の関係
(キャリブレーションなし、RF フィルタなし)

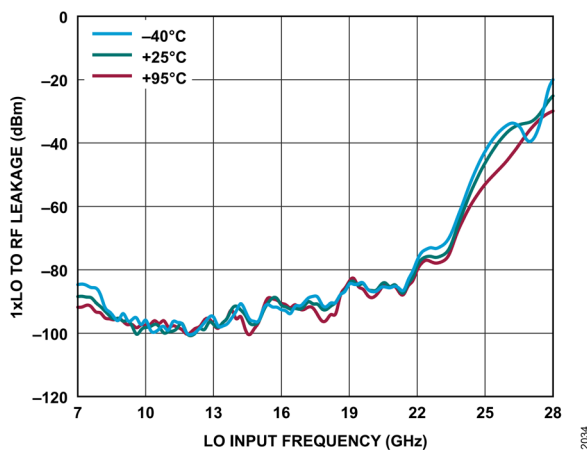


図 36. いくつかの温度設定での 1× LO から RF へのリークと LO 入力周波数の関係
(キャリブレーションなし、RF フィルタなし)

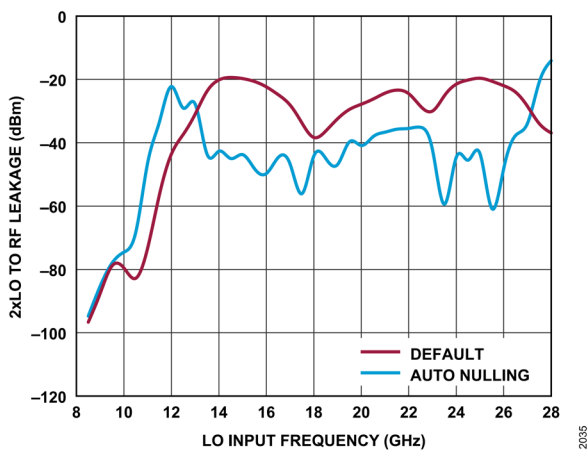


図 37. 25°C での 2× LO から RF へのリークと LO 入力周波数の関係 (自動 LO ノル化キャリブレーションがある場合とない場合、RF フィルタなし)

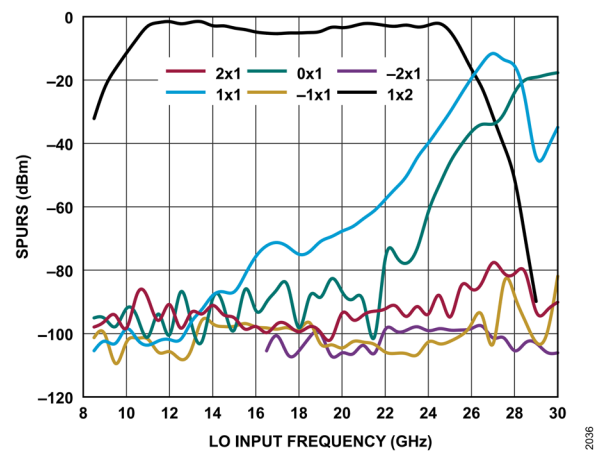


図 38. (IF × m) + 1× LO スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

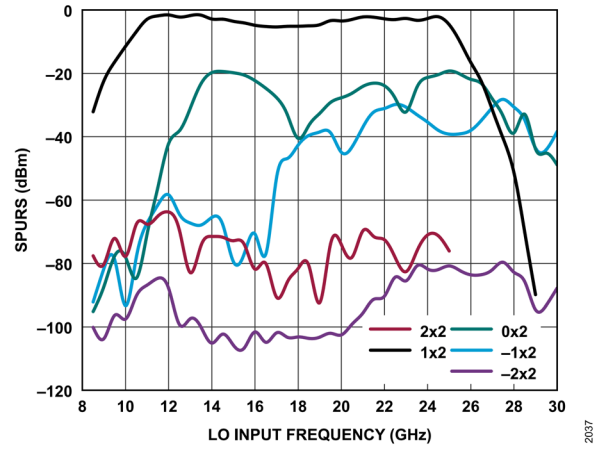


図 39. (IF × m) + 2× LO スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

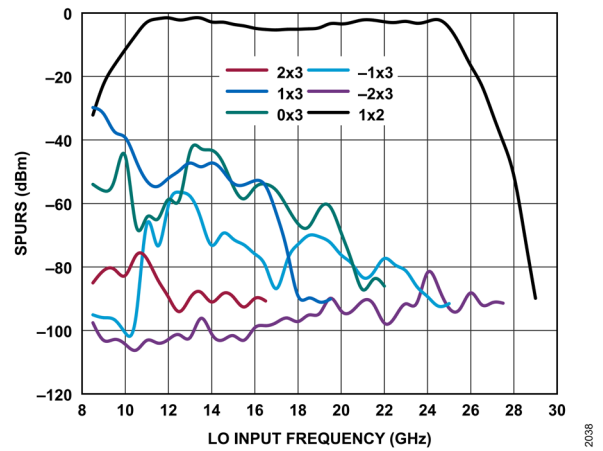


図 40. (IF × m) + 3× LO スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

代表的な性能特性

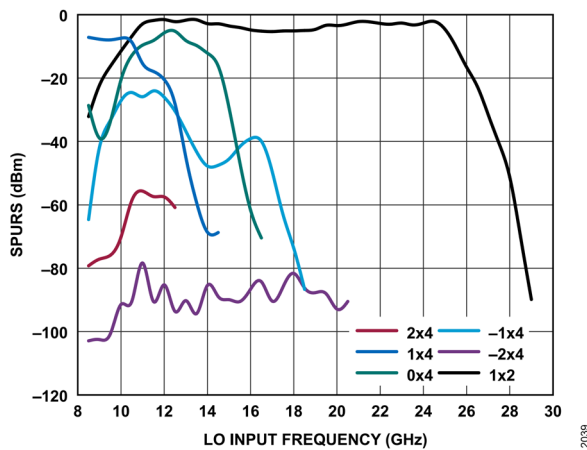


図 41. $(IF \times m) + 4 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (RF フィルタなし)

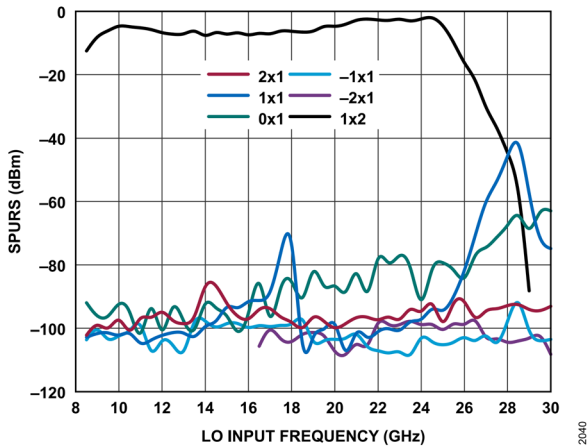


図 42. $(IF \times m) + 1 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

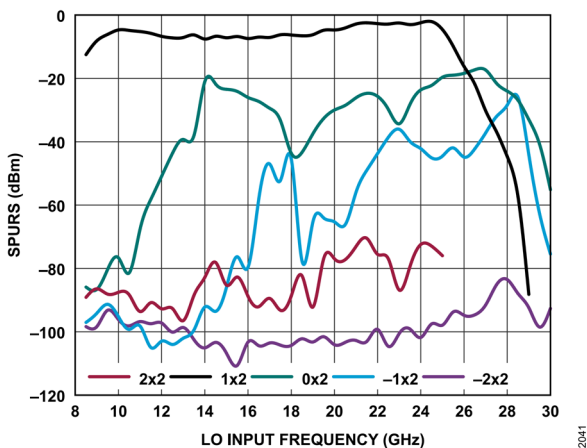


図 43. $(IF \times m) + 2 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

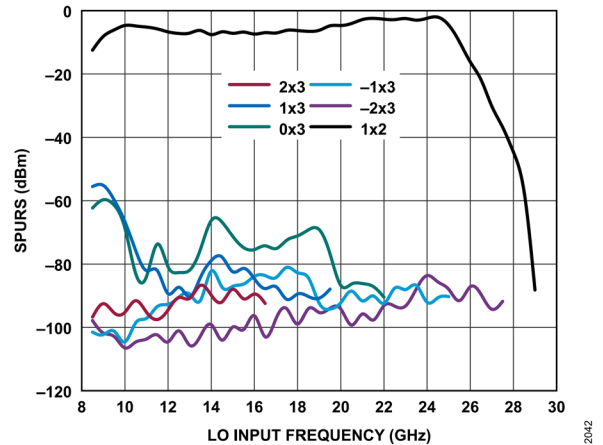


図 44. $(IF \times m) + 3 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

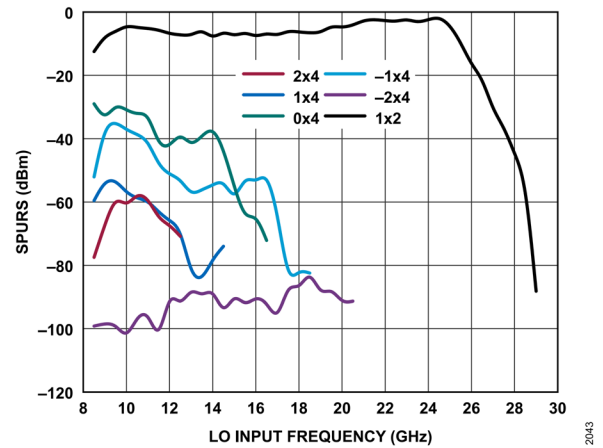


図 45. $(IF \times m) + 4 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

代表的な性能特性

IF ハイブリッド・モード、IF_HYB、低周波数帯

すべての測定は、IF_HYBを入力として用い、RFを低周波帯の設定にしています。特に指定のない限り、VDD_DRV = 3V、その他すべての電源電圧 = 1.8V、T_C = 25°Cです。

特に指定のない限り、すべての測定は、P_{IF} = -20dBm、P_{LO} = -5dBm、f_{IF} = 8GHz、下側波帯、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、LO チューナブル・フィルタ広帯域ハイ設定で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています（図3のIF_HYB入力ピンおよびRF_OUT出力ピンを参照）。

変換ゲイン

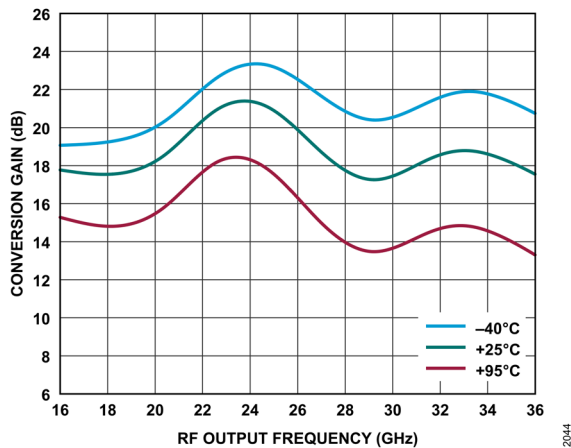


図 46. いくつかの温度設定での変換ゲインと RF 出力周波数の関係

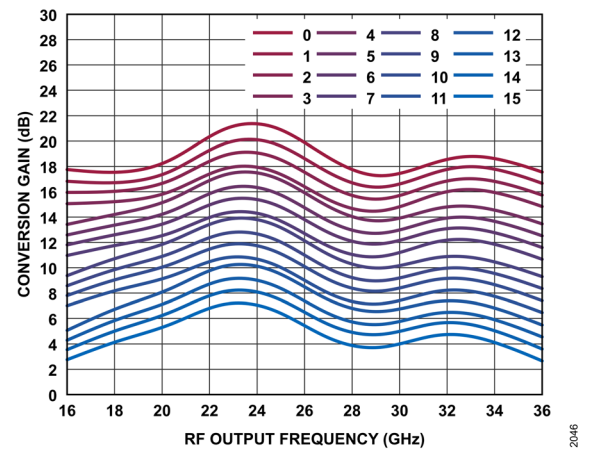


図 48. 様々な DSA1 設定での変換ゲインと RF 出力周波数の関係

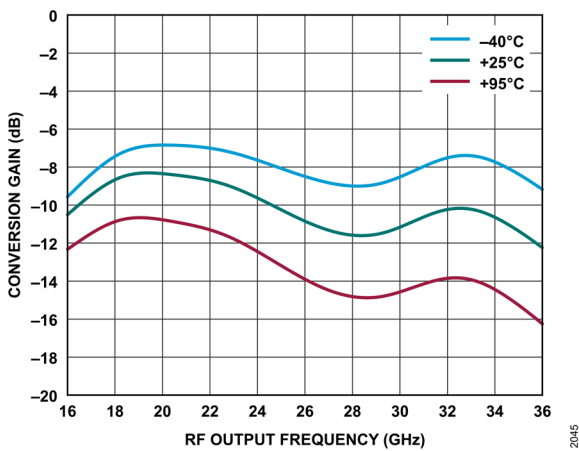


図 47. いくつかの温度設定での変換ゲインと RF 出力周波数の関係（最小ゲイン）

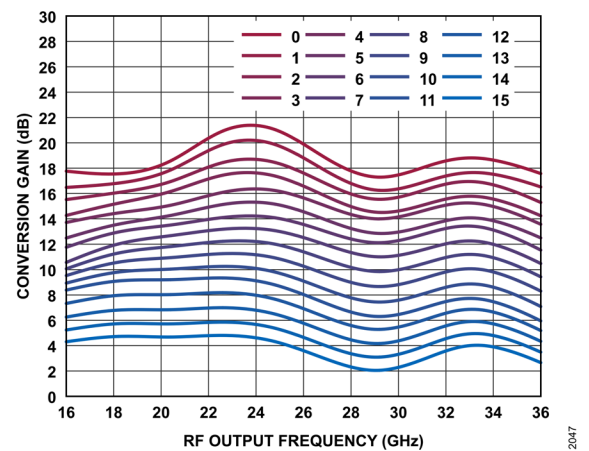


図 49. 様々な DSA2 設定での変換ゲインと RF 出力周波数の関係

代表的な性能特性

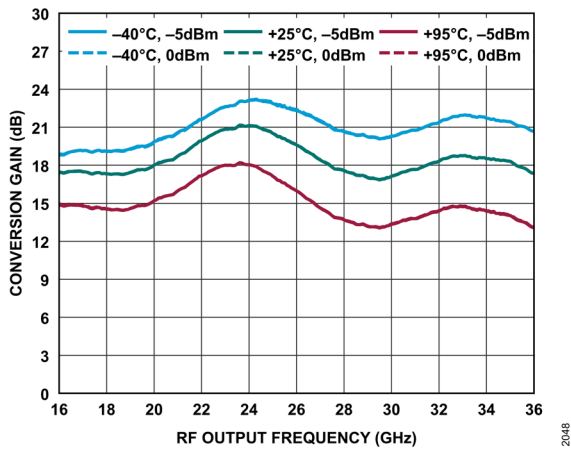


図 50. いくつかの温度設定および LO 電力での変換ゲインと RF 出力周波数の関係

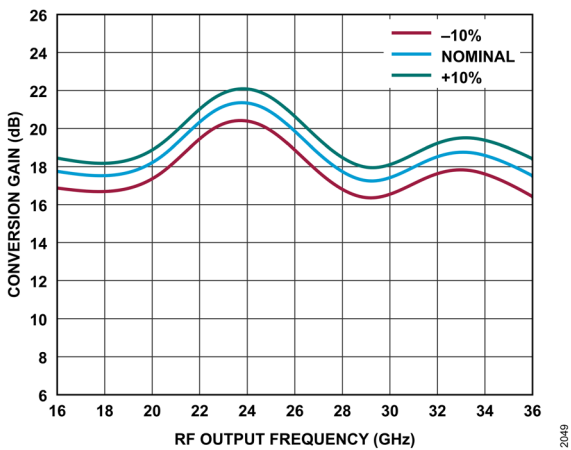


図 51. いくつかの電源電圧での変換ゲインと RF 出力周波数の関係

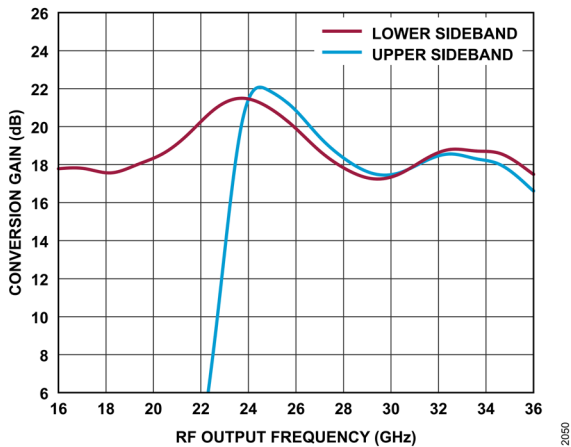


図 52. 変換ゲインと RF 出力周波数の関係 (上側波帯および下側波帯)

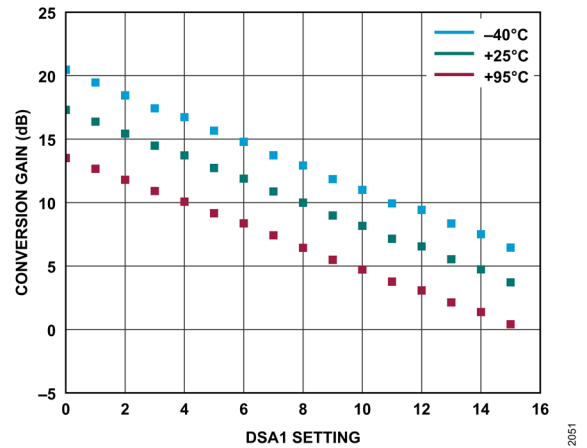


図 53. いくつかの温度設定での変換ゲインと DSA1 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

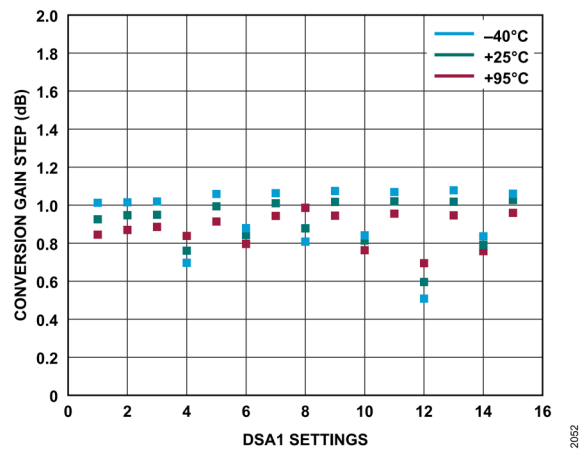


図 54. いくつかの温度設定での変換ゲイン・ステップと DSA1 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

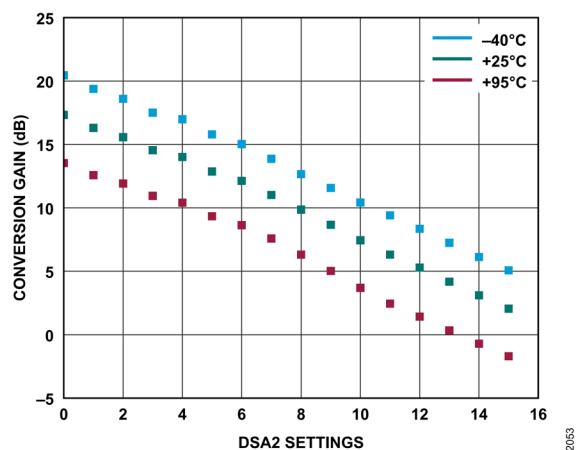


図 55. いくつかの温度設定での変換ゲインと DSA2 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

代表的な性能特性

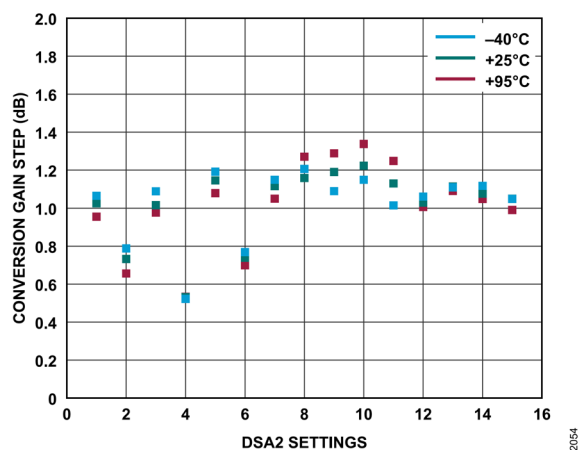


図 56. いくつかの温度設定での変換ゲイン・ステップと DSA2 設定の関係 (シングル $f_{RF} = 29\text{GHz}$)

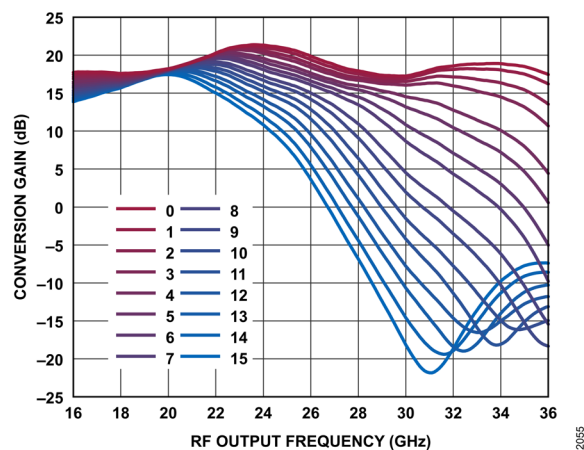


図 57. 様々な RF LPF 設定での変換ゲインと RF 出力周波数の関係

代表的な性能特性

出力 IP3

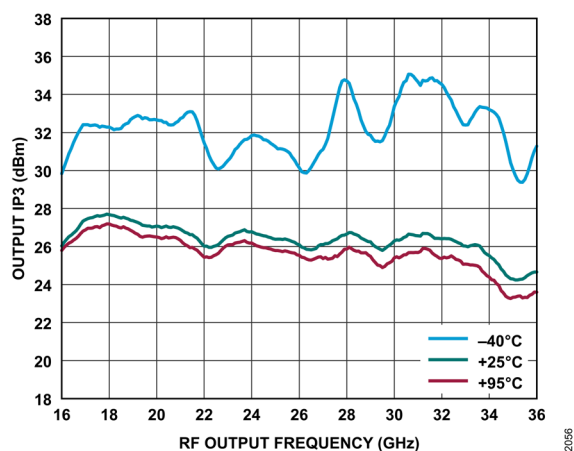


図 58. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係

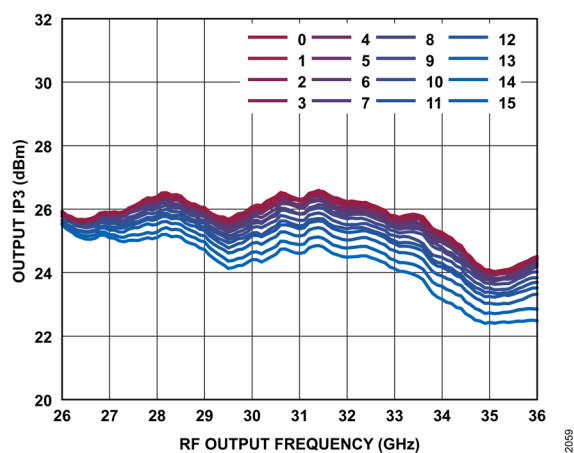


図 61. 様々な DSA1 設定での出力 IP3 と RF 出力周波数 (26GHz~36GHz) の関係

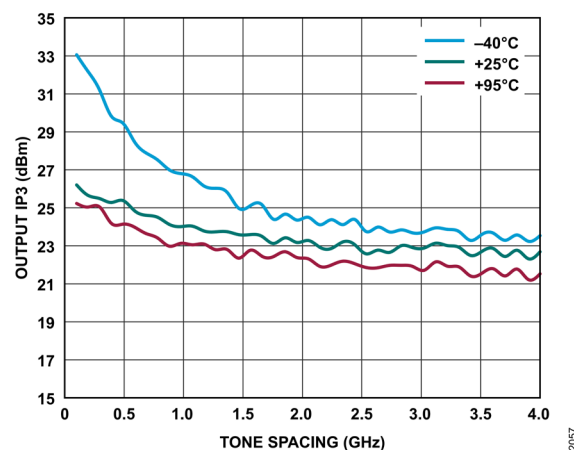


図 59. いくつかの温度設定での出力 IP3 と トーン間隔の関係

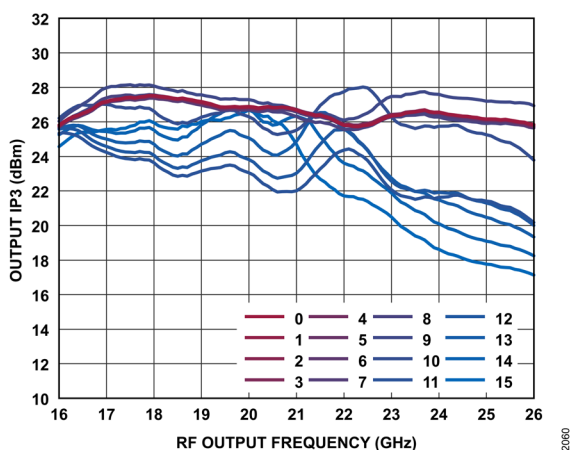


図 62. 様々な DSA2 設定での出力 IP3 と RF 出力周波数 (16GHz~26GHz) の関係

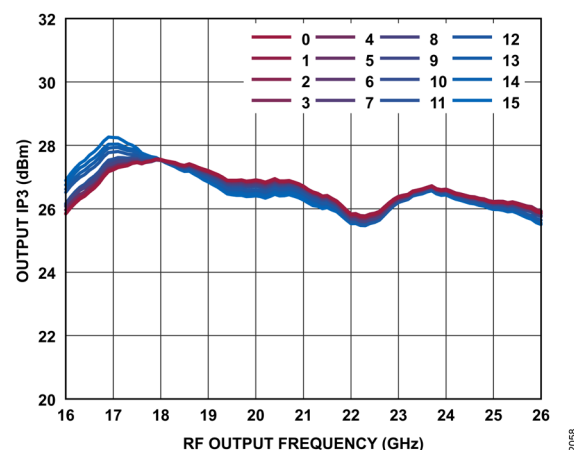


図 60. 様々な DSA1 設定での出力 IP3 と RF 出力周波数 (16GHz~26GHz) の関係

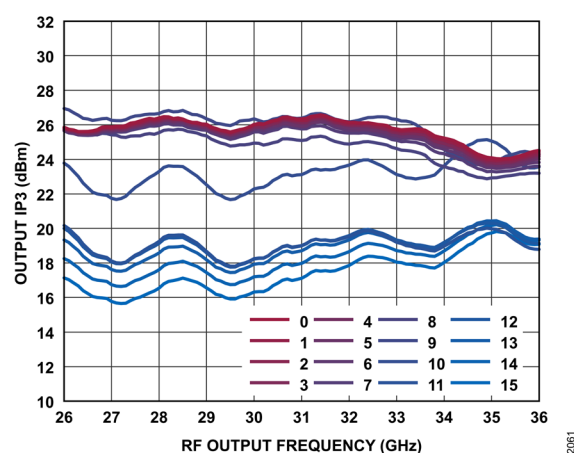


図 63. 様々な DSA2 設定での出力 IP3 と RF 出力周波数 (26GHz~36GHz) の関係

代表的な性能特性

ノイズ指数

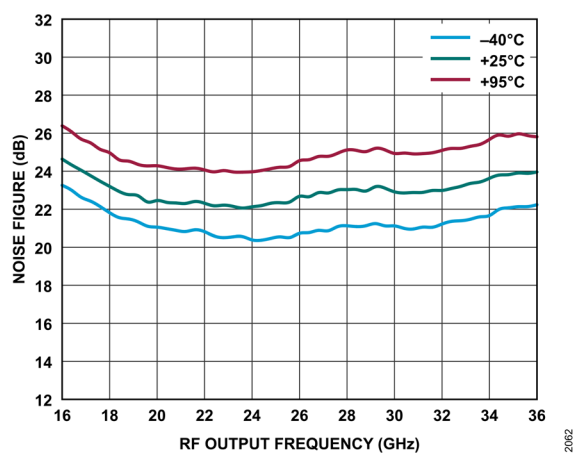


図 64. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係

代表的な性能特性

出力 P1dB

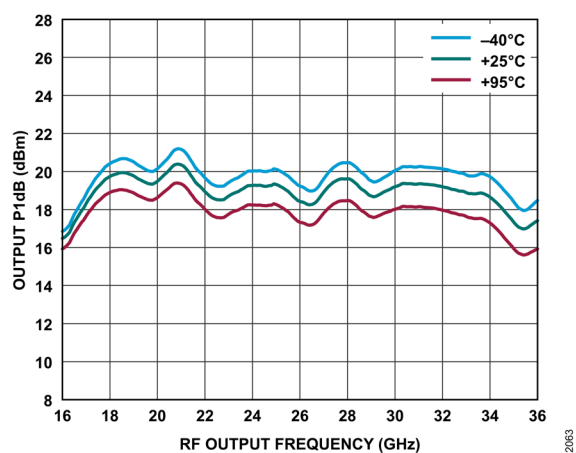


図 65. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係

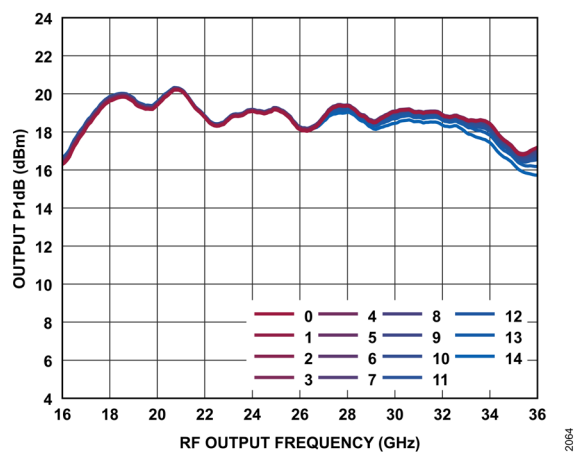


図 66. 様々な DSA1 設定での出力 P1dB と RF 出力周波数の関係

代表的な性能特性

サイドバンド除去比

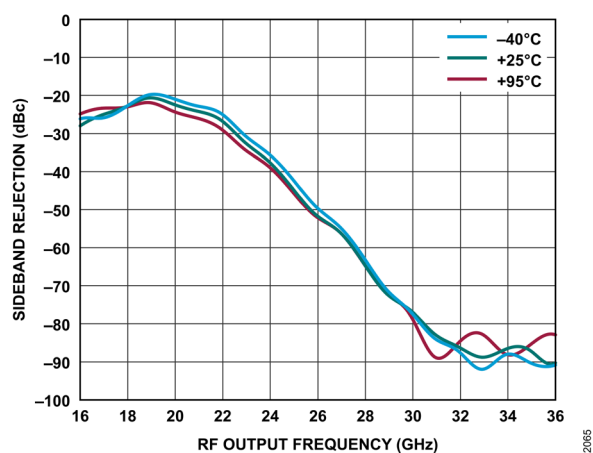


図 67. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係
(キャリブレーションなし、RF フィルタなし)

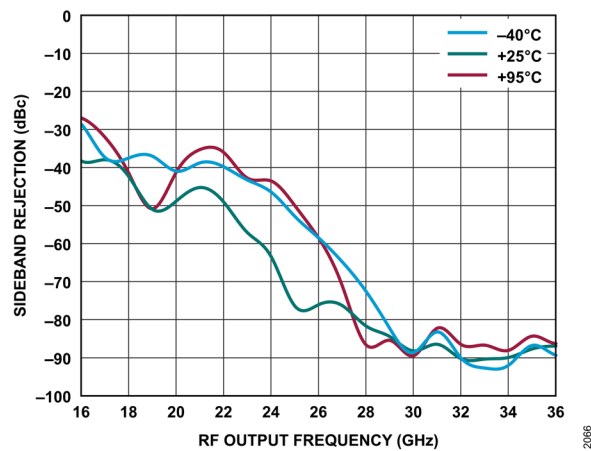


図 68. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係
(25°C で最適化、RF フィルタなし)

代表的な性能特性

スプリアス

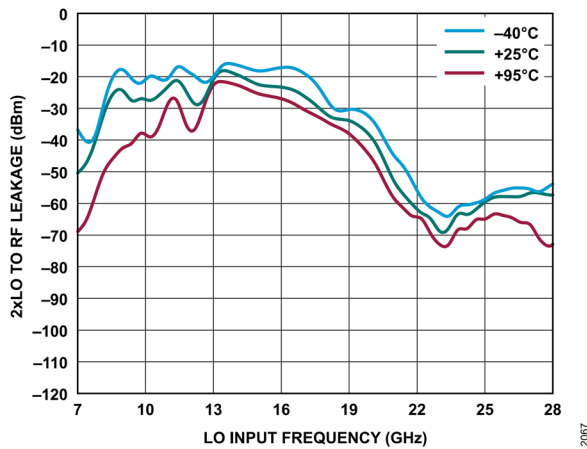


図 69. いくつかの温度設定での 2× LO から RF へのリークと LO 入力周波数の関係
(キャリブレーションなし、RF フィルタなし)

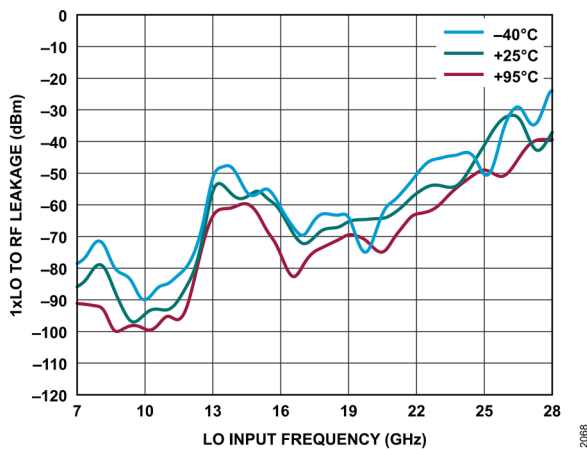


図 70. いくつかの温度設定での 1× LO から RF へのリークと LO 入力周波数の関係
(キャリブレーションなし、RF フィルタなし)

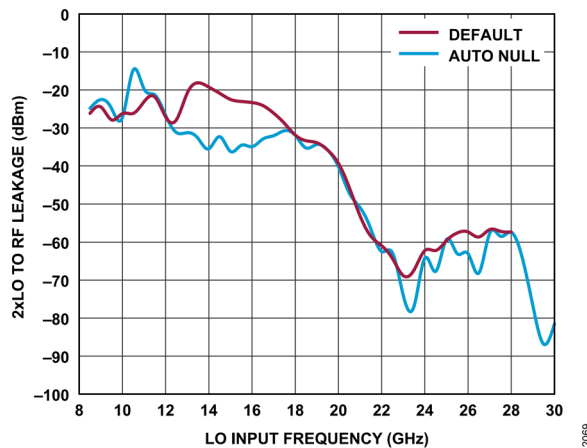


図 71. 25°C での 2× LO から RF へのリークと LO 入力周波数の関係 (自動 LO ノル化キャリブレーションがある場合とない場合、RF フィルタなし)

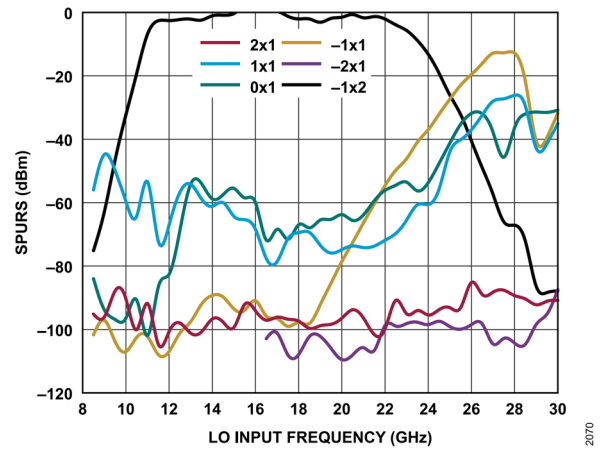


図 72. $(IF \times m) + 1 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

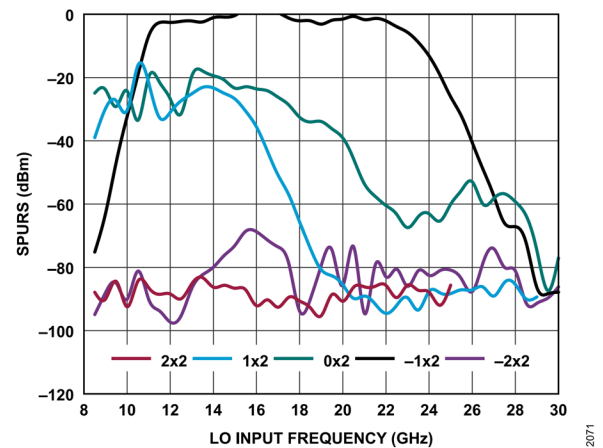


図 73. $(IF \times m) + 2 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

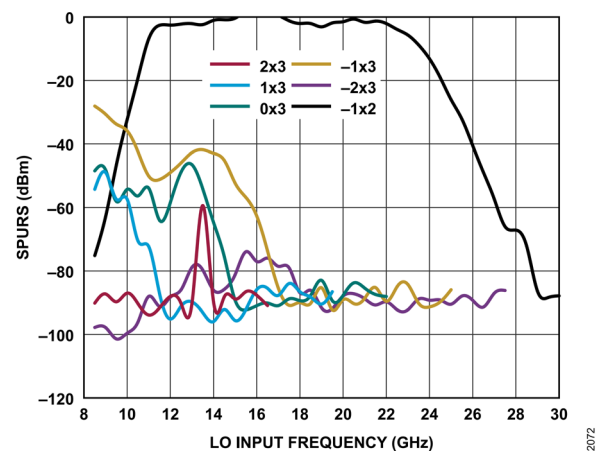


図 74. $(IF \times m) + 3 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

代表的な性能特性

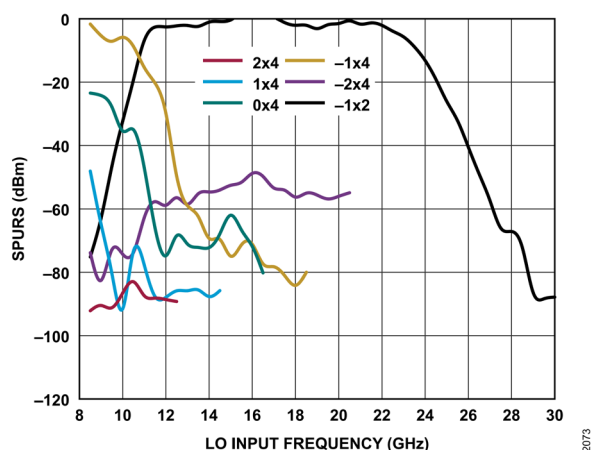


図 75. $(IF \times m) + 4 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (RF フィルタなし)

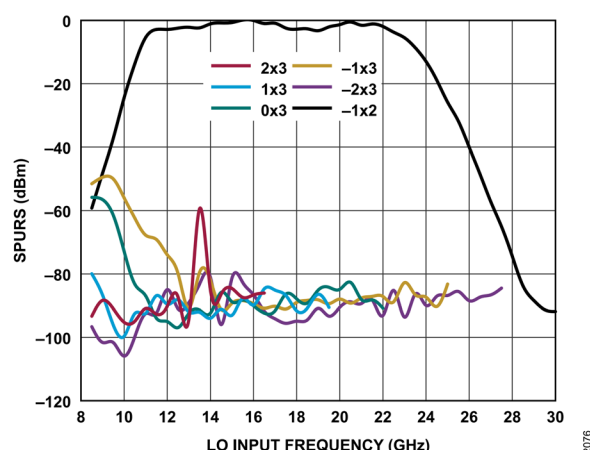


図 78. $(IF \times m) + 3 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

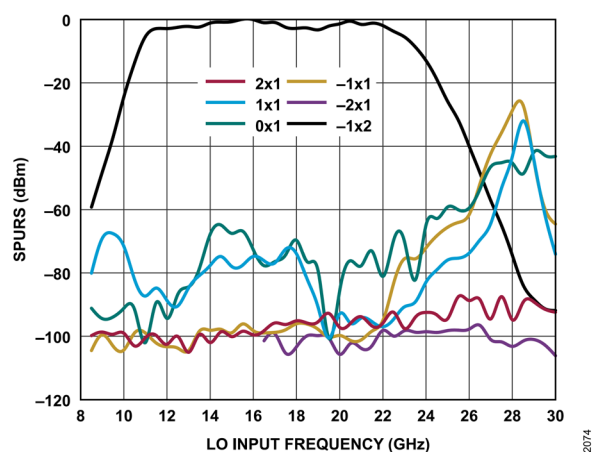


図 76. $(IF \times m) + 1 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

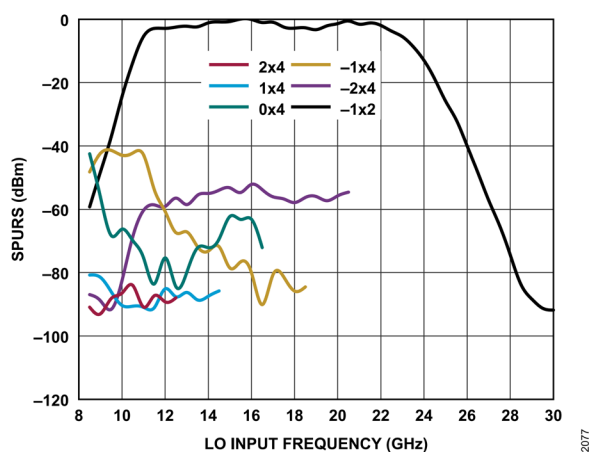


図 79. $(IF \times m) + 4 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

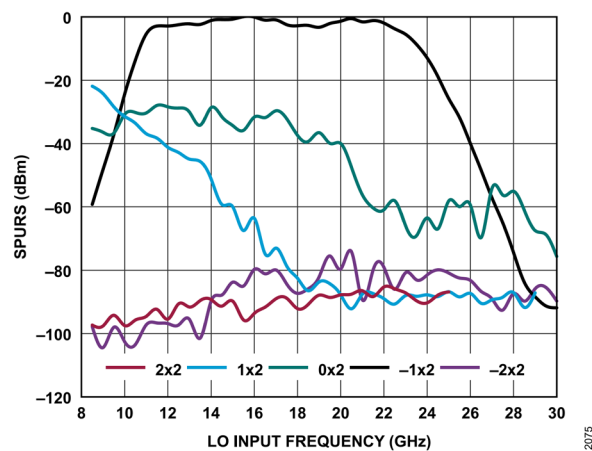


図 77. $(IF \times m) + 2 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

代表的な性能特性

複素 IF モード、IF_X、高周波数帯

すべての測定は、IF_I および IF_Q を入力、RF_OUT を出力として用い、RF を高周波数帯の設定にしています。特に指定のない限り、VDD_DRV = 3V、その他すべての電源電圧 = 1.8V、T_C = 25°C です。

特に指定のない限り、すべての測定は、P_{IF} = -21dBm、P_{LO} = -5dBm、f_{IF} = 1GHz、f_{RF} = 49GHz、f_{LO} = 48GHz（上側波帯）、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、RF HPF 設定 = 0x3F（最低カットオフ）、LO チューナブル・フィルタ広帯域ハイ設定で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています（図 3 の IF_I および IF_Q 入力ピンと RF_OUT 出力ピンを参照）。

変換ゲイン

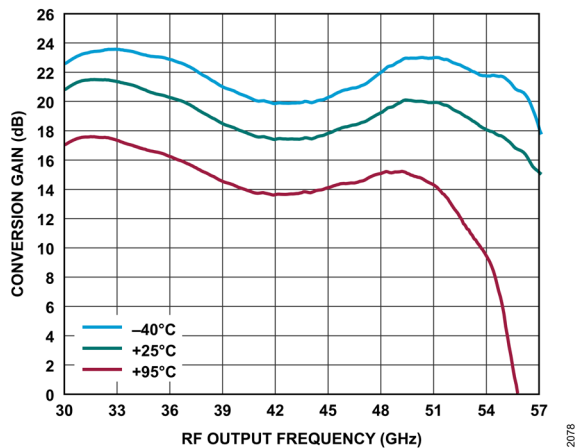


図 80. いくつかの温度設定での変換ゲインと RF 出力周波数の関係

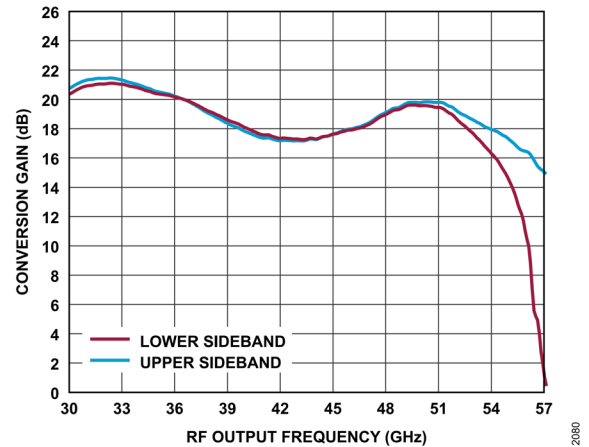


図 82. 変換ゲインと RF 出力周波数の関係（上側波帯および下側波帯）

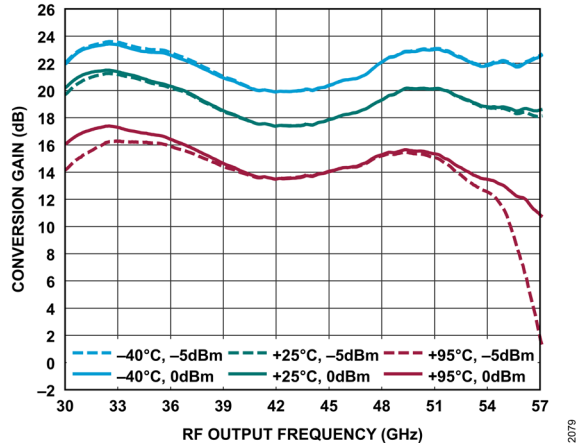


図 81. いくつかの温度設定および LO 電力での変換ゲインと RF 出力周波数の関係

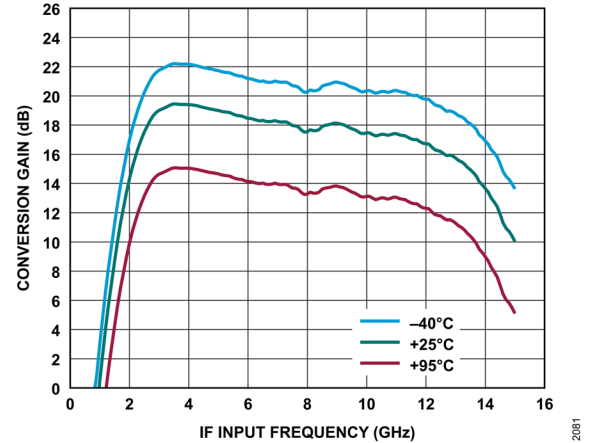


図 83. いくつかの温度設定での変換ゲインと IF 入力周波数の関係（IF バランは高周波数モード）

代表的な性能特性

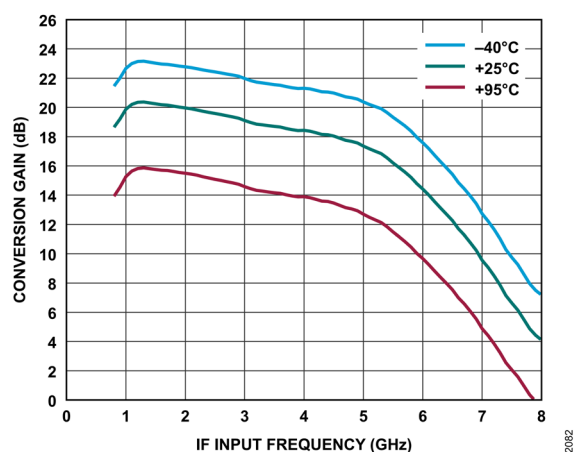


図 84. いくつかの温度設定での変換ゲインと IF 入力周波数の関係 (IF バランは低周波数モード)

代表的な性能特性

出力 IP3

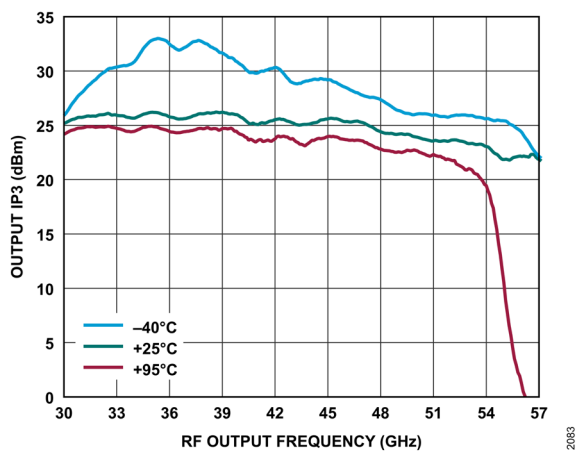


図 85. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係

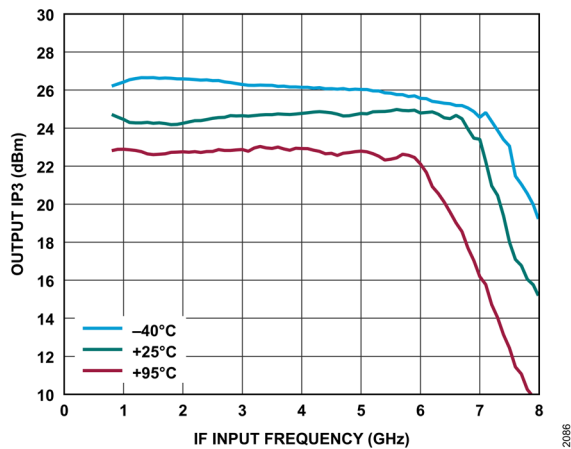


図 88. いくつかの温度設定での出力 IP3 と IF 入力周波数の関係 (IF バランは低周波数モード)

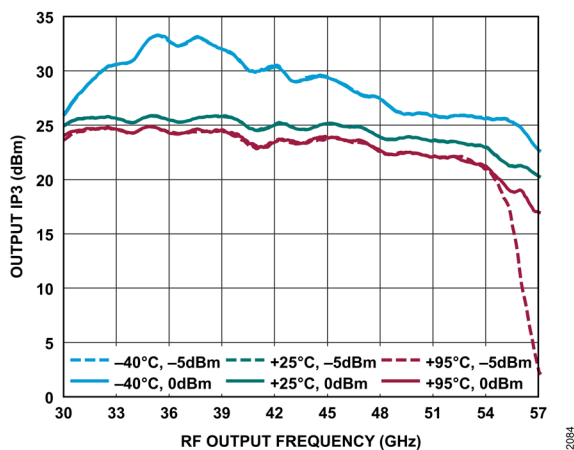


図 86. いくつかの温度設定および LO 電力での出力 IP3 と RF 出力周波数の関係

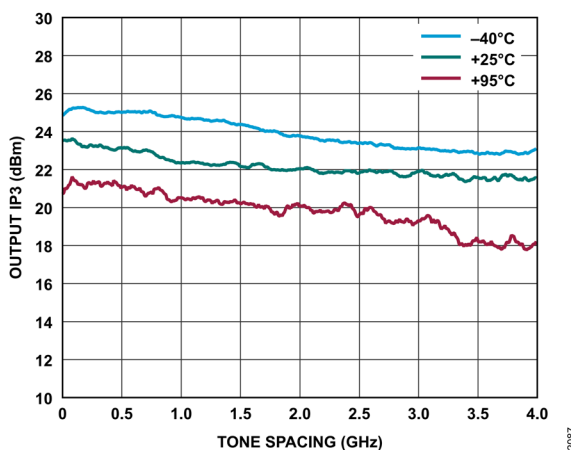


図 89. いくつかの温度設定での出力 IP3 と トーン間隔の関係

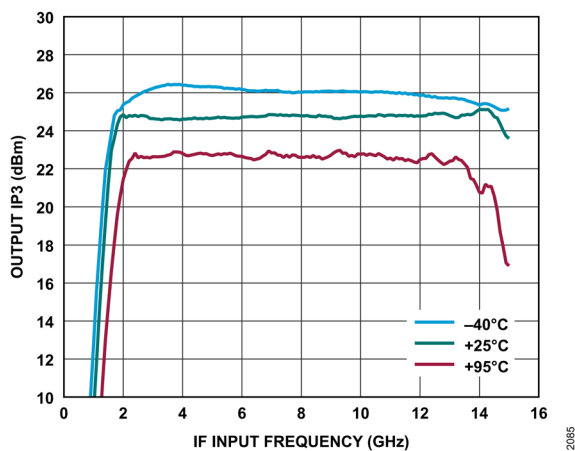


図 87. いくつかの温度設定での出力 IP3 と IF 入力周波数の関係 (IF バランは高周波数モード)

代表的な性能特性

ノイズ指数

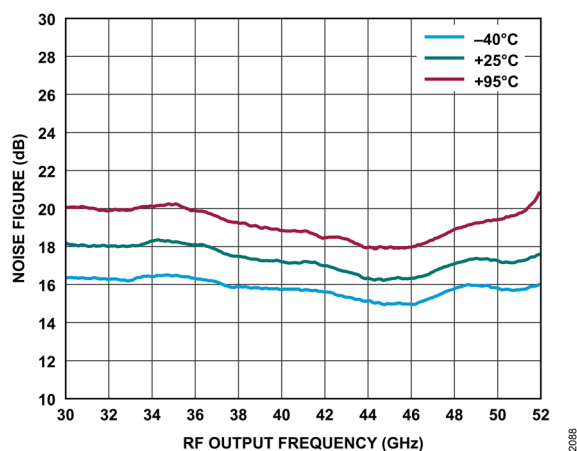


図 90. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係

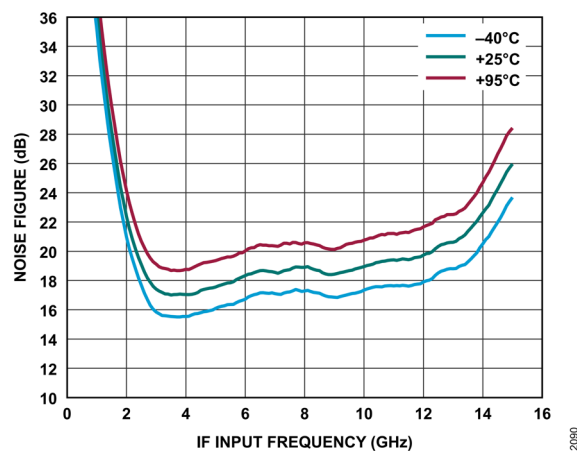


図 92. いくつかの温度設定でのノイズ指数と IF 入力周波数の関係 (IF バランは高周波数モード)

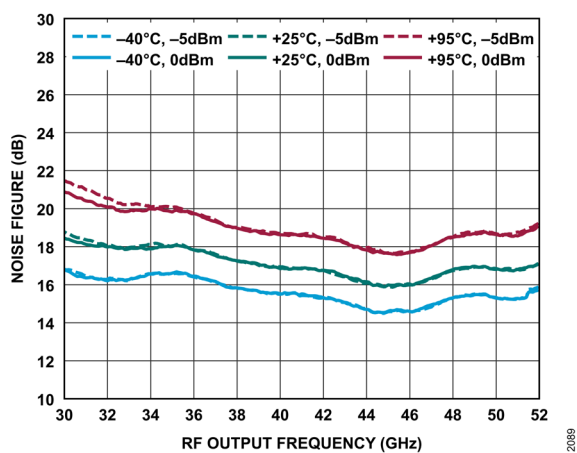


図 91. いくつかの温度設定および LO 電力でのノイズ指数と RF 出力周波数の関係

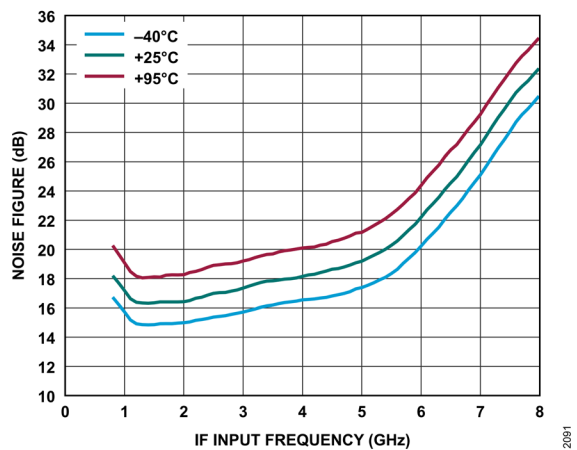


図 93. いくつかの温度設定でのノイズ指数と IF 入力周波数の関係 (IF バランは低周波数モード)

代表的な性能特性

出力 P1dB

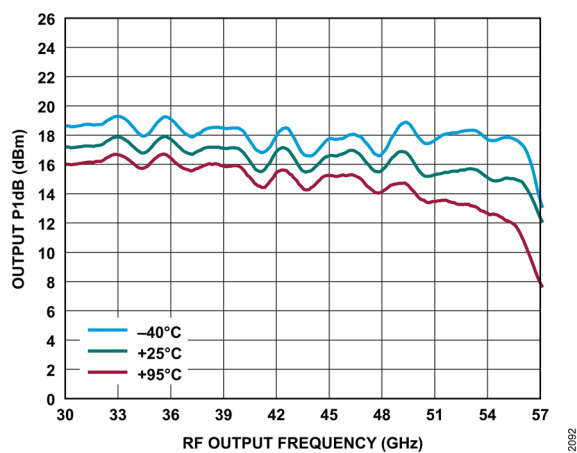


図 94. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係

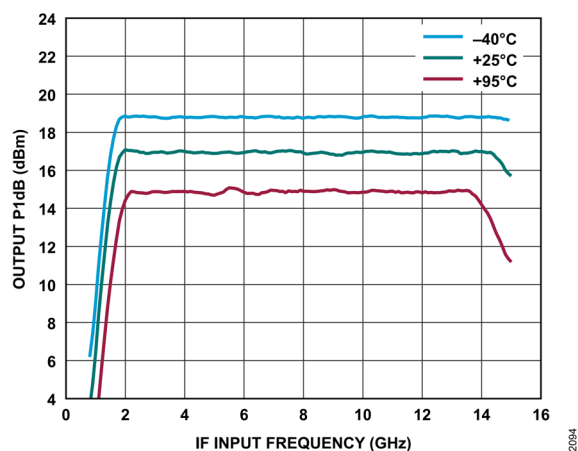


図 96. いくつかの温度設定での出力 P1dB と IF 入力周波数の関係 (IF バランは高周波数モード)

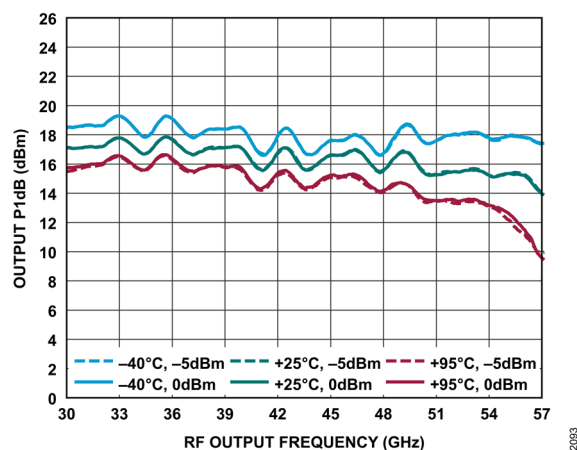


図 95. いくつかの温度設定および LO 電力での出力 P1dB と RF 出力周波数の関係

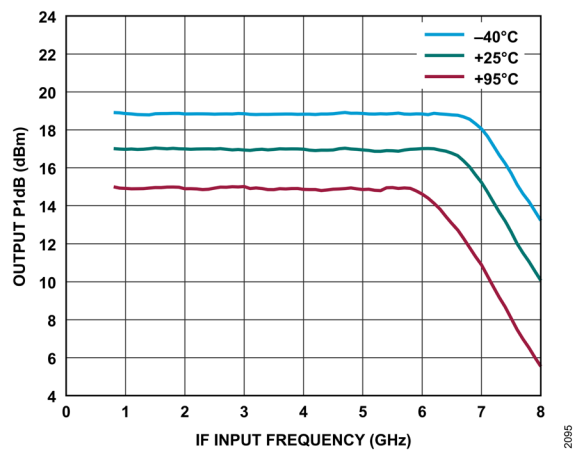


図 97. いくつかの温度設定での出力 P1dB と IF 入力周波数の関係 (IF バランは低周波数モード)

代表的な性能特性

サイドバンド除去比

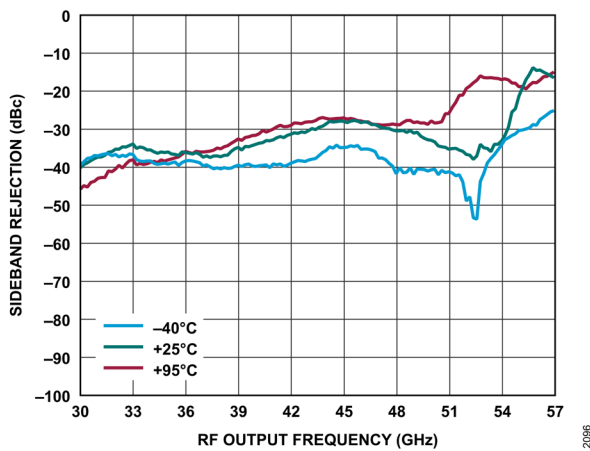


図 98. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係 (キャリブレーションなし、RF フィルタなし)

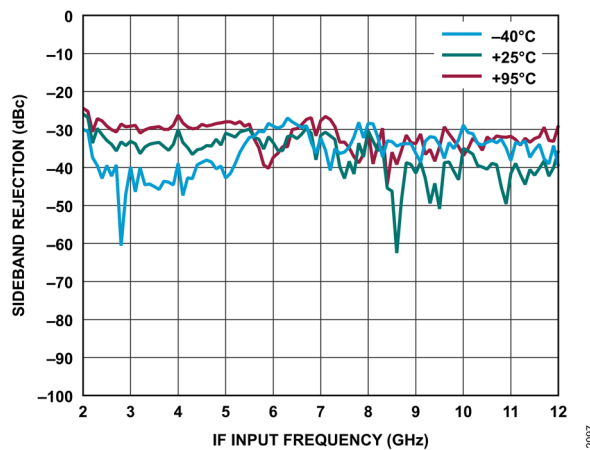


図 99. いくつかの温度設定でのサイドバンド除去比と IF 入力周波数の関係 (キャリブレーションなし、RF フィルタなし、IF バランは高周波数モード)

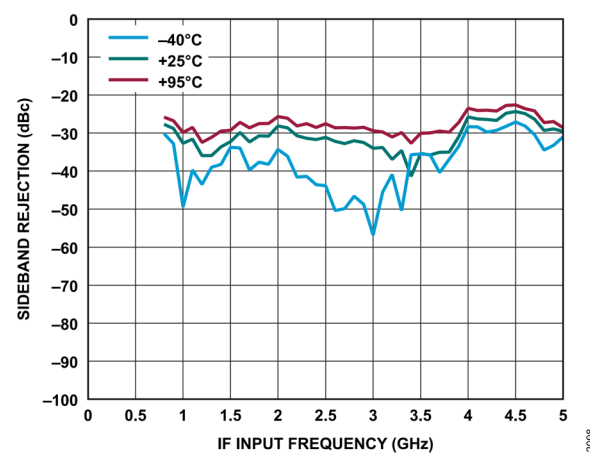


図 100. いくつかの温度設定でのサイドバンド除去比と IF 入力周波数の関係 (キャリブレーションなし、RF フィルタなし、IF バランは低周波数モード)

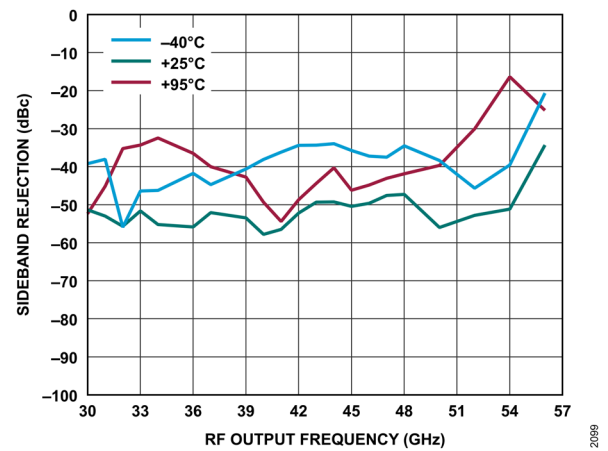


図 101. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係 (25°C で最適化、RF フィルタなし)

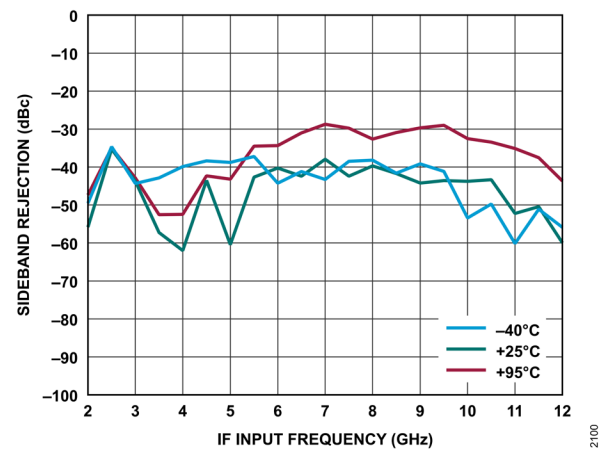


図 102. いくつかの温度設定でのサイドバンド除去比と IF 入力周波数の関係 (25°C で最適化、RF フィルタなし、IF バランは高周波数モード)

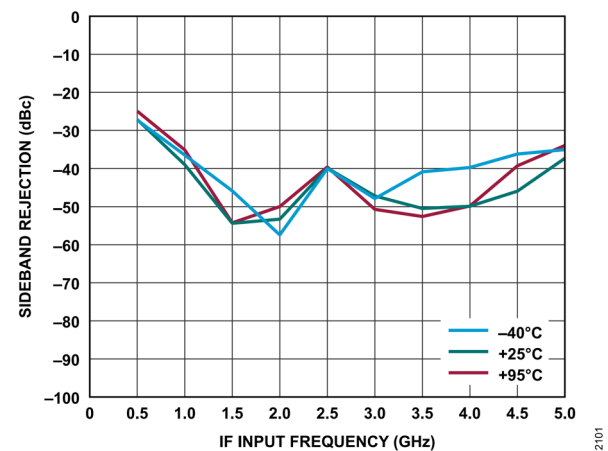


図 103. いくつかの温度設定でのサイドバンド除去比と IF 入力周波数の関係 (25°C で最適化、RF フィルタなし、IF バランは低周波数モード)

代表的な性能特性

スプリアス

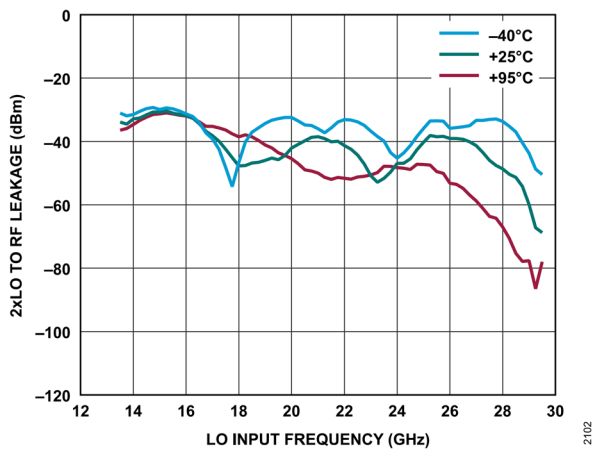


図 104. いくつかの温度設定での 2× LO から RF へのリークと LO 入力周波数の関係 (キャリブレーションなし、RF フィルタなし)

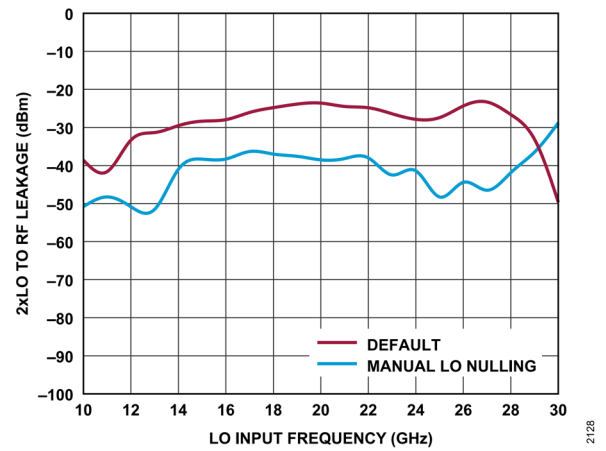


図 107. 25°C での 2× LO から RF へのリークと LO 入力周波数の関係 (手動 LO ヌル化キャリブレーションがある場合とない場合、RF フィルタなし)

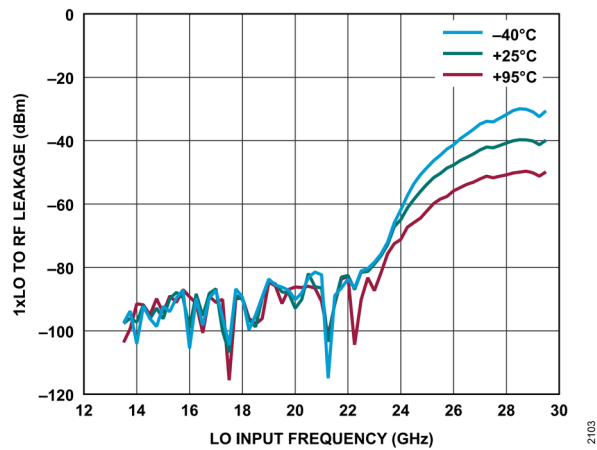


図 105. いくつかの温度設定での 1× LO から RF へのリークと LO 入力周波数の関係 (キャリブレーションなし、RF フィルタなし)

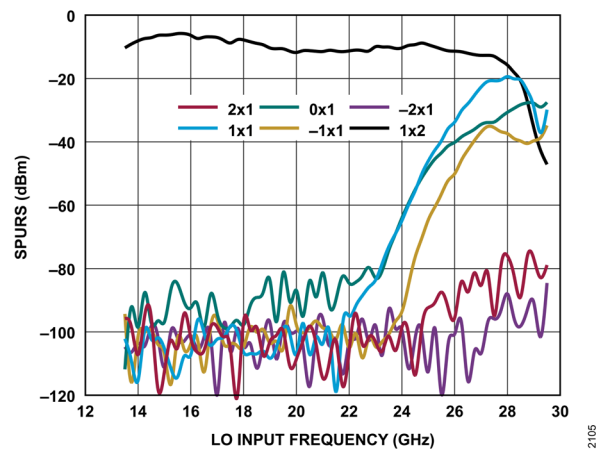


図 108. $(IF \times m) + 1x LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (RF フィルタなし)

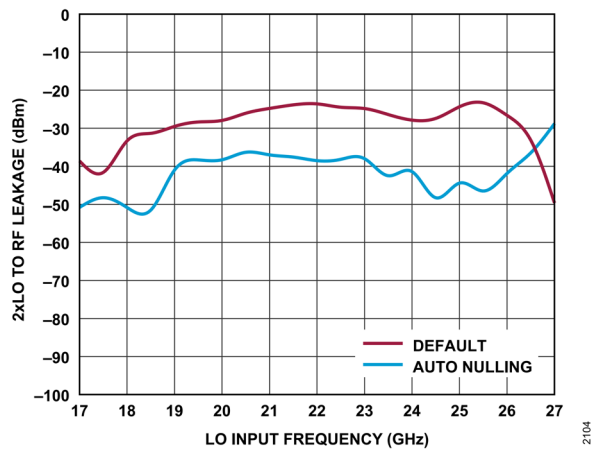


図 106. 25°C での 2× LO から RF へのリークと LO 入力周波数の関係 (自動 LO ヌル化キャリブレーションがある場合とない場合、RF フィルタなし)

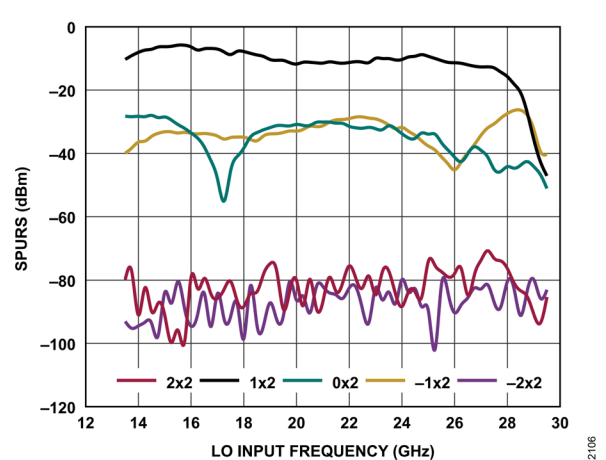


図 109. $(IF \times m) + 2x LO$ スプリアスから RF へのリークと LO 入力周波数の関係 (RF フィルタなし)

代表的な性能特性

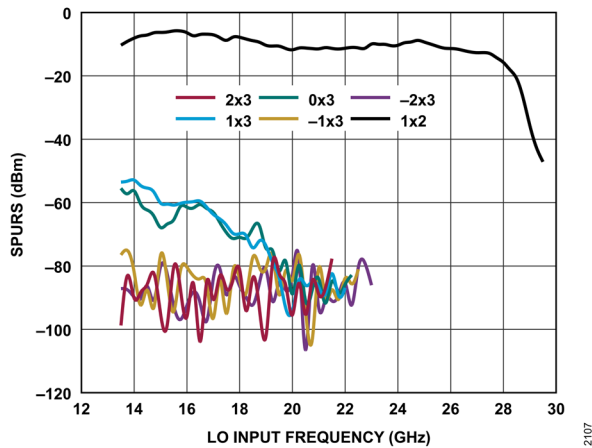


図 110. $(IF \times m) + 3 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (RF フィルタなし)

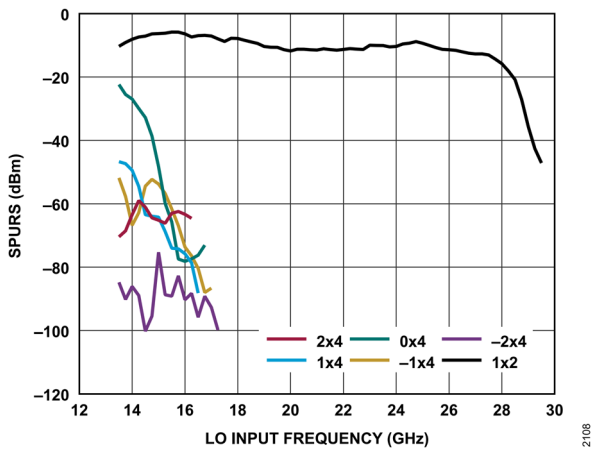


図 111. $(IF \times m) + 4 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (RF フィルタなし)

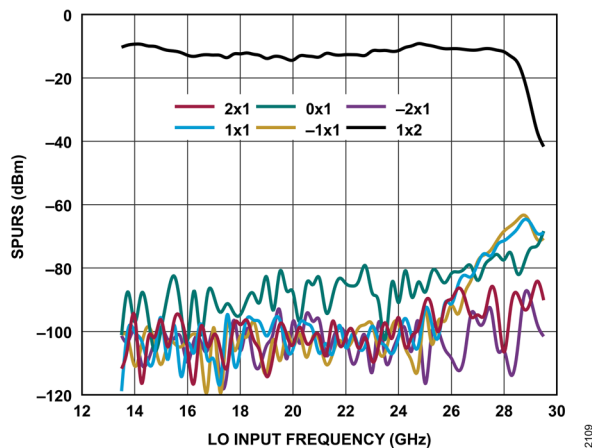


図 112. $(IF \times m) + 1 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

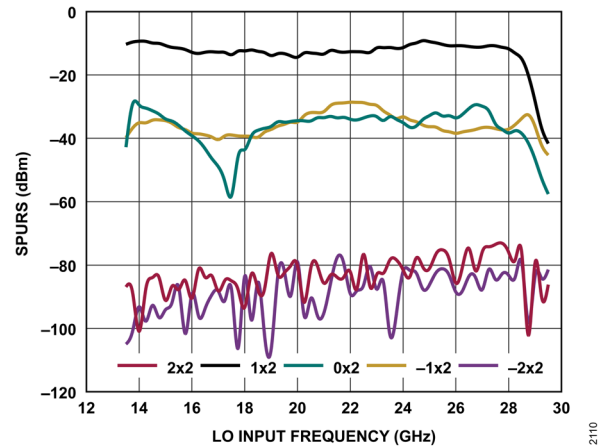


図 113. $(IF \times m) + 2 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

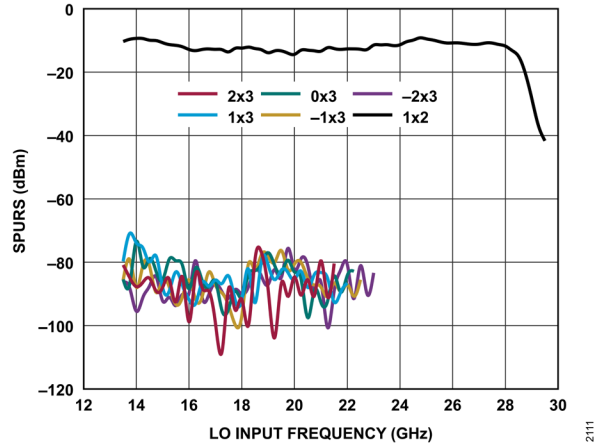


図 114. $(IF \times m) + 3 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

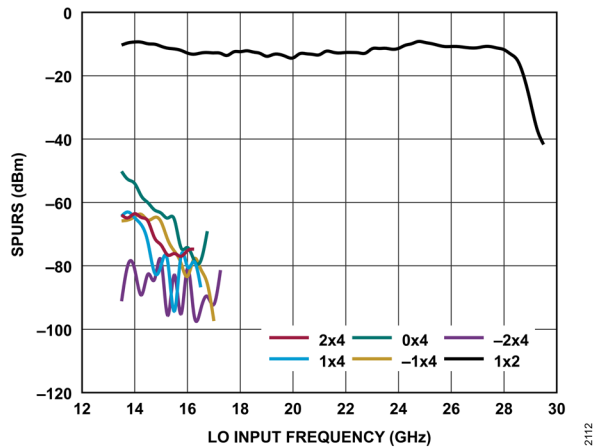


図 115. $(IF \times m) + 4 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

代表的な性能特性

複素 IF モード、IF_X、低周波数帯

すべての測定は、IF_I および IF_Q を入力、RF_OUT を出力として用い、RF を低周波数帯の設定にしています。特に指定のない限り、VDD_DRV = 3V、その他すべての電源電圧 = 1.8V、 $T_C = 25^\circ\text{C}$ です。

特に指定のない限り、すべての測定は、 $P_{IF} = -21\text{dBm}$ 、 $P_{LO} = -5\text{dBm}$ 、 $f_{IF} = 1\text{GHz}$ 、下側波帯、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、LO チューナブル・フィルタ広帯域ロー設定で行いました。RF ピンに対する配線パターン損失とコネクタ損失は除去されています（図 3 の IF_I および IF_Q 入力ピンと RF_OUT 出力ピンを参照）。

変換ゲイン

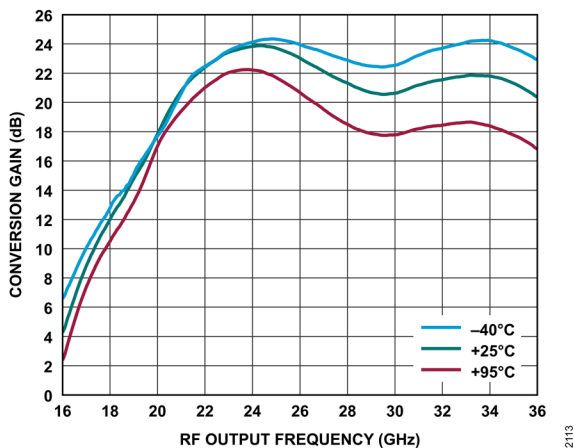


図 116. いくつかの温度設定での変換ゲインと RF 出力周波数の関係

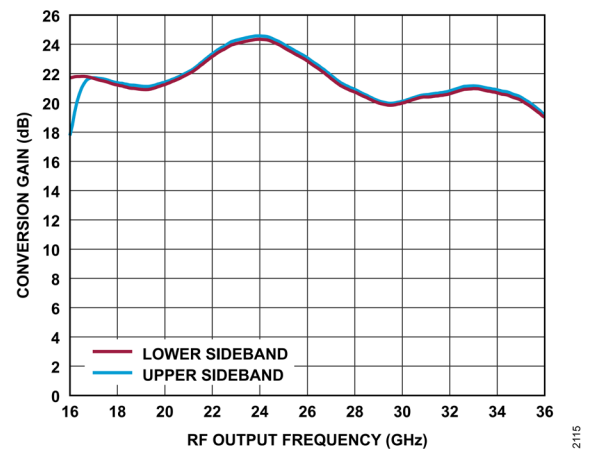


図 118. 変換ゲインと RF 出力周波数の関係（上側波帯および下側波帯）

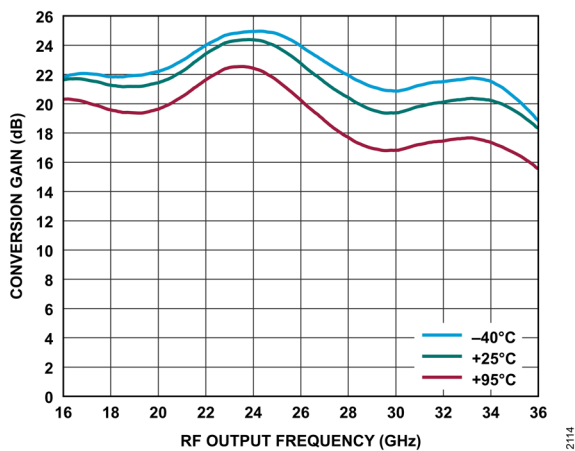


図 117. いくつかの温度設定での変換ゲインと RF 出力周波数の関係（広帯域ローの LO フィルタ）

代表的な性能特性

出力 IP3

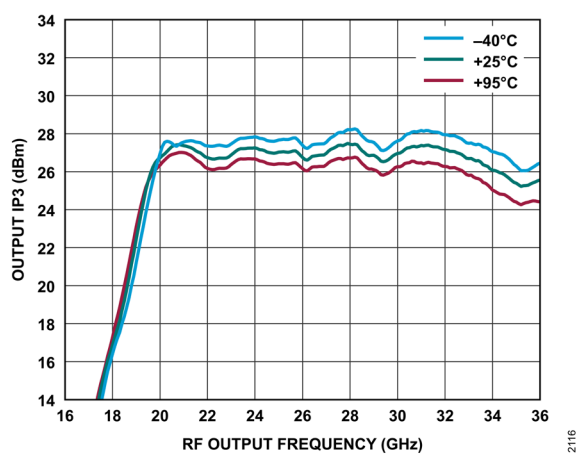


図 119. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係

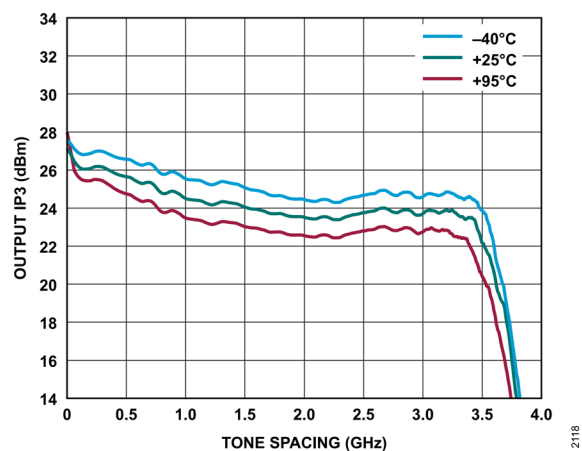


図 121. いくつかの温度設定での出力 IP3 と トーン間隔の関係

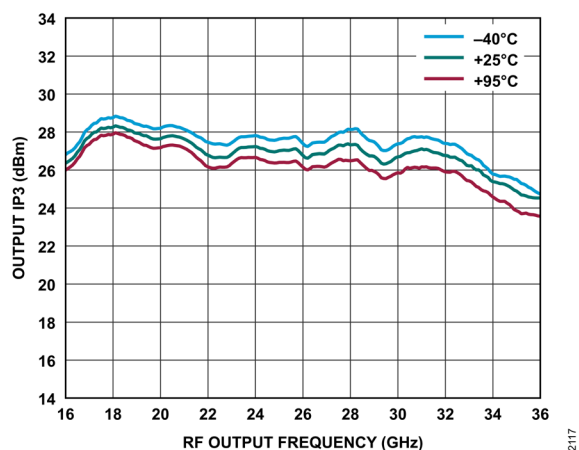


図 120. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係（広帯域ローの LO フィルタ）

代表的な性能特性

ノイズ指数

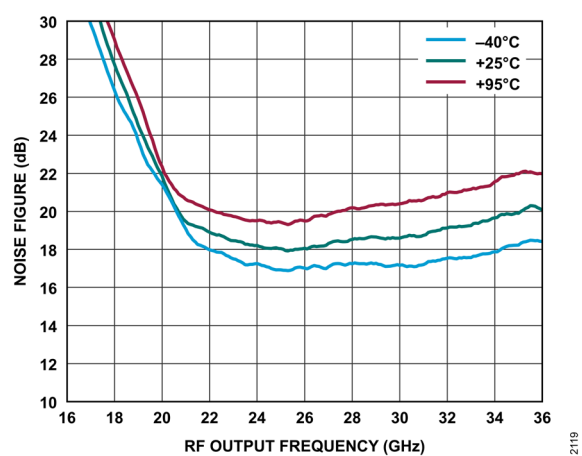


図 122. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係

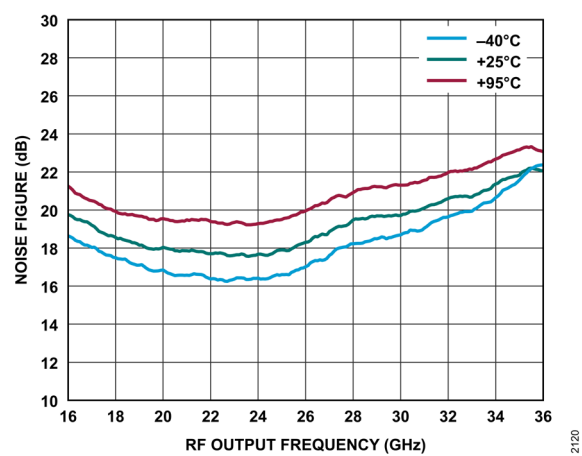


図 123. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係（広帯域ローの LO フィルタ）

代表的な性能特性

出力 P1dB

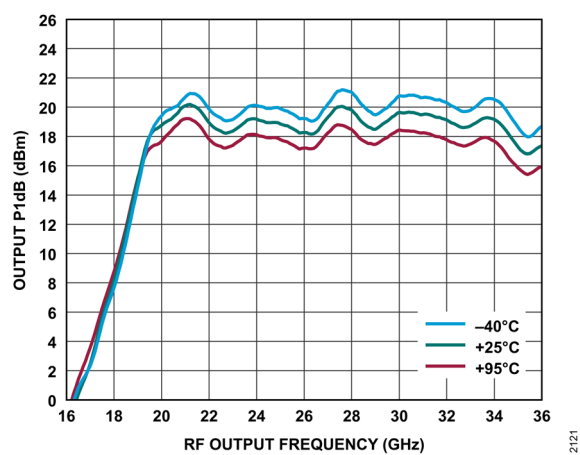


図 124. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係

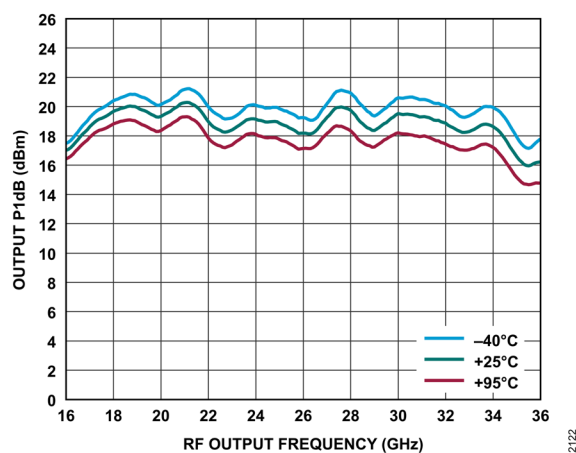


図 125. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係（広帯域ローの LO フィルタ）

代表的な性能特性

サイドバンド除去比

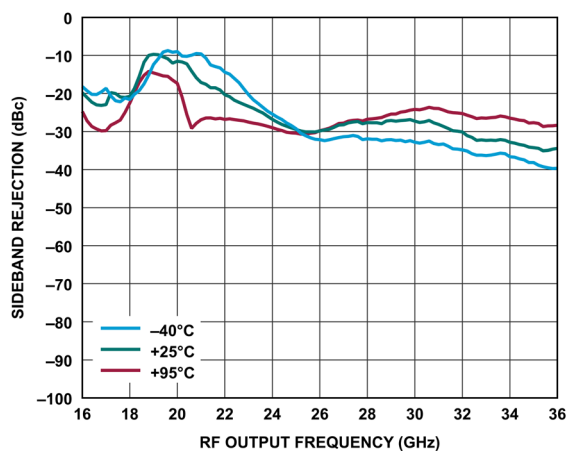


図 126. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係（キャリブレーションなし、RF フィルタなし、広帯域ハイの LO フィルタ）

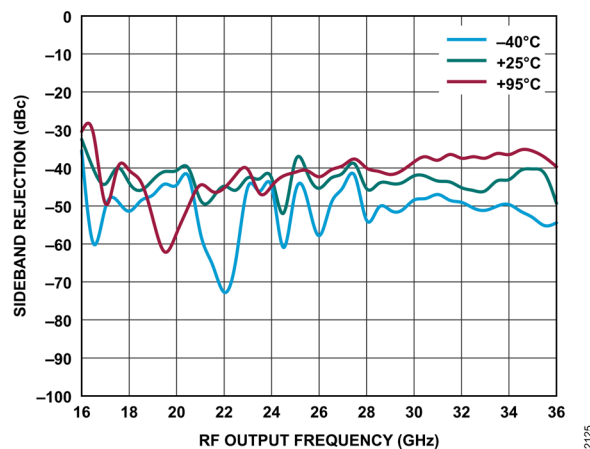


図 128. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係（25°C で最適化、RF フィルタなし、LO フィルタの設定は周波数掃引に合わせて調整）

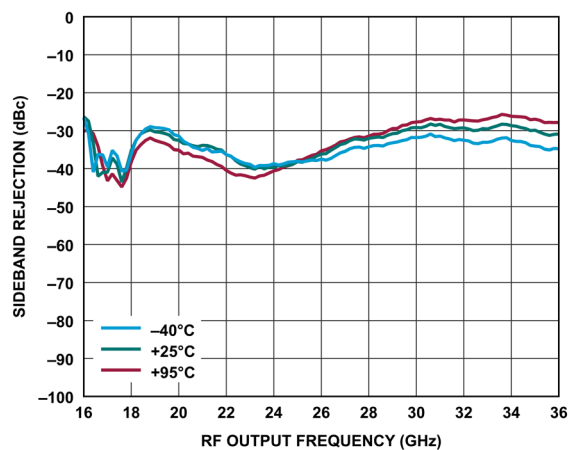


図 127. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係（キャリブレーションなし、RF フィルタなし、広帯域ローの LO フィルタ）

代表的な性能特性

スプリアス

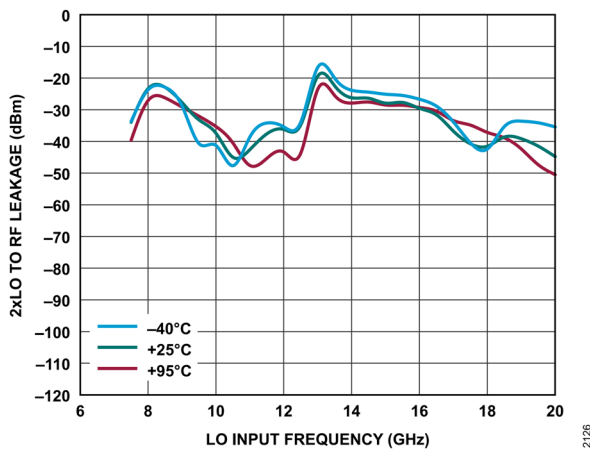


図 129. いくつかの温度設定での 2× LO から RF へのリークと LO 入力周波数の関係
(キャリブレーションなし、RF フィルタなし)

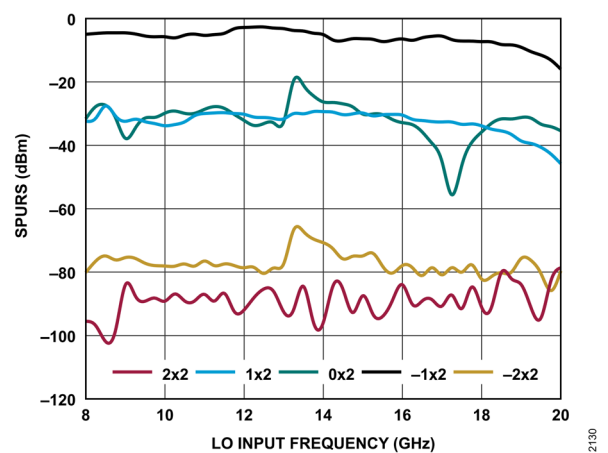


図 132. $(IF \times m) + 2 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

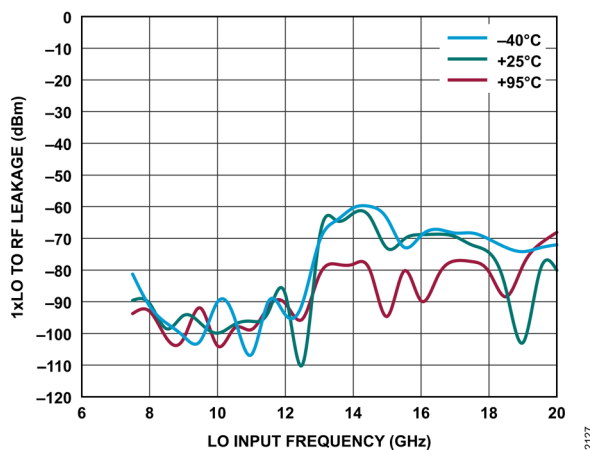


図 130. いくつかの温度設定での 1× LO から RF へのリークと LO 入力周波数の関係
(キャリブレーションなし、RF フィルタなし)

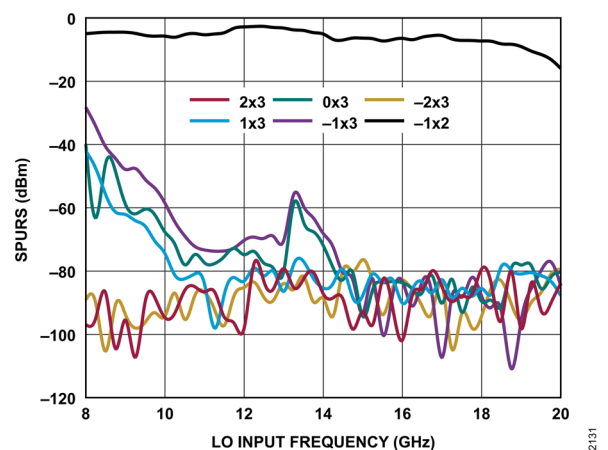


図 133. $(IF \times m) + 3 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

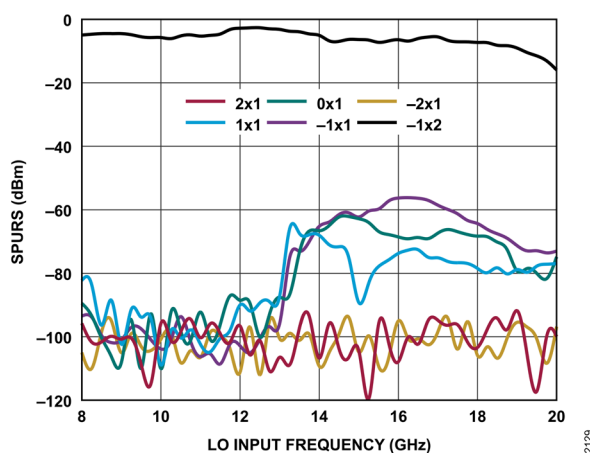


図 131. $(IF \times m) + 1 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係
(広帯域 RF フィルタなし)

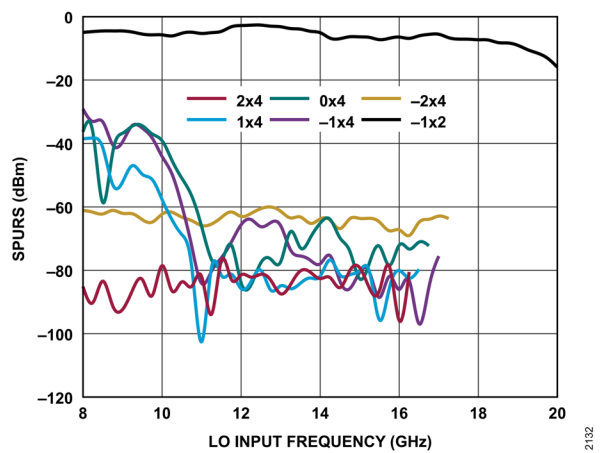


図 134. $(IF \times m) + 4 \times LO$ スプリアスから RF へのリークと LO 入力周波数の関係
(RF フィルタなし)

代表的な性能特性

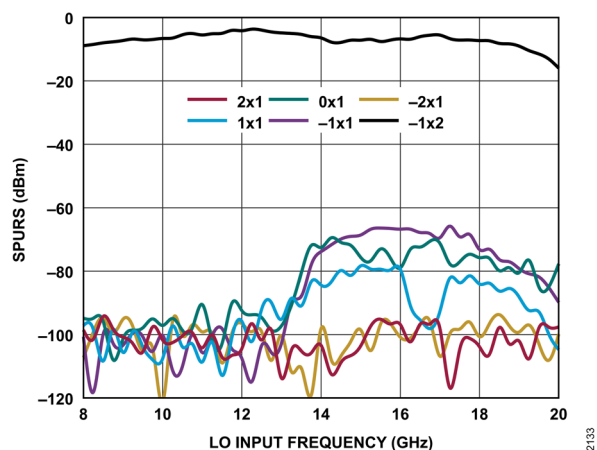


図 135. $(IF \times m) + 1 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

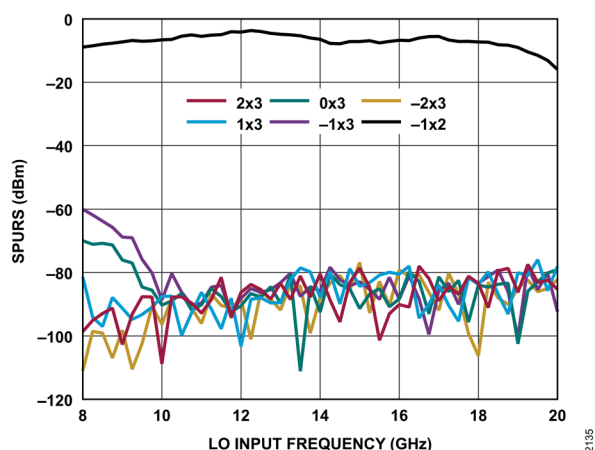


図 137. $(IF \times m) + 3 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

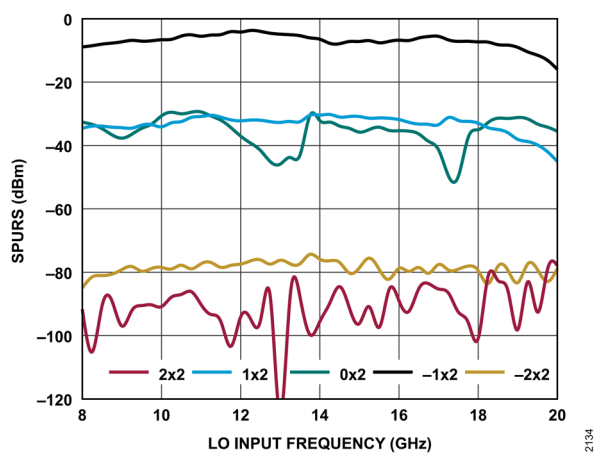


図 136. $(IF \times m) + 2 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

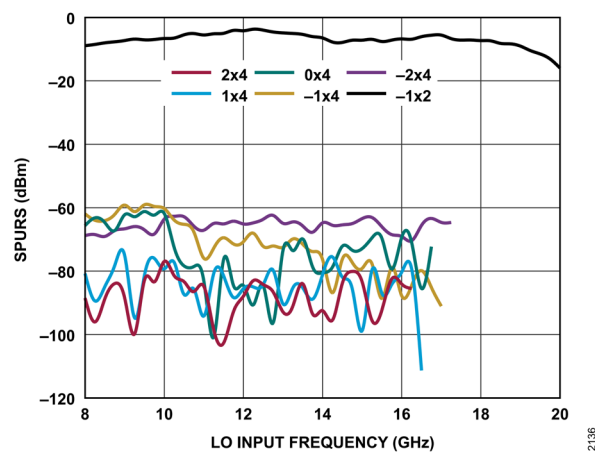


図 138. $(IF \times m) + 4 \times$ LO スプリアスから RF へのリークと LO 入力周波数の関係 (LO および RF フィルタの設定は掃引周波数に合わせて調整)

代表的な性能特性

I/Q ベースバンド・モード、BB_IX および BB_QX、高周波数帯

すべての測定は、BB_IP、BB_IN、BB_QP、BB_QNを入力、RF_OUTを出力として用い、RFを高周波数帯の設定にしています。特に指定のない限り、VDD_DRV=3V、その他すべての電源電圧=1.8V、T_C=25°Cです。

特に指定のない限り、測定は、P_{BB}=-20dBm、P_{LO}=0dBm、f_{BB}=100MHz、f_{RF}=49GHz、f_{LO}=48.9GHz（上側波帯）、最大ゲイン、RF LPF 設定=0x00（最高カットオフ）、RF HPF 設定=0x3F（最低カットオフ）、LO チューナブル・フィルタ広帯域ハイ設定、V_{ICM}=1Vで行いました。

変換ゲイン

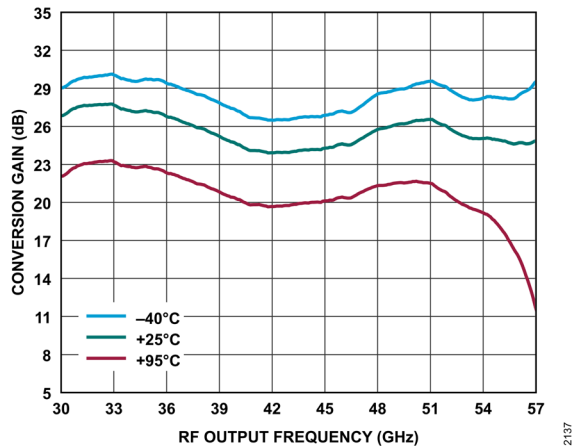


図 139. いくつかの温度設定での変換ゲインと RF 出力周波数の関係

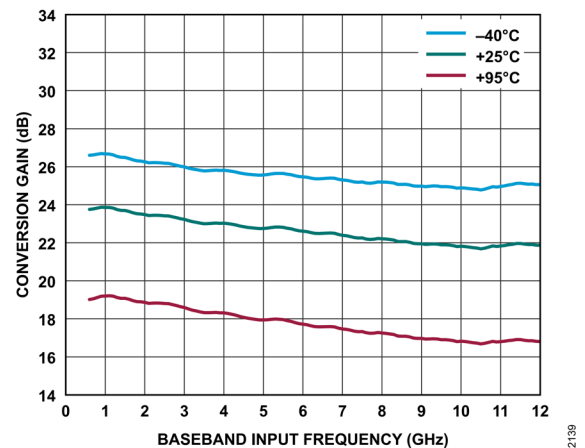


図 141. いくつかの温度設定での変換ゲインと ベースバンド入力周波数の関係

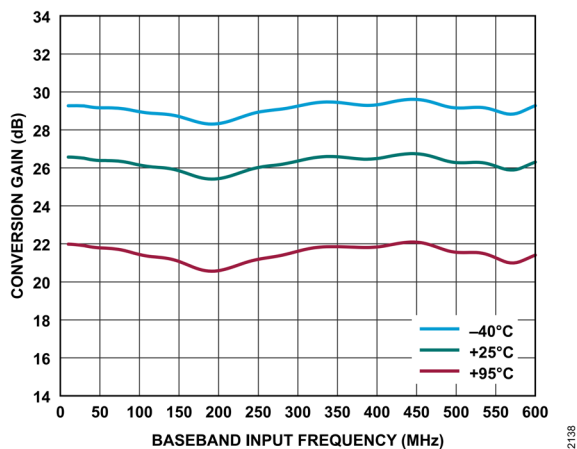


図 140. いくつかの温度設定での変換ゲインと ベースバンド入力周波数の関係
（低周波数外部ハイブリッド使用）

代表的な性能特性

サイドバンド除去比

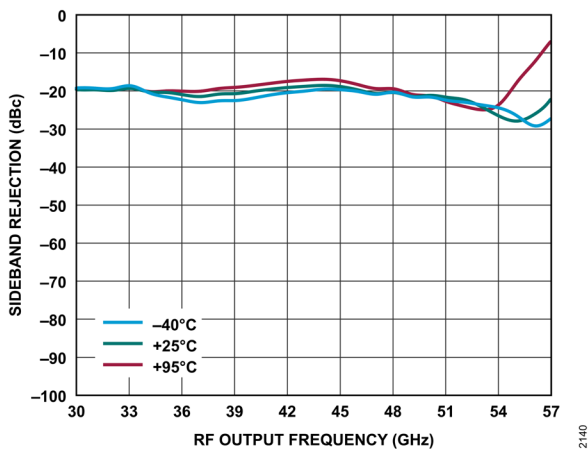


図 142. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係
(キャリブレーションなし、RF フィルタなし)

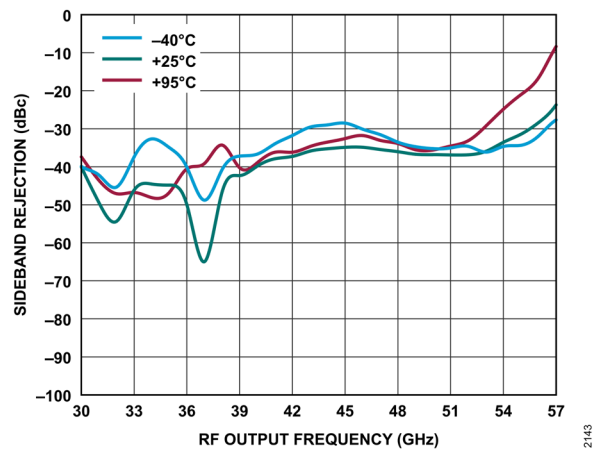


図 145. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係
(25°C で最適化、RF フィルタなし)

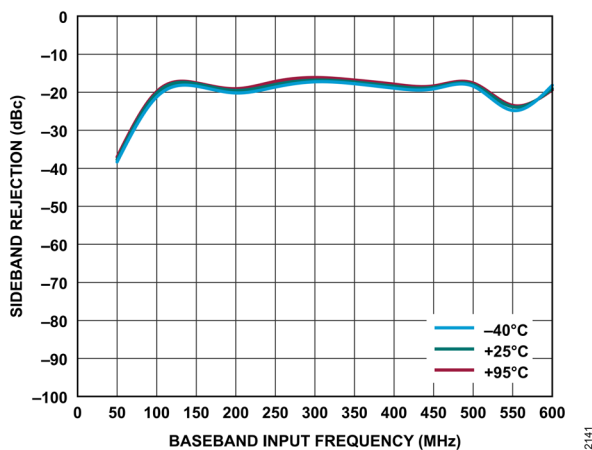


図 143. いくつかの温度設定でのサイドバンド除去比とベースバンド入力周波数の関係 (キャリブレーションなし、RF フィルタなし、低周波数外部ハイブリッド使用)

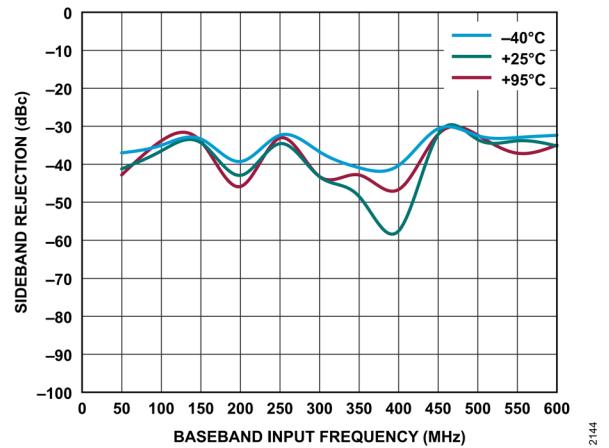


図 146. いくつかの温度設定でのサイドバンド除去比とベースバンド入力周波数の関係 (25°C で最適化、RF フィルタなし、低周波数外部ハイブリッド使用)

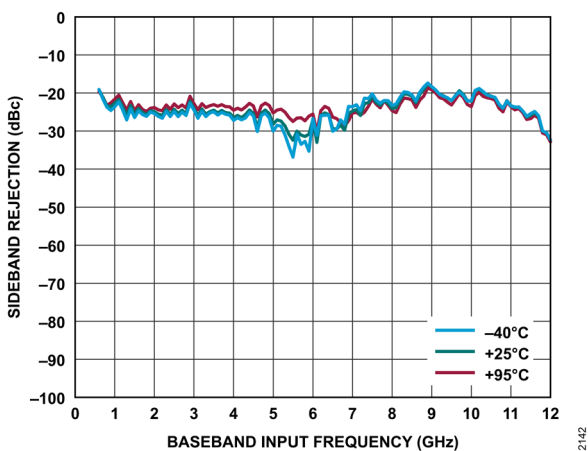


図 144. いくつかの温度設定でのサイドバンド除去比とベースバンド入力周波数の関係 (キャリブレーションなし、RF フィルタなし、高周波数外部ハイブリッド使用)

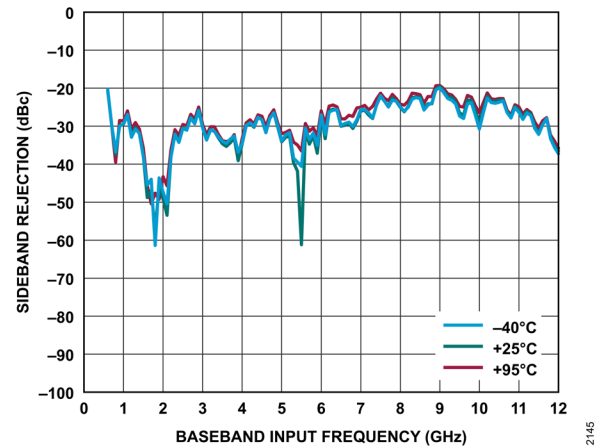


図 147. いくつかの温度設定でのサイドバンド除去比とベースバンド入力周波数の関係 (25°C で最適化、RF フィルタなし、高周波数外部ハイブリッド使用)

代表的な性能特性

出力 IP3

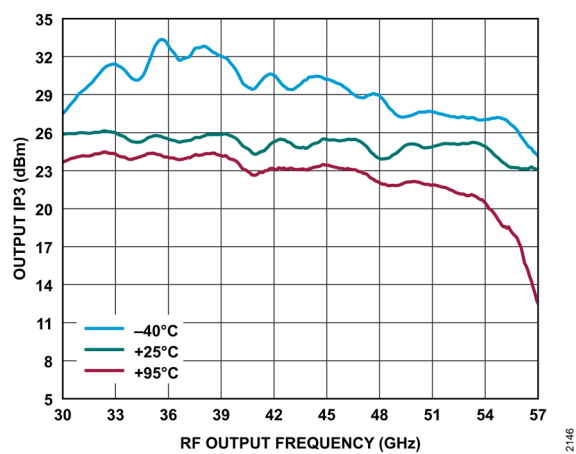


図 148. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係

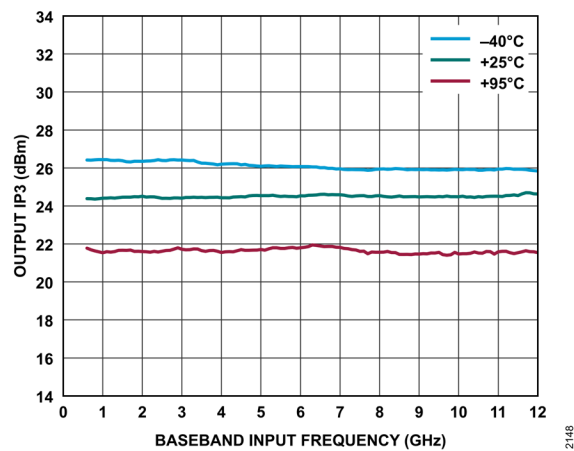


図 150. いくつかの温度設定での出力 IP3 とベースバンド入力周波数の関係（高周波数ハイブリッド使用）

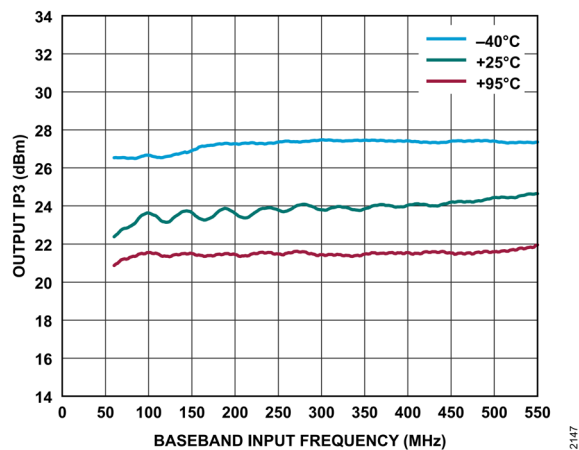


図 149. いくつかの温度設定での出力 IP3 とベースバンド入力周波数の関係（低周波数ハイブリッド使用）

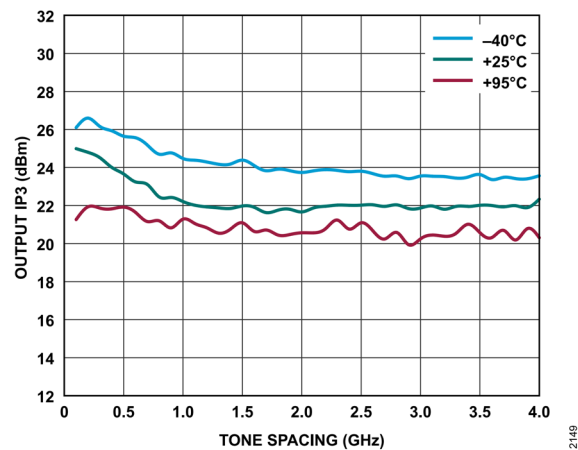


図 151. いくつかの温度設定での出力 IP3 とトーン間隔の関係

代表的な性能特性

ノイズ指数

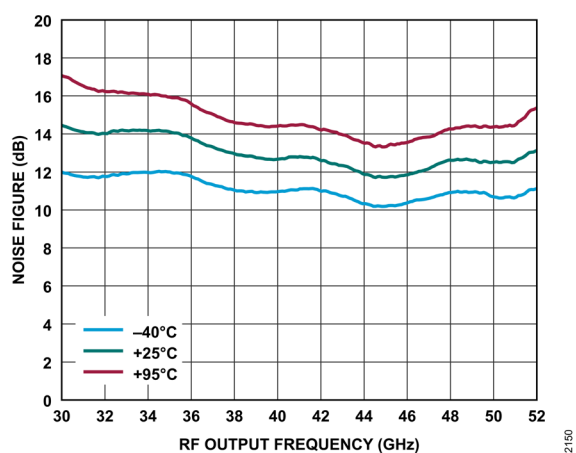


図 152. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係

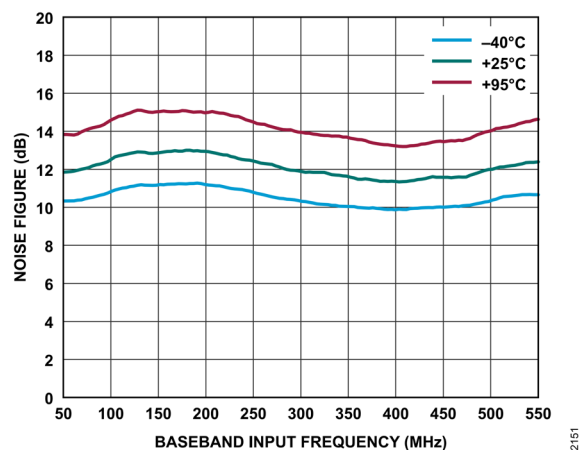


図 153. いくつかの温度設定でのノイズ指数とベースバンド入力周波数の関係 (低周波数外部ハイブリッド使用)

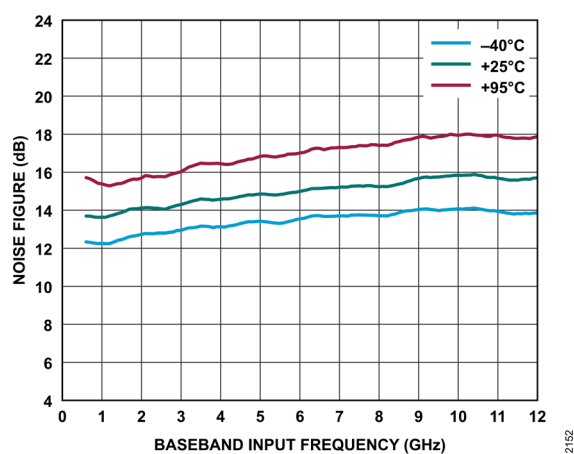


図 154. いくつかの温度設定でのノイズ指数とベースバンド入力周波数の関係 (高周波数外部ハイブリッド使用)

代表的な性能特性

出力 P1dB

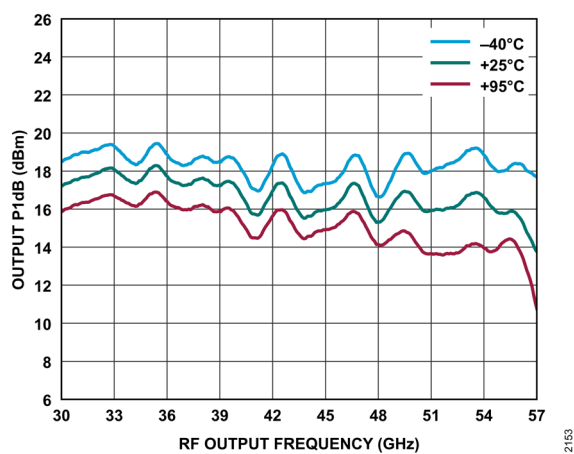


図 155. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係

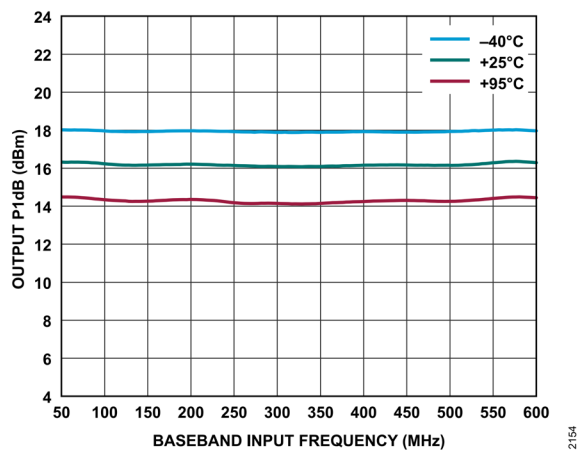


図 156. いくつかの温度設定での出力 P1dB と ベースバンド入力周波数の関係 (低周波数外部ハイブリッド使用)

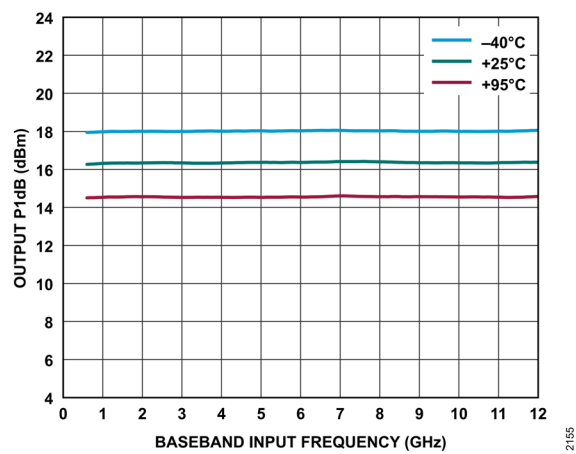


図 157. いくつかの温度設定での出力 P1dB と ベースバンド入力周波数の関係 (高周波数外部ハイブリッド使用)

代表的な性能特性

I/Q ベースバンド・モード、BB_IX および BB_QX、低周波数帯

すべての測定は、BB_IP、BB_IN、BB_QP、BB_QNを入力、RF_OUTを出力として用い、RFを高周波数帯の設定にしています。特に指定のない限り、VDD_DRV=3V、その他すべての電源電圧=1.8V、T_C=25°Cです。

特に指定のない限り、測定は、P_{BB}=-20dBm、P_{LO}=0dBm、f_{BB}=100MHz、f_{LO}=48.9GHz（上側波帯）、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、V_{ICM}=1Vで行いました。

デジタル・コモン・モード電圧の設定については表 19 を参照してください。

変換ゲイン

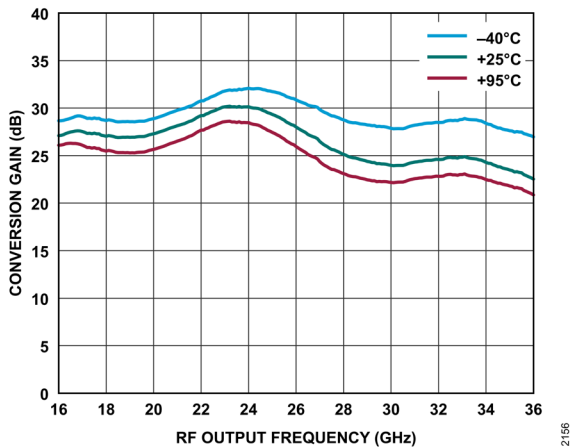


図 158. いくつかの温度設定での変換ゲインと RF 出力周波数の関係（広帯域ローの LO フィルタ）

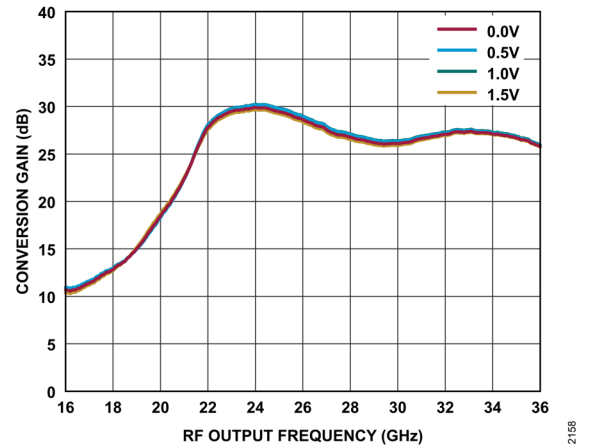


図 160. いくつかの共通・モード電圧での変換ゲインと RF 出力周波数の関係（広帯域ローの LO フィルタ）

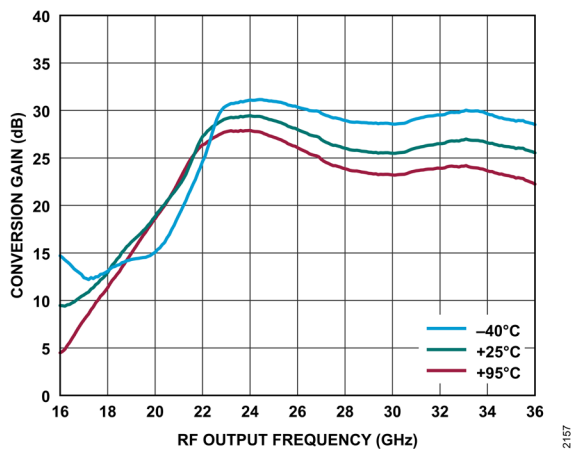


図 159. いくつかの温度設定での変換ゲインと RF 出力周波数の関係（広帯域ハイの LO フィルタ）

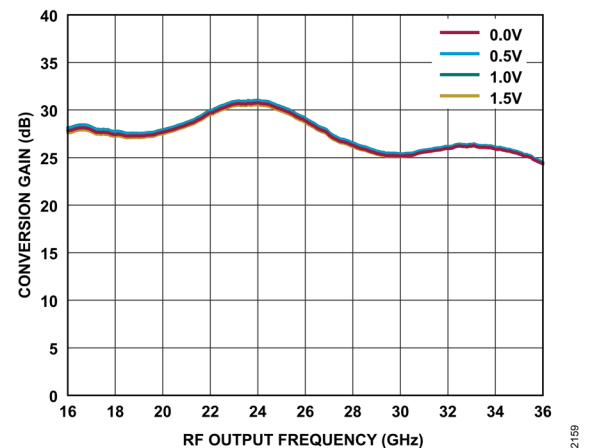


図 161. いくつかの共通・モード電圧での変換ゲインと RF 出力周波数の関係（広帯域ハイの LO フィルタ）

代表的な性能特性

サイドバンド除去比

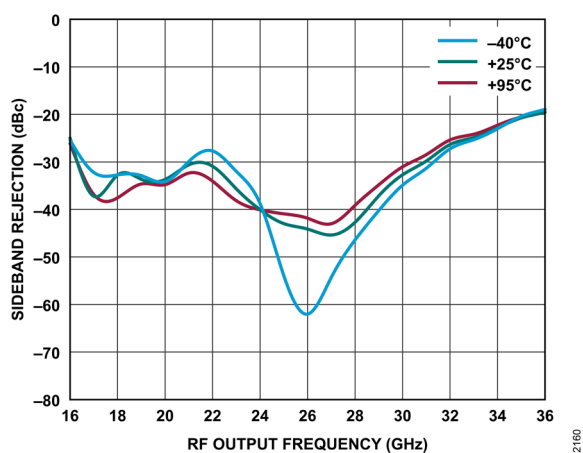


図 162. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係（キャリブレーションなし、RF フィルタなし、広帯域ローの LO フィルタ）

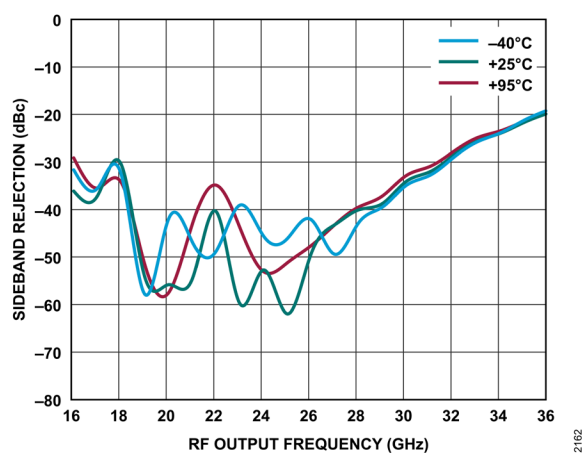


図 164. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係（25°C で最適化、RF フィルタなし、広帯域ローの LO フィルタ）

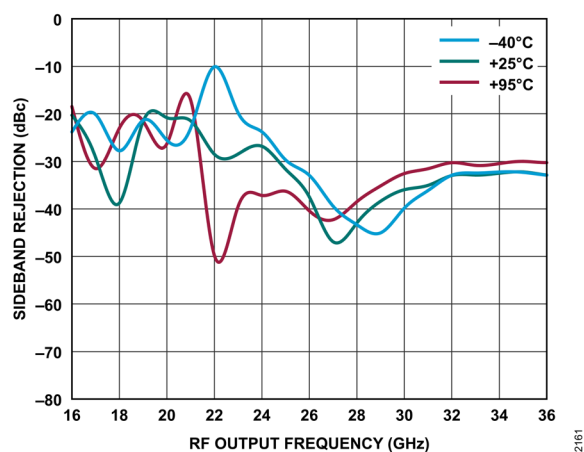


図 163. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係（キャリブレーションなし、RF フィルタなし、広帯域ハイの LO フィルタ）

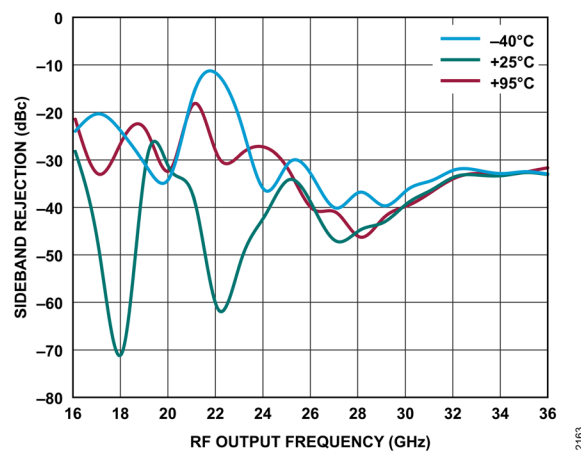


図 165. いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係（25°C で最適化、RF フィルタなし、広帯域ハイの LO フィルタ）

代表的な性能特性

出力 IP3

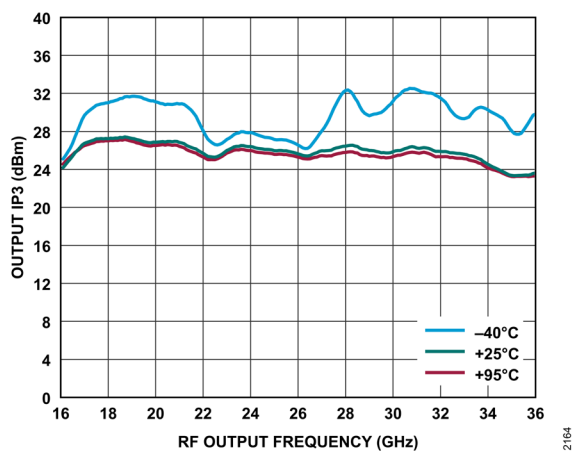


図 166. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係（広帯域ローの LO フィルタ）

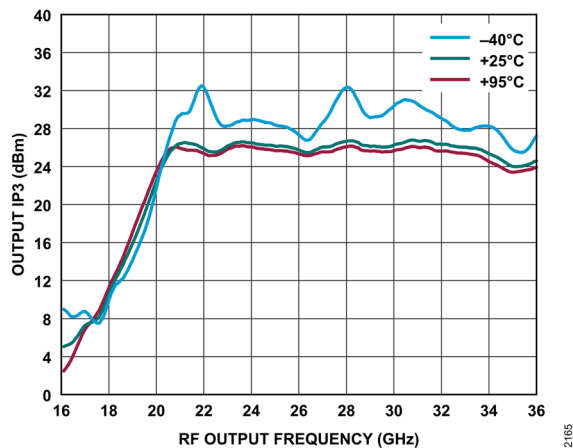


図 167. いくつかの温度設定での出力 IP3 と RF 出力周波数の関係（広帯域ハイの LO フィルタ）

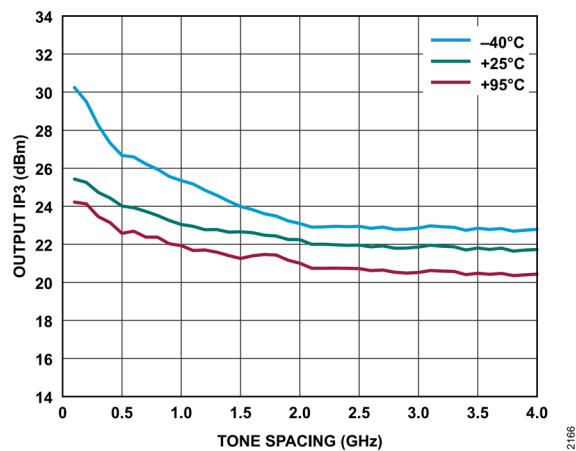


図 168. いくつかの温度設定での出力 IP3 と トーン間隔の関係（広帯域ローの LO フィルタ）

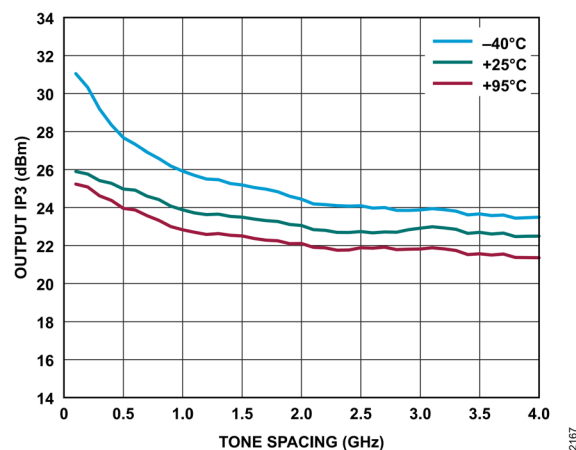


図 169. いくつかの温度設定での出力 IP3 と トーン間隔の関係（広帯域ハイの LO フィルタ）

代表的な性能特性

ノイズ指数

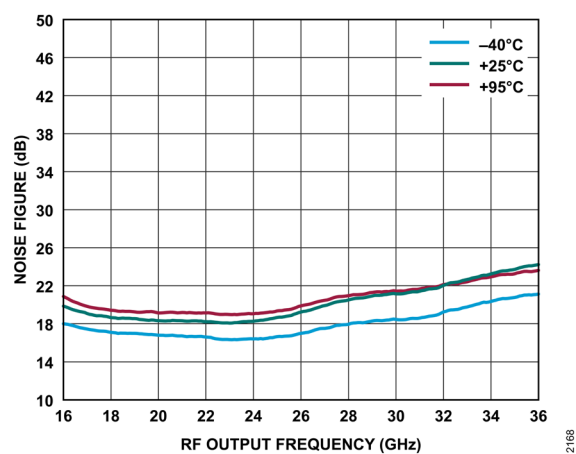


図 170. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係（広帯域ローの LO フィルタ）

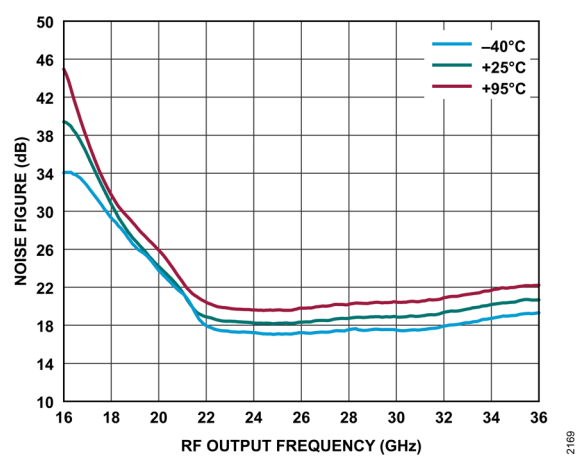


図 171. いくつかの温度設定でのノイズ指数と RF 出力周波数の関係（広帯域ハイの LO フィルタ）

代表的な性能特性

出力 P1dB

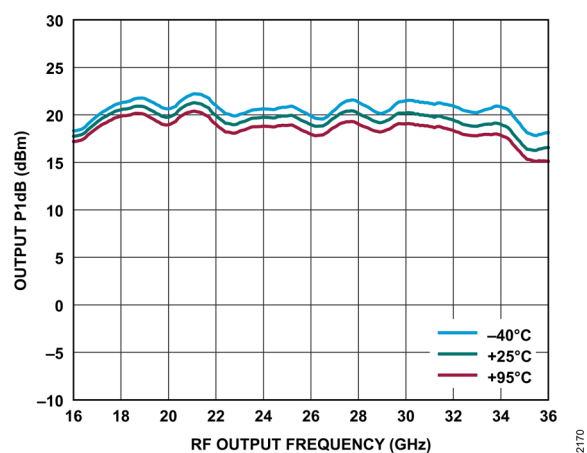


図 172. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係（広帯域ローの LO フィルタ）

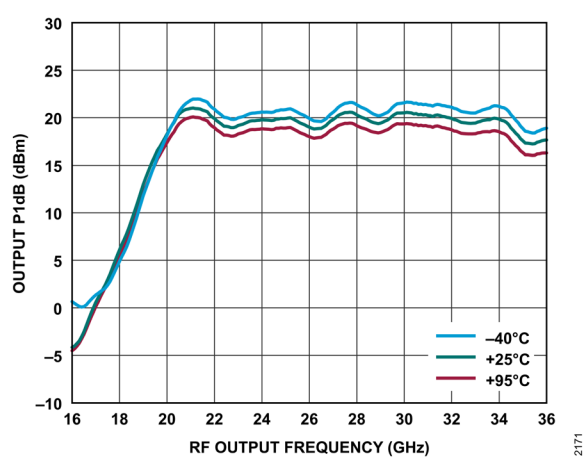


図 173. いくつかの温度設定での出力 P1dB と RF 出力周波数の関係（広帯域ハイの LO フィルタ）

代表的な性能特性

反射損失

特に指定のない限り、VDD_DRV = 3V、その他すべての電源電圧 = 1.8V、T_c = 25°C です。

すべての測定は、入力電力を小信号レベルに設定し、最大ゲイン、RF LPF 設定 = 0x00（最高カットオフ）、RF HPF 設定 = 0x3F（最低カットオフ）で行いました。

プローブ測定（適用可能な場合）は、デバイスから終端された配線パターンをプローブすることによって行いました。

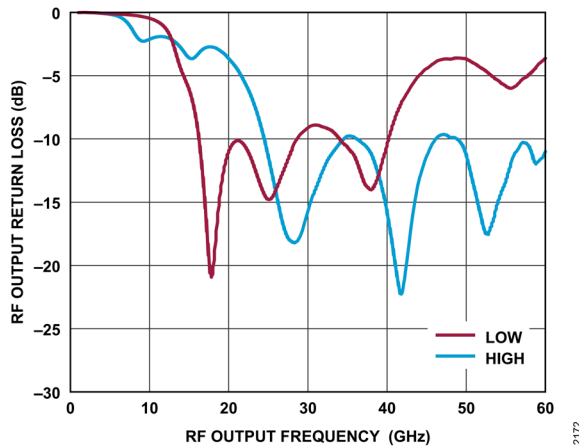


図 174. 異なる RF 帯での RF 出力反射損失と RF 出力周波数の関係

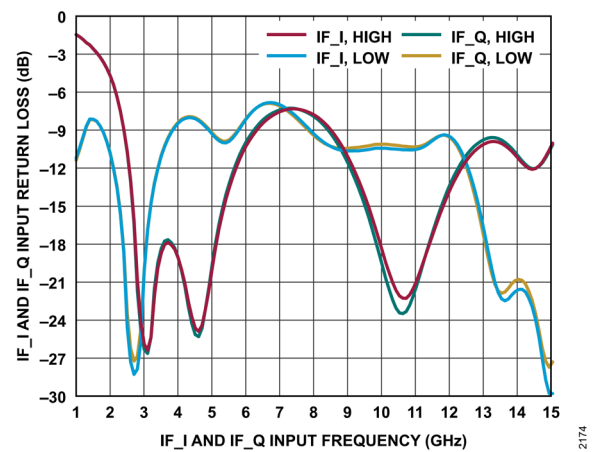


図 176. 異なる複素 IF モードおよび IF バランでの IF_I および IF_Q 入力反射損失と IF_I および IF_Q 入力周波数の関係

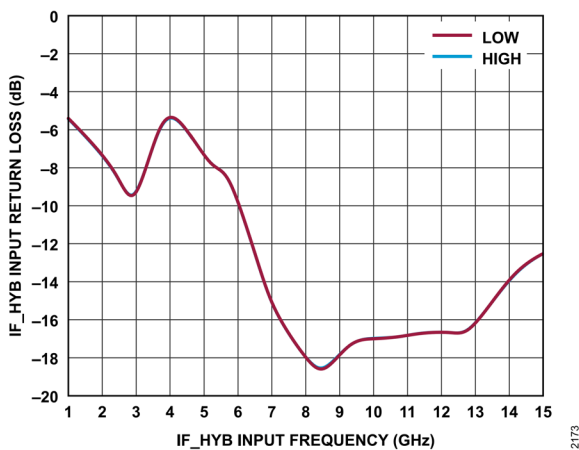


図 175. 異なる RF 帯での IF_HYB 入力反射損失と IF_HYB 入力周波数の関係

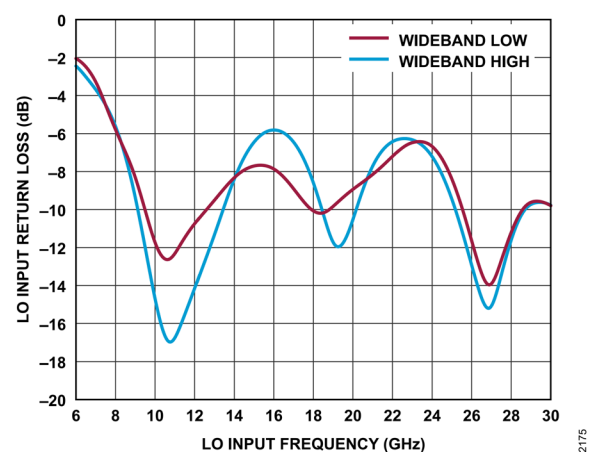


図 177. 異なる広帯域 LO フィルタでの LO 入力反射損失と LO 入力周波数の関係

代表的な性能特性

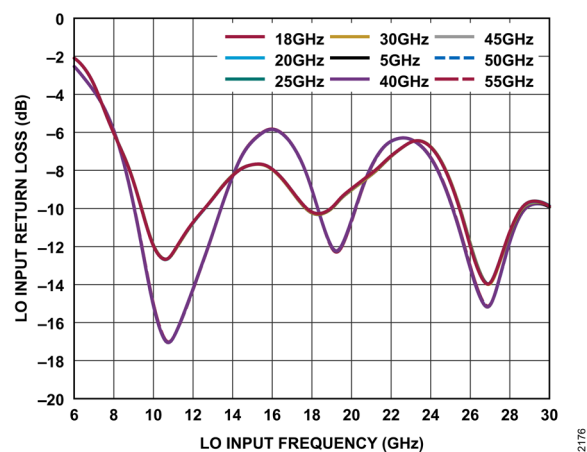


図 178. 様々な狭帯域 LO フィルタでの
LO 入力反射損失と LO 入力周波数の関係

動作原理

チップの概要

ADMV1355 は、17.7GHz～55GHz の広い RF 周波数範囲にわたり動作する広帯域無線システム向けに設計された、高集積マイクロ波アップ・コンバータです。デバイスは最大 12GHz のシングルエンド IF 入力および複素 IF 入力に対応しているため、最新の高速データ・コンバータとシームレスに統合でき、また、その実質的な周波数範囲をミリ波スペクトルに十分拡張できます。

このチップはシンプルな SPI を用いて完全に設定可能なアーキテクチャで構成されており、I/Q ミキサー、1つの LO シグナル・チェーン、2つの RF シグナル・チェーン、1つの IF シグナル・チェーン、ベースバンド I/Q シグナル・チェーンが含まれています。この集積レベルにより、外付け部品を最小限まで減らすと同時に、最大限の設計柔軟性を実現できます。

ADMV1355 は、6mm × 6.5mm の小さいフットプリント、広帯域性能、設定可能なシグナル・チェーンといった特長を備えているため、システム性能を損なうことなくサイズ、重量、消費電力 (SWaP) を低減することが要求される、次世代高データレート・システムに最適です。

パワーアップ・シーケンス

ADMV1355 のパワーアップと初期化を行うには、以下の手順に従います。詳細については、[タイミング図の概要](#)のセクションと [図 180](#) を参照してください。

1. すべてのデジタル・ロジック入力を確実にロジック・レベル・ローにします。
2. 1ms 以上の立上がり時間ですべての電源電圧を同時にパワー・オンします。
3. 電源が安定したら、 $\overline{\text{RST}}$ をロジック・レベル・ハイにセットします。
4. 不揮発性メモリ (NVM) のロード命令をプログラムします。
5. 目的のチップ動作を行うよう、必要なレジスタをプログラムします。
6. CEN をロジック・レベル・ハイにセットします。

パワーダウン・シーケンス

ADMV1355 では、3 通りのパワーダウン・オプションが使用できます。1 つのパワーダウン・オプションは、チップへのすべての電力供給を断つことであり、他の 2 つのパワーダウン・オプションは、チップをディスエーブルし低消費電力モードにすることです。

完全パワーダウン

チップを完全にパワーダウンするには、以下の手順に従います。詳細については [図 183](#) を参照してください。

1. CEN をロジック・レベル・ローにセットします。
2. その他すべてのロジック入力をロジック・レベル・ローにします。
3. 全電源電圧をオフにします。

CEN によるチップのディスエーブル

電源電圧をオンにしたまま、チップをディスエーブルし低消費電力モードにするには、CEN をロジック・レベル・ローにします。CEN をロジック・レベル・ローにすると、チップ内のほとんどの RF 回路がオフになります。詳細については、[図 182](#) を参照してください。

SPI によるチップのディスエーブル

電源電圧をオンにしたまま、チップをディスエーブルし低消費電力モードにするもう 1 つのオプションは、レジスタ 0x13E のビット 0 を 1 に設定することです。

動作原理

SPI

ADMV1355 では、通信用に SPI を使用してチップ設定を行います。SPI は 3 線式または 4 線式のいずれの構成でも実装可能であり、1.8V のロジック・レベルと、最大 100MHz の SCLK 周波数に対応します。

SPI は、デジタル入力およびデジタル出力で構成されます。CHIP_ADD0、CHIP_ADD1、SCLK、 $\overline{CS}$ がデジタル入力です。SDIO は、双方向であり、実行する SPI 動作の種類に応じて、入力または出力に設定できます。また、SDO は、読出し動作を実行しない限り高インピーダンス状態を維持するデジタル出力です。 $\overline{CS}$ はアクティブ・ローのデジタル入力であり、SPI 命令時にはローにアサートする必要があります。SPI 命令の最後には確実に $\overline{CS}$ をデアサートしてください。

チップ・アドレス入力である CHIP_ADD0 および CHIP_ADD1 をマルチチップ・システムにおいて用いると、特定のチップのアドレスを指定できます。この機能により、最大 4 チップが SCLK、SDIO、SDO、 $\overline{CS}$ の各接続を共用できます。チップ・アドレス入力を 0 に設定するには、そのボールをグラウンドに接続するか、0 Ω のプルダウン抵抗を追加します。チップ・アドレス入力を 1 に設定するには、フローティング状態のままにします。内部 15k Ω 抵抗によりロジック・レベル・ハイにセットされます。指定されたチップ・アドレスによって、SPI 通信フレーム・ビット [21:20] が変更されます。

シングル SPI の命令の場合、通信フレームは 24 ビット幅であり、16 ビットのヘッダと 8 ビットのデータで構成されます。ヘッダには、R/W ビット、ブロードキャスト (BR) ビット、2 ビットのチップ・アドレス・ビット、12 ビットのレジスタ・アドレス・ビットがあります。ヘッダおよびデータはどちらも、MSB ファースト形式であり、SCLK の立上がりエッジでチップがロジック・レベルをサンプリングするときに、SDIO でシフト・インさせる必要があります。SPI 通信フレームについては図 179 を参照してください。

書込み動作の場合は R/W ビットを 0 に設定し、読出し動作の場合は R/W ビットを 1 に設定します。シングル・チップ SPI 命令の場合は BR ビットを 0 に設定し、チップ・アドレスに関係なくすべてのチップを SPI 命令に応答させるには、BR ビットを 1 に設定します。読出し動作では、BR ビットは 0 にのみ設定する必要があります。

3 線式 SPI を用いる読出し動作の場合、SDIO は最後のヘッダ SCLK 立上がりエッジの後に入力から出力に変化します。その後、SCLK の立下がりエッジでロジック・レベルが変化したときに、データが SDIO でシフト・アウトされます。そのため、データは、SCLK の次の立上がりエッジでサンプリングできません。 $\overline{CS}$ がデアサートされると、SDIO はデジタル入力に戻ります。

4 線式 SPI を用いる読出し動作の場合、SDO は最後のヘッダ SCLK 立上がりエッジの後に高インピーダンス状態からアクティブ出力に遷移します。その後、SCLK の立下がりエッジでロジック・レベルが変化したときに、データが SDO でシフト・アウトされます。そのため、データは、SCLK の次の立上がりエッジでサンプリングできます。 $\overline{CS}$ がデアサートされると、SDO は高インピーダンス状態に戻ります。

ADMV1355 は、SPI 命令時間を最小限に抑える SPI ストリーミングに対応しています。SPI ストリーミング命令の間、 $\overline{CS}$ がローにアサートされ、単一の 16 ビット・ヘッダ命令が与えられた後、複数バイトのデータが続く、その後、 $\overline{CS}$ がデアサートされて命令が終了します。シーケンシャルなレジスタ・アドレス指定は、レジスタ 0x000 のビット 5 およびビット 2 の設定状況に応じて昇順または降順が前提とされます。なお、デフォルトは降順アドレス指定です。

SPI 命令のいずれかのヘッダ部分で $\overline{CS}$ がデアサートされた場合、その命令の動作は無視されます。SPI 命令のデータ部分で $\overline{CS}$ がデアサートされた場合、そのデータは無視されます。SPI ストリーミング動作では、データの完全なバイト (8 ビット) はチップに受け入れられますが、部分的なバイトは無視されます。

詳細については、[タイミング図の概要](#)のセクション、[デジタル入力のパワーアップおよび印加](#)のセクション、[SPI 命令の初期化](#)のセクション、[チップのイネーブルおよび動作](#)のセクション、[チップのディスエーブルおよびリセット](#)のセクション、[チップのディスエーブルおよびパワーダウン](#)のセクションを参照してください。また、SPI および通信プロトコルの詳細については、[ADI-SPI, Serial Control Interface Standard \(Rev 1.0\)](#)を参照してください。

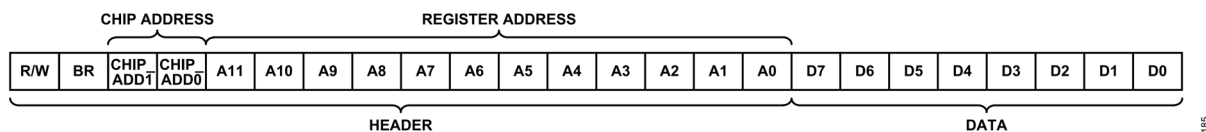


図 179. シングル SPI フレームのタイミング図

動作原理

タイミング図の概要

図 180、図 181、図 182、図 183 に示すタイミング図は、ADMV1355 の動作の各種プログラミング・シーケンスおよび電源シーケンスが可視化されているため、便利です。これらのタイミング図は、表 8 に詳述されているタイミング仕様を用いています。

このガイダンスには、パワーアップ時にデジタル入力をローに保持し、パワーダウンより前またはそれと同時にデジタル入力を除去するといった、ADMV1355 が損傷しないようにするための制限事項が含まれています。更に、タイミング図には、必要な SPI 命令をプログラムしてから CEN 入力を用いてチップの RF 部をイネーブルするといった、動作のためのベスト・プラクティスが含まれています。

これらのタイミング図の詳細については、デジタル入力のパワーアップおよび印加のセクション、SPI 命令の初期化のセクション、チップのイネーブルおよび動作のセクション、チップのディスエーブルおよびリセットのセクション、チップのディスエーブルおよびパワーダウンのセクションを参照してください。

デジタル入力のパワーアップおよび印加

パワーアップおよび初期化のタイミング図（図 180 参照）は、電源が開始時間 t_{START} で始まり、 t_1 の時間で立ち上がることを示しています。電源電圧がその公称値の 90% に達した後、 $t_{DIGITAL}$ のタイミングで最短でも t_2 の時間だけ待機した後、有効なデジタル入力を印加できます。チップが損傷する可能性をなくするため、 $t_{DIGITAL}$ より前にはデジタル入力を印加しないでください。

一般に、 $t_{DIGITAL}$ において、 $\overline{RST}$ 入力と $\overline{CS}$ 入力と共にハイになります。該当する場合、SPI 命令の準備のために $CHIP_ADD0$ および $CHIP_ADD1$ もこのときにセットされます。初期化時間 $t_{INITIALIZE}$ に SPI 命令が開始される前にチップがリセットされるよう、最短でも t_3 の時間だけ待機します。

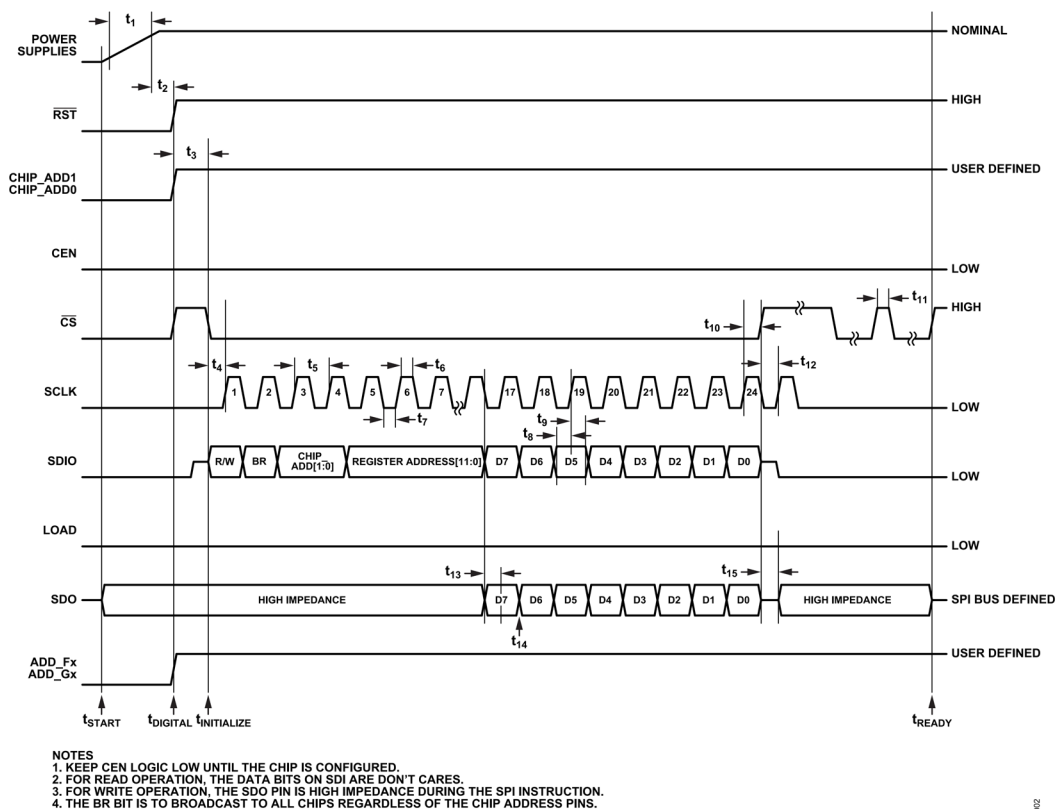


図 180. パワーアップおよび初期化のタイミング図

動作原理

SPI 命令の初期化

$t_{\text{INITIALIZE}}$ (図 180 参照) のタイミングで目的動作のための SPI 命令を用いることにより、チップを設定します。命令ごとに $t_{\text{INITIALIZE}}$ からレディ時間 t_{READY} までループを繰り返し、必要なすべての SPI 命令を与えてチップを設定します。初期化 SPI 命令の間は CEN 入力をローに保持し、 t_{READY} で初期化を完了します。

チップのイネーブルおよび動作

初期化 SPI 命令がすべて完了した後、最短でも t_{16} の時間だけ待機し、確実にデジタル・ロジックが命令を処理するようにしてから、 $t_{\text{OPERATIONAL}}$ のタイミングで CEN 入力をハイにセットしてチップ動作をイネーブルします。 $t_{\text{OPERATIONAL}}$ において、チップの RF 部がイネーブルされます。詳細については、図 181 を参照してください。

チップ動作の間、LOAD 入力トグルや、ADD_Fx 入力および ADD_Gx 入力への変化と共に、必要な SPI 命令を与えることができます。チップをディスエーブルする、チップをリセットする、チップをパワーダウンする、のいずれかが必要になるまで、 $t_{\text{OPERATIONAL}}$ から t_{CONTINUE} 間でのループを繰り返し動作を続行します。

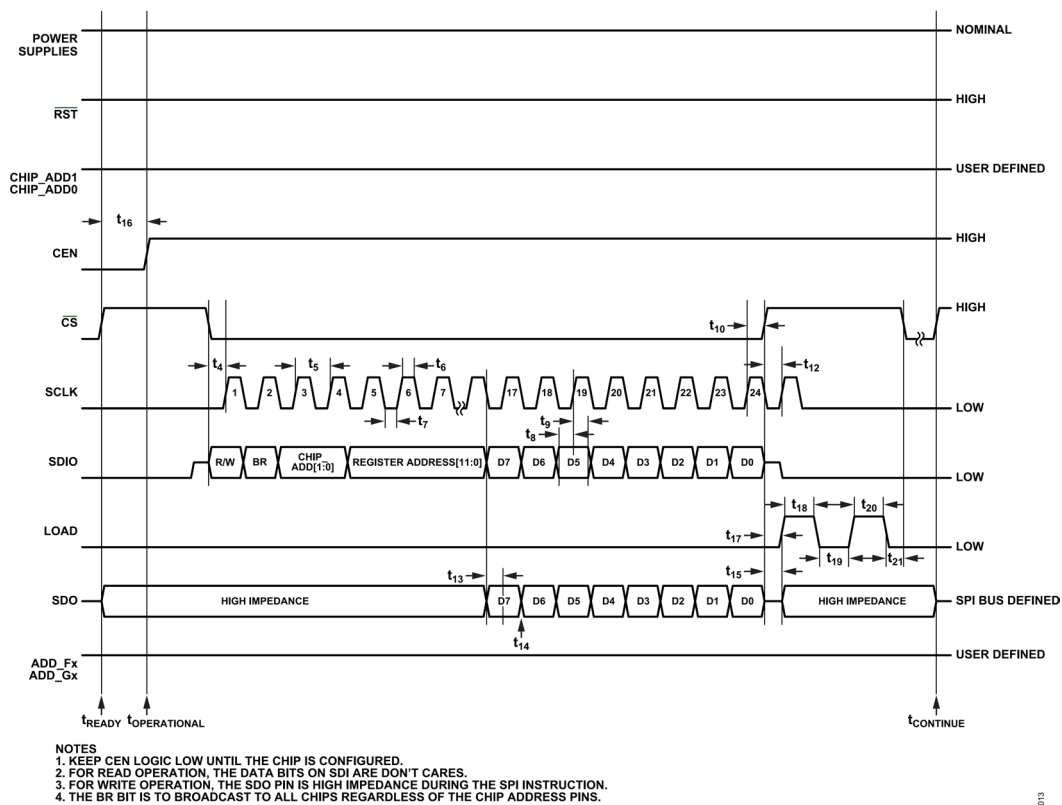


図 181. 動作のタイミング図

動作原理

チップのディスエーブルおよびリセット

チップをディスエーブルする、あるいはリセットする必要がある場合、 t_{CONTINUE} で始まる図 182 に従います。最後の SPI 命令から最短でも t_{22} だけ待機してから、 t_{DISABLE} で CEN 入力をローにセットしてチップをディスエーブルします。

CEN 入力をローにセットした後、チップの RF 部がパワーダウンできるよう、最短でも t_{23} の時間だけ待機します。その後、最短でも t_{24} の間 $\overline{\text{RST}}$ 入力をローにセットしてから、再度 $\overline{\text{RST}}$ 入力をハイにセットできます。最短でも t_3 の時間待機してから、 $t_{\text{INITIALIZE}}$ にループ・バックします。これを図 180 に示します。

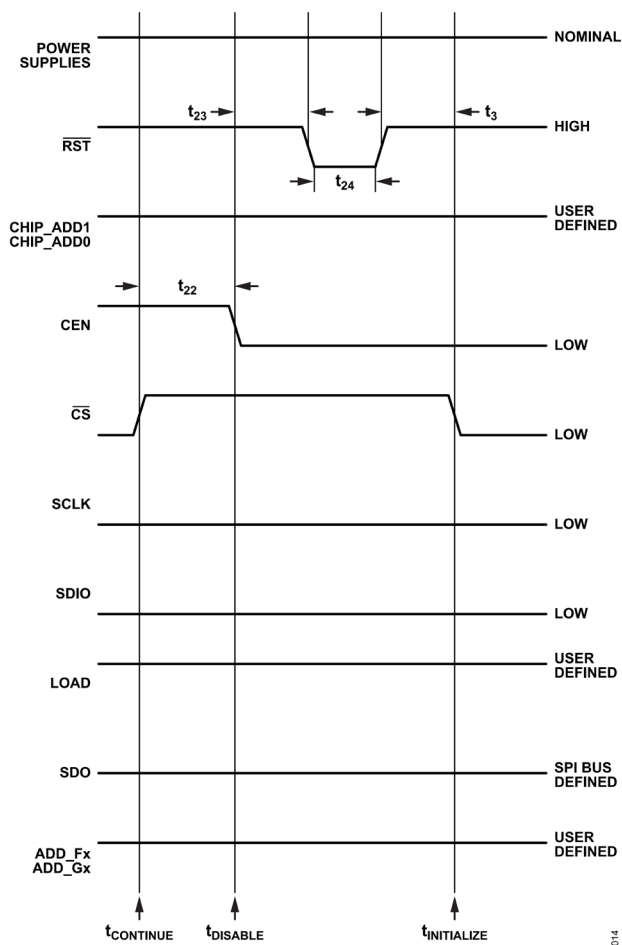


図 182. チップのディスエーブルおよびリセットのタイミング図

チップのディスエーブルおよびパワーダウン

チップをディスエーブルする、あるいはパワーダウンする必要がある場合、 t_{CONTINUE} で始まる図 183 に従います。最後の SPI 命令から最短でも t_{22} だけ待機してから、 t_{DISABLE} で CEN 入力をローにセットしてチップをディスエーブルします。

CEN 入力をローにセットした後、チップが $t_{\text{POWER-DOWN}}$ でパワーダウンする前にチップの RF 部がパワーダウンできるよう、最短でも t_{25} の時間だけ待機します。 $t_{\text{POWER-DOWN}}$ において、その他すべてのロジック入力は、 t_{26} の立下がり時間でローにセットする必要があります。電源電圧は t_{27} の立下がり時間でオフにすることができます。理想的には、ロジック入力は電源のランプダウンより前に除去しますが、ロジック入力の立下がり時間が最長でも t_{26} の時間を越えなければ、同時に除去しても構いません。なお、 t_{26} の時間単位はマイクロ秒であり、 t_{27} の時間単位はミリ秒であることに注意してください。

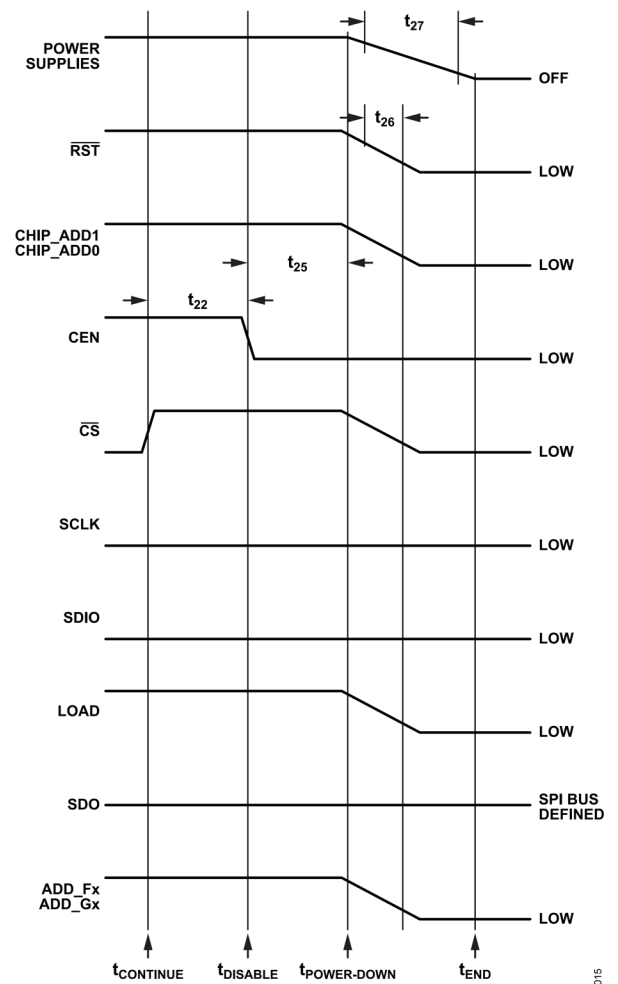


図 183. チップのディスエーブルおよびパワーダウンのタイミング図

動作原理

NVM

ADMV1355 には単純な NVM が内蔵されており、デバイスごとのばらつきを最小限に抑えるための工場出荷時のキャリブレーション値を保存しています。NVM の値によって、チップのバイアス電流設定、内蔵アナログ・デジタル・コンバータ (ADC) の調整、内部温度センサーの調整が行われます。チップのパワーアップ時には、この NVM が確実にその値を適切なシャドウ・レジスタに書き込むようにすることを推奨します。NVM はスタティックであり、ユーザによる変更はできません。

NVM 正常性チェック

NVM 値がロードされたことを確認するには、以下の NVM 正常性チェック命令を用います。

1. 以下を実行してレジスタ 0x033 をシャドウ化します。
 - ▶ レジスタ 0x07B を 0x33 の値に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x33 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値を返すはずです。
2. 以下を実行してレジスタ 0x034 をシャドウ化します。
 - ▶ レジスタ 0x07B を 0x34 の値に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x34 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値を返すはずです。
3. 以下を実行してレジスタ 0x037 をシャドウ化します。
 - ▶ レジスタ 0x07B を 0x37 の値に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x37 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値を返すはずです。
4. 以下を実行してレジスタ 0x038 をシャドウ化します。
 - ▶ レジスタ 0x07B を 0x38 の値に設定します。
 - ▶ レジスタ 0x07B を読み出します。0x38 を返すはずです。
 - ▶ レジスタ 0x07C を読み出します。ゼロ以外の値を返すはずです。

戻り値のいずれかがゼロの場合、**NVM ロード命令**のセクションに詳述する命令を実行します。

NVM ロード命令

レジスタ 0x07C からの戻り値がゼロの場合、以下の NVM ロード命令を実行します。

1. レジスタ 0x078 を 0x08 の値に設定します。
2. 1ms 待機します。
3. レジスタ 0x07E を 0x40 の値に設定します。
4. 1ms 待機します。
5. レジスタ 0x07E を 0x54 の値に設定します。
6. 1ms 待機します。
7. レジスタ 0x078 を 0x09 の値に設定します。

デジタルの概要

ADMV1355 には高度なデジタル・ロジックが内蔵されており、これを用いることによりチップ内の各回路ブロックを様々な方法で設定できます。これらの方法には、単純なレジスタ設定、同期 LOAD 機能、LUT、ロジック・ステート・マシン、並列入力ロジック・ポインタ、汎用ロジック出力などがあります。

デジタル・ロジックは、周波数制御（フィルタ）用とゲイン制御（アッテネータ）用の 2 つのサブセクションに分割できます。各サブセクションの代表的な図については、[図 184](#) および [図 185](#) を参照してください。これらの図を参照する場合、右から左、すなわち、制御対象要素から始めて入力制御方法を決める、という順に従うと有益です。

周波数制御サブセクションでは、フィルタおよび GPO_Fx ロジック出力を設定する最も簡単な方法は、レジスタ 0x800～レジスタ 0x80C を用いることです。レジスタ 0x2A0 は RF チェーンの LPF 値を設定できるバイパス・レジスタであり、これを用いることによりレジスタ 0x80B の LPF 値より高い分解能を実現できます。同様に、レジスタ 0x2A1 は RF チェーンの HPF 値を設定するバイパス・レジスタであり、このレジスタを用いることによりレジスタ 0x80B の HPF 値より高い分解能を実現できます。

ゲイン制御サブセクションでは、アッテネータおよび GPO_Gx ロジック出力を設定する最も簡単な方法は、レジスタ 0x28B～レジスタ 0x28C を用いることです。LOAD 機能が必要な場合は、レジスタ 0x600 およびレジスタ 0x601 も使用できます。

動作原理

デジタル構成図

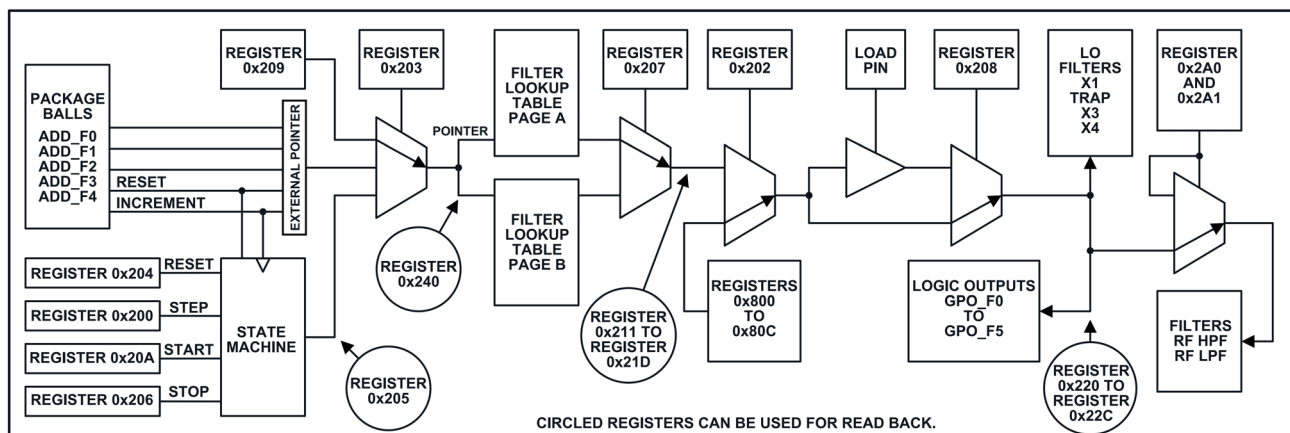


図 184. フィルタ構成図

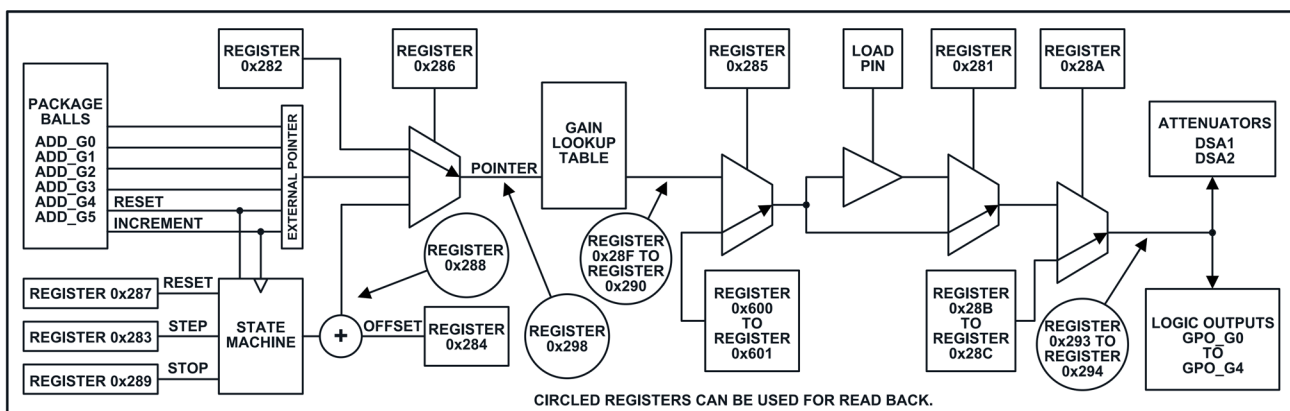


図 185. ゲイン構成図

同期 LOAD 機能

ADMV1355には同期 LOAD 機能があり、これを用いることにより、LOAD ボールでの特定のトリガ立上がりエッジ・イベント時にフィルタ設定およびゲイン設定を適用できます。LOAD 機能のタイミングについては図 181 を参照してください。フィルタ設定の LOAD 機能を有効にするには、レジスタ 0x208 を 1 にセットします。ゲイン設定の LOAD 機能を有効にするには、レジスタ 0x281 を 1 にセットします。

フィルタの LUT

デジタル・ロジックには、LO チューナブル・フィルタ、RF チューナブル・フィルタ、GPO_F ロジック出力の状態を定めるために使用できる、フィルタ LUT が含まれています。この LUT は、チップの設定状態を迅速に変更する必要がある高速周波数ホッピング・アプリケーションで有用です。

LUT を用いるには、レジスタ 0x202 を 1 にセットし、レジスタ 0x900～レジスタ 0xC3F で LUT を設定します。

LUT は 2 ページからなり、それぞれに 32 インデックス、合計 64 インデックスがあります。ページ A を選択するにはレジスタ 0x207 を 0 にセットします。ページ B を選択するにはレジスタ 0x207 を 1 にセットします。

LUT のインデックス（ポインタ）には、レジスタ 0x203 で定められる 3 つのソースがあります。ポインタは、並列ロジック入力 ADD_F ボール、レジスタ 0x209、または内部ステート・マシンを用いることにより、設定できます。ADD_F ボールをポインタとして用いるにはレジスタ 0x203 を 0 の値に、レジスタ 0x209 をポインタとして用いるにはレジスタ 0x203 を 1 の値に、内部ステート・マシンを用いるにはレジスタ 0x203 を 2 の値にセットします。

LUT のポインタ・ソースに関わらず、ポインタ値をリード・バックするにはレジスタ 0x240 を使用します。

LUT の出力値は、レジスタ 0x211～レジスタ 0x21D で読み出せます。これらのレジスタの値は、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサの前段のフィルタ値を表します。

動作原理

フィルタのステート・マシン

内部ステート・マシンを用いると、多くの状態をシーケンシャルに移行できます。ADD_F4 入力を用いると進行し、ADD_F3 を用いるとリセットします。ステート・マシンには、開始値、停止値、ステップ・サイズ、ラップ設定、リセットなど、SPIからのいくつかの入力パラメータがあります。

パワーアップ時は、ステート・マシンの出力はゼロであり、ADD_F3 ボールまたはレジスタ 0x204 のどちらを用いてもゼロにリセットできます。ステート・マシンをリセット状態に保持するには ADD_F3 をロジック・ハイにセットし、その後通常動作に戻すには ADD_F3 をロジック・ローにします。別の方法としては、レジスタ 0x204 を 0 にセットするとステート・マシンがリセット状態に保持され、このレジスタを 1 に戻すと再度通常動作になります。

確実にステート・マシンが良好に動作するようにするため、停止値を開始より大きな値に設定することを推奨します。ステップ・サイズは 8 ビットの 2 の補数値で、範囲は-128~+127 です。ここで、-128 は 0x80 によって表され、+127 は 0x7F、-1 は 0xFF によって表されます。値がゼロのステップ・サイズは無効です。

ステート・マシンの現在の値をリード・バックするには、レジスタ 0x205 を用います。

ラップ設定が無効化されている場合、インクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけインクリメントします。ステート・マシンが停止値に達すると、次の状態が

開始値になります。ステップ・サイズが停止値を越えてインクリメントする場合は、開始値が用いられます。

ラップ設定が無効化されている場合、デクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけデクリメントします。ステート・マシンがゼロに達すると、次の状態が停止値になります。ステップ・サイズがゼロ未満にデクリメントする場合は、停止値が用いられます。このシーケンスの間、開始値は無視されます。

ラップ設定が有効化されている場合、インクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけインクリメントします。ステップ・サイズが停止値を越えてインクリメントする場合、シーケンスはロール・オーバーし、ゼロから残りのカウントを続けます。このシーケンスの間、開始値は無視されます。

ラップ設定が有効化されている場合、デクリメント・シーケンスはゼロから始まり、ステップ・サイズ分だけデクリメントします。ステップ・サイズがゼロ未満にデクリメントする場合、シーケンスはロール・オーバーし、停止値から残りのカウントを続けます。このシーケンスの間、開始値は無視されます。

適用可能なレジスタとステート・マシンの動作例については、表 14 を参照してください。表 14 に示すシーケンスは、ADD_F4 の各立上がりエッジで無期限に継続します。

表 14. フィルタのステート・マシンの動作例

Example	Step ¹	Start ²	Stop ³	Wrap ⁴	State Machine Sequence
1	+1	3	6	0	0, 1, 2, 3, 4, 5, 6, 3, 4, 5, 6, 3, 4, 5, 6...
2	+2	3	6	0	0, 2, 4, 6, 3, 5, 3, 5, 3, 5, 3, 5, 3, 5, 3...
3	+3	3	6	0	0, 3, 6, 3, 6, 3, 6, 3, 6, 3, 6, 3, 6, 3, 6...
4	+4	3	6	0	0, 4, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3, 3...
5	-1	3	6	0	0, 6, 5, 4, 3, 2, 1, 0, 6, 5, 4, 3, 2, 1, 0...
6	-2	3	6	0	0, 6, 4, 2, 0, 6, 4, 2, 0, 6, 4, 2, 0, 6, 4...
7	-3	3	6	0	0, 6, 3, 0, 6, 3, 0, 6, 3, 0, 6, 3, 0, 6, 3...
8	-4	3	6	0	0, 6, 2, 6, 2, 6, 2, 6, 2, 6, 2, 6, 2, 6, 2...
9	+1	3	6	1	0, 1, 2, 3, 4, 5, 6, 0, 1, 2, 3, 4, 5, 6, 0...
10	+2	3	6	1	0, 2, 4, 6, 1, 3, 5, 0, 2, 4, 6, 1, 3, 5, 0...
11	+3	3	6	1	0, 3, 6, 2, 5, 1, 4, 0, 3, 6, 2, 5, 1, 4, 0...
12	+4	3	6	1	0, 4, 1, 5, 2, 6, 3, 0, 4, 1, 5, 2, 6, 3, 0...
13	-1	3	6	1	0, 6, 5, 4, 3, 2, 1, 0, 6, 5, 4, 3, 2, 1, 0...
14	-2	3	6	1	0, 5, 3, 1, 6, 4, 2, 0, 5, 3, 1, 6, 4, 2, 0...
15	-3	3	6	1	0, 4, 1, 5, 2, 6, 3, 0, 4, 1, 5, 2, 6, 3, 0...
16	-4	3	6	1	0, 3, 6, 2, 5, 1, 4, 0, 3, 6, 2, 5, 1, 4, 0...

¹ ステップ・サイズは、レジスタ 0x200 のビット[7:0]によって決まります。

² 開始は、レジスタ 0x20A のビット[4:0]によって決まります。

³ 停止は、レジスタ 0x206 のビット[4:0]によって決まります。

⁴ ラップ設定は、レジスタ 0x20A のビット 5 によって決まります。

動作原理

ゲインの LUT

デジタル・ロジックには、67 のインデックスがあるゲイン LUT が含まれており、これを用いることで、DSA の状態や GPO_G ロジック出力の状態を定めることができます。この LUT は、チップの設定状態を迅速に変更することが必要な高速周波数ホッピング・アプリケーションで有効です。

LUT を用いるには、レジスタ 0x285 を 1 にセットし、レジスタ 0xE00～レジスタ 0xE85 で LUT を設定します。

LUT のインデックス（ポインタ）には、レジスタ 0x286 で定められる 3 つのソースがあります。ポインタは、並列ロジック入力 ADD_G ボール、レジスタ 0x282、または内部ステート・マシンを用いることにより、設定できます。ADD_G ボールをポインタとして用いるにはレジスタ 0x286 を 0 の値に、レジスタ 0x282 をポインタとして用いるにはレジスタ 0x286 を 1 の値に、内部ステート・マシンを用いるにはレジスタ 0x286 を 2 の値にセットします。

LUT のポインタ・ソースに関わらず、ポインタ値をリード・バックするにはレジスタ 0x298 を使用します。

LUT の出力値は、レジスタ 0x28F～レジスタ 0x290 で読み出せます。これらのレジスタの値は、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサの前段の DSA 値を表します。

ゲインのステート・マシン

内部ステート・マシンを用いると、多くの状態をシーケンシャルに移行できます。ADD_G5 入力を用いると進行し、ADD_G4 を用いるとリセットします。ステート・マシンには、オフセット値、停止値、ステップ・サイズ、リセットなど、SPI からのいくつかの入力パラメータがあります。

パワーアップ時は、ステート・マシンの出力はゼロであり、ADD_G4 ボールまたはレジスタ 0x287 のどちらを用いてもゼロにリセットできます。ステート・マシンをリセット状態に保持するには ADD_G4 をロジック・ハイにセットし、その後通常動作に戻すにはロジック・ローにします。別の方法としては、レ

ジスタ 0x287 を 0 にセットするとステート・マシンがリセット状態に保持され、1 に戻すと再度通常動作になります。

ステップ・サイズは 8 ビットの 2 の補数で、範囲は-128～+127 です。ここで、-128 は 0x80 によって表され、+127 は 0x7F、-1 は 0xFF によって表されます。値がゼロのステップ・サイズは無効です。

ステート・マシンは、プログラムされたステップ・サイズ値に基づき、ADD_G5 の立上がりエッジごとにインクリメントまたはデクリメントします。ステート・マシンは常にゼロおよび停止値に拘束されます。ステート・マシンがこれらのどちらかに達すると、そのままになります。ステート・マシンの値が停止値に等しい場合、ステップ・サイズを正の数から負の数に変更することにより、ステート・マシンをデクリメントしてゼロに戻すことができます。

オフセット値は 8 ビットの 2 の補数で、範囲は-128～+127 です。ここで、-128 は 0x80 によって表され、+127 は 0x7F、-1 は 0xFF によって表されます。

ポインタ値は、ステート・マシンの値にオフセット値を加えた値に等しくなります。ポインタの現在の値をリード・バックするには、レジスタ 0x288 を用います。

ステート・マシンの値とポインタの値のどちらも、ゼロおよび停止値に拘束されます。ステート・マシンが特定の値のままであるときに停止値またはオフセット値が変更されると、これらの拘束値の範囲にある限り、ポインタを更新できます。最小ポインタ値はオフセット値またはゼロのいずれか大きい方に拘束されます。

適用可能なレジスタとステート・マシンの動作例については、表 15 を参照してください。表 15 に示すシーケンスは、ADD_G5 の各立上がりエッジで無期限には継続しません。シーケンスの最後に達した後、更にシーケンスを可能にするには、ステート・マシンのリセット、ステップ・サイズの変更、または停止値の変更が必要です。

表 15. ゲインのステート・マシンの動作例

Example	Step ¹	Offset ²	Stop ³	State Machine Sequence
1	+1	0	6	0, 1, 2, 3, 4, 5, 6
2	+2	0	6	0, 2, 4, 6
3	+4	0	6	0, 4, 6
4	+6	0	6	0, 6
5	+1	1	6	1, 2, 3, 4, 5, 6
6	+2	1	6	1, 3, 5, 6
7	+3	1	6	1, 4, 6
8	-1	0	6	6, 5, 4, 3, 2, 1, 0

¹ ステップ・サイズは、レジスタ 0x283 のビット[7:0]によって決まります。

² オフセットは、レジスタ 0x284 のビット[7:0]によって決まります。

³ 停止は、レジスタ 0x289 のビット[6:0]によって決まります。

動作原理

汎用出力

ADMV1355には11個の汎用出力があり、これらを用いると、スタンドアロンのチューナブル・フィルタやスタンドアロンのDSAなど、システム内の他の部品のロジック・レベルを設定できます。これらの出力は、1.8Vのロジック・レベルをサポートし、SPIまたはLUTによって定義できます。

どの汎用出力に対してもそれを用いる前には、レジスタ 0x780 およびレジスタ 0x781 を用いてその出力の出力イネーブル・ビットを1にセットする必要があります。その後、出力状態（ロジック・ハイまたはロジック・ロー）が、レジスタ 0x601 およびレジスタ 0x803 にプログラムされた値によって決まります。詳細は、表 16 を参照してください。

表 16. GPO レジスタ

Output	Output Enable		Output State	
	Register	Bit	Register	Bit
GPO_F0	0x780	0	0x803	0
GPO_F1	0x780	1	0x803	1
GPO_F2	0x780	2	0x803	2
GPO_F3	0x780	3	0x803	3
GPO_F4	0x780	4	0x803	4
GPO_F5	0x780	5	0x803	5
GPO_G0	0x780	6	0x601	0
GPO_G1	0x780	7	0x601	1
GPO_G2	0x781	0	0x601	2
GPO_G3	0x781	1	0x601	3
GPO_G4	0x781	2	0x601	4

RF 接続

ADMV1355のRF接続は、DCカップリングしていると見なされます。システム内の他のコンポーネントからのDC電圧がこれらのRF接続に存在する場合は、DC阻止コンデンサを、これらのピンと直列に配置することを推奨します。DC阻止コンデンサは必ず、フィルタの動作周波数に基づいて選択する必要があります。一般に、100pFを超える値であれば、低い動作周波数側での挿入損失を最小限に抑えるのに十分です。高い動作周波数側では、選択するコンデンサの寄生成分への考慮が必要になる場合があります。図 186 に、寄生成分のあるコンデンサの一般的なモデルを示します。寄生直列インダクタンス (L_{ESL}) は、そのインピーダンスが 10GHz を超える周波数で支配的になる可能性があるため、通常は最も懸念されます。リーク抵抗 (R_L)、誘電体吸収抵抗 (R_{DA})、誘電体吸収容量 (C_{DA})、電気直列抵抗 (R_{ESR}) などの他の寄生成分はそれほど考慮すべき重要な成分ではありませんが、完全を期すためにここに示します。

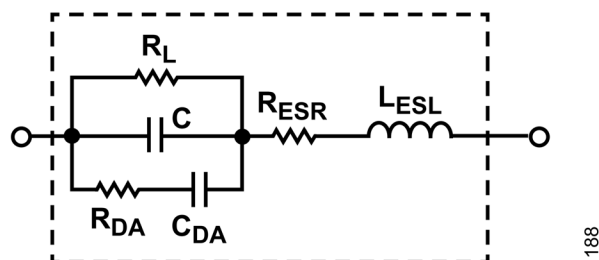


図 186. コンデンサの一般モデル

LO シグナル・チェーン

ADMV1355のLOシグナル・チェーンは、入力信号をLOボールから受け入れます。このLO入力信号は、アンプでバッファされ、2通倍器によって2倍にされた後、チューナブル・フィルタ、広帯域 90°ハイブリッド、および2個の調整可能位相シフタへと供給されます。このLOシグナル・チェーンについては図 187 を参照してください。LOシグナル・チェーンは、8.85GHz～27.5GHzの入力周波数で動作するよう仕様規定されています。

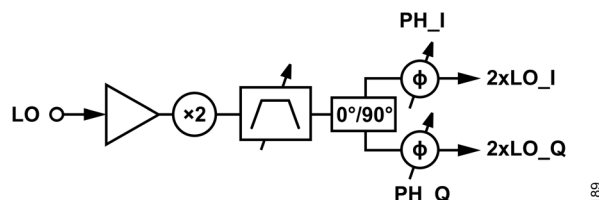


図 187. LO チェーンの構成図

入力周波数が 25GHz 未満の場合、仕様規定されている電力レベルは、-7dBm～-3dBm です。-10dBm～-7dBm および-3dBm～0dBmの入力電力レベルでも動作はしますが、性能は低下します。

入力周波数が 25GHz 以上の場合、仕様規定されている入力電力レベルは、-3dBm～0dBm です。-10dBm～-3dBmの入力電力レベルでも動作はしますが、性能は低下します。

不要なスプリアス・ミキサー成分を避けるには、LO入力信号の高調波成分を最小限に抑えます。すべてのLO入力高調波信号が基本LO信号の-30dBcより小さくなるようにすることを推奨します。

スプリアス・ミキサー成分を減らすために、LOチューナブル・フィルタが用いられており、2通倍器後に存在する可能性のあるLO高調波成分を最適化しています。これらのチューナブル・フィルタの設定に関するその他の推奨事項については、[LO チューナブル・フィルタ](#)のセクションを参照してください。

広帯域 90°ハイブリッドおよび調整可能位相シフタは、必要なミキサーLO信号である、2xLO_Iおよび2xLO_Qを発生します。ミキサーのLO信号は17.7GHz～55GHzで動作します。調整可能な位相シフタを用いることで、ミキサーLO信号の直交位相を調整でき、それによってADMV1355のサイドバンド除去機能を最適化できます。この最適化を行う方法の詳細については、[サイドバンド除去の最適化](#)のセクションを参照してください。更に、LOチェーンには、自動モードと手動モードのどちらでも動作できる、LOヌル化ループが内蔵されています。この最適化を行う方法の詳細については、[LOのヌル化](#)のセクションを参照してください。

動作原理

LO チューナブル・フィルタ

LO チューナブル・フィルタは、レジスタ 0x800、レジスタ 0x801、レジスタ 0x802、レジスタ 0x804、レジスタ 0x805、レジスタ 0x806、レジスタ 0x80C を用いて設定されます。LO 入力周波数に基づいてこれらのフィルタを設定するためのガイダンスについては、表 17 を参照してください。

LO 入力周波数が絶えず変化する広帯域アプリケーションの場合、LO チューナブル・フィルタを広帯域動作に設定すると有益です。フィルタを広帯域動作に設定することにより、ミキサーを正常な入力電力レベルで駆動できます。ただし、スプリアス・ミキサー成分が増加します。広帯域 LO 入力周波数に基づいてこれらのフィルタを設定するためのガイダンスについては、表 18 を参照してください。

表 17. 狭帯域 LO チューナブル・フィルタの推奨設定

LO Frequency		4×LO	3×LO	1×LO	LO Trap		LO Band	LO Doubler
Minimum	Maximum	Register 0x800, Bits[3:0]	Register 0x801, Bits[4:0]	Register 0x802, Bits[4:0]	Register 0x804, Bits[7:0]	Register 0x805, Bits[1:0]	Register 0x806, Bit 7	Register 0x80C, Bits[7:0]
8.85	9.99	0x08	0x1C	0x1F	0x18	0x03	0x00	0x1F
10	11.99	0x00	0x1C	0x1F	0x18	0x03	0x00	0x1D
12	12.49	0x00	0x07	0x0A	0xAA	0x03	0x00	0x04
12.5	12.99	0x00	0x07	0x0A	0xAA	0x03	0x00	0x04
13	13.99	0x00	0x07	0x0A	0xAA	0x03	0x00	0x04
14	14.49	0x05	0x07	0x0A	0xAA	0x03	0x00	0x08
14.5	14.99	0x05	0x07	0x0A	0xA3	0x01	0x00	0x08
15	16.99	0x05	0x05	0x05	0xA3	0x01	0x00	0x08
17	17.99	0x05	0x04	0x01	0xA3	0x01	0x00	0x08
18	18.49	0x07	0x04	0x01	0xA3	0x01	0x01	0x80
18.5	18.99	0x07	0x04	0x01	0xA7	0x01	0x01	0x80
19	20.99	0x07	0x03	0x01	0xA7	0x01	0x01	0x80
21	23.99	0x07	0x02	0x00	0xE7	0x01	0x01	0x80
24	27.5	0x07	0x00	0x00	0xE7	0x01	0x01	0xC0

表 18. 広帯域 LO チューナブル・フィルタの推奨設定

LO Frequency		4×LO	3×LO	1×LO	LO Trap		LO Band	LO Doubler
Minimum	Maximum	Register 0x800, Bits[3:0]	Register 0x801, Bits[4:0]	Register 0x802, Bits[4:0]	Register 0x804, Bits[7:0]	Register 0x805, Bits[1:0]	Register 0x806, Bit 5	Register 0x80C, Bits[7:0]
8.85	12.99	0x05	0x00	0x1F	0x18	0x03	0x00	0x08
13	27.5	0x05	0x00	0x1F	0xA7	0x01	0x01	0x80

動作原理

LO のヌル化

RF システムでは、ミキサの出力で LO リークが発生すると、伝送される信号のスペクトル純度および変調精度が低下する可能性があります。ADMV1355 では LO のヌル化の方法を 2 通りサポートしており、それによって、RF 出力に現れる可能性のある不要な LO リークを抑制します。

自動 LO ヌル化

ADMV1355 には、内部 ADC、エンベロープ・ディテクタ、キャリアブレーション・ロジックを用いて、LO リークを測定してこれを最小限に抑える、自動 LO ヌル化ループが内蔵されています。自動 LO ヌル化は、IF ハイブリッド・モードおよび複素 IF モードでサポートされており、対応 LO 周波数は 12.5GHz~27.5GHz です。LO リークは、周波数、温度、電源電圧、デバイスの許容誤差によって変動するため、設定を変更した後に自動 LO ヌル化を再実行すると、性能の最適化が確実なものとなります。

自動 LO ヌル化を実行するには、必要な周波数で LO 信号が有効化されており、デバイスが必要な入力モードに設定されていることを確認します。自動 LO ヌル化ループを動作させるには、以下のように順次レジスタを設定します。

1. レジスタ 0x302 を 0x02 に設定して、内部 ADC をリセットします。
2. レジスタ 0x300 を 0x09 に設定して、内部 ADC と ADC クロックをイネーブルします。
3. レジスタ 0x306 を 0x02 に設定して、LO ヌル化ループをリセットします。
4. レジスタ 0x305 を 0x20 に設定して、LO ヌル化ループをイネーブルします。
5. レジスタ 0x13E を 0x00 に設定して、ADC リファレンスをパワーアップします。
6. レジスタ 0x2A7 を 0x00 に設定して、ADC マルチプレクサを LO ヌル化に設定します。
7. RF 高周波数帯を使用する場合はレジスタ 0x306 を 0x12 に設定し、RF 低周波数帯を使用する場合は、レジスタ 0x306 を 0x22 に設定します。レジスタ 0x306 を用いて、エンベロープ・ディテクタを必要な RF 周波数帯に設定します。
8. レジスタ 0x302 を 0x22 に設定して、LO ヌル化電流にレジスタ 0x304 を用いるよう設定します。
9. LO ヌル化電流を最適な設定にするには、レジスタ 0x304 を 0x1F に設定します。このレジスタ値は、異なる周波数に対し最適な LO ヌル化結果が得られるよう、調整できます。
10. レジスタ 0x302 を 0x26 に設定して、自動 LO ヌル化機能を有効化します。

次に、1ms 待機し、以下のレジスタを順次設定して、自動 LO ヌル化ループをオフにします。

1. レジスタ 0x302 を 0x22 に設定して、自動 LO ヌル化をオフにします。
2. レジスタ 0x306 を 0x02 に設定して、エンベロープの選択を無効化します。
3. レジスタ 0x300 を 0x00 に設定して、内部 ADC と ADC クロックをディスエーブルします。

手動 LO ヌル化

ADMV1355 は、IF ハイブリッド・モードおよび複素 IF モードにおいて、手動 LO ヌル化もサポートしており、最適化のカスタマイズが必要なアプリケーションの場合や通常動作時に自動 LO ヌル化が実行できない場合に使用できます。手動 LO ヌル化を用いるには、レジスタ 0x305 を 0x03 に設定することにより自動 LO ヌル化ループをディスエーブルし、次にレジスタ 0x808 およびレジスタ 0x809 を用いて、内部 LO ヌル化電流の調整を手で行います。レジスタ 0x808 およびレジスタ 0x809 の形式は 2 の補数であり、0x00 はゼロ補正、0x7F は正の最大電流、0x80 は負の最大電流です。これらの値は、LO リークを外部からモニタして、必要な LO ヌル化レベルを実現できるよう、反復して調整されます。

手動 LO ヌル化を開始するには、必要な周波数で LO 信号が有効化されており、デバイスが必要な入力モードに設定されていることを確認します。以下の最適化シーケンスを使用することにより、効果的な LO ヌル化を実現できます。

1. レジスタ 0x808 およびレジスタ 0x809 をどちらも 0x00 に設定することにより初期化します。それによって、最適化に先立ち、既知の開始点を確立し、安定した LO リーク測定セットアップを確保します。
2. レジスタ 0x809 の定数をその初期値に保持したまま、4 つの符号付き粗調整値（例えば、-64、-32、+32、+64）を用いてレジスタ 0x808 を掃引します。プログラムされた各値に対し、十分なセトリグ・タイムを与え、対応する LO リーク電力を dBm 単位で記録します。
3. 測定した LO リーク値を dBm から線形の電力値に変換します。これらの線形値を用い、次式により 2 次の多項式曲線近似を実行します。
$$y = Ax^2 + Bx + C$$
ここで、 x は、符号付きのレジスタ値、 y は、測定した線形電力です。
4. 導関数を導き次式を解くことにより、フィッティング曲線の最小値を求めます。
$$x_0 = -(B/2A)$$
5. 計算値を有効な最も近い符号付き整数に丸め、これが許容範囲内（-128~+127）にあることを確認します。
6. この計算した最適値でレジスタ 0x808 をプログラムします。
7. レジスタ 0x808 の最適値を固定したまま、同じ符号付き粗調整値のセット（-64、-32、+32、+64）を用いてレジスタ 0x809 を掃引します。各ステップで LO リークを記録して線形の電力に変換し、次いで同じ二次フィッティング手順を実行し、次式を用いて最適値を計算します。
$$-B/2A$$
8. この計算した最適値でレジスタ 0x809 をプログラムします。この段階で、両方のレジスタには大まかに最適化された設定が格納され、それによって LO リークが大幅に低減されます。
9. 更に LO リークを抑制するには、レジスタ 0x808 を細かく最適化します。小さなステップ・サイズを用いて、粗い最適値 x_0 を中心とする 4 つの値を掃引します。例えば、 $x_0 - 6$ 、 $x_0 - 2$ 、 $x_0 + 2$ 、 $x_0 + 6$ です。

動作原理

10. 各ステップでLOリークを測定して線形の電力に変換し、次いで二次フィッティングを実行し、次式を用いて微調整した最適値を計算します。

$$-B/2A$$
11. 高精細掃引によって得られた微調整値でレジスタ 0x808 をプログラムします。
12. 同じ方法を用いてレジスタ 0x809 を最適化します。つまり、更新されたレジスタ 0x808 を固定したまま、レジスタ 0x809 の粗い最適値を中心として値を掃引します。測定してフィッティングを行い、微調整最適値を計算してから、それに応じてレジスタ 0x809 をプログラムします。
13. 粗い最適化または細かい最適化の間に、計算した最適値がサンプリングされたポイントの範囲外になった場合は、最小値が範囲外になっていることを示しています。この場合は、最小値がサンプリングされた範囲に入るまで、掃引の範囲を LO リークが改善する方向にずらし、測定とフィッティング・プロセスを繰り返します。
14. 両方のレジスタの細かい最適化が完了したら、0x808 および 0x809 の最終プログラム値が、最適化された LO のヌル化設定値になります。これらの値を用いることで、与えられた動作条件と LO 周波数に対する LO リークを最小限に抑えることができます。

I/Q ベースバンドのシグナル・チェーン

ADMV1355 の I/Q ベースバンドのシグナル・チェーンは、DC～12GHz の周波数に対応しています。図 188 に、I/Q ベースバンドのシグナル・チェーンを示します。I/Q ベースバンドのシグナル・チェーンを有効化するには、レジスタ 0x602 を 0x01 にセットします。I/Q ベースバンドの入力ポート BB_IP、BB_IN、BB_QP、BB_QN は、100Ω の差動入力インピーダンスにより内部で DC カップリングされています。I/Q ベースバンドのシグナル・チェーンを無効化するには、レジスタ 0x602 のビット 0 を 0 にセットします。

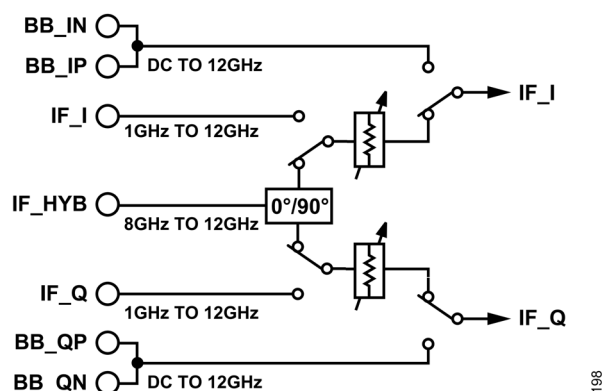


図 188. IF および I/Q ベースバンドのシグナル・チェーン

I/Q ベースバンドの V_{ICM}

ベースバンド入力ポートの V_{ICM} は、0V～1.55V の範囲が可能であり、 V_{ICM} を適切に選択することでミキサの最適な性能と直線性が確保できます。 V_{ICM} が 0.5V より高い場合、ミキサのトランジスタの適切なバイアスを維持するよう、ミキサのゲート電圧が自動的に調整されます。 V_{ICM} の値が 0.5V 以下の場合は、ADMV1355 では、ミキサのゲート・バイアスを手動で設定する必要があります。

$V_{ICM} \leq 0.5V$ の場合にチップを設定するには、以下の手順を実行します。

1. レジスタ 0x700 のビット 5 を 1 にセットして、手動モードを有効化します。
2. レジスタ 0x702 のビット 5 を 1 にセットして、手動モードで動作するようにベースバンド・スイッチを有効化します。
3. 表 19 に記載するように、レジスタ 0x700 のビット[4:0]、レジスタ 0x702 のビット[4:0]、レジスタ 0x703 のビット[4:0]を設定します。

表 19. $V_{ICM} \leq 0.5V$ の場合のレジスタ 0x700、レジスタ 0x702、レジスタ 0x703 の設定

Baseband V_{ICM} (V)	Register 0x700, Bits[4:0] (Hex)	Register 0x702, Bits[4:0] (Hex)	Register 0x703, Bits[4:0] (Hex)
0	0x02	0x0A	0x00
0.05	0x03	0x0B	0x00
0.1	0x04	0x0B	0x00
0.15	0x05	0x0C	0x00
0.2	0x06	0x0C	0x00
0.25	0x07	0x0D	0x00
0.3	0x08	0x0D	0x00
0.35	0x09	0x0E	0x00
0.4	0x0A	0x0E	0x00
0.45	0x0B	0x0F	0x00
0.5	0x0C	0x0F	0x00

動作原理

IF ハイブリッドのシグナル・チェーン

ADMV1355 の IF ハイブリッド信号は、8GHz~12GHz の周波数に対応し、90°ハイブリッドで構成されています。ハイブリッドからの IF_I 出力および IF_Q 出力は、微調整直交振幅補正ブロックを通じてミキサーに供給されます。IF シグナル・チェーンの図については、図 188 を参照してください。シングルエンド IF ハイブリッド・シグナル・チェーンを有効化するには、レジスタ 0x602 を 0x08 にセットします。

IF_HYB の入力は、50Ω のシングルエンド・インピーダンスにより内部で DC カップリングされています。IF_HYB を使用しない場合、IF_HYB ボールはフローティング状態のままにできます。シングルエンド IF ハイブリッド・シグナル・チェーンを無効化するには、レジスタ 0x602 のビット 3 を 0 にセットします。

複素 IF のシグナル・チェーン

ADMV1355 の複素 IF 信号は、1GHz~12GHz の周波数に対応し、IF_I および IF_Q の各経路は、1GHz~4GHz の低周波数シグナル・チェーンと、3GHz~12GHz の高周波数シグナル・チェーンで構成されています。ADMV1355 では、ユーザが入力周波数に応じて必要な経路を選択できます。IF_I 入力および IF_Q 入力は、微調整直交振幅補正ブロックを通じてミキサーに供給されます。複素 IF シグナル・チェーンの図については、図 188 を参照してください。複素 IF の低周波数シグナル・チェーンを有効化するには、レジスタ 0x602 を 0x02 にセットします。複素 IF の高周波数シグナル・チェーンを有効化するには、レジスタ 0x602 を 0x04 にセットします。

IF_I 入力および IF_Q 入力は、50Ω のシングルエンド・インピーダンスにより内部で DC カップリングされています。IF_I および IF_Q を用いない場合、IF_I ボールと IF_Q ボールはフローティング状態のままにできます。

複素 IF の低周波数シグナル・チェーンを無効化するには、レジスタ 0x602 のビット 1 を 0 にセットします。複素 IF の高周波数シグナル・チェーンを無効化するには、レジスタ 0x602 のビット 2 を 0 にセットします。

ミキサーの概要

ADMV1355 には、優れた直線性とノイズ指数を持つ、サイドバンド除去アップ・コンバージョン I/Q ミキサーが内蔵されています。ミキサーを駆動するのに必要な LO 信号である 2×LO_I および 2×LO_Q は、LO シグナル・チェーンから発生します。IF シグナル・チェーンおよび I/Q ベースバンド・シグナル・チェーンからの直交入力である IF_I と IF_Q は、どちらもミキサーに供給されます。その後、ミキサーからの出力 RF_C は、RF シグナル・チェーンを駆動するために用いられます。ミキサーは、最大 55GHz の RF 出力周波数および 2×LO 入力周波数をサポートします。図 189 にこのミキサーを示します。

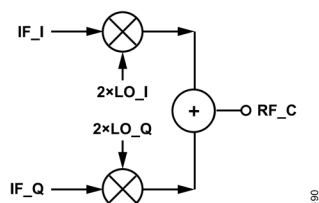


図 189. ミキサーの構成図

ミキサーの側波帯の選択

ADMV1355 のミキサーの側波帯は、ミキサーの LO 入力である 2×LO_I および 2×LO_Q を切り替えることにより選択できます。これらの入力を切り替えるには、レジスタ 0x806 のビット 5 を使用します。RF 周波数が 2×LO の周波数より低い場合、下側波帯用にビット 5 を 0 にセットし、RF 周波数が 2×LO の周波数より高い場合は、上側波帯用にビット 5 を 1 にセットします。

RF シグナル・チェーン

ADMV1355 の RF_OUT ボールは、スイッチにより選択可能な広帯域 RF シグナル・チェーンに直結されています。低周波数帯の RF シグナル・チェーンは 17.7GHz~34GHz で動作し、高周波数帯の RF シグナル・チェーンは 30GHz~55GHz で動作します。各シグナル・チェーンには、複数の DSA およびチューナブル・フィルタがあります。図 190 にこの RF シグナル・チェーンを示します。

低周波数帯の RF シグナル・チェーンを選択するには、レジスタ 0x805 のビット 7 およびレジスタ 0x806 のビット 6 を 0 にセットします。高周波数帯の RF シグナル・チェーンを選択するには、レジスタ 0x805 のビット 7 およびレジスタ 0x806 のビット 6 を 1 にセットします。

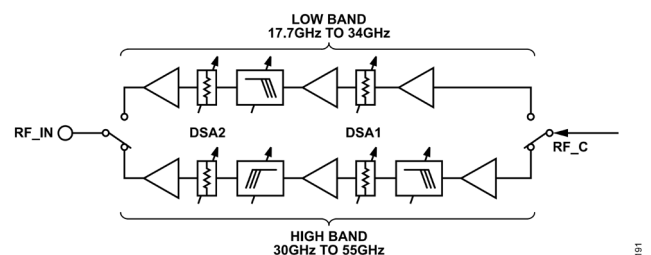


図 190. RF シグナル・チェーンの構成図

DSA1

RF シグナル・チェーンのミキサー・シグナル・チェーン直後の DSA が DSA1 です。このアッテネータは 1dB 刻みで 0dB~15dB の 16 個の状態を提供します。減衰量はプログラムした値に比例します。

バイパス・レジスタを用いる場合（レジスタ 0x28A のビット 0 を 1 にセット）、DSA1 の状態を設定するにはレジスタ 0x28B のビット[3:0]を使用します。バイパス・レジスタを用いない場合（レジスタ 0x28A のビット 0 を 0 にセット）、DSA1 の状態を設定するにはレジスタ 0x600 のビット[3:0]を使用します。

DSA2

RF シグナル・チェーンの DSA1 の直後の DSA が DSA2 です。このアッテネータは 1dB 刻みで 0dB~15dB の 16 個の状態を提供します。減衰量はプログラムした値に比例します。

バイパス・レジスタを用いる場合（レジスタ 0x28A のビット 0 を 1 にセット）、DSA2 の状態を設定するにはレジスタ 0x28B のビット[7:4]を使用します。バイパス・レジスタを用いない場合（レジスタ 0x28A のビット 0 を 0 にセット）、DSA2 の状態を設定するにはレジスタ 0x600 のビット[7:4]を使用します。

動作原理

RF チューナブル LPF

低周波数帯と高周波数帯のどちらの RF シグナル・チェーンにも、サイドバンド除去に役立つチューナブル LPF があります。各チューナブル LPF は、カットオフ周波数を制御する 4 ビットすなわち 16 の状態で構成されています。

カットオフ周波数はプログラムされた LPF 値に反比例します。

バイパス・レジスタ（レジスタ 0x2A0）を用いる場合、ビット 4 を 1 にセットし、次いで、目的の LPF 値をビット[3:0]にプログラムします。バイパス・レジスタ（レジスタ 0x2A0）を用いない場合は、ビット 4 を 0 にセットし、次いで、レジスタ 0x80B のビット[3:0]または周波数 LUT を使用します。

レジスタ 0x80B または周波数 LUT を用いる場合、低周波数帯チューナブル LPF には 3 つの制御ビット（0～7）があり、プログラムされる値は 2 が乗じられます（1 ポジション分だけ左にシフト）。例えば、レジスタ 0x80B のビット[3:0]が 7 にセットされている場合、実効的な LPF 値は 14 です。

レジスタ 0x80B または周波数 LUT のどちらを用いる場合も、高周波数帯チューナブル LPF は 4 つの制御ビットすべてを保持します。

RF チューナブル HPF

高周波数帯 RF シグナル・チェーンには、サイドバンド除去に役立つチューナブル HPF があります。このチューナブル HPF は、カットオフ周波数を制御する 6 ビットまたは 64 状態で構成されています。カットオフ周波数はプログラムされた HPF 値に反比例します。

バイパス・レジスタ（レジスタ 0x2A1）を用いる場合、ビット 7 を 1 にセットし、次いで、目的の HPF 値をビット[5:0]にプログラムします。バイパス・レジスタ（レジスタ 0x2A1）を用いない場合は、ビット 7 を 0 にセットし、次いで、レジスタ 0x80B のビット[7:4]または周波数 LUT を使用します。

レジスタ 0x80B または周波数 LUT を用いる場合、チューナブル HPF には 4 つの制御ビットがあり、プログラムされる値は 4 が乗じられます（2 ポジション分だけ左にシフト）。例えば、レジスタ 0x80B のビット[7:4]が 15 にセットされている場合、実効的な HPF 値は 60 です。

サイドバンド除去の最適化

ミキサのサイドバンド除去機能は、除去しなければ出力 RF 周波数に生じる不要なサイドバンド（イメージ・サイドバンド）を抑制する能力と定義されます。例えば、目的の IF 入力周波数が 8GHz、 $2 \times \text{LO_I}$ および $2 \times \text{LO_Q}$ ミキサの $2 \times \text{LO}$ 周波数が 28GHz、必要な RF 出力周波数が 36GHz の場合、不要なイメージ・サイドバンドは 20GHz に生じます。

ミキサ LO 信号の直交位相の不均衡での不完全性（理想的には 90° ）、ミキサ I/Q 経路間の振幅不均衡（理想的には 0dB）、IF 入力ハイブリッド・ネットワークでの不均衡により、ミキサの RF 出力に不要な残留サイドバンドが生じる可能性があります。こうした不完全性を克服し、ADMV1355 のサイドバンド除去能力を最適化するために、ミキサ LO 信号の位相およびミキサ入力の振幅を細かく調整できます。

LO シグナル・チェーンの調整可能な位相シフタである PH_I および PH_Q は、 $2 \times \text{LO_I}$ 信号と $2 \times \text{LO_Q}$ 信号の間の直交位相不均衡を補正できます。各位相シフタは、 0.6° （代表値）のステップ・サイズ、 20° のチューニング範囲で、32 通りの状態をカバーします。 $2 \times \text{LO_I}$ の位相を調整するにはレジスタ 0x806 のビット[4:0]を使用し、 $2 \times \text{LO_Q}$ の位相を調整するにはレジスタ 0x805 のビット[6:2]を使用します。

ミキサへの IF_I 入力信号および IF_Q 入力信号は、微調整 DSA である DSAI および DSAQ を通じて供給されます。これらのアッテネータを用いることで、0.1dB の小さな刻み幅と、1.5dB の合計振幅制御が可能となるため、ADMV1355 のサイドバンド除去能力を最適化できます。これらのアッテネータを調整するには、レジスタ 0x80A を使用します。ビット[3:0]が DSAI を設定し、ビット[7:4]が DSAQ を設定します。

IF 入力周波数を印加し RF 出力電力レベルを観測する場合、サイドバンド除去の最適化を実行するためにいくつかのオプションがあります。2 つの可能なオプションについては、[感度誘導型の最適化](#)のセクションおよび[粗掃引および高精細掃引による最適化](#)のセクションを参照してください。

感度誘導型の最適化

サイドバンド除去の最適化を行うための最初のオプションは、取り得る最適値の範囲を絞り込むのを支援するために感度分析を用いることです。この最適化を実行するには、IF イメージ周波数を印加し、そのイメージ周波数で RF 出力電力を測定する間に以下の手順を実行します。

1. PH_I および PH_Q の両方を 15 にセットします。
2. DSAI および DSAQ の両方を 0 にセットします。
3. DSAI の値を 0 から順に刻みます。RF 出力電力の極小値に達したら掃引を停止し、その極小値を与える DSAI 値を保持します。
4. DSAQ についてステップ 3 を繰り返します。
5. 刻みの最適な方向を決定するために PH_I を 14 にセットし、その後 16 にセットします。PH_I = 14 の場合の方が PH_I = 16 の場合よりも良好な結果が得られるならば、値を 13 から 0 へと刻みます。その反対の場合は、17 から 31 へと刻みます。RF 出力電力の極小値に達したら掃引を停止し、その極小値を与える PH_I 値を保持します。
6. PH_Q についてステップ 5 を繰り返します。
7. DSAI、DSAQ、PH_I、PH_Q についてステップ 3～ステップ 6 で決定した値に対し、それぞれの値に ± 1 の調整を行うことにより、更に最適化が可能です。

動作原理

粗掃引および高精細掃引による最適化

サイドバンド除去の最適化を行うための 2 つ目のオプションは、粗掃引を行った後、更に高精細掃引を行って、最適値を決定することです。この最適化を実行するには、IF イメージ周波数を印加し、RF 出力電力を測定する間に以下の手順を実行します。

1. PH_I および PH_Q の両方を 0 にセットします。
2. DSAQ を 0 にセットします。DSAI の値を 0 から順に刻んで行き、それぞれの値について RF 出力電力を記録します。
3. DSAI を 0 にセットします。DSAQ の値を 0~15 へと順に刻んで行きます。それぞれの値について RF 出力電力値を記録します。
4. ステップ 2 とステップ 3 から、最小の RF 出力電力となる値の組み合わせを抽出します。なお、DSA の 1 高精細ステップはゼロである点に注意してください。
5. 0、4、8、12、16、20、24、28 の値について、PH_I および PH_Q で入れ子型の粗掃引を行います。両方の位相シフタに対し 64 通りの値の組み合わせがテストされます。RF 出力電力が最小となる値の組み合わせを記録します。
6. ステップ 5 で決定した値の組み合わせを用いて、各値に 4 を加算および減算することにより、高精細掃引の範囲を決定します。これらの値について、PH_I および PH_Q で入れ子型の高精細掃引を行います。例えば、ステップ 5 で PH_I = 16 および PH_Q = 12 という結果が得られたとすると、PH_I の高精細掃引範囲を 12~20、PH_Q の高精細掃引範囲を 8~16 にします。高精細掃引から粗掃引の値を差し引いて、80 通りの高精細掃引の組み合わせが追加されます。RF 出力電力が最小となる値の組み合わせを抽出します。

合計ゲイン制御

ADMV1355 で実装可能な各種設定の、標準的な合計有能利得（減衰）制御は、30dB です。

RF ゲインに関する指針

理想的なミキサ性能を達成するための RF ゲイン（減衰）指針は、すべての DSA を最大ゲイン状態に保持することです。

出力 P1dB 性能および出力 IP3 性能を最適化するには、DSA1、次いで DSA2 に減衰を導入することにより減衰を設定します。この順で減衰を加えることによって、下流の RF 段に提供される信号レベルが適切に管理され、しかもこの間、システムの直線性の低下は最小限に抑えられます。DSA2 の前に DSA1 に減衰を加えることで、シグナル・チェーンでのカスケード接続の直線性が保持され、その結果、圧縮性能と相互変調性能が向上します。

ADC 設定

ADMV1355 には、温度センサーの値を取得できる、オン・チップ ADC が備わっています。その後、この値は、SPI を使いレジスタ 0x30D を通じてリード・バックできます。

自動 ADC 設定のセットアップは、以下の手順に従います。

1. レジスタ 0x302 を 0x02 にセットし、ADC_RESET をイネーブルします。
2. レジスタ 0x300 を 0x09 にセットし、ADC 設定を有効化して ADC_CLK_EN をイネーブルします。
3. レジスタ 0x306 を 0x02 にセットし、LON_RESET をイネーブルします。これにより、LO ノル化ブロックの内部レジスタがリセットされます。
4. レジスタ 0x13E を 0x00 にセットし、ADC_REF_PD および TEMP_SENSOR_PD が通常動作に設定されるようにします。
5. レジスタ 0x2A7 を 0x01 にセットし、ADC_MUX_SELECT を温度センサーに設定します。
6. レジスタ 0x302 を 0x06 にセットし、LON_AUTO_EN をイネーブルして ADC を起動します。
7. レジスタ 0x30D (ADC_OUT) で温度センサーの値を読み出します。

温度センサー

ADMV1355 には、チップ温度のモニタリングができるオン・チップ温度センサーが備わっています。温度センサーの出力は、オン・チップ ADC を用いてサンプリングでき、また、その値は SPI を介してリード・バックできます。

ADC のセットアップおよび温度センサー値のリード・バックの詳細については、[ADC 設定](#)のセクションの方法に従ってください。

ADMV1355 の T_C を推定するには、次式を用います。

$$T_C = -\frac{5}{6} \times ADC_CODE + 173 \quad (3)$$

ここで、ADC_CODE は、チップが ADC_OUT ビット（レジスタ 0x30D、ビット[7:0]）からリード・バックする値です。

アプリケーション情報

Apollo DAC を用いたベースバンド・モードのサイドバンド除去

ADMV1355 のベースバンド・モードのサイドバンド除去は、Apollo DAC（2 個または 4 個の DAC 出力）を用いて I ポートと Q ポートを直接駆動することによって向上できます。この構成により、最小限の外部アナログ・コンディショニングで、バランスの良好な広帯域幅の周波数範囲が可能になります。また、この構成は、高速 DAC を用いる実用的なシステムレベルの動作を反映したものでもあります。図 194 に EVAL-AD9084 評価用ボードを用いた測定セットアップのブロック図を示します。

図 191 および図 192 に、ベースバンド周波数を 100MHz に固定し、LO 周波数を RF の高周波帯で掃引した場合の、いくつかの温度において測定した ADMV1355 の I/Q 振幅不均衡および位相不均衡を示します。図 193 に、いくつかの温度において Apollo 粗調整数値制御発振器（CNCO）を用いて ADMV1355 の I/Q 不均衡を補正した場合に達成できる、サイドバンド除去比を示します。Apollo CNCO は、 $< -60\text{dBc}$ のサイドバンド除去比を達成するのに十分な分解能を備えています。未補正のサイドバンド除去性能については、図 142 を参照してください。図 191～図 193 は、更新された I/Q 補正が必要となるまでに許容できる、温度ドリフトの量を判定するのに役立てることができます。

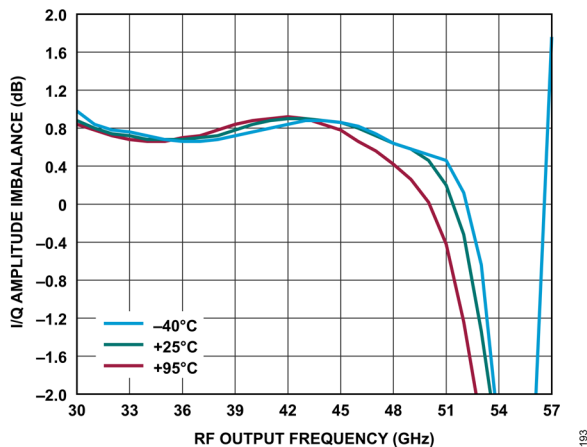


図 191. Apollo DAC を用いた場合の、いくつかの温度設定での I/Q 振幅不均衡と RF 出力周波数の関係

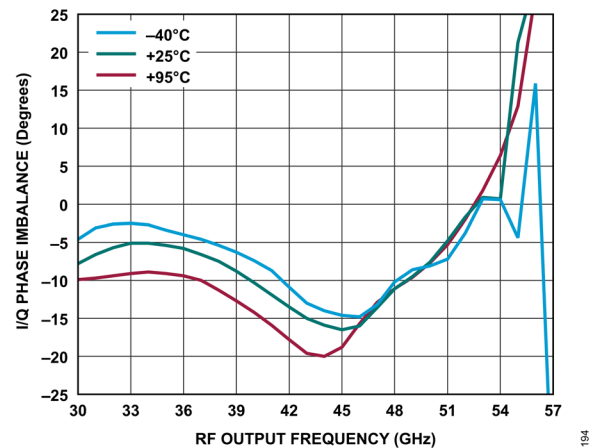


図 192. Apollo DAC を用いた場合の、いくつかの温度設定での I/Q 位相不均衡と RF 出力周波数の関係

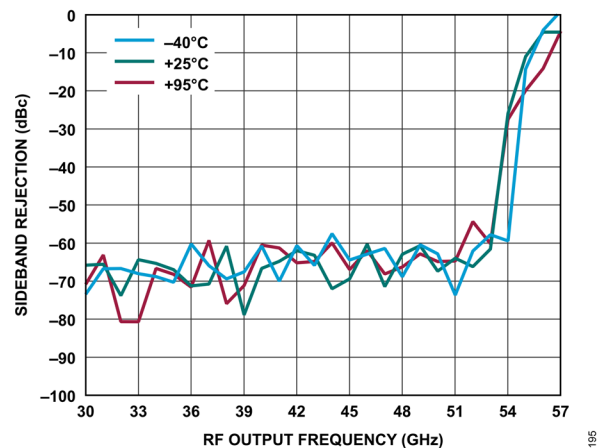


図 193. Apollo DAC を用いた場合の、いくつかの温度設定でのサイドバンド除去比と RF 出力周波数の関係

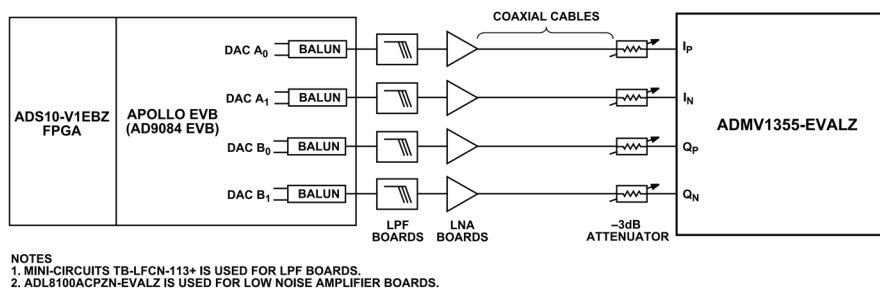


図 194. Apollo DAC を用いた測定セットアップのブロック図

アプリケーション情報

推奨設定

広帯域で動作させる場合、または ADMV1355 の評価を開始する場合は、表 20 および表 21 に示す推奨設定を参照してください。

これらの推奨設定は、ADMV1355 を設定する上での必要最小限の条件と見なすことができます。その他の機能も設定でき、また、すべての設定は特定の最終用途に応じて調整できます。詳細については、動作原理のセクションを参照してください。

表 20. IF ハイブリッド・モードおよび I/Q ベースバンド・モードに対する推奨設定

Register	IF Hybrid Mode		I/Q Baseband Mode		Notes
	RF Low Band	RF High Band	RF Low Band	RF High Band	
0x000	0x18	0x18	0x18	0x18	Enables the SDO output.
0x13E	0x02	0x02	0x02	0x02	Configures the power downs.
0x202	0x00	0x00	0x00	0x00	Disables the LUT of the filter.
0x208	0x00	0x00	0x00	0x00	Disables the load enable bit for the filter.
0x2A0	0x10	0x10	0x10	0x10	Sets the RF chain LPF to the highest cutoff frequency.
0x2A1	0xBF	0xBF	0xBF	0xBF	Sets the RF chain HPF to the lowest cutoff frequency.
0x600	0x00	0x00	0x00	0x00	Configures the maximum gain.
0x602	0x08	0x08	0x01	0x01	Sets the single-ended IF hybrid or baseband signal chain.
0x800	0x05	0x05	0x05	0x05	Configures the filters.
0x801	0x00	0x00	0x00	0x00	Configures the filters.
0x802	0x1F	0x1F	0x1F	0x1F	Configures the filters.
0x804	0xA7	0xA7	0xA7	0xA7	Configures the filters.
0x805	0x41	0xC1	0x41	0xC1	Configures the bands, LO phase, and filters.
0x806	0x90	0xF0	0x90	0xF0	Configures the LO phase and LO band.
0x80A	0x00	0x00	0x00	0x00	Configures the IF gain adjust for the sideband rejection.
0x80C	0x80	0x80	0x80	0x80	Configures the filters.

表 21. 複素 IF 低周波数モードおよび複素 IF 高周波数モードに対する推奨設定

Register	Complex IF Low Frequency Mode		Complex IF High Frequency Mode		Notes
	RF Low Band	RF High Band	RF Low Band	RF High Band	
0x000	0x18	0x18	0x18	0x18	Enables the SDO output.
0x13E	0x02	0x02	0x02	0x02	Configures the power downs.
0x202	0x00	0x00	0x00	0x00	Disables the LUT of the filter.
0x208	0x00	0x00	0x00	0x00	Disables the load enable bit for the filter.
0x2A0	0x10	0x10	0x10	0x10	Sets the RF chain LPF to the highest cutoff frequency.
0x2A1	0xBF	0xBF	0xBF	0xBF	Sets the RF chain HPF to the lowest cutoff frequency.
0x600	0x00	0x00	0x00	0x00	Configures the maximum gain.
0x602	0x02	0x02	0x04	0x04	Enables the complex IF low frequency or high frequency signal chain.
0x800	0x05	0x05	0x05	0x05	Configures the filters.
0x801	0x00	0x00	0x00	0x00	Configures the filters.
0x802	0x1F	0x1F	0x1F	0x1F	Configures the filters.
0x804	0xA7	0xA7	0xA7	0xA7	Configures the filters.
0x805	0x41	0xC1	0x41	0xC1	Configures the bands, LO phase, and filters.
0x806	0x90	0xF0	0x90	0xF0	Configures the LO phase and LO band.
0x80A	0x00	0x00	0x00	0x00	Configures the IF gain adjust for the sideband rejection.
0x80C	0x80	0x80	0x80	0x80	Configures the filters.

アプリケーション情報

推奨 PCB レイアウト

ADMV1355 のパッケージ・タイプはボール・グリッド・アレイであるため、小さなフットプリントで多数のピンを配置できます。パッケージの底面にある露出パッドは、熱抵抗および電気抵抗の低いグラウンド・プレーンにハンダ付けするためのものです。通常、PCB には、各ボールに対してハンダ・マスク定義のランド・パターンがあり、適切なハンダ拡散防止および接続を確保できます。

特定の実装においては、RF 配線パターンの引き回しのエスケープ計画に注意を払う必要があります。優先順位としては、RF パターンを最優先とし、次いで電源ピン、デジタル・ロジック接続の順にすることを推奨します。

ADMV1355 との間の RF 接続は、エスケープ計画を容易にするために、パッケージの端部付近にあります。特に、RF の絶縁性能の指標が重要となるアプリケーションにおいては、内層パターンをストリップラインで配線することを推奨します。PCB 設計で採用された RF パターンの種類に関わりなく、一般に、ビアのステッチングを RF パターンのいずれかの側に平行にすることが推奨されます。ビア・ステッチングは、スルーボード・タイプのビアでもブラインドのレイヤ to レイヤ・ビアでも構いません。

理想的には、グラウンド接続ボールは、パッケージから PCB サーマル・プレーンへの熱伝達を最大化するために、スルーボード・タイプのビアで接続されます。ADMV1355 の熱性能指標の詳細については、[熱抵抗](#)のセクションを参照してください。

ADMV1355 の評価用ボードでは、このセクションで示した推奨事項が用いられており、多くのアプリケーションに対し、このセクションは良い開始点となります。評価用ボードに関する詳細については、[ADMV1355-EVALZ ユーザ・ガイド](#)を参照してください。

評価用ボードの情報

ADMV1355 の評価用ボードの詳細については、ADMV1355-EVALZ 評価用ボードの Web ページを参照してください。

レジスタの一覧

注：フィルタ LUT A のインデックス 1 からフィルタ LUT B のインデックス 31 までのビット・フィールド機能（レジスタ 0x90D～レジスタ 0xC3F）は、フィルタ LUT A のインデックス 0 のビット・フィールド機能（レジスタ 0x900 およびレジスタ 0x90C）と同じです。ゲイン LUT のインデックス 1 からゲイン LUT のインデックス 66 までのビット・フィールド機能（レジスタ 0xE02～レジスタ 0xE85）は、ゲイン LUT_0 のビット・フィールド機能（レジスタ 0xE00 およびレジスタ 0xE01）と同じです。

表 22. ADMV1355 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0x000	REG0000	[7:0]	SOFT_RESET_R	LSB_FIRST_R	ADDR_ASCN_R	SDO_ACTIVE_R	SDO_ACTIVE	ADDR_ASCN	LSB_FIRST	SOFT_RESET	0x00	R/W	
0x004	REG0004	[7:0]	PRODUCT_ID[7:0]								0x00	R	
0x005	REG0005	[7:0]	PRODUCT_ID[15:8]								0x00	R	
0x00A	REG000A	[7:0]	SCRATCH_PAD								0x00	R/W	
0x078	REG0078	[7:0]	RESERVED			NVM_OSC_CONFIG					0x09	R/W	
0x07B	REG007B	[7:0]	NVM_READ_ADDRESS								0x00	R/W	
0x07C	REG007C	[7:0]	NVM_READ_DATA[7:0]								0x00	R	
0x07D	REG007D	[7:0]	NVM_READ_DATA[15:8]								0x00	R	
0x07E	REG007E	[7:0]	NVM_REFRESH								0x68	R/W	
0x13E	REG013E	[7:0]	TEMP_SENSOR_PD	RESERVED		LON_PD	ADC_REF_PD	RE-SERVED	RF_HS_PD	CHIP_PD	0x00	R/W	
0x200	REG0200	[7:0]	FILTER_SM_STEP								0x01	R/W	
0x202	REG0202	[7:0]	RESERVED								FILTER_LUT_EN	0x00	R/W
0x203	REG0203	[7:0]	RESERVED						FILTER_LUT_MODE		0x00	R/W	
0x204	REG0204	[7:0]	RESERVED							FILTER_SM_RESET	0x01	R/W	
0x205	REG0205	[7:0]	FILTER_SM_POINTER								0x00	R	
0x206	REG0206	[7:0]	RESERVED			FILTER_SM_STOP					0x1F	R/W	
0x207	REG0207	[7:0]	RESERVED							FILTER_LUT_SELECT	0x00	R/W	
0x208	REG0208	[7:0]	RESERVED							FILTER_LOAD_EN	0x00	R/W	
0x209	REG0209	[7:0]	RESERVED			FILTER_SPI_POINTER					0x00	W	
0x20A	REG020A	[7:0]	RESERVED		FILTER_SM_WRAP	FILTER_SM_START					0x00	R/W	
0x210	REG0210	[7:0]	RESERVED			FILTER_ADD_F_READBACK					0x00	R	
0x211	REG0211	[7:0]	FILTER_LUT_OUTPUT[7:0]								0x00	R	
0x212	REG0212	[7:0]	FILTER_LUT_OUTPUT[15:8]								0x00	R	
0x213	REG0213	[7:0]	FILTER_LUT_OUTPUT[23:16]								0x00	R	
0x214	REG0214	[7:0]	FILTER_LUT_OUTPUT[31:24]								0x00	R	
0x215	REG0215	[7:0]	FILTER_LUT_OUTPUT[39:32]								0x00	R	
0x216	REG0216	[7:0]	FILTER_LUT_OUTPUT[47:40]								0x00	R	
0x217	REG0217	[7:0]	FILTER_LUT_OUTPUT[55:48]								0x00	R	
0x218	REG0218	[7:0]	FILTER_LUT_OUTPUT[63:56]								0x00	R	
0x219	REG0219	[7:0]	FILTER_LUT_OUTPUT[71:64]								0x00	R	
0x21A	REG021A	[7:0]	FILTER_LUT_OUTPUT[79:72]								0x00	R	
0x21B	REG021B	[7:0]	FILTER_LUT_OUTPUT[87:80]								0x00	R	
0x21C	REG021C	[7:0]	FILTER_LUT_OUTPUT[95:88]								0x00	R	
0x21D	REG021D	[7:0]	FILTER_LUT_OUTPUT[103:96]								0x00	R	
0x220	REG0220	[7:0]	FILTER_READBACK[7:0]								0x00	R	

レジスタの一覧

表 22. ADMV1355 のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x221	REG0221	[7:0]	FILTER_READBACK[15:8]								0x00	R
0x222	REG0222	[7:0]	FILTER_READBACK[23:16]								0x00	R
0x223	REG0223	[7:0]	FILTER_READBACK[31:24]								0x00	R
0x224	REG0224	[7:0]	FILTER_READBACK[39:32]								0x00	R
0x225	REG0225	[7:0]	FILTER_READBACK[47:40]								0x00	R
0x226	REG0226	[7:0]	FILTER_READBACK[55:48]								0x00	R
0x227	REG0227	[7:0]	FILTER_READBACK[63:56]								0x00	R
0x228	REG0228	[7:0]	FILTER_READBACK[71:64]								0x00	R
0x229	REG0229	[7:0]	FILTER_READBACK[79:72]								0x00	R
0x22A	REG022A	[7:0]	FILTER_READBACK[87:80]								0x00	R
0x22B	REG022B	[7:0]	FILTER_READBACK[95:88]								0x00	R
0x22C	REG022C	[7:0]	FILTER_READBACK[103:96]								0x00	R
0x240	REG0240	[7:0]	FILTER_LUT_POINTER								0x00	R
0x281	REG0281	[7:0]	RESERVED							GAIN_LOAD_EN	0x00	R/W
0x282	REG0282	[7:0]	RE-SERVED	GAIN_SPI_POINTER							0x00	R/W
0x283	REG0283	[7:0]	GAIN_SM_STEP								0x01	R/W
0x284	REG0284	[7:0]	GAIN_SM_OFFSET								0x00	R/W
0x285	REG0285	[7:0]	RESERVED							GAIN_LUT_EN	0x01	R/W
0x286	REG0286	[7:0]	RESERVED					GAIN_LUT_MODE			0x00	R/W
0x287	REG0287	[7:0]	RESERVED							GAIN_SM_RESET	0x01	R/W
0x288	REG0288	[7:0]	GAIN_SM_POINTER_PLUS_OFFSET								0x00	R
0x289	REG0289	[7:0]	RE-SERVED	GAIN_SM_STOP							0x42	R/W
0x28A	REG028A	[7:0]	RESERVED							GAIN_LUT_BYPASS_EN	0x00	R/W
0x28B	REG028B	[7:0]	DSA2_BYPASS_VALUE				DSA1_BYPASS_VALUE				0x00	R/W
0x28C	REG028C	[7:0]	RESERVED			GPO_G_BYPASS					0x00	R/W
0x28F	REG028F	[7:0]	GAIN_LUT_OUTPUT[7:0]								0x00	R
0x290	REG0290	[7:0]	RESERVED			GAIN_LUT_OUTPUT[12:8]					0x00	R
0x293	REG0293	[7:0]	GAIN_READBACK[7:0]								0x00	R
0x294	REG0294	[7:0]	RESERVED			GAIN_READBACK[12:8]					0x00	R
0x298	REG0298	[7:0]	GAIN_LUT_POINTER								0x00	R
0x29B	REG029B	[7:0]	GAIN_SM_POINTER_PRE_OFFSET								0x00	R
0x2A0	REG02A0	[7:0]	RESERVED			LPF_SELECT	LPF_BYPASS_VALUE				0x00	R/W
0x2A1	REG02A1	[7:0]	HPF_SELECT	RE-SERVED	HPF_BYPASS_VALUE						0x3F	R/W
0x2A3	REG02A3	[7:0]	RESERVED				LPF_READBACK				0x00	R
0x2A4	REG02A4	[7:0]	RESERVED			HPF_READBACK					0x00	R
0x2A7	REG02A7	[7:0]	RESERVED			ADC_MUX_SELECT					0x00	R/W
0x2B0	REG02B0	[7:0]	RESERVED			GAIN_ADD_G_READBACK					0x00	R
0x300	REG0300	[7:0]	RESERVED				ADC_EN	RESERVED		ADC_CLK_EN	0x00	R/W

レジスタの一覧

表 22. ADMV1355 のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x302	REG0302	[7:0]	RESERVED		LON_CURRENT_SELECT	RESERVED		LON_AUTO_EN	ADC_RESET	RE-SERVED	0x00	R/W
0x304	REG0304	[7:0]	RESERVED			LON_CURRENT					0x14	R/W
0x305	REG0305	[7:0]	RESERVED		LON_EN	RESERVED			LON_Q_SELECT	LON_I_SELECT	0x00	R/W
0x306	REG0306	[7:0]	RESERVED		RF_LB_ENV_TAP	RF_HB_ENV_TAP	RESERVED		LON_RESET	RE-SERVED	0x00	R/W
0x30D	REG030D	[7:0]	ADC_OUT								0x00	R
0x402	REG0402	[7:0]	RESERVED		BGR_TEMP_SENSOR_PD	BGR_CHIP_PD	BGR_ADC_PD	RESERVED			0x04	R/W
0x600	REG0600	[7:0]	RF_DSA2_GAIN				RF_DSA1_GAIN				0x00	R/W
0x601	REG0601	[7:0]	RESERVED			GPO_G					0x00	R/W
0x602	REG0602	[7:0]	RESERVED				IF_HYBRID_EN	IF_HIGH_FREQ_EN	IF_LOW_FREQ_EN	BB_EN	0x08	R/W
0x700	REG0700	[7:0]	RESERVED		MIXER_GATE_SELECT	MIXER_GATE					0x10	R/W
0x702	REG0702	[7:0]	RESERVED		BB_SW_SELECT	BB_SW_NMOS					0x00	R/W
0x703	REG0703	[7:0]	RESERVED			BB_SW_P MOS					0x00	R/W
0x780	REG0780	[7:0]	GPO_G_OE[1:0]		GPO_F_OE					0x00		R/W
0x781	REG0781	[7:0]	RESERVED					GPO_G_OE[4:2]			0x00	R/W
0x800	REG0800	[7:0]	RESERVED				LO_X4_FILTER				0x00	R/W
0x801	REG0801	[7:0]	RESERVED			LO_X3_FILTER					0x00	R/W
0x802	REG0802	[7:0]	RESERVED			LO_X1_FILTER					0x00	R/W
0x803	REG0803	[7:0]	RESERVED		GPO_F					0x00		R/W
0x804	REG0804	[7:0]	LO_TRAP_FILTER[7:0]								0x00	R/W
0x805	REG0805	[7:0]	RF_BAND_SELECT	LO_PHASE_Q					LO_TRAP_FILTER[9:8]		0x40	R/W
0x806	REG0806	[7:0]	LO_BAND	MIXER_BAND	LO_SIDE BAND	LO_PHASE_I					0x30	R/W
0x808	REG0808	[7:0]	LON_OFFSET_I								0x00	R/W
0x809	REG0809	[7:0]	LON_OFFSET_Q								0x00	R/W
0x80A	REG080A	[7:0]	DSAQ				DSAI				0x00	R/W
0x80B	REG080B	[7:0]	HPF_VALUE				LPF_VALUE				0x00	R/W
0x80C	REG080C	[7:0]	LO_DOUBLER_BAND								0x00	R/W
0x900	REG0900	[7:0]	RESERVED				LO_X4_FILTER_LUT_A_0				0x00	R/W
0x901	REG0901	[7:0]	RESERVED			LO_X3_FILTER_LUT_A_0					0x00	R/W
0x902	REG0902	[7:0]	RESERVED			LO_X1_FILTER_LUT_A_0					0x00	R/W
0x903	REG0903	[7:0]	RESERVED		GPO_F_LUT_A_0					0x00		R/W
0x904	REG0904	[7:0]	LO_TRAP_FILTER_LUT_A_0[7:0]								0x00	R/W
0x905	REG0905	[7:0]	RF_BAND_SELECT_LUT_A_0	LO_PHASE_Q_LUT_A_0					LO_TRAP_FILTER_LUT_A_0[9:8]		0x00	R/W

レジスタの一覧

表 22. ADMV1355 のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x906	REG0906	[7:0]	LO_BAND_LUT_A_0	MIXER_BAND_LUT_A_0	LO_SIDE-BAND_LUT_A_0	LO_PHASE_I_LUT_A_0					0x00	R/W
0x908	REG0908	[7:0]	LON_OFFSET_I_LUT_A_0								0x00	R/W
0x909	REG0909	[7:0]	LON_OFFSET_Q_LUT_A_0								0x00	R/W
0x90A	REG090A	[7:0]	DSAQ_LUT_A_0					DSAI_LUT_A_0			0x00	R/W
0x90B	REG090B	[7:0]	HPF_VALUE_LUT_A_0					LPF_VALUE_LUT_A_0			0x00	R/W
0x90C	REG090C	[7:0]	LO_DOUBLER_BAND_LUT_A_0								0x00	R/W
...	...	...	...								...	...
0xA93	REG0A93	[7:0]	RESERVED					LO_X4_FILTER_LUT_A_31			0x00	R/W
0xA94	REG0A94	[7:0]	RESERVED				LO_X3_FILTER_LUT_A_31				0x00	R/W
0xA95	REG0A95	[7:0]	RESERVED				LO_X1_FILTER_LUT_A_31				0x00	R/W
0xA96	REG0A96	[7:0]	RESERVED		GPO_F_LUT_A_31						0x00	R/W
0xA97	REG0A97	[7:0]	LO_TRAP_FILTER_LUT_A_31[7:0]								0x00	R/W
0xA98	REG0A98	[7:0]	RF_BAND_SELECT_LUT_A_31	LO_PHASE_Q_LUT_A_31					LO_TRAP_FILTER_LUT_A_31[9:8]		0x00	R/W
0xA99	REG0A99	[7:0]	LO_BAND_LUT_A_31	MIXER_BAND_LUT_A_31	LO_SIDE-BAND_LUT_A_31	LO_PHASE_I_LUT_A_31					0x00	R/W
0xA9B	REG0A9B	[7:0]	LON_OFFSET_I_LUT_A_31								0x00	R/W
0xA9C	REG0A9C	[7:0]	LON_OFFSET_Q_LUT_A_31								0x00	R/W
0xA9D	REG0A9D	[7:0]	DSAQ_LUT_A_31					DSAI_LUT_A_31			0x00	R/W
0xA9E	REG0A9E	[7:0]	HPF_VALUE_LUT_A_31					LPF_VALUE_LUT_A_31			0x00	R/W
0xA9F	REG0A9F	[7:0]	LO_DOUBLER_BAND_LUT_A_31								0x00	R/W
0xAA0	REG0AA0	[7:0]	RESERVED					LO_X4_FILTER_LUT_B_0			0x00	R/W
0xAA1	REG0AA1	[7:0]	RESERVED				LO_X3_FILTER_LUT_B_0				0x00	R/W
0xAA2	REG0AA2	[7:0]	RESERVED				LO_X1_FILTER_LUT_B_0				0x00	R/W
0xAA3	REG0AA3	[7:0]	RESERVED		GPO_F_LUT_B_0						0x00	R/W
0xAA4	REG0AA4	[7:0]	LO_TRAP_FILTER_LUT_B_0[7:0]								0x00	R/W
0xAA5	REG0AA5	[7:0]	RF_BAND_SELECT_LUT_B_0	LO_PHASE_Q_LUT_B_0					LO_TRAP_FILTER_LUT_B_0[9:8]		0x00	R/W
0xAA6	REG0AA6	[7:0]	LO_BAND_LUT_B_0	MIXER_BAND_LUT_B_0	LO_SIDE-BAND_LUT_B_0	LO_PHASE_I_LUT_B_0					0x00	R/W
0xAA8	REG0AA8	[7:0]	LON_OFFSET_I_LUT_B_0								0x00	R/W
0xAA9	REG0AA9	[7:0]	LON_OFFSET_Q_LUT_B_0								0x00	R/W
0xAAA	REG0AAA	[7:0]	DSAQ_LUT_B_0					DSAI_LUT_B_0			0x00	R/W
0xAAB	REG0AAB	[7:0]	HPF_VALUE_LUT_B_0					LPF_VALUE_LUT_B_0			0x00	R/W
0xAAC	REG0AAC	[7:0]	LO_DOUBLER_BAND_LUT_B_0								0x00	R/W
...	...	...	...								...	...
0xC33	REG0C33	[7:0]	RESERVED					LO_X4_FILTER_LUT_B_31			0x00	R/W
0xC34	REG0C34	[7:0]	RESERVED				LO_X3_FILTER_LUT_B_31				0x00	R/W
0xC35	REG0C35	[7:0]	RESERVED				LO_X1_FILTER_LUT_B_31				0x00	R/W
0xC36	REG0C36	[7:0]	RESERVED		GPO_F_LUT_B_31						0x00	R/W
0xC37	REG0C37	[7:0]	LO_TRAP_FILTER_LUT_B_31[7:0]								0x00	R/W

レジスタの一覧

表 22. ADMV1355 のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0xC38	REG0C38	[7:0]	RF_BAND_SELECT_LUT_B_31	LO_PHASE_Q_LUT_B_31						LO_TRAP_FILTER_LUT_B_31[9:8]		0x00	R/W
0xC39	REG0C39	[7:0]	LO_BAND_LUT_B_31	MIXER_BAND_LUT_B_31	LO_SIDE_BAND_LUT_B_31	LO_PHASE_I_LUT_B_31						0x00	R/W
0xC3B	REG0C3B	[7:0]	LON_OFFSET_I_LUT_B_31									0x00	R/W
0xC3C	REG0C3C	[7:0]	LON_OFFSET_Q_LUT_B_31									0x00	R/W
0xC3D	REG0C3D	[7:0]	DSAQ_LUT_B_31						DSAI_LUT_B_31			0x00	R/W
0xC3E	REG0C3E	[7:0]	HPF_VALUE_LUT_B_31						LPF_VALUE_LUT_B_31			0x00	R/W
0xC3F	REG0C3F	[7:0]	LO_DOUBLER_BAND_LUT_B_31									0x00	R/W
0xE00	REG0E00	[7:0]	RF_DSA2_GAIN_LUT_0						RF_DSA1_GAIN_LUT_0			0x00	R/W
0xE01	REG0E01	[7:0]	RESERVED						GPO_G_LUT_0			0x00	R/W
...	...	...	...									...	...
0xE84	REG0E84	[7:0]	RF_DSA2_GAIN_LUT_66						RF_DSA1_GAIN_LUT_66			0x00	R/W
0xE85	REG0E85	[7:0]	RESERVED						GPO_G_LUT_66			0x00	R/W

レジスタの詳細

レジスタ 0X000～レジスタ 0X13E

アドレス : 0x000、リセット : 0x00、レジスタ名 : REG0000

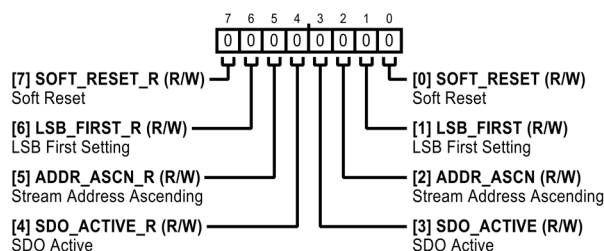


図 195.

表 23. REG0000 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFT_RESET_R	ソフト・リセット。このビット・フィールドはゼロに自動リセットします。 リセットの開始後にゼロにセットする必要はありません。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W
6	LSB_FIRST_R	LSB ファーストの設定。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
5	ADDR_ASCN_R	ストリーム昇順アドレス指定。 0 : 無効化。 1 : 有効化。	0x0	R/W
4	SDO_ACTIVE_R	SDO アクティブ。 0 : 3 線式 SPI を有効化。 1 : 4 線式 SPI を有効化。	0x0	R/W
3	SDO_ACTIVE	SDO アクティブ。 0 : 3 線式 SPI を有効化。 1 : 4 線式 SPI を有効化。	0x0	R/W
2	ADDR_ASCN	ストリーム昇順アドレス指定。 0 : 無効化。 1 : 有効化。	0x0	R/W
1	LSB_FIRST	LSB ファーストの設定。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
0	SOFT_RESET	ソフト・リセット。このビット・フィールドはゼロに自動リセットします。 リセットの開始後にゼロにセットする必要はありません。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W

アドレス : 0x004、リセット : 0x00、レジスタ名 : REG0004

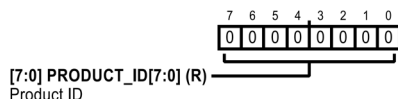


図 196.

表 24. REG0004 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID。	0x0	R

レジスタの詳細

アドレス : 0x005、リセット : 0x00、レジスタ名 : REG0005

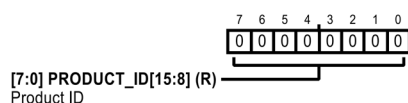


図 197.

表 25. REG0005 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID。	0x0	R

アドレス : 0x00A、リセット : 0x00、レジスタ名 : REG000A

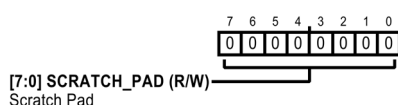


図 198.

表 26. REG000A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_PAD	スクラッチ・パッド。	0x0	R/W

アドレス : 0x078、リセット : 0x09、レジスタ名 : REG0078

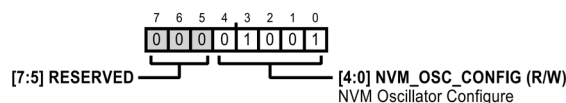


図 199.

表 27. REG0078 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	NVM_OSC_CONFIG	NVM 発振器の設定。	0x9	R/W

アドレス : 0x07B、リセット : 0x00、レジスタ名 : REG007B



図 200.

表 28. REG007B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_READ_ADDRESS	NVM の読出しアドレス。このビット・フィールドは、NVM_READ_DATA の読出し動作を実行する際にリード・バックされる NVM レジスタ・アドレスへのポインタを定義します。リード・バック可能な NVM レジスタ・アドレスは、0x33～0x38 です。	0x0	R/W

レジスタの詳細

アドレス : 0x07C、リセット : 0x00、レジスタ名 : REG007C

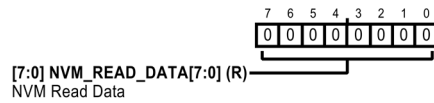


図 201.

表 29. REG007C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_READ_DATA[7:0]	NVM 読出しデータ。NVM_READ_ADDRESS を読出し対象の NVM アドレスに設定します。その後、NVM_READ_DATA の読出し動作を実行して値を取得します。	0x0	R

アドレス : 0x07D、リセット : 0x00、レジスタ名 : REG007D

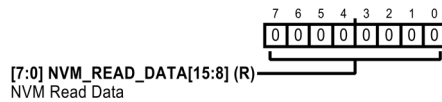


図 202.

表 30. REG007D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_READ_DATA[15:8]	NVM 読出しデータ。NVM_READ_ADDRESS を読出し対象の NVM アドレスに設定します。その後、NVM_READ_DATA の読出し動作を実行して値を取得します。	0x0	R

アドレス : 0x07E、リセット : 0x68、レジスタ名 : REG007E

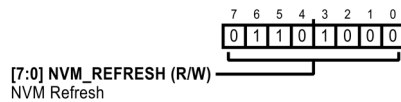


図 203.

表 31. REG007E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	NVM_REFRESH	NVM リフレッシュ。	0x68	R/W

Address: 0x13E, Reset: 0x00, Name: REG013E

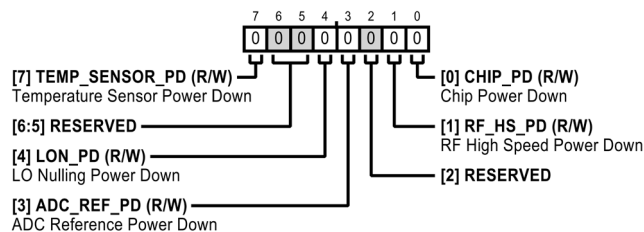


図 204.

表 32. REG013E のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	TEMP_SENSOR_PD	温度センサーのパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
[6:5]	RESERVED	予約済み。	0x0	R/W

レジスタの詳細

表 32. REG013E のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
4	LON_PD	LO ノル化のパワーダウン。 0: 通常動作。 1: パワーダウン。	0x0	R/W
3	ADC_REF_PD	ADC リファレンスのパワーダウン。LON_PD を用いて LO ノル化回路をパワーダウンする場合、このビットをパワーダウンします。 0: 通常動作。 1: パワーダウン。	0x0	R/W
2	RESERVED	予約済み。	0x0	R
1	RF_HS_PD	RF の高速パワーダウン。このビットをセットすると、使用していない帯域が自動的にパワーダウンします。 0: 通常動作。 1: パワーダウン。	0x0	R/W
0	CHIP_PD	チップ・パワーダウン。 0: 通常動作。 1: パワーダウン。	0x0	R/W

レジスタ 0X200～レジスタ 0X2B0

アドレス: 0x200、リセット: 0x01、レジスタ名: REG0200

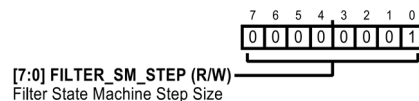


図 205.

表 33. REG0200 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_SM_STEP	フィルタのステート・マシンのステップ・サイズ。この 2 の補数値は、フィルタ・ステート・マシンのインクリメント量またはデクリメント量を定めます。値がゼロのステップ・サイズは無効です。	0x1	R/W

アドレス: 0x202、リセット: 0x00、レジスタ名: REG0202

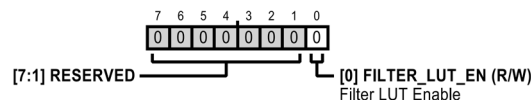


図 206.

表 34. REG0202 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_LUT_EN	フィルタ LUT イネーブル。ディスエーブルの場合、フィルタ設定はレジスタ 0x800～レジスタ 0x80C を用いて定義されます。イネーブルの場合、フィルタ設定は、LUT によって決まります。LUT はレジスタ 0x900～レジスタ 0xC3F を用いて設定されます。 0: 無効化。 1: 有効化。	0x0	R/W

レジスタの詳細

アドレス : 0x203、リセット : 0x00、レジスタ名 : REG0203

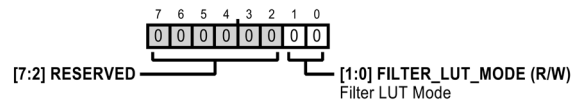


図 207.

表 35. REG0203 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	FILTER_LUT_MODE	フィルタ LUT のモード。 00 : LUT ポインタは ADD_F ポールを用いて選択。 01 : LUT ポインタはレジスタ 0x209 (FILTER_SPI_POINTER) を用いて選択。 10 : LUT ポインタは ADD_F4 の立上がりエッジでインクリメントまたはデクリメント。	0x0	R/W

アドレス : 0x204、リセット : 0x01、レジスタ名 : REG0204

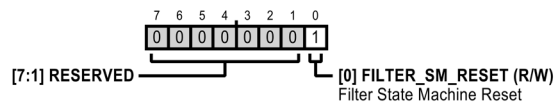


図 208.

表 36. REG0204 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_SM_RESET	フィルタ・ステート・マシンのリセット。アクティブ・ローのリセット。このビット・フィールドを 0 にセットし、次いで 1 にセットすると、ステート・マシンが 0 にリセットされます。このビット・フィールドを 0 に保持すると、ステート・マシンは 0 のままになります。 0 : アドレス・ポインタをゼロにリセット。 1 : 通常動作。	0x1	R/W

アドレス : 0x205、リセット : 0x00、レジスタ名 : REG0205

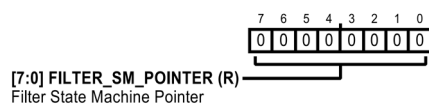


図 209.

表 37. REG0205 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_SM_POINTER	フィルタ・ステート・マシンのポインタ。	0x0	R

アドレス : 0x206、リセット : 0x1F、レジスタ名 : REG0206

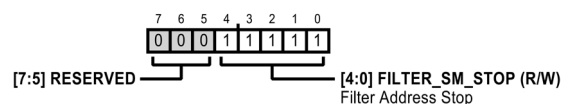


図 210.

表 38. REG0206 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	FILTER_SM_STOP	フィルタ・アドレスの停止。	0x1F	R/W

レジスタの詳細

アドレス : 0x207、リセット : 0x00、レジスタ名 : REG0207

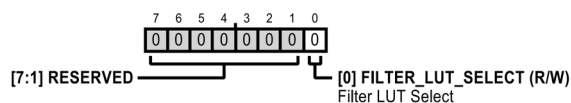


図 211.

表 39. REG0207 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_LUT_SELECT	フィルタ LUT の選択。 0 : テーブル A。 1 : テーブル B。	0x0	R/W

アドレス : 0x208、リセット : 0x00、レジスタ名 : REG0208

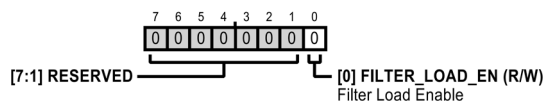


図 212.

表 40. REG0208 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FILTER_LOAD_EN	フィルタのロードをイネーブル。ディスエーブルの場合、フィルタ値は直ちに適用されます。イネーブルの場合、フィルタ値は、LOAD ポールの立上がりエッジで適用されます。 0 : 無効化。 1 : 有効化。	0x0	R/W

アドレス : 0x209、リセット : 0x00、レジスタ名 : REG0209

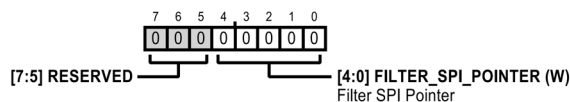


図 213.

表 41. REG0209 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	FILTER_SPI_POINTER	フィルタ SPI ポインタ。	0x0	W

アドレス : 0x20A、リセット : 0x00、レジスタ名 : REG020A

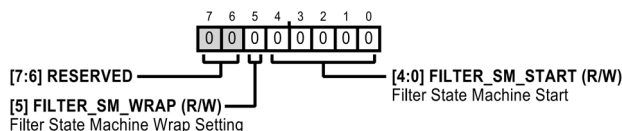


図 214.

レジスタの詳細

表 42. REG020A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	FILTER_SM_WRAP	フィルタ・ステート・マシンのラップ設定。	0x0	R/W
[4:0]	FILTER_SM_START	フィルタ・ステート・マシンの開始。	0x0	R/W

アドレス : 0x210、リセット : 0x00、レジスタ名 : REG0210

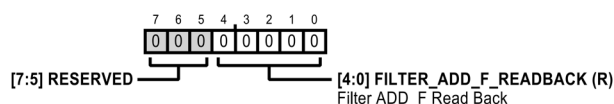


図 215.

表 43. REG0210 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	FILTER_ADD_F_READBACK	フィルタ ADD_F のリード・バック。	0x0	R

アドレス : 0x211、リセット : 0x00、レジスタ名 : REG0211

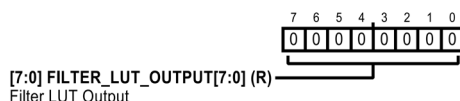


図 216.

表 44. REG0211 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[7:0]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x212、リセット : 0x00、レジスタ名 : REG0212

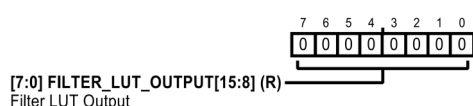


図 217.

表 45. REG0212 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[15:8]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x213、リセット : 0x00、レジスタ名 : REG0213

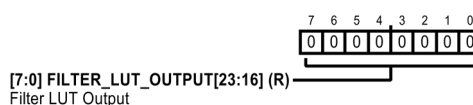


図 218.

レジスタの詳細

表 46. REG0213 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[23:16]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x214、リセット : 0x00、レジスタ名 : REG0214

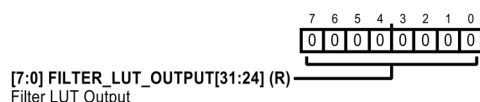


図 219.

表 47. REG0214 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[31:24]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x215、リセット : 0x00、レジスタ名 : REG0215

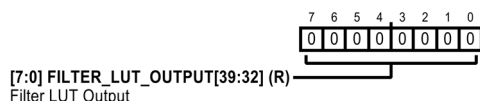


図 220.

表 48. REG0215 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[39:32]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x216、リセット : 0x00、レジスタ名 : REG0216

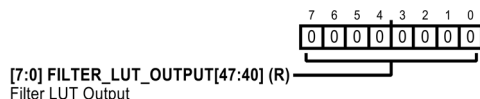


図 221.

表 49. REG0216 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[47:40]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x217、リセット : 0x00、レジスタ名 : REG0217

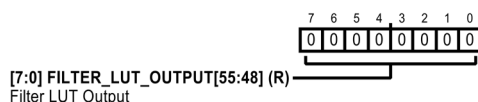


図 222.

レジスタの詳細

表 50. REG0217 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[55:48]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x218、リセット : 0x00、レジスタ名 : REG0218

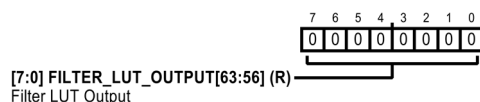


表 51. REG0218 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[63:56]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x219、リセット : 0x00、レジスタ名 : REG0219

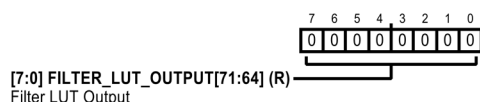


図 233.

表 52. REG0219 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[71:64]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x21A、リセット : 0x00、レジスタ名 : REG021A

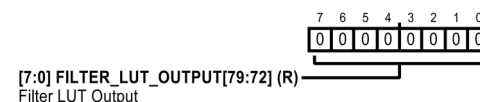


図 224.

表 53. REG021A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[79:72]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x21B、リセット : 0x00、レジスタ名 : REG021B

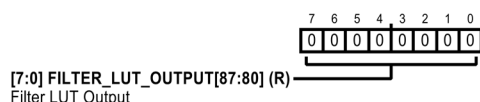


図 225.

表 54. REG021B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[87:80]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

レジスタの詳細

アドレス : 0x21C、リセット : 0x00、レジスタ名 : REG021C



図 226.

表 55. REG021C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[95:88]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x21D、リセット : 0x00、レジスタ名 : REG021D



図 227.

表 56. REG021D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_OUTPUT[103:96]	フィルタ LUT の出力。このビット・フィールドは、レジスタ 0x202 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x220、リセット : 0x00、レジスタ名 : REG0220

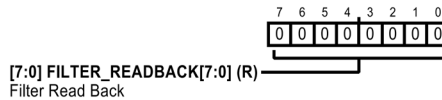


図 228.

表 57. REG0220 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[7:0]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x221、リセット : 0x00、レジスタ名 : REG0221

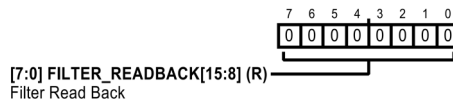


図 229.

表 58. REG0221 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[15:8]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

レジスタの詳細

アドレス : 0x222、リセット : 0x00、レジスタ名 : REG0222

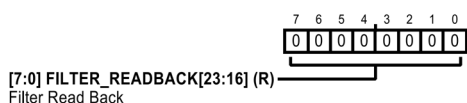


図 230.

表 59. REG0222 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[23:16]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x223、リセット : 0x00、レジスタ名 : REG0223

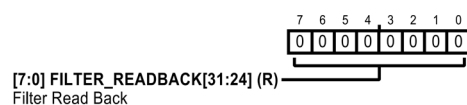


図 231.

表 60. REG0223 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[31:24]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x224、リセット : 0x00、レジスタ名 : REG0224

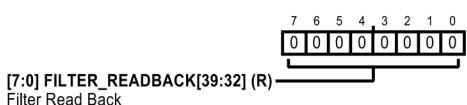


図 232.

表 61. REG0224 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[39:32]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x225、リセット : 0x00、レジスタ名 : REG0225

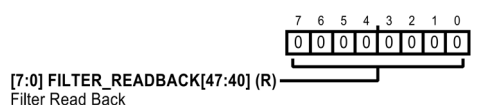


図 233.

表 62. REG0225 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[47:40]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x226、リセット : 0x00、レジスタ名 : REG0226

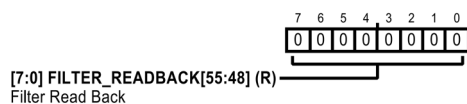


図 234.

レジスタの詳細

表 63. REG0226 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[55:48]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x227、リセット : 0x00、レジスタ名 : REG0227

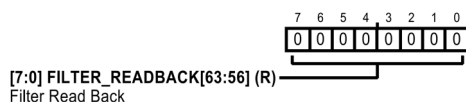


図 235.

表 64. REG0227 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[63:56]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x228、リセット : 0x00、レジスタ名 : REG0228

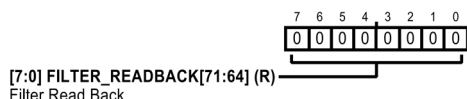


図 236.

表 65. REG0228 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[71:64]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x229、リセット : 0x00、レジスタ名 : REG0229

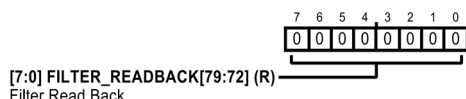


表 66. REG0229 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[79:72]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x22A、リセット : 0x00、レジスタ名 : REG022A

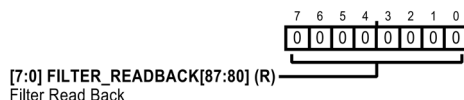


図 237.

表 67. REG022A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[87:80]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

レジスタの詳細

アドレス : 0x22B、リセット : 0x00、レジスタ名 : REG022B

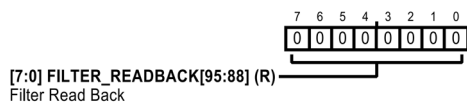


図 238.

表 68. REG022B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[95:88]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x22C、リセット : 0x00、レジスタ名 : REG022C

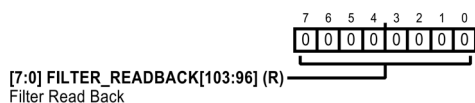


図 239.

表 69. REG022C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_READBACK[103:96]	フィルタのリード・バック。このビット・フィールドは、フィルタに適用される最終値を表します。	0x0	R

アドレス : 0x240、リセット : 0x00、レジスタ名 : REG0240

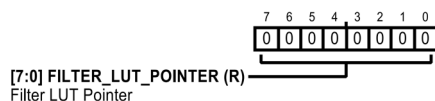


図 240.

表 70. REG0240 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FILTER_LUT_POINTER	フィルタ LUT ポインタ。このビット・フィールドは、レジスタ 0x203 によって制御されるマルチプレクサ後のフィルタ LUT のインデックス・ポインタを表します。	0x0	R

アドレス : 0x281、リセット : 0x00、レジスタ名 : REG0281

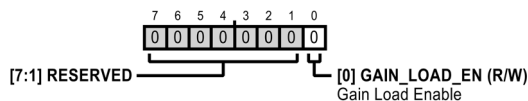


図 241.

表 71. REG0281 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_LOAD_EN	ゲインのロードをイネーブル。ディスエーブルの場合、ゲイン値は直ちに適用されます。イネーブルの場合、ゲイン値は、LOAD ポールの立上がりエッジで適用されます。 0 : 無効化。 1 : 有効化。	0x0	R/W

レジスタの詳細

アドレス : 0x282、リセット : 0x00、レジスタ名 : REG0282

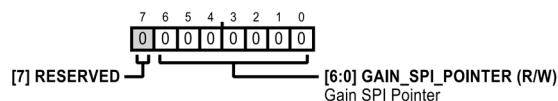


図 242.

表 72. REG0282 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	GAIN_SPI_POINTER	ゲイン SPI ポインタ。	0x0	R/W

アドレス : 0x283、リセット : 0x01、レジスタ名 : REG0283

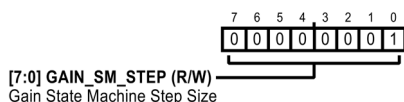


図 243.

表 73. REG0283 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_STEP	ゲインのステート・マシンのステップ・サイズ。この 2 の補数値は、ゲイン・ステート・マシンのインクリメント量またはデクリメント量を定めます。値がゼロのステップ・サイズは無効です。	0x1	R/W

アドレス : 0x284、リセット : 0x00、レジスタ名 : REG0284



図 244.

表 74. REG0284 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_OFFSET	ゲインのステート・マシンのオフセット。この 2 の補数値は、ステート・マシン出力のオフセット量を定めます。	0x0	R/W

アドレス : 0x285、リセット : 0x01、レジスタ名 : REG0285

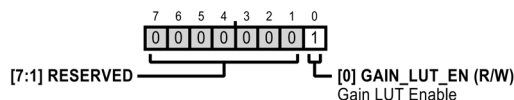


図 245.

表 75. REG0285 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_LUT_EN	ゲインの LUT をイネーブル。ディスエーブルの場合、フィルタ設定はレジスタ 0x600～レジスタ 0x602 を用いて定義されます。イネーブルの場合、ゲイン設定は、LUT によって決まります。LUT はレジスタ 0xE00～レジスタ 0xE85 を用いて設定されます。 0 : 無効化。 1 : 有効化。	0x1	R/W

レジスタの詳細

アドレス : 0x286、リセット : 0x00、レジスタ名 : REG0286

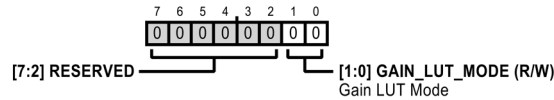


図 246.

表 76. REG0286 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	GAIN_LUT_MODE	ゲインの LUT モード。 00 : LUT ポインタは ADD_G ボールを用いて選択。 01 : LUT ポインタはレジスタ 0x282 (GAIN_SPI_POINTER) を用いて選択。 10 : LUT ポインタは ADD_G5 の立上がりエッジでインクリメントまたはデクリメント。	0x0	R/W

アドレス : 0x287、リセット : 0x01、レジスタ名 : REG0287

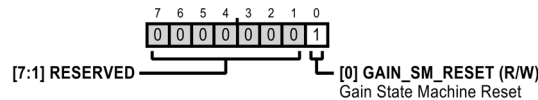


図 247.

表 77. REG0287 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_SM_RESET	ゲイン・ステート・マシンのリセット。アクティブ・ローのリセット。このビット・フィールドを 0 にセットし、次いで 1 にセットすると、ステート・マシンが 0 にリセットされます。このビット・フィールドを 0 に保持すると、ステート・マシンは 0 のままになります。 0 : アドレス・ポインタをゼロにリセット。 1 : 通常動作。	0x1	R/W

アドレス : 0x288、リセット : 0x00、レジスタ名 : REG0288



図 248.

表 78. REG0288 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_POINTER_PLUS_OFFSET	ゲインのステート・マシンのポインタおよびオフセット。	0x0	R

アドレス : 0x289、リセット : 0x42、レジスタ名 : REG0289

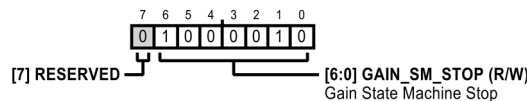


図 249.

表 79. REG0289 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	GAIN_SM_STOP	ゲイン・ステート・マシンの停止。	0x42	R/W

レジスタの詳細

アドレス : 0x28A、リセット : 0x00、レジスタ名 : REG028A

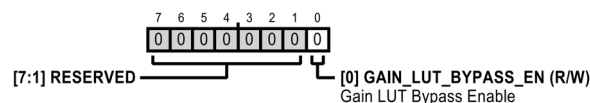


図 250.

表 80. REG028A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	GAIN_LUT_BYPASS_EN	ゲインの LUT バイパスのイネーブル。イネーブルの場合、ゲインおよび GPO_G 値は、レジスタ 0x28B およびレジスタ 0x28C を用いて設定されます。 0 : 無効化。 1 : 有効化。	0x0	R/W

アドレス : 0x28B、リセット : 0x00、レジスタ名 : REG028B

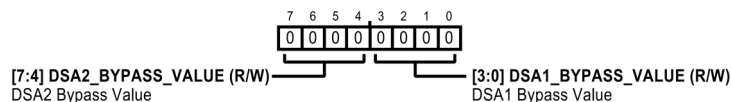


図 251.

表 81. REG028B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSA2_BYPASS_VALUE	DSA2 のバイパス値。0x0 が最大ゲイン、0xF が最小ゲインです。	0x0	R/W
[3:0]	DSA1_BYPASS_VALUE	DSA1 のバイパス値。0x0 が最大ゲイン、0xF が最小ゲインです。	0x0	R/W

アドレス : 0x28C、リセット : 0x00、レジスタ名 : REG028C

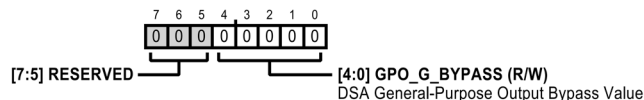


図 252.

表 82. REG028C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GPO_G_BYPASS	DSA 汎用出力バイパス値。	0x0	R/W

アドレス : 0x28F、リセット : 0x00、レジスタ名 : REG028F

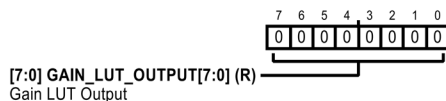


図 253.

レジスタの詳細

表 83. REG028F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_LUT_OUTPUT[7:0]	ゲイン LUT の出力。このビット・フィールドは、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるフィルタ値を表します。	0x0	R

アドレス : 0x290、リセット : 0x00、レジスタ名 : REG0290

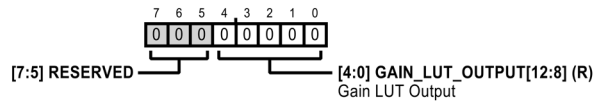


図 254.

表 84. REG0290 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GAIN_LUT_OUTPUT[12:8]	ゲイン LUT の出力。このビット・フィールドは、レジスタ 0x285 および LOAD 機能によって制御されるマルチプレクサ前段の LUT によって決まるゲイン値を表します。	0x0	R

アドレス : 0x293、リセット : 0x00、レジスタ名 : REG0293

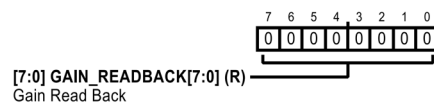


図 255.

表 85. REG0293 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_READBACK[7:0]	ゲインのリード・バック。このビット・フィールドは、DSA に適用される最終値を表します。	0x0	R

アドレス : 0x294、リセット : 0x00、レジスタ名 : REG0294

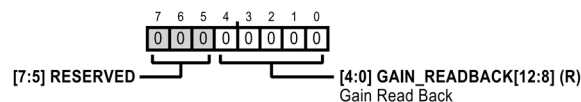


図 256.

表 86. REG0294 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GAIN_READBACK[12:8]	ゲインのリード・バック。このビット・フィールドは、DSA に適用される最終値を表します。	0x0	R

アドレス : 0x298、リセット : 0x00、レジスタ名 : REG0298

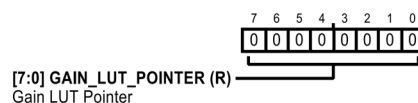


図 257.

レジスタの詳細

表 87. REG0298 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_LUT_POINTER	ゲイン LUT ポインタ。このビット・フィールドは、レジスタ 0x286 によって制御されるマルチプレクサ後のゲイン LUT のインデックス・ポインタを表します。	0x0	R

アドレス : 0x29B、リセット : 0x00、レジスタ名 : REG029B



図 258.

表 88. REG029B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN_SM_POINTER_PRE_OFFSET	ゲインのステート・マシン・ポインタのプリ・オフセット。	0x0	R

アドレス : 0x2A0、リセット : 0x00、レジスタ名 : REG02A0

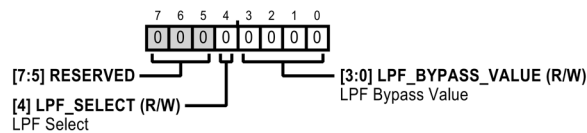


図 259.

表 89. REG02A0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	LPF_SELECT	LPF の選択。 0 : フィルタ状態は LUT またはレジスタ 0x800~レジスタ 0x80C で決まります。 1 : フィルタ状態は SPI で決まります (LPF_BYPASS_VALUE)。	0x0	R/W
[3:0]	LPF_BYPASS_VALUE	LPF のバイパス値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W

アドレス : 0x2A1、リセット : 0x3F、レジスタ名 : REG02A1

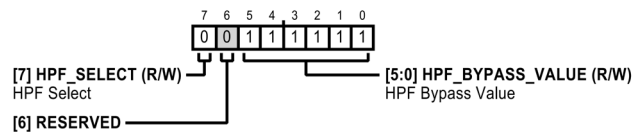


図 260.

表 90. REG02A1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	HPF_SELECT	HPF の選択。 0 : フィルタ状態は LUT またはレジスタ 0x800~レジスタ 0x80C で決まります。 1 : フィルタ状態は SPI で決まります (HPF_BYPASS_VALUE)。	0x0	R/W
6	RESERVED	予約済み。	0x0	R/W
[5:0]	HPF_BYPASS_VALUE	HPF のバイパス値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x3F	R/W

レジスタの詳細

アドレス : 0x2A3、リセット : 0x00、レジスタ名 : REG02A3

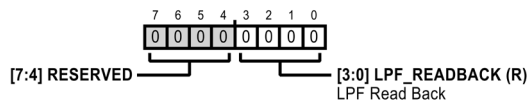


図 261.

表 91. REG02A3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	LPF_READBACK	LPF のリード・バック。	0x0	R

アドレス : 0x2A4、リセット : 0x00、レジスタ名 : REG02A4

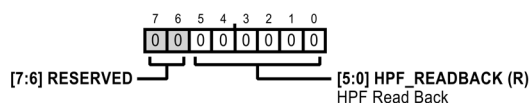


図 262.

表 92. REG02A4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	HPF_READBACK	HPF のリード・バック。	0x0	R

アドレス : 0x2A7、リセット : 0x00、レジスタ名 : REG02A7

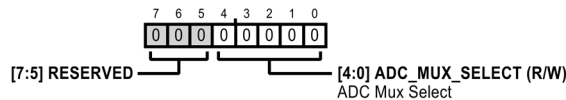


図 263.

表 93. REG02A7 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	ADC_MUX_SELECT	ADC マルチプレクサの選択。 0 : LO のヌル化。 1 : 温度センサー。	0x0	R/W

アドレス : 0x2B0、リセット : 0x00、レジスタ名 : REG02B0

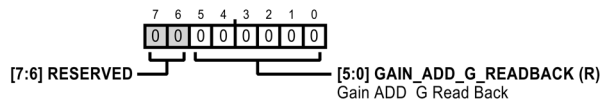


図 264.

表 94. REG02B0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	GAIN_ADD_G_READBACK	ゲイン ADD_G のリード・バック。	0x0	R

レジスタの詳細

レジスタ 0X300～レジスタ 0X402

アドレス : 0x300、リセット : 0x00、レジスタ名 : REG0300

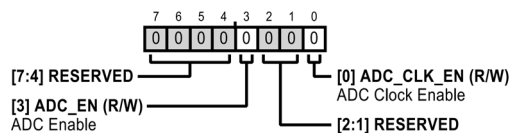


図 265.

表 95. REG0300 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	ADC_EN	ADC イネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
[2:1]	RESERVED	予約済み。	0x0	R/W
0	ADC_CLK_EN	ADC クロック・イネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

アドレス : 0x302、リセット : 0x00、レジスタ名 : REG0302

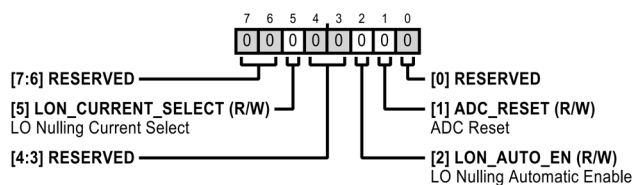


図 266.

表 96. REG0302 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	LON_CURRENT_SELECT	LO ノル化電流の選択。 0 : LO ノル化電流は自動的に決定。 1 : LO ノル化電流はレジスタ 0x304 (LON_CURRENT) を用いて設定。	0x0	R/W
[4:3]	RESERVED	予約済み。	0x0	R/W
2	LON_AUTO_EN	LO ノル化の自動化のイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
1	ADC_RESET	ADC リセット。 0 : 通常動作。 1 : リセット。	0x0	R/W
0	RESERVED	予約済み。	0x0	R

アドレス : 0x304、リセット : 0x14、レジスタ名 : REG0304

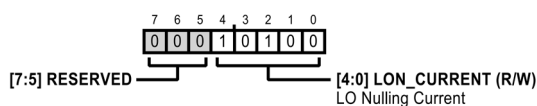


図 267.

レジスタの詳細

表 97. REG0304 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LON_CURRENT	LO ノル化電流。電流は、このビット・フィールド値に比例します。自動 LO ノル化の推奨値は 0x1F です。この値は、異なる周波数に対し最適な LO ノル化結果が得られるよう、調整できます。	0x14	R/W

アドレス : 0x305、リセット : 0x00、レジスタ名 : REG0305

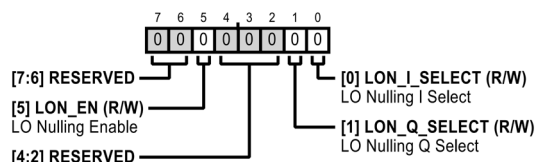


図 268.

表 98. REG0305 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	LON_EN	LO ノル化イネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
[4:2]	RESERVED	予約済み。	0x0	R/W
1	LON_Q_SELECT	LO ノル化 Q の選択。 0 : LO ノル化 Q オフセット電流は自動的に決定。 1 : LO ノル化 Q オフセット電流はレジスタ 0x809 (LON_OFFSET_Q) を用いて設定。	0x0	R/W
0	LON_I_SELECT	LO ノル化 I の選択。 0 : LO ノル化 I オフセット電流は自動的に決定。 1 : LO ノル化 I オフセット電流はレジスタ 0x808 (LON_OFFSET_I) を用いて設定。	0x0	R/W

アドレス : 0x306、リセット : 0x00、レジスタ名 : REG0306

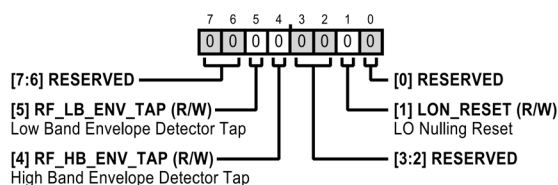


図 269.

表 99. REG0306 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	RF_LB_ENV_TAP	低周波数帯のエンベロープ・ディテクタ・タップ。 0 : 切断。 1 : 接続。	0x0	R/W
4	RF_HB_ENV_TAP	高周波数帯のエンベロープ・ディテクタ・タップ。 0 : 切断。 1 : 接続。	0x0	R/W
[3:2]	RESERVED	予約済み。	0x0	R/W
1	LON_RESET	LO ノル化リセット。このビット・フィールドは、LO ノル化ブロックのすべての内部レジスタをリセットします。	0x0	R/W
0	RESERVED	予約済み。	0x0	R/W

レジスタの詳細

アドレス : 0x30D、リセット : 0x00、レジスタ名 : REG030D

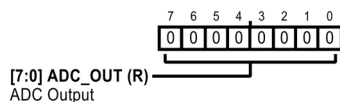


図 270.

表 100. REG030D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_OUT	ADC 出力。	0x0	R

アドレス : 0x402、リセット : 0x04、レジスタ名 : REG0402

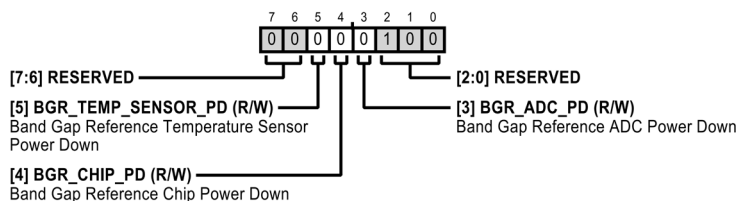


図 271.

表 101. REG0402 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	BGR_TEMP_SENSOR_PD	バンドギャップ・リファレンス温度センサーのパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
4	BGR_CHIP_PD	バンドギャップ・リファレンス・チップのパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
3	BGR_ADC_PD	バンドギャップ・リファレンス ADC のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x0	R/W
[2:0]	RESERVED	予約済み。	0x0	R/W

レジスタ 0X600～レジスタ 0X80C

アドレス : 0x600、リセット : 0x00、レジスタ名 : REG0600

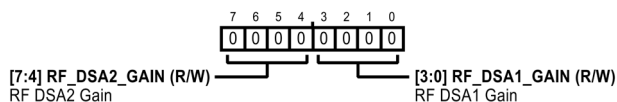


図 272.

レジスタの詳細

表 102. REG0600 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RF_DSA2_GAIN	RF DSA2 のゲイン。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W
[3:0]	RF_DSA1_GAIN	RF DSA1 のゲイン。1dB のゲイン・ステップで 15dB のゲイン範囲を提供します。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

アドレス : 0x601、リセット : 0x00、レジスタ名 : REG0601

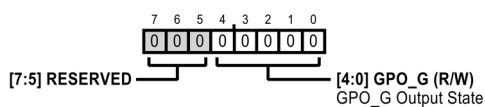


図 273.

表 103. REG0601 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GPO_G	GPO_G の出力状態。GPO_G 出力のロジック状態を設定するにはこのビット・フィールドを使用します。	0x0	R/W

レジスタの詳細

アドレス : 0x602、リセット : 0x08、レジスタ名 : REG0602

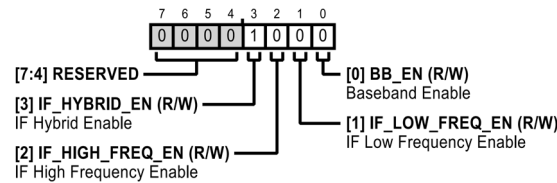


図 274.

表 104. REG0602 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	IF_HYBRID_EN	IF ハイブリッド・イネーブル。シングルエンド IF 入力を用いる場合、このビット・フィールドをイネーブルにします。 0 : ディスエーブル。 1 : イネーブル。	0x1	R/W
2	IF_HIGH_FREQ_EN	IF 高周波数イネーブル。3GHz~12GHz の高周波数複素 IF 入力を使用する場合は、このビット・フィールドをイネーブルにします。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
1	IF_LOW_FREQ_EN	IF 低周波数イネーブル。1GHz~4GHz の低周波数複素 IF 入力を使用する場合は、このビット・フィールドをイネーブルにします。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
0	BB_EN	ベースバンド・イネーブル。ベースバンド入力を用いる場合、このビット・フィールドをイネーブルにします。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

アドレス : 0x700、リセット : 0x10、レジスタ名 : REG0700

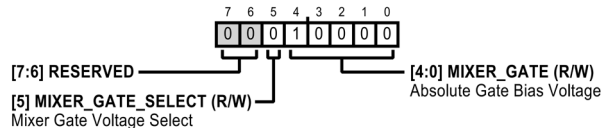


図 275.

表 105. REG0700 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	MIXER_GATE_SELECT	ミキサーのゲート電圧の選択。入力コモン・モード電圧が 0.5V 未満の場合、自動調整によりミキサーのゲート電圧が自動的に設定されます。入力コモン・モード電圧が 0.5V より高い場合、手動調整を用いてミキサーのゲート電圧を設定します。 0 : 自動調整。 1 : 手動調整。	0x0	R/W
[4:0]	MIXER_GATE	絶対ゲート・バイアス電圧。MIXER_GATE_SELECT = 1 の場合、このビットがミキサーのゲート電圧を設定します。ゲート電圧は次式で計算されます。 $VGATE = MIXER_GATE \times 50mV$	0x10	R/W

アドレス : 0x702、リセット : 0x00、レジスタ名 : REG0702

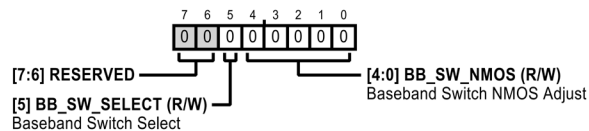


図 276.

レジスタの詳細

表 106. REG0702 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	BB_SW_SELECT	ベースバンド・スイッチの選択。 0：自動調整。 1：手動調整。	0x0	R/W
[4:0]	BB_SW_NMOS	ベースバンド・スイッチの NMOS 調整。BB_SW_SELECT = 1 の場合、手動のミキサー・ゲート調整モードに設定するために、このビットでベースバンド・スイッチの NMOS デバイスを調整します。	0x0	R/W

アドレス：0x703、リセット：0x00、レジスタ名：REG0703

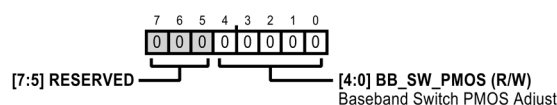


図 277.

表 107. REG0703 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	BB_SW_PMOS	ベースバンド・スイッチの PMOS 調整。BB_SW_SELECT = 1 の場合、手動でミキサー・ゲート調整を行うために、このビットでベースバンド・スイッチの PMOS デバイスを調整します。	0x0	R/W

アドレス：0x780、リセット：0x00、レジスタ名：REG0780

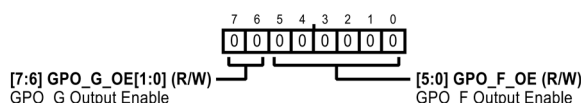


図 278.

表 108. REG0780 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	GPO_G_OE[1:0]	GPO_G の出力イネーブル。このビット・フィールドは、汎用出力バッファをイネーブルします。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
[5:0]	GPO_F_OE	GPO_F の出力イネーブル。 0：ディスエーブル。 1：イネーブル。	0x0	R/W

アドレス：0x781、リセット：0x00、レジスタ名：REG0781

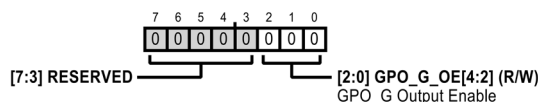


図 279.

表 109. REG0781 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
[2:0]	GPO_G_OE[4:2]	GPO_G の出力イネーブル。このビット・フィールドは、汎用出力バッファをイネーブルします。 0：ディスエーブル。 1：イネーブル。	0x0	R/W

レジスタの詳細

アドレス : 0x800、リセット : 0x00、レジスタ名 : REG0800

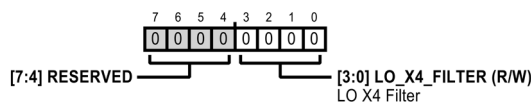


図 280.

表 110. REG0800 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R/W
[3:0]	LO_X4_FILTER	LO ×4 フィルタ。 0000 : 10GHz ≤ LO 周波数 < 14GHz。 0101 : 14GHz ≤ LO 周波数 < 18GHz。 0111 : LO 周波数 ≥ 18GHz。 1000 : LO 周波数 < 10GHz。	0x0	R/W

アドレス : 0x801、リセット : 0x00、レジスタ名 : REG0801

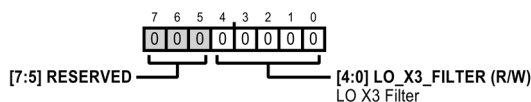


図 281.

表 111. REG0801 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LO_X3_FILTER	LO ×3 フィルタ。 00000 : LO 周波数 ≥ 24GHz。 00010 : 21GHz ≤ LO 周波数 < 24GHz。 00011 : 19GHz ≤ LO 周波数 < 21GHz。 00100 : 17GHz ≤ LO 周波数 < 19GHz。 00101 : 15GHz ≤ LO 周波数 < 17GHz。 00111 : 12GHz ≤ LO 周波数 < 15GHz。 11100 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x802、リセット : 0x00、レジスタ名 : REG0802

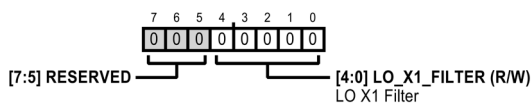


図 282.

表 112. REG0802 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LO_X1_FILTER	LO ×1 フィルタ。 00000 : LO 周波数 ≥ 21GHz。 00001 : 17GHz ≤ LO 周波数 < 21GHz。 00101 : 15GHz ≤ LO 周波数 < 17GHz。 01010 : 12GHz ≤ LO 周波数 < 15GHz。 11111 : LO 周波数 < 12GHz。	0x0	R/W

レジスタの詳細

アドレス : 0x803、リセット : 0x00、レジスタ名 : REG0803

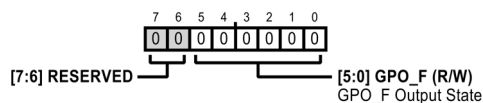


図 283.

表 113. REG0803 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	GPO_F	GPO_F の出力状態。GPO_F 出力のロジック状態を設定するにはこのビット・フィールドを使用します。	0x0	R/W

アドレス : 0x804、リセット : 0x00、レジスタ名 : REG0804

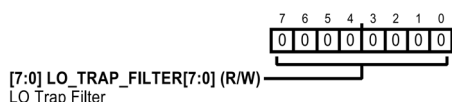


図 284.

表 114. REG0804 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_TRAP_FILTER [7:0]	LO トラップ・フィルタ。 0x1E7 : LO 周波数 $\geq 21\text{GHz}$ 。 0x1A7 : $18.5\text{GHz} \leq \text{LO 周波数} < 21.0\text{GHz}$ 。 0x1A3 : $14.5\text{GHz} \leq \text{LO 周波数} < 18.5\text{GHz}$ 。 0x3AA : $12.0\text{GHz} \leq \text{LO 周波数} < 14.5\text{GHz}$ 。 0x318 : LO 周波数 $< 12\text{GHz}$ 。	0x0	R/W

アドレス : 0x805、リセット : 0x40、レジスタ名 : REG0805

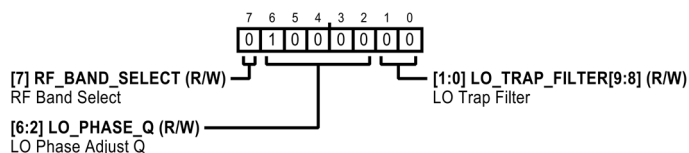


図 285.

表 115. REG0805 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_BAND_SELECT	RF 帯域の選択。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W

レジスタの詳細

表 115. REG0805 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[6:2]	LO_PHASE_Q	LO の位相調整 Q。このビット・フィールドは、LO ブロック内の Q 経路の位相を調整します。サイドバンド除去比のキャリブレーションを行うために使用できます。	0x10	R/W
[1:0]	LO_TRAP_FILTER [9:8]	LO トラップ・フィルタ。 0x1E7 : LO 周波数 $\geq 21\text{GHz}$ 。 0x1A7 : $18.5\text{GHz} \leq \text{LO 周波数} < 21.0\text{GHz}$ 。 0x1A3 : $14.5\text{GHz} \leq \text{LO 周波数} < 18.5\text{GHz}$ 。 0x3AA : $12.0\text{GHz} \leq \text{LO 周波数} < 14.5\text{GHz}$ 。 0x318 : LO 周波数 $< 12\text{GHz}$ 。	0x0	R/W

アドレス : 0x806、リセット : 0x30、レジスタ名 : REG0806

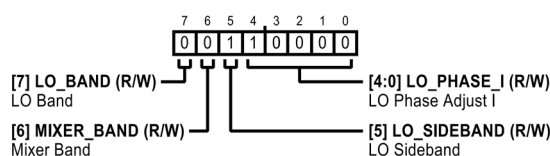


図 286.

表 116. REG0806 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_BAND	LO の帯域。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W
6	MIXER_BAND	ミキサの帯域。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W
5	LO_SIDE BAND	LO サイドバンド。 0 : LSB。 1 : USB。	0x1	R/W
[4:0]	LO_PHASE_I	LO の位相調整 I。このビット・フィールドは、LO ブロック内の I 経路の位相を調整します。サイドバンド除去比のキャリブレーションを行うために使用できます。	0x10	R/W

アドレス : 0x808、リセット : 0x00、レジスタ名 : REG0808

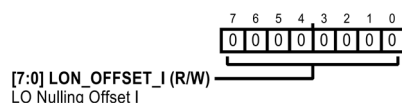


図 287.

表 117. REG0808 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LON_OFFSET_I	LO ノル化オフセット I。これは、オフセット電流を決定する 2 の補数値です。0x80 の値は最小の負電流、0x00 の値はゼロ電流、0x7F の値は最大の正電流です。LON_I_SELECT = 1 の場合に有効です。	0x0	R/W

レジスタの詳細

アドレス : 0x809、リセット : 0x00、レジスタ名 : REG0809

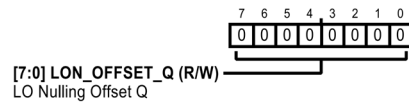


図 288.

表 118. REG0809 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LON_OFFSET_Q	LO ノル化オフセット Q。これは、オフセット電流を決定する 2 の補数値です。0x80 の値は最小の負電流、0x00 の値はゼロ電流、0x7F の値は最大の正電流です。LON_Q_SELECT = 1 の場合に有効です。	0x0	R/W

アドレス : 0x80A、リセット : 0x00、レジスタ名 : REG080A

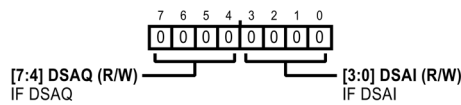


図 289.

表 119. REG080A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSAQ	IF の DSAQ。0.1dB のステップで 1.5dB の範囲。サイドバンド除去比のキャリアブレーション用に使用。	0x0	R/W
[3:0]	DSAI	IF の DSAI。0.1dB のステップで 1.5dB の範囲。サイドバンド除去比のキャリアブレーション用に使用。	0x0	R/W

アドレス : 0x80B、リセット : 0x00、レジスタ名 : REG080B

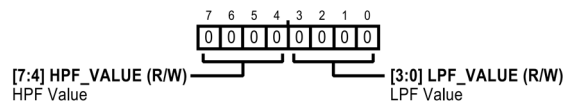


図 290.

表 120. REG080B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_VALUE	HPF の値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W
[3:0]	LPF_VALUE	LPF の値。カットオフ周波数は、このビット・フィールド値に反比例します。	0x0	R/W

アドレス : 0x80C、リセット : 0x00、レジスタ名 : REG080C



図 291.

表 121. REG080C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_DOUBLER_BAND	LO の 2 倍帯域。 0xC0 : LO 周波数 $\geq$ 24GHz。 0x80 : 18GHz $\leq$ LO 周波数 < 24GHz。 0x08 : 14GHz $\leq$ LO 周波数 < 18GHz。 0x04 : 12GHz $\leq$ LO 周波数 < 14GHz。 0x1D : 10GHz $\leq$ LO 周波数 < 12GHz。 0x1F : LO 周波数 < 10GHz。	0x0	R/W

レジスタの詳細

レジスタ 0X900～レジスタ 0XE01

アドレス：0x900、リセット：0x00、レジスタ名：REG0900

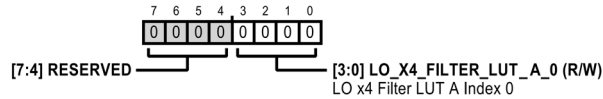


図 292.

表 122. REG0900 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R/W
[3:0]	LO_X4_FILTER_LUT_A_0	LO ×4 フィルタ LUT A のインデックス 0。 0000 : 10GHz ≤ LO 周波数 < 14GHz。 0101 : 14GHz ≤ LO 周波数 < 18GHz。 0111 : LO 周波数 ≥ 18GHz。 1000 : LO 周波数 < 10GHz。	0x0	R/W

アドレス：0x901、リセット：0x00、レジスタ名：REG0901

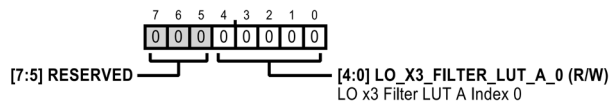


図 293.

表 123. REG0901 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LO_X3_FILTER_LUT_A_0	LO ×3 フィルタ LUT A のインデックス 0。 00000 : LO 周波数 ≥ 24GHz。 00010 : 21GHz ≤ LO 周波数 < 24GHz。 00011 : 19GHz ≤ LO 周波数 < 21GHz。 00100 : 17GHz ≤ LO 周波数 < 19GHz。 00101 : 15GHz ≤ LO 周波数 < 17GHz。 00111 : 12GHz ≤ LO 周波数 < 15GHz。 11100 : LO 周波数 < 12GHz。	0x0	R/W

アドレス：0x902、リセット：0x00、レジスタ名：REG0902

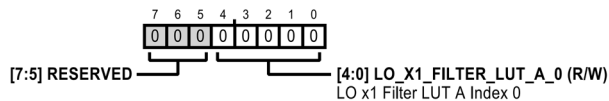


図 294.

表 124. REG0902 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	LO_X1_FILTER_LUT_A_0	LO ×1 フィルタ LUT A のインデックス 0。 00000 : LO 周波数 ≥ 21GHz。 00001 : 17GHz ≤ LO 周波数 < 21GHz。 00101 : 15GHz ≤ LO 周波数 < 17GHz。 01010 : 12GHz ≤ LO 周波数 < 15GHz。 11111 : LO 周波数 < 12GHz。	0x0	R/W

レジスタの詳細

アドレス : 0x903、リセット : 0x00、レジスタ名 : REG0903

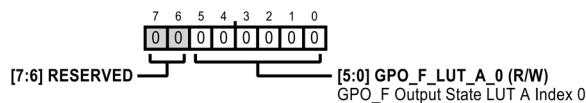


図 295.

表 125. REG0903 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	GPO_F_LUT_A_0	GPO_F 出力状態 LUT A のインデックス 0。	0x0	R/W

アドレス : 0x904、リセット : 0x00、レジスタ名 : REG0904

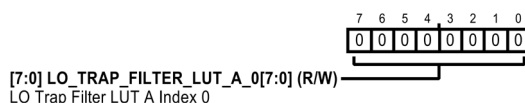


図 296.

表 126. REG0904 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_TRAP_FILTER_LUT_A_0[7:0]	LO トラップ・フィルタ LUT A のインデックス 0。 0x1E7 : LO 周波数 $\geq$ 21GHz。 0x1A7 : 18.5GHz $\leq$ LO 周波数 < 21.0GHz。 0x1A3 : 14.5GHz $\leq$ LO 周波数 < 18.5GHz。 0x3AA : 12.0GHz $\leq$ LO 周波数 < 14.5GHz。 0x318 : LO 周波数 < 12GHz。	0x0	R/W

アドレス : 0x905、リセット : 0x00、レジスタ名 : REG0905

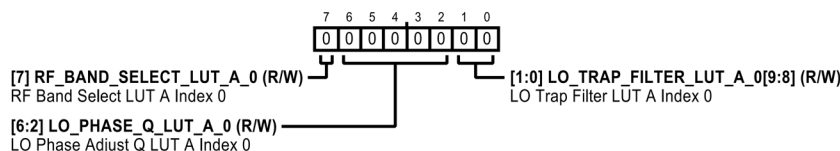


図 297.

表 127. REG0905 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_BAND_SELECT_LUT_A_0	RF 帯域選択 LUT A のインデックス 0。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W

レジスタの詳細

表 127. REG0905 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[6:2]	LO_PHASE_Q_LUT_A_0	LO 位相調整 Q LUT A のインデックス 0。このビット・フィールドは、LO ブロック内の Q 経路の位相を調整します。サイドバンド除去比のキャリブレーションを行うために使用できます。	0x0	R/W
[1:0]	LO_TRAP_FILTER_LUT_A_0[9:8]	LO トラップ・フィルタ LUT A のインデックス 0。 0x1E7 : LO 周波数 $\geq 21\text{GHz}$ 。 0x1A7 : $18.5\text{GHz} \leq \text{LO 周波数} < 21.0\text{GHz}$ 。 0x1A3 : $14.5\text{GHz} \leq \text{LO 周波数} < 18.5\text{GHz}$ 。 0x3AA : $12.0\text{GHz} \leq \text{LO 周波数} < 14.5\text{GHz}$ 。 0x318 : LO 周波数 $< 12\text{GHz}$ 。	0x0	R/W

アドレス : 0x906、リセット : 0x00、レジスタ名 : REG0906

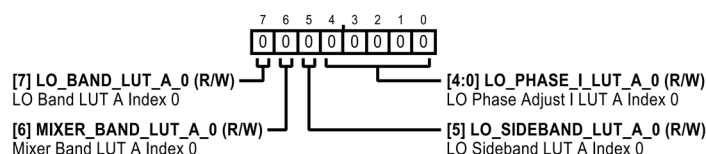


図 298.

表 128. REG0906 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LO_BAND_LUT_A_0	LO 帯域 LUT A のインデックス 0。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W
6	MIXER_BAND_LUT_A_0	ミキサー帯域 LUT A のインデックス 0。 0 : 低周波数帯。 1 : 高周波数帯。	0x0	R/W
5	LO_SIDEHAND_LUT_A_0	LO サイドバンド LUT A のインデックス 0。 0 : LSB。 1 : USB。	0x0	R/W
[4:0]	LO_PHASE_I_LUT_A_0	LO 位相調整 I LUT A のインデックス 0。このビット・フィールドは、LO ブロック内の I 経路の位相を調整します。サイドバンド除去比のキャリブレーションを行うために使用できます。	0x0	R/W

アドレス : 0x908、リセット : 0x00、レジスタ名 : REG0908

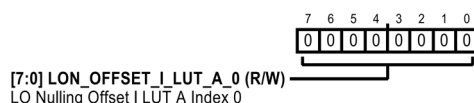


図 299.

表 129. REG0908 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LON_OFFSET_I_LUT_A_0	LO ノル化オフセット I LUT A のインデックス 0。	0x0	R/W

レジスタの詳細

アドレス : 0x909、リセット : 0x00、レジスタ名 : REG0909

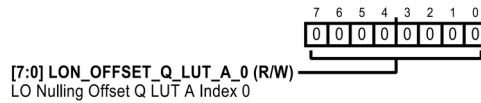


図 300.

表 130. REG0909 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LON_OFFSET_Q_LUT_A_0	LO ノル化オフセット Q LUT A のインデックス 0。	0x0	R/W

アドレス : 0x90A、リセット : 0x00、レジスタ名 : REG090A

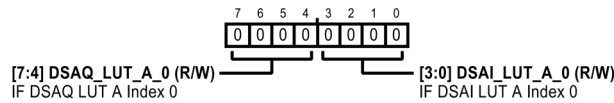


図 301.

表 131. REG090A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DSAQ_LUT_A_0	IF DSAQ LUT A のインデックス 0。0.1dB のステップで 1.5dB の範囲。サイドバンド除去比のキャリブレーション用に使用。	0x0	R/W
[3:0]	DSAI_LUT_A_0	IF DSAI LUT A のインデックス 0。0.1dB のステップで 1.5dB の範囲。サイドバンド除去比のキャリブレーション用に使用。	0x0	R/W

アドレス : 0x90B、リセット : 0x00、レジスタ名 : REG090B

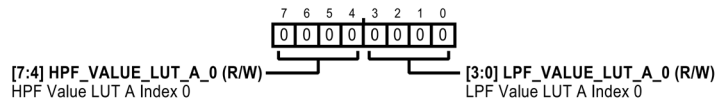


図 302.

表 132. REG090B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	HPF_VALUE_LUT_A_0	HPF 値 LUT A のインデックス 0。	0x0	R/W
[3:0]	LPF_VALUE_LUT_A_0	LPF 値 LUT A のインデックス 0。	0x0	R/W

アドレス : 0x90C、リセット : 0x00、レジスタ名 : REG090C

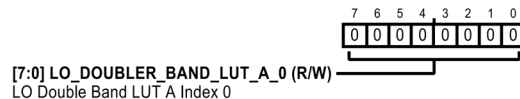


図 303.

表 133. REG090C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LO_DOUBLER_BAND_LUT_A_0	LO ダブル帯域 LUT A のインデックス 0。 0xC0 : LO 周波数 $\geq$ 24GHz。 0x80 : 18GHz $\leq$ LO 周波数 < 24GHz。 0x08 : 14GHz $\leq$ LO 周波数 < 18GHz。 0x04 : 12GHz $\leq$ LO 周波数 < 14GHz。 0x1D : 10GHz $\leq$ LO 周波数 < 12GHz。 0x1F : LO 周波数 < 10GHz。	0x0	R/W

レジスタの詳細

注：フィルタ LUT A のインデックス 1 からフィルタ LUT B のインデックス 31 までのビット・フィールド機能（レジスタ 0x90D～レジスタ 0xC3F）は、フィルタ LUT A のインデックス 0 のビット・フィールド機能（レジスタ 0x900 およびレジスタ 0x90C）と同じです。レジスタ・アドレス情報については、表 22 を参照してください。

アドレス：0xE00、リセット：0x00、レジスタ名：REG0E00

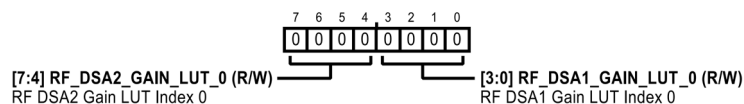


図 304.

表 134. REG0E00 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RF_DSA2_GAIN_LUT_0	RF DSA2 ゲイン LUT のインデックス 0。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W
[3:0]	RF_DSA1_GAIN_LUT_0	RF DSA1 ゲイン LUT のインデックス 0。 0000 : 0dB。 0001 : -1dB。 0010 : -2dB。 0011 : -3dB。 0100 : -4dB。 0101 : -5dB。 0110 : -6dB。 0111 : -7dB。 1000 : -8dB。 1001 : -9dB。 1010 : -10dB。 1011 : -11dB。 1100 : -12dB。 1101 : -13dB。 1110 : -14dB。 1111 : -15dB。	0x0	R/W

レジスタの詳細

アドレス : 0xE01、リセット : 0x00、レジスタ名 : REG0E01

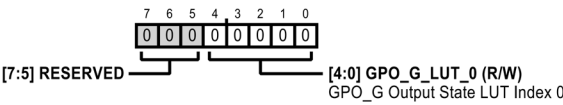


図 305.

表 135. REG0E01 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	GPO_G_LUT_0	GPO_G の出力状態 LUT のインデックス 0。	0x0	R/W

注：フィルタ LUT A のインデックス 1 からフィルタ LUT B のインデックス 31 までのビット・フィールド機能（レジスタ 0x90D～レジスタ 0xC3F）は、フィルタ LUT A のインデックス 0 のビット・フィールド機能（レジスタ 0x900 およびレジスタ 0x90C）と同じです。レジスタ・アドレス情報については、[表 22](#) を参照してください。

外形寸法

Package Drawing Option	Package Type	Package Description
BC-120-4	CSP_BGA	120-Ball Chip Scale Package Ball Grid Array

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV1355BBCZ	-40°C to +95°C	120-Ball Chip Scale Package Ball Grid Array	Pocket Tape	BC-120-4
ADMV1355BBCZ-R7	-40°C to +95°C	120-Ball Chip Scale Package Ball Grid Array	Reel, 500	BC-120-4

¹ Z = RoHS 準拠製品。

法的使用条件

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセス製品の提供は、販売状況および在庫状況に依存します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026 年 8 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2026 年 8 月 12 日

製品名： ADMV1355

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 8 頁、表 6、表の説明文

【誤】

「表 6. BBB IP、BB_IN、BB_QP、BB_QN の各入力、高周波数帯」

【正】

「表 6. BB IP、BB_IN、BB_QP、BB_QN の各入力、高周波数帯」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026 年 8 月 12 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2026 年 8 月 12 日

製品名： ADMV1355

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 97 頁、表 75、説明の欄、2 つ目の文

【誤】

「ディスエーブルの場合、フィルタ設定はレジスタ 0x600～レジスタ 0x602 を用いて定義されます。」

【正】

「ディスエーブルの場合、ゲイン設定はレジスタ 0x600～レジスタ 0x602 を用いて定義されます。」