

高耐性、低ノイズ・アンプ、1GHz～20GHz

特長

- ▶ RF 入力電力に対する高い耐性 : 36.5dBm
- ▶ R_{BIA}S ドレイン電流調整ピン
- ▶ ゲイン : 8GHz～18GHz で 15dB
- ▶ ノイズ指數 : 8GHz～18GHz で 3dB
- ▶ 広い動作温度範囲 : -55°C～+125°C
- ▶ RoHS に適合した、2mm × 2mm、8 ピンの LFCSP

アプリケーション

- ▶ 電気通信
- ▶ 衛星通信
- ▶ 防衛用レーダー
- ▶ 民生用レーダー
- ▶ 電子戦
- ▶ 試験装置および計測装置

機能ブロック図

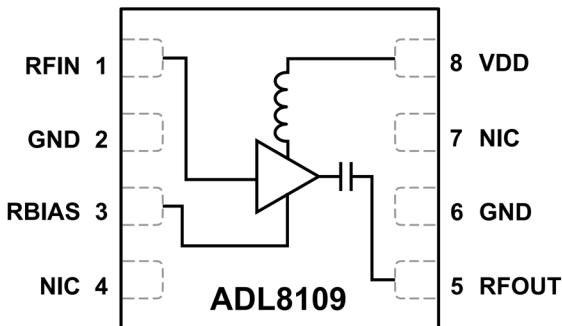


図 1. 機能ブロック図

概要

ADL8109 は、36.5dBm の RF 入力電力耐性を備えた 1GHz～20GHz の低ノイズ・アンプ (LNA) です。ADL8109 は、8GHz～18GHz の帯域で、15dB のゲイン、16dBm の 1dB 圧縮ポイント出力電力 (OP1dB)、28dBm (代表値) の出力 3 次インターセプト (OIP3)、3dB のノイズ指數を示します。この LNA は 5V の電源電圧 (V_{DD}) で動作し、公称静止電流 (I_{DQ}) は 110mA です。また、ADL8109 は、内部で 50Ω に整合された RF 入出力を備えています。

このデバイスは、RoHS に適合した 2mm × 2mm の 8 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP] に収容され、-55°C～+125°C で動作するよう仕様規定されています。

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものではありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	ピン配置およびピン機能の説明	6
アプリケーション	1	インターフェース回路図	6
概要	1	代表的な性能特性	7
機能ブロック図	1	動作原理	15
仕様	3	アプリケーション情報	16
周波数範囲：1GHz～8GHz	3	推奨バイアス・シーケンス	16
周波数範囲：8GHz～18GHz	3	高速イネーブルおよびディスエーブル機能としての RBIAS 使用	17
周波数範囲：18GHz～20GHz	4	推奨パワー・マネージメント回路	18
DC 仕様	4	外形寸法	19
絶対最大定格	5	オーダー・ガイド	19
熱抵抗	5	評価用ボード	19
静電放電（ESD）定格	5		
ESD に関する注意	5		

改訂履歴

9/2024—Rev. 0 to Rev. A

Replaced Figure 1	1
Replaced Figure 13 and Figure 19	7
Changes to Theory of Operation section and replaced Figure 53	15
Changes to Applications Information section and replaced Figure 54	16
Replaced Figure 55	17

9/2024—Revision 0: Initial Version

仕様**周波数範囲：1GHz～8GHz**

特に指定のない限り、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、バイアス抵抗 (R_{BIAS}) = 274Ω 、 $T_{CASE} = 25^\circ C$ 。

表 1. 1GHz～8GHz の周波数範囲での仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE	1		8	GHz	
GAIN	12.5	14.5		dB	
Gain Variation over Temperature		0.011		dB/°C	
NOISE FIGURE		3.5		dB	
RETURN LOSS					
Input (S11)		10		dB	
Output (S22)		21		dB	
OUTPUT					
OP1dB	14.5	16.5		dBm	
Saturated Output Power (P_{SAT})		19		dBm	
OIP3		28.5		dBm	Measurement taken at output power (P_{OUT}) per tone = 0 dBm
Output Second-Order Intercept (OIP2)		35		dBm	Measurement taken at P_{OUT} per tone = 0 dBm
Power-Added Efficiency (PAE)		10.5		%	Measured at P_{SAT}

周波数範囲：8GHz～18GHz

特に指定のない限り、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$ 、 $T_{CASE} = 25^\circ C$ 。

表 2. 8GHz～18GHz の周波数範囲での仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE	8		18	GHz	
GAIN	13	15		dB	
Gain Variation over Temperature		0.015		dB/°C	
NOISE FIGURE		3		dB	
RETURN LOSS					
S11		13		dB	
S22		20		dB	
OUTPUT					
OP1dB	14	16		dBm	
P_{SAT}		19		dBm	
OIP3		28		dBm	Measurement taken at P_{OUT} per tone = 0 dBm
OIP2		33.5		dBm	Measurement taken at P_{OUT} per tone = 0 dBm
PAE		10		%	Measured at P_{SAT}

仕様**周波数範囲：18GHz～20GHz**

特に指定のない限り、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$ 、 $T_{CASE} = 25^\circ C$ 。

表 3. 18GHz～20GHz の周波数範囲での仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE	18		20	GHz	
GAIN	13	15		dB	
Gain Variation over Temperature		0.018		dB/°C	
NOISE FIGURE		4.5		dB	
RETURN LOSS					
S11		13.5		dB	
S22		18		dB	
OUTPUT					
OP1dB	12.5	14.5		dBm	
P _{SAT}		17.5		dBm	
OIP3		26		dBm	Measurement taken at P _{OUT} per tone = 0 dBm
OIP2		47		dBm	Measurement taken at P _{OUT} per tone=0 dBm
PAE		7.5		%	Measured at P _{SAT}

DC 仕様

表 4. DC 仕様

Parameter	Min	Typ	Max	Unit
SUPPLY CURRENT				
I_{DQ}		110		mA
Amplifier Current (I_{DQ_AMP})		100		mA
R _{BIAS} Current (I_{RBIAS})		10		mA
SUPPLY VOLTAGE				
V_{DD}	3	5	6	V

絶対最大定格

表 5. 絶対最大定格

Parameter	Rating
V_{DD}	7 V
RF Input Power (RFIN)	See Figure 2
Continuous Power Dissipation (P_{DISS}), $T_{CASE} = 85^\circ\text{C}$ (Derate 17.51 mW/ $^\circ\text{C}$ Above 85°C)	1.6 W
Temperature	
Storage Range	-65°C to +150°C
Operating Range	-55°C to +125°C
Quiescent Channel ($T_{CASE} = 85^\circ\text{C}$, $V_{DD} = 5 \text{ V}$, $I_{DQ} = 110 \text{ mA}$, Input Power (P_{IN}) = Off)	116.4°C
Maximum Channel	175°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

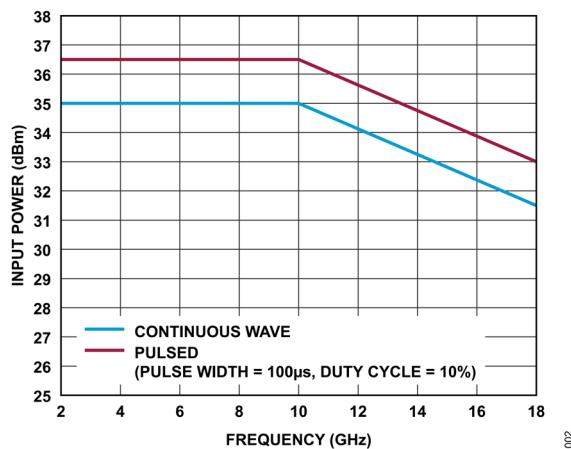


図 2. パルスおよび連続波に対する
RF 入力電力の絶対最大定格と周波数の関係、 $T_{CASE} = 85^\circ\text{C}$

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、チャンネルとケース間の熱抵抗です。

表 6. 热抵抗

Package Type	θ_{JC}	Unit
CP-8-30		
Quiescent, $T_{CASE} = 25^\circ\text{C}$	48.2	°C/W
Worst Case, ¹ $T_{CASE} = 85^\circ\text{C}$	57.1	°C/W

¹ 仕様規定されたすべての動作条件を通じて最も厳しい条件。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ADL8109 の ESD 定格

表 7. ADL8109、8 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±400	1A

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

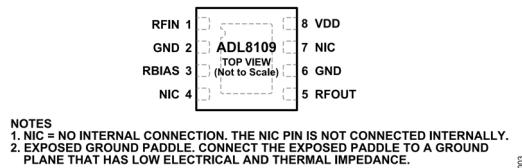
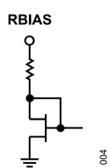


図 3. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	RFIN	RF 入力。RFIN ピンは AC カップリングされ、 50Ω に整合されています。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェース回路図については図 5 を参照してください。
2, 6	GND	グラウンド。電気インピーダンスと熱抵抗が低いグラウンド・プレーンに接続します。インターフェース回路図については図 7 を参照してください。
3	RBIAS	バイアス設定抵抗。RBIAS と VDD の間に抵抗を接続して、 I_{DQ} を設定します。詳細については、図 54 および表 9 を参照してください。インターフェース回路図については図 4 を参照してください。
4, 7	NIC	内部接続なし。NIC ピンは内部では接続されていません。
5	RFOUT	RF 出力。RFOUT ピンは AC 結合され、 50Ω に整合されています。インターフェース回路図については図 6 を参照してください。
8	VDD	ドレイン・バイアス。このピンは電源電圧に接続します。インターフェース回路図については図 6 を参照してください。
	EXPOSED PADDLE	露出グラウンド・パドル。露出パッドは電気インピーダンスと熱抵抗の低いグラウンド・プレーンに接続します。

インターフェース回路図

図 4. R_{BIAS} のインターフェース回路図

005

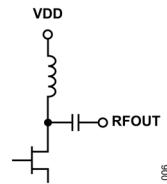
図 5. R_{FIN} のインターフェース回路図

図 6. RFOUT/VDD のインターフェース回路図

006

図 7. GND ピンのインターフェース回路図

代表的な性能特性

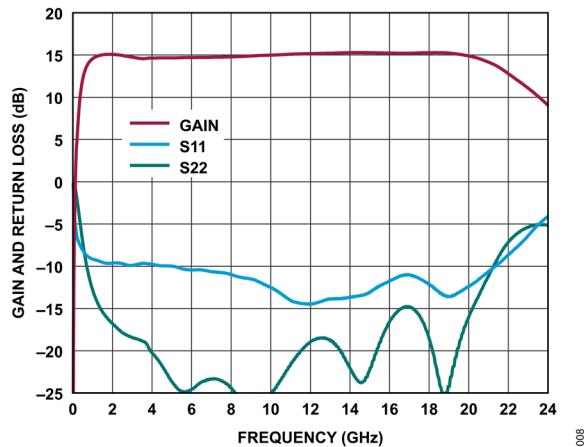


図 8. ゲインおよび反射損失と周波数の関係、
10MHz～24GHz, $V_{DD} = 5V$, $I_{DQ} = 110mA$, $R_{BIAS} = 274\Omega$

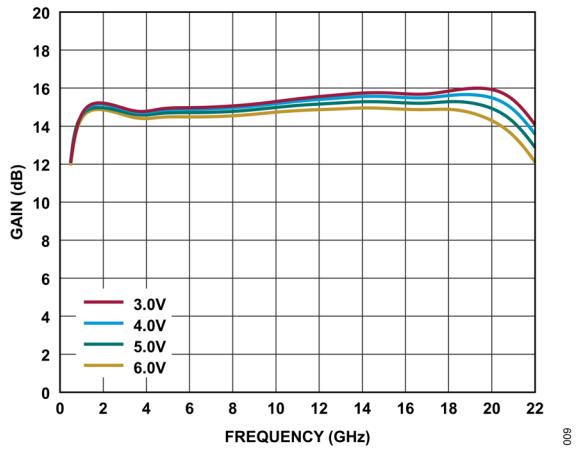


図 9. 様々な電源電圧におけるゲインと周波数の関係、
500MHz～22GHz, $I_{DQ} = 110mA$

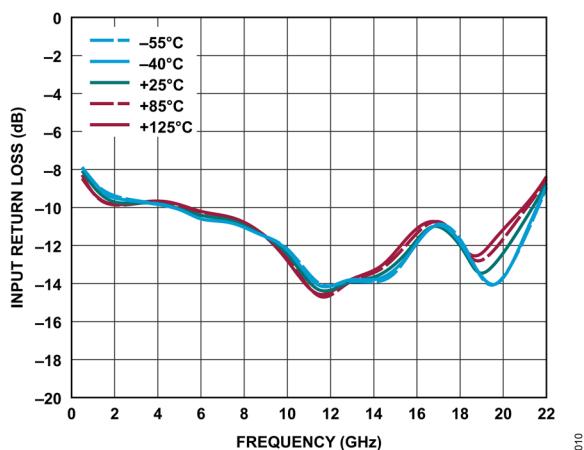


図 10. 様々な温度における入力反射損失と周波数の関係、
500MHz～22GHz, $V_{DD} = 5V$, $I_{DQ} = 110mA$, $R_{BIAS} = 274\Omega$

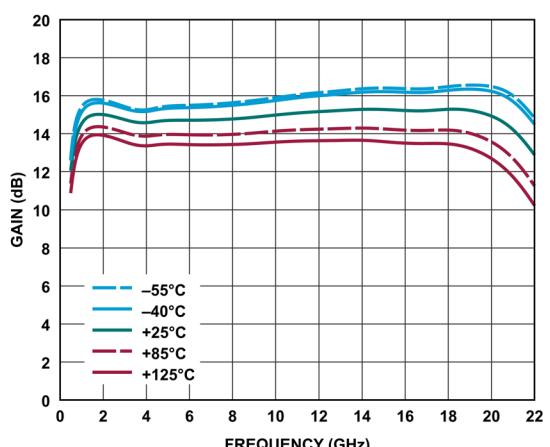


図 11. 様々な温度におけるゲインと周波数の関係、
500MHz～22GHz, $V_{DD} = 5V$, $I_{DQ} = 110mA$, $R_{BIAS} = 274\Omega$

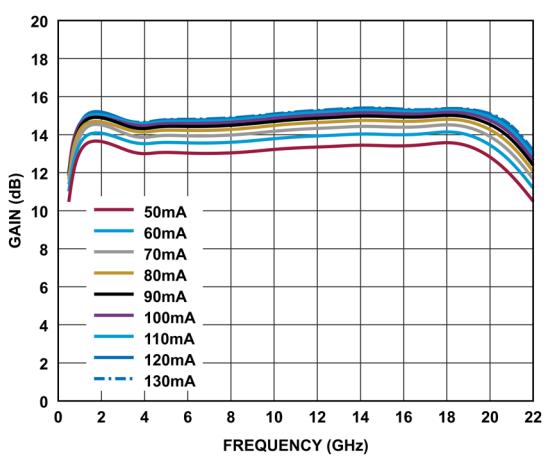


図 12. 様々な I_{DQ} におけるゲインと周波数の関係、
500MHz～22GHz, $V_{DD} = 5V$

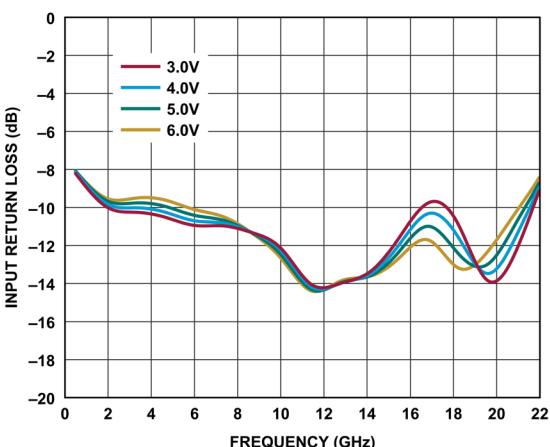


図 13. 様々な電源電圧における入力反射損失と周波数の関係、
500MHz～22GHz, $I_{DQ} = 110mA$

代表的な性能特性

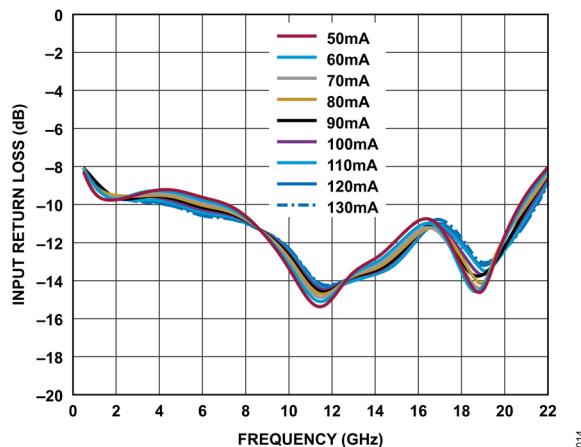


図 14. 様々な I_{DQ} における入力反射損失と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$

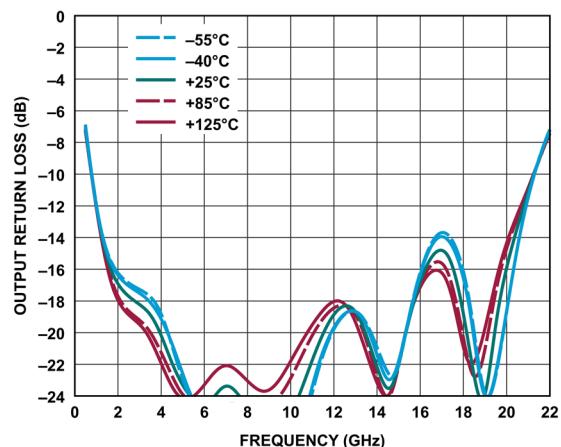


図 17. 様々な温度における出力反射損失と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

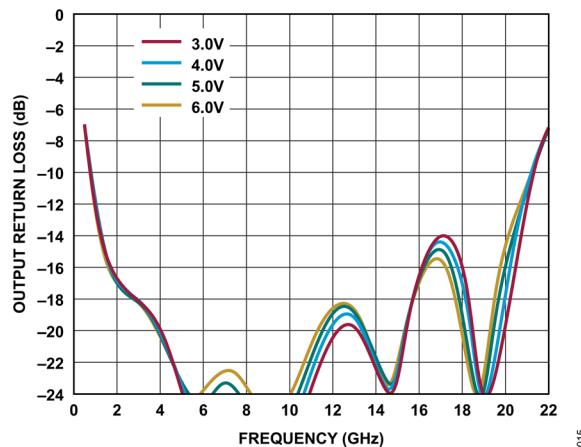


図 15. 様々な電源電圧における出力反射損失と周波数の関係、
500MHz～22GHz、 $I_{DQ} = 110mA$

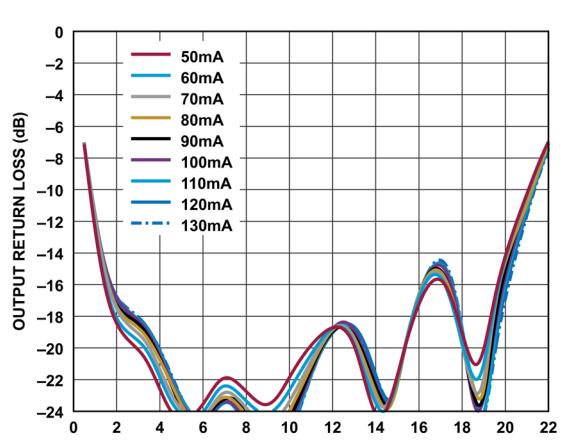


図 18. 様々な I_{DQ} における出力反射損失と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$

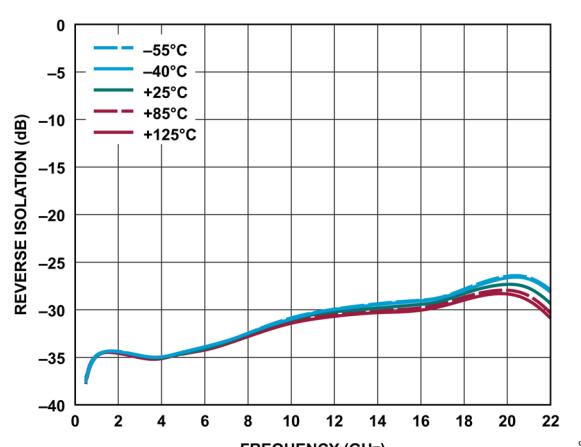


図 16. 様々な温度におけるリバース・アイソレーションと
周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

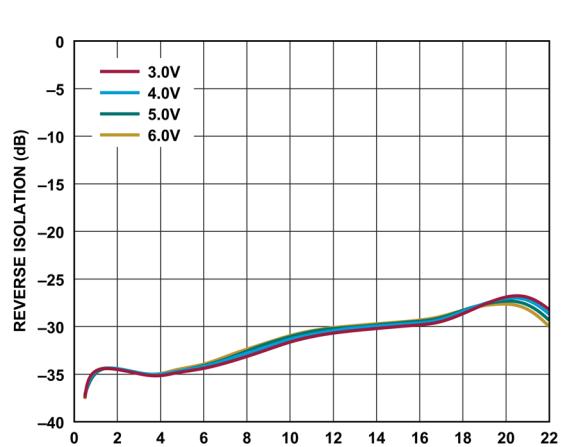


図 19. 様々な電源電圧におけるリバース・アイソレーションと
周波数の関係、500MHz～22GHz、 $I_{DQ} = 110mA$

代表的な性能特性

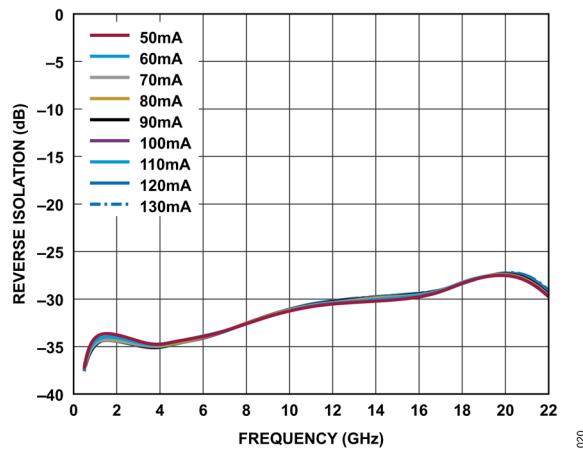


図 20. 様々な I_{DQ} におけるリバース・アイソレーションと周波数の関係、500MHz～22GHz、 $V_{DD} = 5V$

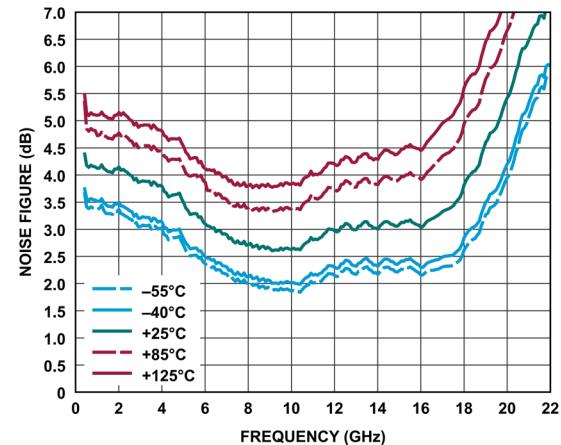


図 23. 様々な温度におけるノイズ指数と周波数の関係、500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

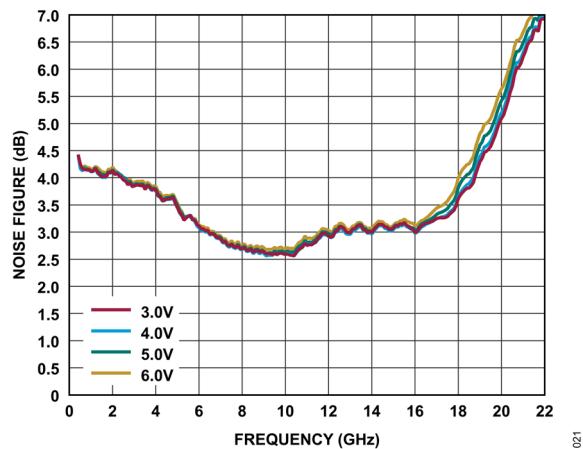


図 21. 様々な電源電圧におけるノイズ指数と周波数の関係、500MHz～22GHz、 $I_{DQ} = 110mA$

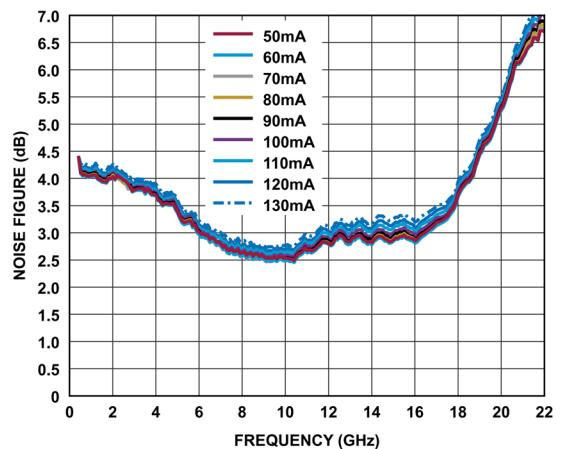


図 24. 様々な I_{DQ} におけるノイズ指数と周波数の関係、500MHz～22GHz、 $V_{DD} = 5V$

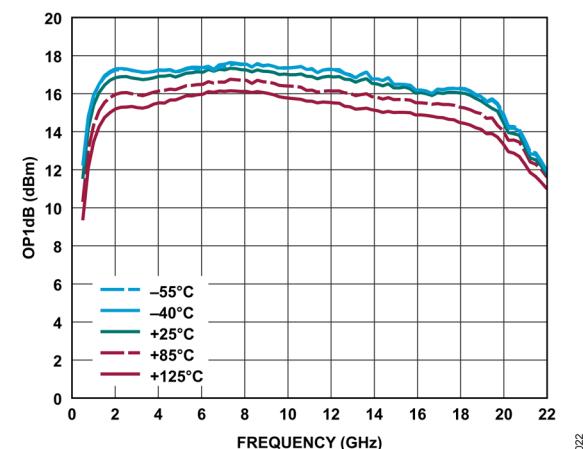


図 22. 様々な温度における OP1dB と周波数の関係、500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

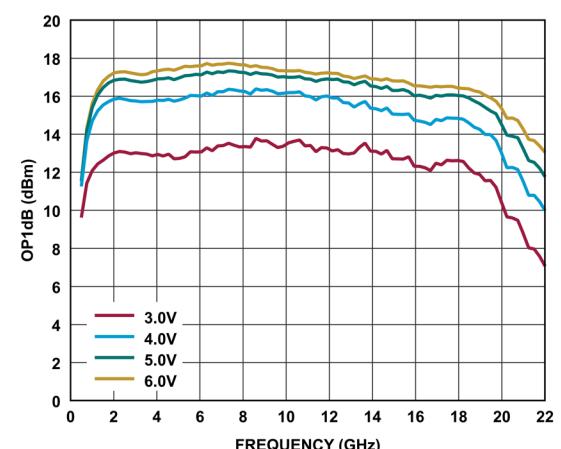


図 25. 様々な電源電圧における OP1dB と周波数の関係、500MHz～22GHz、 $I_{DQ} = 110mA$

代表的な性能特性

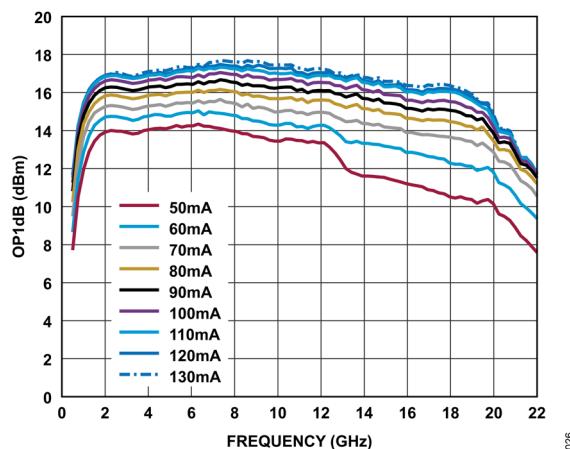


図 26. 様々な I_{DQ} における OP1dB と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$

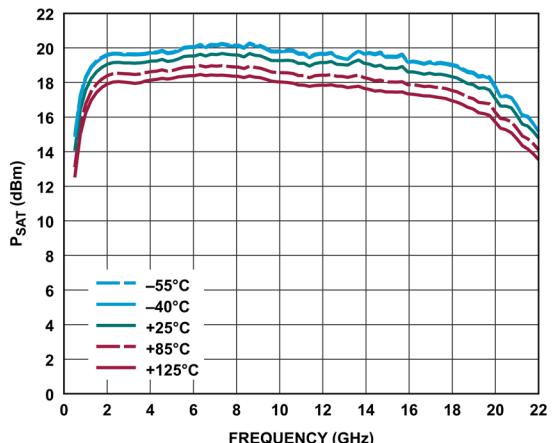


図 29. 様々な温度における P_{SAT} と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

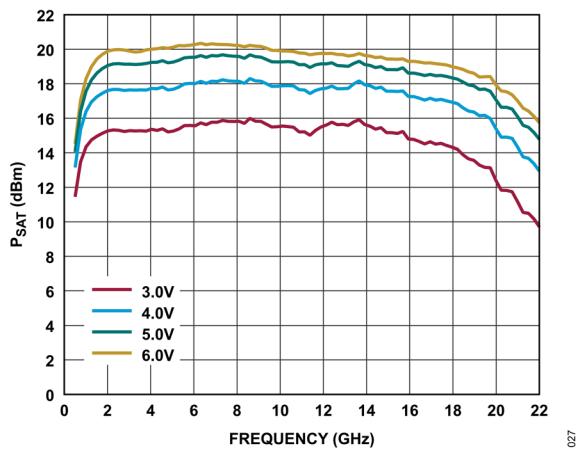


図 27. 様々な電源電圧における P_{SAT} と周波数の関係、
500MHz～22GHz、 $I_{DQ} = 110mA$

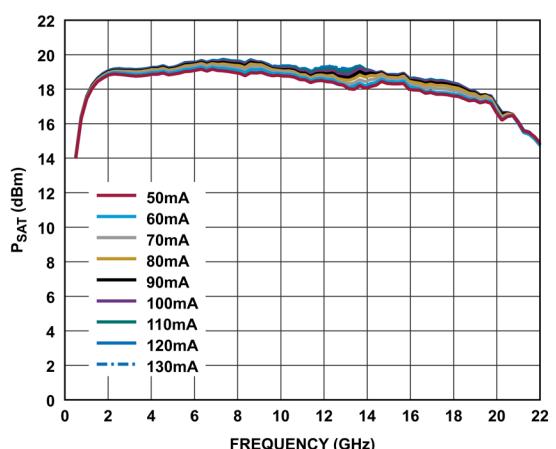


図 30. 様々な I_{DQ} における P_{SAT} と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$

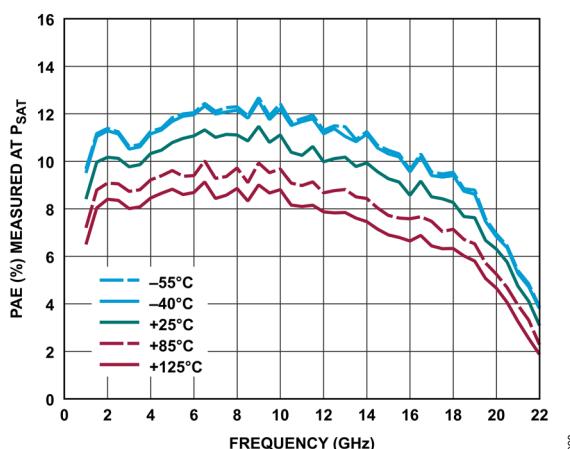


図 28. 様々な温度における P_{SAT} で測定した PAE と周波数の
関係、500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

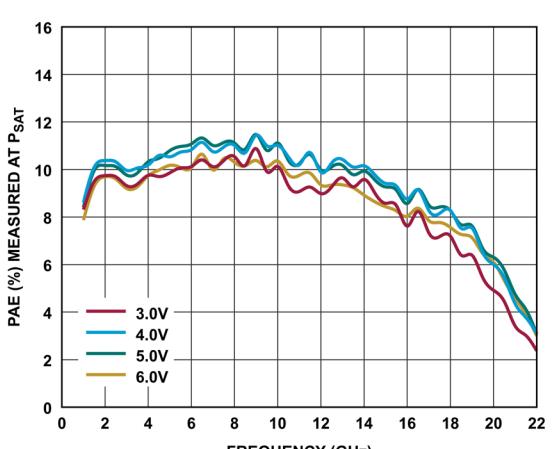


図 31. 様々な電源電圧における P_{SAT} で測定した PAE と周波数の
関係、500MHz～22GHz、 $I_{DQ} = 110mA$

代表的な性能特性

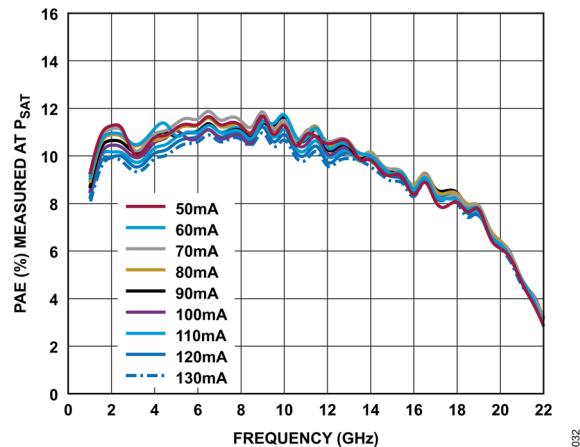


図32. 様々な I_{DQ} における P_{SAT} で測定した PAE と周波数の関係、500MHz～22GHz、 $V_{DD} = 5V$

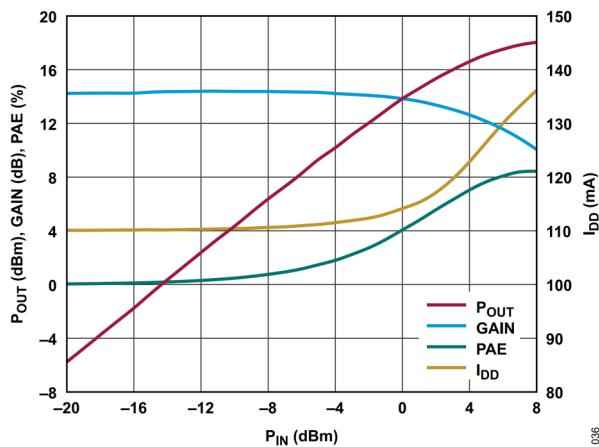


図35. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、1GHz でパワー圧縮、 $V_{DD} = 5V$ 、 $R_{BIAS} = 274\Omega$

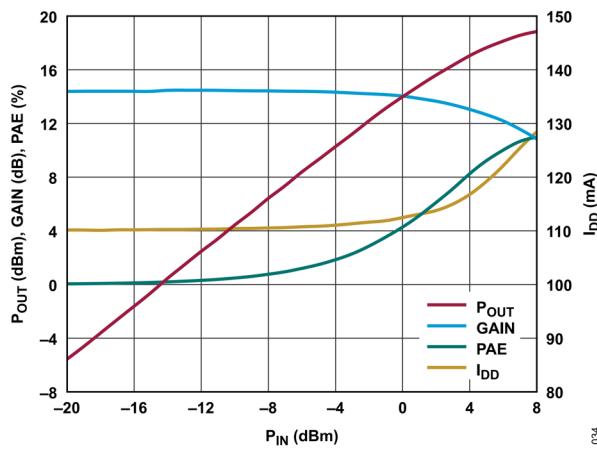


図33. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、5GHz でパワー圧縮、 $V_{DD} = 5V$ 、 $R_{BIAS} = 274\Omega$

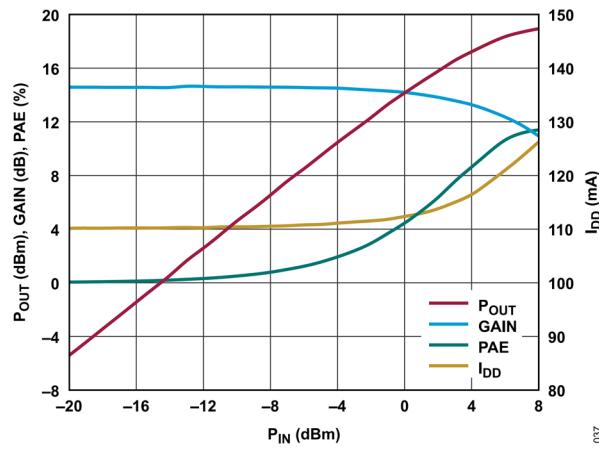


図36. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、10GHz でパワー圧縮、 $V_{DD} = 5V$ 、 $R_{BIAS} = 274\Omega$

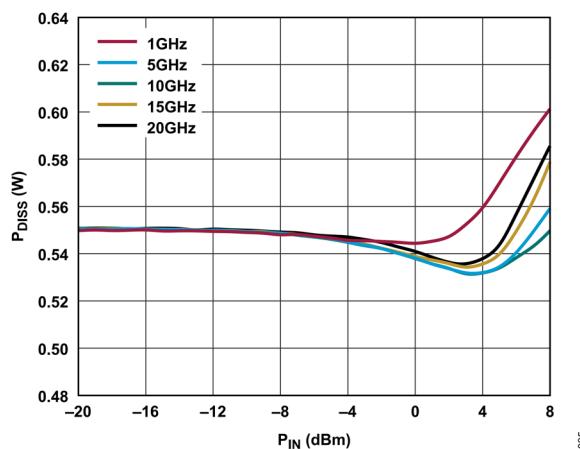


図34. 様々な周波数における P_{DISS} と P_{IN} の関係、 $T_{CASE} = 85^{\circ}\text{C}$ 、 $V_{DD} = 5V$

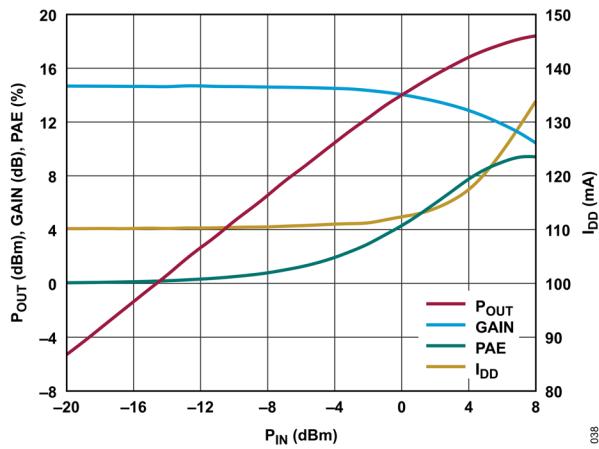


図37. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、15GHz でパワー圧縮、 $V_{DD} = 5V$ 、 $R_{BIAS} = 274\Omega$

代表的な性能特性

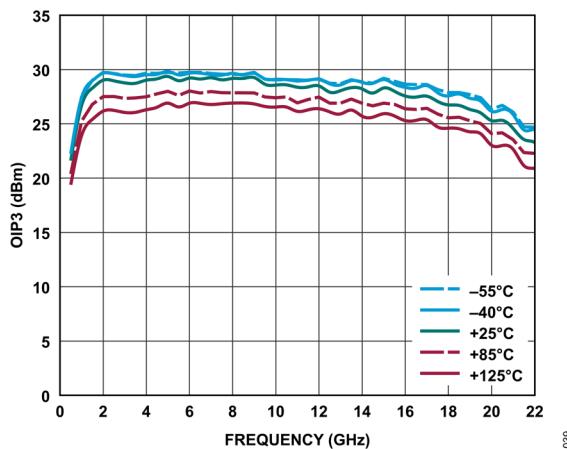


図 38. 様々な温度における OIP3 と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

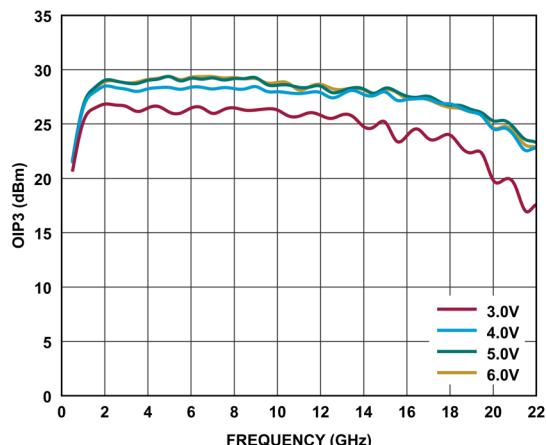


図 41. 様々な電源電圧における OIP3 と周波数の関係、
500MHz～22GHz、 $I_{DQ} = 110mA$

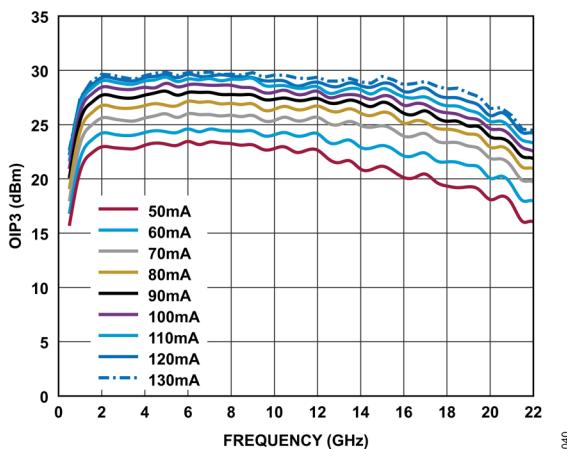


図 39. 様々な I_{DQ} における OIP3 と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$

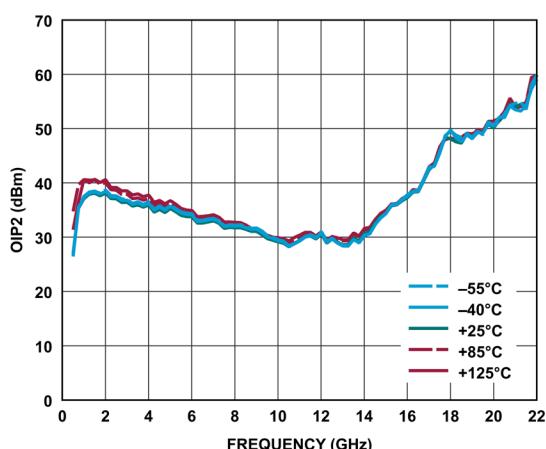


図 42. 様々な温度における OIP2 と周波数の関係、
500MHz～22GHz、 $V_{DD} = 5V$ 、 $I_{DQ} = 110mA$ 、 $R_{BIAS} = 274\Omega$

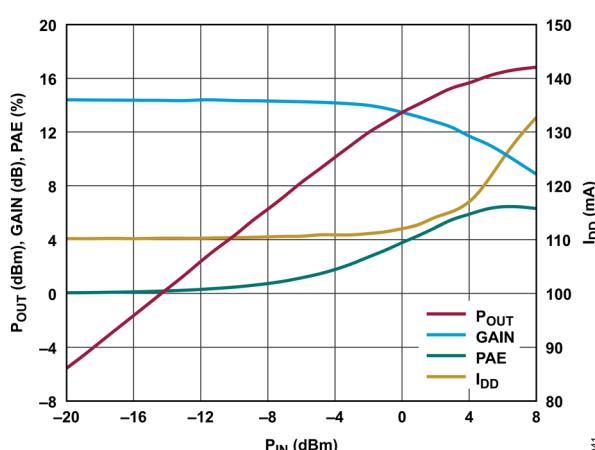


図 40. P_{OUT} 、ゲイン、PAE、 I_{DD} と P_{IN} の関係、
20GHz でパワー圧縮、 $V_{DD} = 5V$ 、 $R_{BIAS} = 274\Omega$

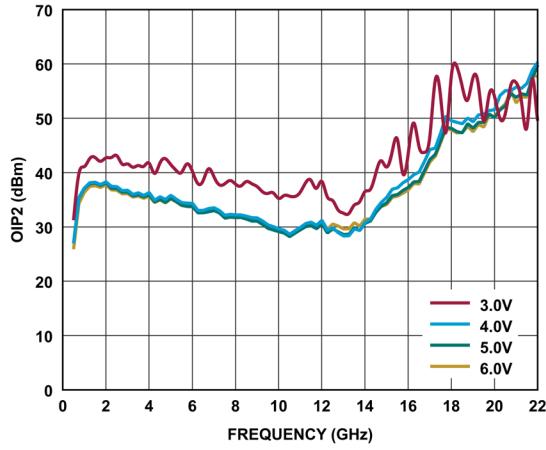


図 43. 様々な電源電圧における OIP2 と周波数の関係、
500MHz～22GHz、 $I_{DQ} = 110mA$

代表的な性能特性

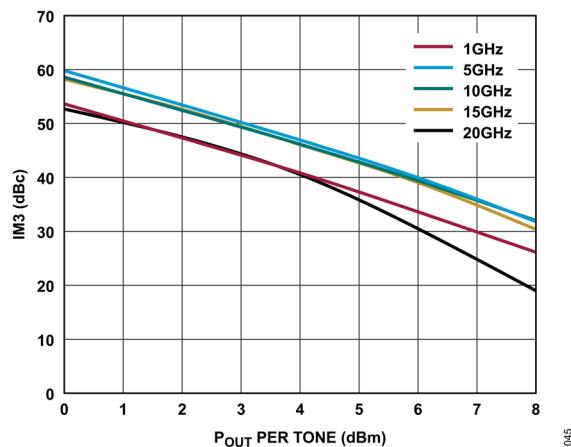


図44. 様々な周波数における3次相互変調歪み(IM3)とトーンあたりのP_{OUT}の関係、V_{DD} = 5V、I_{DQ} = 110mA、R_{BIAS} = 274Ω

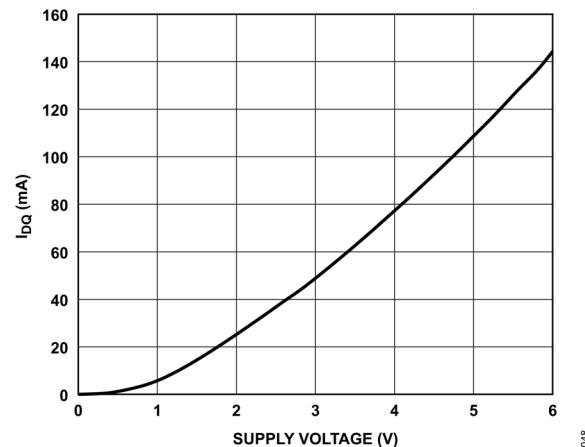


図47. I_{DQ}と電源電圧の関係、R_{BIAS} = 274Ω

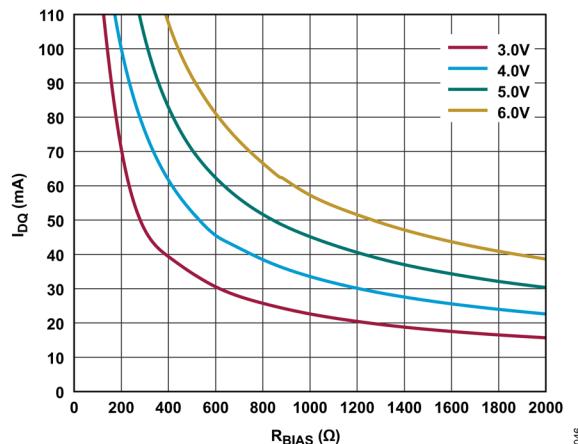


図45. 様々な電源電圧におけるI_{DQ}とR_{BIAS}の関係、0Ω～2000Ω

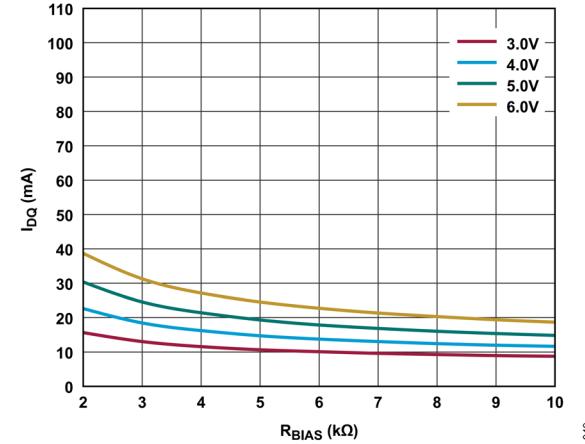


図48. 様々な電源電圧におけるI_{DQ}とR_{BIAS}の関係、2kΩ～10kΩ

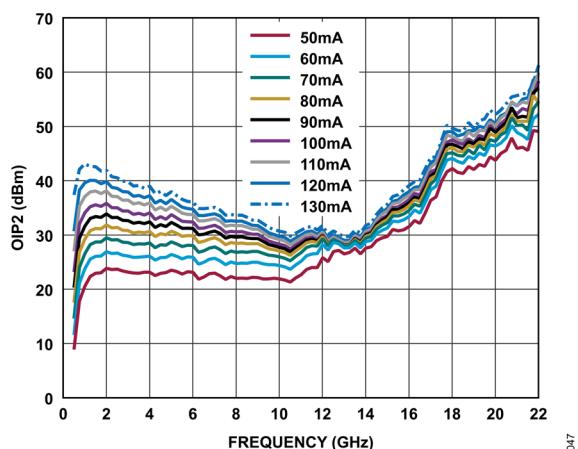


図46. 様々なI_{DQ}におけるOIP2と周波数の関係、500MHz～22GHz、V_{DD} = 5V

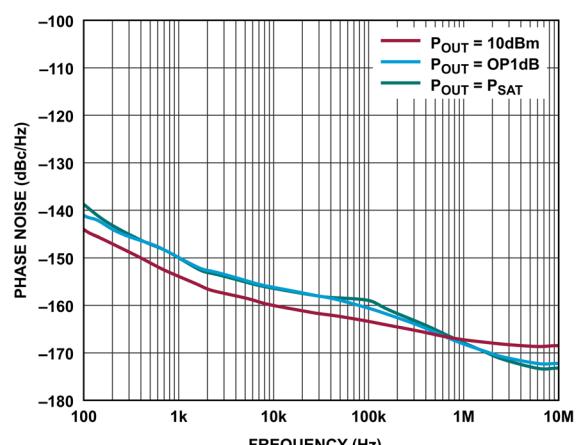


図49. 様々なP_{OUT}値における5GHzでの位相ノイズと周波数の関係

代表的な性能特性

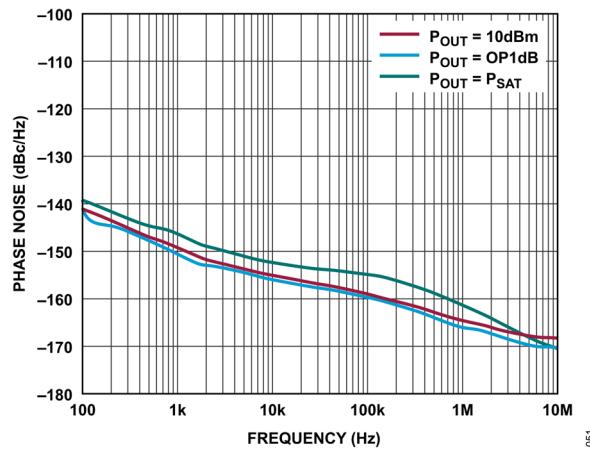


図 50. 様々な P_{OUT} 値における 10GHz での位相ノイズと周波数の関係

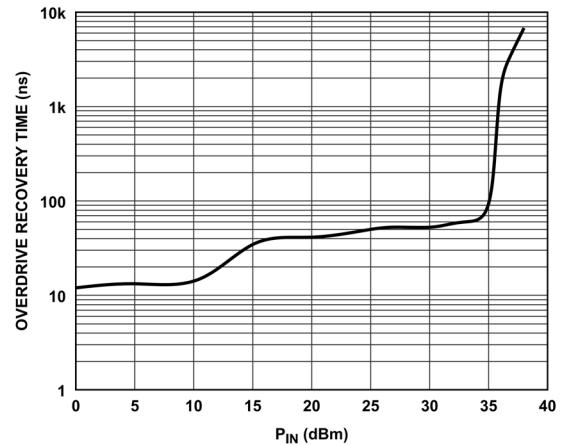


図 52. 10GHz でのオーバードライブ回復時間と P_{IN} の関係、小信号ゲイン値の 90% 以内までの回復時間、
 $V_{\text{DD}} = 5V$ 、 $R_{\text{BIAS}} = 274\Omega$

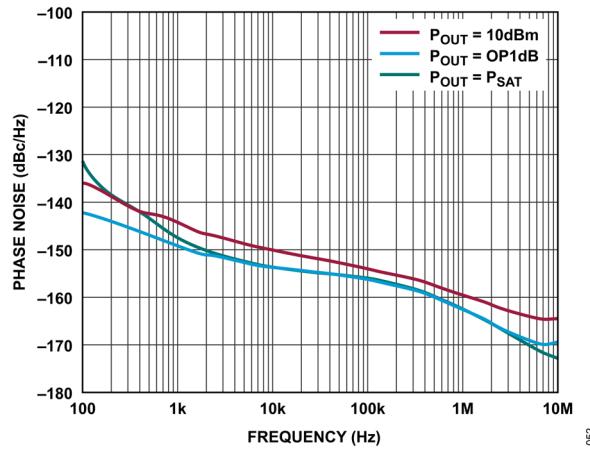
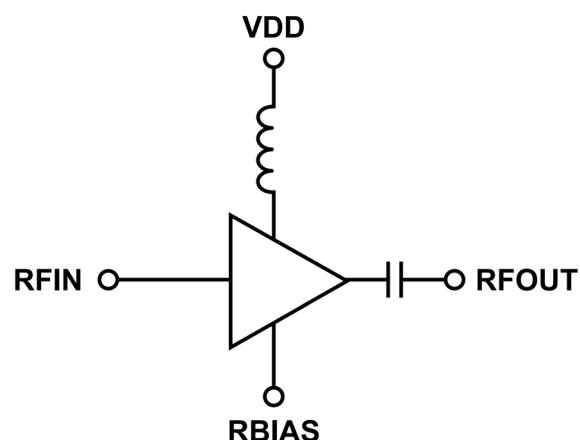


図 51. 様々な P_{OUT} 値における 15GHz での位相ノイズと周波数の関係

動作原理

ADL8109 は、1GHz～20GHz で動作する、高 RF 入力耐性を備えた広帯域 LNA です。簡略化したブロック図を図 53 に示します。RFIN ピンは 0V に DC カップリングされ、 50Ω に AC 整合されています。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。RF 出力は AC カップリングされています。外付けのマッチング部品は必要ありません。 I_{DQ} を調整するには、RBIAS ピンに電源基準外部抵抗を接続します。



054

図 53. 簡略化した回路図

アプリケーション情報

1GHz～20GHz の範囲で ADL8109 を動作させるための基本的な接続方法を図 53 に示します。外付けのバイアス・インダクタは不要で、5V 電源は VDD ピンに接続できます。2 個の 0.1 μ F のデカップリング・コンデンサを並列に用いることを推奨します。図 54 に示す電源デカップリング・コンデンサの構成は、ADL8109 のデバイス特性の評価や検証に使用したものです。

RF 入力は DC カップリングとして示されています。RF 入力が 0V 以外のバイアス・レベルの信号で駆動される場合、AC カップリング・コンデンサを外部に使用する必要があります。

I_{DQ} を設定するには、図 54 に示すように、RBIAS ピンとバイアス抵抗電圧 (V_{RBIAS}) 電源の間に抵抗 (R3) を接続します。274 Ω のデフォルト値を推奨します。これにより、公称 I_{DQ} は 110mA となります。表 9 に、 I_{DQ} および I_{DQ_AMP} の RBIAS に対する変化を示します。また、RBIAS ピンには、RBIAS の値に応じて変化する電流が流れます。表 9 に、推奨 RBIAS 値とそれに対応する I_{DQ} 値を示します。RBIAS ピンはオープンのままにしないでください。

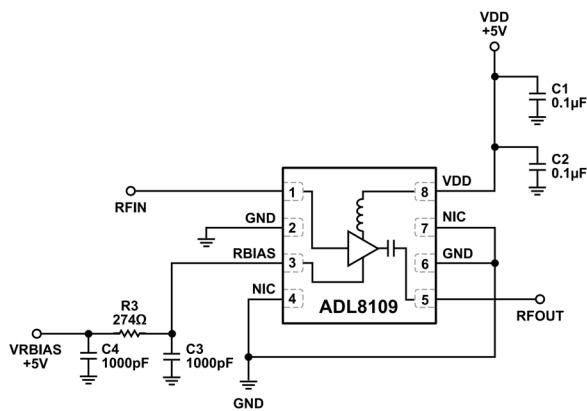


図 54. 標準アプリケーション回路

推奨バイアス・シーケンス

ADL8109 を安全に動作させるには、DC 電源と RF 電源のシーケンシングを正しく行う必要があります。パワーアップ時は、 V_{DD} および V_{RBIAS} を印加してから、RF 電源を RFIN に印加します。パワーオフ時は、RFIN への RF 電源供給を停止してから、 V_{RBIAS} および V_{DD} をパワーオフします。

表 9. 様々な I_{DQ} 値に対する推奨バイアス抵抗値、 $V_{DD} = V_{RBIAS} = 5V$

RBIAS (Ω)	I_{DQ} (mA)	I_{DQ_AMP} (mA)	I_{RBIAS} (mA)
845	50	46	4
637	60	54.6	5.4
510	70	63.7	6.3
424	80	72.5	7.5
360	90	81.5	8.5
312	100	90.3	9.7
274	110	99.3	10.7
246	120	108.2	11.8
223	130	116.8	13.2

表 10. 様々な電源電圧に対する推奨バイアス抵抗値、 $I_{DQ} = 110mA$

RBIAS (Ω)	$V_{DD} = V_{RBIAS}$
69	3
168	4
274	5
391	6

高速イネーブルおよびディスエーブル機能としての R_{BIAS} 使用

R_{BIAS} ピンに SPDT スイッチを接続することにより、図 55 に示すようにイネーブル／ディスエーブル回路を実装することができます。ADG719 CMOS スイッチを用いて R_{BIAS} 抵抗を電源もしくはグラウンドに接続します。R_{BIAS} 抵抗がグラウンドに接続されると、全体の消費電流は RF 信号が存在しない場合 4.73mA まで減少し、RF 信号レベルが-10dBm の場合には 4.92mA となります。

図 56 には、ADG719 の IN ピンがパルス駆動されたときの RF 出力エンベロープのターンオンとターンオフの応答時間のプロットを示しています。

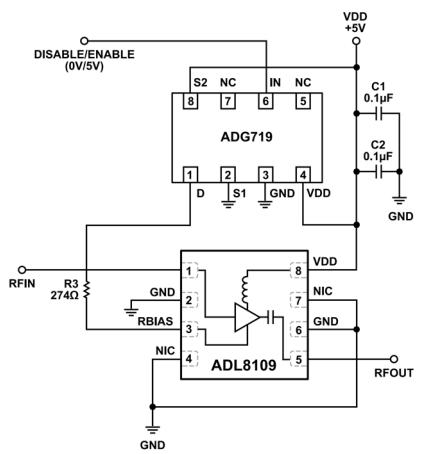


図 55. SPDT を使用した高速イネーブル／ディスエーブル回路

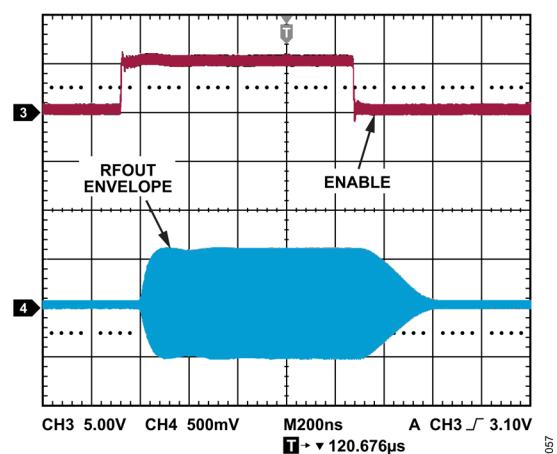


図 56. ADG719 の IN ピンがパルス駆動されたときの RF 出力エンベロープのオン／オフ応答

推奨パワー・マネージメント回路

ADL8109 の推奨パワー・マネージメント回路の構成を図 57 に示します。LT8607 降圧レギュレータによって 12V レールから 6.77V に降圧し、更に LT3042 低ドロップアウト (LDO) リニア・レギュレータに印加して低ノイズの 5V 出力を生成します。図 57 に示す回路の入力電圧 (V_{IN}) は 12V ですが、LT8607 には最大 42V の電圧を入力できます。

LT8607 の 6.77V レギュレータ出力は、抵抗 R2 と R3 を用いて次の式に従って設定します。

$$R2 = R3((V_{OUT}/0.778 V) - 1) \quad (1)$$

ここで、 V_{OUT} は出力電圧です。

スイッチング周波数は、RT ピンに $18.2\text{k}\Omega$ の抵抗を接続して 2MHz に設定します。LT8607 のデータシートには、その他のスイッチング周波数 (0.2MHz~2.2MHz) の選択に使用できる抵抗値の表が記載されています。

LT3042 の出力電圧は、次式に従い R4 抵抗を SET ピンに接続して設定します。

$$V_{OUT} = 100 \mu A \times R4 \quad (2)$$

パワーグッド帰還 (PGFB) 抵抗は、出力が目標電圧である 5V の 95% よりわずかに低い値となったときにパワーグッド (PG) 信号をトリガするよう選択されています。

LT3042 の出力には、1% の初期公差があり、更に温度によって 1% の変動があります。PGFB の温度に対する公差は約 3% ですが、抵抗を追加するともう少し増えます (5%)。そのため、出力と PGFB の間で 5% を見込んでおけばうまく対処できます。更に、PG のオープン・コレクタが 5V 出力にプルアップされ、0V~5V の電圧範囲が得られます。表 11 に、6V~3V での動作に推奨される抵抗値を示します。

表 11. 様々な LDO 出力電圧に対応する推奨抵抗値

LDO Regulator V_{OUT} (V)	$R4$ (kΩ)	$R7$ (kΩ)	$R8$ (kΩ)
6	60.4	620	30.1
5	49.9	442	30.1
4	40.2	301	30.1
3	30.1	255	30.1

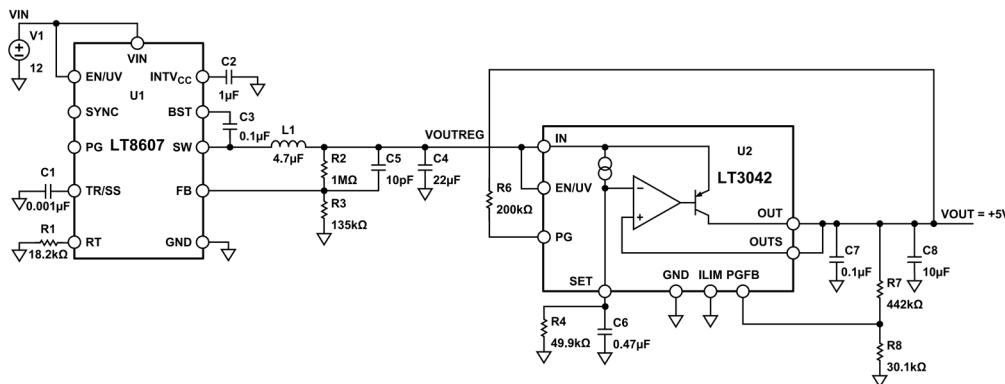


図 57. 推奨パワー・マネージメント回路

外形寸法

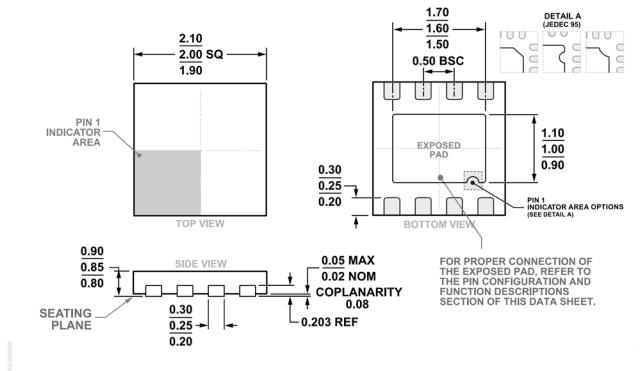


図 58. 8 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
2mm × 2mm ボディ、0.85mm パッケージ高
(CP-8-30)
寸法 : mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Packing Quantity	Package Option
ADL8109ACPZN	-55°C to +125°C	8-Lead Lead LFCSP, 2 mm x 2 mm x 0.85	Tape, 1	CP-8-30
ADL8109ACPZN-R7	-55°C to +125°C	8-Lead Lead LFCSP, 2 mm x 2 mm x 0.85	Reel, 3000	CP-8-30

¹ Z = RoHS 準拠製品。

² ADL8109ACPZN および ADL8109ACPZN-R7 のピン仕上げは、ニッケル・バラジウム金です。

評価用ボード

Model ¹	Description
ADL8109-EVALZ	Evaluation Board

¹ Z = RoHS 準拠製品。