



高精度 MEMS IMU モジュール

データシート

ADIS16467

特長

3軸、デジタル・ジャイロ・センサー
ダイナミック・レンジが、 $\pm 125^{\circ}/\text{sec}$ 、 $\pm 500^{\circ}/\text{sec}$ 、
 $\pm 2000^{\circ}/\text{sec}$ の 3 モデル
動作中のバイアス安定度: $2^{\circ}/\text{hr}$ (ADIS16467-1)
角度ランダム・ウォーク: $0.15^{\circ}/\sqrt{\text{hr}}$
(ADIS16467-1 および ADIS16467-2)
軸間ミスマライメント誤差: $\pm 0.05^{\circ}$
3軸、デジタル加速度センサー: $\pm 40 \text{ g}$
動作中のバイアス安定度: $13 \mu\text{g}$
3軸、角度変化および速度変化の出力
工場出荷時キャリブレーション済みの感度、バイアス、
軸アライメント
キャリブレーション温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
SPI 対応のデータ通信
プログラマブルな動作と制御
自動と手動のバイアス補正制御
同期データ・アクイジョン用データ・レディ・
インジケータ
外部同期モード: 直接、パルス、スケーリング、出力
慣性センサーのオン・デマンド・セルフ・テスト
フラッシュ・メモリのオン・デマンド・セルフ・テスト
単電源動作 (VDD) : $3.0 \text{ V} \sim 3.6 \text{ V}$
2000 g の機械的衝撃耐性
動作温度範囲: $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$

概要

ADIS16467 は高精度の微小電気機械システム (MEMS) 慣性計測ユニット (IMU) で、3 軸のジャイロ・センサーと 3 軸の加速度センサーを内蔵しています。ADIS16467 内の各慣性センサーがシグナル・コンディショニングと組み合わさることで、動的性能が最適化されています。各センサーの感度、バイアス、アライメント、直線加速度 (ジャイロ・センサー・バイアス)、振動ポイント (加速度センサーの位置) の特性は、工場出荷時のキャリブレーションで評価されています。そのため、各センサーには動的な補償のための式が備わっており、幅広い条件に対して高精度のセンサー計測が可能となっています。

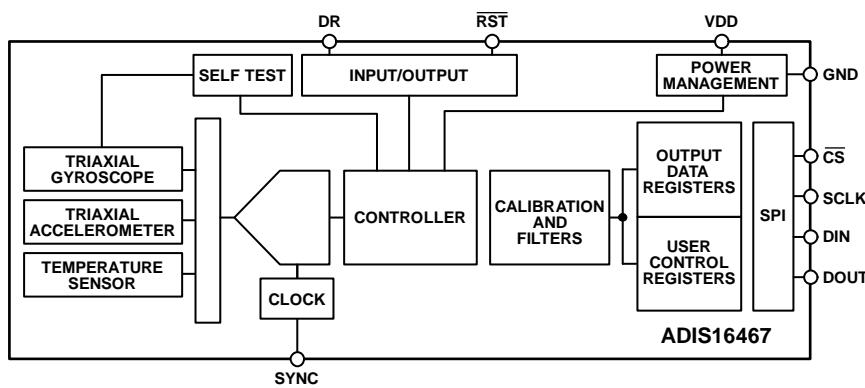
ADIS16467 は、高精度の多軸慣性センシングを工業用システムに組み込むためのシンプルで費用対効果に優れたソリューションを提供します。これは、特にディスクリート部品を使用した設計と比較して、複雑さや費用面でメリットがあります。すなわち、必要なモーション・テストとキャリブレーションがすべて工場での製造工程に組み込まれているため、システムを統合する時間を大幅に短縮できます。また、厳密な直交アライメントにより、ナビゲーション・システムの慣性フレーム・アライメントが簡単になります。シリアル・ペリフェラル・インターフェース (SPI) やレジスタ構造により、データ収集や設定制御とのインターフェースも容易です。

ADIS16467 は、約 $22.4 \text{ mm} \times 24.3 \text{ mm} \times 9 \text{ mm}$ のアルミニウム・モジュール・パッケージに収納され、14 ピン・コネクタ・インターフェースを備えています。

アプリケーション

ナビゲーション、安定化、計測器
無人運転車、自動運転車
スマート農業、建設機械
ファクトリー／産業オートメーション、ロボティクス
仮想／拡張現実
動くモノのインターネット

機能ブロック図



15439-001

図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものではありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	センサー・データの読み出し	13
アプリケーション	1	デバイスの設定	14
概要	1	ユーザ・レジスタのメモリ・マップ	15
機能ブロック図	1	ユーザ・レジスタ定義	17
改訂履歴	2	ジャイロ・センサーのデータ	17
仕様	3	角度変化	20
タイミング仕様	5	速度変化	21
絶対最大定格	7	キャリブレーション	23
熱抵抗	7	アプリケーション情報	30
ESD に関する注意	7	アセンブリとハンドリングのポイント	30
ピン配置およびピン機能説明	8	電源に関する考慮事項	30
代表的な性能特性	9	ブレークアウト・ボード	30
動作原理	10	PC ベースの評価ツール	31
はじめに	10	パッケージとオーダー情報	32
慣性センサーのシグナル・チェーン	10	外形寸法	32
レジスタ構造	11	オーダー・ガイド	32
シリアル・ペリフェラル・インターフェース (SPI)	12		
データ・レディ (DR)	12		

改訂履歴

12/2017—Revision 0: Initial Version

仕様

特に指定のない限り、ケース温度 (T_C) = 25 °C、VDD = 3.3 V、角速度 = 0°/sec、ダイナミック・レンジ = ±2000°/sec ± 1 g。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
GYROSCOPES					
Dynamic Range ¹	ADIS16467-1 ADIS16467-2 ADIS16467-3	±125 ±500 ±2000			°/sec °/sec °/sec
Sensitivity	ADIS16467-1, 32-bit ADIS16467-2, 32-bit ADIS16467-3, 32-bit		10,485,760 2,621,440 655,360		LSB/°/sec LSB/°/sec LSB/°/sec
Error over Temperature	-40°C ≤ T_C ≤ +85°C, 1 σ		±0.1		%
Misalignment Error	Axis to axis, 1 σ		±0.05		Degrees
Nonlinearity ²	ADIS16467-1, full scale (FS) = 125°/sec ADIS16467-2, FS = 500°/sec ADIS16467-3, FS = 2000°/sec		0.2 0.2 0.25		% FS % FS % FS
Bias					
In-Run Bias Stability	ADIS16467-1, 1 σ ADIS16467-2, 1 σ ADIS16467-3, 1 σ		2 2.5 6		%/hr %/hr %/hr
Angular Random Walk	ADIS16467-1, 1 σ ADIS16467-2, 1 σ ADIS16467-3, 1 σ		0.15 0.15 0.3		°/√hr °/√hr °/√hr
Error over Temperature	-40°C ≤ T_C ≤ +85°C, 1 σ		±0.2		°/sec
Linear Acceleration Effect	Any direction, 1 σ		0.009		°/sec/g
Vibration Rectification Effect	Random vibration, 2 g rms, bandwidth = 50 Hz to 2 kHz		0.0005		°/sec/g ²
Output Noise	ADIS16467-1, 1 σ, no filtering ADIS16467-2, 1 σ, no filtering ADIS16467-3, 1 σ, no filtering		0.07 0.08 0.17		°/sec rms °/sec rms °/sec rms
Rate Noise Density	ADIS16467-1, bandwidth = 10 Hz to 40 Hz ADIS16467-2, bandwidth = 10 Hz to 40 Hz ADIS16467-3, bandwidth = 10 Hz to 40 Hz		0.003 0.003 0.007		°/sec/√Hz rms °/sec/√Hz rms °/sec/√Hz rms
3 dB Bandwidth			550		Hz
Sensor Resonant Frequency			66		kHz
ACCELEROMETERS³					
Dynamic Range	Each axis				
Sensitivity	32-bit data format	±40	52,428,800		g LSB/g
Error over temperature	-40°C ≤ T_C ≤ +85°C, 1 σ		±0.1		%
Misalignment Error	Axis to axis		±0.05		Degrees
Nonlinearity	Best fit straight line, ±10 g Best fit straight line, ±20 g Best fit straight line, ±40 g		±0.02 ±0.4 ±1.5		% FS % FS % FS
Bias					
In-Run Bias Stability	1 σ, y-axis and z-axis		13		μg
Velocity Random Walk	1 σ		0.037		m/sec/√hr
Error over Temperature	-40°C ≤ T_C ≤ +85°C, 1 σ		±3		mg
Output Noise	No filtering		2.3		mg rms
Noise Density	Bandwidth = 10 Hz to 40 Hz, no filtering		100		μg/√Hz rms
3 dB Bandwidth			600		Hz
Sensor Resonant Frequency	Y-axis and z-axis		5.65		kHz
	X-axis		5.25		kHz

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
TEMPERATURE SENSOR Scale Factor	Output = 0x0000 at 0°C ($\pm 5^\circ\text{C}$)		0.1		°C/LSB
LOGIC INPUTS ⁴ Input Voltage High, V_{IH} Low, V_{IL}		2.0		0.8	V
RST Pulse Width		1			μs
CS Wake-Up Pulse Width		20			μs
Input Current Logic 1, I_{IH} Logic 0, I_{IL}	$V_{IH} = 3.3\text{ V}$ $V_{IL} = 0\text{ V}$		10		μA
All Pins Except RST RST Pin			10		μA
Input Capacitance, C_{IN}		0.33		10	mA
DIGITAL OUTPUTS Output Voltage High, V_{OH} Low, V_{OL}	$I_{SOURCE} = 0.5\text{ mA}$ $I_{SINK} = 2.0\text{ mA}$	2.4		0.4	V
FLASH MEMORY Data Retention ⁶	Endurance ⁵ $T_J = 85^\circ\text{C}$	10000 20			Cycles Years
FUNCTIONAL TIMES ⁷ Power-On Start-Up Time Reset Recovery Time	Time until data is available Register GLOB_CMD, Bit 7 = 1 (see 表 113) RST pulled low, then restored to high ⁸	259 198 198			ms
Factory Calibration Restore Flash Memory Backup Flash Memory Test Time Self Test Time ⁹	Register GLOB_CMD, Bit 1 = 1 (see 表 113) Register GLOB_CMD, Bit 3 = 1 (see 表 113) Register GLOB_CMD, Bit 4 = 1 (see 表 113) Register GLOB_CMD, Bit 2 = 1 (see 表 113)	142 72 32 14			ms
CONVERSION RATE Initial Clock Accuracy Sync Input Clock		2000 3 1.9		2.1	SPS % kHz
POWER SUPPLY, VDD Power Supply Current ¹⁰	Operating voltage range Normal mode, VDD = 3.3 V	3.0 44		3.6 55	V mA

¹ 各レンジのスケール・ファクタは表 11 に記載されています。² この測定値は、ベストフィット直線モデルからの偏差に基づいています。³ 特に指定のない限り、加速度センサーに関するすべての仕様は、 $\pm 8\text{ g}$ のフルスケール・レンジに対するものです。⁴ デジタル入出力信号には 3.3 V システムを使用しています。⁵ 書換え回数は JEDEC 規格 22、Method A117 に準拠し、 -40°C 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+125^\circ\text{C}$ で測定しています。⁶ データ保持仕様は、JEDEC 規格 22、Method A117 に準拠した 85°C のジャンクション温度 (T_J) を想定しています。データ保持寿命は T_J に伴って短くなります。⁷ これらの時間には、全体の精度に影響を与える可能性がある、熱安定時間と内部フィルタ応答時間は含まれていません。⁸ 正しくリセットを開始してデバイスを復帰させるには、RST ラインを少なくとも $10\text{ }\mu\text{s}$ にわたってローに保持する必要があります。⁹ 2000 Hz 未満の外部クロックを使用する場合、セルフ・テスト時間はこれより長くなる場合があります。¹⁰ 初回起動時やリセットによる復帰時には、電源電流のトランジェントが 100 mA に達することがあります。

タイミング仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $VDD = 3.3\text{ V}$ 。

表 2.

Parameter	Description	Normal Mode			Burst Read Mode			Unit
		Min	Typ	Max	Min ¹	Typ	Max	
f_{SCLK}	Serial clock	0.1	2	0.1	1			MHz
t_{STALL}	Stall period between data	16		N/A				μs
$t_{READRATE}$	Read rate	24						μs
t_{CS}	Chip select to SCLK edge	200		200				ns
t_{DAV}	DOUT valid after SCLK edge		25			25		ns
t_{DSU}	DIN setup time before SCLK rising edge	25		25				ns
t_{DHD}	DIN hold time after SCLK rising edge	50		50				ns
t_{SCLKR}, t_{SCLKF}	SCLK rise/fall times		5	12.5		5	12.5	ns
t_{DR}, t_{DF}	DOUT rise/fall times		5	12.5		5	12.5	ns
t_{SFS}	CS high after SCLK edge	0		0				ns
t_1	Input sync positive pulse width; pulse sync mode, Register MSC_CTRL, Bits[4:1] (binary, see 表 105)	5		5				μs
t_{STDTR}	Input sync to data ready valid transition Direct sync mode, Register MSC_CTRL, Bits[4:2] (binary, see 表 105) Pulse sync mode, Register MSC_CTRL, Bits[4:2] (binary, see 表 105)		507		507			μs
t_{NV}	Data invalid time		256		256			μs
t_2	Input sync period	20		20				μs
		500		500				μs

¹ N/A は該当なしを意味します。

タイミング図

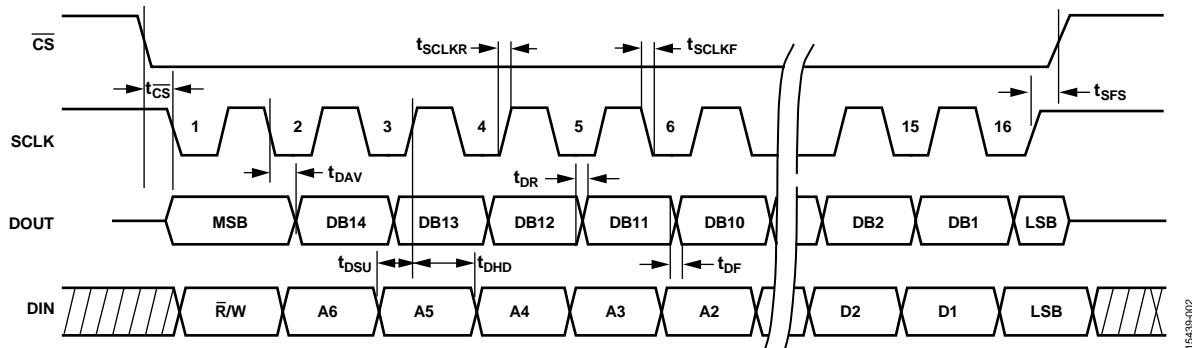


図 2. SPI のタイミングとシーケンスの図

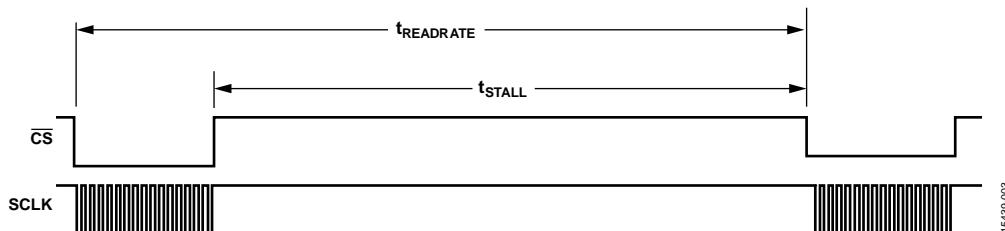


図 3. 待ち時間とデータ・レートのタイミング図

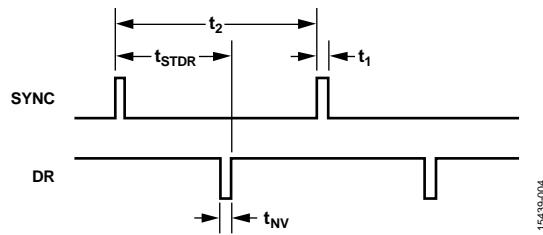


図4. 入力クロックのタイミング図
(パルス同期モード、MSC_CTRL レジスタのビット [4:2] = 101 (バイナリ))

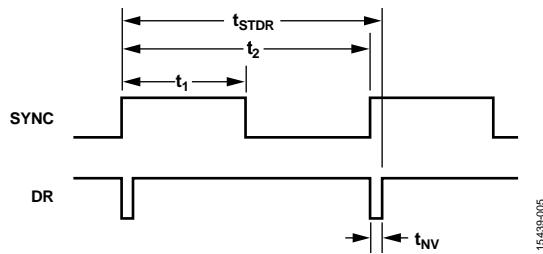


図5. 入力クロックのタイミング図
(直接同期モード、MSC_CTRL レジスタのビット [4:2] = 001 (バイナリ))

絶対最大定格

表 3.

Parameter	Rating
Mechanical Shock Survivability	
Any Axis, Unpowered	2000 g
Any Axis, Powered	2000 g
VDD to GND	-0.3 V to +3.6 V
Digital Input Voltage to GND	-0.3 V to VDD + 0.2 V
Digital Output Voltage to GND	-0.3 V to VDD + 0.2 V
Calibration Temperature Range	-40°C to +85°C
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range ¹	-65°C to +150°C
Barometric Pressure	2 bar

¹ -40 °C 未満の低温、または +105 °C を超える高温下に長時間放置すると、工場出荷時のキャリブレーション精度に悪影響を与える可能性があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

ADIS16467 は多数の能動部品を含むマルチチップ・モジュールです。表 4 に示す値は、ADIS16467 内部の最も高温の部品の熱応答を、モジュールの全消費電力の範囲で示したものです。この方法では、周囲温度またはケース温度に基づいて、最も高いジャングルクション温度を簡単な方法で予測することができます。

例えば周囲温度が 70 °C の場合、ADIS16467 内部の最も高いジャングルクション温度 (T_J) は 75.3 °C です。

$$T_J = \theta_{JA} \times VDD \times I_{DD} + 70 \text{ °C}$$

$$T_J = 36.5 \text{ °C/W} \times 3.3 \text{ V} \times 0.044 \text{ A} + 70 \text{ °C}$$

$$T_J = 75.3 \text{ °C}$$

表 4. 热抵抗

Package Type	θ_{JA} ¹	θ_{JC} ²	Mass (g)
ML-14-6 ³	36.5°C/W	16.9°C/W	15

¹ θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流でのジャングルクションから周囲への熱抵抗です。

² θ_{JC} は、ジャングルクションからケースへの熱抵抗です。

³ 热抵抗の値は、ADIS16467 を 2 層の金属層からなる厚さ 0.063 インチの FR4-08 PCB に取り付け、その内部の最高温度を直接測定した値に基づいています。

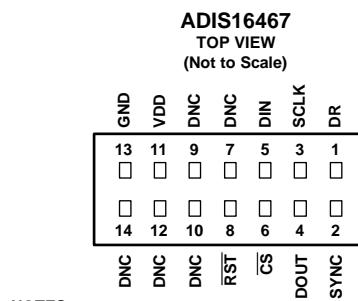
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THIS REPRESENTS THE PIN ASSIGNMENTS WHEN LOOKING DOWN AT THE CONNECTOR. SEE FIGURE 7.
2. MATING CONNECTOR:
SAMTEC CLM-107-02 SERIES OR EQUIVALENT.
3. DNC = DO NOT CONNECT.

図 6. ピン配置（底面の上面図）

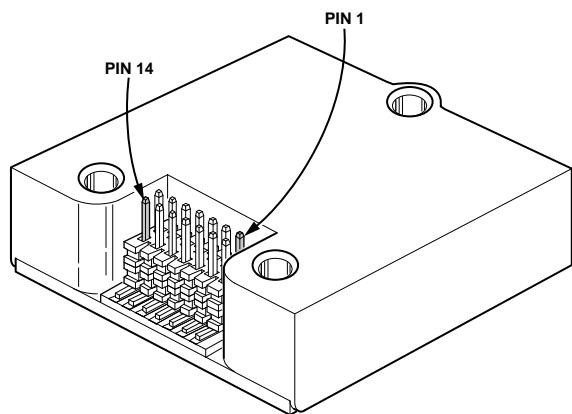


図 7. ピン配置（パッケージ全体図）

15439-007

表 5. ピン機能の説明

Pin No.	Mnemonic	Type	Description
1	DR	Output	データ・レディ・インジケータ。
2	SYNC	Input/output	外部同期の入出力 (MSC_CTRL による)。表 105 を参照してください。
3	SCLK	Input	SPI シリアル・クロック。
4	DOUT	Output	SPI データ出力。このピンは SCLK の立下がりエッジでクロック出力します。
5	DIN	Input	SPI データ入力。このピンは SCLK の立上がりエッジでクロック入力します。
6	CS	Input	SPI チップ・セレクト。
7	DNC	Not applicable	接続なし。このピンには接続しないでください。
8	RST	Input	リセット。
9	DNC	Not applicable	接続なし。このピンには接続しないでください。
10	DNC	Not applicable	接続なし。このピンには接続しないでください。
11	VDD	Supply	電源。
12	DNC	Not applicable	接続なし。このピンには接続しないでください。
13	GND	Supply	電源グラウンド。
14	DNC	Not applicable	接続なし。このピンには接続しないでください。

代表的な性能特性

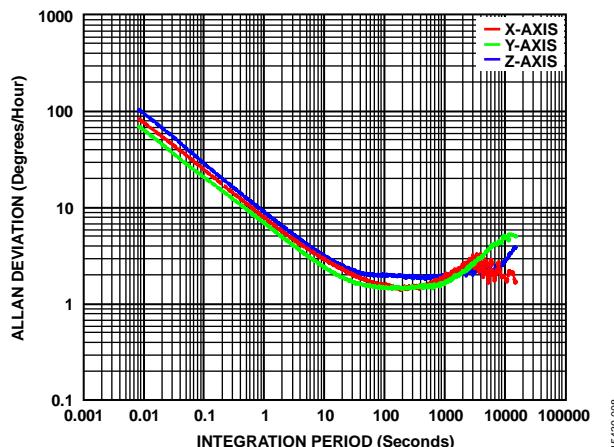


図 8. ジャイロ・センサーのアラン偏差、 $T_c = 25^{\circ}\text{C}$ 、
ADIS16467-1

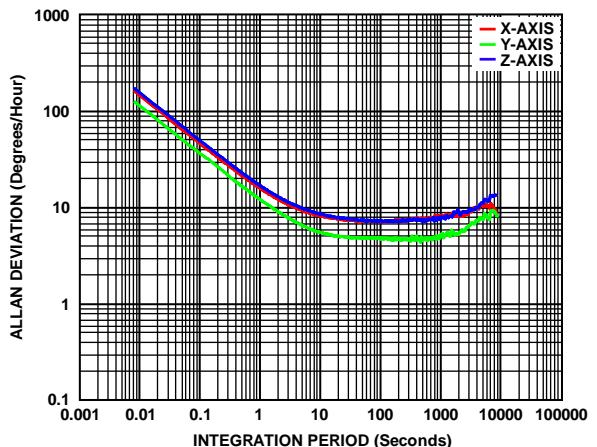


図 10. ジャイロ・センサーのアラン偏差、 $T_c = 25^{\circ}\text{C}$ 、
ADIS16467-3

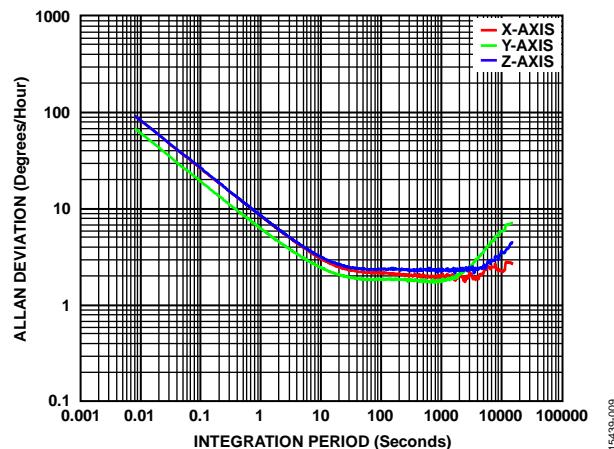


図 9. ジャイロ・センサーのアラン偏差、 $T_c = 25^{\circ}\text{C}$ 、
ADIS16467-2

動作原理

はじめに

ユーザ設定可能なすべての制御レジスタに工場出荷時のデフォルト構成を使用した場合、ADIS16467 は自動的に初期化を行い、補正されたセンサー・データのサンプリングと処理を行って出力レジスタに 2000 SPS のレートで出力するという連続プロセスを開始します。

慣性センサーのシグナル・チェーン

ADIS16467 が内蔵している慣性センサーの基本的なシグナル・チェーンを図 11 に示します。内部クロック・モード（デフォルト設定、表 105 の MSC_CTRL レジスタのビット [4:2] を参照）で動作する場合、このシグナル・チェーンによって、出力データ・レジスタは 2000 SPS のレートで更新されます。

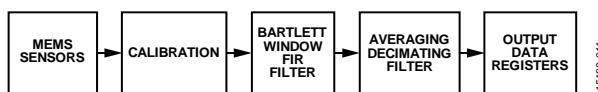


図 11. 慣性センサーの信号処理の流れ

ジャイロ・センサーのデータ・サンプリング

3 つのジャイロ・センサーによって、3 つの直交軸 (x, y, z) の周りの角速度測定が行われます。ADIS16467 が内部クロック・モード（デフォルト設定、表 105 の MSC_CTRL レジスタのビット [4:2] を参照）で動作する場合の、各ジャイロ・センサーのデータ・サンプリング方法を図 12 に示します。各ジャイロ・センサーには、A/D コンバータ (ADC) と、データ・サンプリングを 4100 Hz ($\pm 5\%$) のレートで駆動するサンプル・クロック (f_{SG}) が備わっています。内蔵プロセッサは、各ジャイロ・センサーのこのデータを 2000 Hz のレート (f_{SM}) で読み出し、処理します。

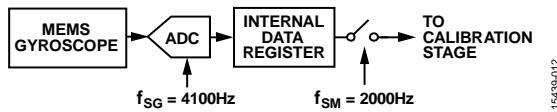


図 12. ジャイロ・センサーのデータ・サンプリング

加速度センサーのデータ・サンプリング

3 つの加速度センサーによって、ジャイロ・センサーと同じ直交軸 (x, y, z) 方向の直線加速度測定が行われます。ADIS16467 が内部クロック・モード（デフォルト設定、表 105 の MSC_CTRL レジスタのビット [4:2] を参照）で動作する場合の、各加速度センサーのデータ・サンプリング方法を図 13 に示します。

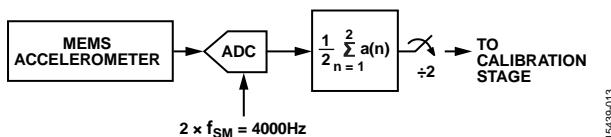


図 13. 加速度センサーのデータ・サンプリング

外部クロック・オプション

ADIS16467 は 3 通りの異なる動作モードを備えており、SYNC ピン経由で外部クロックによって内部処理レート（図 12 と図 13 の f_{SM} ）を制御するデバイスにも対応しています。MSC_CTRL レジスタ（表 105 参照）のビット [4:2] に、これらの外部クロック・モードの設定オプションが用意されています。

慣性センサーのキャリブレーション

ジャイロ・センサーと加速度センサーに対して行われる慣性センサーのキャリブレーション機能には、工場出荷時のキャリブレーションとユーザ・キャリブレーションの 2 つの要素があります（図 14 参照）。

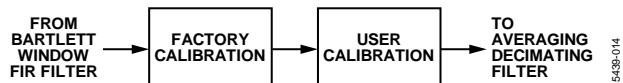


図 14. 慎性センサーのキャリブレーション過程

工場出荷時のジャイロ・センサーのキャリブレーションでは、次の相関式を各ジャイロ・センサーのデータに適用しています。

$$\begin{bmatrix} \omega_{XC} \\ \omega_{YC} \\ \omega_{ZC} \end{bmatrix} = \begin{bmatrix} m_{11} & m_{12} & m_{13} \\ m_{21} & m_{22} & m_{23} \\ m_{31} & m_{32} & m_{33} \end{bmatrix} \times \begin{bmatrix} \omega_X \\ \omega_Y \\ \omega_Z \end{bmatrix} + \begin{bmatrix} b_X \\ b_Y \\ b_Z \end{bmatrix} + \begin{bmatrix} l_{11} & l_{12} & l_{13} \\ l_{21} & l_{22} & l_{23} \\ l_{31} & l_{32} & l_{33} \end{bmatrix} \times \begin{bmatrix} a_{XC} \\ a_{YC} \\ a_{ZC} \end{bmatrix}$$

ここで
 ω_{XC} , ω_{YC} , ω_{ZC} はジャイロ・センサーのキャリブレーション後の出力、

m_{11} , m_{12} , m_{13} , m_{21} , m_{22} , m_{23} , m_{31} , m_{32} , m_{33} はスケールとアライメントの補正、

ω_X , ω_Y , ω_Z はジャイロ・センサーのキャリブレーション前の出力、

b_X , b_Y , b_Z はバイアス補正、

l_{11} , l_{12} , l_{13} , l_{21} , l_{22} , l_{23} , l_{31} , l_{32} , l_{33} は直線 g 補正、

a_{XC} , a_{YC} , a_{ZC} は加速度センサーのキャリブレーション後の出力です。

この関係式の補正係数はすべて、各ジャイロ・センサーの応答をキャリブレーション温度範囲 ($-40^{\circ}\text{C} \leq T_c \leq +85^{\circ}\text{C}$) にわたって複数の温度で直接測定した値に基づいています。これらの補正係数はフラッシュ・メモリ・バンクに保存されますが、測定用や設定用には使用できません。MSC_CTRL レジスタのビット 7（表 105 参照）は、ジャイロ・センサーの工場出荷時のキャリブレーション値に対する唯一のユーザ設定オプション（直線 g 補正のオン／オフ制御）を提供します。ジャイロ・センサーに使用可能なユーザ・キャリブレーション・オプションの詳細については、図 37 を参照してください。

工場出荷時の加速度センサーのキャリブレーションでは、次の相関式を各加速度センサーのデータに適用しています。

$$\begin{bmatrix} a_{XC} \\ a_{YC} \\ a_{ZC} \end{bmatrix} = \begin{bmatrix} m_{11} & m_{12} & m_{13} \\ m_{21} & m_{22} & m_{23} \\ m_{31} & m_{32} & m_{33} \end{bmatrix} \times \begin{bmatrix} a_X \\ a_Y \\ a_Z \end{bmatrix} + \begin{bmatrix} b_X \\ b_Y \\ b_Z \end{bmatrix} +$$

$$\begin{bmatrix} 0 & p_{12} & p_{13} \\ p_{21} & 0 & p_{23} \\ p_{31} & p_{32} & 0 \end{bmatrix} \times \begin{bmatrix} \omega_{XC}^2 \\ \omega_{YC}^2 \\ \omega_{ZC}^2 \end{bmatrix}$$

ここで

a_{XC} 、 a_{YC} 、 a_{ZC} は加速度センサーのキャリブレーション後の出力、 m_{11} 、 m_{12} 、 m_{13} 、 m_{21} 、 m_{22} 、 m_{23} 、 m_{31} 、 m_{32} 、 m_{33} はスケールとアライメントの補正、 a_X 、 a_Y 、 a_Z は加速度センサーのキャリブレーション前の出力、 b_X 、 b_Y 、 b_Z はバイアス補正、 p_{12} 、 p_{13} 、 p_{21} 、 p_{23} 、 p_{31} 、 p_{32} は振動ポイント・アライメントの補正（図 40 参照）、 ω_{XC}^2 、 ω_{YC}^2 、 ω_{ZC}^2 はジャイロ・センサーのキャリブレーション後の出力を二乗したものです。

この関係式の補正係数はすべて、各加速度センサーの応答をキャリブレーション温度範囲 ($-40^{\circ}\text{C} \leq T_c \leq +85^{\circ}\text{C}$) にわたって複数の温度で直接測定した値に基づいています。これらの補正係数はフラッシュ・メモリ・バンクに保存されますが、測定用や設定用には使用できません。MSC_CTRL レジスタのビット 6（表 105 参照）は、加速度センサーの工場出荷時のキャリブレーション値に対する唯一のユーザ設定オプション（振動ポイント・アライメント機能のオン／オフ制御）を提供します。加速度センサーに使用可能なユーザ・キャリブレーション・オプションの詳細については、図 38 を参照してください。

バートレット・ウインドウ FIR (有限インパルス応答) フィルタ

バートレット・ウインドウ FIR フィルタ（図 15 参照）では、2つの平均化フィルタ段が直列に構成されています。FILT_CTRL レジスタ（表 101 参照）によって、このフィルタの構成が制御されます。

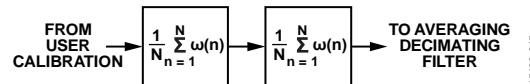


図 15. バートレット・ウインドウ FIR フィルタの信号経路

平均化／デシメーション・フィルタ

2段目のデジタル・フィルタで複数のサンプルが全体で平均化され、各レジスタが更新されます。このタイプのフィルタ構造では、平均化するサンプル数が出力データ・レジスタの更新レートの削減数と等しくなります。DEC_RATE レジスタ（表 109 参照）によって、このフィルタの構成が制御されます。

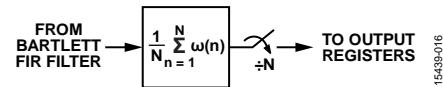


図 16. 平均化／デシメーション・フィルタ

レジスタ構造

ADIS16467 と外部プロセッサ間のすべての通信では、出力レジスタの内容の読み出し、または設定情報やコマンド情報の制御レジスタへの書き込みが行われます。出力データ・レジスタには、最新のセンサー・データ、エラー・フラグ、および識別情報が格納されます。制御レジスタには、サンプル・レート、フィルタリング、キャリブレーション、および診断オプションが格納されます。ユーザ・アクセスが可能な各レジスタは 2 バイト構成（上位および下位）で、それぞれに固有のアドレスがあります。すべてのユーザ・レジスタとそのアドレスの詳細な一覧については、表 8 を参照してください。

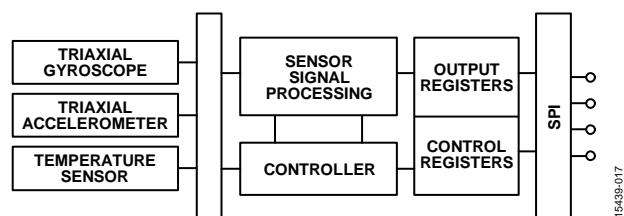


図 17. ADIS16467 の基本動作

シリアル・ペリフェラル・インターフェース (SPI)

SPI は、ユーザ・レジスタへのアクセスを可能にします（表 8 参照）。図 18 に、ADIS16467 と SPI マスター・デバイス間の最も一般的な接続を示します。マスター・デバイスは、多くの場合、SPI 互換のインターフェースを持つ組み込みプロセッサです。この例では、SPI マスターは割込みサービス・ルーチンを使用して、データ・レディ (DR) 信号パルスを受信するたびにデータを取得します。

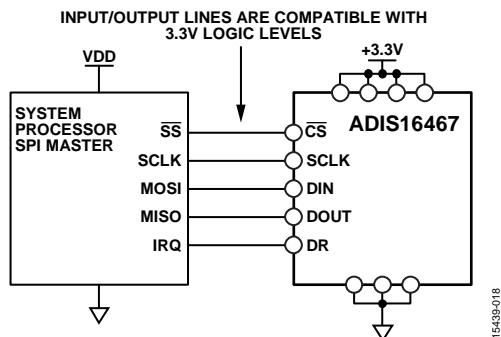


図 18. 電気接続図

表 6. 一般的な SPI マスター・ピンの記号と機能

Mnemonic	Function
SS	Slave select
SCLK	Serial clock
MOSI	Master output, slave input
MISO	Master input, slave output
IRQ	Interrupt request

通常、組み込みプロセッサは、制御レジスタを使用してそのシリアル・ポートを設定し、ADIS16467 などの SPI スレーブ・デバイスと通信します。ADIS16467 の SPI プロトコルを記述する設定一覧を、表 7 に示します。通常、これらの設定は、ファームウェア・コマンドを使ってマスター・プロセッサの初期化ルーチンで行われ、設定内容は制御レジスタに書き込まれます。

表 7. 一般的なマスター・プロセッサの SPI 設定

Processor Setting	Description
Master	ADIS16467 operates as slave
SCLK \leq 2 MHz ¹	Maximum serial clock rate
SPI Mode 3	CPOL = 1 (polarity), CPHA = 1 (phase)
MSB First Mode	Bit sequence, see Figure 23 for coding
16-Bit Mode	Shift register and data length

¹ パースト・モード読出しへは、この値を 1 MHz 以下にする必要があります（詳細については表 2 を参照）。

データ・レディ (DR)

工場出荷時のデフォルト設定では、出力データ・レジスタの更新時に DR 信号を DR ピン（表 5 参照）にパルス出力するようになっています。この DR ピンを組み込みプロセッサのピンに接続すると、このパルスの 2 つ目のエッジでデータ取得がトリガれます。MSC_CTRL レジスタのビット 0（表 105 参照）で、この信号の極性が制御されます。図 19 に、MSC_CTRL レジスタのビット 0 = 1 の例を示します。この場合、データ取得は DR パルスの立上がりで開始することになります。



図 19. MSC_CTRL レジスタのビット 0 = 1 (デフォルト) の場合のデータ・レディ

起動時やリセットからの復帰時、データの生成が始まる前に DR 信号に過渡応答が見られる場合があります。図 20 に起動時の DR 応答の例、図 21 と図 22 にリセット・コマンドからの復帰時の DR 応答の例を示します。

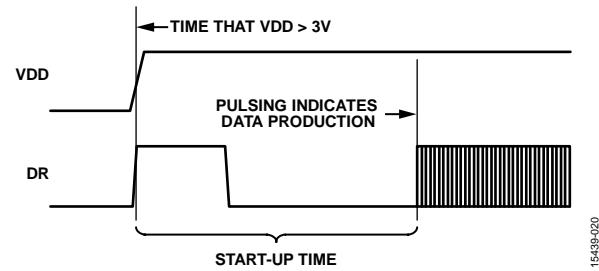


図 20. 起動時のデータ・レディ応答

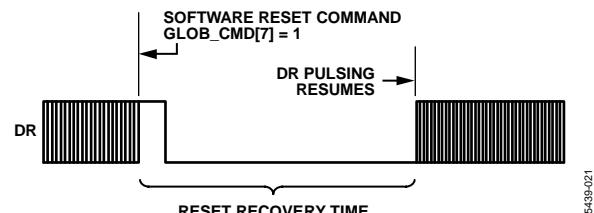
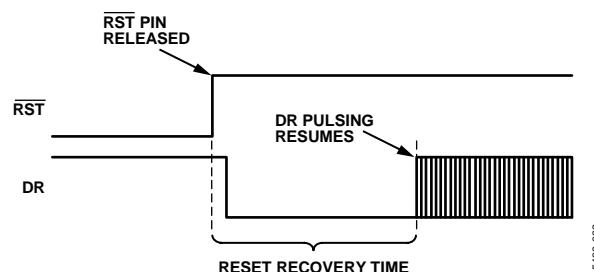
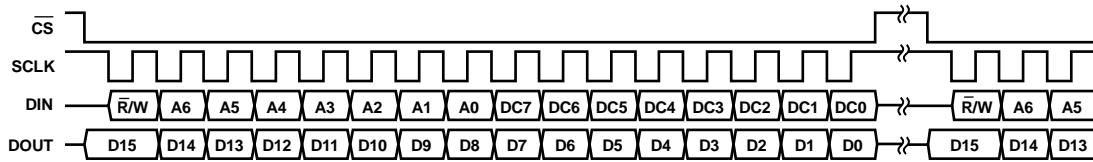


図 21. リセット (GLOB_CMD レジスタのビット 7 = 1) からの復帰中のデータ・レディ応答

図 22. リセット ($\overline{RST} = 0$) からの復帰中のデータ・レディ応答



NOTES

1. DOUT BITS ARE PRODUCED ONLY WHEN THE PREVIOUS 16-BIT DIN SEQUENCE STARTS WITH R/W = 0.
2. WHEN CS IS HIGH, DOUT IS IN A THREE-STATE, HIGH IMPEDANCE MODE, WHICH ALLOWS MULTIFUNCTIONAL USE OF THE LINE FOR OTHER DEVICES.

15439-023

図 23. SPI 通信のビット・シーケンス

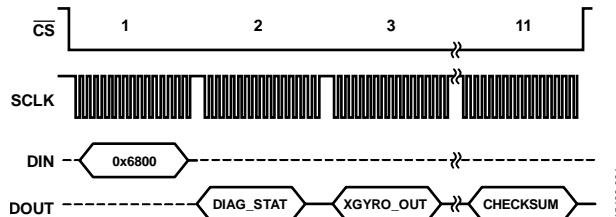


図 24. バースト読出しシーケンス

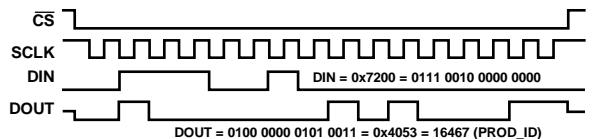


図 25. SPI の信号パターン (PROD_ID レジスタの繰り返し読出し)

センサー・データの読み出し

1つのレジスタを読み出すには、SPI 上に 2つの 16 ビット・サイクルが必要です。1つはレジスタの内容を要求するサイクル、もう1つはその内容を受信するサイクルです。SPI での読み出しが用いる 16 ビット・コマンド・コード (図 23 参照) は、読み出しひび (R/W = 0) 、レジスタのアドレス ([A6:A0]) 、8 個のドントケア・ビット ([DC7:DC0]) の3つの部分で構成されます。連続する 2つのレジスタ読み出しが含まれる例を、図 26 に示します。この例は、Z_GYRO_LOW レジスタの内容を要求するために DIN = 0x0C00 から始まり、Z_GYRO_OUT レジスタの内容を要求するために 0x0E00 がこれに続きます。また、図 26 のシーケンスは、完全に二重の動作モードも示します。すなわち、ADIS16467 は DIN で要求を受信する一方、同じ 16 ビット SPI サイクルの間に、DOUT への出力データの送信も行います。



図 26. SPI 読出しの例

繰り返しパターンで PROD_ID レジスタを読み出すときの 4つの SPI 信号の例を、図 25 に示します (表 121 参照)。このパターンは、最初のサイクルを除き、信号が各 16 ビット・シーケンスで同一なので、SPI インターフェースの設定や通信のトラブルシューティング時に役立てるこどもできます。

バースト読出し機能

バースト読出し機能は、最大 1 MHz (SCLK) のレートで連続的に流れるビットを使用して、出力データ・レジスタ群を一括で読み出すための方法です。この方法では、各 16 ビット・セグメント間の待ち時間は不要です (図 3 参照)。図 24 に示すように、DIN = 0x6800 と設定してこのモードを開始し、次にこのシーケンスの中で DOUT から各レジスタの内容を読み出します。このとき、CS は 176 ビットのシーケンス全体にわたってローに保持されます。

バースト読出し応答でのレジスタのシーケンス (およびチェックサム値) は、ADIS16467 がどのサンプル・クロック・モード (MSC_CTRL レジスタのビット [4:2]、表 105 参照) で動作しているかによって異なります。スケーリング同期モード (MSC_CTRL レジスタのビット [4:2] = 010) で動作する場合を除くすべてのクロック・モードで、バースト読出し応答は次のレジスタおよび値で構成されます: DIAG_STAT、X_GYRO_OUT、Y_GYRO_OUT、Z_GYRO_OUT、X_ACCL_OUT、Y_ACCL_OUT、Z_ACCL_OUT、TEMP_OUT、DATA_CNTR、およびチェックサム値。これらの場合、次の式を使用してチェックサム値を検証します。なお、式中の各バイオトは、独立した符号なしの 8 ビット数として扱います:

$$\begin{aligned}
 \text{チェックサム} = & \text{DIAG_STAT のビット } [15:8] + \text{DIAG_STAT のビット } [7:0] + \\
 & \text{X_GYRO_OUT のビット } [15:8] + \text{X_GYRO_OUT のビット } [7:0] + \\
 & \text{Y_GYRO_OUT のビット } [15:8] + \text{Y_GYRO_OUT のビット } [7:0] + \\
 & \text{Z_GYRO_OUT のビット } [15:8] + \text{Z_GYRO_OUT のビット } [7:0] + \\
 & \text{X_ACCL_OUT のビット } [15:8] + \text{X_ACCL_OUT のビット } [7:0] + \\
 & \text{Y_ACCL_OUT のビット } [15:8] + \text{Y_ACCL_OUT のビット } [7:0] + \\
 & \text{Z_ACCL_OUT のビット } [15:8] + \text{Z_ACCL_OUT のビット } [7:0] + \\
 & \text{TEMP_OUT のビット } [15:8] + \text{TEMP_OUT のビット } [7:0] + \\
 & \text{DATA_CNTR のビット } [15:8] + \text{DATA_CNTR のビット } [7:0]
 \end{aligned}$$

スケーリング同期モード (MSC_CTRL レジスタのビット [4:2] = 010) で動作する場合は、バースト読出し応答は次のレジスタおよび値で構成されます :DIAG_STAT、X_GYRO_OUT、Y_GYRO_OUT、Z_GYRO_OUT、X_ACCL_OUT、Y_ACCL_OUT、Z_ACCL_OUT、TEMP_OUT、TIME_STAMP、およびチェックサム値。この場合、次の式を使用してチェックサム値を検証します。なお、式中の各バイトは、独立した符号なしの 8 ビット数として扱います：

チェックサム = DIAG_STAT のビット [15:8] + DIAG_STAT のビット [7:0] +
 X_GYRO_OUT のビット [15:8] + X_GYRO_OUT のビット [7:0]
 +
 Y_GYRO_OUT のビット [15:8] + Y_GYRO_OUT のビット [7:0]
 +
 Z_GYRO_OUT のビット [15:8] + Z_GYRO_OUT のビット [7:0]
 +
 X_ACCL_OUT のビット [15:8] + X_ACCL_OUT のビット [7:0]
 +
 Y_ACCL_OUT のビット [15:8] + Y_ACCL_OUT のビット [7:0] +
 Z_ACCL_OUT のビット [15:8] + Z_ACCL_OUT のビット [7:0] +
 TEMP_OUT のビット [15:8] + TEMP_OUT のビット [7:0] +
 TIME_STAMP のビット [15:8] + TIME_STAMP のビット [7:0]

デバイスの設定

各設定レジスタは 16 ビット (2 バイト) で構成されます。ビット [7:0] には各レジスタの下位バイトが格納され、ビット [15:8] には上位バイトが格納されます。各バイトには、ユーザ・レジスタ・マップ内の固有アドレスが割り当てられます (表 8 参照)。レジスタの内容を更新するには、先に下位バイト、次に上位バイトのシーケンスで書き込む必要があります。レジスタに新しいデータ・バイトを書き込む SPI コマンドのコーディングは、3 つの部分からなります (図 23 参照)：書き込みビット (R/W = 1)、バイトのアドレス ([A6:A0])、およびその位置に書き込む新しいデータ ([DC7:DC0]) です。図 27 に、FILT_CTRL レジスタに 0x0004 を書き込むコーディング例を示します (表 101 参照)。図 27 では、0xDC04 コマンドによって 0x04 がアドレス 0x5C (下位バイト) に書き込まれ、0xDD00 コマンドによって 0x00 がアドレス 0x5D (上位バイト) に書き込まれています。

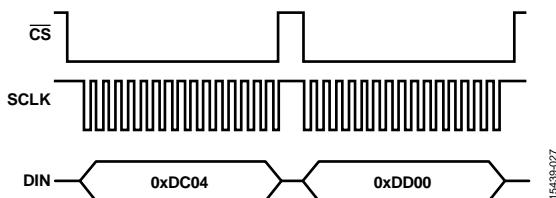


図 27. FILT_CTRL に 0x0004 を書き込むための SPI シーケンス

メモリ構造

ADIS16467 のメモリ構造の機能図を図 28 に示します。フラッシュ・メモリ・バンクは、動作コード、ユニット固有のキャリブレーション係数、ユーザ設定値などで構成されます。初期化 (電力投入時またはリセット復帰時) 中に、この情報がフラッシュ・メモリから、スタティック・ランダム・アクセス・メモリ (SRAM) にロードされます。これにより、SPI ポートを介したレジスタへのアクセスを含むすべての通常動作がサポートされます。SPI を使用して設定レジスタに書込みを行うことで、レジスタの SRAM 位置指定は更新されますが、フラッシュ・メモリ・バンクの設定は自動的には更新されません。手動のフラッシュ・メモリ更新コマンド (GLOB_CMD レジスタのビット 3、表 113 を参照) は、これらのすべての設定を一度にフラッシュ・メモリ・バンクに保存できる便利な方法です。表 8 の Flash Backup 列にある「yes」は、フラッシュ・メモリ・バンクのストレージ・サポート機能を持つレジスタを意味します。

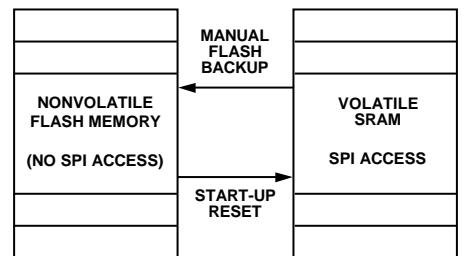


図 28. SRAM とフラッシュ・メモリの図

ユーザ・レジスタのメモリ・マップ

表 8. ユーザ・レジスタのメモリ・マップ (N/A は該当なしを示す)

Name	R/W	Flash Backup	Address	Default	Register Description
Reserved	N/A	N/A	0x00, 0x01	N/A	予備
DIAG_STAT	R	No	0x02, 0x03	0x0000	出力、システム・エラー・フラグ
X_GYRO_LOW	R	No	0x04, 0x05	N/A	出力、x 軸ジャイロ・センサー、下位ワード
X_GYRO_OUT	R	No	0x06, 0x07	N/A	出力、x 軸ジャイロ・センサー、上位ワード
Y_GYRO_LOW	R	No	0x08, 0x09	N/A	出力、y 軸ジャイロ・センサー、下位ワード
Y_GYRO_OUT	R	No	0x0A, 0x0B	N/A	出力、y 軸ジャイロ・センサー、上位ワード
Z_GYRO_LOW	R	No	0x0C, 0x0D	N/A	出力、z 軸ジャイロ・センサー、下位ワード
Z_GYRO_OUT	R	No	0x0E, 0x0F	N/A	出力、z 軸ジャイロ・センサー、上位ワード
X_ACCL_LOW	R	No	0x10, 0x11	N/A	出力、x 軸加速度センサー、下位ワード
X_ACCL_OUT	R	No	0x12, 0x13	N/A	出力、x 軸加速度センサー、上位ワード
Y_ACCL_LOW	R	No	0x14, 0x15	N/A	出力、y 軸加速度センサー、下位ワード
Y_ACCL_OUT	R	No	0x16, 0x17	N/A	出力、y 軸加速度センサー、上位ワード
Z_ACCL_LOW	R	No	0x18, 0x19	N/A	出力、z 軸加速度センサー、下位ワード
Z_ACCL_OUT	R	No	0x1A, 0x1B	N/A	出力、z 軸加速度センサー、上位ワード
TEMP_OUT	R	No	0x1C, 0x1D	N/A	出力、温度
TIME_STAMP	R	No	0x1E, 0x1F	N/A	出力、タイム・スタンプ
Reserved	N/A	N/A	0x20, 0x21	N/A	予備
DATA_CNTR	R	No	0x22, 0x23	N/A	新データ・カウンタ
X_DELTANG_LOW	R	No	0x24, 0x25	N/A	出力、x 軸角度変化、下位ワード
X_DELTANG_OUT	R	No	0x26, 0x27	N/A	出力、x 軸角度変化、上位ワード
Y_DELTANG_LOW	R	No	0x28, 0x29	N/A	出力、y 軸角度変化、下位ワード
Y_DELTANG_OUT	R	No	0x2A, 0x2B	N/A	出力、y 軸角度変化、上位ワード
Z_DELTANG_LOW	R	No	0x2C, 0x2D	N/A	出力、z 軸角度変化、下位ワード
Z_DELTANG_OUT	R	No	0x2E, 0x2F	N/A	出力、z 軸角度変化、上位ワード
X_DELTVEL_LOW	R	No	0x30, 0x31	N/A	出力、x 軸速度変化、下位ワード
X_DELTVEL_OUT	R	No	0x32, 0x33	N/A	出力、x 軸速度変化、上位ワード
Y_DELTVEL_LOW	R	No	0x34, 0x35	N/A	出力、y 軸速度変化、下位ワード
Y_DELTVEL_OUT	R	No	0x36, 0x37	N/A	出力、y 軸速度変化、上位ワード
Z_DELTVEL_LOW	R	No	0x38, 0x39	N/A	出力、z 軸速度変化、下位ワード
Z_DELTVEL_OUT	R	No	0x3A, 0x3B	N/A	出力、z 軸速度変化、上位ワード
Reserved	N/A	N/A	0x3C to 0x3F	N/A	予備
XG_BIAS_LOW	R/W	Yes	0x40, 0x41	0x0000	キャリブレーション、オフセット、ジャイロ・センサー、x 軸、下位ワード
XG_BIAS_HIGH	R/W	Yes	0x42, 0x43	0x0000	キャリブレーション、オフセット、ジャイロ・センサー、x 軸、上位ワード
YG_BIAS_LOW	R/W	Yes	0x44, 0x45	0x0000	キャリブレーション、オフセット、ジャイロ・センサー、y 軸、下位ワード
YG_BIAS_HIGH	R/W	Yes	0x46, 0x47	0x0000	キャリブレーション、オフセット、ジャイロ・センサー、y 軸、上位ワード
ZG_BIAS_LOW	R/W	Yes	0x48, 0x49	0x0000	キャリブレーション、オフセット、ジャイロ・センサー、z 軸、下位ワード
ZG_BIAS_HIGH	R/W	Yes	0x4A, 0x4B	0x0000	キャリブレーション、オフセット、ジャイロ・センサー、z 軸、上位ワード
XA_BIAS_LOW	R/W	Yes	0x4C, 0x4D	0x0000	キャリブレーション、オフセット、加速度センサー、x 軸、下位ワード
XA_BIAS_HIGH	R/W	Yes	0x4E, 0x4F	0x0000	キャリブレーション、オフセット、加速度センサー、x 軸、上位ワード
YA_BIAS_LOW	R/W	Yes	0x50, 0x51	0x0000	キャリブレーション、オフセット、加速度センサー、y 軸、下位ワード
YA_BIAS_HIGH	R/W	Yes	0x52, 0x53	0x0000	キャリブレーション、オフセット、加速度センサー、y 軸、上位ワード
ZA_BIAS_LOW	R/W	Yes	0x54, 0x55	0x0000	キャリブレーション、オフセット、加速度センサー、z 軸、下位ワード
ZA_BIAS_HIGH	R/W	Yes	0x56, 0x57	0x0000	キャリブレーション、オフセット、加速度センサー、z 軸、上位ワード
Reserved	N/A	N/A	0x58 to 0x5B	N/A	予備
FILT_CTRL	R/W	Yes	0x5C, 0x5D	0x0000	制御、パートレット・ウインドウ FIR (有限インパルス応答) フィルタ
RANG_MDL	R	No	0x5E, 0x5F	N/A ¹	測定範囲 (モデル固有) 識別子
MSC_CTRL	R/W	Yes	0x60, 0x61	0x00C1	制御、入出力およびその他各種オプション
UP_SCALE	R/W	Yes	0x62, 0x63	0x07D0	制御、入力クロックのスケール・ファクタ、パルス毎秒 (PPS) モード
DEC_RATE	R/W	Yes	0x64, 0x65	0x0000	制御、デシメーション・フィルタ (出力データ・レート)

Name	R/W	Flash Backup	Address	Default	Register Description
NULL_CNFG	R/W	Yes	0x66, 0x67	0x070A	制御、バイアス推定時間
GLOB_CMD	W	No	0x68, 0x69	N/A	制御、グローバル・コマンド
Reserved	N/A	N/A	0x6A to 0x6B	N/A	予備
FIRM_REV	R	No	0x6C, 0x6D	N/A	ID、ファームウェア・リビジョン
FIRM_DM	R	No	0x6E, 0x6F	N/A	ID、日付コード、日および月
FIRM_Y	R	No	0x70, 0x71	N/A	ID、日付コード、年
PROD_ID	R	No	0x72, 0x73	0x4053	ID、デバイス番号
SERIAL_NUM	R	No	0x74, 0x75	N/A	ID、シリアル番号
USER_SCR_1	R/W	Yes	0x76, 0x77	N/A	ユーザ・スクラッチ・レジスタ 1
USER_SCR_2	R/W	Yes	0x78, 0x79	N/A	ユーザ・スクラッチ・レジスタ 2
USER_SCR_3	R/W	Yes	0x7A, 0x7B	N/A	ユーザ・スクラッチ・レジスタ 3
FLSHCNT_LOW	R	No	0x7C, 0x7D	N/A	出力、フラッシュ・メモリ書き込みサイクル・カウンタ、下位バイト
FLSHCNT_HIGH	R	No	0x7E, 0x7E	N/A	出力、フラッシュ・メモリ書き込みサイクル・カウンタ、上位バイト

¹ このレジスタのデフォルト値（モデル固有）については、表 102 を参照してください。

ユーザ・レジスタ定義

ステータス／エラー・フラグ・インジケータ (DIAG_STAT)

表 9. DIAG_STAT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x02, 0x03	0x0000	R	No

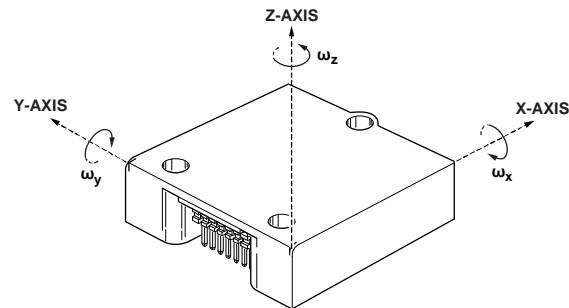
表 10. DIAG_STAT のビット割り当て

Bits	Description
[15:8]	予備
7	クロック・エラー。「1」は、内部データ・サンプリング・クロック (f _{SM} 、図 12 および図 13 参照) が外部クロックと同期していないことを示します。これは、スケーリング同期モード (MSC_CTRL レジスタのビット [4:2] = 010、表 105 参照) を使用している場合にのみ適用されます。このエラーが発生した場合、適切な範囲内で動作するように SYNC ピンのクロック信号の周波数を調整してください。
6	メモリ故障。「1」はフラッシュ・メモリ・テスト (GLOB_CMD レジスタのビット 4、表 113 参照) に失敗したことを示します。このテストには、現在のフラッシュ・メモリの巡回冗長検査 (CRC) の計算と同じメモリの場所の初期プログラミング時 (生成プロセス中) の CRC 計算との比較が含まれます。このエラーが発生した場合、同じテストを繰り返します。それでもエラーが続く場合は ADIS16467 を交換してください。
5	センサー故障。「1」は、セルフ・テスト (GLOB_CMD レジスタのビット 2、表 113 参照) の結果、少なくとも 1 つのセンサーが故障していることを示します。このエラーが発生した場合、同じテストを繰り返します。それでもエラーが続く場合は ADIS16467 を交換してください。このテストの実行中にデバイスを動かすと、誤って故障と判定される場合があります。
4	スタンバイ・モード。「1」は、VDD と GND 間の電圧が 2.8 V 未満であることを示します。これはデータ処理が停止する原因となります。VDD が 250 ms の間 2.8 V 以上を維持すると、ADIS16467 は再初期化され、再びデータ生成を開始します。
3	SPI 通信エラー。「1」は、SCLK サイクルの合計数が 16 の整数倍でないことを示します。このエラーが発生した場合、その前の通信シーケンスを繰り返します。それでもエラーが続く場合、ADIS16467 がサポートしているシステムからの SPI 信号が弱い可能性があります。
2	フラッシュ・メモリ更新の故障。「1」は、最後に行行ったフラッシュ・メモリの更新 (GLOB_CMD レジスタのビット 3、表 113 参照) が失敗したことを示します。このエラーが発生した場合、VDD が 3 V 以上であることを確認し、更新を繰り返してみます。それでもエラーが続く場合は ADIS16467 を交換してください。
1	データバス・オーバーラン。「1」は、データバスの 1 つがオーバーラン状態になっていることを示します。このエラーが発生した場合、RST ピン (表 5 のピン 8 参照) または GLOB_CMD レジスタのビット 7 (表 113 参照) を使用してリセットを開始します。
0	予備

DIAG_STAT レジスタ (表 9 と表 10 を参照) には、ADIS16467 の完全性と動作を監視するためのエラー・フラグが用意されています。このレジスタの内容を読み出すと、レジスタの全ビットが 0 になります。DIAG_STAT のエラー・フラグはステッキーです。すなわち、フラグが 1 になると、読み出し要求によってそのフラグがクリアされるまで 1 を維持します。エラー状態が続く場合は、そのフラグ (ビット) が自動的にアラーム値である 1 に戻ります。

ジャイロ・センサーのデータ

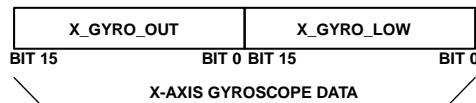
ADIS16467 のジャイロ・センサーは、3 本の直交軸 (x, y, z) 周りの回転角速度を測定します。ジャイロ・センサーの各軸の方向と、その各測定値が正の応答となる回転方向を図 29 に示します。



15439-029

図 29. ジャイロ・センサーの軸と極性の割り当て

各ジャイロ・センサーには 2 つの出力データ・レジスタがあります。x 軸ジャイロ・センサー測定において、これら 2 つのレジスタを組み合わせて 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 30 に示します。このフォーマットは y 軸と z 軸にもあてはまります。



15439-030

図 30. ジャイロ・センサーの出力データ構造

ジャイロ・センサーの測定範囲／スケール・ファクタ

表 11 に、ADIS16467 の各モデルにおける角速度 (ジャイロ・センサー) 測定の範囲とスケール・ファクタを示します。

表 11. ジャイロ・センサーの測定範囲とスケール・ファクタ

Model	Range, $\pm\omega_{MAX}$ (°/sec)	Scale Factor, K_G (°/sec/LSB)
ADIS16467-1BMLZ	± 125	0.00625
ADIS16467-2BMLZ	± 500	0.025
ADIS16467-3BMLZ	± 2000	0.1

ジャイロ・センサーのデータ・フォーマット

16 ビットと 32 ビットの回転速度データのフォーマットを示すさまざまな数値の例を、表 12 と表 13 に示します。

表 12. 16 ビット・ジャイロ・センサー・データのフォーマット例

Rotation Rate	Decimal	Hex.	Binary
$+\omega_{MAX}$	+20,000	0x4E20	0100 1110 0010 0000
$+2 K_G$	+2	0x0002	0000 0000 0000 0010
$+K_G$	+1	0x0001	0000 0000 0000 0001
$0^{\circ}/sec$	0	0x0000	0000 0000 0000 0000
$-K_G$	-1	0xFFFF	1111 1111 1111 1111
$-2 K_G$	-2	0xFFE	1111 1111 1111 1110
$-\omega_{MAX}$	-20,000	0xB1E0	1011 0001 1110 0000

表 13. 32 ピット・ジャイロ・センサー・データの
フォーマット例

Rotation Rate (°/sec)	Decimal	Hex.
+ ω_{MAX}	+1,310,720,000	0x4E200000
$+K_G/2^{15}$	+2	0x00000002
$+K_G/2^{16}$	+1	0x00000001
0	0	0x00000000
$-K_G/2^{16}$	-1	0xFFFFFFFF
$-K_G/2^{15}$	-2	0xFFFFFFF0
- ω_{MAX}	-1,310,720,000	0xB1E00000

x 軸ジャイロ・センサー (X_GYRO_LOW および X_GYRO_OUT)

表 14. X_GYRO_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x04, 0x05	Not applicable	R	No

表 15. X_GYRO_LOW のビット定義

Bits	Description
[15:0]	x 軸ジャイロ・センサー・データ、追加分解能ビット

表 16. X_GYRO_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x06, 0x07	Not applicable	R	No

表 17. X_GYRO_OUT のビット定義

Bits	Description
[15:0]	x 軸ジャイロ・センサー・データ、上位ワード、2 の補数、0°/sec = 0x0000、1 LSB = K_G (表 11 の K_G を参照)

X_GYRO_LOW レジスタ (表 14 と表 15 を参照) と X_GYRO_OUT レジスタ (表 16 と表 17 を参照) には、x 軸のジャイロ・センサー・データが格納されます。

y 軸ジャイロ・センサー (Y_GYRO_LOW および Y_GYRO_OUT)

表 18. Y_GYRO_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x08, 0x09	Not applicable	R	No

表 19. Y_GYRO_LOW のビット定義

Bits	Description
[15:0]	y 軸ジャイロ・センサー・データ、追加分解能ビット

表 20. Y_GYRO_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x0A, 0x0B	Not applicable	R	No

表 21. Y_GYRO_OUT のビット定義

Bits	Description
[15:0]	y 軸ジャイロ・センサー・データ、上位ワード、2 の補数、0°/sec = 0x0000、1 LSB = K_G (表 11 の K_G を参照)

Y_GYRO_LOW レジスタ (表 18 と表 19 を参照) と Y_GYRO_OUT レジスタ (表 20 と表 21 を参照) には、y 軸のジャイロ・センサー・データが格納されます。

z 軸ジャイロ・センサー (Z_GYRO_LOW および Z_GYRO_OUT)

表 22. Z_GYRO_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x0C, 0x0D	Not applicable	R	No

表 23. Z_GYRO_LOW のビット定義

Bits	Description
[15:0]	z 軸ジャイロ・センサー・データ、追加分解能ビット

表 24. Z_GYRO_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x0E, 0x0F	Not applicable	R	No

表 25. Z_GYRO_OUT のビット定義

Bits	Description
[15:0]	z 軸ジャイロ・センサー・データ、上位ワード、2 の補数、0°/sec = 0x0000、1 LSB = K_G (表 11 の K_G を参照)

Z_GYRO_LOW レジスタ (表 22 と表 23 を参照) と Z_GYRO_OUT レジスタ (表 24 と表 25 を参照) には、z 軸のジャイロ・センサー・データが格納されます。

加速度データ

ADIS16467 の加速度センサーは、ジャイロ・センサーの回転軸 (x, y, z) と同じ定義の 3 本の直交軸に沿った動的加速度と静的加速度 (重力に対する応答) の両方を測定します。加速度センサーの各軸の方向と、その各測定値が正の応答となる加速度方向を図 31 に示します。

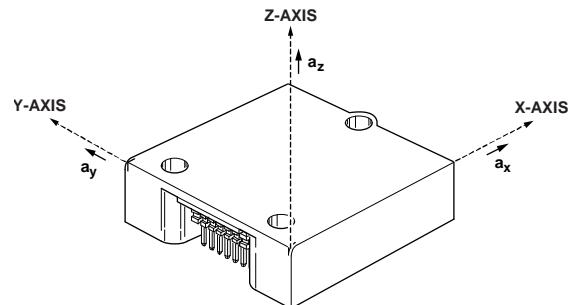


図 31. 加速度センサーの軸と極性の割り当て

各加速度センサーには 2 つの出力データ・レジスタがあります。x 軸加速度センサー測定において、これら 2 つのレジスタを組み合わせて 32 ビットの 2 の補数のデータ・フォーマットを構成する方法を、図 32 に示します。このフォーマットは y 軸と z 軸にもあてはまります。

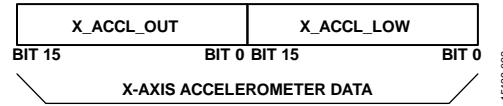


図 32. 加速度センサーの出力データ構造

加速度センサーの分解能

16 ビットと 32 ビットの直線加速度データのフォーマットを示すさまざまな数値の例を、表 26 と表 27 に示します。

表 26. 16 ビット加速度センサー・データのフォーマット例

Acceleration	Decimal	Hex.	Binary
+40 g	+32,000	0x7D00	0111 1101 0000 0000
+2.5 mg	+2	0x0002	0000 0000 0000 0010
+1.25 mg	+1	0x0001	0000 0000 0000 0001
0 mg	0	0x0000	0000 0000 0000 0000
-1.25 mg	-1	0xFFFF	1111 1111 1111 1111
-2.5 mg	-2	0xFFFE	1111 1111 1111 1110
-40 g	-32,000	0x8300	1000 0011 0000 0000

表 27. 32 ビット加速度センサー・データのフォーマット例

Acceleration	Decimal	Hex.
+40 g	+2,097,152,000	0x7D000000
+1.25/2 ¹⁵ mg	+2	0x00000002
+1.25/2 ¹⁶ mg	+1	0x00000001
0	0	0x00000000
-1.25/2 ¹⁶ mg	-1	0xFFFFFFFF
-1.25/2 ¹⁵ mg	-2	0xFFFFFFF
-40 g	-2,097,152,000	0x83000000

x 軸加速度センサー (X_ACCL_LOW および X_ACCL_OUT)

表 28. X_ACCL_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x10, 0x11	Not applicable	R	No

表 29. X_ACCL_LOW のビット定義

Bits	Description
[15:0]	x 軸加速度センサー・データ、追加分解能ビット

表 30. X_ACCL_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x12, 0x13	Not applicable	R	No

表 31. X_ACCL_OUT のビット定義

Bits	Description
[15:0]	X 軸加速度センサー・データ、上位ワード、2 の補数、範囲 ±40 g、0 g = 0x0000、1 LSB = 1.25 mg

X_ACCL_LOW レジスタ（表 28 と表 29 を参照）と X_ACCL_OUT レジスタ（表 30 と表 31 を参照）には、x 軸の加速度センサー・データが格納されます。

y 軸加速度センサー (Y_ACCL_LOW および Y_ACCL_OUT)

表 32. Y_ACCL_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x14, 0x15	Not applicable	R	No

表 33. Y_ACCL_LOW のビット定義

Bits	Description
[15:0]	y 軸加速度センサー・データ、追加分解能ビット

表 34. Y_ACCL_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x16, 0x17	Not applicable	R	No

表 35. Y_ACCL_OUT のビット定義

Bits	Description
[15:0]	Y 軸加速度センサー・データ、上位ワード、2 の補数、範囲 ±40 g、0 g = 0x0000、1 LSB = 1.25 mg

Y_ACCL_LOW レジスタ（表 32 と表 33 を参照）と Y_ACCL_OUT レジスタ（表 34 と表 35 を参照）には、y 軸の加速度センサー・データが格納されます。

z 軸加速度センサー (Z_ACCL_LOW および Z_ACCL_OUT)

表 36. Z_ACCL_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x18, 0x19	Not applicable	R	No

表 37. Z_ACCL_LOW のビット定義

Bits	Description
[15:0]	z 軸加速度センサー・データ、追加分解能ビット

表 38. Z_ACCL_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x1A, 0x1B	Not applicable	R	No

表 39. Z_ACCL_OUT のビット定義

Bits	Description
[15:0]	Z 軸加速度センサー・データ、上位ワード、2 の補数、範囲 ±40 g、0 g = 0x0000、1 LSB = 1.25 mg

Z_ACCL_LOW レジスタ（表 36 と表 37 を参照）と Z_ACCL_OUT レジスタ（表 38 と表 39 を参照）には、z 軸の加速度センサー・データが格納されます。

内部温度 (TEMP_OUT)

表 40. TEMP_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x1C, 0x1D	Not applicable	R	No

表 41. TEMP_OUT のビット定義

Bits	Description
[15:0]	温度データ、2 の補数、1 LSB = 0.1 °C、0 °C = 0x0000

TEMP_OUT レジスタ（表 40 と表 41 を参照）には、ADIS16467 の内部温度の大まかな測定値がセットされています。このデータは、温度環境の相対的な変化を監視するのにきわめて有効です。

表 42. TEMP_OUT のデータ・フォーマット例

Temperature (°C)	Decimal	Hex.	Binary
+105	+1050	0x041A	0000 0100 0001 1010
+25	+250	0x00FA	0000 0000 1111 1010
+0.2	+2	0x0002	0000 0000 0000 0010
+0.1	+1	0x0001	0000 0000 0000 0001
+0	0	0x0000	0000 0000 0000 0000
+0.1	-1	0xFFFF	1111 1111 1111 1111
+0.2	-2	0xFFFE	1111 1111 1111 1110
-40	-400	0xFE70	1111 1110 0111 0000

タイム・スタンプ (TIME_STAMP)

表 43. TIME_STAMP のレジスタ定義

Addresses	Default	Access	Flash Backup
0x1E, 0x1F	Not applicable	R	No

表 44. TIME_STAMP のビット定義

Bits	Description
[15:0]	SYNC ピンの最後のパルスからの時間、オフセット・バイナリ・フォーマット、1 LSB = 49.02 μs

TIME_STAMP レジスタ（表 43 と表 44 を参照）は、スケーリング同期モード（MSC_CTRL レジスタのビット [4:2] = 010、表 105 参照）とともに機能します。TIME_STAMP の 16 ビット数には、SYNC ピンのクロック信号の最後のエッジに関連する各データ更新において、最新のサンプルに関連付けられる時間が格納されます。例えば、UP_SCALE レジスタ（表 107 参照）の値がスケール・ファクタ 20 を示し、DEC_RATE = 0、外部 SYNC レート = 100 Hz である場合、タイム・スタンプ・シーケンスは、0 LSB、10 LSB、21 LSB、31 LSB、41 LSB、51 LSB、61 LSB、72 LSB、…、と続き、20 番目のサンプルは、194 LSB となります。つまり、最初の SYNC エッジからの時間は、0 μs、490 μs、…、9510 μs となります。

データ更新カウンタ (DATA_CNTR)

表 45. DATA_CNTR のレジスタ定義

Addresses	Default	Access	Flash Backup
0x22, 0x23	Not applicable	R	No

表 46. DATA_CNTR のビット定義

Bits	Description
[15:0]	データ更新カウンタ、オフセット・バイナリ・フォーマット

ADIS16467 がパワー・オン・シーケンスにある場合、またはリセット・コマンドからの復帰状態にある場合、DATA_CNTR（表 45 と表 46 を参照）は、0x0000 の値から始まり、出力レジスタに新たなデータがロードされるたびにインクリメントします。DATA_CNTR の値が 0xFFFF に達した場合、次のデータ更新で 0x0000 に戻り、引き続き出力レジスタに新たなデータがロードされるたびにインクリメントします。

角度変化

各軸（x、y、z）周りの回転角速度（ジャイロ・センサー）の測定値に加えて、ADIS16467 は角度変化の測定も出力します。これはサンプル更新ごとの角度変位を計算したものです。

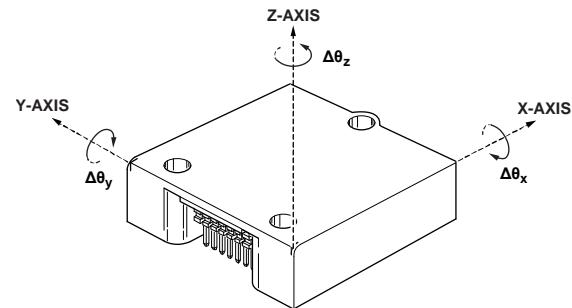


図 33. 角度変化の軸と極性割り当て

角度変化出力はジャイロ・センサー測定値の積分値を表し、3 つ の軸すべてについて以下の式を使用します（x 軸について例示）。

$$\Delta\theta_{x,nD} = \frac{1}{2 \times f_S} \times \sum_{d=0}^{D-1} (\omega_{x,nD+d} + \omega_{x,nD+d-1})$$

ここで

x は x 軸、

n はデシメーション・フィルタ前のサンプル時間、

D はデシメーション・レート（DEC_RATE + 1、表 109 参照）、

f_S はサンプル・レート、

d は総和公式の増分変数、

ω_x は x 軸回りの回転速度（ジャイロ・センサー）です。

内部サンプル・クロックを使用する場合、f_S の公称値は 2000 SPS です。この測定をより高精度に行うためには、DR ピンのデータ・レディ信号を使用して内部サンプル・レート（f_S）を測定し（DEC_RATE = 0x0000、表 108 参照）、このデータ・レディ周波数で（角度変化出力レジスタからの）角度変化結果を除し、それに 2000 を乗じます。角度変化測定時は、各軸につき 2 つの出力データ・レジスタを使用します。x 軸の角度変化測定において、これら 2 つのレジスタを組み合わせて 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 34 に示します。このフォーマットは y 軸と z 軸にもあてはまります。



図 34. 角度変化出力のデータ構造

角度変化の測定範囲

表 47 に、ADIS16467 の各モデルの測定範囲とスケール・ファクタを示します。

表 47. 角度変化の測定範囲とスケール・ファクタ

Model	Measurement Range, ±Δθ _{MAX} (°)
ADIS16467-1BMLZ	±360
ADIS16467-2BMLZ	±720
ADIS16467-3BMLZ	±2160

x 軸角度変化 (X_DELTANG_LOW および X_DELTANG_OUT)

表 48. X_DELTANG_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x24, 0x25	Not applicable	R	No

表 49. X_DELTANG_LOW のビット定義

Bits	Description
[15:0]	x 軸角度変化データ、下位ワード

表 50. X_DELTANG_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x26, 0x27	Not applicable	R	No

表 51. X_DELTANG_OUT のビット定義

Bits	Description
[15:0]	x 軸角度変化データ、2 の補数、 $0^\circ = 0x0000$ 、1 LSB = $\Delta\theta_{MAX}/2^{15}$ ($\Delta\theta_{MAX}$ については表 47 参照)

X_DELTANG_LOW レジスタ（表 48 と表 49 を参照）と X_DELTANG_OUT レジスタ（表 50 と表 51 を参照）には、x 軸の角度変化データが格納されます。

y 軸角度変化 (Y_DELTANG_LOW および Y_DELTANG_OUT)

表 52. Y_DELTANG_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x28, 0x29	Not applicable	R	No

表 53. Y_DELTANG_LOW のビット定義

Bits	Description
[15:0]	y 軸角度変化データ、下位ワード

表 54. Y_DELTANG_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x2A, 0x2B	Not applicable	R	No

表 55. Y_DELTANG_OUT のビット定義

Bits	Description
[15:0]	y 軸角度変化データ、2 の補数、 $0^\circ = 0x0000$ 、1 LSB = $\Delta\theta_{MAX}/2^{15}$ ($\Delta\theta_{MAX}$ については表 47 参照)

Y_DELTANG_LOW レジスタ（表 52 と表 53 を参照）と Y_DELTANG_OUT レジスタ（表 54 と表 55 を参照）には、y 軸の角度変化データが格納されます。

z 軸角度変化 (Z_DELTANG_LOW および Z_DELTANG_OUT)

表 56. Z_DELTANG_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x2C, 0x2D	Not applicable	R	No

表 57. Z_DELTANG_LOW のビット定義

Bits	Description
[15:0]	z 軸角度変化データ、下位ワード

表 58. Z_DELTANG_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x2E, 0x2F	Not applicable	R	No

表 59. Z_DELTANG_OUT のビット定義

Bits	Description
[15:0]	z 軸角度変化データ、2 の補数、 $0^\circ = 0x0000$ 、1 LSB = $\Delta\theta_{MAX}/2^{15}$ ($\Delta\theta_{MAX}$ については表 47 参照)

Z_DELTANG_LOW レジスタ（表 56 と表 57 を参照）と Z_DELTANG_OUT レジスタ（表 58 と表 59 を参照）には、z 軸の角度変化データが格納されます。

角度変化の分解能

16 ビットと 32 ビットの角度変化データのフォーマットを示すさまざまな数値の例を、表 60 と表 61 に示します。

表 60. 16 ビット角度変化データのフォーマット例

Delta Angle (°)	Decimal	Hex.	Binary
$\Delta\theta_{MAX} \times (2^{15}-1)/2^{15}$	+32,767	0x7FFF	0111 1111 1110 1111
$+\Delta\theta_{MAX}/2^{14}$	+2	0x0002	0000 0000 0000 0010
$+\Delta\theta_{MAX}/2^{15}$	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
$-\Delta\theta_{MAX}/2^{15}$	-1	0xFFFF	1111 1111 1111 1111
$-\Delta\theta_{MAX}/2^{14}$	-2	0xFFFFE	1111 1111 1111 1110
$-\Delta\theta_{MAX}$	-32,768	0x8000	1000 0000 0000 0000

表 61. 32 ビット角度変化データのフォーマット例

Delta Angle (°)	Decimal	Hex.
$+\Delta\theta_{MAX} \times (2^{31}-1)/2^{31}$	+2,147,483,647	0x7FFFFFFF
$+\Delta\theta_{MAX}/2^{30}$	+2	0x00000002
$+\Delta\theta_{MAX}/2^{31}$	+1	0x00000001
0	0	0x00000000
$-\Delta\theta_{MAX}/2^{31}$	-1	0xFFFFFFFF
$-\Delta\theta_{MAX}/2^{30}$	-2	0xFFFFFFF
$-\Delta\theta_{MAX}$	-2,147,483,648	0x80000000

速度変化

各軸 (x、y、z) に沿った直線加速度の測定値に加えて、ADIS16467 はサンプル更新ごとの直線速度測定値の変化も計算します。

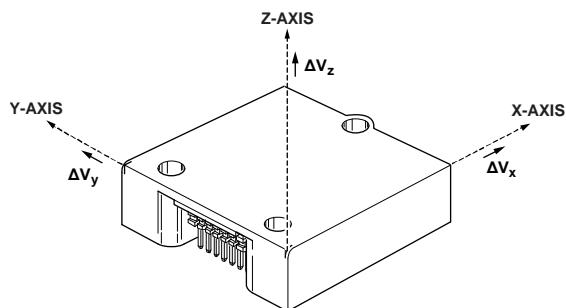


図 35. 速度変化の軸と極性割り当て

15x35-035

速度変化出力は加速度測定値の積分値を表し、3つの軸すべてについて以下の式を使用します（x軸について例示）。

$$\Delta V_{x,nD} = \frac{1}{2 \times f_S} \times \sum_{d=0}^{D-1} (a_{x,nD+d} + a_{x,nD+d-1})$$

ここで

xはx軸、

nはデシメーション・フィルタ前のサンプル時間、

Dはデシメーション・レート（DEC_RATE + 1、表 109 参照）、

f_S はサンプル・レート、

dは総和公式の増分変数、

a_x はx軸加速度です。

内部サンプル・クロックを使用する場合、 f_S の公称値は 2000 SPS です。この測定をより高精度に行うためには、DR ピンのデータ・レディ信号を使用して内部サンプル・レート (f_S) を測定し (DEC_RATE = 0x0000、表 108 参照)、このデータ・レディ周波数で（角度変化出力レジスタからの）角度変化結果を除し、それに 2000 を乗じます。速度変化測定期時は、各軸につき 2つの出力データ・レジスタを使用します。x軸の速度変化測定において、これら 2つのレジスタを組み合わせて 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 36 に示します。このフォーマットは y 軸と z 軸にもあてはまります。



図 36. 速度変化出力のデータ構造

x軸速度変化（X_DELTA_VEL_LOW および X_DELTA_VEL_OUT）

表 62. X_DELTA_VEL_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x30, 0x31	Not applicable	R	No

表 63. X_DELTA_VEL_LOW のビット定義

Bits	Description
[15:0]	x軸速度変化データ、追加分能ビット

表 64. X_DELTA_VEL_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x32, 0x33	Not applicable	R	No

表 65. X_DELTA_VEL_OUT のビット定義

Bits	Description
[15:0]	x軸速度変化データ、2の補数、範囲 ±400 m/sec、0 m/sec = 0x0000、1 LSB = 400 m/sec ÷ 2 ¹⁵ = 約 0.01221 m/sec

X_DELTA_VEL_LOW レジスタ（表 62 と表 63 を参照）と X_DELTA_VEL_OUT レジスタ（表 64 と表 65 を参照）には、x軸の速度変化データが格納されます。

y軸速度変化（Y_DELTA_VEL_LOW および Y_DELTA_VEL_OUT）

表 66. Y_DELTA_VEL_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x34, 0x35	Not applicable	R	No

表 67. Y_DELTA_VEL_LOW のビット定義

Bits	Description
[15:0]	y軸速度変化データ、追加分能ビット

表 68. Y_DELTA_VEL_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x36, 0x37	Not applicable	R	No

表 69. Y_DELTA_VEL_OUT のビット定義

Bits	Description
[15:0]	y軸速度変化データ、2の補数、範囲 ±400 m/sec、0 m/sec = 0x0000、1 LSB = 400 m/sec ÷ 2 ¹⁵ = 約 0.01221 m/sec

Y_DELTA_VEL_LOW レジスタ（表 66 と表 67 を参照）と Y_DELTA_VEL_OUT レジスタ（表 68 と表 69 を参照）には、y軸の速度変化データが格納されます。

z軸速度変化（Z_DELTA_VEL_LOW および Z_DELTA_VEL_OUT）

表 70. Z_DELTA_VEL_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x38, 0x39	Not applicable	R	No

表 71. Z_DELTA_VEL_LOW のビット定義

Bits	Description
[15:0]	z軸速度変化データ、追加分能ビット

表 72. Z_DELTA_VEL_OUT のレジスタ定義

Addresses	Default	Access	Flash Backup
0x3A, 0x3B	Not applicable	R	No

表 73. Z_DELTA_VEL_OUT のビット定義

Bits	Description
[15:0]	z軸速度変化データ、2の補数、範囲 ±400 m/sec、0 m/sec = 0x0000、1 LSB = 400 m/sec ÷ 2 ¹⁵ = 約 0.01221 m/sec

Z_DELTA_VEL_LOW レジスタ（表 70 と表 71 を参照）と Z_DELTA_VEL_OUT レジスタ（表 72 と表 73 を参照）には、z軸の速度変化データが格納されます。

速度変化の分解能

16 ビットと 32 ビットの速度変化データのフォーマットを示すさまざまな数値の例を、表 74 と表 75 に示します。

表 74. 16 ビット速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hex.	Binary
$+400 \times (2^{15} - 1)/2^{15}$	+32,767	0x7FFF	0111 1111 1111 1111
$+400/2^{14}$	+2	0x0002	0000 0000 0000 0010
$+400/2^{15}$	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
$-400/2^{15}$	-1	0xFFFFF	1111 1111 1111 1111
$-400/2^{14}$	-2	0xFFFFE	1111 1111 1111 1110
-400	-32,768	0x8000	1000 0000 0000 0000

表 75. 32 ビット速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hex.
$+400 \times (2^{31} - 1)/2^{31}$	+2,147,483,647	0x7FFFFFFF
$+400/2^{30}$	+2	0x00000002
$+400/2^{31}$	+1	0x00000001
0	0	0x00000000
$-400/2^{31}$	-1	0xFFFFFFFF
$-400/2^{30}$	-2	0xFFFFFFF
-400	+2,147,483,648	0x80000000

キャリブレーション

各慣性センサー（加速度センサーとジャイロ・センサー）のシグナル・チェーンには固有の補正式が使われていますが、これらの式は、-40 °C ~ +85 °C の温度範囲で個々の ADIS16467 に対し、バイアス、感度、アライメント、直線加速度に対する応答（ジャイロ・センサー）、振動ポイント（加速センサーの位置）など広範な特性評価を行うことによって得られたものです。これらの補正式自体にはアクセスできませんが、ユーザ・アクセス可能なレジスタを通じて、各センサーのバイアスを個別に調整することができます。これらの補正係数は、工場で導出されたシグナル・チェーンの補正式にそのまま従っており、内部サンプル・クロック使用時には 2000 Hz のレートで処理を行います。

キャリブレーション、ジャイロ・センサーのバイアス（XG_BIAS_LOW および XG_BIAS_HIGH）

表 76. XG_BIAS_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x40, 0x41	0x0000	R/W	Yes

表 77. XG_BIAS_LOW のビット定義

Bits	Description
[15:0]	x 軸ジャイロ・センサーのオフセット補正、下位ワード

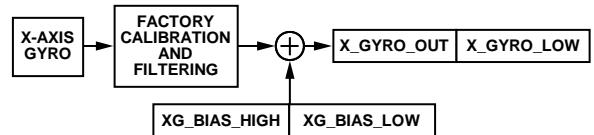
表 78. XG_BIAS_HIGH のレジスタ定義

Addresses	Default	Access	Flash Backup
0x42, 0x43	0x0000	R/W	Yes

表 79. XG_BIAS_HIGH のビット定義

Bits	Description
[15:0]	x 軸ジャイロ・センサーのオフセット補正係数、上位ワード

XG_BIAS_LOW レジスタ（表 76 と表 77 を参照）と XG_BIAS_HIGH レジスタ（表 78 と表 79 を参照）を組み合わせると、x 軸ジャイロ・センサーのバイアスを調整できます。表 12 のデータ・フォーマット例は XG_BIAS_HIGH レジスタにも適用され、表 13 のデータ・フォーマット例は、XG_BIAS_LOW レジスタと XG_BIAS_HIGH レジスタを組み合わせて得られる 32 ビット数に適用されます。これら 2 つのレジスタの組み合わせ方法と x 軸ジャイロ・センサー測定への影響については、図 37 を参照してください。



15439-037

図 37. ジャイロ・センサーのユーザ・キャリブレーション信号バス

キャリブレーション、ジャイロ・センサーのバイアス（YG_BIAS_LOW および YG_BIAS_HIGH）

表 80. YG_BIAS_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x44, 0x45	0x0000	R/W	Yes

表 81. YG_BIAS_LOW のビット定義

Bits	Description
[15:0]	y 軸ジャイロ・センサーのオフセット補正、下位ワード

表 82. YG_BIAS_HIGH のレジスタ定義

Addresses	Default	Access	Flash Backup
0x46, 0x47	0x0000	R/W	Yes

表 83. YG_BIAS_HIGH のビット定義

Bits	Description
[15:0]	y 軸ジャイロ・センサーのオフセット補正係数、上位ワード

YG_BIAS_LOW レジスタ（表 80 と表 81 を参照）と YG_BIAS_HIGH レジスタ（表 82 と表 83 を参照）を組み合わせると、y 軸ジャイロ・センサーのバイアスを調整できます。表 12 のデータ・フォーマット例は YG_BIAS_HIGH レジスタにも適用され、表 13 のデータ・フォーマット例は、YG_BIAS_LOW レジスタと YG_BIAS_HIGH レジスタを組み合わせて得られる 32 ビット数に適用されます。このレジスタは、XG_BIAS_LOW レジスタと XG_BIAS_HIGH レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、y 軸のジャイロ・センサー測定値に影響を与えます（図 37 参照）。

キャリブレーション、ジャイロ・センサーのバイアス（ZG_BIAS_LOW および ZG_BIAS_HIGH）

表 84. ZG_BIAS_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x48, 0x49	0x0000	R/W	Yes

表 85. ZG_BIAS_LOW のビット定義

Bits	Description
[15:0]	z 軸ジャイロ・センサーのオフセット補正、下位ワード

表 86. ZG_BIAS_HIGH のレジスタ定義

Addresses	Default	Access	Flash Backup
0x4A, 0x4B	0x0000	R/W	Yes

表 87. ZG_BIAS_HIGH のビット定義

Bits	Description
[15:0]	z 軸ジャイロ・センサーのオフセット補正係数、上位ワード

ZG_BIAS_LOW レジスタ（表 84 と表 85 を参照）と ZG_BIAS_HIGH レジスタ（表 86 と表 87 を参照）を組み合わせると、z 軸ジャイロ・センサーのバイアスを調整できます。表 12 のデータ・フォーマット例は ZG_BIAS_HIGH レジスタにも適用され、表 13 のデータ・フォーマット例は、ZG_BIAS_LOW レジスタと ZG_BIAS_HIGH レジスタを組み合わせて得られる 32 ビット数に適用されます。このレジスタは、XG_BIAS_LOW レジスタと XG_BIAS_HIGH レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、z 軸のジャイロ・センサー測定値に影響を与えます（図 37 参照）。

キャリブレーション、加速度センサーのバイアス (XA_BIAS_LOW および XA_BIAS_HIGH)

表 88. XA_BIAS_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x4C, 0x4D	0x0000	R/W	Yes

表 89. XA_BIAS_LOW のビット定義

Bits	Description
[15:0]	x 軸加速度センサーのオフセット補正、下位ワード

表 90. XA_BIAS_HIGH のレジスタ定義

Addresses	Default	Access	Flash Backup
0x4E, 0x4F	0x0000	R/W	Yes

表 91. XA_BIAS_HIGH のビット定義

Bits	Description
[15:0]	x 軸加速度センサーのオフセット補正、上位ワード

XA_BIAS_LOW レジスタ（表 88 と表 89 を参照）と XA_BIAS_HIGH レジスタ（表 90 と表 91 を参照）を組み合わせると、x 軸加速度センサーのバイアスを調整できます。表 26 のデータ・フォーマット例は XA_BIAS_HIGH レジスタにも適用され、表 27 のデータ・フォーマット例は、XA_BIAS_LOW レジスタと XA_BIAS_HIGH レジスタを組み合わせて得られる 32 ビット数に適用されます。これら 2 つのレジスタの組み合わせ方法と x 軸加速度センサー測定への影響については、図 38 を照してください。

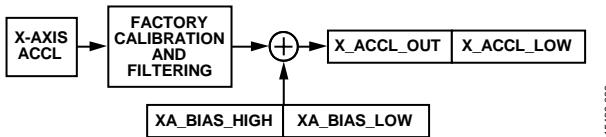


図 38. 加速度センサーのユーザ・キャリブレーション信号バス

キャリブレーション、加速度センサーのバイアス (YA_BIAS_LOW および YA_BIAS_HIGH)

表 92. YA_BIAS_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x50, 0x51	0x0000	R/W	Yes

表 93. YA_BIAS_LOW のビット定義

Bits	Description
[15:0]	y 軸加速度センサー・オフセット補正、下位ワード

表 94. YA_BIAS_HIGH のレジスタ定義

Addresses	Default	Access	Flash Backup
0x52, 0x53	0x0000	R/W	Yes

表 95. YA_BIAS_HIGH のビット定義

Bits	Description
[15:0]	y 軸加速度センサー・オフセット補正、上位ワード

YA_BIAS_LOW レジスタ（表 92 と表 93 を参照）と YA_BIAS_HIGH レジスタ（表 94 と表 95 を参照）を組み合わせると、y 軸加速度センサーのバイアスを調整できます。表 26 のデータ・フォーマット例は YA_BIAS_HIGH レジスタにも適用され、表 27 のデータ・フォーマット例は、YA_BIAS_LOW レジスタと YA_BIAS_HIGH レジスタを組み合わせて得られる 32 ビット数に適用されます。このレジスタは、XA_BIAS_LOW レジスタと XA_BIAS_HIGH レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、y 軸の加速度センサー測定値に影響を与えます（図 38 参照）。

キャリブレーション、加速度センサーのバイアス (ZA_BIAS_LOW および ZA_BIAS_HIGH)

表 96. ZA_BIAS_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x54, 0x55	0x0000	R/W	Yes

表 97. ZA_BIAS_LOW のビット定義

Bits	Description
[15:0]	z 軸加速度センサーのオフセット補正、下位ワード

表 98. ZA_BIAS_HIGH のレジスタ定義

Addresses	Default	Access	Flash Backup
0x56, 0x57	0x0000	R/W	Yes

表 99. ZA_BIAS_HIGH のビット定義

Bits	Description
[15:0]	z 軸加速度センサーのオフセット補正、上位ワード

ZA_BIAS_LOW レジスタ（表 96 と表 97 を参照）と ZA_BIAS_HIGH レジスタ（表 98 と表 99 を参照）を組み合わせると、z 軸加速度センサーのバイアスを調整できます。表 26 のデータ・フォーマット例は ZA_BIAS_HIGH レジスタにも適用され、表 27 のデータ・フォーマット例は、ZA_BIAS_LOW レジスタと ZA_BIAS_HIGH レジスタを組み合わせて得られる 32 ビット数に適用されます。このレジスタは、XA_BIAS_LOW レジスタと XA_BIAS_HIGH レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、z 軸の加速度センサー測定値に影響を与えます（図 38 参照）。

フィルタ制御レジスタ (FILT_CTRL)

表 100. FILT_CTRL のレジスタ定義

Addresses	Default	Access	Flash Backup
0x5C, 0x5D	0x0000	R/W	Yes

表 101. FILT_CTRL のビット定義

Bits	Description
[15:3]	未使用
[2:0]	フィルタ・サイズ変数 B、各段のタップ数、N = 2 ^B

FILT_CTRL レジスタ（表 100 と表 101 を参照）によって、2 個の直列接続された平均化フィルタで構成されるバートレット・ウィンドウ FIR フィルタ（図 15 参照）のユーザ制御が可能となります。例えば、0xCC04、続いて 0xCD00 というシーケンスを使用して、FILT_CTRL レジスタのビット [2:0] を 0100 に設定します。これによって各段のタップ数は 16 となります。図 39 に、FILT_CTRL レジスタのさまざまな設定に対する周波数応答を示します。

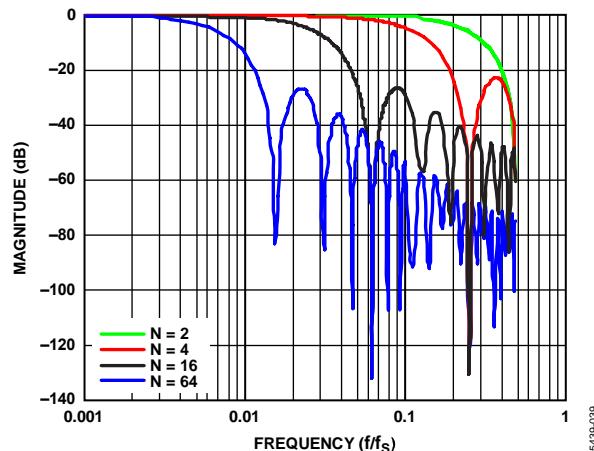


図 39. バートレット・ウィンドウ FIR フィルタの周波数応答
(位相遅延 = N サンプル)

範囲識別子 (RANG_MDL)

表 102. RANG_MDL のレジスタ定義

Addresses	Default	Access	Flash Backup
0x5E, 0x5F	Not applicable	R	No

表 103. RANG_MDL のビット定義

Bits	Description
[15:3]	未使用
[3:2]	ジャイロ・センサーの測定範囲 00 = ±125°/sec (ADIS16467-1BMLZ) 01 = ±500°/sec (ADIS16467-2BMLZ) 10 = 予備 11 = ±2000°/sec (ADIS16467-3BMLZ)
[1:0]	予備、バイナリ値 = 11

各種制御レジスタ (MSC_CTRL)

表 104. MSC_CTRL のレジスタ定義

Addresses	Default	Access	Flash Backup
0x60, 0x61	0x00C1	R/W	Yes

表 105. MSC_CTRL のビット定義

Bits	Description
[15:8]	未使用
7	ジャイロ・センサーの直線方向 g 補償 (1 = イネーブル)
6	振動ポイント・アライメント (1 = イネーブル)
5	未使用、當時ゼロに設定
[4:2]	SYNC 機能設定値 111 = 予備 (使用不可) 110 = 予備 (使用不可) 101 = パルス同期モード

100	= 予備 (使用不可)
011	= 出力同期モード
010	= スケーリング同期モード
001	= 直接同期モード
000	= 内部クロック・モード (デフォルト)

1	SYNC 極性 (入力または出力) 1 = 立上がりエッジでサンプリングをトリガ 0 = 立下がりエッジでサンプリングをトリガ
0	DR 極性 1 = データが有効時にアクティブ・ハイ 0 = データが有効時にアクティブ・ロー

振動ポイント

MSC_CTRL レジスタのビット 6 (表 105 参照) で、振動ポイント・アライメント機能のオン/オフを制御します。この機能は、加速度センサーを図 40 に示すように、パッケージのコーナーにマッピングするものです。工場出荷時の MSC_CTRL レジスタのデフォルト設定では、この機能はオンになっています。MSC_CTRL レジスタの工場出荷時の他のデフォルト設定値を変更せずにこの機能をオフにするには、0xE081、続いて 0xE100 というコマンド・シーケンスを DIN ピンに使用して、MSC_CTRL レジスタのビット 6 を 0 にします。

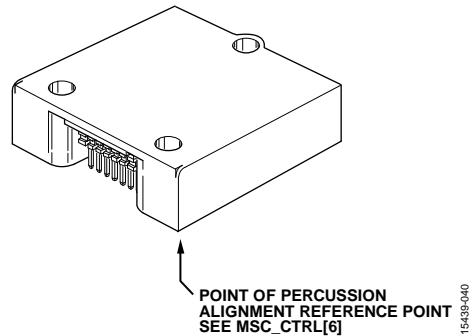


図 40. 振動ポイント基準点

直線加速度がジャイロ・センサーのバイアスに及ぼす影響

MSC_CTRL レジスタのビット 7 (表 105 参照) で、ジャイロ・センサーの信号キャリブレーション・ルーチンにおける直線 g 補償のオン/オフを制御します。工場出荷時の MSC_CTRL レジスタのデフォルト設定では、この補償はオンになっています。補償をオフにするには、0xE041、続いて 0xE100 というシーケンスを DIN ピンに使用して、MSC_CTRL レジスタのビット 7 を 0 にします。

内部クロック・モード

MSC_CTRL レジスタのビット [4:2] (表 105 参照) を使用して、クロック (f_{SM} 、図 12 と図 13 を参照) を制御するための 5 通りの設定オプションを指定することができます。このクロックにより、慣性センサーのデータ・アクイジションと処理が制御されます。MSC_CTRL レジスタのビット [4:2] のデフォルト設定値は 000 (バイナリ) で、ADIS16467 は内部クロック・モードになっています。このモードでは、慣性センサーのデータ・アクイジションと処理が、内部クロックによって 2000 Hz の公称レートで制御されます。また、このモードでは各加速度センサーのデータが、2 つのデータ・サンプルの平均値を基に更新されます (サンプル・レート = 4000 Hz)。

直接同期モード

MSC_CTRL レジスタのビット [4:2] が 001 の場合、ADIS16467 は直接同期モードで動作します。すなわち、SYNC ピンの信号がサンプル・クロックを直接制御します。このモードでは、内部プロセッサは、クロック信号の立上がりエッジと立下がりエッジで加速度センサーのデータ・サンプルを取得し、次にこれらを平均して各データ更新を行います。このモードを使用する場合、入力クロック信号のデューティ・サイクルは 50 % であることが必要です。

スケーリング同期モード

MSC_CTRL レジスタのビット [4:2] が 010 の場合、ADIS16467 はスケーリング同期モードで動作します。このモードは 1 Hz ~ 128 Hz の周波数範囲にある SYNC ピンのクロック信号に対応します。この動作モードは、グローバル・ポジショニング・システム (GPS) レシーバーからの PPS 信号やビデオ処理システムからの同期信号にデータ処理を同期させる場合に、特に有効です。スケーリング同期モードで動作する場合、サンプル・クロックの周波数は、外部クロックのスケール・ファクタ K_{ECSF} (UP_SCALE レジスタから取得、表 106 と表 107 を参照) と SYNC ピンのクロック信号の周波数との積に等しくなります。

例えば、1 Hz の入力信号を使用する場合、慣性センサーとその信号処理のサンプル・レートを 2000 SPS とするには、 UP_SCALE レジスタを 0x07D0 ($K_{ECSF} = 2000$ (十進数)) に設定します。 UP_SCALE をこのように設定するには、DIN ピンのシーケンスを 0xE2D0、続いて 0xE307 とします。

表 106. UP_SCALE のレジスタ定義

Addresses	Default	Access	Flash Backup
0x62, 0x63	0x07D0	R/W	Yes

表 107. UP_SCALE のビット定義

Bits	Description
[15:0]	K_{ECSF} 、バイナリ形式

出力同期モード

MSC_CTRL レジスタのビット [4:2] が 011 の場合、ADIS16467 は出力同期モードで動作します。このモードは、1 つの例外を除き内部クロック・モードと同じものです。例外は、内部プロセッサが慣性センサーからのデータを収集する場合、SINC 出力がパルスとなることです。この信号例を図 41 に示します。

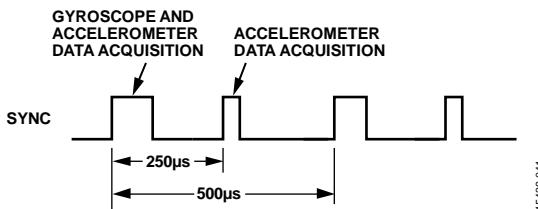


図 41. 同期出力信号、MSC_CTRL レジスタのビット [4:2] = 011

パルス同期モード

パルス同期モード (MSC_CTRL レジスタのビット [4:2] が 101) で動作する場合、内部プロセッサは、クロック信号の立上がりエッジで加速度センサーのサンプルを収集するだけです。このため、SYNC ピンのクロック信号に狭いパルス幅 (表 2 参照) を使用できるようになります。また、パルス同期モードを使用すると、慣性センサーの帯域幅を 370 Hz に下げることができます。

デシメーション・フィルタ (DEC_RATE)

表 108. DEC_RATE のレジスタ定義

Addresses	Default	Access	Flash Backup
0x64, 0x65	0x0000	R/W	Yes

表 109. DEC_RATE のビット定義

Bits	Description
[15:11]	ドントケア。
[10:0]	デシメーション・レート、バイナリ形式、最大値 = 1999

DEC_RATE レジスタ (表 108 と表 109 を参照) は、平均化デシメーション・フィルタのユーザ制御を可能にします。このフィルタは、加速度センサーとジャイロ・センサーのデータの平均化とデシメーションを行うのに加え、更新ごとの角度変化と速度変化の追跡時間の延長も行います。ADIS16467 が内部クロック・モード (MSC_CTRL レジスタのビット [4:2]、表 105 参照) で動作する場合、出力データ・レートの公称値は $2000/(DEC_RATE + 1)$ に等しくなります。例えば、出力サンプル・レートを 100 SPS ($2000 \div 20$) に減らすためには、 $DEC_RATE = 0x0013$ と設定します。このとき使用する DIN ピンのシーケンスは 0xE413、続いて 0xE500 です。

外部同期モードのデータ更新レート

入力の同期オプションを使用する場合、スケーリング同期モード (MSC_CTRL レジスタのビット [4:2] = 010、表 105 参照) では出力データ・レートは次式に等しくなります。

$$(f_{SYNC} \times K_{ECSF}) / (DEC_RATE + 1)$$

ここで

f_{SYNC} は SYNC ピンのクロック信号の周波数、
 K_{ECSF} は UP_SCALE レジスタ (表 107 参照) の値です。

直接同期モードとパルス同期モードを使用する場合は、 $K_{ECSF} = 1$ です。

連続バイアス予測 (NULL_CNFG)

表 110. NULL_CNFG のレジスタ定義

Addresses	Default	Access	Flash Backup
0x66, 0x67	0x070A	R/W	Yes

表 111. NULL_CNFG のビット定義

Bits	Description
[15:14]	未使用
13	z 軸加速度センサー・バイアス補正イネーブル (1 = イネーブル)
12	y 軸加速度センサー・バイアス補正イネーブル (1 = イネーブル)
11	x 軸加速度センサー・バイアス補正イネーブル (1 = イネーブル)
10	z 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
9	y 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
8	x 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
[7:4]	未使用
[3:0]	時間ベース制御 (TBC)、範囲: 0 ~ 12 (デフォルト = 10)、 $t_B = 2^{TBC}/2000$ (時間ベース)、 $t_A = 64 \times t_B$ (平均時間)

NULL_CNFG レジスタ (表 110 と表 111 を参照) は、連続バイアス予測 (CBE) の設定を制御します。この CBE は、GLOB_CMD レジスタのビット [0] (表 113 参照) 内のバイア

ス補正更新コマンドに関連付けられているものです。NULL_CNFG レジスタのビット [3:0] はバイアス予測のための合計平均時間 (t_A) を設定し、NULL_CNFG レジスタのビット [13:8] は各センサーのオン／オフを制御します。NULL_CNFG レジスタの工場出荷時のデフォルト設定では、ジャイロ・センサー用のバイアス・ヌル・コマンドはイネーブルに、加速度センサー用のバイアス・ヌル・コマンドはディスエーブルになっており、平均時間は約 32 秒に設定されています。

グローバル・コマンド (GLOB_CMD)

表 112. GLOB_CMD のレジスタ定義

Addresses	Default	Access	Flash Backup
0x68, 0x69	Not applicable	W	No

表 113. GLOB_CMD のビット定義

Bits	Description
[15:8]	未使用
7	ソフトウェア・リセット
[6:5]	未使用
4	フラッシュ・メモリ・テスト
3	フラッシュ・メモリの更新
2	センサー・セルフ・テスト
1	工場出荷時のキャリブレーション値の復元
0	バイアス補正の更新

GLOB_CMD レジスタ（表 112 と表 113 を参照）は、各種動作のトリガ・ビットを出力します。特定の機能を開始させるには、GLOB_CMD の該当ビットに 1 を書き込んでください。これらのコマンドが実行されている間、データの生成は停止し、DR ピンのパルス出力も停止し、SPI インターフェースは要求に応答しません。表 1 に各 GLOB_CMD コマンドの実行時間を示します。

ソフトウェア・リセット

トリガをリセットするには、GLOB_CMD レジスタのビット 7 を 1 に設定します。使用する DIN シーケンスは、0xE880、続いて 0xE900 です。このリセットによりすべてのデータがクリアされ、データのサンプリングと処理が再起動されます。この機能によって、RST ピン（表 5 のピン 8 を参照）のトグルに代わる方法として、ファームウェアを使用することができます。

フラッシュ・メモリ・テスト

フラッシュ・メモリをテストするには、GLOB_CMD レジスタのビット 4 を 1 に設定します。使用する DIN シーケンスは、0xE810、続いて 0xE900 です。このコマンドは、フラッシュ・メモリ上（ユーザー・レジスタの領域は除く）で CRC 演算を実行し、これを工場出荷時の設定プロセスで得られる元の CRC の値と比較するものです。現在の CRC が元の CRC と一致しない場合、DIAG_STAT レジスタのビット 6（表 10 参照）が 1 になり、結果が失敗であることを示します。

フラッシュ・メモリの更新

フラッシュ・メモリにあるすべてのユーザ設定レジスタのバッカアップをトリガするには、GLOB_CMD レジスタのビット 3 を 1 に設定します。使用する DIN シーケンスは、0xE808、続いて 0xE900 です。DIAG_STAT レジスタのビット 2（表 10 参照）は、このプロセスが成功したか（0）失敗したか（1）を示します。

センサー・セルフ・テスト

慣性センサーのセルフ・テスト・ルーチンをトリガするには、GLOB_CMD レジスタのビット 2 を 1 に設定します。使用する DIN シーケンスは、0xE804、続いて 0xE900 です。このセルフ・テスト・ルーチンでは、次の手順に従って各慣性センサーの完全性を検証します。

1. セルフ・テストを行う前の各センサーの出力を測定します。
2. 次に、セルフ・テストをアクティブにします。これにより内部の各センサーの機械部品が既知の距離だけ物理的に変位し、センサーに観測可能な応答を生成します。
3. 各センサーの出力応答を測定します。
4. セルフ・テストを無効にします。
5. 手順 1（セルフ・テスト：オフ）のセンサー測定値と手順 3（セルフ・テスト：オン）のセンサー測定値の差を計算します。
6. この差と内部合否基準を比較します。
7. 合否結果を DIAG_STAT レジスタのビット 5（表 10 参照）に記録します。

このテストの実行中にデバイスを動かすと、誤って故障と判定される場合があります。

工場出荷時のキャリブレーション値の復元

MSC_CTRL、DEC_RATE、FILT_CTRL の各レジスタの工場出荷時のデフォルト設定値を復元し、ユーザ設定可能なすべてのバイアス補正設定値をクリアするには、GLOB_CMD レジスタのビット 1 を 1 に設定します。そのために使用する DIN シーケンスは、0xE802、続いて 0xE900 です。このコマンドを実行すると、次のレジスタに 0x0000 が書き込まれます： XG_BIAS_LOW、XG_BIAS_HIGH、YG_BIAS_LOW、YG_BIAS_HIGH、ZG_BIAS_LOW、ZG_BIAS_HIGH、XA_BIAS_LOW、XA_BIAS_HIGH、YA_BIAS_LOW、YA_BIAS_HIGH、ZA_BIAS_LOW、および ZA_BIAS_HIGH。

バイアス補正の更新

CBE（表 111 参照）の補正係数を使用してバイアス補正をトリガするには、GLOB_CMD レジスタのビット 0 を 1 に設定します。そのために使用する DIN ピンのシーケンスは、0xE801、続いて 0xE900 です。

ファームウェア・レビジョン (FIRM_REV)

表 114. FIRM_REV のレジスタ定義

Addresses	Default	Access	Flash Backup
0x6C, 0x6D	Not applicable	R	No

表 115. FIRM_REV のビット定義

Bits	Description
[15:0]	ファームウェア・レビジョン、2 進化 10 進数 (BCD) 形式

FIRM_REV レジスタ（表 114 と表 115 を参照）は、内部ファームウェアのファームウェア・レビジョンを示します。このレジスタは BCD フォーマットを使用し、各ニブルが 1 つの桁を表します。例えば、FIRM_REV = 0x0104 の場合のファームウェア・レビジョンは 1.04 です。

ファームウェア・リビジョンの月日 (FIRM_DM)

表 116. FIRM_DM のレジスタ定義

Addresses	Default	Access	Flash Backup
0x6E, 0x6F	Not applicable	R	No

表 117. FIRM_DM のビット定義

Bits	Description
[15:8]	工場設定の月、BCD 形式
[7:0]	工場設定の日、BCD 形式

FIRM_DM レジスタ（表 116 と表 117 を参照）には、工場設定日を表す月と日付が格納されます。FIRM_DM レジスタのビット [15:8] には、工場設定の月を示す数字が格納されます。例えば、11 月は FIRM_DM レジスタのビット [15:8] = 0x11 で表されます。FIRM_DM レジスタのビット [7:0] には、工場設定日が格納されます。例えば、27 日は FIRM_DM レジスタのビット [7:0] = 0x27 で表されます。

ファームウェア・リビジョンの年 (FIRM_Y)

表 118. FIRM_Y のレジスタ定義

Addresses	Default	Access	Flash Backup
0x70, 0x71	Not applicable	R	No

表 119. FIRM_Y のビット定義

Bits	Description
[15:0]	工場設定の年、BCD 形式

FIRM_Y レジスタ（表 118 と表 119 を参照）には、工場設定日を表す西暦年が格納されます。例えば、2017 年は FIRM_Y = 0x2017 で表されます。

製品 ID (PROD_ID)

表 120. PROD_ID のレジスタ定義

Addresses	Default	Access	Flash Backup
0x72, 0x73	0x4053	R	No

表 121. PROD_ID のビット定義

Bits	Description
[15:0]	製品 ID = 0x4053

PROD_ID レジスタ（表 120 と表 121 を参照）には、デバイス番号の数値部分（16,467）が格納されます。このレジスタのループ読み出しを使用して通信の完全性を評価する方法の例については、図 25 を参照してください。

シリアル番号 (SERIAL_NUM)

表 122. SERIAL_NUM のレジスタ定義

Addresses	Default	Access	Flash Backup
0x74, 0x75	Not applicable	R	No

表 123. SERIAL_NUM のビット定義

Bits	Description
[15:0]	ロット固有のシリアル番号

スクラッチ・レジスタ (USER_SCR_1 ~ USER_SCR_3)

表 124. USER_SCR_1 のレジスタ定義

Addresses	Default	Access	Flash Backup
0x76, 0x77	Not applicable	R/W	Yes

表 125. USER_SCR_1 のビット定義

Bits	Description
[15:0]	ユーザ定義

表 126. USER_SCR_2 のレジスタ定義

Addresses	Default	Access	Flash Backup
0x78, 0x79	Not applicable	R/W	Yes

表 127. USER_SCR_2 のビット定義

Bits	Description
[15:0]	ユーザ定義

表 128. USER_SCR_3 のレジスタ定義

Addresses	Default	Access	Flash Backup
0x7A, 0x7B	Not applicable	R/W	Yes

表 129. USER_SCR_3 のビット定義

Bits	Description
[15:0]	ユーザ定義

USER_SCR_1（表 124 と表 125 を参照）、USER_SCR_2（表 126 と表 127 を参照）、USER_SCR_3（表 128 と表 129 を参照）の各レジスタにより、ユーザが情報を保存できる場所が 3 カ所用意されます。情報をこれらのレジスタに書き込んだ後、不揮発性のストレージに対して、手動のフラッシュ・メモリ更新コマンド (GLOB_CMD レジスタのビット 3、表 113 参照) を使用します。

フラッシュ・メモリ書換え回数カウンタ (FLSHCNT_LOW および FLSHCNT_HIGH)

表 130. FLSHCNT_LOW のレジスタ定義

Addresses	Default	Access	Flash Backup
0x7C, 0x7D	Not applicable	R	No

表 131. FLSHCNT_LOW のビット定義

Bits	Description
[15:0]	フラッシュ・メモリ書き込みカウンタ、下位ワード

表 132. FLSHCNT_HIGH のレジスタ定義

Addresses	Default	Access	Flash Backup
0x7E, 0x7F	Not applicable	R	No

表 133. FLSHCNT_HIGH のビット定義

Bits	Description
[15:0]	フラッシュ・メモリ書き込みカウンタ、上位ワード

FLSHCNT_LOW レジスタ（表 130 と表 131）と FLSHCNT_HIGH レジスタ（表 132 と表 133）は、組み合わさって、フラッシュ・メモリの書き込みサイクル数を記録する 32 ビット・バイナリ・カウンタを構成します。フラッシュ・メモリは、書き込みサイクル数に加えてサービス寿命も有限で、その長さは

ジャンクション温度に依存します。特定のジャンクション温度においてフラッシュ・メモリのデータ保持寿命を予測するための指標を、図 42 に示します。ジャンクション温度は、ケース温度より約 7 °C 高くなっています。

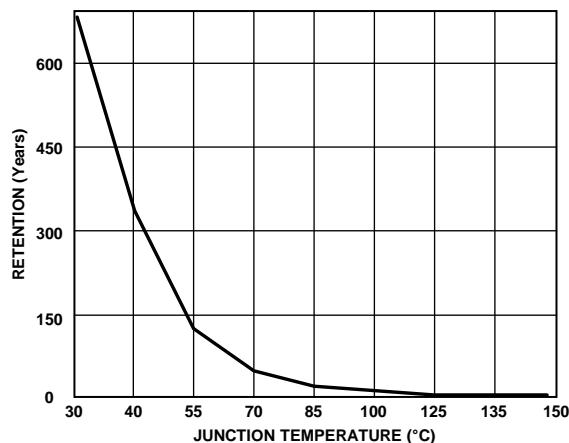


図 42. フラッシュ・メモリのデータ保持期間

アプリケーション情報

アセンブリとハンドリングのポイント

実装上のポイント

ADIS16467 のパッケージは、3 本の M2 または 2-56 の機械ネジを使用して、20 インチ・オンス ~ 40 インチ・オンスのトルクで、PCB や固定筐体に実装することができます。ADIS16467 の機械的インターフェースを設計する際には、電気的コネクタに不要な並進応力がかからないようにします。この応力がかかると、慣性センサーのバイアス再現性に影響を与える可能性があるからです。同じ PCB に接続用コネクタがある場合、実装ネジ用の貫通穴が必要になる可能性があります。CLM-107-02 ファミリーのコネクタ・タイプの 1 つを使った PCB パッド設計の詳細図を図 43 に示します。

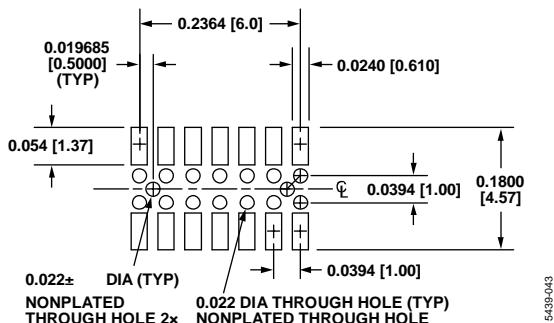


図 43. 接続用コネクタの設計詳細

電源に関する考慮事項

ADIS16467 には VDD ピンと GND ピンの間に $6 \mu\text{F}$ のデカップリング容量があります。VDD の電圧が 0 V から 3.3 V に増加すると、このコンデンサ・バンクに次式で表されるプロファイルの充電電流（単位はアンペア）が発生します。

$$I_{DD}(t) = C \frac{dVDD}{dt} = 6 \times 10^{-6} \times \frac{dVDD(t)}{dt}$$

ここで

$I_{DD}(t)$ は最初の電源立上がり時に VDD ピンに流れる電流値を時間の関数として表したもの、
C は VDD ピンと GND ピン間の内部容量 ($6 \mu\text{F}$)、
 $VDD(t)$ は VDD ピンの電圧を時間の関数として表したものです。
例えば、VDD が 0 V から 3.3 V まで $66 \mu\text{s}$ かけて一定の割合で増加する場合、この時間での充電電流は 300 mA となります。
また、ADIS16467 には処理機能が組み込まれており、初期化やリセット復帰動作時に過渡電流が流れます。これらの処理時には、VDD が 3.0 V に達してから約 40 ms 後（またはリセット・シーケンスが開始してから約 40 ms 後）に 250 mA のピーク電流が発生します。

ブレークアウト・ボード

ADIS16IMU4/PCBZ ブレークアウト・ボードは、組み込みプロセッサ開発システムへの接続をシンプルにするためのリボン・ケーブル・インターフェースを備えています。このブレークアウト・ボードの回路図を図 44 に、上面図を図 45 に示します。J2 は ADIS16467 のコネクタに直接接続可能で、J1 は 1 mm のリボン・ケーブル・システムに容易に接続できます。

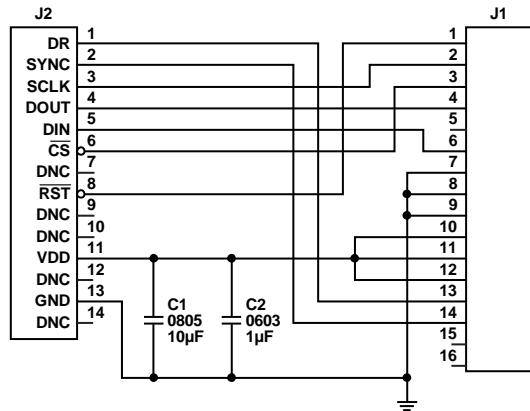


図 44. ADIS16IMU4/PCBZ の回路図

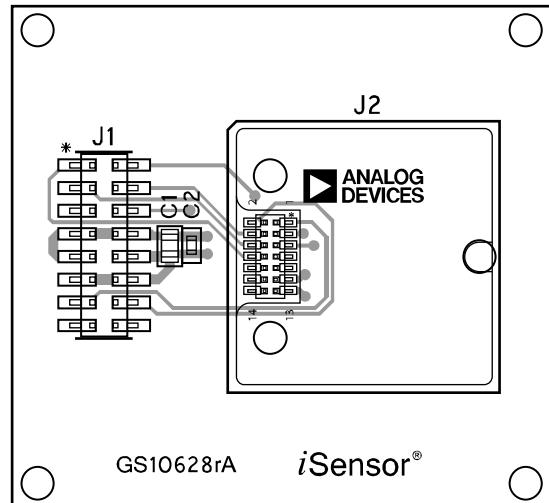


図 45. ADIS16IMU4/PCBZ の上面図

J1	
RST	1
CS	2
DNC	3
GND	4
VDD	5
DR	6
NC	7
SCLK	8
DOUT	9
DIN	10
GND	11
VDD	12
SYNC	13
NC	14
	15
	16

図 46. ADIS16IMU4/PCBZ の J1 のピン配置

PC ベースの評価ツール

ADIS16IMU4/PCBZ は、ADIS16467 を EVAL-ADIS2 評価システムに接続するためのシンプルな方法を提供します。これにより、基本的な機能と性能を PC ベースで評価することができます。詳細については、EVAL-ADIS2 のウィキ・ガイドを参照してください。

パッケージとオーダー情報

外形寸法

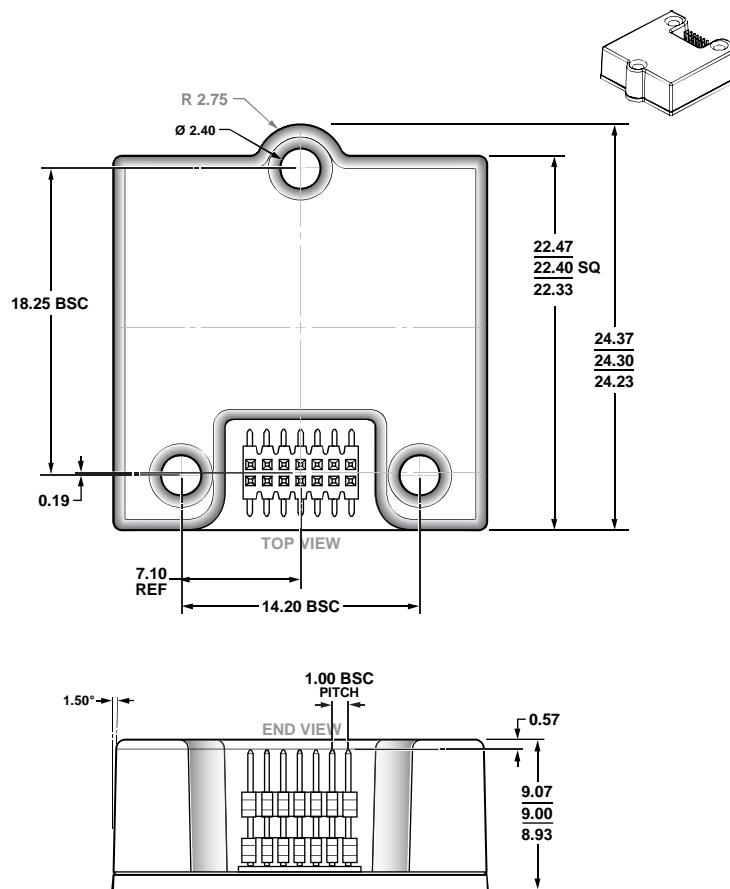


図 47. コネクタ・インターフェース付き 14 ピン・モジュール [MODULE]
(ML-14-6)
寸法: mm

09-22-2016-A

オーダー・ガイド

Model ¹	Temperature Range	Description	Package Option
ADIS16467-1BMLZ	-40°C to +105°C	14-Lead Module with Connector Interface [MODULE]	ML-14-6
ADIS16467-2BMLZ	-40°C to +105°C	14-Lead Module with Connector Interface [MODULE]	ML-14-6
ADIS16467-3BMLZ	-40°C to +105°C	14-Lead Module with Connector Interface [MODULE]	ML-14-6

¹ Z = RoHS 準拠製品