

堅牢で低消費電力の産業用 10BASE-T1L イーサネット MAC-PHY

特長

- ▶ 10BASE-T1L IEEE 802.3cg-2019 規格に準拠
- ▶ 1.0V/2.4V で最長 1700m のケーブル長に対応
- ▶ SPI を備えた MAC を内蔵
 - ▶ OPEN Alliance 10BASE-T1x MAC-PHY シリアル・インターフェースに対応
 - ▶ 16 個の MAC アドレス・フィルタ
 - ▶ 28kB のバッファで高優先度キューおよび低優先度キューに対応
 - ▶ カット・スルーまたはストア・アンド・フォワード動作
 - ▶ IEEE 1588 のタイム・スタンプに対応
 - ▶ 統計カウンタ
- ▶ 低消費電力：単電源 50mW
- ▶ 診断機能
 - ▶ TDR によるケーブル・フォルト検出
 - ▶ MSE によるリンク品質インジケータ
 - ▶ フレーム・ジェネレータおよびフレーム・チェッカ
 - ▶ 複数のループバック・モード
 - ▶ IEEE テスト・モードに対応
- ▶ 1.0V p-p および 2.4V p-p の送信レベルに対応
- ▶ MDI の極性検出および補正
- ▶ 2 ピン MDI
- ▶ 内部終端抵抗およびハイブリッド
- ▶ オート・ネゴシエーション
- ▶ 25MHz の水晶発振器または外部クロック入力
- ▶ EMC 試験規格
 - ▶ IEC 61000-4-4 電気高速トランジェント (EFT) (±4kV)
 - ▶ IEC 61000-4-2 ESD (±4kV の接触放電)
 - ▶ IEC 61000-4-2 ESD (±8kV の気中放電)
 - ▶ IEC 61000-4-6 伝導耐性 (10V/m)
 - ▶ IEC 61000-4-5 サージ (±4kV)
 - ▶ IEC 61000-4-3 放射耐性 (クラス A)
 - ▶ EN 55032 放射エミッション (クラス B)
- ▶ 小型パッケージ：32 ピン (5mm × 5mm) LFCSP
- ▶ 温度範囲
 - ▶ 産業用：-40°C ~ +85°C
 - ▶ 拡張：-40°C ~ +105°C

アプリケーション

- ▶ ビルディング・オートメーションおよび火災安全
- ▶ ファクトリ・オートメーション
- ▶ 状態監視および機械接続

機能ブロック図

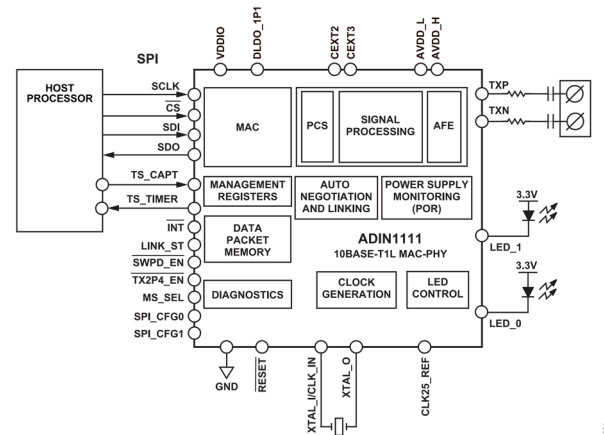


図 1. 機能ブロック図

概要

ADIN1111 は、産業用イーサネット・アプリケーション向けに設計された超低消費電力で単一ポートの 10BASE-T1L トランシーバであり、長距離伝送用の 10Mbps シングル・ペア・イーサネット (SPE) に対する IEEE® 802.3cg-2019™ イーサネット規格に対応しています。メディア・アクセス制御 (MAC) インターフェースを内蔵した ADIN1111 は、シリアル・ペリフェラル・インターフェース (SPI) を介して、様々なホスト・コントローラと直接接続できます。この SPI により、MAC を内蔵していない低消費電力のプロセッサを使用できるため、システム・レベルの総合的な消費電力を最小限に抑えることができます。ADIN1111 は、ビルや工場内、そしてプロセス・オートメーション用に展開されるエッジ・ノード・センサーやフィールド計測器向けに設計されています。

デバイスは、1.8V または 3.3V の単電源レールで動作し、1.0V と 2.4V のどちらにも対応できます。内蔵のハイブリッドおよび終端抵抗により、ADIN1111 は MDI インターフェースに直接接続できます。

ADIN1111 には電圧源モニタリング回路およびパワーオン・リセット (POR) 回路が内蔵されており、システム・レベルの堅牢性を高めています。また、MAC インターフェースとホスト・プロセッサとの間で通信を行うための 4 線式 SPI を備えています。

ADIN1111 は、5mm × 5mm の 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP] を採用しています。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	マネージド PHY 動作	18
アプリケーション	1	オン・チップ診断	21
機能ブロック図	1	ループバック・モード	21
概要	1	フレーム・ジェネレータとフレーム・チェッカ	22
仕様	3	テスト・モード	23
タイミング特性	5	時間領域反射率測定 (TDR)	23
パワーアップ・タイミング	5	リンク品質モニタリング	24
SPI	5	アプリケーション情報	28
絶対最大定格	7	システム・レベルのパワー・マネージメント	28
熱抵抗	7	LED 回路例	28
静電放電 (ESD) 定格	7	部品の推奨事項	29
ESD に関する注意	7	802.1 AS 対応	30
ピン配置およびピン機能の説明	8	電磁環境適合性 (EMC) と電磁耐性 (EMI)	31
代表的な性能特性	10	MAC SPI	32
動作原理	11	SPI	32
電源ドメイン	11	MAC	44
アナログ・フロント・エンド	11	レジスタ	47
MAC	11	SPI レジスタの詳細	47
送信振幅の設定	11	PHY 条項 22 レジスタの詳細	70
リーダー／フォロア設定	11	PHY 条項 45 レジスタの詳細	73
オート・ネゴシエーション	12	PCB レイアウトに関する推奨事項	108
MDI 回路	12	パッケージ・レイアウト	108
リセット動作	13	部品の配置と配線	108
LED 機能	14	水晶発振器の配置と配線	108
リンク・ステータス・ピン	15	PCB の層構成	108
パワーダウン・モード	15	外形寸法	109
ハードウェア設定ピン	16	オーダー・ガイド	109
ハードウェア設定ピンの機能	16	評価用ボード	109
10BASE-T1L リンクの確立	18		
アンマネージド PHY 動作	18		

改訂履歴

1/2025—Revision A: Initial Version

仕様

特に指定のない限り、AVDD_H = AVDD_L = VDDIO = 3.3V、仕様値はすべて-40°C~+105°Cでの値。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
Supply Voltage Range					
AVDD_H	3.13	3.3	3.46	V	2.4 V p-p or 1.0 V p-p transmit level
AVDD_L	1.71	1.8 or 3.3	3.46	V	
AVDD_H, AVDD_L	1.71	1.8	3.46	V	1.0 V p-p transmit level
VDDIO	1.71	1.8, 2.5, or 3.3	3.46	V	
1.0 V p-p Transmit Level (Single Supply)					AVDD_H = AVDD_L = VDDIO = 1.8 V
AVDD_x Supply Current, I _{AVDD}		28		mA	
Power Consumption		50		mW	100% data throughput, full activity
2.4 V p-p Transmit Level (Single Supply)					AVDD_H = AVDD_L = VDDIO = 3.3 V
AVDD_x Supply Current, I _{AVDD}		36		mA	
Power Consumption		119		mW	100% data throughput, full activity
2.4 V p-p Transmit Level (Dual Supply)					AVDD_H = 3.3 V, AVDD_L = VDDIO = 1.8 V
AVDD_x Supply Current, I _{AVDD}		16.5		mA	
VDDIO Supply Current, I _{VDDIO}		18		mA	
Power Consumption		87		mW	100% data throughput, full activity
ANALOG INPUTS AND OUTPUTS					
MDI Gain Offset	-7.5		+3.5	%	
DIGITAL INPUTS/OUTPUTS					
VDDIO = 3.3 V					Applies to SPI pins, SWPD_EN, TX2P4_EN, TS_TIMER/MS_SEL, TS_CAPT, INT, LINK_ST, RESET, and LED_x
Input Low Voltage (V _{IL})			0.8	V	
Input High Voltage (V _{IH})	2.0			V	
Output Low Voltage (V _{OL})			0.4	V	Output low current (I _{OL}) (minimum) = 2 mA
Output High Voltage (V _{OH})	2.4			V	Output high current (I _{OH}) (minimum) = 2 mA
VDDIO = 2.5 V					
V _{IL}			0.7	V	
V _{IH}	1.7			V	
V _{OL}			0.4	V	I _{OL} (minimum) = 2 mA
V _{OH}	2.0			V	I _{OH} (minimum) = 2 mA
VDDIO = 1.8 V					
V _{IL}			0.3 × VDDIO	V	
V _{IH}	0.7 × VDDIO			V	
V _{OL}			0.2 × VDDIO	V	I _{OL} (minimum) = 2 mA
V _{OH}	0.8 × VDDIO			V	I _{OH} (minimum) = 2 mA
RESET Deglitch Time	0.3	0.5	1	μs	
LED OUTPUT					
Output Drive Current	8			mA	VDDIO = 3.3 V
	6			mA	VDDIO = 2.5 V
	4			mA	VDDIO = 1.8 V

仕様

表 1. (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLOCKS					
External Crystal (XTAL)					Requirements for external crystal used on the XTAL_I and XTAL_O pins
Crystal Frequency		25		MHz	
Crystal Frequency Tolerance	-30		+30	ppm	
Crystal Drive Level		<200		μW	
Crystal Equivalent Series Resistance (ESR)			60	Ω	
XTAL_I, XTAL_O Input Capacitance ($C_{IN,EQ}$)		1.5		pF	Equivalent parallel differential input capacitance looking into XTAL_x pins
Crystal Load Capacitance (C_L) ¹		10	18	pF	Including printed circuit board (PCB) trace capacitance and XTAL_I, XTAL_O $C_{IN,EQ}$
Start-Up Time			2	ms	Crystal oscillator only
Clock Input (CLK_IN)					
Clock Input Frequency		25		MHz	Requirements for external clock applied to XTAL_I pin, media independent interface (MII) mode
		50		MHz	Reduced media independent interface (RMII) mode
Clock Jitter			40	ps	RMS
Clock Input Voltage Range	0.8		2.5	V p-p	AC-coupled sine or square wave at XTAL_I pin, see External 25 MHz Clock Input section for more information
Clock Input Duty Cycle	45		55	%	
XTAL_I Input Impedance ($Z_{IN,EQ}$)					
Driving Point Resistance R_P ²		6		kΩ	$R_P C_P$
Driving Point Capacitance C_P ²		3		pF	
CLK25_REF Clock Output					
CLK25_REF Frequency		25		MHz	
V_{OH}		1.05		V	Load 10 pF
V_{OL}		0		V	Load 10 pF
CLK25_REF Duty Cycle	45		55	%	Load 10 pF
CLK25_REF Frequency Tolerance	-50		+50	ppm	

¹ $C_L = ((C1 \times C2)/(C1 + C2) + C_{STRAY})$ 、ここで C_{STRAY} は、配線やパッケージの寄生成分を含む浮遊容量です。² R_P および C_P は、AC グラウンドへの等価並列 RC 回路 ($R_P || R_C$) の値であり、XTAL_I/CLK_IN ピンの駆動点のインピーダンスをモデル化しています。

タイミング特性

パワーアップ・タイミング

表 2. パワーアップのタイミング

Parameter	Description	Min	Typ	Max	Unit
t_{RAMP}	Power supply ramp time			40	ms
t_1	Minimum time interval to internal power good ¹	20		43	ms
t_2	Hardware configuration latch time	6	8	14	μs
t_3	Management interface (SPI) active			50	ms

¹ 最小タイム・インターバルは、立上がり閾値に到達する最後の電源を基準としています。特定の電源シーケンスは必要ありません。

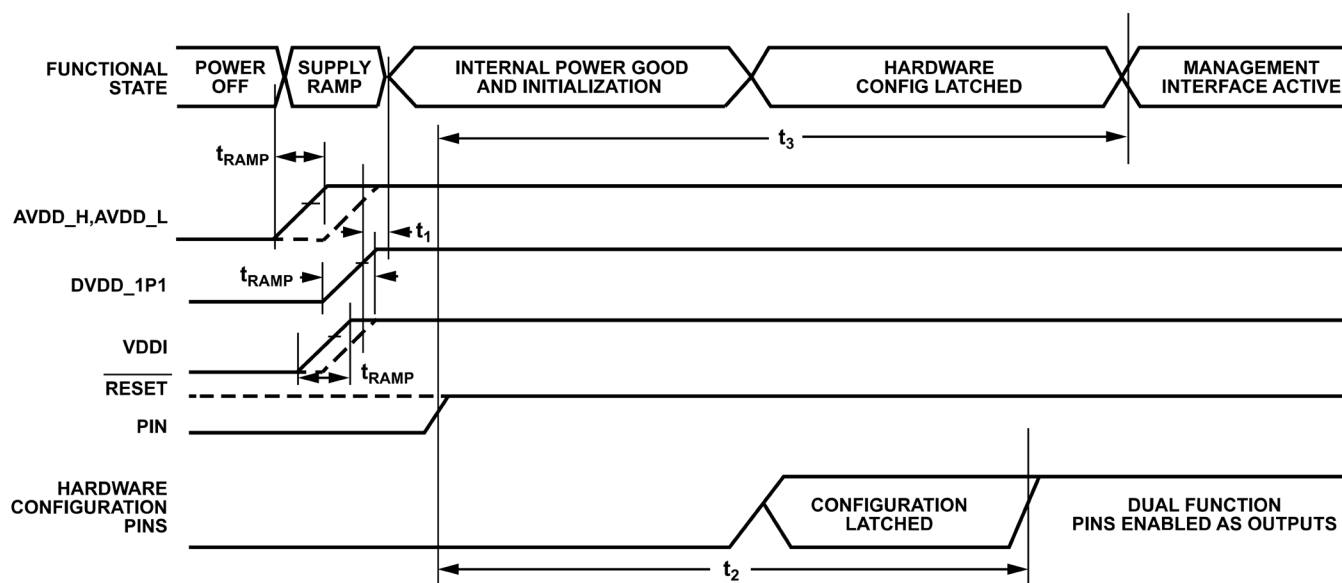


図 2. パワーアップのタイミング図

SPI

表 3.

Parameter ^{1, 2}	Description	Min	Typ	Max	Unit
t_1	SCLK cycle time	40			ns
t_2	SCLK high time	17			ns
t_3	SCLK low time	17			ns
t_4	$\overline{\text{CS}}$ falling edge to SCLK rising edge setup time	17			ns
t_5	Last SCLK rising edge to $\overline{\text{CS}}$ rising edge	17			ns
t_6	$\overline{\text{CS}}$ high time	40			ns
t_7	Data setup time	5			ns
t_8	Data hold time	5			ns
t_9 ³	SCLK falling edge to SDO valid			12	ns
t_{10} ³	$\overline{\text{CS}}$ rising edge to SDO tristate			15	ns
t_{11} ³	$\overline{\text{CS}}$ falling edge to SDO valid (for readback MSB only)			12	ns

¹ 設計および特性評価により裏付けられています。製品テストの対象外です。

² すべての入力信号は、立上がり時間 (t_r) = 立下がり時間 (t_f) = 5ns (VDDIO の 10%~90%) で仕様規定され、1.2V の電圧レベルを基準に時間測定されています。

³ SDO ピンの容量性負荷は 10pF です。

タイミング特性

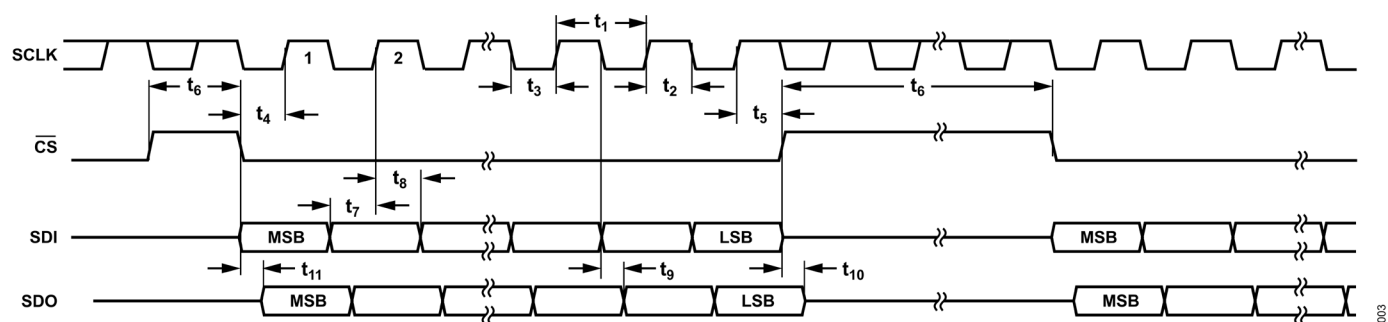


図 3. シリアル・インターフェースのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Rating
VDDIO to GND	-0.3 V to +4 V
DLDO_1P1 to GND	-0.3 V to +1.35 V
AVDD_H, AVDD_L to GND	-0.3 V to +4 V
SPI ¹ , INT to GND	-0.3 V to VDDIO + 0.3 V
TXN, TXP to GND	-0.3 V to AVDD + 0.3 V
LED_x, RESET, LINK_ST to GND	-0.3 V to VDDIO + 0.3 V
XTAL_I/CLK_IN to GND	-0.3 V to 2.75 V
XTAL_O, CLK25_REF to GND	-0.3 V to 1.35 V
Operating Temperature Range (T_A)	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J maximum)	125°C
Power Dissipation	(T_J maximum - T_A)/ θ_{JA}
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

¹ SPI ピンの全リストについては、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ_{JA} ¹	Unit
CP-32-20 ²	44	°C/W

¹ θ_{JA} は最も厳しい条件、すなわち、表面実装パッケージ用回路基板にデバイスをハンダ付けした状態で仕様規定されています。

² テスト条件 1：熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードを基準にしています。JEDEC JESD-51 を参照してください。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADIN1111 の ESD 定格

表 6. ADIN1111、32 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM		
TXN, TXP Pins	8000	3B
All Other Pins	2000	2
FICDM	1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

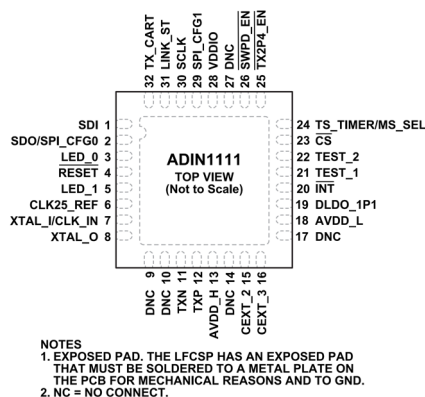


図 4. ピン配置

表 7. ピン機能の説明（ハードウェア・ピン構成のグループ分けは変更される可能性があります）

ピン番号	記号 ¹	PU/PD ²	説明
クロック・インターフェース			
6	CLK25_REF	N/A	アナログ・リファレンス・クロック出力。水晶発振器からの 25MHz リファレンス・クロックは、この CLK25_REF ピンで利用できます。
7	XTAL_I/CLK_IN	N/A	水晶発振器の入力 (XTAL_I)。 シングルエンドの 25MHz リファレンス・クロック入力 (CLK_IN)。
8	XTAL_O	N/A	水晶振動子出力。XTAL_I/CLK_IN でシングルエンドのリファレンス・クロックを使用する場合、XTAL_O はオープン・サーキットのままにします。 外部 25MHz クロック入力 のセクションを参照してください。
SPI			
1	SDI	PD	シリアル・データ入力。データは、クロックの各立上がりエッジで SDI ピンに入力されます。
2	SDO/SPI_CFG0 ³	PD	シリアル・データ出力 (SDO)。データは、クロックの各立下がりエッジで SDO ピンに出力されます。 SPI プロトコル設定ピン 0 (SPI_CFG0)。表 15 を参照してください。
20	INT	PU	割り込みピン出力。アクティブ・ローのオープンドレイン出力。INT のローは、マスク解除されている管理割り込みを示します。このピンには、VDDIO への 1.5kΩ プルアップ抵抗が必要です。
23	CS	PD	アクティブ・ローのチップ・リセット。
29	SPI_CFG1	PD	SPI プロトコル設定ピン 1。表 15 を参照してください。
30	SCLK	PD	シリアル・クロック入力。データは、クロックの各立上がりエッジでシフト・レジスタに入力されます。
タイム・スタンプ機能に対応			
24	TS_TIMER/MS_SEL ³	PD	タイム・スタンプ・タイマー出力 (TS_TIMER)。アプリケーション情報のセクションを参照してください。 リーダー／フォロアの選択 (MS_SEL)。リーダーを優先する場合はハイ、フォロアを優先する場合はローに設定します。表 13 を参照してください。
32	TS_CAPT	PD	タイム・スタンプの取得、ADIN1111 への入力。アプリケーション情報のセクションを参照してください。タイム・スタンプ機能を使用しない場合、内部にプルダウン抵抗があるため、このピンをオープンのままにしておくことができます。
リセット			
4	RESET	PU	アクティブ・ロー入力。10μs を超える時間、ローに保持してください。内部にプルアップ抵抗があるため、RESET にはプルアップ抵抗は不要です。
メディア依存インターフェース (MDI)			
11	TXN	N/A	送信／受信の負側ピン。
12	TXP	N/A	送信／受信の正側ピン。

ピン配置およびピン機能の説明

表 7. ピン機能の説明（ピン配置のハードウェア上のグループ分けは変更される可能性があります）（続き）

ピン番号	記号 ¹	PU/PD ²	説明
設定／ステータス			
3	LED_0	PU	汎用 LED 用プログラマブル LED インジケータ。LED はアクティブ・ローです。LED は、アクティブ・ハイでもアクティブ・ローでも動作可能です。デフォルトでは、リンクが確立されると LED_0 が点灯し、アクティビティがあると点滅するよう設定されています。 LED 機能 のセクションを参照してください。
31	LINK_ST	PD	リンク・ステータス出力。LINK_ST は、有効なリンクが確立されているかどうかを示します。LINK_ST はアクティブ・ハイです。
5	LED_1	PD	汎用 LED 用プログラマブル LED インジケータ。LED は、アクティブ・ハイでもアクティブ・ローでも動作可能です。デフォルトでは、LED_1 はディスエーブルです。 LED 機能 のセクションを参照してください。
25	TX2P4_EN ³	PD	送信レベル振幅用のハードウェア設定ピン。送信振幅が 1.0V p-p の場合にのみハイに設定します。送信振幅が 1.0V p-p および 2.4V p-p の場合はローに設定します。 表 14 を参照してください。
26	SWPD_EN ³	PD	ソフトウェア・パワーダウン設定。ローにセットすると、パワーアップ／リセット後に PHY がソフトウェア・パワーダウン・モードになるよう設定されます。 表 12 を参照してください。
LDO および REFERENCE			
15	CEXT_2	N/A	LDO 回路用外部デカップリング。このピンのできるだけ近くで、0.1μF のコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
16	CEXT_3	N/A	LDO 回路用外部デカップリング。このピンのできるだけ近くで、1μF のコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
電源ピンおよびグラウンド・ピン			
13	AVDD_H	N/A	デバイス内の様々なアナログ回路用のアナログ電源電圧。この電源レールは、送信レベル設定に応じて 1.8V~3.3V で供給できます。AVDD_H が 3.3V の場合、1.0V p-p と 2.4V p-p の両方の送信動作モードに対応し、AVDD_H が 1.8V のみの場合は、1.0V p-p の送信動作モードにのみ対応します。このピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサをグラウンドに接続します。
18	AVDD_L	N/A	内部 LDO 回路用のアナログ電源電圧。この電源レールは 1.8V~3.3V で供給できます。AVDD_L は、長距離伝送アプリケーションでは AVDD_H レールに直結できます。また、低消費電力用に両電源で構成されている場合はより低電圧の別のレールに接続できます。このピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサをグラウンドに接続します。
19	DLDO_1P1	N/A	デジタル・コア 1.1V 電源出力ピン。このピンのできるだけ近くで、0.68μF のコンデンサを GND に接続します。
28	VDDIO	N/A	SPI 用の 3.3V、2.5V、または 1.8V のデジタル電力。このピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサを GND に接続します。
	EP	N/A	露出パッド (EP)。この GND パッドはグラウンドに接続する必要があります。LFCSP パッケージには、電気的な理由により GND に接続する必要があり、機械的な理由により PCB の金属面にハンダ付けする必要がある露出パッドがあります。露出 GND パッドの下に、4 × 4 アレイのサーマル・ビアを設けることを推奨します。
その他のピン			
9, 10, 14, 17, 27	DNC	N/A	接続しないでください。これらのピンはオープン・サーキットのままにする必要があります。
21	TEST1	PU	このピンには、VDDIO への 1.5kΩ プルアップ抵抗が必要です。
22	TEST2	PU	このピンはオープン・サーキットのままにする必要があります。

¹ ピンが機能信号とハードウェア・ピン設定信号を兼ねている場合、記号の末尾にハードウェア・ピン設定信号を付けています。このデータシートでは、これらのピンを機能信号名で表記しています。

² PU/PD は、内部／オン・チップのプルアップ抵抗またはプルダウン抵抗を意味します。内部のプルアップ抵抗またはプルダウン抵抗は事前に定義されており、ユーザが設定を変更することはできません。N/A は、該当なしを意味します。

³ すべてのハードウェア設定ピンには、内部プルダウン抵抗があります。これらのピンに外部抵抗を接続しないデフォルト動作モードを[表 10](#)に示します。代替動作モードが必要な場合は、4.7kΩ のプルアップ抵抗を使用してください。

代表的な性能特性

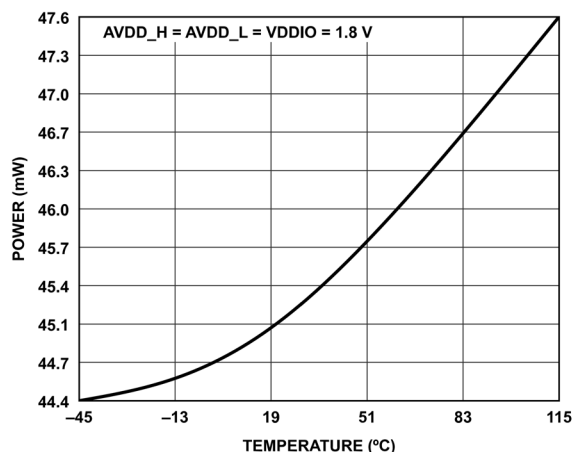


図 5. 消費電力と温度の関係、1.8V 単電源

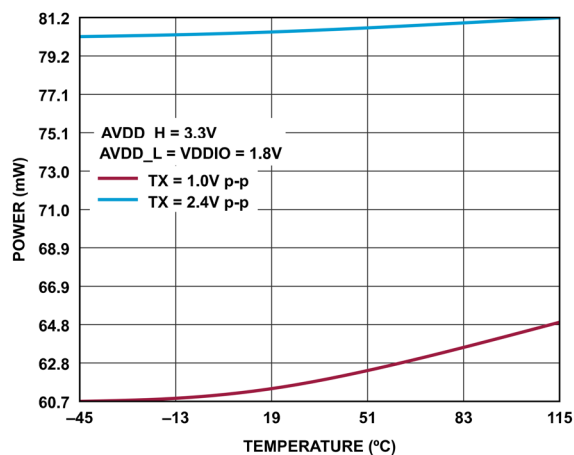


図 8. 消費電力と温度の関係、
AVDD_H = 3.3V、AVDD_L = VDDIO = 1.8V

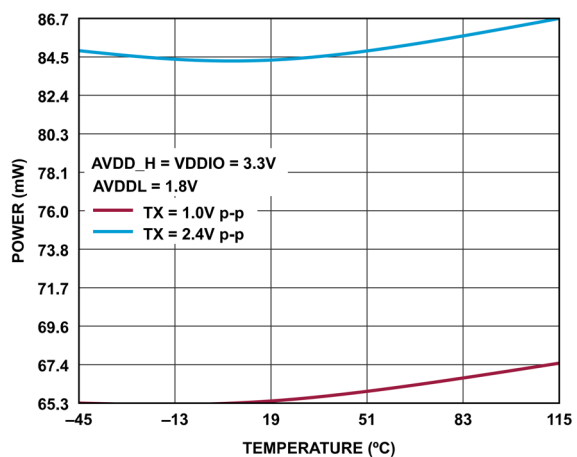


図 6. 消費電力と温度の関係、
AVDD_H = 3.3V、VDDIO = 3.3V、AVDD_L = 1.8V

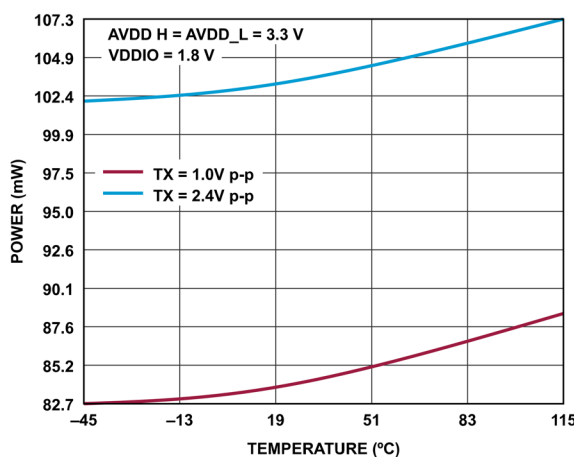


図 9. 消費電力と温度の関係、
AVDD_H = AVDD_L = 3.3V、VDDIO = 1.8V

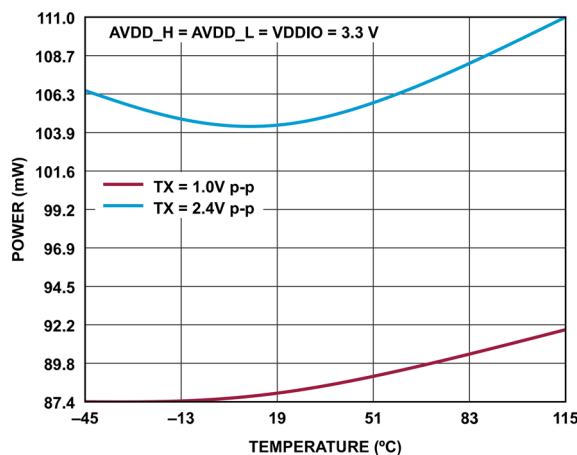


図 7. 消費電力と温度の関係、3.3V 単電源

動作原理

ADIN1111 は、低消費電力の単一ポート 10Mb/s イーサネット MAC-PHY デバイスで、長距離伝送の 10Mbps シングル・ペア・イーサネットに対応する IEEE 802.3cg イーサネット規格に準拠しています。

ADIN1111 は以下のような機能を備えています。

- ▶ 関連する一般的なアナログ回路をすべて備えた 10BASE-T1L イーサネット PHY コアおよび MAC
- ▶ 入出力クロックのバッファ処理
- ▶ SPI およびサブシステム・レジスタ
- ▶ リセットおよびクロックを管理する制御ロジック
- ▶ ハードウェア設定ピン
- ▶ 2 個の設定可能な LED ピン

電源ドメイン

ADIN1111 には、以下の 3 つの電源ドメインがあり、少なくとも 1 つの電源レールが必要です。

- ▶ AVDD_H は、ADIN1111 のアナログ・フロント・エンド (AFE) 回路用のアナログ電源入力です。
- ▶ AVDD_L は、内部 LDO 回路用のアナログ電源電圧です。AVDD_L は、単電源モードでは AVDD_H レールに、低消費電力向けの両電源モードではより低電圧のレールに接続します。
- ▶ VDDIO により、SPI の電圧源を ADIN1111 内の他の回路とは独立して設定できます。VDDIO は、AVDD_L レールに直接接続できます。

単電源アプリケーションでは、AVDD_H、AVDD_L、VDDIO を同じ電源に接続します。使用する適切な電源電圧は、最終アプリケーションとケーブル長によって異なります。送信振幅電圧が 2.4V p-p と高い場合は AVDD_H = 3.3V、送信振幅電圧が 1.0V p-p と低い場合は AVDD_H = 1.8V または 3.3V にする必要があります。

アナログ・フロント・エンド

アナログ・フロント・エンド (AFE) 段は、ハイブリッド段、9 レベル DAC、ライン・ドライバ、アナログ受信フィルタ、入力バッファ、ADC で構成されています。

ライン・ドライバは、MDI インターフェース・ピンである TXP および TXN を介して、ラインに信号を送信します。ハイブリッド段では、送信信号を MDI ピンで受信した信号から差し引くことで、シングル・ペア・ケーブルでの全 2 重動作を可能にします。

その後、受信信号はアナログ受信フィルタを通過し入力バッファに達した後、ADC に送られます。

MAC

ADIN1111 の MAC は 16 通りの MAC アドレスをサポートしています。また、MAC には、低優先度受信先入れ先出し (FIFO) が 1 つ、高優先度受信 FIFO が 1 つ、送信 FIFO が 1 つあります。これらの FIFO は、汎用の SPI プロトコルを使用する場合はストア・アンド・フォワード・モードでデータを送信し、OPEN Alliance プロトコルを使用する場合はストア・アンド・フォワード・モードまたはカット・スルー・モードでデータを送信できます。

汎用バージョンと OPEN Alliance バージョンの SPI プロトコルが使用できます。データは、汎用 SPI プロトコルでは SPI 半 2 重通信で転送され、OPEN Alliance プロトコルでは全 2 重通信で転送されます。[MAC SPI](#) のセクションを参照してください。

割込み (INT)

ADIN1111 は、ユーザが選択した様々な条件に応じ、 $\overline{\text{INT}}$ ピンを使用してホスト・プロセッサに割込みを生成できます。割込みを生成するには、以下の条件が選択できます。

- ▶ リンク・ステータスの変化
- ▶ 受信 FIFO データが使用可能
- ▶ フレーム送信完了または送信領域が使用可能
- ▶ タイム・スタンプの取得
- ▶ 動作エラーの検出
- ▶ PHY 関連割込み

割込みが発生すると、システムは MAC ステータス・レジスタ (STATUS0 および STATUS1) をポーリングすることで、割込みの発生源を特定できます。

送信振幅の設定

ADIN1111 は、次の 2 つの送信振幅の動作モードに対応しています。

- ▶ 1.0V p-p および 2.4V p-p のモード (ハイ・レベル)
- ▶ 1.0V p-p のみのモード

ハイ・レベルの送信モードでは、ADIN1111 は 2.4V p-p と 1.0V p-p の両方の電圧レベルに対応できます。したがって、動作レベルは、リンク・パートナーの機能に基づき、オート・ネゴシエーション (有効な場合) 中に自動的に設定されます。2.4V p-p の高レベル送信動作モードでは、AVDD_H 電源電圧を 3.3V にする必要があります。電源電圧が 3.3V 未満の場合、デバイスが正しく起動しない可能性があります。

動作モードは、 $\overline{\text{TX2P4_EN}}$ のハードウェア設定ピンで設定されます ([送信振幅](#) のセクションを参照)。また、ADIN1111 は、このピンで設定されたレベルに基づき、オート・ネゴシエーション・プロセスで使用する送信レベル・レジスタ・ビットのデフォルト値を設定します。

ADIN1111 は、 $\overline{\text{TX2P4_EN}}$ ピンがフローティング状態 (内部プルダウン抵抗) にある場合、ハイ・レベル送信動作モードになるようデフォルト設定されています。

リーダー／フォロア設定

10BASE-T1L 規格では、リーダー／フォロア・クロック方式を使用します。この方式は、一般的にエコー・キャンセル付きの全 2 重トランシーバ規格で使用されています。

10BASE-T1L リンクでは、1 つの PHY がリーダーに、他方の PHY がフォロアに指定されます。PHY がリーダーになるかフォロアになるかは、オート・ネゴシエーションで決まります。リーダーとフォロアの割り当ては、一般的には重要ではありません。

動作原理

ソフトウェア設定

リーダーおよびフォロア設定ビット (CFG_MST) を使用して PHY の役割を設定します。このビットは、オート・ネゴシエーションがディスエーブルされている場合にのみ使用します。それ以外の場合は、このビットはオート・ネゴシエーション・プロセス中にセットまたはリセットされます (オート・ネゴシエーションのセクションを参照)。

表 8. CFG_MST の設定

Bit Setting	Description
0	Prefer follower
1	Prefer leader

オート・ネゴシエーション

ADIN1111 は、IEEE 802.3 の条項 98 に準拠したオート・ネゴシエーション機能を使用しており、リンク・パートナーが共通の動作モードに合意できるよう、PHY 間の情報交換メカニズムを提供しています。オート・ネゴシエーション・プロセス中、PHY は自身の機能をアダプタイズし、リンク・パートナーから受信した機能と比較します。その結果、動作モードは、2 つのデバイスに共通の送信振幅モードとリーダー／フォロア優先度

に設定されます。リンクが切断された場合、オート・ネゴシエーション・プロセスは自動的に再起動します。オート・ネゴシエーションは、オート・ネゴシエーション制御レジスタのオート・ネゴシエーション再起動ビット (AN_RESTART) に書き込むことでも要求できます。

オート・ネゴシエーション・プロセスは、交換されるページの数に応じて完了するまでに時間がかかりますが、リンクを確立するためには常に最も速い方法です。IEEE 802.3 規格の条項 98 には、オート・ネゴシエーションに関連したタイマーについての詳細が記載されています。

ADIN1111 ではオート・ネゴシエーションはデフォルトでイネーブルされており、常にイネーブルしておくことを強く推奨します。

送信振幅の決定

オート・ネゴシエーションを使用して、送信振幅を決定できます。PHY は、ハードウェア設定を介して、1.0V p-p および 2.4V p-p の両方の送信レベルに対応するよう設定することも、1.0V p-p 送信レベルでのみ動作するよう設定することもできます (表 14 参照)。また、この設定は、10BASE-T1L のハイ・レベル送信動作モード機能 (AN_ADV_B10L_TX_LVL_HI_ABL) および 10BASE-T1L ハイ・レベル送信動作モード要求 (AN_ADV_B10L_TX_LVL_HI_REQ) のレジスタ・ビットを用いてソフトウェア設定により行うこともできます。

2.4V p-p 送信レベルで動作させるには、ローカル PHY とリモート PHY の両方が 2.4V で動作可能であることをアダプタイズする必要があります。また、少なくとも 1 方の PHY が 2.4V p-p の送信レベルの動作を要求する必要があります。

1.0V p-p 送信レベル動作でのみ PHY を動作させる場合は、AN_ADV_B10L_TX_LVL_HI_ABL ビットを 0 に設定し、2.4V p-p

送信レベル動作がアダプタイズされないようにします。この場合、オート・ネゴシエーションの結果は、リモートの PHY がアダプタイズする設定にかかわらず、1.0V p-p 送信レベル動作のみになります。

リーダー／フォロアの決定

オート・ネゴシエーションは、リーダーかフォロアかのステータスを決定するためにも使用されます。PHY は、ハードウェア設定を介してリーダー優先またはフォロア優先となるよう設定できます (表 13 参照)。オート・ネゴシエーションがディスエーブルされている場合、MS_SEL ハードウェア設定ピンがデフォルトのリーダー／フォロア選択を設定します。なお、ADIN1111 の推奨使用方法は、オート・ネゴシエーションをイネーブルすることです。

オート・ネゴシエーション中、フォロア優先が選択され、リモート端がリーダー優先またはリーダー強制の場合、ローカル PHY はフォロアに (リモートはリーダーに) 設定されます。リモート端がフォロア優先またはフォロア強制の場合、ローカル PHY はリーダーに (リモートはフォロアに) 設定されます。

MDI 回路

メディア依存インターフェース (MDI) は、ツイスト・ワイヤ・ペアを介して ADIN1111 をイーサネット・ネットワークに接続します。

ADIN1111 には内部終端抵抗と内部ハイブリッドを備えた 2 ピン MDI があり、ツイスト・ワイヤ・ペアを介して ADIN1111 をイーサネット・ネットワークに直接接続できます。

図 10、図 11、図 12 に、トポロジおよび各部品の値を示します。

部品値は以下のとおりです。

- ▶ D1、D2：保護用部品。低容量 (5pF 未満)、低電圧 (スタンドオフ電圧 3.3V 以上) の TVS。
- ▶ C1、C2：0.22μF、60V 定格。350μH の低インダクタンス・トランスを使用する場合、C1 および C2 を 0.47μF にする必要があります (IEEE 802.3 のドループ仕様に適合させるため)。
- ▶ R7、R8：コンデンサ C1 および C2 の電荷ビルド・アップを防ぐためのオプションの抵抗 (100kΩ～MΩ)。
- ▶ C3、C4：47pF～100pF、±5% の公差。
- ▶ D3：保護用部品。低容量 TVS (100pF 未満)。この TVS ダイオードは低容量であることが重要です。
- ▶ L1 トランス：ガルバニック絶縁を可能にします。
 - ▶ 100kHz～20MHz の周波数範囲で動作できることが必要です。
 - ▶ インダクタンス > 350μH。
- ▶ L2 コモンモード・インダクタ：≥220μH、低リーク・インダクタンス < 0.5μH。
- ▶ L3 電源インダクタ：高度物理層 (APL) デバイスと非 APL デバイスの電源カップリング用。
 - ▶ APL：880μH 以上の差動動作で、最大 10% のドループを実現。
 - ▶ 220μH 以上の結合インダクタを推奨 (共通磁気コア上に 2 つのインダクタ)。
 - ▶ あるいは、440μH 以上の 2 つの個別インダクタ。

動作原理

- ▶ 非 APL：160 μ H 以上の差動動作で、最大約 25%のドループを実現。
- ▶ 47 μ H 以上の結合インダクタを推奨（共通磁気コアに 2つのインダクタ）。
- ▶ あるいは、100 μ H 以上の 2つの個別インダクタ。

MDI 伝送線上に絶縁トランスがあるため、トランスのインダクタンスと電源インダクタの合計差動インダクタンスの並列値が 160 μ H を超える必要がある点に注意してください。

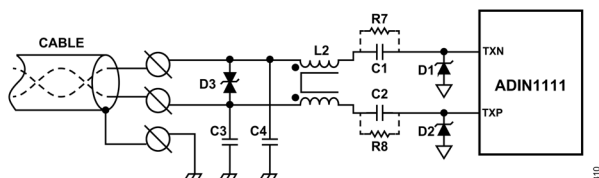


図 10. ADIN1111 に対し容量性結合をする代表的な MDI 回路

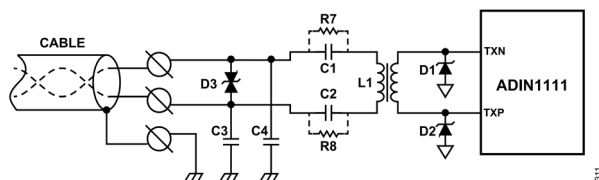


図 11. ADIN1111 に対しガバナック絶縁をする代表的な MDI 回路

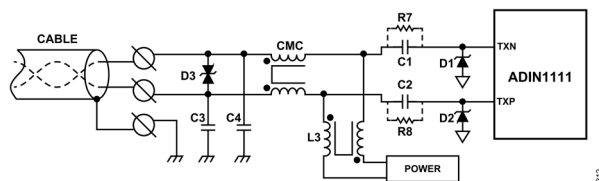


図 12. ADIN1111 に対し電源結合をする代表的な MDI 回路

リセット動作

ADIN1111 は、次のチップ・リセットをサポートしています：

- ▶ パワーオン・リセット
- ▶ ハードウェア・リセット
- ▶ ソフトウェア・リセット
- ▶ MAC サブシステム・リセット
- ▶ PHY サブシステム・リセット

これらのリセットはすべて、PHY コアおよび MAC を含む ADIN1111 を既知の状態にします。MAC がリセットされるたびに、SDO ピンがプルダウンされ、TS_TIMER ピンがロー状態に駆動されます。

パワーオン・リセット

ADIN1111 は、すべての電源をモニタするための電源モニタ回路を搭載しています。パワーアップ時、ADIN1111 は各電源が最小の立上がり閾値を超え電源が良好であると判断されるまで、ハードウェア・リセット状態に保持されます。

POR モジュールは、電源をモニタして 1 つ以上の電源が最小立下がり閾値を下回ったかどうかを検出することによるブラウンアウト保護機能を備えています。ブラウンアウトが検出されると、デバイスは電源が良好になるまでハードウェア・リセット状態を維持します。

ハードウェア・リセット

ハードウェア・リセットは、パワーオン・リセット回路、または **RESET** ピンをローにアサートすることで開始されます。**RESET** ピンを 10 μ s 以上の間、ローにします。このピンにはデグリーチ回路が含まれており、0.3 μ s より短いパルスは除去されます。

RESET ピンがアサート解除されると、すべての入出力 (I/O) ピンがトライステート・モードに保持され、ハードウェア設定ピンがラッチされて、I/O ピンはそれぞれの機能モードに設定されます。すべての外部および内部電源が有効かつ安定な場合、水晶発振器回路がイネーブルされます。水晶発振器が起動し安定すると、フェーズ・ロック・ループ (PLL) がイネーブルされます。**RESET** ピンがアサート解除されてから最大 50ms 後、すべての内部クロックが有効になり、内部ロジックはリセットから復帰し、すべての管理インターフェース・レジスタにアクセスして、デバイスをプログラムできるようになります。

ソフトウェア・リセット

チップ全体のソフトウェア・リセットは、RESET レジスタの SWRESET フィールドに 1 を書き込むことで開始できます。

SPI ソフトウェア・リセットの開始時に送信が行われていた場合は、フレーム送信が突然停止し、ラントまたは巡回冗長検査 (CRC) が不合格のフレームが送信される可能性があります。MAC-PHY がリセットされると、ADIN1111 にはリンクを確立する用意が整います。

このソフトウェア・リセットが開始されると、ハードウェア・リセットとほぼ同様に、チップが完全に初期化されます。I/O ピンはトライステート・モードに保持され、ハードウェア設定ピンがラッチされて、I/O ピンはそれぞれの機能モードに設定されます。水晶発振器回路がイネーブルになり、水晶発振器が起動して安定すると PLL がイネーブルされます。SOFT_RST キーの書き込み後約 10ms (最大) 経過すると、内部ロジックがリセットからリリースされ、すべての管理インターフェース・レジスタがアクセス可能になります。

MAC サブシステム・リセット

MAC のみのソフトウェア・リセットは、必要なキー・ペアを SOFT_RST レジスタに書き込むことで開始できます。

リセットは、約 1.2 μ s の間適用されます。MAC サブシステム・リセットは、MAC と PHY の間の任意の送信/受信パケット交換を中断しますが、既存のリンクを切断したり、リンクの確立を妨げたりするようなことはありません。PHY 管理レジスタは初期化されません。

MAC のみのソフトウェア・リセットをトリガするには、PHY がソフトウェア・パワーダウンの対象外であることが必要です。

動作原理

PHY サブシステム・リセット

PHY サブシステムは、ADIN1111の一部で、10BASE-T1L PHY トランシーバのアナログ回路とデジタル回路の両方を含んでいます。PHY サブシステムのリセットは、PHY サブシステム・リセット・レジスタ・ビット (CRSM_PHY_SUBSYS_RST) をセットすることで開始されます。このビットがセットされると、PHY サブシステムがリセットされます。リセットは約 1.2 μ s の間適用され、その後、このビットはセルフ・クリアされます。PHY のデジタル回路がすべてリセットされ、すべてのアクティブなリンクが切断されます。このリセットにより管理レジスタが初期化されることはありません。また、すべての管理レジスタへのアクセスは、PHY サブシステムのリセットの間も可能です。

す。これは短時間のリセットであり、デバイスのソフトウェア初期化を継続しながらデバイスを既知の状態にする場合に使用できます。

LED 機能

LED_0 および LED_1 は、LED 機能という特徴を利用し、ADIN1111の様々なアクティビティを表示するよう設定できます。LED 機能は、LED0_FUNCTION ビットおよび LED1_FUNCTION ビットで設定できます (LED 制御レジスタのセクションを参照)。

LEDx_FUNCTION の 7、8、9、10 (10 進数) のビット設定値は、LED モード 2 では使用できません。

表 9. LED_x ピンの設定の概要

Parameter	LED_0	LED_1
Pin Number	3	5
Internal Pull-Up or Pull-Down Resistor	Pull-up	Pull-down
Status at Power-Up or Reset	Enabled	Disabled
LED Pin Mux	Not applicable	DIGIO_LED1_PINMUX bits (see the Pin Mux Configuration 1 Register section)
Enable LED	LED0_EN bit (see the LED Control Register section)	LED1_EN bit (see the LED Control Register section)
LED Polarity	LED0_POLARITY bits (see the LED Polarity Register section)	LED1_POLARITY bits (see the LED Polarity Register section)
LED Mode	LED0_MODE bit (see the LED Control Register section), default: LED Mode 1	LED1_MODE bit (see the LED Control Register section), default: LED Mode 1
LED Function ¹	LED0_FUNCTION bits (see the LED Control Register section), default: LINKUP_TXRX_ACTIVITY	LED1_FUNCTION bits (see the LED Control Register section), default: TXRX_ACTIVITY
LED Blink Rate	LED0_BLINK_TIME_CNTRL (see the LED_0 On/Off Blink Time Register section)	LED1_BLINK_TIME_CNTRL (see the LED 1 On/Off Blink Time Register section)
Maximum Current ²	8 mA at 3.3 V	8 mA at 3.3 V

¹ LEDx_FUNCTION ビットの 7、8、9、10 (10 進数) の設定値は、LED モード 2 では使用できません。

² 表 1 を参照してください。

動作原理

代表的な使用例

LED_0 ピンおよび LED_1 ピンは、外部 LED を接続して ADIN1111 のリンク・ステータスや送受信アクティビティを示すために使用できます。各 LED に割り当てるアクティビティは、LED_CNTRL で設定できます ([LED 制御レジスタ](#)のセクションを参照)。

LED ピンは、超低消費電力の LED に適しています。LED_0 ピンと LED_1 ピンの最大出力電流は、VDDIO = 3.3V の場合 8mA です。これより大きな LED 出力が必要な場合は、外部トランジスタを使用することを推奨します。

LED_x ピンは、ホスト・コントローラの汎用入出力 (GPIO) にも接続できます (パルス幅変調入力またはハードウェア割込みとして設定)。この設定は、ユーザ・インターフェースをすべて外部ホスト・コントローラで処理する必要があるアプリケーションにおいて有用です (例えば外部 LED モジュールやディスプレイ)。なお、この場合は、ADIN1111 の LED_x ピンとコントローラの間に低抵抗値の抵抗を直列に配置し、過渡的なサージ電流を防ぐことを推奨します。

LED ピンのマルチプレクス

内部マルチプレクサは、LED_1 ピンで LED_1 信号をイネーブルするよう設定する必要があります。LED_1 はデフォルトではディスエーブルされており、DIGIO_LED1_PINMUX ビットでイネーブルできます ([ピン・マルチプレクサ設定 1 レジスタ](#)のセクションを参照)。

LED_0 ピンはマルチプレクスする必要はありません。

LED の極性

LED_0 ピンと LED_1 ピンは、LED 極性モード機能を使用して、様々な LED 回路の極性に対応するよう設定できます ([LED 極性レジスタ](#)のセクションを参照)。LED ごとに次の 3 つの極性モードが使用できます。

- ▶ オートセンス (デフォルト)
- ▶ アクティブ・ハイ
- ▶ アクティブ・ロー

オートセンス・モードの場合、ADIN1111 はパワーアップ時またはリセット時にピンを自動的に検出し、適切な極性設定を選択します。アクティブ・ハイ・モードの場合、ADIN1111 はアノード側から LED を駆動するよう設定されます。アクティブ・ロー・モードの場合、ADIN1111 はカソード側から LED を駆動するよう設定されます。

回路例については、[LED 回路例](#)のセクションで説明します。

LED モード

LED_0 および LED_1 のアクティビティ動作は、次の 2 つの LED モードを使用して設定できます。

- ▶ LED モード 1: 点滅のデューティ・サイクルは、それぞれ、LED0_BLINK_TIME_CNTRL レジスタ ([LED_0 オン/オフ点滅時間レジスタ](#)のセクションを参照) および LED1_BLINK_TIME_CNTRL レジスタ ([LED_1 オン/オフ点滅時間レジスタ](#)のセクションを参照) を用いて定義されます。
- ▶ LED モード 2: 点滅のデューティ・サイクルは、アクティビティ・レベル (%) に基づき、ADIN1111 によって自動的に定義されます。

リンク・ステータス・ピン

LINK_ST ピンは、リンク・ステータス・ビット (AN_LINK_STATUS) がアサートされた場合にハイにアサートされ、ADIN1111 とそのリンク・パートナーの間のリンクがアクティブになったことを示します。

デフォルトでは、LINK_ST 信号はアクティブ・ハイであり、DIGIO_LINK_ST_POLARITY ビットを用いてアクティブ・ハイまたはアクティブ・ローに設定できます ([ピン・マルチプレクサ設定 1 レジスタ](#)のセクションを参照)。

パワーダウン・モード

ADIN1111 は次の 2 種類のパワーダウン・モードに対応しています。

- ▶ ハードウェア・パワーダウン
- ▶ ソフトウェア・パワーダウン

消費電力が最小になるモードはハードウェアのパワーダウン・モードであり、その場合、デバイスは完全にオフになり、アクセスできなくなります。

ハードウェア・パワーダウン・モード

ハードウェア・パワーダウン・モードは、ADIN1111 の動作が不要で、消費電力を最小限に抑える必要がある場合に使用できます。RESET ピンをアサートしてローに保持すると、ADIN1111 はハードウェア・パワーダウン・モードに入ります。このモードでは、すべてのアナログ回路とデジタル回路がディスエーブルされ、クロックはゲート・オフされ、すべての I/O ピンがトライステート・モードに保持されて、唯一の電力は回路の漏れ電力となります。このモードでは、管理レジスタにはアクセスできません。

ソフトウェア・パワーダウン・モード

ソフトウェア・パワーダウン・モードは、リンクを確立する前に ADIN1111 のレジスタを設定するために使用できます。ADIN1111 は、SWPD_EN ピンを使ってリセット後にソフトウェア・パワーダウン・モードになるよう設定できます。また、ADIN1111 には、ソフトウェア・パワーダウン・ビット (CRSM_SFT_PD) をセットすることで、ソフトウェア・パワーダウン・モードになるよう命令を送ることもできます。

ソフトウェア・パワーダウン・ステータス・ビット (CRSM_SFT_PD_RDY) は、デバイスがソフトウェア・パワーダウン状態にあることを示します。ソフトウェア・パワーダウン・モードでは、アナログ回路とデジタル回路は低消費電力状態になりますが、PLL はアクティブなままで、設定によっては出力クロックを供給できます。MDI ピンの信号またはエネルギーは無視され、リンクは確立しません。管理インターフェース・レジスタにはアクセスが可能で、ソフトウェアによりデバイスを設定できます。CRSM_SFT_PD ビットをクリアすると、ADIN1111 はソフトウェア・パワーダウン・モードを終了します。この時点で、MAC-PHY はオート・ネゴシエーションを開始し、完了後にリンクの確立を試みます。

ハードウェア設定ピン

ADIN1111は、ハードウェア設定ピンを使用して、アンマネージド構成またはマネージド構成で動作できます。

ハードウェア設定ピンは、代替のブートストラップ機能を備えた標準的なピンです。ADIN1111は、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、直ちにハードウェア設定ピンのレベルを読み出し、それに応じてPHY設定を構成します。ADIN1111がアクティブになると、直ちにPHYでリンクの確立を試み、ハードウェア設定ピンはメインのピン機能として使用できるようになります。これらのピンは、アンマネージド構成またはマネージド構成で使用できます。

アンマネージド構成とは、ADIN1111のPHYパラメータがハードウェア設定ピンで設定されていることを意味します。このモードは、システムが、ソフトウェア制御を必要とせずにADIN1111のポート設定を静的に構成する必要がある場合に使用できます。

マネージド構成とは、SPIを介してソフトウェアによりADIN1111の全制御を行うことを意味します。PHYおよびMAC層はソフトウェアで設定できます。ハードウェア設定ピンは、外部ホストに接続することも、プルアップ/プルダウン抵抗を使ってハードウェア設定することもできます。ホスト・コントローラがアクティブな場合、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、ADIN1111の設定をハードウェア・ピンでオーバーライドできます。

ハードウェア設定ピンの機能

ADIN1111のハードウェア設定ピンで以下の機能を設定できます。

- ▶ リセット後のソフトウェア・パワーダウン・モード
- ▶ 送信振幅の設定
- ▶ リーダー／フォロアの選択
- ▶ SPIプロトコルの設定

すべてのハードウェア設定ピンには、内部プルダウン抵抗があります。これらのピンに外部抵抗を接続しないデフォルト動作モードを表10に示します。代替動作モードが必要な場合は、4.7kΩのプルアップ抵抗を使用してください。

表 10. デフォルトのハードウェア設定モード

Hardware Configuration Pin Function	Default Mode
Software Power-Down Mode after Reset	PHY in software power-down mode after reset
Leader/Follower Selection	Prefer follower
Transmit Amplitude	1.0 V p-p and 2.4 V p-p
SPI Protocol Configuration	OPEN Alliance protocol with protection

表 11. ハードウェア設定ピンの推奨制御

Required Pin Level	Managed Configuration Options	Unmanaged Configuration Options
High	4.7 kΩ external pull-up resistor Host GPIO output high ¹	4.7 kΩ external pull-up resistor
Low	External pull-down resistor Host GPIO output low ¹	External pull-down resistor Floating pin ²

表 11. ハードウェア設定ピンの推奨制御（続き）

Required Pin Level	Managed Configuration Options	Unmanaged Configuration Options
	Host GPIO tristated ²	
	Floating pin ²	

¹ 低抵抗値の直列抵抗を推奨します。

² 外部プルダウン抵抗を推奨します。

リセット後のソフトウェア・パワーダウン

リセット後にソフトウェア・パワーダウン・モードに入らないようにADIN1111を設定している場合、リセット解除後にオート・ネゴシエーションを開始し、完了後にリンクの確立を試みます。リセット後にソフトウェア・パワーダウン・モードに入るようにADIN1111を設定している場合、SPI経由で設定されるまでソフトウェア・パワーダウン・モードのまま待機します。この時点で、PHYの構成はソフトウェアによってソフトウェア・パワーダウンを終了するように設定できます。

表 12. ソフトウェア・パワーダウン（ハードウェア構成）

Software Power-Down Configuration	SWPD_EN
PHY in software power-down after reset	0
PHY not in software power-down	1

リーダー／フォロアの優先順位

MS_SEL ハードウェア設定ピンは、TS_TIMER ピンと共有され、リーダー／フォロアのデフォルトの選択を設定します。パワーアップ時またはリセット時にMS_SELがローにプルダウンされていると、デバイスはデフォルトでフォロア優先に設定されます（内部プルダウン抵抗があるため、外部プルアップ抵抗がMS_SELピンに接続されていない場合に該当）。パワーアップ時またはリセット時にMS_SELがハイにプルアップされていると、デバイスはデフォルトでリーダー優先に設定されます。

オート・ネゴシエーションがディセーブルされている場合、MS_SELがデフォルトのリーダー／フォロア選択を行います。ADIN1111ではオート・ネゴシエーションはデフォルトでイネーブルされており、常にイネーブルしておくことを強く推奨します。

オート・ネゴシエーション中、フォロア優先が選択され、リモート端がリーダー優先またはリーダー強制の場合、ローカルPHYはフォロアに（リモート側はリーダーに）設定されます。リモート端がフォロア優先またはフォロア強制の場合、ローカルPHYはリーダーに（リモートはフォロアに）設定されます。

表 13. リーダー／フォロアの選択（ハードウェア設定）

Leader/Follower Selection	MS_SEL
Prefer Follower Selection	0
Prefer Leader Selection	1

ハードウェア設定ピン

送信振幅

$\overline{\text{TX2P4_EN}}$ ハードウェア設定ピンを用いると、目的のアプリケーションに必要な送信振幅モードをユーザが設定できます（表 14 参照）。 $\overline{\text{TX2P4_EN}}$ がローにプルダウンされている場合、ADIN1111 は、デフォルトで 1.0V p-p と 2.4V p-p の両方の送信レベルをサポートし、使用するレベルはオート・ネゴシエーションによって決定されます。 $\overline{\text{TX2P4_EN}}$ がハイにプルアップされている場合、ADIN1111 はデフォルトで 2.4V p-p の送信動作モードをディスエーブルし、1.0V p-p の送信レベルでのみ動作するよう設定されます。 $\overline{\text{TX2P4_EN}}$ がハイ（1.0V p-p のみ）に接続されている場合、SPI を介して関連するレジスタを変更することはできません。例えば、ADIN1111 がハードウェア・ピンで 1.0V p-p レベルのみのモードに設定されている場合、2.4V p-p での動作はできません。

1.0V p-p の送信動作モードは、1.8V の低い AVDD_H 電源電圧でも動作できます。

一方、2.4V p-p の高電圧の送信動作モードは、3.3V の高い AVDD_H 電源電圧を必要とします。このモードは、ノイズ・レベルが高い産業用イーサネット環境で長いケーブルを使用する場合に適しています。

表 14. 送信振幅の設定（ハードウェア設定）

Transmit Amplitude Selection	$\overline{\text{TX2P4_EN}}$
1.0 V p-p or 2.4 V p-p	0
1.0 V p-p	1

SPI プロトコルの設定

ADIN1111 では、CRC ありまたは CRC なしの汎用 SPI プロトコル、保護ありまたは保護なしの OPEN Alliance SPI プロトコルを使用できます。

表 15. SPI プロトコル（ハードウェア設定）

SPI Protocol	SPI_CFG1	SPI_CFG0
OPEN Alliance with Protection	0	0
OPEN Alliance Without Protection	0	1
Generic SPI with 8-bit CRC	1	0
Generic SPI Without 8-bit CRC	1	1

10BASE-T1L リンクの確立 アンマネージド PHY 動作

アンマネージド PHY アプリケーション、または PHY のソフトウェア・マネージメントが行われない簡易マネージド PHY アプリケーションでは、ハードウェア設定ピンが動作モードを決定します。TX2P4_ENピンは、PHY が 1.0V p-p および 2.4V p-p の両方の送信レベル動作に対応することをアドバタイズする、または 1.0V p-p 送信レベル動作にのみ対応することをアドバタイズするよう設定できます。MS_SEL ピンを用いると、フォロア優先またはリーダー優先をアドバタイズするよう PHY を設定できます。リセットが解除されたときに PHY がソフトウェア・パワーダウン・モードにならないよう、パワーアップ時およびリセット時にSWPD_ENピンをプルアップする必要があります。PHY のリセットが解除されると、ADIN1111 はオート・ネゴシエーションを開始し、完了後にリンクの確立を試行します。

簡易マネージド PHY では、ハードウェア設定ピンで PHY の動作を決定し、10BASE-T1L のリンクを確立できます。その後、ソフトウェアによって PHY の動作をモニタできます。

マネージド PHY 動作

マネージド PHY アプリケーションでは、管理インターフェースを用いて PHY の動作を設定します。ハードウェア設定ピンを用いると、送信振幅やリーダー／フォロア設定を制御するレジスタのデフォルト値を設定できます。リセットが解除されたときに PHY がソフトウェア・パワーダウン・モードになるよう、パワーアップ時およびリセット時にSWPD_ENピンをプルアップする必要があります。ソフトウェアが PHY を設定してソフトウェア・パワーダウン・モードを解除し、オート・ネゴシエーションを開始してリンクの確立を試行するまで、PHY はソフトウェア・パワーダウン・モードを維持します。

パワーアップおよびリセットの完了

MAC がリセットを終了したことを確認するには、PHY 識別レジスタ (PHYID) を読み出します。レジスタのリセット値 (0x283BC91) が読み出せる場合は、デバイスはリセットを終了し、設定の準備が整っています。

次に、ホストは、STATUS0 レジスタを読み出し、RESETC フィールドが 1 であることを確認する必要があります。RESETC フィールドが 0 で、CONFIG0 レジスタの SYNC フィールドが 1 の場合、MAC-PHY は既にホストによって設定済みであり、リセットされていない点に注意してください。この状態は、ホストがリセットされていても MAC-PHY はリセットされていないことを示している可能性があります。

STATUS0 レジスタの RESETC フィールドに 1 を書き込んでこのフィールドをクリアすると、割込みピンがハイにアサートされます。

STATUS0 レジスタの PHYINT フィールドもアサートされます。このフィールドをクリアするには、対応するステータス・レジスタである PHY_SUBSYS_IRQ_STATUS および CRSM_IRQ_STATUS をクリアあるいはマスクする必要があります。

システム・レディ・ビット (CRSM_SYS_RDY) も読み出すことができ、スタートアップ・シーケンスが完了しシステムの通常動作の準備が整っていることを確認できます。

ソフトウェア・パワーダウン・ステータス・ビット (CRSM_SFT_PD_RDY) を読み出すことで、デバイスがソフトウェア・パワーダウン状態になっているかどうかを確認できます。このビットはSWPD_ENハードウェア設定ピンによって設定されます。

MAC の初期化

パワーアップまたはリセット後、ADIN1111 の MAC を設定します。必要に応じ IMASK0 レジスタと IMASK1 レジスタに書き込みを行って割込みをイネーブルします。

CONFIG0 および CONFIG2 に書き込むと、必要な MAC 機能をセットアップできます。例えば、OPEN Alliance のチャック・サイズを設定したり、必要に応じてカット・スルーをイネーブルしたりできます。

MAC を設定した後、CONFIG0 レジスタの SYNC フィールドに 1 を書き込むことで、MAC 設定が完了したことを通知できます。

デバイスをリンク用に設定

パワーアップまたはリセット後、ADIN1111 の PHY をリンクに必要な動作に設定します。ADIN1111 は、ハードウェア設定ピンによってリンクに必要な設定が既に行われている場合もありますが、管理レジスタを使用することで、より柔軟な制御が可能になります。

オート・ネゴシエーション・プロセスを使用すると、ローカル PHY とリモート PHY の動作モードを一致させることができます。例えば、オート・ネゴシエーションを使用すると、どのデバイスがリーダーとして、どのデバイスがフォロアとして動作するかというモードを確実に一致させることができます。オート・ネゴシエーションは、2 つの PHY 間で送信レベルを一致させることもできます。

ADIN1111 ではオート・ネゴシエーションはデフォルトでイネーブルされており、常にイネーブルしておくことを強く推奨します。オート・ネゴシエーションは IEEE 規格で定義され、PHY 同士の堅牢なリンク動作を確保するためのメカニズムを多数備えており、リンクを最も速く確立できる方法です。

送信レベル動作モードのアドバタイズ

10BASE-T1L 高電圧送信アビリティ読み出し専用レジスタ・ビット (B10L_TX_LVL_HI_ABLE) が 1 にセットされ、AVDD_H ピンに 3.3V の電源が供給されている場合、ADIN1111 は 1.0V p-p と 2.4V p-p のどちらの送信レベル動作にも対応します。送信レベルが高いほど長距離伝送に対応できますが、消費電力も大きくなります。ADIN1111 は、AVDD_H ピンの電圧が 1.8V の場合、非常に低い消費電力で 1.0V p-p の送信レベル動作に対応できます。

ADIN1111 は、1.0V p-p および 2.4V p-p の両方の送信レベル動作に対応する (B10L_TX_LVL_HI_ABLE=1 の場合) ことをアドバタイズするよう設定することも、1.0V p-p 送信レベル動作にのみ対応することをアドバタイズするよう設定することもできます。この設定を行うには、BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタにある 10BASE-T1L ハイ・レベル送信動作モード・アビリティ・ビット (AN_ADV_B10L_TX_LVL_HI_ABL) を用います。0 は 1.0 V p-p 送信レベルのみのモードに対応し、1 は 1.0V p-p と 2.4V p-p の両方の送信レベルに対応します。

10BASE-T1L リンクの確立

また、ADIN1111は2.4V p-p 送信レベル動作のリクエストをアドバタイズするよう設定することもできます（B10L_TX_LVL_HI_ABLE = 1 の場合）。この設定は、10BASE-T1L ハイ・レベル送信動作モード・リクエスト・ビット（AN_ADV_B10L_TX_LVL_HI_REQ）を用いて行います。0は1.0V p-p 送信レベルをリクエストし、1は2.4V p-p の送信レベルをリクエストします。

リンク・パートナーがアドバタイズした送信レベル・アビリティは、リンク・パートナーの 10BASE-T1L ハイ・レベル送信動作モード・アビリティ・レジスタ・ビット（AN_LP_ADV_B10L_TX_LVL_HI_ABL）で読み出せます。リンク・パートナーがアドバタイズした送信レベル・リクエストは、リンク・パートナーの 10BASE-T1L ハイ・レベル送信動作モード・リクエスト・レジスタ・ビット（AN_LP_ADV_B10L_TX_LVL_HI_REQ）で読み出せます。これらのビットは、オート・ネゴシエーション・プロセス中に更新され、オート・ネゴシエーション完了レジスタ・ビット（AN_COMPLETE）がセットされると有効になります。

ローカル PHY またはリモートの PHY のいずれかがハイ・レベル（2.4V p-p）送信動作モードに対応していないことをアドバタイズする場合、または、ローカル PHY とリモート PHY のどちらもハイ・レベル（2.4V p-p）送信動作モードを要求するアドバタイズをしない場合は、1.0V p-p 送信レベルで動作します。

ローカルおよびリモートのどちらの PHY もハイ・レベル（2.4V p-p）送信動作モードで送信できることをアドバタイズしている場合で、かつ、ローカルまたはリモートの PHY がハイ・レベル（2.4V p-p）送信動作モードのリクエストをアドバタイズしている場合、2.4V p-p 送信レベルでの動作になります。

したがって、一方の PHY が 1.0V p-p 送信レベルで動作しなくてはならないようにすることは確実にできますが、2.4V p-p 送信レベルでの動作はリクエストすることしかできません。

表 16. オート・ネゴシエーションによる送信レベルの決定¹

HI_ABL ²	HI_REQ	LP_HI_ABL	LP_HI_REQ	Transmit Level
0	X	0	X	1.0 V p-p
1	X	0	X	1.0 V p-p
0	X	1	X	1.0 V p-p
1	0	1	0	1.0 V p-p
1	0	1	1	2.4 V p-p
1	1	1	0	2.4 V p-p
1	1	1	1	2.4 V p-p

¹ X は、ドント・ケアを意味します。

² HI_ABL、HI_REQ、LP_HI_ABL、LP_HI_REQ は、それぞれ、アドバタイズ・ビット AN_LP_ADV_B10L_TX_LVL_HI_ABL、AN_LP_ADV_B10L_TX_LVL_HI_REQ、AN_ADV_B10L_TX_LVL_HI_ABL、AN_ADV_B10L_TX_LVL_HI_REQ を指します。

リーダー／フォロアのアドバタイズメント

10BASE-T1L 規格では、リーダー／フォロア・クロック・スキームと呼ばれるスキームを使用します。このスキームは、一般的にエコー・キャンセルを用いる全 2 重トランシーバ規格で使用されています。1 つの PHY がリーダーに、他方の PHY がフォロアに指定されます。どちらの PHY がリーダーでどちらの PHY がフォロアになるかは、オート・ネゴシエーションで決まります。一般的にはどちらがどちらになっても重要ではありません。

ADIN1111のMS_SELピンには内部プルダウン抵抗があり、PHY をフォロア優先でアドバタイズするようデフォルト設定されています。フォロア優先アドバタイズのデフォルト設定をそのまま使用するか、リーダー優先アドバタイズに設定することを推奨します。

PHY がリーダーとして動作することが必須である場合は、リーダー強制アドバタイズ設定を使用してください。ただし、この設定を使用する場合は注意が必要です。リモート端もリーダー強制に設定されていると、設定フォルトが生じ、オート・ネゴシエーションが失敗し、リンクが確立できなくなります。

強制リーダー／フォロア設定レジスタ・ビット（AN_ADV_FORCE_MS）を使用すると、リーダー／フォロア設定を優先としてアドバタイズするか、強制値としてアドバタイズするかを次のように設定できます。0 ではリーダー／フォロア設定が優先モード、1 ではリーダー／フォロア設定が強制モードになります。

リーダー／フォロア設定レジスタ・ビット（AN_ADV_MST）を用いると、リーダー／フォロア設定をアドバタイズするよう PHY を設定できます。0 ではフォロア、1 ではリーダーです。

リンク・パートナーがアドバタイズするリーダー／フォロア設定は、リンク・パートナー強制リーダー／フォロア設定レジスタ・ビット（AN_LP_ADV_FORCE_MS）およびリンク・パートナー・リーダー／フォロア設定レジスタ・ビット（AN_LP_ADV_MST）で読み出すことができます。これらのビットは、オート・ネゴシエーション・プロセス中に更新され、オート・ネゴシエーション完了レジスタ・ビット（AN_COMPLETE）がセットされると有効になります。

ローカル PHY とリモート PHY の優先設定が同じ場合（例えば、どちらもフォロアまたはどちらもリーダー）、ランダム・プロセスでどちらをリーダー、どちらをフォロアにするかを決定します。一方の PHY が強制設定の場合は、両方の PHY が同じリーダー／フォロア設定であっても、その強制設定が優先されます。どちらの PHY も強制設定され同じリーダー／フォロア設定である場合には、設定フォルトが発生し、オート・ネゴシエーションは失敗します。

リーダー／フォロアの決定結果は、リーダー／フォロア決定結果レジスタ・ビット（AN_MS_CONFIG_RSLTN）を読み出すことで確認できます。この結果は、PHY がフォロアかリーダーか、または、設定フォルトが発生しているかを示します。これらのビットは、オート・ネゴシエーション・プロセス中に更新され、オート・ネゴシエーション完了レジスタ・ビット（AN_COMPLETE）がセットされると有効になります。

10BASE-T1L リンクの確立

表 17. オート・ネゴシエーションによるリーダー／フォロアの決定¹

Local		Remote		Local	Remote
AN_ADV_FORCE_MS	AN_ADV_MST	AN_LP_ADV_FORCE_MS	AN_LP_ADV_MST	Leader/Follower Resolution	
0	0	0	0	Leader/Follower	Follower/Leader
0	0	0	1	Follower	Leader
0	1	0	0	Leader	Follower
0	1	0	1	Leader/Follower	Follower/Leader
0	X	1	0	Leader	Follower
0	X	1	1	Follower	Leader
1	0	0	X	Follower	Leader
1	1	0	X	Leader	Follower
1	0	1	0	Configuration Fault	Configuration Fault
1	0	1	1	Follower	Leader
1	1	1	0	Leader	Follower
1	1	1	1	Configuration Fault	Configuration Fault

¹ X は、ドント・ケアを意味します。

オート・ネゴシエーションの完了

オート・ネゴシエーションが完了すると、オート・ネゴシエーション完了指示レジスタ・ビット (AN_LINK_GOOD) がセットされます。このビットは、オート・ネゴシエーション送信が完了したこと、イネーブルされた PHY 技術がリンクを確立中、または既に確立済みであることを示します。

オート・ネゴシエーションが完了しリンクが確立すると、オート・ネゴシエーション完了レジスタ・ビット (AN_COMPLETE) が設定されます。このビットが 1 として読み出された場合、オート・ネゴシエーションが完了して PHY リンクが確立しており、AN_ADV_ABILITY レジスタ・ビットと AN_LP_ADV_ABILITY レジスタ・ビットの内容が有効であることを示します。

リンク・ステータス

リンクのステータスは、リンク・ステータス・レジスタ・ビット (AN_LINK_STATUS) を読み出すことで判定できます。このビットはローにラッチされます。

このビットが 1 の場合、有効なリンクが確立されていることを示します。

このビットが 0 の場合は、最後の読出し以降にリンクが切断されています。このビットの読出し値が 0 の場合、リンク・ステータスを確認するために再度読み出す必要があります (ラッチ・ロー・レジスタのセクションを参照)。

リンクが切断されると、オート・ネゴシエーション・プロセスは自動的に再起動します。オート・ネゴシエーションは、オート・ネゴシエーション制御レジスタ (AN_CONTROL) のオート・ネゴシエーション再起動ビット (AN_RESTART) に書き込むことで要求し、再起動できます。

オン・チップ診断

ループバック・モード

MAC-PHY の PHY コアには、以下のループバック・モードがあります。

- ▶ 物理メディア・アタッチメント (PMA) ループバック
- ▶ 物理コーディング・サブレイヤ (PCS) ループバック
- ▶ MAC インターフェース・ループバック
- ▶ MAC インターフェース・リモート・ループバック

これらのループバック・モードは、PHY 内の様々な機能ブロックをテストおよび検証します。内蔵のフレーム・チェッカとフレーム・ジェネレータを使用すると、PHY コア内のデジタルおよびアナログ・データ・パスを完全に自己完結型でインサーキット・テストできます。必要なソフトウェアをホスト・プロセッサに実装することで、(PHY コアのみに限定されることなく) ADIN1111 の MAC 部を含むループバックを確立することもできます。

PMA ループバック

PMA ループバックの場合、MDI ピンをオープン・サーキットのままにして、未終端のコネクタまたはケーブルに送信します。最も正確な結果を得るためには、ケーブルを接続しないでおきます。PHY は、自身の送信からの反射を受信することで動作します。このループバックは、IEEE 802.3cg 規格副条項 146.5.6 の PMA ローカル・ループバックの実装を目的としたものです。

なお、10BASE-T1L の PMA ループバックの場合、デバイスは強制リンク設定モード (オート・ネゴシエーションはディスエーブル) に設定する必要があります。B10L_LB_PMA_LOC_EN ビット (B10L_PMA_CNTRL レジスタ) を設定すると、PMA ループバックがイネーブルされます。

PCS ループバック

PCS ループバック・モードは、PHY デジタル・ブロックの入力段にある PCS ブロック内で送信データをレシーバにループバックします。B10L_LB_PCS_EN ビット (B10L_PCS_CNTRL レジスタ) を設定すると PCS ループバックがイネーブルされます。

PCS ループバック・モードがイネーブルされている場合、MDI ピンには信号が送信されません。

MAC インターフェース・ループバック

MAC インターフェース・ループバック・モードでは、MAC インターフェースで受信したデータを SPI ホストにループバックします。MAC_IF_LB_EN ビット (MAC_IF_LOOPBACK レジスタ) を設定すると MAC インターフェース・ループバックがイネーブルされます。同じレジスタ内の MAC_IF_LB_TX_SUP_EN ビットがセットされている場合 (デフォルトでセット)、MDI ピンへの信号の伝送が抑制されます。

MAC インターフェース・リモート・ループバック

MAC インターフェース・リモート・ループバックでは、リモート PHY とのリンク・アップが必要で、リモート PHY から受信したデータを再びリモート PHY にループバックできます。このリンクを行うと、リモート PHY が適切なデータを受信することを確認することにより、リンクが完全であることをリモート PHY が検証できます。MAC_IF_REM_LB_EN ビット (MAC_IF_LOOPBACK レジスタ) をセットすると、MAC インターフェース・リモート・ループバックが可能になります。同じレジスタ内で MAC_IF_REM_LB_RX_SUP_EN ビットがセットされていると (デフォルトでセット)、PHY が受信したデータは抑制され MAC には送信されません。

MAC ループバック

MAC ループバックでは、MAC 送信チャンネルで受信したデータを SPI ホストにループバックします。MAC ループバックは P1_LOOP レジスタでイネーブルされます。

ホスト・プロセッサ・ループバック

ADIN1111 内の PHY コアに関連するループバック・モード以外に、ホスト・プロセッサを使用して完全な MAC ループバックを作成できます。完全な MAC ループバックでは、図 13 に示すように、MAC から受信したフレームはすべて MAC に戻されます。

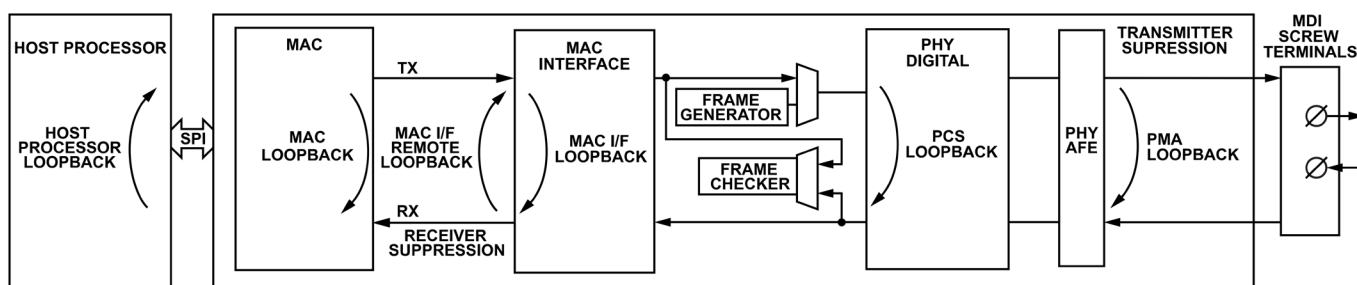


図 13. ADIN1111 のループバック・モード

オン・チップ診断

フレーム・ジェネレータとフレーム・チェッカ

ADIN1111は、フレームを生成し、受信したフレームを確認するように構成できます（図 14 を参照）。フレーム・ジェネレータとフレーム・チェッカを個別に使用して、フレームの生成またはフレームの確認ができます。あるいは、フレーム・ジェネレータとフレーム・チェッカを一緒に使用して、フレームの生成とフレームの確認を同時に行うことができます。フレームをリモート・エンドでループバックさせると、フレーム・チェッカを使用して ADIN1111 が生成したフレームを確認できます。

フレーム・ジェネレータをイネーブルした場合、PHY のデータ・ソースは MAC ではなくフレーム・ジェネレータから取得されます。

フレーム・ジェネレータの制御レジスタでは、送信するフレームのタイプ（ランダム・データやすべて 1 など）、フレーム長、および生成するフレーム数を設定します。

要求されたフレームの生成は、フレーム・ジェネレータをイネーブルする（FG_EN）ことから始めます。フレームの生成が完了すると、フレーム・ジェネレータ完了ビットがセットされます（FG_DONE）。

フレーム・チェッカは、フレーム・チェッカ・イネーブル・ビット（FC_EN）を使用してイネーブルします。フレーム・チェッカは、MAC インターフェイスまたは PHY のいずれかから受信したフレームを確認および分析するよう設定できます。これは、フレーム・チェッカ送信選択ビット（FC_TX_SEL）を使用して設定します。フレーム・チェッカは、受信したフレーム数、CRC エラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

フレーム・チェッカは CRC エラー数をカウントし、これらは受信エラー・カウンタ・レジスタ（RX_ERR_CNT）で通知されます。フレーム・チェッカ・エラー・カウンタとフレーム・チェッカ・フレーム・カウンタ間の同期を確保するために、受信エラー・カウンタ・レジスタが読み出されると、すべてのカ

ウンタがラッチされます。したがって、フレーム・チェッカを使用する際は、最初に受信エラー・カウンタを読み出し、次に他のすべてのフレーム・カウンタとエラー・カウンタを読み出します。受信フレーム・カウンタ・レジスタのラッチされたコピーは、FC_FRM_CNT_H レジスタと FC_FRM_CNT_L レジスタで利用できます。

フレーム・チェッカは、CRC エラーに加えて、フレーム長エラー、フレーム・アライメント・エラー、シンボル・エラー、オーバーサイズ・フレーム・エラー、アンダーサイズ・フレーム・エラーをカウントします。フレーム・チェッカは、受信したフレームの他、フレーム内のニブル数が奇数であるフレームをカウントし、また、プリアンプル内のニブル数が奇数であるパケットをカウントします。フレーム・チェッカはまた、偽キャリア・イベント数（不正なストリーム開始区切り（SSD：start of stream delimiter）状態に入った回数）もカウントします。

2つの MAC-PHY を使用したリモート・ループバックによるフレーム・ジェネレータとフレーム・チェッカ

2つの MAC-PHY デバイスを使用すると、PHY コアから PHY コアへの接続を自己完結型で簡便に検証する方法を構成できます。あるいは、ホスト・プロセッサを用いてリモート端でループバックを実行することにより、完全なシグナル・チェーンを構成できます。図 14 に、各 MAC-PHY の設定概要を示します。外部ケーブルを両方のデバイス間に接続し、MAC-PHY 1 がフレーム・ジェネレータを使用してフレームを生成します。

テストを ADIN1111 の PHY コア部分だけに限定する場合は、MAC-PHY 2 の MAC インターフェイス・リモート・ループバック（MAC_IF_REM_LB_EN）をイネーブルします。MAC-PHY 1 によって発行されたフレームはケーブルを通して送信され、PHY 2 シグナル・チェーンを通過して PHY 2 MAC リモート・ループバックによって返され、ケーブルを介して再び戻されて、MAC-PHY 1 フレーム・チェッカによって確認されます。あるいは、MAC-PHY 1 からのフレームをリモート・デバイスのホスト・プロセッサまで送信して、そこから、MAC-PHY 2 の MAC および PHY ブロックを通じてループバックし、MAC-PHY 1 に戻すこともできます。

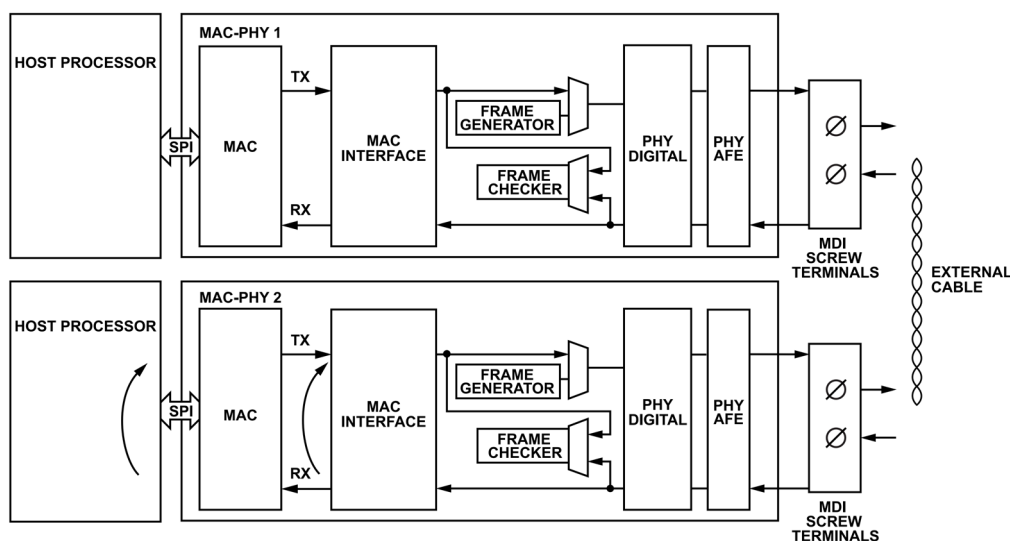


図 14. セルフ・チェック用に 2 つの PHY 間で使用するリモート・ループバック

オン・チップ診断

テスト・モード

ADIN1111 には、IEEE 802.3cg-2019 規格の副条項 146.5.2 に記載されたとおり、PHY ごとに複数のテスト・モードがあり、トランスミッタの波形、歪み、ジッタ、ドループのテストが行えます。これらのテスト・モードは、トランスミッタ回路に供給されたデータ・シンボルのみを変更し、トランスミッタおよびレシーバの電気特性やジッタ特性は通常動作から変わりません。

また、ADIN1111 は副条項 45.2.1.186a.2 に記載された送信ディスエーブル・モードにも対応しています。

表 18. ADIN1111 のテスト・モード一覧

テスト・モード	説明
PMA Test Modes (Subclause 146.5.2) Test Mode 1	トランスミッタ出力電圧およびタイミング・ジッタのテスト・モード。このモードが選択されている場合、ADIN1111 はデータ・シンボル・シーケンス (+1, -1) を繰り返し送信します。
Test Mode 2	トランスミッタ出力ドループ・テスト・モード。このモードでは、ADIN1111 は 10 個の+1 シンボルを送信し、その後 10 個の-1 シンボルを送信します。このシーケンスは無限に繰り返されます。
Test Mode 3	アイドル・モード・テスト・モードの通常動作。このモードでは、ADIN1111 はデータを通常のフレーム間アイドル信号に設定し、非テスト動作時やリーダー・データ・モード時と同様に送信します。
Transmit Disable Mode (Subclause 45.2.1.186a.2)	送信経路と受信経路のどちらも通常動作モードと同じように機能しますが、送信するのは 0 シンボルのみです。このモードを使用すると、副条項 146.8.3 で規定されている MDI のリターン・ロスを測定できます。

PMA テスト・モード 1~3 を有効化

ADIN1111 の各 PHY は、次の手順を使用していずれかの PMA テスト・モード（テスト・モード 1~3）に設定できます。

- ソフトウェア・パワーダウン・コントロール・レジスタ (CRSM_SFT_PD_CNTRL) の CRSM_SFT_PD ビットに 1 を書き込んで、ソフトウェア・パワーダウン・モードを開始します。
- システム・ステータス・レジスタ (CRSM_STAT) の CRSM_SFT_PD_RDY ビットを読み出し、ADIN1111 がソフトウェア・パワーダウン・モードになっていることを確認します。
- BASE-T1 オート・ネゴシエーション・コントロール・レジスタ (AN_CONTROL) の AN_EN ビットに 0 を書き込んで、オート・ネゴシエーションをディスエーブルします。
- オート・ネゴシエーション強制モード・イネーブル・レジスタ (AN_FRC_MODE_EN) の AN_FRC_MODE_EN ビットに 1 を書き込み、オート・ネゴシエーション強制モードをセットします。
- 10BASE-T1L テスト・モード・コントロール・レジスタ (B10L_TEST_MODE_CNTRL) の B10L_TX_TEST_MODE ビットに該当する値を書き込んで、目的のテスト・モードを選択します。

- ソフトウェア・パワーダウン・コントロール・レジスタ (CRSM_SFT_PD_CNTRL) の CRSM_SFT_PD ビットに 0 を書き込んで、ソフトウェア・パワーダウン・モードを終了します。

表 19. PMA テスト・モードの設定

PMA Test Mode	B10L_TX_TEST_MODE, Bits[15:13] (Binary)
Test Mode 1	001
Test Mode 2	010
Test Mode 3	011

送信ディスエーブル・モードを有効化

ADIN1111 の各 PHY は、次の手順を使用して送信ディスエーブル・モードに設定できます。

- ソフトウェア・パワーダウン・コントロール・レジスタ (CRSM_SFT_PD_CNTRL) の CRSM_SFT_PD ビットに 1 を書き込んで、ソフトウェア・パワーダウン・モードを開始します。
- システム・ステータス・レジスタ (CRSM_STAT) の CRSM_SFT_PD_RDY ビットを読み出して、ADIN1111 がソフトウェア・パワーダウン・モードに入っていることを確認します。
- BASE-T1 オート・ネゴシエーション・コントロール・レジスタ (AN_CONTROL) の AN_EN ビットに 0 を書き込んで、オート・ネゴシエーションをディスエーブルします。
- オート・ネゴシエーション強制モード・イネーブル・レジスタ (AN_FRC_MODE_EN) の AN_FRC_MODE_EN ビットに 1 を書き込み、オート・ネゴシエーション強制モードをセットします。
- 10BASE-T1L PMA コントロール・レジスタ (B10L_PMA_CNTRL) の B10L_TX_DIS_MODE_EN ビットに 1 を書き込んで、送信ディスエーブル・モードをセットします。
- ソフトウェア・パワーダウン・コントロール・レジスタ (CRSM_SFT_PD_CNTRL) の CRSM_SFT_PD ビットに 0 を書き込んで、ソフトウェア・パワーダウン・モードを終了します。

時間領域反射率測定 (TDR)

10BASE-T1L 準拠の PHY が長いケーブルを通じた通信を可能とするならば、欠陥のあるケーブルのデバッグは、適切なツールなしではコストを要し困難なものになる可能性があります。これを緩和するため、アナログ・デバイスの 10BASE-T1L 製品では、TDR エンジンが備えています。これは、ケーブルのフォールト検出、フォールト地点までの距離、およびケーブル長の推定を可能にします。

この診断ソリューションは、高精度のオン・チップ TDR エンジンと、ホスト・マイクロコントローラ上で実行される一連のアルゴリズムを組み合わせたもので、広範なケーブルに対応できる最大限の柔軟性と、より高度なケーブル診断機能を実現します。

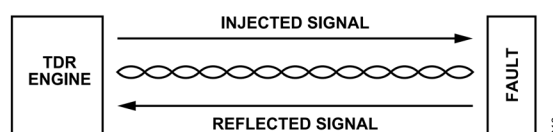


図 15. ADIN1111 の TDR エンジン

オン・チップ診断

TDR エンジンによるフォルト検出

アナログ・デバイセズのアルゴリズムの時間分解能は 8.3ns です。これは、1m 未満の長さ分解能に相当し、精度 2%で最大 1600m のケーブル長が可能です。

このフォルト・ディテクタ・アルゴリズムは、ADIN1111 が MDI を介して別の PHY に物理的に接続されている場合でも、オープン・フォルトあるいは短絡フォルト状態を検出できます。この場合、リンク・パートナーの PHY が DME ページを送信している可能性があることを意味します。TDR の従来の方法では、他の信号源またはノイズも同じリンクにある場合に、フォルトを検出するのが困難です。これはアナログ・デバイセズのソリューションにはあてはまりません。そのため、このソリューションは、リモート・エンドを制御できない場合のデバッグに適しています。

フォルト検出アルゴリズムは、診断に必要な高レベルの関数を含む C コード・ライブラリとして提供されます。これらの関数は、高度な処理を利用しないよう最適化されているため、低消費電力のマイクロコントローラで実行できます。

フォルト検出には、1 つの関数呼び出しで十分です。関数はフォルトの種類と MDI コネクタからフォルトまでの距離（メートル単位）を返します。

フォルト検出 TDR ライブラリは、[ADIN1100](#)、[ADIN1110](#)、[ADIN2111](#)のランディング・ページ内にあるソフトウェアのセクションからリクエストできます。

TDR オフセットのキャリブレーション

ライブラリには、TDR 測定のアフセットをキャリブレーションする関数が含まれています。ライブラリにあるこの関数は、様々な MDI 回路によって信号経路内に変動する遅延が生じ、これによって長さ測定のアフセットが影響を受ける可能性のある場合に有効です。例えば、MDI に絶縁トランスを使用すると、数メートルの長さに匹敵する信号遅延を引き起こす可能性が極めて高くなります。

このキャリブレーションにはフォルト・ディテクタを稼働させる必要はなく、デフォルトで平均値が提供されます。ただし、精度が求められる場合には、ケーブルを短絡させることを推奨します。このキャリブレーションが必要な場合、実験室内で一度、特定の MDI 回路でキャリブレーションを実行し、オフセット値を不揮発性メモリに保存して後で使うことができます。

このキャリブレーションを実行するには、MDI ポートをオープンまたは短絡のままにする必要があります。MDI ポートには負荷やケーブルを接続しないでください。

ケーブルのキャリブレーション

デフォルトでは、アルゴリズムは IEEE 802.3cg 規格に準拠した長距離伝送ケーブルに対応するよう最適化されています。ただし、挿入損失リターン・ロス、信号遅延特性が異なる多様なケーブル・タイプに対応するため、このライブラリには、どのケーブルでも動作できるようにアルゴリズムを最適化し、長さをより正確に推定するために公称伝搬速度（NVP）を算出するキャリブレーション関数が備わっています。長さの精度は、主に NVP 値の精度に依存します。

このキャリブレーションを実行するには、既知の長さのケーブルを MDI ポートに接続し、末端をオープンまたは短絡状態にしておく必要があります。NVP 値は一般に 0.5~0.9 の範囲で、ケーブルの構造の特性を表すものです。一般的には約 0.65 の平均 NVP 値が前提とされます。このキャリブレーションは、フォルト・ディテクタを動作させるには不要ですが、高い長さ精度が必要な場合や、標準的でないケーブルを使用する場合には必要となります。与えられたケーブルについて実験室でこのキャリブレーションを行えば、その値を不揮発性メモリに保存できます。

これらの関数の使用に関する詳細については、C コード・ドライバを参照してください。

フォルトまでの長さ／距離の精度

フォルトまでの距離あるいは長さの測定精度は、主に NVP 値によって決まります。この NVP 値は、NVP キャリブレーションを行うために使用するケーブル長の精度によって決まります。

表 20 には、種類や長さの異なるケーブルに対してフォルトを誘起し、そのフォルトまでの距離を測定した結果を示します。すべての場合について、アルゴリズムは、テスト時に誘起されたオープンまたは短絡状態を正しく検出しています。このテストで用いた Profibus PA ケーブルの NVP 値を大まかに見積もり、同じ値を Cat5E ケーブルおよび Cat6 ケーブルにも使用しています。

表 20. 様々なケーブルに対する長さ推定誤差

Cable Type	Estimated Length (m)	Length Error (%)	Note
Fieldbus Type A - AWG 18	50.2	0.7	NVP calibrated
Fieldbus Type A - AWG 18	102.1	2.1	NVP calibrated
Fieldbus Type A - AWG 18	403.4	0.8	NVP calibrated
Fieldbus Type A - AWG 18	807.6	0.8	NVP calibrated
Fieldbus Type A - AWG 18	1045.3	1.0	NVP calibrated
Fieldbus Type A - AWG 18	1462.9	2.0	NVP calibrated
Cat5E	133.1	2.4	NVP not calibrated
Cat5E	244.4	1.8	NVP not calibrated
Cat6	73.6	5.1	NVP not calibrated
Cat6	137.2	5.6	NVP not calibrated

リンク品質モニタリング

ADIN1100、[ADIN1101](#)、ADIN1110、[ADIN1111](#)、ADIN2111は、PHY レシーバに示される SN 比（SNR）に直接関連する、受信信号の平均二乗誤差（MSE）を測定できます。MSE または SNR は、信号品質インジケータ（SQI）にマッピングでき、10BASE-T1L リンクのセグメント／チャンネル品質の全体的な評価に利用できます。

リンク品質は、ケーブル長、挿入損失、リターン・ロスなどのケーブル特性、ケーブル・シールドの有無や品質、接続状態、ケーブル・セグメント間の相互接続の数や品質、デバイスやケーブル周辺環境のノイズ・レベルなどの影響を受ける可能性があります。そのため、リンク品質はデバイス設計、製品テスト、システムへの導入時、更にはシステムの運用期間全体を通じて有用な情報を提供します。

オン・チップ診断

S/N 比およびビット・エラー・レート

通信チャンネルの SNR とビット・エラー・レート (BER) の間には統計的な関係があります。ホワイト・ノイズ下における SNR と 10BASE-T1L の BER との関係を図 16 に示します。

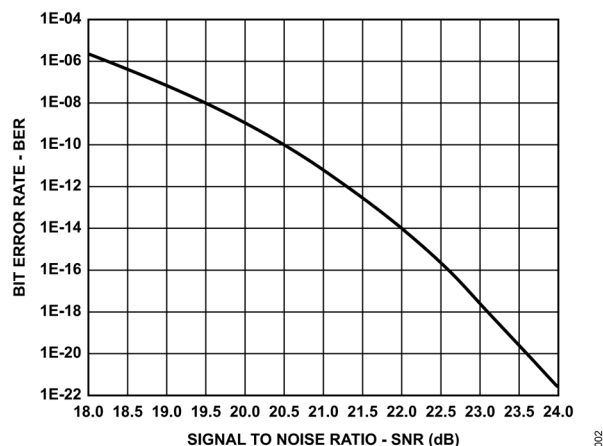


図 16. SNR と 10BASE-T1L の BER の間の統計的關係

IEEE 802.3cg-2019 規格は、関連するノイズがある場合でも 10BASE-T1L の BER が 10^{-9} 以下であることを要求しています。例えば、BER が 10^{-9} であるということは、連続する 10Mbps のデータにおいて、100 秒ごとに 1 ビットのエラーが発生することを意味します。これは、図 16 に示すように、10BASE-T1L PHY では約 20.0dB の SNR に相当します。

SNR が 21.0dB の場合、BER は 10^{-11} となり、10,000 秒、すなわち 2% 時間ごとに 1 ビットのエラーが発生する計算です。SNR が 22.0dB の場合、BER は 10^{-14} となり、115 日に 1 ビットのエラーが発生する頻度に相当します。これらの例は、SNR が 10BASE-T1L イーサネットの信頼性に直結していることを示しています。

どのデータ通信チャンネルにも、常にある程度エラーが存在します。一般的な用途で使用する TCP/IP などのイーサネット物理層上で実装され、動作する通信プロトコル、ならびに産業オートメーションやビルディング・オートメーション向けの専用プロトコルは、各アプリケーションに応じてフレームの再送や誤り訂正を行い、データの完全性を確保しています。ただし、信頼できる接続を維持するには、物理層のリンク品質および関連するエラー・レートを一定水準以上に保つ必要があります。許容可能なエラー・レートは、時間に制約のあるオートメーション・ネットワークや安全関連のアプリケーションと、重要度の低いモニタリング用途とで異なる可能性があります。

PHY スライサにおける平均二乗誤差

PHY 内でのリンク品質のモニタリングは、MSE 測定として実行されます。

10BASE-T1L イーサネットは、PAM3 変調を使用しており、ケーブルを介して送信されるデータは 3 つの電圧レベルのシンボルにコード化されています。レシーバ内では、アナログおよびデジタル信号処理の後に、スライサと呼ばれるデバイスがあり、入力信号電圧レベルが +1、0、-1 のどのシンボルを表しているかを判定します。理想的に受信されスケールされた信号は、既にこれらのレベルに正確に一致しています。しかし、実際の信号には、様々なノイズ源からイーサネット・チャンネルに結合したノイズが影響します。

図 17 に示すように、PHY は受信したシンボルごとに、スライサの出力と、補正された振幅レベルにスケールされた受信信号との誤差を測定します。その後、これらの誤差の平均二乗値が計算され、PHY MSE_VAL レジスタに報告されます。

MSE と SNR の間には直接的な関係があります。

$$SNR = \frac{1}{MSE} \quad (1)$$

$$SNR(\text{dB}) = -MSE(\text{dB}) \quad (2)$$

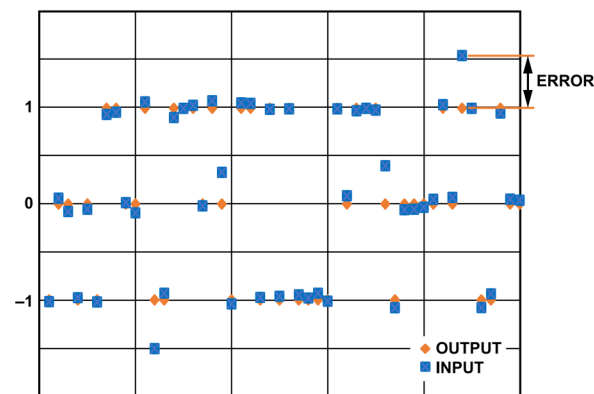


図 17. イーサネット PHY スライサの入力と出力の間の誤差

MSE 読取り値

ADIN1100、ADIN1101、ADIN1110、ADIN1111、ADIN2111 は、10BASE-T1L リンクがアクティブなときに MSE をバックグラウンドで自動的に測定し、その値を MSE_VAL レジスタで読み出せるようにしています。

MSE_VAL レジスタは、管理インターフェース (MDIO または SPI) を介していつでも読み出せます。パワーアップ後またはリセット後、最初のリンクが確立するまでは、MSE_VAL レジスタの値はゼロです。10BASE-T1L リンクが確立すると、MSE_VAL レジスタは、シンボルを受信するたびに (133ns ごとに) 更新されます。リンクが切断されても、レジスタは更新を続けます。ただし、このときの MSE 値は正確ではありません。そのため、MSE を読み出して処理するのは、10BASE-T1L リンクが確立している場合にのみ行うのが適切です。

MSE_VAL レジスタを読み出す頻度には制限がなく、管理インターフェースが許す限り、必要なだけ読み出すことができます。そのため、どの程度の頻度で MSE_VAL を読み出すかは、リンク品質がどれだけ速く変化するか、また最終システム・アプリケーションにおいてリンク品質をどの頻度で評価、報告、記録する必要があるかによって異なります。

リンク・ステータスのポーリングと MSE の読出しの例を以下に示します。

オン・チップ診断

1. PMA_PMD_STAT1 レジスタ（デバイス・アドレス 0x01、レジスタ・アドレス 0x0001）を読み出します。
2. PMA_LINK_STAT_OK ビット（ビット 2、マスク 0x0004）の値を確認します。ビットの値が 0 であれば、リンクが切断されていることを示しているため、次のステップをスキップして最初からやり直します。ビットの値が 1 であれば、リンクが確立していることを示すので、次のステップに進みます。
3. MSE_VAL レジスタ（デバイス・アドレス 0x01、レジスタ・アドレス 0x830B）を読み出します。
4. 読み出した MSE を処理、または必要に応じて使用します。

MSE の解釈

測定された MSE の最も簡単な利用方法は、MSE_VAL レジスタから読み出した値を MSE レジスタ値の範囲と直接比較し、表 21 および表 22 に示す概要に従ってリンク品質を解釈することです。あるいは、次のように MSE_VAL レジスタ値を MSE として解釈することもできます。

$$MSE(\text{dB}) = 10 \log_{10} \left(MSE_{VAL} \times \frac{1.5523}{2^{18}} \right) \quad (3)$$

また、SNR も次式で計算できます。

$$SNR(\text{dB}) = -10 \times \log_{10} \left(MSE_{VAL} \times \frac{1.5523}{2^{18}} \right) \quad (4)$$

ここで、

1.5523 は、10BASE-T1L の変調およびシンボル・コーディングに関係した係数。

2^{18} は、16 ビット・レジスタを有用な範囲にマッピングするオン・チップ・ロジックの実装によって決まる係数。

表 21. リンク品質と MSE レジスタ値の関係

Link Quality	SNR (dB)	MSE Register Value Range (hex)	BER
Poor	<19.5	>0x0766	> 10^{-8}
Marginal	19.5 to 20.5	0x05E1 to 0x0766	10^{-8} to 10^{-10}
Good	>20.5	<0x05E1	< 10^{-10}

表 22. 信号品質インジケータと MSE レジスタ値の関係

SQI	SNR (dB)	MSE Register Value Range (hex)	BER
0	<18	>0x0A74	> 10^{-7}
1	18 to 19	0x084E to 0x0A74	> 10^{-7}
2	19 to 20	0x0698 to 0x084E	10^{-9} to 10^{-7}
3	20 to 21	0x053D to 0x0698	10^{-11} to 10^{-9}
4	21 to 22	0x0429 to 0x053D	10^{-14} to 10^{-11}
5	22 to 23	0x034E to 0x0429	< 10^{-14}
6	23 to 24	0x02A0 to 0x034E	< 10^{-14}
7	>24	<0x02A0	< 10^{-14}

PHY スライサのスパイクと誤差

MSE の値は、リンク品質や 10BASE-T1L リンクの性能に対するノイズの影響を評価するための重要なツールとなります。ただし、MSE は一定期間の平均値であるため、干渉が短いトランジェントの場合、その影響が MSE の値に反映されない可能性があります。しかし、短い干渉であっても、受信シンボルに十分な影響を与え、パケット・エラーを引き起こす可能性があります。

この種のトランジェント干渉に対応するため、ADIN1100、ADIN1101、ADIN1110、ADIN1111、ADIN2111 には、スライサ入力での最大スライサ入力誤差と、誤差スパイクの発生回数を記録するインジケータが備わっています。これらのインジケータは、10BASE-T1L リンクが確立し、通常のデータ・フローが行われている間にも読み出せるという利点があります。そのため、これらのインジケータを使用することで、ハード・フォルトが発生する前にリンクの完全性を追跡できます。

スライサの最大絶対誤差

PHY スライサにおける平均二乗誤差のセクションで説明したように、受信アナログ信号が処理された後、スライサは受信信号が +1、0、または -1（PAM3 シンボル）のどれに対応するかを判断します。例えば、処理した受信信号の値が 0.8 だとします。その場合、0.8 は 0 や -1 よりも +1 に近いので、スライサは +1 のシンボルを出力します。処理した信号が理想的なシンボルに近いほど、通信はより信頼性の高いものになります。

図 18 に、スライサの入力での受信処理信号と、それに対応するスライサ出力での理想的なシンボルを示しています。3 と記された信号の値が 0.4 である点に注意してください。

このため、スライサは 0 のシンボルを出力し、実際の誤差は 0.4 となります。誤差が 0.5 を超えると、受信信号は理想的な 0 のシンボルよりも +1 のシンボルに近くなります。その結果、スライサはこのシンボルを +1 と解釈し、受信フレームにビット・エラーが発生します。

スライサの最大絶対誤差は、常に 0.5 未満でなければなりません。値が 0.5 に近い、または 0.5 を超える場合は、受信信号の完全性が損なわれていることを示しています。

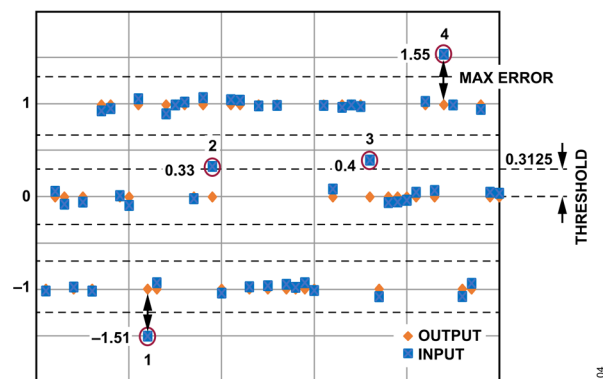


図 18. 最大スライサ入力誤差

この最大誤差は、0.5 に達する前から継続的に追跡でき、リンク品質の低下を早期に検知する手がかりとなります。

スライサ誤差スパイク・カウンタ

最も偏差の大きいシンボルの絶対誤差のみを記録する最大スライサ絶対誤差に加え、ADIN1100、ADIN1101、ADIN1110、ADIN1111、ADIN2111 は、絶対誤差が閾値を超えた受信シンボルの回数も記録します。このカウンタは、スライサ誤差スパイク・カウンタと呼ばれます。スライサ誤差スパイク・カウンタは、絶対誤差が 0.3125 の閾値を超える受信シンボルの数を記録します。

オン・チップ診断

図 18 には、スライサの入力での誤差が 0.3125 の閾値を超えている 4 つの信号が示されています。したがって、スライサ誤差スパイク・カウンタは 4 と報告します。

また、この閾値 (0.3125) は、スパイクがビット・エラーを引き起こす前に検出できるよう、十分なヘッドルームをもたせて設定されている点に注意してください。

関連レジスタの情報

表 23 に関連するレジスタの情報を示します。スライサ誤差スパイク・カウンタは、16 ビットの符号なしフォーマットで記録されます。そのため、その値は対応するレジスタから直接読み出した値です。両方のレジスタを読み出すと値がクリアされ、検出が再び開始されます。

スライサ入力の最大絶対誤差は、次式に従ってシンボル単位に変換できます。

$$\text{SlicerMaxAbsError} = \frac{\text{SLCR_ERR_MAX_ABS_VAL}}{4096} \quad (5)$$

レジスタの設定

レジスタを設定するには、以下の手順に従います。

1. SPIKE_CNTRS_CNTRL レジスタに 0x2 を書き込みます。
2. MAX_ABS_VALS_CNTRL レジスタに 0x2 を書き込みます。
3. SLCR_ERR_MAX_ABS_VAL レジスタを読み出します。このレジスタは、スライサ最大誤差に対応します。
4. SLCR_ERR_SPIKE_CNT レジスタを読み出します。このレジスタはスライサ誤差スパイク・カウンタに対応します。

テストを行う前にステップ 3 およびステップ 4 を実行し、スパイク・カウンタと最大絶対誤差を確実にクリアします。この操作は、電磁コンプライアンスなどのテストを実施する際には特に有用です。これは、テスト前の結果とテスト中の結果を明確に区別できるためです。

表 23. スライサ・スパイクおよび誤差カウンタに関するレジスタ

Register Name	Device Address	Register Address	Description
SLCR_ERR_MAX_ABS_VAL	0x01	0x8308	Slicer maximum absolute error. Latches the value of SLCR_IN_MAX_ABS_VAL.
SLCR_ERR_SPIKE_CNT	0x01	0x8305	Slicer error spike counter. Latches the value of SLCR_IN_SPIKE_CNT.
SPIKE_CNTRS_CNTRL	0x01	0x800E	Specifies whether the spike counters are held when there is no link.
MAX_ABS_VALS_CNTRL	0x01	0x800F	Specifies whether the maximum values are held when there is no link.

表 23 のレジスタ情報は、エンド・ユーザ向けに関連する診断情報を分かりやすく提供できるよう、簡易的にカラー・コード化できます。推奨するコード化の方法を表 24 で説明します。

表 24. スライサ誤差スパイク・カウンタおよびスライサ最大誤差を用いたリンク品質の指標

Link Quality	Color Indication	Conditions
Poor	Red	Slicer error spike counter > 0 Slicer maximum absolute error ≥ 0.5
Marginal	Yellow	Slicer error spike counter > 0 0.3125 ≤ slicer maximum absolute error < 0.5
Good	Green	Slicer error spike counter = 0 Slicer maximum absolute error < 0.3125

アプリケーション情報

システム・レベルのパワー・マネージメント

送信レベル = 1.0V p-p

1.0V p-p の送信動作モードは、1.8V の低い AVDD_H 電源電圧でも動作できます。

ADIN1111 を 1.0V p-p 送信動作モードで使用するアプリケーションでは、TX2P4_EN ピン信号を 4.7kΩ の抵抗を介してハイ・レベルに接続する必要があります (図 19 参照)。この構成では、ADIN1111 は 1.0V p-p 送信動作モードでのみ動作するように設定され、ADIN1111 はより低い電圧レール (例えば 1.8V) の信号電源電圧で動作できるため、システムの消費電力を最小限に抑えることができます。

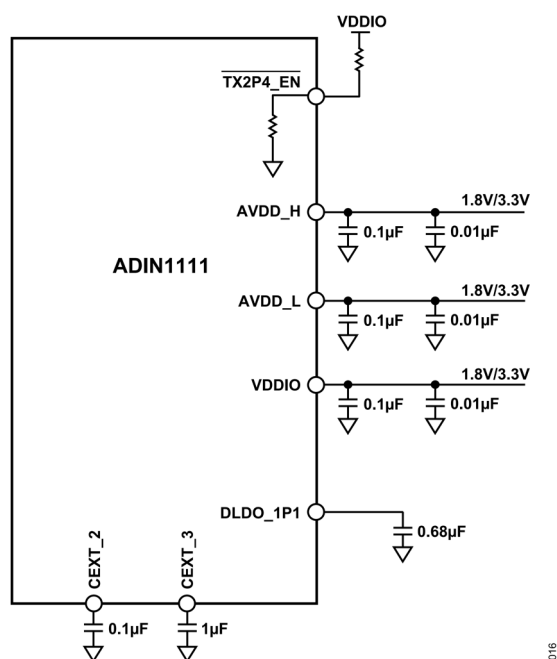


図 19. 1.0V p-p 送信モードの電源およびコンデンサ

送信レベル = 2.4V p-p

2.4V p-p の高電圧送信動作モードは、幹線アプリケーションに対応しており、3.3V の高い AVDD_H 電源電圧が必要です。このモードは、ノイズ・レベルが高い産業用イーサネット環境で長いケーブルを使用する場合にも適しています。

ADIN1111 を 2.4V p-p で動作できるようにするには、TX2P4_EN をローに接続する必要があります (内部にプルダウン抵抗があるため、これを行うのに外部接続は不要です)。この動作モードでは、MDIO またはオート・ネゴシエーションを介して 1.0V p-p 動作モードを選択することも可能です。

推奨する電源構成の概要を図 20 に示します。単電源で動作させる場合は、AVDD_H、AVDD_L、VDDIO の各電源レールを同じ電源で供給できます。この構成では、MDIO またはオート・ネゴシエーションでリンクが 1.0V p-p 送信動作モードで確立されている場合でも、AVDD_H = 3.3V が必要であることに注意してください。

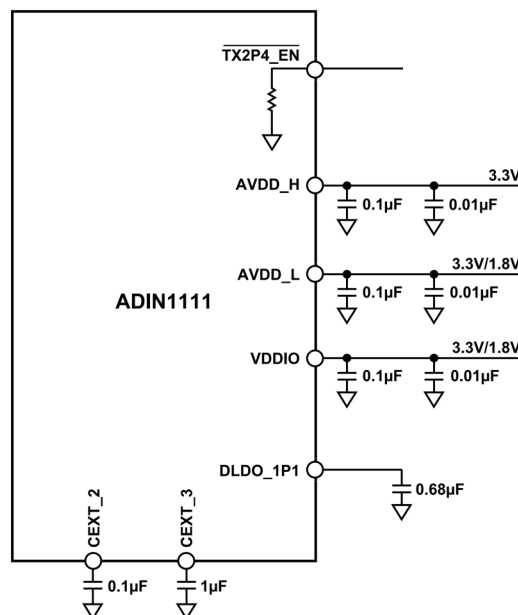


図 20. 2.4V p-p および 1.0V p-p 送信モードの電源およびコンデンサ

LED 回路例

LED_0 ピンと LED_1 ピンは、選択した LED 極性モードに応じて、様々な回路構成で使用できます (LED 極性レジスタのセクションを参照)。このセクションで説明する回路例は、各 LED に使用できる次の 3 つの極性モードに対する例です。

- ▶ オートセンス (デフォルト)
- ▶ アクティブ・ロー
- ▶ アクティブ・ハイ

LED 機能のセクションで説明したように、VDDIO = 3.3V の場合、LED_0 および LED_1 の最大出力電流は 8mA です。それ以上の電流が必要な場合は、トランジスタ制御 LED のセクションで説明する回路の使用を検討してください。

アクティブ・ハイの LED 極性

アクティブ・ハイ構成では、LED_x ピンがアノード側から外部 LED を駆動できます。LED 電流を制御するには R0 と R1 の抵抗を選択します (詳細については、表 1 の LED 仕様を参照してください)。4.7kΩ の外部プルダウン抵抗 (R_{PD0} および R_{PD1}) の使用を推奨します。

アプリケーション情報

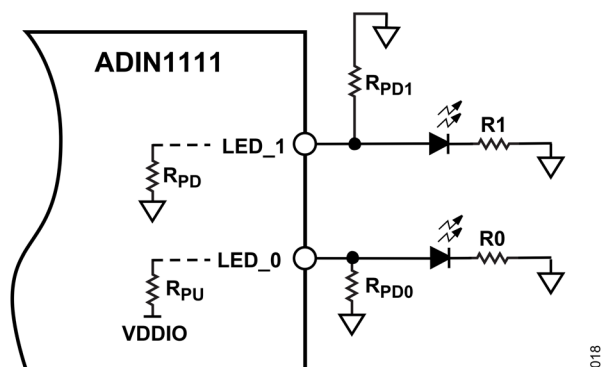


図 21. 推奨するアクティブ・ハイ LED 回路

アクティブ・ローの LED 極性

アクティブ・ロー構成では、LED_x ピンはカソード側から外部 LED を駆動できます。LED 電流を制御するには R0 と R1 の抵抗を選択します（詳細については、表 1 の LED 仕様を参照してください）。4.7kΩ の外部プルアップ抵抗（R_{PU0} および R_{PU1}）の使用を推奨します。

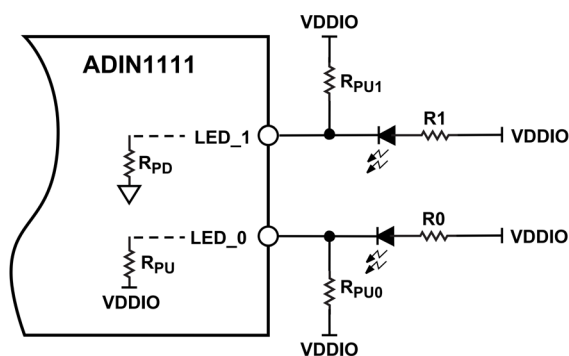


図 22. 推奨するアクティブ・ロー LED 回路

トランジスタ制御 LED

必要な LED 電流が LED_0 ピンや LED_1 ピンが供給できる電流を超える場合の代表的な構成を図 23 に示します。

この回路は、アクティブ・ハイ LED モードを使用して動作します。N チャンネル金属酸化膜半導体電界効果トランジスタ（MOSFET）などの外部トランジスタが使用できます。トランジスタは、動作中に、ゲート入力容量が LED の最大定格を超える電流をシンクすることのないように選択する必要があります（詳細については、トランジスタの技術仕様書を参照してください）。必要に応じ、トランジスタのゲートと ADIN1110 ピンの間に抵抗を配置、または GND と LED_x ピンの間にコンデンサを並列に配置することで、突入電流を低減できます。これらの追加の抵抗やコンデンサの値は、選択したトランジスタに応じて定める必要があります。

LED 電流を制御するには R0 と R1 の抵抗を選択します。4.7kΩ の外部プルダウン抵抗（R_{PD0} および R_{PD1}）の使用を推奨します。

VCC 電圧は、LED の消費電力条件を満たすよう設定できます。

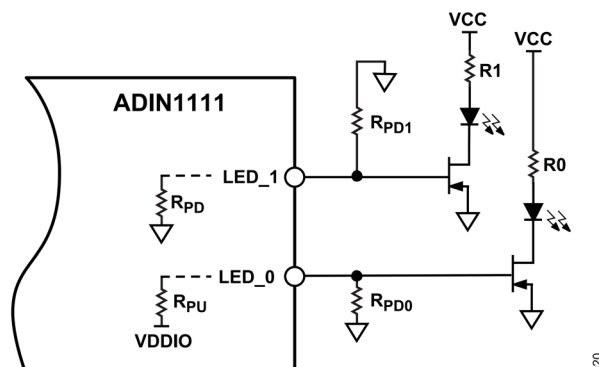


図 23. 推奨するトランジスタ制御 LED 回路

オートセンスの極性

オートセンス・モードでは、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時に、LED の極性が自動的に検出されます。

LED_0（内部プルアップ）および LED_1（内部プルダウン）は、その内部プルアップ構成およびプルダウン構成に応じて異なるオートセンス動作があります。2 つの LED_x ピンを同じ方法で制御するには、[アクティブ・ハイの LED 極性](#)、[アクティブ・ローの LED 極性](#)、または[トランジスタ制御 LED](#)の各セクションで説明したいずれかの構成を使用してください。

部品の推奨事項

ADIN1111 には外部の 25MHz クロックが必要です。このクロックは外部水晶発振器、または外部シングルエンド・クロックから供給できます。

XTAL_I/CLK_IN ピンの信号電圧（V_{CLK_IN}）は、ピーク to ピーク電圧が 0.8V~2.5V の範囲のサイン波、またはフィルタ処理された方形波である必要があります。シングルエンド・クロックを使用する場合は、最高性能を実現するため、振幅が 1.0V p-p の V_{CLK_IN} を推奨します。

以下のセクションで様々な回路構成を提示します。これらのオプションを通じ、受動部品の値に変更を加えた一般的な回路トポロジを用いることができます。

なお、通常動作時は、外部クロック源入力（水晶発振器または 25MHz の外部シングルエンド・クロック）から生成された 25MHz のリファレンス・クロックが CLK25_REF 出力ピンに供給されます。このピンは、別の 10BASE-T1L デバイスなど、他の回路へのリファレンス・クロックとして使用できます。CLK25_REF は、リセット・モードではディスエーブルになります。

外部水晶発振器

外部水晶発振器（XTAL）の代表的な接続を図 24 に示します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1111 のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。推奨する負荷に関する情報および水晶発振器の性能仕様については、個々の水晶発振器のベンダに問い合わせてください。

アプリケーション情報

水晶発振器の負荷容量 (C_L) は、水晶発振器のベンダによって定義されています。 C_{PCB1} は、XTAL_I/CLK_IN ピンと下層のグラウンド・プレーン間の寄生容量、 C_{PCB2} は XTAL_O ピンと下層のグラウンド・プレーン間の寄生容量です。 C_{X1} および C_{X2} は、水晶発振器が動作するために必要な 2 つの外部負荷コンデンサです。

以下の関係を仮定します。

- ▶ $C_{PCB1} \approx C_{PCB2} \approx C_{PCBx}$
- ▶ $C_{X1} \approx C_{X2} \approx C_{Xx}$

したがって、 $C_{Xx} = 2 \times C_L - C_{PCBx} - 3\text{pF}$ となります。

周波数誤差を最小限に抑えるには、温度係数が低い高精度コンデンサを C_{Xx} として選択します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1111 のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。

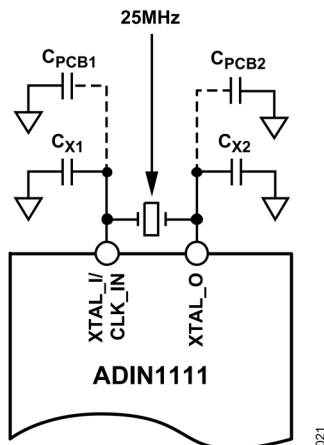


図 24. 水晶発振器の接続

外部 25MHz クロック入力

クロック源は ADIN1111 の XTAL_I/CLK_IN ピン入力とデカップリングする必要があり、また、XTAL_O ピンはオープン・サーキットのままにします。

$0.8\text{V} \leq V_{CLK_IN\ p-p} \leq 2.5\text{V}$ の範囲では、以下の結果となります。

- ▶ $0.8\text{V} \leq V_{s\ p-p} \leq 1.0\text{V}$ の場合、以下のようになります。
 - ▶ $R1 = 50\Omega$
 - ▶ $R2$ は不要
- ▶ $1.0\text{V} < V_{s\ p-p} < 1.8\text{V}$ の場合、以下のようになります。
 - ▶ 最高性能を実現するには、 V_{CLK_IN} を 1.0V p-p に設定
 - ▶ $500\Omega \leq R1 \leq 2\text{k}\Omega$
 - ▶ $1\text{k}\Omega \leq R2 \leq 2\text{k}\Omega$
 - ▶ $V_{s\ p-p} - V_{CLK_IN\ p-p} > 0.2\text{V}$

- ▶ $R2 = \frac{V_{CLK_IN\ p-p} \times R1}{V_{s\ p-p} - V_{CLK_IN\ p-p}}$
- ▶ $1.8\text{V} \leq V_{s\ p-p}$ の場合、以下のようになります。
 - ▶ $R1 = 2\text{k}\Omega$
 - ▶ $R2 = 2\text{k}\Omega$

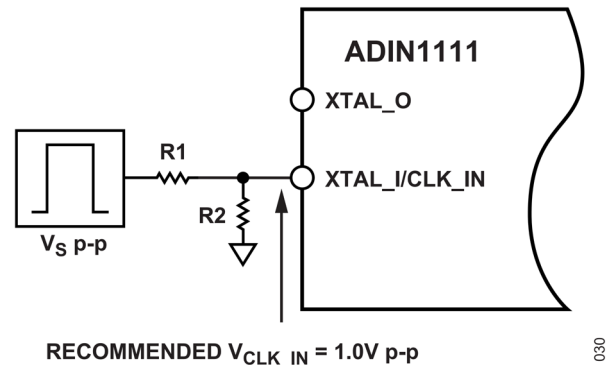


図 25. 外部 25MHz クロック入力回路

表 25. $V_{s\ p-p}$ 値ごとの推奨 $R1$ および $R2$ 値

$s\ (V\ p-p)$	$R1$	$R2$
1.0	$50\ \Omega$	Not applicable
1.2	$500\ \Omega$	$2.5\ \text{k}\Omega$
1.8	$2\ \text{k}\Omega$	$2\ \text{k}\Omega$
2.2	$2\ \text{k}\Omega$	$2\ \text{k}\Omega$
2.5	$2\ \text{k}\Omega$	$2\ \text{k}\Omega$
2.8	$2\ \text{k}\Omega$	$2\ \text{k}\Omega$
3.0	$2\ \text{k}\Omega$	$2\ \text{k}\Omega$
3.3	$2\ \text{k}\Omega$	$2\ \text{k}\Omega$

802.1 AS 対応

通常、802.1AS ネットワークで動作するデバイスは、次の動作を繰り返し実行します。

- ▶ ピア遅延要求の生成および応答の処理
- ▶ ピア遅延要求の受信および応答の生成
- ▶ 同期フレーム（フォロア・クロック）の受信
- ▶ 同期フレーム（リーダー・クロック）の送信

これらの機能では、MAC が特定の入力フレームおよび出力フレームをタイム・スタンプできることが必要です。

これらの機能を支援するため、ADIN1111 の MAC には次のハードウェアがあります。

- ▶ 内部自走カウンタ
- ▶ 同調カウンタ
- ▶ TS_TIMER 出力での波形発生

アプリケーション情報

内部自走カウンタ

ADIN1111 には、120MHz で動作する内部自走カウンタがあります。このカウンタは 8.333ns の精度を備えています。このカウンタを用いる場合、約 35s の周期があります。この周期により、クロックが必要な動作の間、例えば、ピア遅延要求の受信と応答の送信の間に、ラップする（一周する）ことはありません。

自走カウンタをイネーブルするには、TS_EN ビットを 1 にセットする必要があります。

自走カウンタがイネーブルされている場合、ADIN1111 はすべての受信フレームについてタイム・スタンプを取得し、このタイム・スタンプが各受信データ・フレームの前に付加されます。送信フレームのタイム・スタンプは、要求時に取得されます。詳細については、[タイム・スタンプの取得](#)のセクションを参照してください。

自走カウンタの値は、TS_FREECNT_CAPT レジスタのカウンタの値を取得する、入力キャプチャ信号 (TS_CAPT) を用いて取得できます。

同調カウンタ

同調カウンタは、下位 32 ビットが 1LSB = 1ns でナノ秒を表す 64 ビット・カウンタです。下位 32 ビットが TS_1SEC_CMP に保存されている値に達すると、これらのビットはクリアされ、秒を表す上位 32 ビットがインクリメントします。

同調カウンタをイネーブルするには、TS_EN ビットを 1 にセットする必要があります。

送信フレームおよび受信フレームのタイム・スタンプを取得するために、次の 3 つのモードがサポートされています。

1. OPEN Alliance 仕様セクション 7.8 の定義に従い、2 ビットの秒および 30 ビットのナノ秒のタイム・スタンプを取得。[設定レジスタ 0](#) のセクションを参照してください。
2. OPEN Alliance 仕様セクション 7.8 の定義に従い、32 ビットの秒および 30 ビットのナノ秒のタイム・スタンプを取得。[設定レジスタ 0](#) のセクションを参照してください。
3. 32 ビットの自走カウンタを取得。[タイマー設定レジスタ](#)のセクションを参照してください。

送信フレームおよび受信フレームのタイム・スタンプを取得できるようにするには、FTSE (CONFIG0 レジスタ) を 1 にセットしてください。

TS_TIMER 出力での波形発生

ADIN1111 は、2 つのカウンタを使用して同調された時間により駆動される繰り返し波形を発生する、出力信号 (TS_TIMER) を生成できます。TS_TIMER_HI と TS_TIMER_LO の 2 つのカウンタは、TS_TIMER 信号のハイ時間とロー時間を指定します。この信号は、同調された時間で駆動されるため、設定値は 16 の倍数でプログラムする必要があります。

TS_TIMER の必要な周期が 16 の倍数でプログラムできないことは頻繁にあるため、量子化誤差補正レジスタを 0~15 の間の値に設定して、TS_TIMER の量子化誤差を補正できます。

64 ビット同調タイマーを基準に時間を指定して、TS_TIMER 出力を開始できます。TS_TIMER_START レジスタに同調タイマーのナノ秒部分と比較される値を設定することで、ワンショット・スタートを生成できます。

TS_TIMER 出力をイネーブルにする手順は次のとおりです。

1. 必要に応じ、TS_TIMER 出力のデフォルト値を 0 から 1 に変更するために、TS_TIMER_DEF ビットに 1 を書き込みます。
2. TS_TIMER 出力のハイ時間とロー時間に必要な値を、TS_TIMER_HI レジスタと TS_TIMER_LO レジスタに書き込みます。
3. 量子化誤差補正に必要な値を TS_TIMER_QE_CORR レジスタに書き込みます。
4. 開始時間を TS_TIMER_START レジスタに書き込みます。同調カウンタのナノ秒部分がこの値と一致すると、TS_TIMER の出力が切り替わり始めます。

TS_TIMER 出力は、TS_TIMER_STOP ビットに 1 を書き込むことで停止できます。TS_TIMER 出力が停止すると、出力は TS_TIMER_DEF で指定されたデフォルト値に戻ります。

電磁環境適合性 (EMC) と電磁耐性 (EMI)

ADIN1110 は、システム・レベルで EMC と EMI のテストを行っています。[表 26](#) にテスト結果の概要を示します。

表 26. ADIN1110 に対しシステム・レベルで実施した EMC/EMI テスト

EMC/EMI Test	Withstand Threshold
IEC 61000-4-4 Electrical Fast Transient (EFT)	±4 kV
IEC 61000-4-2 ESD (Contact Discharge)	±4 kV
IEC 61000-4-2 ESD (Air Discharge)	±8 kV
IEC 61000-4-5 Surge	±4 kV
IEC 61000-4-6 Conducted Immunity	10 V/m
IEC 61000-4-3 Radiated Immunity	Class A
EN 55032 Radiated Emissions	Class B

MAC SPI SPI

ADIN1111 のレジスタ・インターフェースは、SCLK、 $\overline{\text{CS}}$ 、SDI、SDO/SPI_CFG0 の各ピンで構成される 4 線式 SPI を介しています。

レジスタで可能なアクセス許可は次のとおりです。

- ▶ R/W：読出し／書込み
- ▶ R：読出し専用
- ▶ W：書込み専用
- ▶ R/WIC：読出し／1 を書き込んでクリア

ADIN1111 では、SPI から MDIO へのリーダー・ブリッジを介して PHY レジスタにアクセスすることもできます。[PHY レジスタへの SPI アクセス](#)のセクションを参照してください。

次のレジスタには追加のアクセス許可があります。

- ▶ R LL：読出し専用、ラッチ・ロー
- ▶ R LH：読出し専用、ラッチ・ハイ
- ▶ R/W SC：読出し／書込み、セルフ・クリア

汎用 SPI プロトコル

汎用 SPI プロトコルの詳細は、[表 27～表 34](#) を参照してください。プロトコルはハードウェア設定ピンによって決まります。レジスタ・マップは 32 ビットマップとして構成され、すべてのアクセスは 32 ビット・ワードの整数倍の形を取ります。32 ビット・ワードの整数倍でのシングル・アクセスとバースト・アクセスの両方がサポートされています。データの MSB が最初に送信されます。

表 27. 制御書込みトランザクション

	MSB								LSB
	D47	D46	D45	D44 to D32	D31 to D24	D23 to D16	D15 to D8	D7 to D0	
SDI	1	0	R/W	ADDR[12:0]	DATA[31:24]	DATA[23:16]	DATA[15:8]	DATA[7:0]	

表 28. 制御読出しトランザクション

	MSB								LSB
	D55	D54	D53	D52 to D40	D39 to D32	D31 to D24	D23 to D16	D15 to D8	
SDI	1	0	R/W	ADDR[12:0]	TA[7:0]	0	0	0	0
SDO						DATA[31:24]	DATA[23:16]	DATA[15:8]	DATA[7:0]

表 29. バースト書込みトランザクション（制御またはデータ）

	MSB												LSB
	D79	D78	D77	D76 to D64	D63 to D56	D55 to D48	D47 to D40	D39 to D32	D31 to D24	D23 to D16	D15 to D8	D7 to D0	
SDI	1	0	R/W	ADDR[12:0]	DATA0[31:24]	DATA0[23:16]	DATA0[15:8]	DATA0[7:0]	DATA1[31:24]	DATA1[23:16]	DATA1[15:8]	DATA1[7:0]	

表 30. バースト読出しトランザクション（制御またはデータ）

	MSB												LSB
	D87	D86	D85	D84 to D72	D71 to D64	D63 to D56	D55 to D48	D47 to D40	D39 to D32	D31 to D24	D23 to D16	D15 to D8	D7 to D0
SDI	1	0	R/W	ADDR[12:0]	TA[7:0]	0	0	0	0	0	0	0	0
SDO						DATA0[31:24]	DATA0[23:16]	DATA 0[15:8]	DATA0[7:0]	DATA1[31:24]	DATA1[23:16]	DATA1[15:8]	DATA1[7:0]

R/W フィールドおよび TA フィールドは次のように定義されます。

- ▶ R/W：読出し／書込み
 - ▶ 0：読出し
 - ▶ 1：書込み
- ▶ TA：ターン・アラウンド

バースト書込みとバースト読出しは 4 バイトの整数倍である必要があります。書き込む最後のワード（4 バイト）には、1 バイト～4 バイトの有効なデータを含めることができます。ただし、TX_FSIZE は、元のフレーム・サイズ+フレーム・ヘッダ用の 2 バイトを加えた値を書き込みます（[図 26](#) 参照）。例えば、2 バイトのヘッダが付加された 65 バイトのフレームを送信するには、67 を TX_FSIZE に書き込みますが、68 バイトが SDI を通じて転送されます。最後のバイトは使用されません。

パワーアップ時にハードウェア設定ピンを使用して、SPI プロトコルの CRC をイネーブルできます。この 8 ビット CRC は、0x0 をシードとして多項式 $x^8 + x^2 + x + 1$ を使用し、最大 3 ビットのエラー検出が可能です。8 ビット CRC は、各制御トランザクションおよび各データ・トランザクションの ADDR ビットの後ろに置かれ、また、各制御トランザクションの各 32 ビット・データワードの後ろに置かれます。イーサネット・フレームには固有の 32 ビット CRC が含まれているため、データ・トランザクションでは各 32 ビット・データワードの後ろに 8 ビット CRC が置かれることはありません。

MAC SPI

表 31. CRC 付き制御書込みトランザクション

MSB					LSB				
	D103	D102	D101	D100 to D88	D87 to D80	D79 to D48	D47 to D40	D39 to D8	D7 to D0
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	DATA0[31:0]	CRC[7:0]	DATA1[31:0]	CRC[7:0]

表 32. CRC 付き制御読出しトランザクション

MSB										LSB
	D111	D110	D109	D108 to D96	D95 to D88	D87 to D80	D79 to D48	D47 to D40	D39 to D8	D7 to D0
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	TA[7:0]	0	0	0	0
SDO							DATA0[31:0]	CRC[7:0]	DATA1[31:0]	CRC[7:0]

表 33. CRC 付きデータ書込みトランザクション

MSB					LSB				
	D87	D86	D85	D84 to D72	D71 to D64	D63 to D32	D31 to D0		
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	DATA0[31:0]	DATA1[31:0]		

表 34. CRC 付きデータ読出しトランザクション

MSB					LSB				
	D95	D94	D93	D92 to D80	D79 to D72	D71 to D64	D63 to D32	D31 to 0	
SDI	1	0	R/W	ADDR[12:0]	CRC[7:0]	TA[7:0]	0	0	
SDO							DATA0[31:0]	DATA1[31:0]	

汎用 SPI プロトコルは半 2 重です。したがって、フレーム・データを MAC_TX レジスタに書き込むことと MAC_RX レジスタから読み出すことを同時に実行することはできません。そのため、10Mbps でイーサネットの全 2 重伝送を行うには、SPI の SCLK 周波数を 25MHz に設定する必要があります。

MAC フレーム：送信および受信

表 35 に示す 2 バイトのフレーム・ヘッダが、すべての送信フレームと受信フレームに付加されます。このフレーム・ヘッダは常にフレーム・データの先頭に付きます (図 26 参照)。

タイム・スタンプの取得

受信時に TIME_STAMP_PRESET がアサートされている場合、表 35 の 2 バイト・ヘッダの後、かつデータ・フレームの前に 4 バイトまたは 8 バイトのタイム・スタンプが追加されます。このタイム・スタンプは、受信 FIFO 読出し時に、ソフトウェアで保存することも、破棄することもできます。

送信時に EGRESS_CAPTURE が 00 以外に設定されている場合、ADIN1111 は送信されたフレームのタイム・スタンプを TTSCxH レジスタと TTSCxL レジスタに取得します。

タイム・スタンプを取得するには、TS_EN (TS_CFG レジスタ) を 1 にセットし、FTSE (CONFIG0 レジスタ) を 1 にセットしてカウンタをイネーブルします。

SPI 経由でのフレーム送信

汎用 SPI プロトコルをストア・アンド・フォワード・モードで使用する場合、以下のシーケンスに従います。

1. このデバイスは、ストア・アンド・フォワード・モードで動作するようデフォルト設定されています。
2. 送信 FIFO スペース・レジスタを読み出すことで、フレーム用のスペースがあることを確認します。MAC は FIFO のフレームに 2 バイトのサイズ・フィールドを内部で追加します。そのため、イーサネット・フレームに加え 2 バイトのヘッダと 2 バイトのサイズ・フィールドのための十分なスペースを確保してください。
3. フレームのサイズをバイト単位で書き込みます。このサイズには、MAC 送信フレーム・サイズ・レジスタに対する 2 バイトのヘッダが含まれます。ホストがフレームにフレーム・チェック・シーケンス (FCS) を追加した場合は、その分もサイズに含めます。
4. MAC 送信レジスタを使用して、2 バイトのフレーム・ヘッダを含むフレーム・データを送信 FIFO に書き込みます。送信の最初のバイトは、TXD のビット[31:24]に書き込まれます。フル・フレームを 1 回のバーストで書き込むことも、分割して数回の小さなバーストで書き込むこともできます。バースト書き込みデータは常に 4 バイトの整数倍でなくてはなりません。つまり、最後のワード (4 バイト) には、1 バイト～4 バイトの有効なデータが含まれます。
5. フレームのフレーム終了 (EOF : end of frame) バイトが送信 FIFO から読み出されると、ビット送信レディがアサートされ、TX_RDY_MASK が設定されている場合には割込みがトリガされます。

MAC SPI

TRANSMIT: 2-BYTE FRAME HEADER TO THE TX REGISTER IN FRONT OF THE FRAME

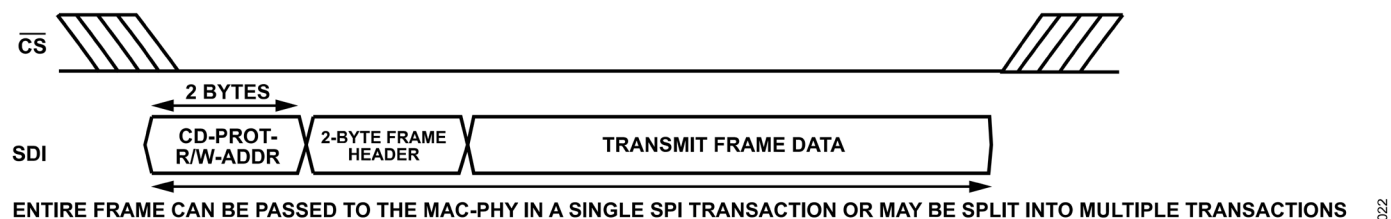


図 26. MAC フレーム：送信

RECEIVE: 2-BYTE FRAME HEADER READ FIRST FROM THE P1_RX REGISTER

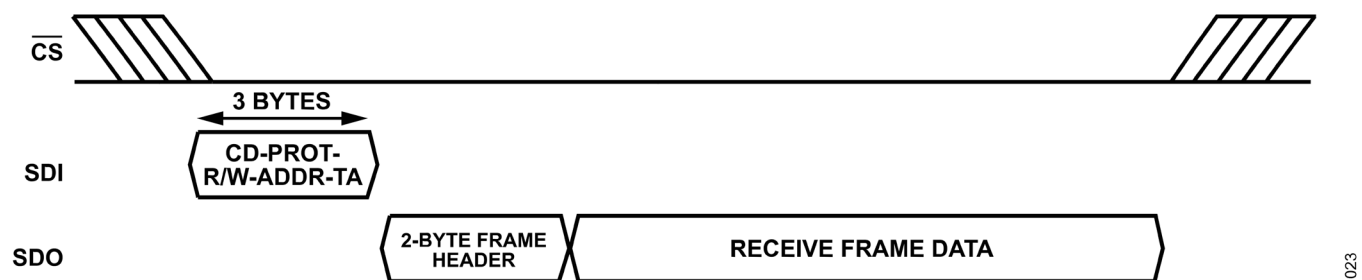


図 27. MAC フレーム：受信

MAC SPI

表 35. フレーム・ヘッダ

D15 to D11	D10	D9 to D8	D7 to D6	D5 to D4	D3	D2	D1 to D0
Reserved	Priority	Reserved	EGRESS_CAPTURE	Reserved	TIME_STAMP_PARITY	TIME_STAMP_PRESENT	Reserved

以下の定義を参照してください。

- ▶ 優先度：フレームがどの優先度キューから受信されたかを示します。送信では使用しません。送信フレームでは 0 に設定します。
- ▶ EGRESS_CAPTURE：以下に示すように、送信タイム・スタンプをホストが読み出せる送信時間レジスタに取得します。
 - ▶ 00：動作なし。
 - ▶ 01：TTSCAL レジスタと TTSCAH レジスタのペアに取得。取得時に STATUS0 レジスタの TTSCAA ビットがアサートします。
 - ▶ 10：TTSCBL レジスタと TTSCBH レジスタのペアに取得。取得時に STATUS0 レジスタの TTSCAB ビットがアサートします。
 - ▶ 11：TTSCCL レジスタと TTSCCH レジスタのペアに取得。取得時に STATUS0 レジスタの TTSCAC ビットがアサートします。
- ▶ TIME_STAMP_PARITY：追加されたタイム・スタンプの奇数パリティ。送信では使用しません。送信フレームでは 0 に設定します。
- ▶ TIME_STAMP_PRESENT：受信時、データの最初の 4 バイトまたは 8 バイトにフレームのタイム・スタンプが含まれます。送信では使用しません。送信フレームでは 0 に設定します。
- ▶ 予約済み：常に 0 に設定されます。

SPI 経由でのフレーム受信

汎用 SPI プロトコルをストア・アンド・フォワード・モードで使用する場合、イーサネット・フレームを受信するには、以下の手順に従います。

1. このデバイスは、ストア・アンド・フォワード・モードで動作するようデフォルト設定されています。
2. P1_RX_RDY_MASK ビットを 0 に設定して、フル・フレームの受信時に割込みをイネーブリングします。
3. P1_RX_RDY ビットがアサートされている場合、MAC 受信フレーム・サイズ・レジスタを読み出して受信フレームのサイズを判定します。
4. MAC 受信レジスタを通じてフレームを読み出します。フレーム全体をバースト読出しすることも、複数の小さなバースト読出しに分割することもできます。受信フレームの最初のバイトは P1_RX のビット[31:24]に返されます。バースト読出しトランザクションは、4 バイトの倍数であることが必要です。フレームのサイズが 4 バイトの倍数でない場合、最後の 4 バイトの一部が 0 でパディングされます。
5. 再度 P1_RX_RDY を読み出します。ビットの値が 1 の場合、別のフレームを読み出せます。ステップ 3 から繰り返してください。

カット・スルー

判定 SPI プロトコルは、送信動作の場合にカット・スルー・モードに対応します。

フレームの送信前に、送信カット・スルー・イネーブル・ビットに 1 を書き込みます。

フレーム送信を開始する閾値は、ホスト送信開始閾値で変更できます（送信閾値レジスタのセクションを参照）。このレジスタのデフォルト値は 1 です。そのため、デフォルトでは、ホスト送信 FIFO に書き込むと直ちに送信が開始されます。

フレーム送信がアンダー・ランとならないよう、ホスト送信 FIFO には 10Mbps より高いレートで書き込む必要があります。フレームがアンダー・ランとなった場合、ホスト送信アンダー・ラン・エラー・ビットがアサートされます。

汎用 SPI エラー

汎用 SPI CRC エラー

レジスタへの書き込み時に SPI CRC エラーが発生した場合、レジスタへの書き込みは行われません。

その書き込み先が送信レジスタである場合、送信 FIFO にはデータがなくなり、ホストによってクリアする必要があります。同様に、受信レジスタの読出しで受信フレームにデータがない場合、FIFO をクリアする必要があります。

エラーのあるトランザクションが設定レジスタへの書き込みだった場合、SPI ホストは、再度その書き込みを発行する必要があります。どの設定かをソフトウェアが判定できない場合、RST_MAC_ONLY キーを SOFT_RST レジスタに書き込んで MAC をリセットする必要があります。

汎用 SPI 送信プロトコル・エラー（TXPE）

TX_FSIZE レジスタへの書き込み時に TXPE がアサートされますが、MAC は、TX_FSIZE レジスタに書き込まれた以前のフレーム・サイズに関連して送信レジスタに更に書き込みがあるものと推定します。このエラーは通常動作では発生せず、ソフトウェア・ドライバに問題があることを示すものです。例えば、送信レジスタには書き込みを行わずに TX_FSIZE レジスタに 2 回続けて書き込むというような問題です。

TXPE のアサートに応答して、ホストは送信 FIFO をクリアする必要があります。

OPEN Alliance SPI プロトコル

OPEN Alliance SPI プロトコルのバージョン 1.0 は、SPI を介した全 2 重動作でデータを転送し、12MHz~16MHz 以上の SPI クロック周波数で 10Mbps の双方向フレーム転送を実現します。

ADIN1111 は、次の OPEN Alliance SPI 機能に対応しています（詳細については、サポート対象ケイパビリティ・レジスタのセクションを参照してください）。

- ▶ 送信 FCS の検証
- ▶ カット・スルー
- ▶ 送受信時に IEEE 1588 のタイプ・スタンプを取得
- ▶ サポートされるチャンクの最小サイズは 8 バイト

OPEN Alliance SPI プロトコルは、2 種類のトランザクションを定義しています。イーサネット・フレーム転送用のデータ・トランザクションとレジスタの読出し／書き込み動作の制御トランザクションです。

MAC SPI

チャンクはデータ・トランザクションの基本要素で、4 バイトのオーバーヘッドと設定済みのペイロード・サイズで構成されます。

データ・トランザクションは、同数の送信チャンクと受信チャンクで構成されます。送信方向と受信方向のどちらのチャンクも、有効フレーム・データを含んでいてもいなくてもよく、また、そのデータが互いに影響しないため、異なる長さのフレームを同時に送受信できます。送信フレームのチャンクのデー

タ・ヘッダと受信フレームのデータ・フッタは、ペイロードのどのバイトに有効フレーム・データが含まれているかを示します。ADIN1111 で使用される OPEN Alliance SPI プロトコルの詳細については、OPEN Alliance 10BASE-T1x MAC-PHY シリアル・インターフェース・バージョン 1.0 を参照してください。

図 28 に示すように、データ・トランザクションと制御トランザクションの間では、 $\overline{CS}$ をアサート解除する必要がある点に注意してください。

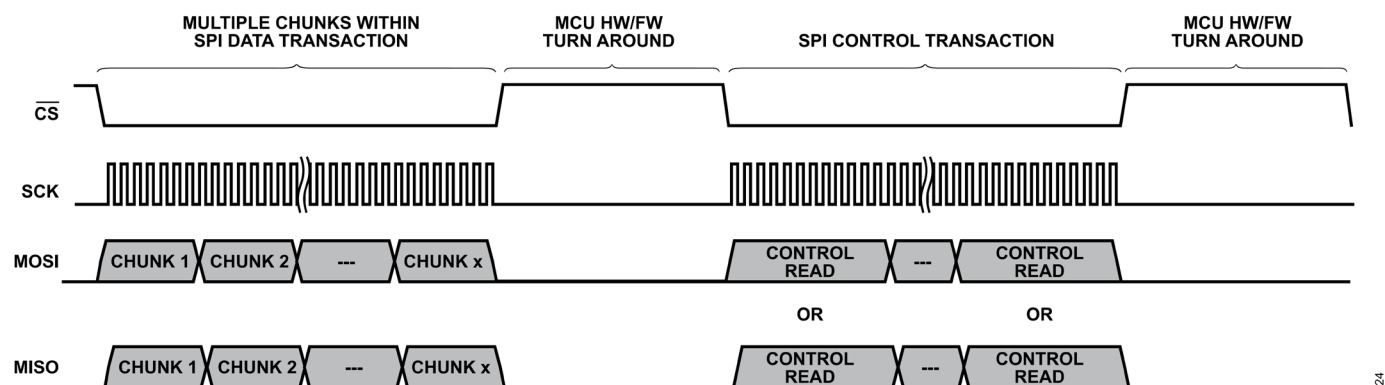


図 28. イーサネットのデータ・フレーム転送とそれに続く制御転送

MAC SPI

データ・チャンク

図 29 に示すように、送信データ・チャンクは、4 バイトのヘッダと、それに続く送信データ・チャンクのペイロードで構成されています。

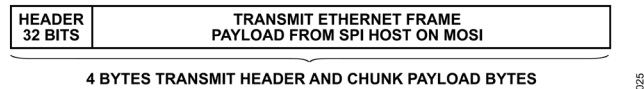


図 29. 送信データ・チャンク

図 30 に示すように、受信データ・チャンクは、受信データ・チャンクのペイロードと、それに続く 4 バイトのフッタで構成されています。



図 30. 受信データ・チャンク

データ・チャンクのペイロードのデフォルト・サイズは 64 バイトです。このサイズは、チャンク・ペイロード・セクタ・ビットを使用して、8 バイト、16 バイト、32 バイト、または 64 バイトに設定できます。データ・チャンク・サイズは、データの送信または受信をイネーブルする前に設定しておく必要があります。そのため、データ・チャンク・サイズを設定したら、MAC-PHY をリセットせずにこれを変更することはできません。

データ・チャンク・トランザクション

データ・トランザクションは、SDO および SDI の 1~N 個のチャンクで構成されています。4 バイトのデータ・ヘッダが SDO の各送信データ・チャンクの先頭に生じ、4 バイトのデータ・フッタが SDI の各データ・チャンクの末尾に生じます。これらのヘッダとフッタには、データ・チャンク・ペイロード内の送信フレームと受信フレームの有効性と位置を判定するために必要な情報が含まれています。イーサネット・フレームは、図 31 および図 32 に示すように、ペイロード内の 32 ビット境界に揃えられたワードから開始します。

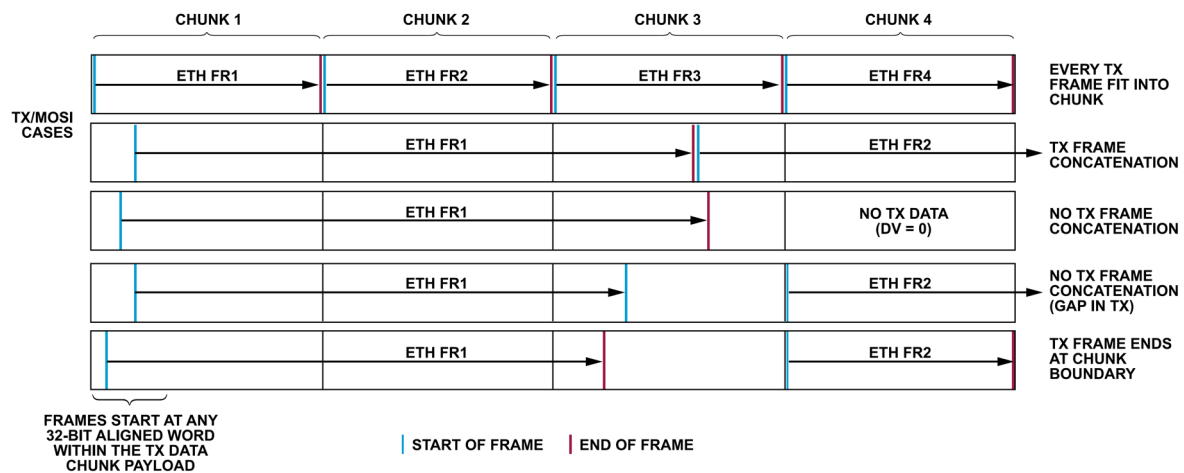


図 31. 送信データ・チャンクのケース

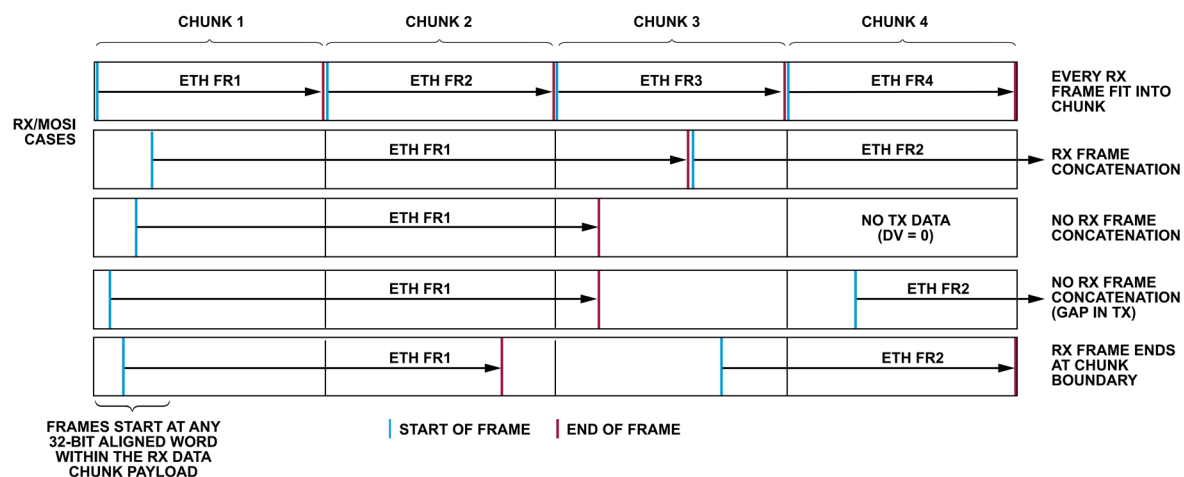


図 32. 受信データ・チャンクのケース

MAC SPI

送信データ・ヘッダ

表 36. 送信データ・ヘッダ

D31	D30	D29	D28 to D24	D23 to D22	D21	D20	D19 to D16	D15	D14	D13 to D8	D7 to D6	D5 to D1	D0
1	SEQ	NORX	RSVD	VS	DV	SV	SWO	RSVD	EV	EBO	TSC	RSVD	P

以下の定義を参照してください。

- ▶ **SEQ**：データ・チャンク・シーケンス。シーケンス機能は ADIN1111 ではサポートされていません。このビットは 0 に設定する必要があります。
- ▶ **NORX**：受信フラグなし。SPI ホストは、このビットを 1 に設定することで、現在の受信データ・チャンク内の受信フレーム・データを処理していないことを MAC-PHY に通知できます。通常動作では、NORX を 0 に設定して、現在のチャンク内の受信フレーム・データを受け入れて処理していることを通知します。
- ▶ **VS**：ベンダ固有ビット。この2つのビットはホストによって 00 に設定する必要があります。
- ▶ **DV**：データ有効フラグ。SPI ホストはこのビットを使用して、現在のチャンクに有効な送信データが含まれている（DV = 1）か含まれていないかを通知します。このビットが 0 の場合、MAC-PHY はチャンク・ペイロードを無視します。
- ▶ **SV**：開始有効フラグ。このビットが 1 の場合、イーサネット・フレームの先頭は現在の送信データ・チャンク・ペイロードにあります。SV ビットを、IEEE 802.3 規格に記載されているフレーム開始区切り（SFD：start of frame delimiter）バイトと混同しないでください。
- ▶ **SWO**：開始ワード・オフセット。SV が 1 の場合、このフィールドには、送信データ・チャンク・ペイロード内で新しいイーサネット・フレームが開始する位置を示す 32 ビット・ワード・オフセットが格納されます。SV が 0 の場合、ホストはこのフィールドに 0 を書き込まなければなりません。
- ▶ **EV**：終了有効フラグ。このビットが 1 の場合、イーサネット・フレームの末尾が現在の送信データ・チャンク・ペイロードにあります。
- ▶ **EBO**：終了バイト・オフセット。EV が 1 の場合、このフィールドには、送信データ・チャンク・ペイロードに含まれるバイト・オフセットが格納され、送信するイーサネット・フレームの最後のバイトを指し示します。EV が 0 の場合、ホストはこのフィールドに 0 を書き込まなければなりません。
- ▶ **TSC**：タイム・スタンプの取得。フレームがネットワークに送信された場合にタイム・スタンプの取得をリクエストします。以下を参照してください。
 - ▶ 00：動作なし。
 - ▶ 01：TTSCAL レジスタと TTSCAH レジスタのペアに取得。取得時に STATUS0 レジスタの TTSCAA ビットがアサートします。
 - ▶ 10：TTSCBL レジスタと TTSCBH レジスタのペアに取得。取得時に STATUS0 レジスタの TTSCAB ビットがアサートします。
 - ▶ 11：TTSCCL レジスタと TTSCCH レジスタのペアに取得。取得時に STATUS0 レジスタの TTSCAC ビットがアサートします。
- ▶ **P**：パリティ。パリティ・ビットは送信データ・ヘッダ全体にわたって計算されます。方法は奇数パリティです。
- ▶ **RSVD**：予約済み。常に 0 に設定されます。

MAC SPI

受信データ・フッタ

表 37. 受信データ・フッタ

D31	D30	D29	D28 to D24	D23 to D22	D21	D20	D19 to D16	D15	D14	D13 to D8	D7	D6	D5 to D1	D0
EXST	HDRB	SYNC	RCA	VS	DV	SV	SWO	FD	EV	EBO	RTSA	RTSP	TXC	P

以下の定義を参照してください。

- ▶ **EXST** : 拡張ステータス。STATUS0 レジスタまたは STATUS1 レジスタのどのビットもセットされマスクされていない場合に、このビットがセットされます。
- ▶ **HDRB** : 受信ヘッダ不良。このビットがセットされている場合、MAC-PHY は、パリティ・エラーのある制御ヘッダまたはデータ・ヘッダを受信しています。
- ▶ **SYNC** : 設定同期フラグ。このフィールドは、CONFIG0 レジスタの SYNC ビットの状態を反映しています。このビットが 0 の場合、MAC-PHY の設定が SPI ホストの想定とは異なっている可能性があることを示します。設定に従い、SPI ホストは設定レジスタ内の対応ビットをセットし、それがこのフィールドに反映されます。
- ▶ **RCA** : 使用可能受信チャンク。RCA フィールドは、現在のデータ・チャンク以外に読み出し可能な、フレーム・データの追加受信データ・チャンクの最小数を示します。MAC-PHY のバッファに読み出し用として留保されている受信データ・フレームがこれ以上ない場合には、このフィールドは 0 になります。
- ▶ **VS** : ベンダ固有。
 - ▶ **VS[1]** : 受信したフレームの優先度。
 - ▶ 0 : 低優先度キューを介して受信したフレーム。
 - ▶ 1 : 高優先度キューを介して受信したフレーム。
 - ▶ **VS[0]** : 予約済み。
- ▶ **DV** : データ有効フラグ。SPI ホストはこのビットを使用して、現在のチャンクに有効な送信データが含まれている (DV = 1) かいないかを通知します。このビットが 0 の場合、SPI ホストはチャンク・ペイロードを無視します。
- ▶ **SV** : 開始有効フラグ。このビットが 1 の場合、イーサネット・フレームの先頭は現在の送信データ・チャンク・ペイロードにあります。SV ビットを、IEEE 802.3 規格に記載されている SFD バイトと混同しないでください。
- ▶ **SWO** : 開始ワード・オフセット。SV が 1 の場合、このフィールドには、受信データ・チャンク・ペイロード内で新しいイーサネット・フレームが開始する位置を示す 32 ビット・ワード・オフセットが格納されます。受信したフレームの先頭に受信タイム・スタンプが追加されている場合 (RTSA=1)、SWO はタイム・スタンプの最上位バイトを差し示します。SV が 0 の場合、ホストはこのフィールドに 0 を書き込まなければなりません。
- ▶ **FD** : フレーム・ドロップこのビットがセットされている場合、SPI ホストが受信したイーサネット・フレームをドロップする必要がある条件を、MAC が検出したことを示します。このビットは受信したフレームの末尾でのみ有効で (EV = 1)、それ以外の場合は 0 であることが必要です。
- ▶ **EV** : 終了有効フラグ。このビットが 1 の場合、イーサネット・フレームの末尾は現在の受信データ・チャンク・ペイロードにあります。
- ▶ **EBO** : 終了バイト・オフセット。EV が 1 の場合、このフィールドには、受信データ・チャンク・ペイロードに含まれるバイト・オフセットが格納され、受信したイーサネット・フレームの最後のバイトを指し示します。EV = 0 の場合、このフィールドは 0 です。

- ▶ **RTSA** : 受信タイム・スタンプの追加。32 ビットまたは 64 ビットのタイム・スタンプが SPI フレームの先頭に追加された場合に、このビットがセットされます。このビットは、SV = 0 の場合には 0 にする必要があります。
- ▶ **TXC** : 送信クレジット。このフィールドには、SPI ホストが送信バッファ・オーバーフローを生じることなく単一のトランザクションに書き込める、フレーム・データの送信データ・チャンクの最小数が格納されています。
- ▶ **P** : パリティ。パリティ・ビットは受信データ・ヘッダ全体にわたって計算されます。方法は奇数パリティです。

OPEN Alliance SPI カット・スルー・モード

ホストからまたはホストへのカット・スルー・モードがイネーブルされている場合、フレームの送信方法は、ストア・アンド・フォワード・モードを使用する場合と同じままです。ただし、フレーム受信は、チャンクを満たすのに十分なフレーム・データが受信された時点で開始され、フレーム送信は、設定された送信閾値に達した時点で開始されます ([送信閾値レジスタ](#)のセクションを参照)。

カット・スルー・モードは、受信カット・スルー・イネーブル・ビットおよび送信カット・スルー・イネーブル・ビットを設定することでイネーブルできます ([設定レジスタ 0](#) のセクションを参照)。

受信時、MAC はデータが使用可能になるとそのデータを返します。ストア・アンド・フォワード・モードの場合とは異なり、フレーム開始 (SOF : start of frame) チャンクとフレーム終了 (EOF) チャンクの間に空のチャンク (DV = 0) がある場合もあります。

ホストのフレーム読み出し速度が遅く、受信 FIFO を空の状態に保てない場合、フレームは、ストア・アンド・フォワード・モードで動作しているのと同じように、受信 FIFO でバッファされます。すべてのフレームが読み出されると、FIFO の動作はカット・スルー・モードに戻ります。

フレームが送信時にアンダー・ラン状態にならないよう、ホストは、送信時に十分速いレート (>10Mbps) でフレーム・データを供給する必要があります。MAC がアンダー・ランとなった場合は、STATUS0 レジスタの TXBUE がアサートされ、MAC は動作中にフレーム送信を停止し、フレームに不良 CRC を付加します。

カット・スルー送信遅延

送信ヘッダの SWO が 0 (フレームはチャンク内で直ちに開始) の SPI データ・トランザクションの開始から、SPI 周波数が 16MHz、TX_THRESH が 1 の状態で MII で TX_EN が立ち上がるまでの時間間隔は、4μs です。PHY の送信遅延は 3.2μs です。その結果、合計送信遅延は 7.2μs となります。

カット・スルー受信遅延

受信遅延は、チャンク・サイズと SPI 周波数によって変化します。[表 38](#) は、すべてのサポート対象チャンク・サイズに対する SPI 周波数 16MHz 時の遅延を示しています。

MAC SPI

表 38. すべてのサポート対象チャンク・サイズについての 16MHz 時の受信遅延

Chunk Size (Bytes)	PHY Rx Latency (μs)	Time to Receive a Chunk of Data on the Ethernet Wire (μs) ¹	Time to Start of Frame Transfer over SPI (μs) ²	Total Rx Latency onto Wire (μs)	Total Rx Latency to End of First Chunk Transfer (μs) ³
64	6.4	57.6	17	81	98
32	6.4	32	9	47.4	56.4
16	6.4	19.2	5	30.6	35.6
8	6.4	12.8	3	22.2	25.2

¹ SPI での転送を開始するには、チャンクを満たすのに十分なフレーム・データを受信しておく必要があります。フレーム・プリアンブルを受信するまでの時間も含まれます。

² マイクロコントローラは割込みを待たず、SPI で連続して OPEN Alliance データ・トランザクションを提供しているものと仮定しています。フレーム転送は、平均してチャンクの間で開始されます。

³ 実際には、マイクロコントローラはチャンクの最後で受信ヘッダを受信するまで、データを使用できません。

制御トランザクション

表 39. 制御コマンド・ヘッダ

D31	D30	D29	D28	D27 to D24	D23 to D8	D7 to D1	D0
0	HDRB	WNR	AID	MMS	ADDR [15:0]	LEN	P

制御トランザクションは少なくとも 1 つの制御コマンドで構成されています。これらのコマンドは、SPI ホストが MAC-PHY 内のレジスタの読書きを行うために使用され、それぞれが 32 ビットの制御コマンド・ヘッダとそれに続くレジスタ・データで構成されています。表 39 を参照してください。

以下の定義を参照してください。

- ▶ HDRB：受信ヘッダ不良。MAC-PHY で設定されている場合、HDRB はパリティ・エラーのあるヘッダが受信されたことを示します。このビットは常に SPI ホストがクリアする必要があります。MAC-PHY はこの値を無視します。
- ▶ WNR：書き込み非読出し。1 の場合、データがレジスタに書き込まれます。それ以外の場合、データは読み出されます。
- ▶ AID：アドレス・インクリメント・ディスエーブル。クリアされると、アドレスは各レジスタの読出しまたは書き込み後に、自動的に 1 だけポスト・インクリメントされます。
- ▶ MMS：メモリ・マップ・セレクト。このフィールドは、アクセスする特定のレジスタ・メモリ・マップを選択します。表 40 を参照してください。
- ▶ ADDR：選択したメモリ・マップ内でアクセスする最初のレジスタのアドレス。
- ▶ LEN：長さ。読出し／書き込みを行うレジスタの数を指定します。このフィールドは、レジスタの数 - 1 と解釈されます。そのため、長さが 0 の場合、1 つのレジスタの読出しまたは書き込みを行います。

- ▶ P：パリティ。パリティ・ビットは制御コマンド・ヘッダ全体にわたって計算されます。使用する方法は奇数パリティです。

表 40. レジスタ・メモリ・マップ (MMS)

MMS	メモリ・マップの説明
0	標準的な制御およびステータス (SPI アドレス 0x00～アドレス 0x20)
1	MAC (SPI アドレス 0x30 以降)

制御書込み

MAC-PHY は、制御書込みコマンドの最後で SPI ホストからのデータの最終 32 ビットを無視します。また、書込みコマンドとデータは、MAC-PHY から SPI にエコー・バックされるため、バス・エラー発生時にどのレジスタ書込みが失敗したかを特定できます。

制御書込みコマンドは、1 つのレジスタにも、複数のレジスタにも書き込むことができます。複数のレジスタに書き込む場合、アドレスは自動的にポスト・インクリメントされます。

制御書込みコマンドの後に別の制御コマンドを送る場合、新しい制御ヘッダは、エコーされたレジスタ書込みデータの最後のワードの直後に続く必要があります。書込みコマンドがトランザクションの最後のコマンドである場合、SPI ホストは、エコーされたレジスタ書込みデータの最後のワードの後で、 $\overline{CS}$ をアサート解除する必要があります。

MAC SPI

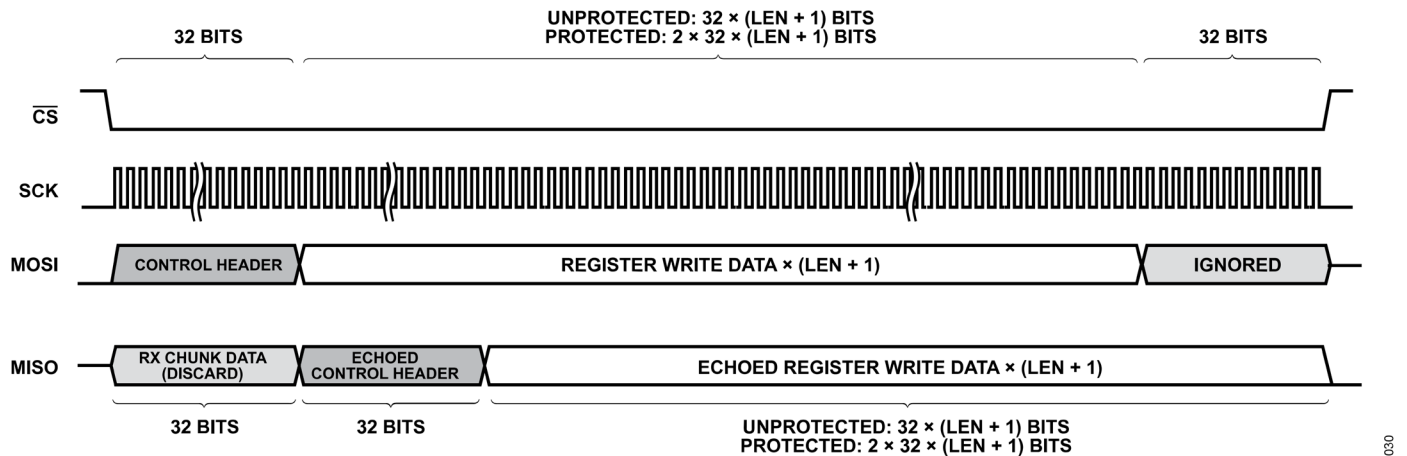


図 33. OPEN Alliance 制御セクション

制御読出し

MAC-PHY は、制御ヘッダに続く制御読出しコマンドの残りの部分については SPI ホストからの全データを、無視します。制御読出しコマンドは、1 つのレジスタも、複数のレジスタも読み出すことができます。複数のレジスタを読み出すと、制御ヘッダのアドレス・インクリメント・ディスエーブル・ビットに従い、アドレスが自動的にポスト・インクリメントされます。

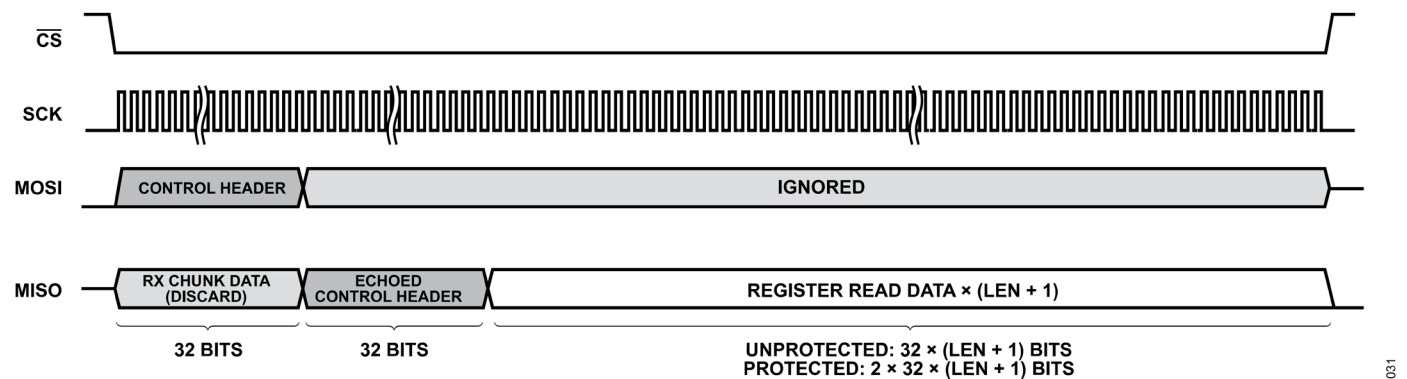


図 34. 制御読出しトランザクション

OPEN Alliance SPI エラー

以下に示す OPEN Alliance SPI エラーを参照してください。

- ▶ SPI ヘッダ・パリティ・エラー。送信ヘッダでパリティ・エラーが検出され、SPI での転送プロセスに送信フレームがある場合、このフレームはドロップされます。MAC がカット・スルー・モードで動作している場合、フレーム送信が停止し、不良 CRC がフレームに付加されます。

MAC-PHY は、 $\overline{CS}$ がハイになるまでワードごとに固定値 0x4000_0000 を返します。また、 $\overline{CS}$ が新たにアサートされた後の最初のデータ・フッタでは、DV=1、EV=1、EBO=0、FD=1 で応答します。

制御トランザクションにパリティ・エラーがある場合、動作は完了しません。SPI トランザクションの間に MAC-PHY が固定値 0x4000_0000 を SDO で返すため、ソフトウェアは、どのトランザクションがエラーを引き起こしたかを判定できます。

その後、ソフトウェアは、ヘッダ・エラー・ビットをクリアした後、破損した制御トランザクションを再送信できます。

- ▶ 送信プロトコル・エラー。送信データ・チャンクの転送時に MAC-PHY がプロトコル・エラーを検出した場合に発生します。これらのエラーは、通常、SPI ホスト・ファームウェアの問題が原因であり、通常動作では発生しません。MAC-PHY が受信したデータ・ヘッダが事前のフレーム開始指示 (SV = 1) なしでデータ有効 (DV = 1) を示した場合、送信プロトコル・エラー・ビットがセットされます。この場合、データ・チャンクは無視されます。あるいは、MAC-PHY がフレーム終了 (EV = 1) なしでフレーム開始 (SV = 1) を示す 2 つのデータ・ヘッダを受信した場合、MAC-PHY は直前のフレーム開始インジケータからのフレーム・データをドロップし、次のフレーム開始インジケータからのフレーム・データの受け入れを開始します。

MAC SPI

- ▶ 送信バッファ・オーバーフロー。直前のデータ・フッタの送信クレジット・フィールド (TxC) で示されたように使用できる送信バッファ・スペースがない場合に、送信フレーム・データを MAC-PHY に書き込もうとすると発生します。この状態では、MAC-PHY は、送信データ・チャンクを無視し、ホスト送信 FIFO オーバーフロー・ビットをセットします。また、既にバッファにあるフレーム・データはドロップされます。
- ▶ 送信バッファ・アンダー・ラン。このエラーは、カット・スルー・モードでのみ発生します。SPI ホストは、このエラーを避けるために、常にネットワークより高速で MAC-PHY にフレーム・データを送信します。このエラーが発生した場合、ホスト送信 FIFO アンダー・ラン・エラー・ビットがセットされ、MAC-PHY はフレームを無効化する方法でフレーム送信を停止します。また、MAC-PHY は、フレーム終了指示 (EV = 1) を受け取るまで、SPI ホストから受信する追加のフレーム・データを無視します。
- ▶ フレーム喪失エラー。このエラーは、データ・チャンクまたは制御コマンドの予想終了時より前に $\overline{CS}$ 信号がアサート解除された場合に、発生します。MAC-PHY およびフレーム喪失エラーがセットされ、進行中の送信フレームがドロップされ、SPI ホストに送信中の受信フレームが終了します。
- ▶ 受信バッファ・オーバーフロー。このエラーが発生するのは、SPI ホストが MAC-PHY からフレーム・データを読み出す速度が十分でない場合です。このエラーは、ストア・アンド・フォワード・モードおよびカット・スルー・モードのどちらでも発生する可能性があります。このエラーが発生すると、MAC-PHY は PHY から受信されているフレームを終了します。ストア・アンド・フォワード・モードでは、フレームのどの部分も SPI ホストに転送されません。カット・スルー・モードでは、MAC-PHY はフレーム・ドロップをセットして (FD = 1)、フレームを終了します (EV = 1)。
- ▶ 制御データ保護エラー。制御データ保護エラー (CDPE) ビットおよびフレーム喪失エラー (LOFE) ビットは、OPEN Alliance SPI で保護がイネーブルされ、ホストから受信した書き込みデータにエラーがある場合に、アサートされます。この場合、書き込みは完了しません。

可能な場合、ソフトウェアは再度書き込みを実行します。ソフトウェアがどの設定レジスタに書き込まれたかを判定できない場合、デバイスが正しく設定されていない可能性があります。この場合、RST_MAC_ONLY キーをソフトウェア・リセット・レジスタに書き込むことで MAC をリセットする必要があります。

PHY レジスタへの SPI アクセス

ADIN1111 には、PHY 管理レジスタにアクセスするために、SPI を用いる間接的なアクセス機能があります。PHY 管理レジスタにアクセスするには、SPI レジスタ・マップの 8 個の MDIOACCn レジスタを使用します。各 MDIOACCn レジスタは 1 つの MDIO トランザクションに対応します。

MDC のデフォルト速度は 2.5MHz です。CONFIG2 レジスタの MSPEED ビットを使用して、2.5MHz または 4.166MHz の MDC 周波数を選択できます。

MDIO リーダーは、8 個の MDIOACCn レジスタの TRDONE ビットをラウンド・ロビン・モードでポーリングします。TRDONE フィールドのいずれかが 0 であることを MDIO リーダーが検出すると、MDIO リーダーは MDIO トランザクションを開始しま

す。MDIO トランザクションが完了すると、TRDONE ビットが 1 にセットされ、リーダーは次の MDIOACCn レジスタの TRDONE ビットをチェックします。

なお、MDIO_DEVAD には常にアクセス先のレジスタのデバイス ID が書き込まれ、MDIO_PRTAD には常に 0x1 が書き込まれ、MDIO_ST には条項 45 のアクセス用に 0x0 が書き込まれます (これは以下の例のすべてにあてはまります)。

PHY レジスタ XYZ への書き込み例：

1. MDIOACC0 に、MDIO_DATA = レジスタ XYZ のアドレス、MDIO_DEVAD = レジスタ XYZ のデバイス ID、MDIO_PRTAD = 0x1、MDIO_OP = 0x0 (ADDR)、MDIO_ST = 0x0、TRDONE = 0x0 を書き込みます。
2. MDIOACC1 に、MDIO_DATA = レジスタ XYZ に書き込まれる値、MDIO_OP = 0x1 (WR)、TRDONE = 0x0 を書き込みます。
3. オプションで、MDIOACC0.TRDONE = 0x1 をポーリングして、アドレス書き込み動作が完了したことを確認します。
4. MDIOACC1.TRDONE = 0x1 をポーリングして、データ書き込み動作が完了していることを確認します。

PHY レジスタ XYZ の読出し例：

1. MDIOACC0 に、MDIO_DATA = レジスタ XYZ のアドレス、MDIO_OP = 0x0 (ADDR)、TRDONE = 0x0 を書き込みます。
2. MDIOACC1 に、MDIO_OP = 0x3 (RD)、および TRDONE = 0x0 を書き込みます。
3. MDIOACC1.TRDONE = 0x1 をポーリングして、データ書き込み動作が完了したことを確認します。MDIOACC1.MDIO_DATA には、MDIO レジスタ XYZ の内容が反映されています。

書き込み動作の後に書き込み動作を検証するための読出しがある例：

1. MDIOACC0 に、MDIO_DATA = レジスタ ABC のアドレス、および TRDONE = 0x0 を書き込みます。
2. MDIOACC1 に、MDIO_DATA = レジスタ ABC に書き込まれる値、MDIO_OP = 0x1 (WR)、TRDONE = 0x0 を書き込みます。
3. MDIOACC2 に MDIO_OP = 0x3 (RD)、および TRDONE = 0x0 を書き込みます。
4. MDIOACC2.TRDONE = 0x1 をポーリングして、すべての動作が完了したことを確認します。MDIO_DATA にはレジスタ ABC の内容が反映されています。

4 連続書き込みの例。8 つのレジスタ全部にコマンドを書き込んでから、任意のレジスタをチェックできます。

1. MDIOACC0 に、MDIO_DATA = レジスタ ABC のアドレス、および TRDONE = 0x0 を書き込みます。
2. MDIOACC1 に、レジスタ ABC への書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0 を書き込みます。
3. MDIOACC2 に、MDIO_DATA = レジスタ DEF のアドレス、および TRDONE = 0x0 を書き込みます。
4. MDIOACC3 に、レジスタ DEF への書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0 を書き込みます。
5. MDIOACC4 に、MDIO_DATA = レジスタ GHJ のアドレス、および TRDONE = 0x0 を書き込みます。
6. MDIOACC5 に、レジスタ GHJ への書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0 を書き込みます。

MAC SPI

7. MDIOACC6に、MDIO_DATA = レジスタ XYZ のアドレス、および TRDONE = 0x0 を書き込みます。
8. MDIOACC7に、レジスタ XYZ への書き込みデータ、MDIO_OP = 0x1、TRDONE = 0x0 を書き込みます。
9. ホストは MDIOACC7.TRDONE = 0x1 をポーリングして、すべてのデータ書き込み動作が完了したことを確認します。

レジスタ XYZ から始まるバースト読出しの例：

1. MDIOACC0に、MDIO_DATA = レジスタ XYZ のアドレス、MDIO_OP = 0x0 (ADDR)、TRDONE = 0x0 を書き込みます。
2. MDIOACC1 に、MDIO_OP = 0x2 (INC_RD)、および TRDONE = 0x0 を書き込みます。
3. MDIOACC2 に、MDIO_OP = 0x2 (INC_RD)、および TRDONE = 0x0 を書き込みます。
4. MDIOACC3 に、MDIO_OP = 0x2 (INC_RD)、および TRDONE = 0x0 を書き込みます。
5. MDIOACC4 に、MDIO_OP = 0x2 (INC_RD)、および TRDONE = 0x0 を書き込みます。
6. MDIOACC5 に、MDIO_OP = 0x2 (INC_RD)、および TRDONE = 0x0 を書き込みます。
7. MDIOACC6 に、MDIO_OP = 0x2 (INC_RD)、および TRDONE = 0x0 を書き込みます。
8. MDIOACC7 に、MDIO_OP = 0x2 (INC_RD)、および TRDONE = 0x0 を書き込みます。
9. MDIOACC7.TRDONE = 1 をポーリングして、すべてのデータ読出し動作が完了したことを確認します。
10. MDIOACC1.MDIO_DATAを読み出します。ここにはレジスタ XYZ の内容が反映されています。
11. MDIOACC2.MDIO_DATAを読み出します。ここにはアドレス XYZ.ADDR + 1 のレジスタの内容が反映されています。
12. MDIOACC3.MDIO_DATAを読み出します。ここにはアドレス XYZ.ADDR + 2 のレジスタの内容が反映されています。
13. MDIOACC4.MDIO_DATAを読み出します。ここにはアドレス XYZ.ADDR + 3 のレジスタの内容が反映されています。
14. MDIOACC5.MDIO_DATAを読み出します。ここにはアドレス XYZ.ADDR + 4 のレジスタの内容が反映されています。
15. MDIOACC6.MDIO_DATAを読み出します。ここにはアドレス XYZ.ADDR + 5 のレジスタの内容が反映されています。
16. MDIOACC7.MDIO_DATAを読み出します。ここにはアドレス XYZ.ADDR + 6 のレジスタの内容が反映されています。

レジスタ XYZ の条項 22 の書き込み例：

1. MDIOACC0 に、MDIO_DATA = 書き込みデータ、MDIO_DEVAD = レジスタ XYZ のアドレス、MDIO_PRTAD = 0x1、MDIO_OP = 0x1 (WR)、MDIO_ST = 0x1 (条項 22)、TRDONE = 0x0 を書き込みます。
2. MDIOACC0.TRDONE = 0x1 をポーリングして、データ書き込み動作が完了したことを確認します。

レジスタ XYZ の条項 22 の読出し例：

1. MDIOACC0 に、MDIO_DEVAD = レジスタ XYZ のアドレス、MDIO_PRTAD = 0x1、MDIO_OP = 0x3 (RD)、MDIO_ST = 0x1 (条項 22)、TRDONE = 0x0 を書き込みます。
2. MDIOACC0.TRDONE = 0x1 をポーリングして、読出し動作が完了したことを確認します。MDIO_DATA には MDIO レジスタ XYZ の内容が反映されています。

レジスタ XYZ の条項 22 の書き込みおよびリード・バックの例：

1. MDIOACC0 に、MDIO_DATA = 書き込みデータ、MDIO_DEVAD = レジスタ XYZ のアドレス、MDIO_PRTAD = 0x1、MDIO_OP = 0x1 (WR)、MDIO_ST = 0x1 (条項 22)、TRDONE = 0x0 を書き込みます。
2. MDIOACC1 に、MDIO_DEVAD = レジスタ XYZ のアドレス、MDIO_PRTAD = 0x1、MDIO_OP = 0x3 (RD)、MDIO_ST = 0x1 (条項 22)、TRDONE = 0x0 を書き込みます。
3. MDIOACC1.TRDONE = 0x1 をポーリングして、読出し動作が完了したことを確認します。MDIO_DATA には MDIO レジスタ XYZ の内容が反映されています。

MDIO PHY アドレスの決定

ADIN1111 PHY の MDIO PHY アドレスは 0x1 です。

PHY レジスタの内容

PHY レジスタでは、管理レジスタの制御情報およびステータス情報へのアクセスが可能です。

PHY 条項 45 のレジスタ・マップのレジスタは、MDIO 管理可能デバイス (MMD) に基づき、4 つのデバイス・アドレス・グループに分類されています (表 41 参照)。各デバイス・アドレス空間内で、0x0000~0x7FFF のレジスタ・アドレスには IEEE 規格レジスタがあり、0x8000~0xFFFF のレジスタ・アドレスにはベンダ固有レジスタがあります。

表 41. 条項 45 のレジスタ・グループ分け

Device Address	MMD Name
0x01	Physical medium attachment (PMA)/physical medium dependent (PMD)
0x03	Physical coding sublayer (PCS)
0x07	Autonegotiation
0x1E	Vendor Specific 1

条項 45 では、1 つの MDIO インターフェースを通じて最大 32 の MMD からなる最大 32 の PHY にアクセスできます。

MAC SPI

一部のレジスタのデフォルト値は、**RESET**ピンがアサート解除された直後に読み出されるハードウェア設定ピンの値によって決まります。この場合、**レジスタ**の表のリセット値はピン依存として記載されています。そのため、ADIN1111のデフォルト動作は **SPI** を通じて書き込まなくても設定できます。この方法は、ソフトウェアを介さずにハードウェア設定ピンで **PHY** の動作を設定するアンマネージド・アプリケーションで有用です。アンマネージド・アプリケーションの場合、リセット後にソフトウェア・パワーダウン・モードに入るよう **PHY** を設定しないでください。そうすることで、**PHY** は他のハードウェア設定ピンで設定されたリンクをすぐに立ち上げられます。マネージド・アプリケーションでは、管理インターフェースを介して **PHY** を設定するためのソフトウェアを使用できます。この場合、ハードウェア設定ピンを使ってリセット後にソフトウェア・パワーダウン・モードに入るよう **PHY** を設定でき、リンクを試みる前に **PHY** を設定できます。

推奨レジスタ動作

ADIN1111 の **PHY** レジスタの多くは、IEEE 802.3 規格で定義され、これらのレジスタの各動作はこの規格に従います。この動作は常に明確とは限らないため、レジスタの推奨動作および使用法と共にこのセクションで説明します。

ラッチ・ロー・レジスタ

IEEE 802.3-2018 規格では、特定の MDIO アクセス可能レジスタにラッチ・ロー動作を求めています。背景にある考え方は、これらのレジスタを断続的にしか読み出せないソフトウェアが、一時的あるいは短期的となり得る状態を検出できるようにすることです。例えば、**AN_LINK_STATUS** ビットはラッチ・ローであることが必要です。デバイスがリセットまたはパワーダウン状態を終了すると、ラッチ条件が無効となり、**AN_LINK_STATUS** ビットの値は、現在のリンク状態を反映したものになります。ただし、リンクがいったん確立してから切断されると、ラッチ条件が有効になります。この場合、リンクが一時的に再び確立しても、**AN_LINK_STATUS** ビットでは0が読み出されます。ラッチ条件がクリアされるのは、**AN_LINK_STATUS** ビットが読み出され、ソフトウェアがリンク切断を認識できた場合のみです。

このようなラッチ・ロー動作の影響として、ソフトウェアは現在のリンク状態を判定する場合に、2 回連続した **AN_LINK_STATUS** ビットの読出しが必要になります。最初の読出しはアクティブなラッチ条件をクリアするために必要です。

また、ソフトウェアは、同じレジスタ・アドレスを共有する MDIO アクセス可能ビット間の相互作用にも注意する必要があります。例えば、**AN_PAGE_RX** ビットと **AN_LINK_STATUS** ビットは同じレジスタ・アドレスにあります。その結果、**AN_PAGE_RX** ビットを読み出すと、**AN_LINK_STATUS** ビットに関連するアクティブなラッチ条件がすべてクリアされてしまいます。

IEEE 複製レジスタ

IEEE 802.3-2018 規格は、10Mbps から 40Gbps 以上におよぶ非常に広範な規格と速度をカバーしており、また、多数の条項を含

んでいます。多くの条項に関連したレジスタがあり、異なる **PHY** が、異なる条項や、これらの条項の異なる組み合わせを含む場合もあります。そのため、ソフトウェア・リセット、ソフトウェア・パワーダウン、ループバックなどの一般的な機能のレジスタは、複数の条項で記載されている傾向があります。

ADIN1111 では、これらのレジスタは物理的には1か所に実装されていますが、複数のアドレスでアクセスすることもできます。例えば、ソフトウェア・リセット・ビットは、以下のすべての IEEE MMD 位置およびベンダ固有のレジスタ位置で読書きできます。

- ▶ **PMA_SFT_RST**
- ▶ **B10L_PMA_SFT_RST**
- ▶ **PCS_SFT_RST**
- ▶ **B10L_PCS_SFT_RST**
- ▶ **CRSM_SFT_RST**

この例の場合、これらは **PMA/PMD**、**PCS**、**オート・ネゴシエーション**、ベンダ固有 **MMD 1** のデバイス・アドレス位置です（表 41 参照）。

同じレジスタに複数のアドレス位置があることで、特に、ラッチ・ローやセルフ・クリアのアクセス許可を持つレジスタに関して、デバイスの使用法が必要以上に複雑なものになります。これは、IEEE 規格では避けることができません。

ADIN1111 のデータシートでは、これらの IEEE レジスタごとに1つの推奨アドレス位置のみを挙げることで、デバイスの動作と使用法を簡潔にしています。一般に、規格の **802.3cg (10BASE-T1L)** セクションで示されているレジスタは、これ以前の（同等の）レジスタに優先して推奨されています。特に、あるレジスタが1つのレジスタ・アドレスに有用な IEEE レジスタ・ビットを多数含む場合、ベンダ固有アドレスのレジスタが推奨されることが一般的です。ADIN1111 は、パワーオン・リセット、ハードウェア・リセット、またはソフトウェア・リセット後の起動完了時に、**10BASE-T1L** 規格によってカバーされるすべての IEEE レジスタ・アドレス位置へのレジスタ・アクセスに対応しています。

リード・モディファイ・ライト動作

すべてのレジスタ書込み動作は、リード・モディファイ・ライト動作として実行する必要があります。このプロセスに従わないと、レジスタ・ビットの値が意図せずに変更される場合があります。

MAC

受信時のフレーム・フィルタ処理

デフォルトでは、デバイスは受信した全フレームをフィルタ処理します。フレームを受信するには、アドレス・フィルタリング・テーブルをセットアップします。あるいは、全受信フレームに対するデフォルト動作を変更することもできます。

デバイスは、MAC 宛先アドレス (DA) に基づき最大 16 の異なる MAC アドレスをフィルタするよう設定できます。

MAC SPI

特定の DA のフレームを受信するには、その DA を 16 の ADDR_FILT_x レジスタのいずれかにプログラムする必要があります。各レジスタは 32 ビット幅です。例えば、0800 005A 646B という DA を ADDR_FILT_UPR0 と ADDR_FILT_LWR0 にプログラムするには、次のように書き込みます。

1. ADDR_FILT_UPR0 に 0x0800
2. ADDR_FILT_LWR0 に 0x005A6468

この DA を持つフレームをホストに転送するには、ADDR_FILT_UPRn レジスタの TO_HOST ビットを 1 にセットします。このルールを適用するには、APPLY2PORT1 ビットを 1 に設定します。

MAC アドレスは、ADDR_MSK_x レジスタを使用してマスクできます。例えば、0x8000 005A 64xx の範囲のすべての MAC アドレスを受信するには、次のように書き込みます。

1. ADDR_MSK_UPR0 に 0xFFFF
2. ADDR_MSK_LWR0 に 0xFFFFF00

16 の ADDR_FILT_x レジスタのいずれにも一致しないフレームはデフォルトでドロップされます。CONFIG2 レジスタの P1_FWD_UNK2HOST ビットが 1 にセットされている場合、DA に一致しないすべてのフレームはホストに転送されます。図 35 にフィルタ処理アルゴリズムを示します。

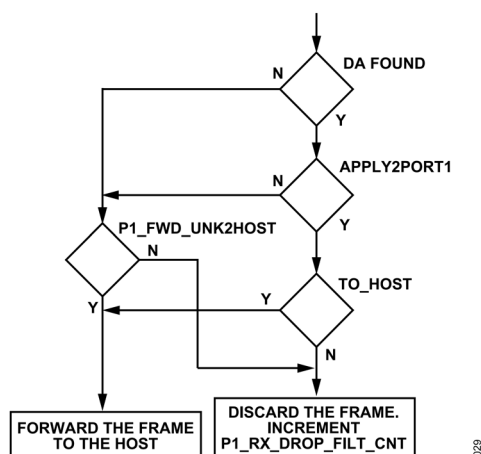


図 35. フィルタ処理アルゴリズム

不良 CRC またはアサートされた RX_ER が付加された PHY からの受信フレームや、ラント・フレームおよびジャバ・フレームはドロップされてカウントされます。

受信優先度キュー

受信に関し、高優先度 FIFO と低優先度 FIFO の 2 種類の FIFO があります。

デフォルトでは、低優先度 FIFO は 12kB に設定され、高優先度 FIFO は 8kB に設定されています。これらの FIFO のサイズの変更は、FIFO_SIZE レジスタの P1_RX_LO_SIZE と P1_RX_HI_SIZE の各フィールドを通じていずれかのフレームを受信または送信する前に可能です。

フレームは常に、高優先度 FIFO から最初に返されます。

統計カウンタ

受信ポートには 15 個の 32 ビット・カウンタがあり、フレームの送受信時ごとにインクリメントします。

表 42. 統計カウンタ

Name	Description
P1_RX_FRM_CNT	Rx frame count
P1_RX_UCAST_CNT	Rx unicast frame count
P1_RX_MCAST_CNT	Rx multicast frame count
P1_RX_BCAST_CNT	Rx broadcast frame count
P1_RX_CRC_ERR_CNT	Rx CRC errored frame count
P1_RX_ALGN_ERR_CNT	Rx alignment error count
P1_RX_PHY_ERR_CNT	Rx PHY error count
P1_RX_LS_ERR_CNT	Rx long and short frame error count
P1_TX_FRM_CNT	Tx frame count
P1_TX_UCAST_CNT	Tx unicast frame count
P1_TX_MCAST_CNT	Tx multicast frame count
P1_TX_BCAST_CNT	Tx broadcast frame count
P1_RX_DROP_FULL_CNT	Rx frames dropped due to FIFO full
P1_RX_DROP_FILT_CNT	Rx frames dropped due to filtering
P1_RX_IFG_ERR_CNT	Rx frames received with interframe gap (IFG) errors

受信ドロップ FIFO フル・カウンタ

受信フレームの最初のバイトが適切な受信 FIFO に書き込まれる前に、FIFO の空き容量がチェックされます。最低 256 バイトの空き容量がない場合、フレームはドロップされ、P1_RX_DROP_FULL_CNT カウンタがインクリメントします。FIFO に最低 256 バイトの空き容量がある場合、ロジックはそのフレームの受信 FIFO への書き込みを開始します。受信したフレームが 256 バイトを超え、受信 FIFO がいっぱいの場合、フレームはドロップされ、P1_RX_DROP_FULL_CNT カウンタがインクリメントします。

フレーム受信および送信エラー

デフォルトでは、受信したエラー・フレームはすべてドロップされ、カウントされます。エラー・フレームを受信しても割込みは生成されません。代わりに、これらのフレームはドロップされてカウントされるため、ソフトウェアは統計カウンタをモニタする必要があります。

SRAM ECC エラー

フレームを FIFO に書き込む場合、フレームのサイズがフレームの前の 16 ビット・ワードに挿入され、FIFO に書き込まれます。5 ビットの誤り訂正符号 (ECC) がサイズ・フィールドと並んで配置されます。

この場所がスタティック・ランダム・アクセス・メモリ (SRAM) から読み出されると、ECC がチェックされます。ダブル・ビット・エラーが検出された場合、STATUS1 レジスタの RX_ECC_ERR ビットまたは TX_ECC_ERR ビットがアサートされます。受信 FIFO からフレーム・ヘッダを読み出す際にダブル・ビット・エラーが検出された場合、そのフレームは送信されません。

MAC SPI

ECCエラーに応答して、FIFOは自動的にクリアされます。FIFOの全フレームが失われ、送信は停止し、送信されたフレームには不良CRCが付加されます。次に受信されたフレームがFIFOに書き込まれます。

レジスタ

SPI レジスタの詳細

表 43. SPI のレジスタ・マップ

アドレス	名称	説明	リセット	アクセス
0x00	IDVER	識別バージョン・レジスタ。	0x00000010	R
0x01	PHYID	PHY 識別レジスタ。	0x0283BC91	R
0x02	CAPABILITY	サポート対象ケイパビリティ・レジスタ。	0x000006C3	R
0x03	RESET	リセット制御およびステータス・レジスタ。	0x00000000	W
0x04	CONFIG0	設定レジスタ 0。	0x00000006	R/W
0x06	CONFIG2	設定レジスタ 2。	0x00000800	R/W
0x08	STATUS0	ステータス・レジスタ 0。	0x00000040	R/W
0x09	STATUS1	ステータス・レジスタ 1。	0x00000000	R/W
0x0B	BUFSTS	バッファ・ステータス・レジスタ。	0x00007700	R
0x0C	IMASK0	割込みマスク・レジスタ 0。	0x00001FBF	R/W
0x0D	IMASK1	割込みピン駆動用マスク・ビット・レジスタ。	0x43FA1F1A	R/W
0x10	TTSCAH	送信タイム・スタンプ・キャプチャ・レジスタ A (ハイ)。	0x00000000	R
0x11	TTSCAL	送信タイム・スタンプ・キャプチャ・レジスタ A (ロー)。	0x00000000	R
0x12	TTSCBH	送信タイム・スタンプ・キャプチャ・レジスタ B (ハイ)。	0x00000000	R
0x13	TTSCBL	送信タイム・スタンプ・キャプチャ・レジスタ B (ロー)。	0x00000000	R
0x14	TTSCCH	送信タイム・スタンプ・キャプチャ・レジスタ C (ハイ)。	0x00000000	R
0x15	TTSCCL	送信タイム・スタンプ・キャプチャ・レジスタ C (ロー)。	0x00000000	R
0x20 to 0x27 by 1	MDIOACCn	MDIO アクセス・レジスタ。	0x8C000000	R/W
0x30	TX_FSIZE	MAC Tx フレーム・サイズ・レジスタ。	0x00000000	R/W
0x31	TX	MAC 送信レジスタ。	0x00000000	W
0x32	TX_SPACE	Tx FIFO スペース・レジスタ。	0x00000FFF	R
0x34	TX_THRESH	送信閾値レジスタ。	0x00000041	R/W
0x36	FIFO_CLR	MAC FIFO クリア・レジスタ。	0x00000000	W
0x37 to 0x3A by 1	SCRATCHn	スクラッチ・レジスタ。	0x00000000	R/W
0x3B	MAC_RST_STATUS	MAC リセット・ステータス。	0x00000003	R
0x3C	SOFT_RST	ソフトウェア・リセット・レジスタ。	0x00000000	W
0x3D	SPI_INJ_ERR	DUT から MISO へのエラー注入。	0x00000000	R/W
0x3E	FIFO_SIZE	FIFO サイズ・レジスタ。	0x00000464	R/W
0x3F	TFC	Tx FIFO フレーム・カウント・レジスタ。	0x00000000	R
0x40	TXSIZE	Tx FIFO 有効ハーフ・ワード・レジスタ。	0x00000000	R
0x41	HTX_OVF_FRM_CNT	FIFO オーバーフローによりドロップされたホスト Tx フレーム。	0x00000000	R
0x42	MECC_ERR_ADDR	メモリ内で検出された ECC エラーのアドレス。	0x00000000	R
0x43 to 0x49 by 1	CECC_ERRn	訂正された ECC エラーのカウント。	0x00000000	R
0x50 to 0x6E by 2	ADDR_FILT_UPRn	MAC アドレス・ルールおよび DA フィルタ上位 16 ビット・レジスタ。	0x00000000	R/W
0x51 to 0x6F by 2	ADDR_FILT_LWRn	MAC アドレス DA フィルタ下位 32 ビット・レジスタ。	0x00000000	R/W
0x70 to 0x72 by 2	ADDR_MSK_UPRn	MAC アドレス・マスクの上位 16 ビット。	0x0000FFFF	R/W
0x71 to 0x73 by 2	ADDR_MSK_LWRn	MAC アドレス・マスクの下位 32 ビット。	0xFFFFFFFF	R/W
0x80	TS_ADDEND	タイム・スタンプ・アキュムレータ加数レジスタ。	0x85555555	R/W
0x81	TS_1SEC_CMP	タイマー更新比較レジスタ。	0x3B9ACA00	R/W
0x82	TS_SEC_CNT	秒カウンタ・レジスタ。	0x00000000	R/W
0x83	TS_NS_CNT	ナノ秒カウンタ・レジスタ。	0x00000000	R/W
0x84	TS_CFG	タイマー設定レジスタ。	0x00000000	R/W
0x85	TS_TIMER_HI	TS_TIMER のハイ時間レジスタ。	0x00000000	R/W
0x86	TS_TIMER_LO	TS_TIMER のロー時間レジスタ。	0x00000000	R/W
0x87	TS_TIMER_QE_CORR	量子化誤差補正レジスタ。	0x00000000	R/W

レジスタ

表 43. SPI レジスタ・マップ (続き)

アドレス	名称	説明	リセット	アクセス
0x88	TS_TIMER_START	TS_TIMER カウンタ開始時間レジスタ。	0x00000000	R/W
0x89	TS_EXT_CAPT0	TS_CAPT ピン 0 タイム・スタンプ・レジスタ。	0x00000000	R
0x8A	TS_EXT_CAPT1	TS_CAPT ピン 1 タイム・スタンプ・レジスタ。	0x00000000	R
0x8B	TS_FREECNT_CAPT	TS_CAPT 自走カウンタ・レジスタ。	0x00000000	R
0x90	P1_RX_FSIZE	P1 MAC Rx フレーム・サイズ・レジスタ。	0x00000000	R
0x91	P1_RX	P1 MAC 受信レジスタ。	0x00000000	R
0xA0	P1_RX_FRM_CNT	P1 Rx フレーム・カウント・レジスタ。	0x00000000	R
0xA1	P1_RX_BCAST_CNT	P1 Rx ブロードキャスト・フレーム・カウント・レジスタ。	0x00000000	R
0xA2	P1_RX_MCAST_CNT	P1 Rx マルチキャスト・フレーム・カウント・レジスタ。	0x00000000	R
0xA3	P1_RX_UCAST_CNT	P1 Rx ユニキャスト・フレーム・カウント・レジスタ。	0x00000000	R
0xA4	P1_RX_CRC_ERR_CNT	P1 Rx CRC エラー・フレーム・カウント・レジスタ。	0x00000000	R
0xA5	P1_RX_ALGN_ERR_CNT	P1 Rx アライン・エラー・カウント・レジスタ。	0x00000000	R
0xA6	P1_RX_LS_ERR_CNT	P1 Rx 長／短フレーム・エラー・カウント・レジスタ。	0x00000000	R
0xA7	P1_RX_PHY_ERR_CNT	P1 Rx PHYエラー・カウント・レジスタ。	0x00000000	R
0xA8	P1_TX_FRM_CNT	P1 Tx フレーム・カウント・レジスタ。	0x00000000	R
0xA9	P1_TX_BCAST_CNT	P1 Tx ブロードキャスト・フレーム・カウント・レジスタ。	0x00000000	R
0xAA	P1_TX_MCAST_CNT	P1 Tx マルチキャスト・フレーム・カウント・レジスタ。	0x00000000	R
0xAB	P1_TX_UCAST_CNT	P1 Tx ユニキャスト・フレーム・カウント・レジスタ。	0x00000000	R
0xAC	P1_RX_DROP_FULL_CNT	FIFO フルによりドロップされた P1 Rx フレーム・レジスタ。	0x00000000	R
0xAD	P1_RX_DROP_FILT_CNT	フィルタリングによりドロップされた P1 Rx フレーム・レジスタ。	0x00000000	R
0xAE	P1_RX_IFG_ERR_CNT	ポート 1 で IFG エラー付きで受信したフレーム。	0x00000000	R
0xB0	P1_TX_IFG	P1 送信フレーム間ギャップ・レジスタ。	0x0000000B	R/W
0xB3	P1_LOOP	P1 MAC ループバック・イネーブル・レジスタ。	0x00000000	R/W
0xB4	P1_RX_CRC_EN	受信時 P1 CRC チェック・イネーブル・レジスタ。	0x00000001	R/W
0xB5	P1_RX_IFG	P1 受信フレーム間ギャップ・レジスタ。	0x0000000A	R/W
0xB6	P1_RX_MAX_LEN	P1 最大受信フレーム長レジスタ。	0x00000618	R/W
0xB7	P1_RX_MIN_LEN	P1 最小受信フレーム長レジスタ。	0x00000040	R/W
0xB8	P1_LO_RFC	P1 Rx 低優先度 FIFO フレーム・カウント・レジスタ。	0x00000000	R
0xB9	P1_HI_RFC	P1 Rx 高優先度 FIFO フレーム・カウント・レジスタ。	0x00000000	R
0xBA	P1_LO_RXSIZE	P1 低優先度 Rx FIFO 有効ハーフ・ワード・レジスタ。	0x00000000	R
0xBB	P1_HI_RXSIZE	P1 高優先度 Rx FIFO 有効ハーフ・ワード・レジスタ。	0x00000000	R

識別バージョン・レジスタ

アドレス : 0x00、リセット : 0x00000010、レジスタ名 : IDVER

表 44. IDVER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:8]	RESERVED	予約済み。	0x0	R
[7:4]	MAJVER	OPEN Alliance のメジャー・バージョン。このデバイスでサポートする OPEN Alliance シリアル 10BASE-T1x MAC-PHY インターフェース仕様のメジャー・バージョン識別子。	0x1	R
[3:0]	MINVER	OPEN Alliance のマイナー・バージョン。このデバイスでサポートする OPEN Alliance シリアル 10BASE-T1x MAC-PHY インターフェース仕様のマイナー・バージョン識別子。	0x0	R

レジスタの一覧

PHY 識別レジスタ

アドレス : 0x01、リセット : 0x0283BC91、レジスタ名 : PHYID

表 45. PHYID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:10]	OUI	組織固有識別子 (ビット[23:2])。OUI フィールドの 22 ビットはメーカーが割り当てた 24 ビット組織固有識別子 (OUI) の 22 個の最上位ビットに対応します。OUI のビット 2 が PHYID のビット 31、OUI のビット 23 が PHYID のビット 10、というように、OUI は PHYID レジスタに配列されます。	0xA0EF	R
[9:4]	MODEL	メーカーのモデル番号。メーカーのモデル番号は、デバイスを識別するのに使用されます。	0x9	R
[3:0]	REVISION	メーカーのリビジョン番号。メーカーの製品リビジョン番号は、デバイスのリビジョン・レベルを示すために使用されます。	0x1	R

サポート対象ケイパビリティ・レジスタ

アドレス : 0x02、リセット : 0x000006C3、レジスタ名 : CAPABILITY

表 46. CAPABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:11]	RESERVED	予約済み。	0x0	R
10	TXFCSVC	送信フレーム・チェック・シーケンス検証ケイパビリティ。SPI ホストによって追加された FCS や SPI ホストから受信した FCS を検証できることを示します。このビットがセットされている場合、MAC は、SPI ホストによってパディングと FCS が付加された送信フレームを受け入れ、受信した FCS を付けて SPI ホストに受信フレームを送信するように設定されていることも示します。 0 : 送信 FCS 検証に対応していない。 1 : 送信 FCS 検証に対応している。	0x1	R
9	IPRAC	間接 PHY レジスタ・アクセス・ケイパビリティ。SPI レジスタ・メモリ・スペース内で PHY レジスタが直接アクセス可能であるかどうかを示します。 0 : PHY レジスタは間接アクセス可能ではない。 1 : PHY レジスタは間接アクセス可能。	0x1	R
8	DPRAC	直接 PHY レジスタ・アクセス・ケイパビリティ。SPI レジスタ・メモリ・スペース内で PHY レジスタが直接アクセス可能であるかどうかを示します。 0 : PHY レジスタは直接アクセス可能ではない。 1 : PHY レジスタは直接アクセス可能。	0x0	R
7	CTC	カット・スルー・ケイパビリティ。MAC-PHY デバイスがネットワークとの間で MAC-PHY を通じたフレームのカット・スルー転送に対応しているかどうかを示します。 0 : カット・スルーに対応していない。 1 : カット・スルーに対応している。	0x1	R
6	FTSC	フレーム・タイム・スタンプ・ケイパビリティ。フレーム・タイム・スタンプ・ケイパビリティ。MAC-PHY デバイスがネットワークとの間のフレームの送受信時に、IEEE 1588 タイム・スタンプの取得に対応しているかどうかを示します。 1 : フレームの送受信時の IEEE 1588 タイム・スタンプの取得に対応している。 0 : フレームの送受信時の IEEE 1588 タイム・スタンプの取得に対応していない。	0x1	R
5	AIDC	アドレス・インクリメント・ディスエーブル・ケイパビリティ。MAC-PHY デバイスが、制御コマンド・ヘッダの AID ビットを使用した制御コマンド読出しおよび書込みにおける、レジスタ・アドレスの自動ポスト・インクリメントのディスエーブルに対応しているかどうかを示します。アドレス・インクリメントのディスエーブルには対応していません。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。	0x0	R
4	SEQC	TX データ・チャンク・シーケンスおよび再試行ケイパビリティ。MAC-PHY が、Tx データ・チャンク・ヘッダおよび Tx データ・チャンク再試行において SPI ホストが送信する SEQ ビットをモニタリングするかどうかを示します。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。 1 : Tx データ・チャンク・シーケンスおよび再試行に対応している。 0 : Tx データ・チャンク・シーケンスおよび再試行には対応していない。	0x0	R

レジスタの一覧

表 46. CAPABILITY のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
3	RESERVED	予約済み。	0x0	R
[2:0]	MINCPS	最小サポート対象チャンク・ペイロード・サイズ（CPS）。CONFIG0 レジスタの CPS フィールドに設定できる最小サイズのチャンク・ペイロードを示します。最小サポート対象チャンク・ペイロード・サイズは 2 ^N です。ここで、N はこれらのビットの値です。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。 110：最小サポート対象チャンク・ペイロード・サイズは 64 バイトです。 101：最小サポート対象チャンク・ペイロード・サイズは 32 バイトです。 100：最小サポート対象チャンク・ペイロード・サイズは 16 バイトです。 011：最小サポート対象チャンク・ペイロード・サイズは 8 バイトです。	0x3	R

リセット制御およびステータス・レジスタ

アドレス：0x03、リセット：0x00000000、レジスタ名：RESET

表 47. RESET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予約済み。	0x0	R
0	SWRESET	ソフトウェア・リセット。MAC-PHY のソフトウェア・リセット。このビットに 1 を書き込むと、統合された PHY を含め MAC-PHY が完全に初期状態にリセットされます。これには全ステート・マシンのリセットやレジスタのデフォルト値へのリセットも含まれますが、これに限定されません。このビットがセットされた場合、制御コマンド書込みが完了できるよう CS がアサート解除されるまで、リセットは生じません。リセットが有効になるためには、CS が 100ns 以上アサートを保持する必要があります。このビットはセルフ・クリア・ビットです。	0x0	W

設定レジスタ 0

アドレス：0x04、リセット：0x00000006、レジスタ名：CONFIG0

表 48. CONFIG0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予約済み。	0x0	R
15	SYNC	設定の同期。このビットの状態は、Rx フッタ SYNC ビットに反映されます。このビットは、リセット時にデフォルトで 0 になります。SPI ホストによって 1 が書き込まれると、0 を書き込んでもこのビットはクリアされません。リセット後は直ちに SYNC ビットが 0 にクリアされ、RESETC は 1 にセットされ、割込みピンがアサートされます。 0：MAC-PHY がリセットされ、設定は行われません。 1：MAC-PHY が設定される。	0x0	R/W1S
14	TXFCSVE	送信フレーム・チェック・シーケンス検証イネーブル。セットされた場合、受信した全イーサネット・フレームの最後の 4 オクテットが検証されます。このビットをセットする場合、CRC_APPEND は 0 でなくてはなりません。つまり、CRC を各送信フレームに付加するよう MAC を設定することはできません。	0x0	R/W
13	CSARFE	CS アライン受信フレーム・イネーブル。セットされている場合、すべての受信イーサネット・フレーム・データは、CS アサートに続く最初の受信チャンク・ペイロードの先頭からのみ開始します。開始ワード・オフセット（SWO）は常に 0 です。このビットがクリアされると、受信フレームはどの受信チャンク内からでも開始できます。Open Alliance SPI プロトコルにのみ適用されます。	0x0	R/W
12	ZARFE	ゼロ・アライン受信フレーム・イネーブル。セットされた場合、すべての受信イーサネット・フレーム・データは、SWO が 0 の受信チャンク・ペイロードの先頭から開始するよう揃えられます。このビットがクリアされると、受信フレームは受信チャンク・ペイロード内のどこからでも開始できます。Open Alliance SPI プロトコルにのみ適用されます。	0x0	R/W
[11:10]	TXCTHRESH	送信クレジット閾値。このフィールドは、IRQn がアサートされる前に書き込まなくてはならない空きバッファの送信クレジット（TXC）数を設定します。00：1 クレジット以上（デフォルト）、01：4 クレジット以上、10：8 クレジット以上、11：16 クレジット以上です。Open Alliance SPI プロトコルにのみ適用されます。 00：≥ 1 クレジット。 01：≥ 4 クレジット。 10：≥ 8 クレジット。 11：≥ 16 クレジット。	0x0	R/W

レジスタ

表 48. CONFIG0 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
9	TXCTE	送信カット・スルー・イネーブル。このビットは、MAC-PHY デバイスを通じた SPI ホストからネットワークへのフレーム転送のカット・スルー・モードをイネーブルします。Tx のカット・スルーがイネーブルされている場合、ホストは、データが 10Mbps を上回る速度でデバイスに供給され、フレーム送信がアンダー・ランにならないようにする必要があります。	0x0	R/W
8	RXCTE	受信カット・スルー・イネーブル。このビットは、MAC-PHY デバイスを通じたネットワークから SPI ホストへのフレーム転送のカット・スルー・モードをイネーブルします。カット・スルー・モードは、フレーム受信がイネーブルされる前のデバイス設定でイネーブルする必要があります。つまり、P1_FWD_UNK2HOST をセットする前か、ADDR_FILTER_x レジスタに書き込みを行う前に、カット・スルーをイネーブルします。汎用 SPI プロトコルの使用時には RXCTE を 0 にする必要があります。	0x0	R/W
7	FTSE	フレーム・タイム・スタンプ・イネーブル。このビットによって、IEEE 1588 の送受信のフレーム・タイム・スタンプがイネーブルされます。 0：フレーム送受信タイム・スタンプはディセーブル。 1：フレーム送受信タイム・スタンプはイネーブル。	0x0	R/W
6	FTSS	受信フレーム・タイム・スタンプ・セレクト。この MAC-PHY デバイスが対応しており FTSE = 1 によってイネーブルされている場合、このビットは受信フレームに付加されるタイム・スタンプのサイズとフォーマットを設定し、送信フレームのリクエスト時に取得します。 0：32 ビットのタイム・スタンプ。 1：64 ビットのタイム・スタンプ。	0x0	R/W
5	PROTE	制御データ読書き保護をイネーブル。このビットがセットされ OPEN Alliance SPI プロトコルが使用される場合、MAC-PHY との間で読書きされる全制御データはその補数と共に転送されてビット・エラー検出が行われます。このビットがセットされ汎用 SPI プロトコルが使用される場合、CRC8 が SDI に供給される必要があります。SDO での読出しデータは CRC8 を供給する必要があります。このビットに書き込みを行うことはできません。値はパワーアップ時にピン検出を通じてセットされます。	0x0	R
4	SEQE	Tx データ・チャンク・シーケンスおよび再試行をイネーブル。この MAC-PHY デバイスが対応している場合、このビットは、SPI ホストによって TX データ・チャンク・ヘッダに送信される SEQ ビットの MAC-PHY モニタリングと、TX データ・チャンク再試行をイネーブルします。0：Tx データ・チャンク・シーケンスおよび再試行への対応がディセーブル。MAC-PHY は Tx ヘッダの SEQ ビットを無視します。1：Tx データ・チャンク・シーケンスおよび再試行への対応がイネーブル。MAC-PHY は Tx ヘッダの SEQ ビットをモニタし、SEQ ビットに変更がない場合、Tx データ・チャンクの再書き込みを可能にします。サポートされていません。Open Alliance SPI プロトコルにのみ適用されます。	0x0	R/W
3	RESERVED	予約済み。	0x0	R
[2:0]	CPS	チャンク・ペイロード・セクタ (N)。チャンク・ペイロードのサイズは 2^N です。N の最小値は 3、最大値は 6 です。デフォルトは 64 バイトです。このフィールドは、ホストからのフレーム転送が開始される前、および Rx FIFO へのフレーム受信が可能となる前のデバイス設定時に設定する必要があります。このフィールドは、ホストからのフレーム送信中、または受信フレームのホストへの送信中には変更できません。設定同期 (SYNC) ビットをセットすると、MAC-PHY をリセットせずにチャンク・ペイロード・サイズを変更することはできません。この MAC-PHY デバイスの最小サポート対象チャンク・ペイロード・サイズは、CAPABILITY レジスタの CPSMIN フィールドに示されています。Open Alliance SPI プロトコルにのみ適用されます。 011：チャンク・サイズは 8 バイトです。 100：チャンク・サイズは 16 バイトです。 101：チャンク・サイズは 32 バイトです。 110：チャンク・サイズは 64 バイトです。	0x6	R/W

設定レジスタ 2

アドレス：0x06、リセット：0x00000800、レジスタ名：CONFIG2

ベンダ固有のものです。

表 49. CONFIG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予約済み。	0x4	R
8	TX_RDY_ON_EMPTY	Tx FIFO が空の場合に TX_RDY をアサートします。デフォルトでは、フレーム送信時に TX_RDY がアサートされます。このビットがセットされていると、Tx FIFO が空の場合に TX_RDY がアサートされます。このフィールドは、汎用 SPI プロトコルでのみ使用されます。	0x0	R/W

レジスタ

表 49. CONFIG2 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
7	SFD_DETECT_SRC	SFD を、PHY と MAC のどちらで検出するかを定めます。 0：PHY からの SFD を選択。このオプションでは、SFD が、1588 のタイマー・ロジックで使用されているものと同じ 120MHz クロック・ドメインで検出されるため、ジッタが最小となります。 1：MAC からの SFD を選択。MAC からの SFD は 25MHz クロック・ドメインから生じるため、SFD 検出時にジッタが増加します。	0x0	R/W
6	STATS_CLR_ON_RD	読出し時の統計クリア。このフィールドは、以下のレジスタ／カウンタが読出し時にクリアされるかどうかを決定します。 P1_RX_FRM_CNT、P1_RX_BCAST_CNT、P1_RX_MCAST_CNT、 P1_RX_UCAST_CNT、P1_RX_CRC_ERR_CNT、P1_RX_ALGN_ERR_CNT、 P1_RX_LS_ERR_CNT、P1_RX_PHY_ERR_CNT、P1_TX_FRM_CNT、 P1_TX_BCAST_CNT、P1_TX_MCAST_CNT、P1_TX_UCAST_CNT、 P1_RX_DROP_FULL_CNT、P1_RX_DROP_FILT_CNT、 P1_RX_IFG_ERR_CNT、CECC_ERRn 0：統計カウンタは読出し時にクリアされません。カウンタは最大値に達すると、0x0 にロールオーバーします。 1：統計カウンタは読出し時にクリアされます。カウンタは最大値に達すると、読み出されるまで最大値を保持します。汎用 SPI プロトコルを使用する場合、ステータス・カウンタは、すべてのカウンタが正しいシーケンスで確実にクリアされるよう、1 回の SPI トランザクションでバースト読出しする必要があります。汎用 SPI プロトコルが使用されている場合、1 つの SPI レジスタ／カウンタが読み出されると、これがクリアされ、次のカウンタ（アドレス位置）もクリアされます。	0x0	R/W
5	CRC_APPEND	CRC 付加のイネーブル。MAC Tx 経路に CRC の付加をイネーブルします。CRC 付加のイネーブル（1）またはディスエーブル（0）は MAC により行われます。このフィールドが 0 に設定されている場合、MAC は、ホストが末尾に有効な CRC ヘッダを持つフレームを提供していることを前提とします。ホストには、常にフレームに CRC32 が付加されるようにすることを推奨します。これにより SPI を介して送信フレームのエラー検出が行われるためです。CRC32 は、フレーム送信時にチェックされます。エラーが検出されると、TXFCSE がアサートされます。同様に、受信時には、CRC32 がフレームと共にホストに転送され、ホストはこれが正しいものであることを検証します。	0x0	R/W
4	P1_RCV_IFG_ERR_FRM	ポート 1（P1）で IFG エラー付きフレームを承認。イネーブルの場合、MAC はポート 1 で IFG エラー付きフレームを承認します。ポート 1 の最小 IFG 条件を満たさないフレームの受け取りをイネーブルします。	0x0	R/W
3	RESERVED	予約済み。	0x0	R/W
2	P1_FWD_UNK2HOST	どの MAC アドレスにも一致しないフレームをホストに転送。未知のフレームを転送するためのデフォルト・ルールを定めます。宛先アドレスがわからないフレームは低優先度 FIFO に置かれます。	0x0	R/W
[1:0]	MSPEED	SPI から MDIO へのブリッジの MDC クロック速度。 00：2.5MHz。 01：4.166MHz。	0x0	R/W

ステータス・レジスタ 0

アドレス：0x08、リセット：0x00000040、レジスタ名：STATUS0

表 50. STATUS0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予約済み。	0x0	R
12	CDPE	制御データ保護エラー。制御データの読書き保護がイネーブルの場合、このビットは、MAC-PHY がホストからの保護された制御書込みデータにエラーを検出したことを示します。使用しない場合には、このビットには 0 の読出し専用値を予約する必要があります。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。	0x0	R/W1C
11	TXFCSE	送信フレーム・チェック・シーケンス・エラー。このビットは、無効な FCS が付加されたフレームが、ホストから SPI を介して受信されたことを示します。それでも、フレームが送信されているときに FCS がチェックされるため、フレームはデバイスから転送されます。	0x0	R/W1C
10	TTSCAC	送信タイム・スタンプ取得可能 C。	0x0	R/W1C
9	TTSCAB	送信タイム・スタンプ取得可能 B。	0x0	R/W1C
8	TTSCAA	送信タイム・スタンプ取得可能 A。	0x0	R/W1C

レジスタ

表 50. STATUS0 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
7	PHYINT	ポート 1 の PHY 割込み。ホストのソフトウェアは、MDIO 割込みステータス・レジスタ (PhySubsysIrqStatus または CrsmIrqStatus) を読み出して、割込みのソースを判別する必要があります。パワーオン・リセットまたはピン・リセットを終了する場合、このビットがアサートされますが、デフォルトでは、このフィールドは割込みのアサートからはマスクされています。	0x0	R
6	RESETC	リセット完了。MAC-PHY リセットが完了し設定の準備ができると、このビットがセットされます。これがセットされると、IRQn にマスク不能の割込みアサートを生成して SPI ホストにアラートを発します。更に、RESETC ビットをセットすると、Rx フッタの EXST も 1 にセットされ、SPI ホストが 1 を書き込んでこのビットがクリアするまで維持されます。	0x1	R/W1C
5	HDRE	ヘッダ・エラー。このビットがセットされている場合、MAC-PHY が SPI ホストから受信した無効なヘッダを検出したことを示します。無効なヘッダの原因はパリティ・チェック・エラーです。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。	0x0	R/W1C
4	LOFE	フレーム喪失エラー。このビットがセットされている場合、MAC-PHY が、データ・チャンクまたはコマンド制御トランザクションの予定されている終了より前に、CS の早期アサート解除を検出したことを示します。このビットは CDPE がアサートされた場合も、アサートされます。	0x0	R/W1C
3	RXBOE	受信バッファ・オーバーフロー・エラー。このビットがセットされている場合、(ネットワークからの) 受信バッファがオーバーフローし、受信フレーム・データが失われたことを示しています。	0x0	R/W1C
2	TXBUE	ホスト Tx FIFO アンダー・ラン・エラー。このエラーは、ホストからのカット・スルーがイネーブルされている場合にのみアサートされます。ホストのソフトウェアは、10Mbps より速いレートで MAC にフレーム・データを書き込み、このビットがアサートされないようにする必要があります。アンダー・ラン・エラーが発生した場合、送信中のパケットは停止します。	0x0	R/W1C
1	TXBOE	ホスト Tx FIFO オーバーフロー。ホストのソフトウェアは、Tx FIFO に書き込む前に Tx FIFO 内の使用可能な空き容量をチェックすることで、このビットがアサートされないようにする必要があります。OPEN Alliance SPI データ・プロトコルを使用する場合、Tx FIFO の空き容量が Rx フッタの TxC フィールドに示されます。汎用 SPI プロトコルを使用している場合は、TX_SPACE レジスタが Tx FIFO の残り容量を示します。ホストの Tx FIFO がオーバーフローした場合、書き込まれているフレームが廃棄され、ソフトウェアは全フレームを再送信することを選択できます。FIFO への書き込みは次の SOF で開始します。サイズが 4kB (またはそれ以上) であるため、ホストの Tx FIFO には複数フレームの余地が常にあります。そのため、その時点で送信されているフレームは、FIFO の書き込みサイドでオーバーフローの割込みを受けることはありません。	0x0	R/W1C
0	TXPE	送信プロトコル・エラー。このビットがセットされている場合、Tx データ・チャンク・プロトコル・エラーが発生したことを示しています。DV = 1 で先行の SV = 1 がいない状態でデータ・チャンクを受信。SV = 1 で EV = 1 がいない (SV = 1 を繰り返し受信) 状態でデータ・チャンクを受信。汎用 SPI プロトコルを使用している場合、このビットは、直前のフレームが完全には書き込まれていないことを示します。TX_FSIZE レジスタへの書き込みは検出されますが、MAC は、TX_FSIZE レジスタに書き込まれた以前のフレーム・サイズに関連して Tx レジスタに更に書き込みがあるものと推定します。	0x0	R/W1C

ステータス・レジスタ 1

アドレス : 0x09、リセット : 0x00000000、レジスタ名 : STATUS1

表 51. STATUS1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予約済み。	0x0	R/W1C
12	TX_ECC_ERR	Tx FIFO からフレーム・サイズを読み出したときの ECC エラー。Tx FIFO からのサイズ・フィールドの読み出し時に、訂正不能の ECC エラーが検出されました。FIFO は自動的にクリアされ、この ECC エラーに関連するフレームおよび Tx FIFO 内のその他のフレームは消去されるかドロップされます。	0x0	R/W1C
11	RX_ECC_ERR	Rx FIFO からフレーム・サイズを読み出したときの ECC エラー。Rx FIFO からのフレーム・サイズ・フィールドの読み出し時に、訂正不能の ECC エラーが検出されました。FIFO は自動的にクリアされ、この ECC エラーに関連するフレームおよび Rx FIFO 内のその他のフレームの消去やドロップは行われません。	0x0	R/W1C
10	SPI_ERR	SPI トランザクションでエラーが検出されました。汎用 SPI プロトコルを使用している場合、このフィールドは CRC エラーが検出されたことを示します。このフィールドは、OPEN Alliance プロトコルでは使用されません。OPEN Alliance SPI エラーについては、 ステータス・レジスタ 0 のセクションの HDRE および CDPE を参照してください。	0x0	R/W1C
9	RESERVED	予約済み。	0x0	R/W1C
8	P1_RX_IFG_ERR	Rx MAC フレーム間ギャップ・エラー。フレーム間ギャップ (IFG) が短すぎる場合、フレームは受信時にドロップされます。受信時に IFG を測定するために使用される閾値は、P1_RX_IFG レジスタで設定できます。	0x0	R/W1C
[7:6]	RESERVED	予約済み。	0x0	R
5	P1_RX_RDY_HI	ポート 1 の Rx レディ高優先度。使用可能な高優先度フレームがあることを示します。このフィールドは割込みピンを駆動しません。このフィールドは、LES (Low complexity Ethernet Switch) の汎用 SPI プロトコルでのみ使用されます。	0x0	R

レジスタ

表 51. STATUS1 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
4	P1_RX_RDY	ポート 1 の Rx FIFO にデータが格納されています。ストア・アンド・フォワード・モードでは、このフィールドは、ポート 1 の Rx FIFO に少なくとも 1 つのフレームがあることを示します。カット・スルー・モードでは、このフィールドは受信閾値 (RX_THRESH) に達したか、フレームの EOF バイトが受信されたことを示します。デフォルトでは、Rx 高優先度 FIFO と Rx 低優先度 FIFO の両方にフレームがある場合、高優先度 FIFO からのフレームが最初に読み出されます。このフィールドは、汎用 SPI プロトコルでのみ使用されます。	0x0	R
3	TX_RDY	Tx レディ。TX_RDY_ON_EMPTY が 0 の場合、TX_RDY は、フレーム送信が完了したときにアサートされます。TX_RDY_ON_EMPTY が 1 の場合、TX_RDY は、Tx FIFO が空で、フレーム送信が完了したときにアサートされます。このビットは、このフィールドに 1 を書き込むことでクリアされます。このフィールドは、汎用 SPI プロトコルでのみ使用されます。	0x0	R/W1C
2	RESERVED	予約済み。	0x0	R
1	LINK_CHANGE	リンク・ステータスの変化。ポート 1 でリンク・ステータスが増減したことを示します。	0x0	R/W1C
0	P1_LINK_STATUS	ポート 1 のリンク・ステータス。このビットは、割込みイベントを発生しません。 0：リンクはダウン状態。 1：リンクはアップ状態。	0x0	R

バッファ・ステータス・レジスタ

アドレス：0x0B、リセット：0x00007700、レジスタ名：BUFSTS

表 52. BUFSTS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予約済み。	0x0	R
[15:8]	TXC	使用可能な送信クレジット。現在 SPI ホストが書き込みに使用できる送信データのチャンク・バッファ数。このフィールドを読み出すと、SPI ホストは、必要に応じて、使用可能な送信チャンクの数単一の DMA の待ち行列に加えることができます。このフィールドの値は 31 で飽和し、全 RX データ・フッタの 5 ビット TXC フィールドに送信されます。使用可能な送信バッファ・クレジットのデフォルト（最大）数は、実装ごとに固有です。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。	0x77	R
[7:0]	RCA	使用可能な受信チャンク。現在 SPI ホストが読み出しに使用できる受信データのチャンク数。このフィールドを読み出すと、SPI ホストは、必要に応じて、使用可能な受信チャンクの数単一の DMA の待ち行列に加えることができます。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。	0x0	R

割込みマスク・レジスタ 0

アドレス：0x0C、リセット：0x00001FBF、レジスタ名：IMASK0

表 53. IMASK0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予約済み。	0x0	R
12	CDPEM	制御データ保護エラー・マスク。このビットを 1 にセットすると、STATUS0 の制御データ保護エラー・ステータス・ビットがフッタの EXST ビットをアサートできなくなります。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。	0x1	R/W
11	TXFCSEM	送信フレーム・チェック・シーケンス・エラー・マスク。このビットを 1 にセットすると、STATUS0 の送信フレーム・チェック・シーケンス・エラー・ステータス・ビットが割込みピンをアサートできなくなります。	0x1	R/W
10	TTSCACM	送信タイム・スタンプ取得可能 C マスク。このビットを 1 にセットすると、STATUS0 の送信タイム・スタンプ取得可能 C のステータス・ビットがフッタの EXST ビットをアサートできないようになります。	0x1	R/W
9	TTSCABM	送信タイム・スタンプ取得可能 B マスク。このビットを 1 にセットすると、STATUS0 の送信タイム・スタンプ取得可能 B のステータス・ビットがフッタの EXST ビットをアサートできないようになります。	0x1	R/W
8	TTSCAAM	送信タイム・スタンプ取得可能 A マスク。このビットを 1 にセットすると、STATUS0 の送信タイム・スタンプ取得可能 A のステータス・ビットがフッタの EXST ビットをアサートできないようになります。	0x1	R/W
7	PHYINTM	物理層割込みマスク。このビットを 1 にセットすると、STATUS0 の物理層割込み (PHYINT) ステータス・ビットがフッタの EXST ビットをアサートできなくなります。	0x1	R/W
6	RESETCM	RESET 完了マスク。このビットは、リセット完了 (RESETC) ステータス・ビットのマスクとして予約済みです。このビットは読み出し専用で、常にゼロです。RESETC ステータス・ビットは、RESETC がセットされている場合に IRQn を常にアサートする、マスク不能割込みであるためです。	0x0	R
5	HDREM	ヘッダ・エラー・マスク。このビットを 1 にセットすると、STATUS0 のヘッダ・エラー (HDRE) ステータス・ビットがフッタの EXST ビットをアサートできなくなります。このフィールドは、OPEN Alliance SPI プロトコルでのみ使用されます。	0x1	R/W

レジスタ

表 53. IMASK0 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
4	LOFEM	フレーム喪失エラー・マスク。このビットを 1 にセットすると、STATUS0 のフレーム喪失エラー（LOFE）ステータス・ビットがフッタの EXST ビットをアサートできないようになります。	0x1	R/W
3	RXBOEM	受信バッファ・オーバーフロー・エラー・マスク。このビットを 1 にセットすると、STATUS0 の受信バッファ・オーバーフロー・エラー（RXBOE）ステータス・ビットがフッタの EXST ビットをアサートできないようになります。	0x1	R/W
2	TXBUEM	送信バッファ・アンダーフロー・エラー・マスク。このビットを 1 にセットすると、STATUS0 の送信バッファ・アンダーフロー・エラー（TXBUE）ステータス・ビットがフッタの EXST ビットをアサートできないようになります。	0x1	R/W
1	TXBOEM	送信バッファ・オーバーフロー・エラー・マスク。このビットを 1 にセットすると、STATUS0 の送信バッファ・オーバーフロー・エラー（TXBOE）ステータス・ビットがフッタの EXST ビットをアサートできないようになります。	0x1	R/W
0	TXPEM	送信プロトコル・エラー・マスク。このビットを 1 にセットすると、STATUS0 の送信プロトコル・エラー（TXPE）ステータス・ビットが IRQn をアサートできないようになります。	0x1	R/W

割込みピン駆動用マスク・ビット・レジスタ

アドレス：0x0D、リセット：0x43FA1F1A、レジスタ名：IMASK1

表 54. IMASK1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:13]	RESERVED	予約済み。	0x21FD0	R
12	TX_ECC_ERR_MASK	TXF_ECC_ERR のマスク・ビット。	0x1	R/W
11	RX_ECC_ERR_MASK	RXF_ECC_ERR のマスク・ビット。	0x1	R/W
10	SPI_ERR_MASK	SPI_ERR のマスク・ビット。このフィールドは、汎用 SPI プロトコルでのみ使用されます。	0x1	R/W
9	RESERVED	予約済み。	0x1	R/W
8	P1_RX_IFG_ERR_MASK	RX_IFG_ERR のマスク・ビット。	0x1	R/W
[7:5]	RESERVED	予約済み。	0x0	R
4	P1_RX_RDY_MASK	P1_RX_RDY のマスク・ビット。このフィールドは、汎用 SPI プロトコルでのみ使用されます。	0x1	R/W
3	TX_RDY_MASK	TX_FRM_DONE のマスク・ビット。このフィールドは、汎用 SPI プロトコルでのみ使用されます。	0x1	R/W
2	RESERVED	予約済み。	0x0	R
1	LINK_CHANGE_MASK	LINK_CHANGE のマスク・ビット。	0x1	R/W
0	RESERVED	予約済み。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタ A（ハイ）

アドレス：0x10、リセット：0x00000000、レジスタ名：TTSCAH

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの上位 32 ビットです。

表 55. TTSCAH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCH_A	送信タイム・スタンプ A のビット[63:32]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタ A（ロー）

アドレス：0x11、リセット：0x00000000、レジスタ名：TTSCAL

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの下位 32 ビットです。

表 56. TTSCAL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTACL_A	送信タイム・スタンプ A のビット[31:0]。	0x0	R

レジスタ

送信タイム・スタンプ・キャプチャ・レジスタ B（ハイ）

アドレス：0x12、リセット：0x00000000、レジスタ名：TTSCBH

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの上位 32 ビットです。

表 57. TTSCBH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCH_B	送信タイム・スタンプ B のビット[63:32]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタ B（ロー）

アドレス：0x13、リセット：0x00000000、レジスタ名：TTSCBL

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの下位 32 ビットです。

表 58. TTSCBL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCH_B	送信タイム・スタンプ B のビット[31:0]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタ C（ハイ）

アドレス：0x14、リセット：0x00000000、レジスタ名：TTSCCH

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの上位 32 ビットです。

表 59. TTSCCH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCH_C	送信タイム・スタンプ C のビット[63:32]。	0x0	R

送信タイム・スタンプ・キャプチャ・レジスタ C（ロー）

アドレス：0x15、リセット：0x00000000、レジスタ名：TTSCCL

このフィールドは、要求されたフレームが送信されたときに取得されたタイム・スタンプの下位 32 ビットです。

表 60. TTSCCL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TTSCH_C	送信タイム・スタンプ C のビット[31:0]。	0x0	R

MDIO アクセス・レジスタ

アドレス：0x20～0x27（インクリメントは 1）、リセット：0x8C000000、レジスタ名：MDIOACCn

このレジスタを使用すると、SPI から MDIO へのブリッジを介して PHY レジスタにアクセスできます。

表 61. MDIOACCn のビットの説明

ビット	ビット名	説明	リセット	アクセス
31	MDIO_TRDONE	トランザクション完了。MDIO トランザクションを開始するためには、SPI ホストによってこのビットに 0 を書き込む必要があります。MDIO トランザクションが終了すると、このビットは MAC-PHY によって 1 にセットされます。	0x1	R/W

レジスタ

表 61. MDIOACCn のビット説明（続き）

ビット	ビット名	説明	リセット	アクセス
30	MDIO_TAERR	ターンアラウンド・エラー。MDIO トランザクション中にターンアラウンド・エラーが発生すると、MAC-PHY によってこのビットが 1 にセットされます。これが発生した場合、読出し動作および読出し後アドレス・インクリメント（read-post-increment-address）動作のデータ・フィールドの内容は無視されます。	0x0	R
[29:28]	MDIO_ST	フレームの開始。このフィールドでは、条項 45 と条項 22 の MDIO アクセスの選択を行います。 01：条項 22 00：条項 45	0x0	R/W
[27:26]	MDIO_OP	動作コード。 00：MD アドレス・コマンド。 01：書込みコマンド。 11：読出しコマンド。 10：インクリメンタル読出しコマンド。	0x3	R/W
[25:21]	MDIO_PRTAD	MDIO ポート・アドレス。これは、ターゲット・ポート（PHY）のアドレスです。これは、条項 45 ではポートアドレス（PRTAD）と呼ばれ、条項 22 では PHY アドレス（PHYAD）と呼ばれます。	0x0	R/W
[20:16]	MDIO_DEVAD	MDIO デバイス・アドレス Clause 45 を使用する場合は、これはデバイスのアドレスです。Clause 22 を使用する場合は、これはレジスタのアドレスです。	0x0	R/W
[15:0]	MDIO_DATA	データ／アドレスの値。書込み動作（条項 45 または条項 22）では、SPI ホストはこれを 16 ビット値に設定して書き込む必要があります。アドレス動作（条項 45）では、SPI ホストはこれを 16 ビットのレジスタ・アドレス値に設定する必要があります。読出し動作（条項 45 または条項 22）の場合、または、読出し後アドレス・インクリメント動作（条項 45）の場合では、SPI ホストはこの値を 0 にセットする必要があります。（TRDONE で指示されている）MDIO トランザクションの完了時、MAC-PHY はこれを 16 ビット値の読出しに設定します。	0x0	R/W

MAC Tx フレーム・サイズ・レジスタ

アドレス：0x30、リセット：0x00000000、レジスタ名：TX_FSIZE

表 62. TX_FSIZE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:11]	RESERVED	予約済み。	0x0	R
[10:0]	TX_FRM_SIZE	送信フレーム・サイズ。このフィールドは、汎用 SPI プロトコルの使用時に、送信 FIFO に書き込まれるフレームのサイズをバイト単位で示します。サイズには 2 バイトのフレーム・ヘッダが含まれる必要があります。これは、Tx FIFO の SPI 側で使用され、フル・フレームが書き込まれるタイミングを決定します。フル・フレームのバイト数に達すると、MAC_TXF_SIZE に再度書込みが行われるまで、以降の MAC_TX レジスタへの書込みは無視されます。このフィールドは、汎用 SPI プロトコルでのみ使用されます。	0x0	R/W

MAC 送信レジスタ

アドレス：0x31、リセット：0x00000000、レジスタ名：TX

送信 FIFO はこのレジスタを介して書き込まれます。

表 63. TX のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TDR	送信データ・レジスタ。このレジスタに書込みを行うと、ホストの Tx FIFO に 4 バイトが加わります。フレームの最終ワードに含まれるのは、4 バイト未満のデータのみであることに注意してください。ハードウェアは MAC_TXF_SIZE を使用して、フレームの最後の SPI 書込みで有効な 1 バイト、2 バイト、3 バイト、または 4 バイトがあるかどうかを判別します。汎用 SPI プロトコルでのみ使用されます。	0x0	W

レジスタ

Tx FIFO スペース・レジスタ

アドレス：0x32、リセット：0x00000FFF、レジスタ名：TX_SPACE

表 64. TX_SPACE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予約済み。	0x0	R
[13:0]	TX_SPACE	使用可能な送信 FIFO スペース（ハーフ・ワード(16 ビット)単位）。これはホストのソフトウェアで使用され、Tx FIFO にフレームのスペースがあるかどうかを判別します。ソフトウェアは 2 フレームを送信待ち行列に加え、TX_RDY 割込みを待ちます。あるいは、Tx FIFO を複数のフレームで満たし、TX_SPACE を使用して次のフレームのための空き容量があるかどうかを判別します。フレーム・サイズとヘッダを格納するには、ホストの TX FIFO にフレームあたり 2 ワード分の容量を追加する必要があります。例えば、TX_SPACE が 64 の場合、書き込める最大フレーム・サイズは、 $(64 - 2) \times 2$ バイト = 124 バイトとなります。汎用 SPI プロトコルでのみ使用されます。	0xFFFF	R

送信閾値レジスタ

アドレス：0x34、リセット：0x00000041、レジスタ名：TX_THRESH

表 65. TX_THRESH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予約済み。	0x1	R
[5:0]	HOST_TX_THRESH	カット・スルーでのホスト送信開始閾値。Tx のカット・スルーがイネーブルされている場合（TX_CUT_THRU_EN = 1）、このフィールドを使用して、ホストから送信されるフレームのフレーム送信開始閾値をハーフ・ワード（16 ビット）単位で設定します。このフィールドに有効な値の範囲は、1~26 ハーフ・ワードです。	0x1	R/W

MAC FIFO クリア・レジスタ

アドレス：0x36、リセット：0x00000000、レジスタ名：FIFO_CLR

表 66. FIFO_CLR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:2]	RESERVED	予約済み。	0x0	R
1	MAC_TXF_CLR	ホスト送信 FIFO をクリア。その時点でフレームが送信されている場合、その送信は停止し不良 CRC がフレームに付加されます。	0x0	W
0	MAC_RXF_CLR	受信 FIFO をクリア。Rx FIFO への書き込みは次のフレームの開始時に再開されます。	0x0	W

スクラッチ・レジスタ

アドレス：0x37~0x3A（インクリメントは 1）、リセット：0x00000000、レジスタ名：SCRATCHn

表 67. SCRATCHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	SCRATCH_DATA	スクラッチ・データ。	0x0	R/W

MAC リセット・ステータス・レジスタ

アドレス：0x3B、リセット：0x00000003、レジスタ名：MAC_RST_STATUS

読出し時にこのレジスタが 0x00000000_00000001 を返した場合、発振器のクロックはアクティブですが、25MHz 水晶発振器のクロックはアクティブではありません。

読出し時にこのレジスタが 0x00000000_00000003 を返した場合、発振器のクロックと 25MHz 水晶発振器のクロックはどちらもアクティブです。

このレジスタが 0x00000000_00000000（SDO 出力パッドはイネーブルで $\overline{CS}$ はロー）を返した場合、SPI フォロアおよび MAC コアはどちらもリセットされたままです。

このレジスタは、1 回の SPI 読出しのみに対応しています。SPI バースト読出しではこのレジスタへのインクリメントを行うことができません。

レジスタ

表 68. MAC_RST_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:2]	RESERVED	予約済み。	0x0	R
1	MAC_CRYSL_CLK_RDY	MAC 水晶発振器クロック・レディ。このフィールドが 0 の場合、MAC コアがリセットからリリースされていないことを示します。このフィールドが 1 の場合、MAC コアがリセットからリリースされていることを示します。MAC コアは、水晶発振器クロック（25MHz）がレディ状態になったときにリセットからリリースされます。	0x1	R
0	MAC_OSC_CLK_RDY	MAC 発振器クロック・レディ。	0x1	R

ソフトウェア・リセット・レジスタ

アドレス：0x3C、リセット：0x00000000、レジスタ名：SOFT_RST

表 69. SOFT_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予約済み。	0x0	R
[15:0]	RST_KEY	ソフトウェア・リセット。リセットをトリガするには、1 組のキーを順番に連続して SPI に書き込みます。 0x4F1C：キー1 で MAC ロジックのみをリセット。 0xC1F4：キー2 で MAC ロジックのみをリセット。 $\overline{CS}$ がハイになるまでリセットは有効になりません。また、リセットが有効になるには、 $\overline{CS}$ が 100ns 以上アサートされ続けなくてはなりません。MAC-PHY がソフトウェア・パワーダウン・モードの場合は、MAC_ONLY リセットは有効になりません。つまり、CRSM_SFT_P_CNTRL.CRSM_SFT_PD は 0 であることが必要です。 0x6F1A：キー1 でリセットのリリースを MAC コア・ロジックにリクエスト。 25MHz 水晶発振器クロックが使用できない場合に MAC コア・ロジックにリセットのリリースをリクエストするには、MAC_RST_EXIT_REQ_KEYx を使用します。これにより、発振器クロック（12.5MHz~25.7MHz）を使用して MAC をリセットから解除できます。その後 SPI アクセスは 15MHz で続行できるため、MAC レジスタや PHY レジスタへのデバッグ・アクセスができます。 0xA1F6：キー2 でリセットのリリースを MAC コア・ロジックにリクエスト。	0x0	W

DUT から MISO へのエラー注入レジスタ

アドレス：0x3D、リセット：0x00000000、レジスタ名：SPI_INJ_ERR

表 70. SPI_INJ_ERR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予約済み。	0x0	R
0	TEST_SPI_INJ_ERR	SPI MISO 経路にエラーを注入します。この機能を使用すると、ソフトウェアは、MISO で受信したエラーがソフトウェアで正しく検出されるかどうかテストできます。このビットをセットし、OPEN Alliance SPI プロトコルをデータ・トランザクションに使用している場合、Rx フッタのパリティ・ビットは反転します。また、Rx フッタのタイム・スタンプ・パリティ・ビットも反転します。このビットをセットし、OPEN Alliance SPI プロトコルをバーストの 2 番目のワードから始まる保護された制御バースト書き込みトランザクションに使用している場合、エコーされた各 32 ビット・ワードの MS ビットは反転します。このビットをセットし、保護された制御読出しトランザクションに OPEN Alliance SPI プロトコルを使用している場合、各 32 ビットの補数ワードの MS ビットは反転します。このビットをセットし、保護をイネーブルして汎用 SPI プロトコルを使用している場合、レジスタの読出し時に返された CRC8 は反転します。	0x0	R/W

FIFO サイズ・レジスタ

アドレス：0x3E、リセット：0x00000464、レジスタ名：FIFO_SIZE

FIFO サイズを変更する前に、フレームの送信と受信を停止し、FIFO を空にする必要があります。

全フレームをドロップするよう転送ルールを設定し、全受信フレームがドロップされるよう P1_UNK2HOST を 0 にしてください。

また、RXF_CLR と TXF_CLR を使用して FIFO をリセットしてください。それにより FIFO サイズを変更できます。

合計の FIFO サイズは、28kB 以下であることが必要です。

レジスタ

表 71. FIFO_SIZE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:12]	RESERVED	予約済み。	0x0	R
[11:8]	P1_RX_HI_SIZE	ポート 1 の Rx 高優先度 FIFO サイズ。 0000 : 0kB。 0001 : 2kB。 0010 : 4kB。 0011 : 6kB。 0100 : 8kB。 0101 : 10kB。 0110 : 12kB。 0111 : 14kB。 1000 : 16kB。	0x4	R/W
[7:4]	P1_RX_LO_SIZE	ポート 1 の Rx 低優先度 FIFO サイズ。 0000 : 0kB。 0001 : 2kB。 0010 : 4kB。 0011 : 6kB。 0100 : 8kB。 0101 : 10kB。 0110 : 12kB。 0111 : 14kB。 1000 : 16kB。	0x6	R/W
[3:0]	HTX_SIZE	ホスト送信 FIFO サイズ。 0000 : 0kB。 0001 : 2kB。 0010 : 4kB。 0011 : 6kB。 0100 : 8kB。 0101 : 10kB。 0110 : 12kB。 0111 : 14kB。 1000 : 16kB。	0x4	R/W

Tx FIFO フレーム・カウント・レジスタ

アドレス : 0x3F、リセット : 0x00000000、レジスタ名 : TFC

デバッグ用のみ。送信 FIFO に格納されているフレームの数。

表 72. TFC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予約済み。	0x0	R
[8:0]	TFC	Tx FIFO に格納されているフレームの数。	0x0	R

Tx FIFO 有効ハーフ・ワード・レジスタ

アドレス : 0x40、リセット : 0x00000000、レジスタ名 : TXSIZE

ホスト Tx FIFO での有効なハーフ・ワード (16 ビット) の数。

レジスタ

表 73. TXSIZE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予約済み。	0x0	R
[13:0]	TX_SIZE	Tx FIFO に格納されているデータ。ハーフ・ワード（16 ビット）の数。	0x0	R

FIFO オーバーフローによりドロップされたホスト Tx フレーム・レジスタ

アドレス：0x41、リセット：0x00000000、レジスタ名：HTX_OVF_FRM_CNT

表 74. HTX_OVF_FRM_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	HTX_OVF_FRM_CNT	FIFO オーバーフローによりドロップされたホスト Tx フレームをカウントします。	0x0	R

メモリ内で検出された ECC エラーのアドレス・レジスタ

アドレス：0x42、リセット：0x00000000、レジスタ名：MECC_ERR_ADDR

表 75. MECC_ERR_ADDR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予約済み。	0x0	R
[13:0]	MECC_ERR_ADDR	メモリ内の訂正不能 ECC エラーのアドレス。これは最初に検出された訂正不能 ECC エラーのアドレスです。RX_ECC_ERR または TX_ECC_ERR のいずれかがアサートされている場合です。RX_ECC_ERR および TX_ECC_ERR がクリアされると、レジスタは次の ECC エラーのアドレスを取得できる状態になります。SRAM は 16 ビット幅で、このアドレスは SRAM 内の場所を指し示します。	0x0	R

訂正された ECC エラーのカウンタ・レジスタ

アドレス：0x43～0x49（インクリメントは 1）、リセット：0x00000000、レジスタ名：CECC_ERRn

表 76. CECC_ERRn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:10]	RESERVED	予約済み。	0x0	R
[9:0]	CECC_ERR_CNT	訂正された ECC エラーのカウント。カウンタは以下のように FIFO にマップします。CECC_ERR[0]：P1 の低優先度 Rx FIFO、CECC_ERR[1]：P1 の高優先度 Rx FIFO、CECC_ERR[4]：ホストからの Tx FIFO。	0x0	R

MAC アドレス・ルールおよび DA フィルタ上位 16 ビット・レジスタ

アドレス：0x50～0x6E（インクリメントは 2）、リセット：0x00000000、レジスタ名：ADDR_FILT_UPRn

MAC アドレスの上位 16 ビットおよびその MAC アドレスに関連するフィルタ処理ルールが格納されています。

ADDR_FILT_x レジスタに書き込む場合、2 つのレジスタ位置を所定のテーブル・エントリに順番に書き込む必要があります。

例えばテーブル・エントリ 0 に書き込むには、レジスタを次の順序で書き込む必要があります。

1. ADDR_FILT_UPR0
2. ADDR_FILT_LWR0

表 77. ADDR_FILT_UPRn のビットの説明

ビット	ビット名	説明	リセット	アクセス
31	RESERVED	予約済み。	0x0	R/W
30	APPLY2PORT1	ポート 1 に適用。 0：ポート 1 に適用されない。このテーブル・エントリ／ルールは、ポート 1 で受信したフレームには適用されません。 1：ポート 1 に適用される。このテーブル・エントリ／ルールは、ポート 1 で受信したフレームに適用されます。	0x0	R/W

レジスタ

表 77. ADDR_FILT_UPRn のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[29:20]	RESERVED	予約済み。	0x0	R
19	HOST_PRI	ホスト Rx ポートの優先度。ホストの受信ポートには、低優先度 FIFO と高優先度 FIFO の 2 つの FIFO があります。このフィールドは、フレームがどちらの FIFO に配置されるかを決定します。0 は低優先度、1 は高優先度です。デフォルトでは、メモリ・リソースは高優先度 FIFO に対し提供されています。ただし、高優先度 FIFO に割り当てられたメモリが、FIFO_SIZE レジスタへの書き込みによって別の FIFO に移されている場合、このフィールドを 1 にセットすることはできません。	0x0	R/W
[18:17]	RESERVED	予約済み。	0x0	R
16	TO_HOST	この MAC アドレスに一致するフレームをホストに転送します。APPLY2PORT1 が 1 にセットされ、TO_HOST が 1 にセットされている場合、この DA に一致するフレームは、ホストに転送されます。TO_HOST が 0 の場合、このエントリの DA に一致するフレームはドロップされます。	0x0	R/W
[15:0]	MAC_ADDR, Bits[47:32]	MAC アドレス。	0x0	R/W

MAC アドレス DA フィルタ下位 32 ビット・レジスタ

アドレス：0x51～0x6F（インクリメントは 2）、リセット：0x00000000、レジスタ名：ADDR_FILT_LWRn

DA フィルタ・テーブルの MAC アドレスの下位 32 ビットです。

これらのレジスタの 1 つに対する書き込みは、対応する ADDR_FILT_UPRn レジスタへの書き込み後に行う必要があります。

表 78. ADDR_FILT_LWRn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	MAC_ADDR, Bits[31:0]	MAC アドレス。	0x0	R/W

MAC アドレス・マスクの上位 16 ビット・レジスタ

アドレス：0x70～0x72（インクリメントは 2）、リセット：0x0000FFFF、レジスタ名：ADDR_MSK_UPRn

DA マスク・テーブルの MAC アドレス・マスクの上位 16 ビット。

ADDR_MSK_x レジスタに書き込む場合、2 つのレジスタ位置すべてを所定のテーブル・エントリに順番に書き込む必要があります。UPR レジスタを先に、LWR レジスタを最後に書き込む必要があります。

表 79. ADDR_MSK_UPRn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予約済み。	0x0	R
[15:0]	MAC_ADDR_MASK, Bits[47:32]	アドレス・テーブルの MAC アドレス・ビット・マスク。	0xFFFF	R/W

MAC アドレス・マスクの下位 32 ビット・レジスタ

アドレス：0x71～0x73（インクリメントは 2）、リセット：0xFFFFFFFF、レジスタ名：ADDR_MSK_LWRn

DA マスク・テーブルの MAC アドレス・マスクの下位 32 ビット。

ADDR_MSK_x レジスタに書き込む場合、2 つのレジスタ位置すべてを所定のテーブル・エントリに順番に書き込む必要があります。UPR レジスタを先に、LWR レジスタを最後に書き込む必要があります。

表 80. ADDR_MSK_LWRn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	MAC_ADDR_MASK, Bits[31:0]	アドレス・テーブルの MAC アドレス・ビット・マスク。	0xFFFFFFFF	R/W

レジスタ

タイム・スタンプ・アキュムレータ加数レジスタ

アドレス：0x80、リセット：0x85555555、レジスタ名：TS_ADDEND

表 81. TS_ADDEND のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_ADDEND	タイム・スタンプ・アキュムレータ加数。	0x85555555	R/W

タイマー更新比較レジスタ

アドレス：0x81、リセット：0x3B9ACA00、レジスタ名：TS_1SEC_CMP

表 82. TS_1SEC_CMP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_1SEC_CMP	タイム・スタンプ 1 秒比較値。	0x3B9ACA00	R/W

秒カウンタ・レジスタ

アドレス：0x82、リセット：0x00000000、レジスタ名：TS_SEC_CNT

秒カウンタに書き込むにはこのレジスタを使用します。

表 83. TS_SEC_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_SEC_CNT	秒カウンタへの書き込みを行います。	0x0	R/W

ナノ秒カウンタ・レジスタ

アドレス：0x83、リセット：0x00000000、レジスタ名：TS_NS_CNT

ナノ秒カウンタに書き込むにはこのレジスタを使用します。

表 84. TS_NS_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_NS_CNT	ナノ秒カウンタへの書き込みを行います。このレジスタは、16（10 進数）で除算可能な値でプログラムする必要があります。それは、カウンタが 120MHz のクロックで駆動され 16 刻みでインクリメントするためです。	0x0	R/W

タイマー設定レジスタ

アドレス：0x84、リセット：0x00000000、レジスタ名：TS_CFG

表 85. TS_CFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:5]	RESERVED	予約済み。	0x0	R
4	TS_CAPT_FREE_CNT	自走カウンタを取得します。このビットが 1 で FTSS が 0 の場合、タイム・スタンプは 32 ビットの自走カウンタから取得されます。このビットが 0 で FTSS が 0 の場合、OPEN Alliance MAC-PHY 仕様で定義された 32 ビットのタイム・スタンプが取得されます。FTSS が 1 の場合、OPEN Alliance MAC-PHY 仕様で定義された 64 ビットのタイム・スタンプが取得されます。	0x0	R/W
3	TS_TIMER_STOP	TS_TIMER 出力のトグルを停止。このフィールドに 1 を書き込むと、TS_TIMER の出力のトグルが停止し、出力をデフォルト値に戻します。TS_TIMER_START レジスタに書き込みを行うと、TS_TIMER 出力信号が再開します。このビットは自動的に 0 にクリアされます。	0x0	W
2	TS_TIMER_DEF	TS_TIMER 出力のデフォルト値。TS_TIMER のデフォルト値を 0 から変更するには、このフィールドに 1 を書き込んでから、TS_TIMER をイネーブルします（TS_TSTART に書き込むとイネーブルされます）。このレジスタに 1 を書き込むと、TS_TIMER 出力は直ちに 0 から 1 に切り替わることに注意してください。TS_TIMER が既にイネーブルされている場合、このフィールドへの書き込みは無効です。	0x0	R/W

レジスタ

表 85. TS_CFG のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
1	TS_CLR	1588 タイム・スタンプ・カウンタをクリアします。1 を書き込むと、タイム・スタンプ・カウンタが 0 にリセットされます。このフィールドは 1 を書き込まれた後、自動的に 0 にクリアされます。アキュムレータ、ナノ秒カウンタ、秒カウンタ、自走カウンタの 4 つのカウンタがクリアされます。	0x0	W
0	TS_EN	1588 タイム・スタンプ・カウンタをイネーブル。1 に設定されている場合、タイム・スタンプ・カウンタがイネーブルされ、全受信フレームのタイム・スタンプが取得されます。TS_EN が 0 の場合、カウンタはクリアされず単にフリーズします。そのため、カウンタをディスエーブルした後 TS_CLR を使用するように書き込みを行い、カウンタを既知の状態にしてから再開することを推奨します。	0x0	R/W

TS_TIMER のハイ時間レジスタ

アドレス：0x85、リセット：0x00000000、レジスタ名：TS_TIMER_HI

表 86. TS_TIMER_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_TIMER_HI	TS_TIMER ハイ時間。このレジスタは、16（10 進数）で除算可能な値でプログラムする必要があります。それは、カウンタが 120MHz のクロックで駆動され 16 刻みでインクリメントするためです。フィールドに書き込める最小値は 16（10 進数）です。	0x0	R/W

TS_TIMER のロー時間レジスタ

アドレス：0x86、リセット：0x00000000、レジスタ名：TS_TIMER_LO

表 87. TS_TIMER_LO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_TIMER_LO	TS_TIMER ロー時間。このレジスタは、16（10 進数）で除算可能な値でプログラムする必要があります。それは、カウンタが 120MHz のクロックで駆動され 16 刻みでインクリメントするためです。フィールドに書き込める最小値は 16（10 進数）です。	0x0	R/W

量子化誤差補正レジスタ

アドレス：0x87、リセット：0x00000000、レジスタ名：TS_TIMER_QE_CORR

表 88. TS_TIMER_QE_CORR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:8]	RESERVED	予約済み。	0x0	R
[7:0]	TS_TIMER_QE_CORR	TS_TIMER の量子化誤差補正值。必要な TS_TIMER ロー時間とハイ時間が 16 で直接割り切れない場合、このフィールドを 0~15 の値でプログラムし、TS_TIMER 量子化誤差を補正します。	0x0	R/W

TS_TIMER カウンタ開始時間レジスタ

アドレス：0x88、リセット：0x00000000、レジスタ名：TS_TIMER_START

TS_TIMER カウンタを開始する時間。

表 89. TS_TIMER_START のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_TSTART	TS_TIMER カウンタを開始する時間。このレジスタに書き込むと TS_TIMER 出力が開始します。TS_TIMER 出力を開始するには、このフィールドに 16 以上の値を書き込む必要があります。TS_TIMER の起動後、TS_TIMER_STOP に書き込みを行うとタイマーが停止し、TS_TIMER 出力はそのデフォルト値に戻ります。	0x0	R/W

レジスタ

TS_CAPT ピン 0 タイム・スタンプ・レジスタ

アドレス：0x89、リセット：0x00000000、レジスタ名：TS_EXT_CAPT0

TS_CAPT ピンのアサート時に取得されたタイム・スタンプ。

表 90. TS_EXT_CAPT0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_EXT_CAPTD, Bits[31:0]	TS_CAPT ピンのアサート時に取得されたタイム・スタンプ。	0x0	R

TS_CAPT ピン 1 タイム・スタンプ・レジスタ

アドレス：0x8A、リセット：0x00000000、レジスタ名：TS_EXT_CAPT1

TS_CAPT ピンのアサート時に取得されたタイム・スタンプ。

表 91. TS_EXT_CAPT1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_EXT_CAPTD, Bits[63:32]	TS_CAPT ピンのアサート時に取得されたタイム・スタンプ。	0x0	R

TS_CAPT 自走カウンタ・レジスタ

アドレス：0x8B、リセット：0x00000000、レジスタ名：TS_FREECNT_CAPT

TS_CAPT アサート時の自走カウンタの取得。

表 92. TS_FREECNT_CAPT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	TS_CNT_CAPTD	取得された自走カウンタ。この 32 ビット・カウンタは TS_EXT_CAPT と同様に、TS_CAPT ピンのアサート時に取得されます。	0x0	R

P1 MAC Rx フレーム・サイズ・レジスタ

アドレス：0x90、リセット：0x00000000、レジスタ名：P1_RX_FSIZE

表 93. P1_RX_FSIZE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:11]	RESERVED	予約済み。	0x0	R
[10:0]	P1_RX_FRM_SIZE	受信フレームのサイズ。Rx FIFO の先頭フレームのサイズ（バイト単位）。サイズには、追加されたヘッダが含まれます。汎用 SPI プロトコルを使用している場合、P1_RX を介した受信 FIFO からのフレームを読み出す前に、このレジスタを読み出す必要があります。	0x0	R

P1 MAC 受信レジスタ

アドレス：0x91、リセット：0x00000000、レジスタ名：P1_RX

受信 FIFO はこのレジスタを介して読み出されます。

SPI を介して Rx FIFO からのデータをバースト読み出しできます。

レジスタ

表 94. P1_RX のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RDR	受信データ・レジスタ。このフィールドは、汎用 SPI プロトコルでのみ使用されます。このレジスタを読み出すと、受信 FIFO の先頭の 4 バイトが返されます。また FIFO からこれらの 4 バイトが引き出されます。上位 8 ビットに最初のバイトが格納され、次の 8 ビットには 2 番目のバイトが格納される、というように続きます。全フレームが読み出されると、P1_RX_FRM_SIZE レジスタが最初に読み出されるまで、P1 Rx FIFO からはそれ以上のデータは返されません。汎用 SPI プロトコルでのみ使用されます。	0x0	R

P1 Rx フレーム・カウント・レジスタ

アドレス : 0xA0、リセット : 0x00000000、レジスタ名 : P1_RX_FRM_CNT

表 95. P1_RX_FRM_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_FRM_CNT	Rx のフレーム・カウント。このカウンタは、良好なフレームを受信した場合も不良フレームを受信した場合もインクリメントします。	0x0	R

P1 Rx ブロードキャスト・フレーム・カウント・レジスタ

アドレス : 0xA1、リセット : 0x00000000、レジスタ名 : P1_RX_BCAST_CNT

表 96. P1_RX_BCAST_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_BCAST_CNT	Rx のブロードキャスト・フレーム・カウント。このカウンタは、良好なフレームを受信した場合も不良フレームを受信した場合もインクリメントします。	0x0	R

P1 Rx マルチキャスト・フレーム・カウント・レジスタ

アドレス : 0xA2、リセット : 0x00000000、レジスタ名 : P1_RX_MCAST_CNT

表 97. P1_RX_MCAST_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_MCAST_CNT	Rx のマルチキャスト・フレーム・カウント。このカウンタは、良好なフレームを受信した場合も不良フレームを受信した場合もインクリメントします。	0x0	R

P1 Rx ユニキャスト・フレーム・カウント・レジスタ

アドレス : 0xA3、リセット : 0x00000000、レジスタ名 : P1_RX_UCAST_CNT

表 98. P1_RX_UCAST_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_UCAST_CNT	Rx のユニキャスト・フレーム・カウント。	0x0	R

P1 Rx CRC エラー・フレーム・カウント・レジスタ

アドレス : 0xA4、リセット : 0x00000000、レジスタ名 : P1_RX_CRC_ERR_CNT

表 99. P1_RX_CRC_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_CRC_ERR_CNT	Rx の CRC エラー・フレーム・カウント。	0x0	R

レジスタ

P1 Rx アライン・エラー・カウンタ・レジスタ

アドレス：0xA5、リセット：0x00000000、レジスタ名：P1_RX_ALGN_ERR_CNT

表 100. P1_RX_ALGN_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_ALGN_ERR_CNT	Rx のアライン・エラー・カウンタ。	0x0	R

P1 Rx 長／短フレーム・エラー・カウンタ・レジスタ

アドレス：0xA6、リセット：0x00000000、レジスタ名：P1_RX_LS_ERR_CNT

表 101. P1_RX_LS_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_LS_ERR_CNT	Rx の長／短フレーム・エラー・カウンタ。	0x0	R

P1 Rx PHY エラー・カウンタ・レジスタ

アドレス：0xA7、リセット：0x00000000、レジスタ名：P1_RX_PHY_ERR_CNT

表 102. P1_RX_PHY_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_PHY_ERR_CNT	Rx の PHY エラー・カウンタ。	0x0	R

P1 Tx フレーム・カウンタ・レジスタ

アドレス：0xA8、リセット：0x00000000、レジスタ名：P1_TX_FRM_CNT

表 103. P1_TX_FRM_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_FRM_CNT	Tx のフレーム・カウンタ。	0x0	R

P1 Tx ブロードキャスト・フレーム・カウンタ・レジスタ

アドレス：0xA9、リセット：0x00000000、レジスタ名：P1_TX_BCAST_CNT

表 104. P1_TX_BCAST_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_BCAST_CNT	Tx のブロードキャスト・フレーム・カウンタ。	0x0	R

P1 Tx マルチキャスト・フレーム・カウンタ・レジスタ

アドレス：0xAA、リセット：0x00000000、レジスタ名：P1_TX_MCAST_CNT

表 105. P1_TX_MCAST_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_MCAST_CNT	Tx のマルチキャスト・フレーム・カウンタ。	0x0	R

P1 Tx ユニキャスト・フレーム・カウンタ・レジスタ

アドレス：0xAB、リセット：0x00000000、レジスタ名：P1_TX_UCAST_CNT

表 106. P1_TX_UCAST_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_TX_UCAST_CNT	Tx のユニキャスト・フレーム・カウンタ。	0x0	R

レジスタ

FIFO フルによりドロップされた P1 Rx フレーム・レジスタ

アドレス : 0xAC、リセット : 0x00000000、レジスタ名 : P1_RX_DROP_FULL_CNT

表 107. P1_RX_DROP_FULL_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_DROP_FULL_CNT	FIFO フルによりドロップされた Rx のフレーム。受信 FIFO フルによりドロップされたフレームをカウントします。	0x0	R

フィルタリングによりドロップされた P1 Rx フレーム・レジスタ

アドレス : 0xAD、リセット : 0x00000000、レジスタ名 : P1_RX_DROP_FILT_CNT

表 108. P1_RX_DROP_FILT_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_DROP_FILT_CNT	フィルタリングによりドロップされた Rx フレーム。	0x0	R

ポート 1 で IFG エラー付きで受信したフレーム・レジスタ

アドレス : 0xAE、リセット : 0x00000000、レジスタ名 : P1_RX_IFG_ERR_CNT

表 109. P1_RX_IFG_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	P1_RX_IFG_ERR_CNT	ポート 1 の受信フレームの IFG エラー・カウンタ。	0x0	R

P1 送信フレーム間ギャップ・レジスタ

アドレス : 0xB0、リセット : 0x0000000B、レジスタ名 : P1_TX_IFG

表 110. P1_TX_IFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:8]	RESERVED	予約済み。	0x0	R
[7:0]	P1_TX_IFG	フレーム間ギャップ。Tx のフレーム間に (P1_TX_IFG + 1) × 8 ビット分の時間のフレーム間ギャップ (IFG) を生成します。	0xB	R/W

P1 MAC ループバック・イネーブル・レジスタ

アドレス : 0xB3、リセット : 0x00000000、レジスタ名 : P1_LOOP

表 111. P1_LOOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予約済み。	0x0	R
0	P1_LOOPBACK_EN	MAC ループバック。MII インターフェースでの PHY へのループバックをイネーブルします。 0 : 通常動作、ループバックはディスエーブル。 1 : ループバックがイネーブル。	0x0	R/W

受信時 P1 CRC チェック・イネーブル・レジスタ

アドレス : 0xB4、リセット : 0x00000001、レジスタ名 : P1_RX_CRC_EN

表 112. P1_RX_CRC_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:1]	RESERVED	予約済み。	0x0	R
0	P1_CRC_CHK_EN	受信時の CRC チェック・イネーブル。	0x1	R/W

レジスタ

P1 受信フレーム間ギャップ・レジスタ

アドレス：0xB5、リセット：0x0000000A、レジスタ名：P1_RX_IFG

表 113. P1_RX_IFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:6]	RESERVED	予約済み。	0x0	R
[5:0]	P1_RX_IFG	フレーム間ギャップ。受信 MAC は、フレーム間ギャップ (IFG) が P1_RX_IFG × 8 ビット分の時間より長いことを確認します。受信 IFG が短すぎる場合は、MAC は受信フレームをドロップし、P1_RX_IFG_ERR をアサートします。このフィールドでサポートされる最大値は 63 (10 進数) です。	0xA	R/W

P1 最大受信フレーム長レジスタ

アドレス：0xB6、リセット：0x00000618、レジスタ名：P1_RX_MAX_LEN

最大受信フレーム長 (バイト単位)。

表 114. P1_RX_MAX_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予約済み。	0x0	R
[15:0]	P1_MAX_FRM_LEN	受信時の最大フレーム長。	0x618	R/W

P1 最小受信フレーム長レジスタ

アドレス：0xB7、リセット：0x00000040、レジスタ名：P1_RX_MIN_LEN

最小受信フレーム長 (バイト単位)。

表 115. P1_RX_MIN_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:16]	RESERVED	予約済み。	0x0	R
[15:0]	P1_MIN_FRM_LEN	受信時の最小フレーム長。	0x40	R/W

P1 Rx 低優先度 FIFO フレーム・カウント・レジスタ

アドレス：0xB8、リセット：0x00000000、レジスタ名：P1_LO_RFC

受信 FIFO に格納されているフレームの数。

表 116. P1_LO_RFC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予約済み。	0x0	R
[8:0]	P1_LO_RFC	低優先度 FIFO の受信フレーム数。Rx FIFO のフレーム数です。デバッグ目的で使用されます。ストア・アンド・フォワード・モードでは、ホスト・ソフトウェアは少なくとも 1 つのフレームが使用できることを知れば十分です。 ステータス・レジスタ 1 のセクションの P1_RX_RDY を参照してください。	0x0	R

P1 Rx 高優先度 FIFO フレーム・カウント・レジスタ

アドレス：0xB9、リセット：0x00000000、レジスタ名：P1_HI_RFC

受信 FIFO に格納されているフレームの数。

レジスタ

表 117. P1_HI_RFC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:9]	RESERVED	予約済み。	0x0	R
[8:0]	P1_HI_RFC	高優先度 FIFO の受信フレーム数。Rx FIFO のフレーム数です。デバッグ目的で使用されます。ストア・アンド・フォワード・モードでは、ホスト・ソフトウェアは少なくとも 1 つのフレームが使用できることを知れば十分です。 ステータス・レジスタ 1 のセクションの P1_RX_RDY を参照してください。	0x0	R

P1 低優先度 Rx FIFO 有効ハーフ・ワード・レジスタ

アドレス：0xBA、リセット：0x00000000、レジスタ名：P1_LO_RXSIZE

低優先度 Rx FIFO の有効ハーフ・ワード（16 ビット）の数。

表 118. P1_LO_RXSIZE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予約済み。	0x0	R
[13:0]	P1_LO_RXSIZE	受信 FIFO に格納されているデータ。ハーフ・ワード（16 ビット）の数です。	0x0	R

P1 高優先度 Rx FIFO 有効ハーフ・ワード・レジスタ

アドレス：0xBB、リセット：0x00000000、レジスタ名：P1_HI_RXSIZE

高優先度 Rx FIFO の有効ハーフ・ワード（16 ビット）の数。

表 119. P1_HI_RXSIZE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:14]	RESERVED	予約済み。	0x0	R
[13:0]	P1_HI_RXSIZE	受信 FIFO に格納されているデータ。ハーフ・ワード（16 ビット）の数です。	0x0	R

PHY 条項 22 レジスタの詳細

表 120. PHY 条項 22 レジスタの概要

ビット	ビット名	説明	リセット	アクセス
0x0	MI_CONTROL	MII 制御レジスタ。	0x1100	R/W
0x1	MI_STATUS	MII ステータス・レジスタ。	0x1009	R
0x2	MI_PHY_ID1	PHY 識別マーク 1 レジスタ。	0x0283	R
0x3	MI_PHY_ID2	PHY 識別マーク 2 レジスタ。	0xBC91	R
0xD	MMD_ACCESS_CNTRL	MMD アクセス制御。	0x0000	R/W
0xE	MMD_ACCESS	MMD アクセス。	0x0000	R/W

MII 制御レジスタ

アドレス：0x0、リセット：0x1100、レジスタ名：MI_CONTROL

このアドレスは、802.3 規格の条項 22.2.4.1 で規定されている MII 制御レジスタに対応しています。

表 121. MI_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_SFT_RST	ソフトウェア・リセット。ソフトウェア・リセット・レジスタを使用すると、ソフトウェアのリセット・サイクルを開始できます。CRSM_SFT_RST をミラーリングします。	0x0	R/W SC
14	MI_LOOPBACK	ローカル・ループバック（PCS）。ループバック・レジスタにより、PHY ループバック・モードを有効にできます。LB_PCS_EN をミラーリングします。	0x0	R/W

レジスタ

表 121. MI_CONTROL のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
13	MI_SPEED_SEL_LSB	MII 速度の選択 (LSB)。MI_SPEED_SEL_MSB を参照してください。	0x0	R
12	MI_AN_EN	オート・ネゴシエーションのイネーブル。AN_FRC_MODE_EN レジスタを使用すると、強制リンク設定モードをイネーブルできます。AN_EN をミラーリングします。 1: オート・ネゴシエーションをイネーブル。 0: オート・ネゴシエーションをディスエーブル。	0x1	R
11	MI_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・レジスタを使用すると、PHY をソフトウェア・パワーダウン・モードにできます。このモードでは、大半の PHY 回路がオフに切り替わります。ただし、全レジスタに対する MDIO アクセスは引き続き可能です。このレジスタのデフォルト値は、ピンを使用して設定されます。そのため、PHY は、適切なソフトウェア初期化が実行されるまで、リセット状態を維持できます。CRSM_SFT_PD をミラーリングします。	Pin Dependent	R/W
10	MI_ISOLATE	MII 絶縁。このビットで、PHY と MII を絶縁できます。	0x0	R/W
9	RESERVED	予約済み。	0x0	R/W SC
8	MI_FULL_DUPLEX	MII 全 2 重。PHY は全 2 重モードでのみ動作するため、2 重モード・レジスタには書き込みできず、常に 1 が読み出されます。	0x1	R
7	MI_COLTEST	MII コリジョン・テスト。PHY は全 2 重モードでのみ動作し、COL ピンがないため、コリジョン・テスト・レジスタには書き込みできず、常に 0 が読み出されます。	0x0	R
6	MI_SPEED_SEL_MSB	MII 速度の選択 (MSB)。PHY は 10Mbps でのみ動作可能なので、速度選択 MSB/LSB レジスタへの書き込みはできず、常に 00 が読み出されます。	0x0	R
5	MI_UNIDIR_EN	MII 単方向イネーブル。PHY は、有効なリンクが確立されたことを判別したかどうかに関わりなく、MII からデータを送信できないので、単方向イネーブル・レジスタへの書き込みはできず、常に 0 が読み出されます。	0x0	R
[4:0]	RESERVED	予約済み。	0x0	R

MII ステータス・レジスタ

アドレス: 0x1、リセット: 0x1009、レジスタ名: MI_STATUS

このアドレスは、802.3 規格の条項 22.2.4.2 で規定されている MII ステータス・レジスタに対応しています。

表 122. MI_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_T4_SPRT	100BASE-T4 アビリティ。PHY は 100BASE-T4 に対応していないため、100BASE-T4 アビリティ・ビットは常に 0 が読み出されます。	0x0	R
14	MI_FD100_SPRT	全 2 重 100BASE-X アビリティ。PHY は 100BASE-X 全 2 重に対応していないため、100BASE-X 全 2 重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
13	MI_HD100_SPRT	半 2 重 100BASE-X アビリティ。PHY は 100BASE-X 半 2 重に対応していないため、100BASE-X 半 2 重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
12	MI_FD10_SPRT	全 2 重 10Mbps アビリティ。10Mbps 全 2 重アビリティ・ビットは、PHY が 10Mbps 全 2 重に対応していることを示します。	0x1	R
11	MI_HD10_SPRT	半 2 重 10Mbps アビリティ。PHY は 10Mbps 半 2 重に対応していないため、10Mbps 半 2 重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
10	MI_FD_T2_SPRT	全 2 重 100BASE-T2 アビリティ。PHY は 100BASE-T2 全 2 重に対応していないため、100BASE-T2 全 2 重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
9	MI_HD_T2_SPRT	半 2 重 100BASE-T2 アビリティ。PHY は 100BASE-T2 半 2 重に対応していないため、100BASE-T2 半 2 重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
8	MI_EXT_STAT_SPRT	拡張ステータス・サポート。拡張ステータス・サポート・ビットは常に 0 として読み出され、PHY がレジスタ 0xF で拡張ステータス情報を提供しないことを示します。	0x0	R
7	MI_UNIDIR_ABLE	単方向アビリティ。PHY は、有効なリンクが確立されていることを判別したときにのみ MII からデータを送信できるため、単方向アビリティ・レジスタは常に 0 が読み出されます。	0x0	R
6	MI_MF_PREAM_SUP_ABLE	管理プリアンブル抑制アビリティ。PHY は、先頭にプリアンブル・パターンがない管理フレームは受信できないため、管理フレーム・プリアンブル抑制アビリティ・ビットは常に 0 が読み出されます。	0x0	R

レジスタ

表 122. MI_STATUS のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
5	MI_AN_COMPLETE	オート・ネゴシエーション完了。オート・ネゴシエーション完了ビットは、オート・ネゴシエーション・プロセスが完了し、PHY リンクが確立したことを示します。AN_COMPLETE をミラーリングします。	0x0	R
4	MI_REM_FLT	リモート・フォルト。PHY はリモート・フォルト検出に対応していないため、リモート・フォルト・ビットは常に 0 が読み出されます。	0x0	R LH
3	MI_AN_ABLE	オート・ネゴシエーション・アビリティ。PHY はオート・ネゴシエーションを実行できるため、オート・ネゴシエーション・ビットは常に 1 が読み出されます。AN_ABLE をミラーリングします。	0x1	R
2	MI_LINK_STAT_LAT	リンク・ステータス。このビットは、IEEE 802.3 規格の副条項 45.2.7.20.5 に記載のラッチ・ロー機能を使用します。リンク・ステータス値が切断を示している場合、このレジスタはレジスタ読み出し時にラッチがクリアされるまで、クリア状態を維持します。AN_LINK_STATUS をミラーリングします。	0x0	R LL
1	MI_JABBER_DET	MII ジャババー検出。10BASE-T1L PHY はジャババー検出機能に対応していないため、ジャババー検出ビットは常に 0 が読み出されます。	0x0	R LH
0	MI_EXT_CAPABLE	MII 拡張ケイパビリティ。PHY は拡張レジスタ・セットを通じてアクセスできるケイパビリティの拡張セットを備えているため、拡張ケイパビリティ・ビットは常に 1 が読み出されます。拡張レジスタ・セットには、0、1、15 を除くすべての管理レジスタが含まれています。	0x1	R

PHY 識別子 1 レジスタ

アドレス : 0x2、リセット : 0x0283、レジスタ名 : MI_PHY_ID1

PHY 識別子 1 のアドレスを使用すると、OUI の 16 ビットがわかります。

表 123. MI_PHY_ID1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MI_PHY_ID1	PHY 識別子 1 のアドレスを使用すると、OUI の 16 ビットがわかります。	0x283	R

PHY 識別子 2 レジスタ

アドレス : 0x3、リセット : 0xBC91、レジスタ名 : MI_PHY_ID2

PHY 識別子 2 のアドレスを使用すると、OUI の 6 ビット、モデル番号、リビジョン番号がわかります。

表 124. MI_PHY_ID2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MI_PHY_ID2_OUI	OUI、ビット[7:2]。	0x2F	R
[9:4]	MI_MODEL_NUM	モデル番号。	0x9	R
[3:0]	MI_REV_NUM	リビジョン番号。	0x1	R

MMD アクセス制御レジスタ

アドレス : 0xD、リセット : 0x0000、レジスタ名 : MMD_ACCESS_CNTRL

このアドレスは、IEEE 802.3-2018 規格の条項 22.2.4.3.11 で規定されている MMD アクセス制御レジスタに対応しています。

表 125. MMD_ACCESS_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD_ACR_FUNCTION	機能。機能レジスタは、MMD_DAR レジスタへのアクセス時の MMD アクセスの種類を選択します。	0x0	R/W
[13:5]	RESERVED	00 : アドレス。 01 : データ、ポスト・インクリメントなし。 10 : データ、読み書き時にポスト・インクリメント。 11 : データ、書込み時にのみポスト・インクリメント。 予約済み。	0x0	R

レジスタ

表 125. MMD_ACCESS_CNTRL のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[4:0]	MMD_ACR_DEVAD	デバイス・アドレス。このレジスタの値によって、MMD_DAR レジスタへのすべてのアクセスが、選択された MMD に振り向けられます。	0x0	R/W

MMD アクセス・レジスタ

アドレス：0xE、リセット：0x0000、レジスタ名：MMD_ACCESS

このアドレスは、IEEE 802.3-2018 規格の条項 22.2.4.3.12 で規定されている MMD アクセス・アドレス・データ・レジスタに対応しています。

MMD_ADDR_DATA レジスタを MMD_ACCESS_CNTRL レジスタと併用すると、条項 22.2.4 で定められたインターフェースと機構を使用して MMD アドレス空間へのアクセスができます。

表 126. MMD_ACCESS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD_ACCESS	アクセス・アドレス。このアドレスは、IEEE 規格 802.3-2018 の条項 22.2.4.3.12 で規定されている MMD アクセス・アドレス・データ・レジスタに対応しています。MMD_ADDR_DATA レジスタを MMD_ACCESS_CNTRL レジスタと併用すると、条項 22.2.4 で定められたインターフェースと機構を使用して MMD アドレス空間へのアクセスができます。	0x0	R/W

PHY 条項 45 レジスタの詳細

表 127. PHY 条項 45 レジスタの概要

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x01	0x0000	PMA_PMD_CNTRL1	PMA/PMD 制御 1 レジスタ。	0x0000	R/W
0x01	0x0001	PMA_PMD_STAT1	PMA/PMD ステータス 1 レジスタ。	0x0002	R
0x01	0x0005	PMA_PMD_DEVS_IN_PKG1	パッケージ 1 の PMA/PMD MMD デバイス。	0x008B	R
0x01	0x0006	PMA_PMD_DEVS_IN_PKG2	パッケージ 2 の PMA/PMD MMD デバイス・レジスタ。	0xC000	R
0x01	0x0007	PMA_PMD_CNTRL2	PMA/PMD 制御 2 レジスタ。	0x003D	R/W
0x01	0x0008	PMA_PMD_STAT2	PMA/PMD ステータス 2。	0x8301	R
0x01	0x0009	PMA_PMD_TX_DIS	PMA/PMD 送信ディスエーブル・レジスタ。	0x0000	R/W
0x01	0x000B	PMA_PMD_EXT_ABILITY	PMA/PMD 拡張アビリティ・レジスタ。	0x0800	R
0x01	0x0012	PMA_PMD_BT1_ABILITY	BASE-T1 PMA/PMD 拡張アビリティ・レジスタ。	0x0004	R
0x01	0x0834	PMA_PMD_BT1_CONTROL	BASE-T1 PMA/PMD 制御レジスタ。	0x8002	R/W
0x01	0x08F6	B10L_PMA_CNTRL	10BASE-T1L PMA 制御レジスタ。	0x0000	R/W
0x01	0x08F7	B10L_PMA_STAT	10BASE-T1L PMA ステータス・レジスタ。	0x2800	R
0x01	0x08F8	B10L_TEST_MODE_CNTRL	10BASE-T1L テスト・モード制御レジスタ。	0x0000	R/W
0x01	0x8015	CR_STBL_CHK_FOFFS_SAT_THR	CR 安定性チェック用周波数オフセット飽和閾値レジスタ。	0x0008	R/W
0x01	0x81E7	SLV_FLTR_ECHO_ACQ_CR_KP	フォロア IIR フィルタ変化エコー・アクイジション・クロック再生比例ゲイン・レジスタ。	0x0400	R/W
0x01	0x8302	B10L_PMA_LINK_STAT	10BASE-T1L PMA リンク・ステータス・レジスタ。	0x0000	R
0x01	0x830B	MSE_VAL	平均二乗誤差 (MSE) 値レジスタ。	0x0000	R
0x03	0x0000	PCS_CNTRL1	PCS 制御 1 レジスタ。	0x0000	R/W
0x03	0x0001	PCS_STAT1	PCS ステータス 1 レジスタ。	0x0002	R
0x03	0x0005	PCS_DEVS_IN_PKG1	パッケージ 1 の PCS MMD デバイス・レジスタ。	0x008B	R
0x03	0x0006	PCS_DEVS_IN_PKG2	パッケージ 2 の PCS MMD デバイス・レジスタ。	0xC000	R
0x03	0x0008	PCS_STAT2	PCS ステータス 2 レジスタ。	0x8000	R
0x03	0x08E6	B10L_PCS_CNTRL	10BASE-T1L PCS 制御レジスタ。	0x0000	R/W
0x03	0x08E7	B10L_PCS_STAT	10BASE-T1L PCS ステータス・レジスタ。	0x0000	R

レジスタ

表 127. PHY 条項 45 レジスタの概要 (続き)

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x07	0x0005	AN_DEVS_IN_PKG1	パッケージ 1 のオート・ネゴシエーション MMD デバイス・レジスタ。	0x008B	R
0x07	0x0006	AN_DEVS_IN_PKG2	パッケージ 2 のオート・ネゴシエーション MMD デバイス・レジスタ。	0xC000	R
0x07	0x0200	AN_CONTROL	BASE-T1 オート・ネゴシエーション制御レジスタ。	0x1000	R/W
0x07	0x0201	AN_STATUS	BASE-T1 オート・ネゴシエーション・ステータス・レジスタ。	0x0008	R
0x07	0x0202	AN_ADV_ABILITY_L	BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタ、ビット[15:0]。	0x0001	R/W
0x07	0x0203	AN_ADV_ABILITY_M	BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタ、ビット[31:16]。	0x4000	R/W
0x07	0x0204	AN_ADV_ABILITY_H	BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタ、ビット[47:32]。	0x0000	R/W
0x07	0x0205	AN_LP_ADV_ABILITY_L	BASE-T1 オート・ネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[15:0]。	0x0000	R
0x07	0x0206	AN_LP_ADV_ABILITY_M	BASE-T1 オート・ネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[31:16]。	0x0000	R
0x07	0x0207	AN_LP_ADV_ABILITY_H	BASE-T1 オート・ネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[47:32]。	0x0000	R
0x07	0x0208	AN_NEXT_PAGE_L	BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタ、ビット[15:0]。	0x2001	R/W
0x07	0x0209	AN_NEXT_PAGE_M	BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタ、ビット[31:16]。	0x0000	R/W
0x07	0x020A	AN_NEXT_PAGE_H	BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタ、ビット[47:32]。	0x0000	R/W
0x07	0x020B	AN_LP_NEXT_PAGE_L	BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[15:0]。	0x0000	R
0x07	0x020C	AN_LP_NEXT_PAGE_M	BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[31:16]。	0x0000	R
0x07	0x020D	AN_LP_NEXT_PAGE_H	BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[47:32]。	0x0000	R
0x07	0x020E	AN_B10_ADV_ABILITY	10BASE-T1 オート・ネゴシエーション制御レジスタ。	0x8000	R/W
0x07	0x020F	AN_B10_LP_ADV_ABILITY	10BASE-T1 オート・ネゴシエーション・ステータス・レジスタ。	0x0000	R
0x07	0x8000	AN_FRC_MODE_EN	オート・ネゴシエーション強制モード・イネーブル・レジスタ。	0x0000	R/W
0x07	0x8001	AN_STATUS_EXTRA	追加オート・ネゴシエーション・ステータス・レジスタ。	0x0000	R
0x07	0x8030	AN_PHY_INST_STATUS	PHY 即時ステータス。	0x0010	R
0x1E	0x0002	MMD1_DEV_ID1	ベンダ固有 MMD 1 デバイス識別子ハイ・レジスタ。	0x0283	R
0x1E	0x0003	MMD1_DEV_ID2	ベンダ固有 MMD 1 デバイス識別子ロー・レジスタ。	0xBC01	R
0x1E	0x0005	MMD1_DEVS_IN_PKG1	パッケージ内のベンダ固有 1 MMD デバイス・レジスタ。	0x008B	R
0x1E	0x0006	MMD1_DEVS_IN_PKG2	パッケージ内のベンダ固有 1 MMD デバイス・レジスタ。	0xC000	R
0x1E	0x0008	MMD1_STATUS	ベンダ固有 MMD 1 ステータス・レジスタ。	0x8000	R
0x1E	0x0010	CRSM_IRQ_STATUS	システム割込みステータス・レジスタ。	0x1000	R
0x1E	0x0020	CRSM_IRQ_MASK	システム割込みマスク・レジスタ。	0x1FFE	R/W
0x1E	0x8810	CRSM_SFT_RST	ソフトウェア・リセット・レジスタ。	0x0000	R/W
0x1E	0x8812	CRSM_SFT_PD_CNTRL	ソフトウェア・パワーダウン制御レジスタ。	0x0000	R/W
0x1E	0x8814	CRSM_PHY_SUBSYS_RST	PHY サブシステム・リセット・レジスタ。	0x0000	R/W
0x1E	0x8815	CRSM_MAC_IF_RST	PHY MAC インターフェース・リセット・レジスタ。	0x0000	R/W

レジスタ

表 127. PHY 条項 45 レジスタの概要（続き）

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x1E	0x8818	CRSM_STAT	システム・ステータス・レジスタ。	0x0000	R
0x1E	0x8819	CRSM_PMG_CNTRL	CRSM パワー・マネージメント制御レジスタ。	0x0000	R/W
0x1E	0x882C	CRSM_DIAG_CLK_CTRL	CRSM 診断クロック制御。	0x0002	R/W
0x1E	0x8C22	MGMT_PRT_PKG	パッケージ設定値レジスタ。	0x0000	R
0x1E	0x8C30	MGMT_MDIO_CNTRL	MDIO 制御レジスタ。	0x0000	R/W
0x1E	0x8C56	DIGIO_PINMUX	ピン・マルチプレクサ設定 1 レジスタ。	0x00FE	R/W
0x1E	0x8C80	LED0_BLINK_TIME_CNTRL	LED 0 オン/オフ点滅時間レジスタ。	0x3636	R/W
0x1E	0x8C81	LED1_BLINK_TIME_CNTRL	LED 1 オン/オフ点滅時間レジスタ。	0x3636	R/W
0x1E	0x8C82	LED_CNTRL	LED 制御レジスタ。	0x8480	R/W
0x1E	0x8C83	LED_POLARITY	LED 極性レジスタ。	0x0000	R/W
0x1F	0x0002	MMD2_DEV_ID1	ベンダ固有 MMD 2 デバイス識別子ハイ・レジスタ。	0x0283	R
0x1F	0x0003	MMD2_DEV_ID2	ベンダ固有 MMD 2 デバイス識別子ロー・レジスタ。	0xBC91	R
0x1F	0x0005	MMD2_DEVS_IN_PKG1	パッケージ内のベンダ固有 2 MMD デバイス・レジスタ。	0x008B	R
0x1F	0x0006	MMD2_DEVS_IN_PKG2	パッケージ内のベンダ固有 2 MMD デバイス・レジスタ。	0xC000	R
0x1F	0x0008	MMD2_STATUS	ベンダ固有 MMD 2 ステータス・レジスタ。	0x8000	R
0x1F	0x0011	PHY_SUBSYS_IRQ_STATUS	PHY サブシステム割込みステータス・レジスタ。	0x0000	R
0x1F	0x0021	PHY_SUBSYS_IRQ_MASK	PHY サブシステム割込みマスク・レジスタ。	0x2402	R/W
0x1F	0x8001	FC_EN	フレーム・チェッカ・イネーブル・レジスタ。	0x0001	R/W
0x1F	0x8004	FC_IRQ_EN	フレーム・チェッカ割込みイネーブル・レジスタ。	0x0001	R/W
0x1F	0x8005	FC_TX_SEL	フレーム・チェッカ送信選択レジスタ。	0x0000	R/W
0x1F	0x8008	RX_ERR_CNT	受信エラー・カウント・レジスタ。	0x0000	R
0x1F	0x8009	FC_FRM_CNT_H	フレーム・チェッカ・カウント・ハイ・レジスタ。	0x0000	R
0x1F	0x800A	FC_FRM_CNT_L	フレーム・チェッカ・カウント・ロー・レジスタ。	0x0000	R
0x1F	0x800B	FC_LEN_ERR_CNT	フレーム・チェッカ・レングス・エラー・カウント・レジスタ。	0x0000	R
0x1F	0x800C	FC_ALGN_ERR_CNT	フレーム・チェッカ・アライメント・エラー・カウント・レジスタ。	0x0000	R
0x1F	0x800D	FC_SYMB_ERR_CNT	フレーム・チェッカ・シンボル・エラー・カウント・レジスタ。	0x0000	R
0x1F	0x800E	FC_OSZ_CNT	フレーム・チェッカ・オーバーサイズ・フレーム・カウント・レジスタ。	0x0000	R
0x1F	0x800F	FC_USZ_CNT	フレーム・チェッカ・アンダーサイズ・フレーム・カウント・レジスタ。	0x0000	R
0x1F	0x8010	FC_ODD_CNT	フレーム・チェッカ奇数ニブル・フレーム・カウント・レジスタ。	0x0000	R
0x1F	0x8011	FC_ODD_PRE_CNT	フレーム・チェッカ奇数ブリアンブル・パケット・カウント・レジスタ。	0x0000	R
0x1F	0x8013	FC_FALSE_CARRIER_CNT	フレーム・チェッカ偽キャリア・カウント・レジスタ。	0x0000	R
0x1F	0x8020	FG_EN	フレーム・ジェネレータ・イネーブル・レジスタ。	0x0000	R/W
0x1F	0x8021	FG_CNTRL_RSTRT	フレーム・ジェネレータ制御/再起動レジスタ。	0x0001	R/W
0x1F	0x8022	FG_CONT_MODE_EN	フレーム・ジェネレータ連続モード・イネーブル・レジスタ。	0x0000	R/W
0x1F	0x8023	FG_IRQ_EN	フレーム・ジェネレータ割込みイネーブル・レジスタ。	0x0000	R/W
0x1F	0x8025	FG_FRM_LEN	フレーム・ジェネレータ・フレーム長レジスタ。	0x006B	R/W
0x1F	0x8026	FG_IFG_LEN	フレーム・ジェネレータ・フレーム間ギャップ長レジスタ。	0x000C	R/W
0x1F	0x8027	FG_NFRM_H	フレーム・ジェネレータ・フレーム数ハイ・レジスタ。	0x0000	R/W

レジスタ

表 127. PHY 条項 45 レジスタの概要（続き）

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x1F	0x8028	FG_NFRM_L	フレーム・ジェネレータ・フレーム数ロー・レジスタ。	0x0100	R/W
0x1F	0x8029	FG_DONE	フレーム・ジェネレータ完了レジスタ。	0x0000	R
0x1F	0x8055	MAC_IF_LOOPBACK	MAC インターフェース・ループバック設定レジスタ。	0x000A	R/W
0x1F	0x805A	MAC_IF_SOP_CNTRL	MAC パケット開始（SOP）生成制御レジスタ。	0x001B	R/W

PMA/PMD 制御 1 レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0000、リセット：0x0000、レジスタ名：PMA_PMD_CNTRL1

このアドレスは、802.3 規格の条項 45.2.1.1 で規定されている PMA/PMD 制御レジスタ 1 に対応しています。このレジスタのリセット値は、ハードウェア設定ピンの設定に依存することに注意してください。

表 128. PMA_PMD_CNTRL1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PMA_SFT_RST	PMA ソフトウェア・リセット。PMA ソフトウェア・リセット・ビットを使用するとチップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。このビットはセルフ・クリア・ビットで、リセットの進行中は 1 の値を返します。それ以外の場合は 0 を返します。	0x0	R/W SC
[14:12]	RESERVED	予約済み。	0x0	R
11	PMA_SFT_PD	PMA ソフトウェア・パワーダウン。PMA ソフトウェア・パワーダウン・レジスタは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対する MDIO アクセスは引き続き可能です。このレジスタのデフォルト値は、SWPD_EN ピンを使用して設定できます。これにより、適切なソフトウェア初期化が行われるまで、チップをパワーダウン・モードに保持できます。	0x0	R/W
[10:1]	RESERVED	予約済み。	0x0	R
0	LB_PMA_LOC_EN	PMA ローカル・ループバックをイネーブル。このビットを 1 に設定すると、PMA は送信経路のデータを受け入れ、それを受信経路で返します。このビットを 0 に設定すると、PMA は通常動作モードで動作します。	0x0	R/W

PMA/PMD ステータス 1 レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0001、リセット：0x0002、レジスタ名：PMA_PMD_STAT1

このアドレスは、802.3 規格の条項 45.2.1.2 で規定されている PMA/PMD ステータス・レジスタ 1 に対応しています。

表 129. PMA_PMD_STAT1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
2	PMA_LINK_STAT_OK_LL	PMA リンク・ステータス。このビットが 1 の場合、リンクが確立されていることを示します。ビットが 0 の場合、最後のビット読出し後、リンクが切断されたことを示します。	0x0	R LL
1	PMA_SFT_PD_ABLE	PMA ソフトウェア・パワーダウン・エーブル。PMA がソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予約済み。	0x0	R

パッケージ 1 の PMA/PMD MMD デバイス・レジスタ

デバイス・アドレス：0x01、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：PMA_PMD_DEVS_IN_PKG1

表 130. PMA_PMD_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG1	パッケージの PMA/PMD MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。	0x8B	R

レジスタ

パッケージ 2 の PMA/PMD MMD デバイス・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : PMA_PMD_DEVS_IN_PKG2

表 131. PMA_PMD_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG2	パッケージの PMA/PMD MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

PMA/PMD 制御 2 レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0007、リセット : 0x003D、レジスタ名 : PMA_PMD_CNTRL2

表 132. PMA_PMD_CNTRL2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
[6:0]	PMA_PMD_TYPE_SEL	PMA/PMD のタイプの選択。IEEE 802.3 規格を参照。 PMA_PMD_TYPE_SEL を使用できるのは、オート・ネゴシエーションがディスエーブルされ、強制リンク設定モードがイネーブルの場合のみです。オート・ネゴシエーションがイネーブルの場合、PHY のタイプはオート・ネゴシエーション・プロセス自体によって決定されます。 ADIN1111 では、このフィールドに有効な唯一の値は、BASE-T1 PMA/PMD 用の値です。 0000000 : TS_10GBASE_CX4_PMA_PMD 0000001 : TS_10GBASE_EW_PMA_PMD 0000010 : TS_10GBASE_LW_PMA_PMD 0000011 : TS_10GBASE_SW_PMA_PMD 0000100 : TS_10GBASE_LX4_PMA_PMD 0000101 : TS_10GBASE_ER_PMA_PMD 0000110 : TS_10GBASE_LR_PMA_PMD 0000111 : TS_10GBASE_SR_PMA_PMD 0001000 : TS_10GBASE_LRM_PMA_PMD 0001001 : TS_10GBASE_T_PMA 0001010 : TS_10GBASE_KX4_PMA_PMD 0001011 : TS_10GBASE_KR_PMA_PMD 0001100 : TS_1000BASE_T_PMA_PMD 0001101 : TS_1000BASE_KX_PMA_PMD 0001110 : TS_100BASE_TX_PMA_PMD 0001111 : TS_10BASE_T_PMA_PMD 0010000 : TS_10_1GBASE_PRX_D1 0010001 : TS_10_1GBASE_PRX_D2 0010010 : TS_10_1GBASE_PRX_D3 0010011 : TS_10GBASE_PR_D1 0010100 : TS_10GBASE_PR_D2 0010101 : TS_10GBASE_PR_D3 0010110 : TS_10_1GBASE_PRX_U1 0010111 : TS_10_1GBASE_PRX_U2 0011000 : TS_10_1GBASE_PRX_U3 0011001 : TS_10GBASE_PR_U1 0011010 : TS_10GBASE_PR_U3 0011011 : TS_RESERVED 0011100 : TS_10GBASE_PR_D4 0011101 : TS_10_1GBASE_PRX_D4 0011110 : TS_10GBASE_PR_U4 0011111 : TS_10_1GBASE_PRX_U4	0x3D	R/W

レジスタ

表 132. PMA_PMD_CNTRL2 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		0100000 : TS_40GBASE_KR4_PMA_PMD 0100001 : TS_40GBASE_CR4_PMA_PMD 0100010 : TS_40GBASE_SR4_PMA_PMD 0100011 : TS_40GBASE_LR4_PMA_PMD 0100100 : TS_40GBASE_FR_PMA_PMD 0100101 : TS_40GBASE_ER4_PMA_PMD 0100110 : TS_40GBASE_T_PMA 0101000 : TS_100GBASE_CR10_PMA_PMD 0101001 : TS_100GBASE_SR10_PMA_PMD 0101010 : TS_100GBASE_LR4_PMA_PMD 0101011 : TS_100GBASE_ER4_PMA_PMD 0101100 : TS_100GBASE_KP4_PMA_PMD 0101101 : TS_100GBASE_KR4_PMA_PMD 0101110 : TS_100GBASE_CR4_PMA_PMD 0101111 : TS_100GBASE_SR4_PMA_PMD 0110000 : TS_2_5GBASE_T_PMA 0110001 : TS_5GBASE_T_PMA 0110010 : TS_10GPASS_XR_D_PMA_PMD 0110011 : TS_10GPASS_XR_U_PMA_PMD 0110100 : TS_BASE_H_PMA_PMD 0110101 : TS_25GBASE_LR_PMA_PMD 0110110 : TS_25GBASE_ER_PMA_PMD 0110111 : TS_25GBASE_T_PMA 0111000 : TS_25GBASE_CR_OR_25GBASE_CR_S_PMA_PMD 0111001 : TS_25GBASE_KR_OR_25GBASE_KR_S_PMA_PMD 0111010 : TS_25GBASE_SR_PMA_PMD 0111101 : TS_BASE_T1_PMA_PMD 1010011 : TS_200GBASE_DR4_PMA_PMD 1010100 : TS_200GBASE_FR4_PMA_PMD 1010101 : TS_200GBASE_LR4_PMA_PMD 1011001 : TS_400GBASE_SR16_PMA_PMD 1011010 : TS_400GBASE_DR4_PMA_PMD 1011011 : TS_400GBASE_FR8_PMA_PMD 1011100 : TS_400GBASE_LR8_PMA_PMD		

PMA/PMD ステータス 2 レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0008、リセット : 0x8301、レジスタ名 : PMA_PMD_STAT2

表 133. PMA_PMD_STAT2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PMA_PMD_PRESENT	PMA/PMD が存在。PMA が存在し応答していることを示します。	0x2	R
[13:10]	RESERVED	予約済み。	0x0	R
9	PMA_PMD_EXT_ABLE	PHY 拡張アビリティ・サポート。PHY が PMA_PMD_EXT_ABILITY に記載の拡張アビリティに対応していることを示します。	0x1	R
8	PMA_PMD_TX_DIS_ABLE	PMA/PMD Tx ディスエーブル。PMA が送信ディスエーブルに対応していることを示します。	0x1	R
[7:1]	RESERVED	予約済み。	0x0	R
0	LB_PMA_LOC_ABLE	PMA ローカル・ループバック・エーブル。PMA がローカル・ループバックに対応していることを示します。	0x1	R

レジスタ

PMA/PMD 送信ディスエーブル・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0009、リセット : 0x0000、レジスタ名 : PMA_PMD_TX_DIS

このアドレスは、802.3 規格の条項 45.2.1.8 で規定されている PMD 送信ディスエーブル・レジスタに対応しています。

表 134. PMA_PMD_TX_DIS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	PMA_TX_DIS	PMD 送信ディスエーブル。このビットを 1 に設定すると、PMD は送信経路の出力をディスエーブルします。それ以外の場合は、PMD は送信経路の出力をイネーブルします。	0x0	R/W

PMA/PMD 拡張アビリティ・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x000B、リセット : 0x0800、レジスタ名 : PMA_PMD_EXT_ABILITY

PMA/PMD 拡張アビリティ。

表 135. PMA_PMD_EXT_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
11	PMA_PMD_BT1_ABLE	PHY は BASE-T1 に対応。PHY が PMA_PMD_BT1_ABILITY に記載の BASE-T1 拡張アビリティに対応していることを示します。	0x1	R
[10:0]	RESERVED	予約済み。	0x0	R

BASE-T1 PMA/PMD 拡張アビリティ・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0012、リセット : 0x0004、レジスタ名 : PMA_PMD_BT1_ABILITY

このアドレスは、802.3 規格の条項 45.2.1.16 で規定されている BASE-T1 PMA/PMD 拡張アビリティ・レジスタに対応しています。このレジスタは読み出し専用で、書き込みを行っても無効です。

表 136. PMA_PMD_BT1_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	B10S_ABILITY	10BASE-T1S アビリティ。PMA/PMD は 10BASE-T1S に対応していないため、このビットは常に 0 として読み出されます。	0x0	R
2	B10L_ABILITY	10BASE-T1L アビリティ。PMA/PMD は 10BASE-T1L に対応しているため、このビットは常に 1 として読み出されます。	0x1	R
1	B1000_ABILITY	1000BASE-T1 アビリティ。PMA/PMD は 1000BASE-T1 に対応していないため、このビットは常に 0 として読み出されます。	0x0	R
0	B100_ABILITY	100BASE-T1 アビリティ。PMA/PMD は 100BASE-T1 に対応していないため、このビットは常に 0 として読み出されます。	0x0	R

BASE-T1 PMA/PMD 制御レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0834、リセット : 0x8002、レジスタ名 : PMA_PMD_BT1_CONTROL

このアドレスは、802.3 規格の条項 45.2.1.185 で規定されている BASE-T1 PMA/PMD 制御レジスタに対応しています。

表 137. PMA_PMD_BT1_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x1	R
14	CFG_MST	リーダーおよびフォロアの設定。CFG_MST が使用されるのは、オート・ネゴシエーションがディスエーブルの場合のみです。それ以外の場合、この値はオート・ネゴシエーション・プロセス自体によって決定されます。このビットを 1 に設定すると、デバイスはリーダーとして設定されます。それ以外の場合、デバイスはフォロアとして設定されます。	Pin Dependent	R/W
[13:4]	RESERVED	予約済み。	0x0	R

レジスタ

表 137. PMA_PMD_BT1_CONTROL のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[3:0]	BT1_TYPE_SEL	BASE-T1 のタイプの選択。以下の制御レジスタのビットの定義については、IEEE 802.3 規格を参照してください（X はドント・ケアを意味します）。 1XXX : 予備 01XX : 予備 0011 : 10BASE-T1S 0010 : 10BASE-T1L 0001 : 1000BASE-T 0000 : 100BASE-T BT1_TYPE_SEL を使用するの、オート・ネゴシエーションがディスエーブルで、強制リンク設定モードがイネーブルの場合のみです。オート・ネゴシエーションがイネーブルの場合、PHY のタイプはオート・ネゴシエーション・プロセス自体によって決定されます。ADIN1111 レジスタでは、10BASE-T1L 用の値のみ有効です。	0x2	R/W

10BASE-T1L PMA 制御レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x08F6、リセット : 0x0000、レジスタ名 : B10L_PMA_CNTRL

このアドレスは、802.3cg 規格の条項 45.2.1.186a で規定されている 10BASE-T1L PMA 制御レジスタに対応しています。

表 138. B10L_PMA_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R/W SC
14	B10L_TX_DIS_MODE_EN	10BASE-T1L 送信ディスエーブル・モード。このビットを 1 に設定すると、送信経路の出力がディスエーブルされます。そうでない場合は、送信経路の出力がイネーブルされます。	0x0	R/W
13	RESERVED	予約済み。	0x0	R
12	B10L_TX_LVL_HI	10BASE-T1L 送信電圧振幅制御。この設定が使用されるのは、オート・ネゴシエーションがディスエーブルの場合のみです。それ以外の場合、設定はオート・ネゴシエーション・プロセス自体によって決定されます。このビットを 1 にセットすると、デバイスは 2.4V p-p の動作モードで動作します。それ以外では、デバイスは 1.0V p-p の動作モードで動作します。	Pin Dependent	R/W
11	RESERVED	予約済み。	0x0	R/W
10	B10L_EEE	10BASE-T1L EEE イネーブル。	0x0	R/W
[9:1]	RESERVED	予約済み。	0x0	R
0	B10L_LB_PMA_LOC_EN	10BASE-T1L PMA ループバック。このビットを 1 に設定すると、PMA は送信経路のデータを受け入れ、それを受信経路で返します。このビットを 0 に設定すると、PMA は通常動作モードで動作します。	0x0	R/W

10BASE-T1L PMA ステータス・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x08F7、リセット : 0x2800、レジスタ名 : B10L_PMA_STAT

このアドレスは、802.3cg 規格の条項 45.2.1.186b で規定されている 10BASE-T1L PMA ステータス・レジスタに対応しています。

表 139. B10L_PMA_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予約済み。	0x0	R
13	B10L_LB_PMA_LOC_ABLE	10BASE-T1L PMA ループバック・アビリティ。PMA にはループバック・アビリティがあるため、このビットは常に 1 として読み出されます。	0x1	R
12	B10L_TX_LVL_HI_ABLE	10BASE-T1L 高電圧 Tx アビリティ。PHY が 10BASE-T1L の高電圧（2.4V p-p）送信レベル動作モードに対応していることを示します。	Pin Dependent	R
11	B10L_PMA_SFT_PD_ABLE	PMA はパワーダウンに対応。PMA がソフトウェア・パワーダウンに対応していることを示します。	0x1	R
10	B10L_EEE_ABLE	10BASE-T1L EEE アビリティ。PHY が 10BASE-T1L EEE に対応しているかどうかを示します。	0x0	R
[9:0]	RESERVED	予約済み。	0x0	R

レジスタ

10BASE-T1L テスト・モード制御レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x08F8、リセット : 0x0000、レジスタ名 : B10L_TEST_MODE_CNTRL

このアドレスは、802.3cg 規格の条項 45.2.1.186c で規定されている 10BASE-T1L PMA テスト・モード制御レジスタに対応しています。このレジスタのデフォルト値は、デバイスの初期状態として、管理の介入のない通常動作を選択します。

表 140. B10L_TEST_MODE_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	B10L_TX_TEST_MODE	10BASE-T1L トランスミッタ・テスト・モード。 000 : 通常動作。 001 : テスト・モード 1 - トランスミッタ出力電圧およびタイミング・ジッタのテスト・モード。テスト・モード 1 がイネーブルの場合、PHY はデータ・シンボル・シーケンス (+1, -1) を繰り返し送信します。 010 : テスト・モード 2 - トランスミッタ出力ドループ・テスト・モード。テスト・モード 2 がイネーブルの場合、PHY は+1 シンボルを 10 個送信し、続いて-1 シンボルを 10 個送信します。 011 : テスト・モード 3 - アイドル・モードでの通常動作。テスト・モード 3 がイネーブルの場合、PHY はデータを通常のフレーム間アイドル信号に設定し、非テスト動作時やリーダー・データ・モード時と同様に送信します。	0x0	R/W
[12:0]	RESERVED	予約済み。	0x0	R

CR 安定性チェック用周波数オフセット飽和閾値レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x8015、リセット : 0x0008、レジスタ名 : CR_STBL_CHK_FOFFS_SAT_THR

表 141. CR_STBL_CHK_FOFFS_SAT_THR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予約済み。	0x0	R
[10:0]	CR_STBL_CHK_FOFFS_SAT_THR	クロック再生 (CR) 安定性チェック用の周波数オフセット飽和閾値。	0x8	R/W

フォロア IIR フィルタ変化エコー・アクイジション・クロック再生比例ゲイン・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x81E7、リセット : 0x0400、レジスタ名 : SLV_FLTR_ECHO_ACQ_CR_KP

表 142. SLV_FLTR_ECHO_ACQ_CR_KP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	SLV_FLTR_ECHO_ACQ_CR_KP	フォロアの無限インパルス応答 (IIR) フィルタ変化エコー・アクイジション・クロック再生比例ゲイン。	0x400	R/W

10BASE-T1L PMA リンク・ステータス・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x8302、リセット : 0x0000、レジスタ名 : B10L_PMA_LINK_STAT

このアドレスを読み出すことで、10BASE-T1L PMA リンクのステータスが判定できます。B10L_PMA_LINK_STAT を読み出すと、これらのビットのラッチ条件がクリアされます。

表 143. B10L_PMA_LINK_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予約済み。	0x0	R

レジスタ

表 143. B10L_PMA_LINK_STAT のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
9	B10L_REM_RCVR_STAT_OK_LL	10BASE-T1L リモート・レシーバ・ステータス OK ラッチ・ロー。B10L_REM_RCVR_STAT_OK のラッチ・ロー・バージョン。	0x0	R LL
8	B10L_REM_RCVR_STAT_OK	10BASE-T1L リモート・レシーバ・ステータス OK。このビットが 1 の場合、リモート・レシーバのステータスが OK であることを示します。	0x0	R
7	B10L_LOC_RCVR_STAT_OK_LL	10BASE-T1L ローカル・レシーバ・ステータス OK ラッチ・ロー。B10L_LOC_RCVR_STAT_OK のラッチ・ロー・バージョン。	0x0	R LL
6	B10L_LOC_RCVR_STAT_OK	10BASE-T1L ローカル・レシーバ・ステータス OK。このビットが 1 の場合、ローカル・レシーバのステータスが OK であることを示します。	0x0	R
5	B10L_DSCR_STAT_OK_LL	BASE-T1L デスクランブラ・ステータス OK ラッチ・ロー。このビットが 1 の場合、デスクランブラのステータスが OK であることを示します。	0x0	R LL
4	B10L_DSCR_STAT_OK	10BASE-T1L デスクランブラ・ステータス OK。このビットが 1 の場合、デスクランブラのステータスが OK であることを示します。	0x0	R
[3:2]	RESERVED	予約済み。	0x0	R
1	B10L_LINK_STAT_OK_LL	リンク・ステータス OK ラッチ・ロー。このビットが 1 の場合、リンクのステータスが OK であることを示します。	0x0	R LL
0	B10L_LINK_STAT_OK	リンク・ステータス OK。このビットが 1 の場合、リンクのステータスが OK であることを示します。	0x0	R

MSE 値レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x830B、リセット : 0x0000、レジスタ名 : MSE_VAL

表 144. MSE_VAL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MSE_VAL	MSE 値。LSB の重みは 2-18 であることに注意してください。S/N 比 (SNR) の値を計算する場合、10BASE-T1L の平均のアイドル・シンボル・パワーは 0.64422 です。	0x0	R

PCS 制御 1 レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0000、リセット : 0x0000、レジスタ名 : PCS_CNTRL1

このアドレスは、802.3 規格の条項 45.2.3.1 で規定されている PCS 制御レジスタ 1 に対応しています。

表 145. PCS_CNTRL1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PCS_SFT_RST	PCS ソフトウェア・リセット。PMA_SFT_RST をミラーリングします。	0x0	R/W SC
14	LB_PCS_EN	PCS ループバック・イネーブル。このビットを 1 に設定すると、PCS は送信経路のデータを受け入れ、それを受信経路で返します。このビットを 0 に設定すると、PCS は通常動作モードで動作します。	0x0	R/W
[13:12]	RESERVED	予約済み。	0x0	R
11	PCS_SFT_PD	PCS ソフトウェア・パワーダウン。PMA_SFT_PD をミラーリングします。	0x0	R/W
[10:0]	RESERVED	予約済み。	0x0	R

PCS ステータス 1 レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0001、リセット : 0x0002、レジスタ名 : PCS_STAT1

表 146. PCS_STAT1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
1	PCS_SFT_PD_ABLE	PCS ソフトウェア・パワーダウン・エーブル。PCS がソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予約済み。	0x0	R

レジスタ

パッケージ 1 の PCS MMD デバイス・レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0005、リセット : 0x008B、レジスタ名 : PCS_DEVS_IN_PKG1

表 147. PCS_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG1	パッケージの PCS MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。	0x8B	R

パッケージ 2 の PCS MMD デバイス・レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : PCS_DEVS_IN_PKG2

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 148. PCS_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG2	パッケージの PCS MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

PCS ステータス 2 レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0008、リセット : 0x8000、レジスタ名 : PCS_STAT2

表 149. PCS_STAT2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PCS_PRESENT	PCS あり。PCS が存在し応答していることを示します。	0x2	R
[13:0]	RESERVED	予約済み。	0x0	R

10BASE-T1L PCS 制御レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x08E6、リセット : 0x0000、レジスタ名 : B10L_PCS_CNTRL

このアドレスは、802.3cg 規格の条項 45.2.3.68a で規定されている 10BASE-T1L PCS 制御レジスタに対応しています。

表 150. B10L_PCS_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R/W SC
14	B10L_LB_PCS_EN	PCS ループバック・イネーブル。このビットを 1 に設定すると、10BASE-T1L PCS ループバックが有効になります。	0x0	R/W
[13:0]	RESERVED	予約済み。	0x0	R

10BASE-T1L PCS ステータス・レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x08E7、リセット : 0x0000、レジスタ名 : B10L_PCS_STAT

このアドレスは、802.3cg 規格の条項 45.2.3.68b で規定されている 10BASE-T1L PCS ステータス・レジスタに対応しています。

表 151. B10L_PCS_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
2	B10L_PCS_DSCR_STAT_OK_LL	PCS デスクランブラのステータス。このビットが 1 の場合、10BASE-T1L デスクランブラがロックされていることを示します。このビットが 0 の場合、最後のビット読出し後、10BASE-T1L デスクランブラのロックが解除されたことを示します。	0x0	R LL
[1:0]	RESERVED	予約済み。	0x0	R

レジスタ

パッケージ 1 のオート・ネゴシエーション MMD デバイス・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0005、リセット : 0x008B、レジスタ名 : AN_DEVS_IN_PKG1

条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。

表 152. AN_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG1	パッケージのオート・ネゴシエーション MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。	0x8B	R

パッケージ 2 のオート・ネゴシエーション MMD デバイス・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : AN_DEVS_IN_PKG2

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 153. AN_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG2	パッケージのオート・ネゴシエーション MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

BASE-T1 オート・ネゴシエーション制御レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0200、リセット : 0x1000、レジスタ名 : AN_CONTROL

このアドレスは、802.3 規格の条項 45.2.7.19 で規定されている BASE-T1 オート・ネゴシエーション制御レジスタに対応しています。

表 154. AN_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予約済み。	0x0	R/W SC
12	AN_EN	オート・ネゴシエーションのイネーブル。このビットを 1 に設定すると、オート・ネゴシエーションがイネーブルになります。オート・ネゴシエーションはデフォルトでイネーブルになっており、常にイネーブルにしておくことが強く推奨されます。	0x1	R/W
[11:10]	RESERVED	予約済み。	0x0	R
9	AN_RESTART	オート・ネゴシエーションの再起動。このビットを 1 に設定すると、オート・ネゴシエーション・プロセスが再起動します。このビットはセルフ・クリア・ビットで、オート・ネゴシエーション・プロセスが開始されるまでは 1 の値を返します。	0x0	R/W SC
[8:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オート・ネゴシエーション・ステータス・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0201、リセット : 0x0008、レジスタ名 : AN_STATUS

このアドレスは、802.3 規格の条項 45.2.7.20 で規定されている BASE-T1 オート・ネゴシエーション・ステータス・レジスタに対応しています。

表 155. AN_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
6	AN_PAGE_RX	ページ受信。このビットがセットされた場合、新しいリンクのコードワードが受信され、AN_LP_ADV_ABILITY レジスタまたは AN_LP_NEXT_PAGE レジスタに保存されていることを示します。オート・ネゴシエーション中にこのビットが初めてセットされた時点で、AN_LP_ADV_ABILITY の内容が有効になります。このビットは、AN_STATUS レジスタを読み出すことで 0 にリセットされます。	0x0	R LH
5	AN_COMPLETE	オート・ネゴシエーション完了。このビットが 1 として読み出された場合、オート・ネゴシエーションが完了して PHY リンクが確立し、AN_ADV_ABILITY_x レジスタと AN_LP_ADV_ABILITY_x レジスタの内容は有効となります。このビットが 0 を返す場合、オート・ネゴシエーションはディスエーブルされ、AN_EN ビットはクリアされています。	0x0	R

レジスタ

表 155. AN_STATUS のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
4	AN_REMOTE_FAULT	オート・ネゴシエーション・リモート・フォルト。リンク・パートナーから受信したベース・ページのリモート・フォルト設定。	0x0	R LH
3	AN_ABLE	オート・ネゴシエーション・アビリティ。このビットが 1 の場合、PHY がオート・ネゴシエーションを実行可能であることを示します。	0x1	R
2	AN_LINK_STATUS	リンク・ステータス。このビットが 1 の場合、有効なリンクが確立されていることを示します。このビットが 0 の場合は、最後の読出し以降にリンクが切断されていることを示します。	0x0	R LL
[1:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0202、リセット：0x0001、レジスタ名：
AN_ADV_ABILITY_L

このアドレスは、802.3 規格の条項 45.2.7.21 で規定されている BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタ、ビット[15:0]に対応しています。

表 156. AN_ADV_ABILITY_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_ADV_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHY がネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R/W
14	AN_ADV_ACK	アクノレッジ (ACK)。このビットは、デバイスがリンク・パートナーのリンク・コードワードを受信したことを示します。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_ADV_REMOTE_FAULT	リモート・フォルト。IEEE 802.3 規格の副条項 98.2.1.2.7 を参照してください。	0x0	R/W
12	AN_ADV_FORCE_MS	強制リーダー／フォロア設定。このビットを使用すると、PHY はリーダー／フォロア設定を強制できます。このビットが 0 の場合、リーダー／フォロア設定は優先モードになります。（AN_ADV_MST の設定は優先設定です。）このビットが 1 の場合、リーダー／フォロア設定は強制モードになります。（AN_ADV_MST の設定は強制設定です。）詳細については IEEE 802.3 規格の副条項 98.2.1.2.5 を参照してください。	0x0	R/W
[11:10]	AN_ADV_PAUSE	一時停止アビリティ。このビット・フィールドは、全 2 重リンクで非対称および対称の一時停止機能に対応していることをアドバタイズします。詳細については IEEE 802.3 規格の副条項 98.2.1.2.6 を参照してください。	0x0	R/W
[9:5]	RESERVED	予約済み。	0x0	R
[4:0]	AN_ADV_SELECTOR	セレクタ。このビット・フィールドの値は 5'b00001 で、これは IEEE 802.3 のセレクタ値です。IEEE 802.3 規格の副条項 98.2.1.2.1 を参照してください。	0x1	R

BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0203、リセット：0x4000、レジスタ名：
AN_ADV_ABILITY_M

このアドレスは、802.3 規格の条項 45.2.7.21 で規定されている BASE-T1 オート・ネゴシエーション・アドバタイズメント・レジスタ、ビット[31:16]に対応しています。

表 157. AN_ADV_ABILITY_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R
14	AN_ADV_B10L	10BASE-T1L アビリティ。このビットは、デバイスが 10BASE-T1L と互換であることを示します。	0x1	R/W
[13:5]	RESERVED	予約済み。	0x0	R
4	AN_ADV_MST	リーダー／フォロア設定。このビットは、リーダー／フォロア設定を次のようにアドバタイズします。0 ではフォロア、1 ではリーダーです。AN_ADV_FORCE_MS ビットも参照してください。これは、このビットが優先値と強制値のどちらを表すかを決定します。IEEE 規格 802.3 の副条項 98.2.1.2.3 を参照してください（リーダー／フォロア設定は送信されたノンス・フィールドのビット 4 です）。	Pin Dependent	R/W
[3:0]	RESERVED	予約済み。	0x0	R

レジスタ

BASE-T1 オート・ネゴシエーション・アダプタイズメント・レジスタ、ビット[47:32]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0204、リセット : 0x0000、レジスタ名 : AN_ADV_ABILITY_H

このアドレスは、802.3 規格の条項 45.2.7.21 で規定されている BASE-T1 オート・ネゴシエーション・アダプタイズメント・レジスタ、ビット[47:32]に対応しています。

表 158. AN_ADV_ABILITY_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予約済み。	0x0	R
13	AN_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1L ハイ・レベル送信動作モード・アビリティ。このビットは、PHY がハイ・レベル (2.4V p-p) 送信動作モードで送信できることをアダプタイズします。このビットは、AN_ADV_B10L_TX_LVL_HI_REQ と共に使用され、10BASE-T1L 送信レベル (2.4V p-p または 1.0V p-p) を設定します。詳細については AN_ADV_B10L_TX_LVL_HI_REQ ビットを参照してください。	Pin dependent	R/W
12	AN_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1L ハイ・レベル送信動作モード・リクエスト。このビットは、PHY がハイ・レベル (2.4V p-p) 送信動作モードを使用することをリクエストしていることをアダプタイズします。送信レベルは次のように決定されます。少なくともどちらか一方の PHY がハイ・レベル送信に対応できない (AN_ADV_B10L_TX_LVL_HI_ABL = 0) 場合、どちらの PHY も低電圧 (1.0V p-p) 送信動作モードを使用しなくてはなりません。反対に、少なくともどちらか一方の PHY がハイ・レベル送信をリクエストしている (AN_ADV_B10L_TX_LVL_HI_REQ = 1) 場合、どちらの PHY も高電圧 (2.4V p-p) 送信動作モードを使用しなくてはなりません。詳細については IEEE P802.cg の副条項 146.6.4 を参照してください。	Pin dependent	R/W
[11:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オート・ネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0205、リセット : 0x0000、レジスタ名 : AN_LP_ADV_ABILITY_L

このアドレスは、802.3 規格の条項 45.2.7.22 で規定されているリンク・パートナーの BASE-T1 オート・ネゴシエーション・ベース・ページ・アビリティ・レジスタのビット[15:0]に対応しています。AN_LP_ADV_ABILITY_M レジスタおよび AN_LP_ADV_ABILITY_H レジスタの値は、AN_LP_ADV_ABILITY_L の読出し時にラッチされることに注意してください。

表 159. AN_LP_ADV_ABILITY_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_ADV_NEXT_PAGE_REQ	リンク・パートナー・ネクスト・ページ・リクエスト。このビットは、リンク・パートナーの PHY がネクスト・ページを送信しようとしていることを示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R
14	AN_LP_ADV_ACK	リンク・パートナー・アクノレッジ (ACK)。このビットは、デバイスがリンク・パートナーのリンク・コードワードを受信したことを示します。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_LP_ADV_REMOTE_FAULT	リンク・パートナー・リモート・フォルト。IEEE 802.3 規格の副条項 98.2.1.2.7 を参照してください。	0x0	R
12	AN_LP_ADV_FORCE_MS	リンク・パートナー強制リーダー／フォロア設定。このビットは、次の値でリンク・パートナーの強制リーダー／フォロア設定を示します。詳細については IEEE 802.3 規格の副条項 98.2.1.2.5 を参照してください。 0 : 優先モード (AN_LP_ADV_MST は優先設定)。 1 : 強制モード (AN_LP_ADV_MST は強制設定)。	0x0	R
[11:10]	AN_LP_ADV_PAUSE	リンク・パートナー一時停止アビリティ。このビット・フィールドは、全 2 重リンクでリンク・パートナーが非対称および対称の一時停止機能に対応していることを示します。詳細については IEEE 802.3 規格の副条項 98.2.1.2.6 を参照してください。	0x0	R
[9:5]	RESERVED	予約済み。	0x0	R
[4:0]	AN_LP_ADV_SELECTOR	リンク・パートナー・セクタ。このフィールドの値は 00001 で、これは IEEE 802.3 のセクタ値です。IEEE 802.3 規格の副条項 98.2.1.2.1 を参照してください。	0x0	R

レジスタ

BASE-T1 オート・ネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット [31:16]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0206、リセット : 0x0000、レジスタ名 : AN_LP_ADV_ABILITY_M

このアドレスは、802.3 規格の条項 45.2.7.22 で規定されているリンク・パートナーの BASE-T1 オート・ネゴシエーション・ベース・ページ・アビリティ・レジスタのビット[31:16]に対応しています。このレジスタの値は、AN_LP_ADV_ABILITY_L レジスタの読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 160. AN_LP_ADV_ABILITY_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R
14	AN_LP_ADV_B10L	リンク・パートナー10BASE-T1L アビリティ。このビットは、リンク・パートナーに 10BASE-T1L アビリティがあるかどうかを示します。	0x0	R
[13:8]	RESERVED	予約済み。	0x0	R
7	AN_LP_ADV_B1000	リンク・パートナー1000BASE-T1 アビリティ。このビットは、リンク・パートナーに 1000BASE-T1 アビリティがあるかどうかを示します。	0x0	R
6	AN_LP_ADV_B10S_FD	リンク・パートナー10BASE-T1S 全 2 重アビリティ。このビットは、リンク・パートナーに 10BASE-T1S アビリティがあるかどうかを示します。	0x0	R
5	AN_LP_ADV_B100	リンク・パートナー100BASE-T1 アビリティ。このビットは、リンク・パートナーに 100BASE-T1 アビリティがあるかどうかを示します。	0x0	R
4	AN_LP_ADV_MST	リンク・パートナー・リーダー／フォロア設定。このビットは、リンク・パートナーのリーダー／フォロア設定を次のように示します。0 ではフォロア、1 ではリーダーです。AN_LP_ADV_FORCE_MS ビットも参照してください。これは、このビットが優先値と強制値のどちらを表すかを決定します。IEEE 規格 802.3 の副条項 98.2.1.2.3 を参照してください（リーダー／フォロア設定は送信されたノンス・フィールドのビット 4 です）。	0x0	R
[3:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オート・ネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット [47:32]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0207、リセット : 0x0000、レジスタ名 : AN_LP_ADV_ABILITY_H

このアドレスは、802.3 規格の条項 45.2.7.22 で規定されているリンク・パートナーの BASE-T1 オート・ネゴシエーション・ベース・ページ・アビリティ・レジスタのビット[47:32]に対応しています。このレジスタの値は、AN_LP_ADV_ABILITY_L レジスタの読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 161. AN_LP_ADV_ABILITY_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R
14	AN_LP_ADV_B10L_EEE	リンク・パートナー10BASE-T1L EEE アビリティ。このビットは、リンク・パートナーが 10BASE-T1L 省電力イーサネット（energy efficient Ethernet）を使用できるかどうかを示します。	0x0	R
13	AN_LP_ADV_B10L_TX_LVL_HI_ABL	リンク・パートナーの 10BASE-T1L ハイ・レベル送信動作モード・アビリティ。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードで送信できるかどうかを示します。このビットは AN_LP_ADV_B10L_TX_LVL_HI_REQ と共に使用して 10BASE-T1L 送信レベル（2.4V p-p または 1.0V p-p）を設定します。詳細については、AN_ADV_B10L_TX_LVL_HI_REQ ビットを参照してください。	0x0	R
12	AN_LP_ADV_B10L_TX_LVL_HI_REQ	リンク・パートナーの 10BASE-T1L ハイ・レベル送信動作モード・リクエスト。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードを使用することをリクエストしているかどうかを示します。詳細については AN_ADV_B10L_TX_LVL_HI_REQ ビットを参照してください。	0x0	R
11	AN_LP_ADV_B10S_HD	リンク・パートナー10BASE-T1S 半 2 重アビリティ。このビットは、リンク・パートナーが 10BASE-T1S 半 2 重に対応しているかどうかを示します。	0x0	R
[10:0]	RESERVED	予約済み。	0x0	R

レジスタ

BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0208、リセット：0x2001、レジスタ名：AN_NEXT_PAGE_L

このアドレスは、802.3 規格の条項 45.2.7.23 で規定されている BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタのビット[15:0]に対応しています。パワーアップ時またはオート・ネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されたメッセージ・ページを表すデフォルト値が格納されます。AN_NEXT_PAGE_L の前に、AN_NEXT_PAGE_M と AN_NEXT_PAGE_H を書き込みます。

表 162. AN_NEXT_PAGE_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHY がネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R/W
14	AN_NP_ACK	ネクスト・ページ・アクノレッジ。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_NP_MESSAGE_PAGE	ネクスト・ページ・エンコード。ネクスト・ページのエンコードを次のように示します。 0：未フォーマット・ネクスト・ページ。 1：メッセージ・ネクスト・ページ。	0x1	R/W
12	AN_NP_ACK2	アクノレッジ 2。PHY がメッセージに従うことができるかどうかを示します。IEEE 802.3 規格の副条項 28.2.3.4.6 を参照してください。	0x0	R/W
11	AN_NP_TOGGLE	トグル・ビット。このトグル・ビットは、PHY 間でページを同期するために使用します。これは常に 0 が読み出されます（このトグル・ビットは、アービトラリション・ステート・マシンによって自動的に設定されます）。	0x0	R
[10:0]	AN_NP_MESSAGE_CODE	メッセージ/未フォーマット・コード・フィールド。メッセージ・ページ（AN_NP_MESSAGE_PAGE = 1）に有効な値は IEEE 802.3 規格で定義されています。 1：ヌル・メッセージ。 5：組織固有の識別子がタグ付けされたメッセージ。 6：オート・ネゴシエーション・デバイス識別子タグ・コード。	0x1	R/W

BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0209、リセット：0x0000、レジスタ名：AN_NEXT_PAGE_M

このアドレスは、802.3 規格の条項 45.2.7.23 で規定されている BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタのビット[31:16]に対応しています。パワーアップ時またはオート・ネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されたメッセージ・ページを表すデフォルト値が格納されます。AN_NEXT_PAGE_L の前に、AN_NEXT_PAGE_M と AN_NEXT_PAGE_H を書き込みます。

表 163. AN_NEXT_PAGE_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED1	未フォーマット・コード・フィールド 1。	0x0	R/W

BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020A、リセット：0x0000、レジスタ名：AN_NEXT_PAGE_H

このアドレスは、802.3 規格の条項 45.2.7.23 で規定されている BASE-T1 オート・ネゴシエーション・ネクスト・ページ送信レジスタのビット[47:32]に対応しています。パワーアップ時またはオート・ネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されたメッセージ・ページを表すデフォルト値が格納されます。AN_NEXT_PAGE_L の前に、AN_NEXT_PAGE_M と AN_NEXT_PAGE_H を書き込みます。

表 164. AN_NEXT_PAGE_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED2	未フォーマット・コード・フィールド 2。	0x0	R/W

BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020B、リセット：0x0000、レジスタ名：AN_LP_NEXT_PAGE_L

このアドレスは、802.3 規格の条項 45.2.7.24 で規定されている BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタのビット[15:0]に対応しています。このレジスタの読出し時に、AN_LP_NEXT_PAGE_M および AN_LP_NEXT_PAGE_H の値はラッチされます。

レジスタ

表 165. AN_LP_NEXT_PAGE_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHY がネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R
14	AN_LP_NP_ACK	リンク・パートナー・ネクスト・ページ・アクノレッジ。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_LP_NP_MESSAGE_PAGE	リンク・パートナーのネクスト・ページ・エンコード。リンク・パートナーのネクスト・ページのエンコードを次のように示します。 0：未フォーマット・ネクスト・ページ。 1：メッセージ・ネクスト・ページ。	0x0	R
12	AN_LP_NP_ACK2	リンク・パートナー・アクノレッジ 2。詳細については、AN_NP_ACK2 を参照してください。	0x0	R
11	AN_LP_NP_TOGGLE	リンク・パートナー・トグル・ビット。リンク・パートナーのトグル・ビットです。	0x0	R
[10:0]	AN_LP_NP_MESSAGE_CODE	リンク・パートナー・メッセージ/未フォーマット・コード・フィールド。詳細については、AN_NP_MESSAGE_PAGE を参照してください。 1：ヌル・メッセージ。 5：組織固有の識別子がタグ付けされたメッセージ。 6：オート・ネゴシエーション・デバイス識別子タグ・コード。	0x0	R

BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット [31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020C、リセット：0x0000、レジスタ名：AN_LP_NEXT_PAGE_M

このアドレスは、802.3 規格の条項 45.2.7.24 で規定されているリンク・パートナーの BASE-T1 オート・ネゴシエーション・ネクスト・ページ・アビリティ・レジスタのビット [31:16] に対応しています。このレジスタの値は、AN_LP_NEXT_PAGE_L の読出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 166. AN_LP_NEXT_PAGE_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED1	リンク・パートナー未フォーマット・コード・フィールド 1。	0x0	R

BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット [47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x020D、リセット：0x0000、レジスタ名：AN_LP_NEXT_PAGE_H

このアドレスは、802.3 規格の条項 45.2.7.24 で規定されている BASE-T1 オート・ネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット [47:32] に対応しています。このレジスタの値は、AN_LP_NEXT_PAGE_L の読出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 167. AN_LP_NEXT_PAGE_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED2	リンク・パートナー未フォーマット・コード・フィールド 2。	0x0	R

10BASE-T1 オート・ネゴシエーション制御レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x020E、リセット：0x8000、レジスタ名：AN_B10_ADV_ABILITY

このアドレスは、802.3cg 規格の条項 45.2.7.25 で規定されている 10BASE-T1 オート・ネゴシエーション制御レジスタに対応しています。

表 168. AN_B10_ADV_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_B10_ADV_B10L	10BASE-T1L アビリティ。これは AN_ADV_B10L レジスタの複製です。	0x1	R/W

レジスタ

表 168. AN_B10_ADV_ABILITY のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
14	AN_B10_ADV_B10L_EEE	10BASE-T1L EEE アビリティ。これは AN_ADV_B10L_EEE レジスタの複製です。	0x0	R
13	AN_B10_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1L ハイ・レベル送信動作モード・アビリティ。これは AN_ADV_B10L_TX_LVL_HI_ABL レジスタの複製です。	Pin Dependent	R/W
12	AN_B10_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1L ハイ・レベル送信動作モード・リクエスト。これは AN_ADV_B10L_TX_LVL_HI_REQ レジスタの複製です。	Pin Dependent	R/W
[11:0]	RESERVED	予約済み。	0x0	R

10BASE-T1 オート・ネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x020F、リセット：0x0000、レジスタ名：
AN_B10_LP_ADV_ABILITY

このアドレスは、802.3cg 規格の条項 45.2.7.26 で規定されている 10BASE-T1 オート・ネゴシエーション・ステータス・レジスタに対応しています。

表 169. AN_B10_LP_ADV_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_B10_LP_ADV_B10L	10BASE-T1L アビリティ。これは AN_LP_ADV_B10L レジスタの複製です。	0x0	R
14	AN_B10_LP_ADV_B10L_EEE	10BASE-T1L EEE アビリティ。これは AN_LP_ADV_B10L_EEE レジスタの複製です。	0x0	R
13	AN_B10_LP_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1L ハイ・レベル送信動作モード・アビリティ。これは AN_LP_ADV_B10L_TX_LVL_HI_ABL レジスタの複製です。	0x0	R
12	AN_B10_LP_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1L ハイ・レベル送信動作モード・リクエスト。これは AN_LP_ADV_B10L_TX_LVL_HI_REQ レジスタの複製です。	0x0	R
[11:8]	RESERVED	予約済み。	0x0	R
7	AN_B10_LP_ADV_B10S_FD	リンク・パートナー10BASE-T1S 全2重アビリティ。これは AN_LP_ADV_B10S_FD レジスタの複製です。	0x0	R
6	AN_B10_LP_ADV_B10S_HD	リンク・パートナー10BASE-T1S 半2重アビリティ。これは AN_LP_ADV_B10S_HD レジスタの複製です。	0x0	R
[5:0]	RESERVED	予約済み。	0x0	R

オート・ネゴシエーション強制モード・イネーブル・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x8000、リセット：0x0000、レジスタ名：
AN_FRC_MODE_EN

このレジスタの効果は、オート・ネゴシエーション・プロセスをイネーブルする AN_EN ビットによって上書きされる点に注意してください。オート・ネゴシエーションがディスエーブル（AN_EN = 0）されており、AN_FRC_MODE_EN が 1 の場合、強制モードが有効になります。

表 170. AN_FRC_MODE_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	AN_FRC_MODE_EN	オート・ネゴシエーション強制モード。強制モード機能をイネーブルします。	0x0	R/W

追加オート・ネゴシエーション・ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x8001、リセット：0x0000、レジスタ名：
AN_STATUS_EXTRA

このレジスタは、AN_STATUS に追加して提供されます。

表 171. AN_STATUS_EXTRA のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予約済み。	0x0	R

レジスタ

表 171. AN_STATUS_EXTRA のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
10	AN_LP_NP_RX	リンク・パートナーから受信したネクスト・ページ・リクエスト。	0x0	R LH
9	AN_INC_LINK	非互換リンク表示。これは、IEEE 802.3 規格の副条項 98.5.1 の非互換リンク状態に対応します。この値は、オート・ネゴシエーション・グッド・チェック状態に入る際に実行される優先度決定機能によって設定されます。	0x0	R
[8:7]	AN_TX_LVL_RSLTN	オート・ネゴシエーション Tx レベル結果。送信レベル・ハイ／ローの決定結果であり、IEEE 802.3cg 規格の副条項 146.6.4 に従って決定されます。これは以下の要領でエンコードされます。 0：不実行。 2：成功、ロー送信レベル（1.0V p-p）を選択。 3：成功、ハイ送信レベル（2.4V p-p）を選択。	0x0	R
[6:5]	AN_MS_CONFIG_RSLTN	リーダー／フォロアの決定結果。IEEE 802.3 規格のリーダー／フォロア設定に従って決定されます。これは以下の要領でエンコードされます。 0：不実行。 1：設定フォルト。 2：成功、PHY がフォロアに設定。 3：成功、PHY がリーダーに設定。	0x0	R
[4:1]	AN_HCD_TECH	最大公約数（HCD）PHY 技術。IEEE 802.3 規格の副条項 98.2.4.2 の優先度決定機能により選択。ここに示されていない値はすべて予約済みであることを考慮してください。 0：ヌル（不実行）。 1：10BASE-T1L。	0x0	R
0	AN_LINK_GOOD	オート・ネゴシエーション完了表示。これは、IEEE 802.3 規格の副条項 98.5.1 の an_link_good 状態に対応します。この信号はオート・ネゴシエーション送信が完了したことを示し、イネーブルされた PHY 技術がリンクを確立している途中、または既に確立済みであることを示します。AN_COMPLETE も参照してください。これは同様のものですが、PHY リンクが確立していることを示します。	0x0	R

PHY 即時ステータス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x8030、リセット：0x0010、レジスタ名：
AN_PHY_INST_STATUS

このレジスタ・アドレスにより、即時ステータス表示にアクセスできます。これらの値はラッチされません。また、ここで返された表示値のセットは、整合したセット、つまり、レジスタ・アドレスの読出し時に有効となる値のセットです。

表 172. AN_PHY_INST_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予約済み。	0x0	R
4	IS_AN_TX_EN	オート・ネゴシエーション Tx イネーブル・ステータス。オート・ネゴシエーションの送信をイネーブル。このビットは、オート・ネゴシエーションがアクティブでトランスミッタを制御しており、アービトレーションがまだオート・ネゴシエーション（AN）グッド・チェック状態、または AN グッド状態に達していないことを示します。つまり、link_control 信号はイネーブルには設定されていません。	0x1	R
3	IS_CFG_MST	リーダーのステータス。link_control = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、PHY がリーダーとして動作している（フォロアとしては動作していない）かどうかを示します。	0x0	R
2	IS_CFG_SLV	フォロアのステータス。link_control = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、PHY がフォロアとして動作している（リーダーとしては動作していない）かどうかを示します。	0x0	R
1	IS_TX_LVL_HI	Tx レベル・ハイ・ステータス。PHY がロー送信レベル（1.0V）ではなく、ハイ送信レベル（2.4V）で動作していることを示します。	0x0	R
0	IS_TX_LVL_LO	Tx レベル・ロー・ステータス。PHY がハイ送信レベル（2.4V）ではなく、ロー送信レベル（1.0V）で動作していることを示します。	0x0	R

レジスタ

ベンダ固有 MMD 1 デバイス識別子ハイ・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0002、リセット : 0x0283、レジスタ名 : MMD1_DEV_ID1

このアドレスは、802.3 規格の条項 45.2.11.1 で規定されているベンダ固有 MMD 1 デバイス識別子レジスタに対応し、組織固有識別子 (OUI) の 16 ビットをモニタできます。

表 173. MMD1_DEV_ID1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEV_ID1	組織固有識別子。ビット[3:18]	0x283	R

ベンダ固有 MMD 1 デバイス識別子ロー・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0003、リセット : 0xBC91、レジスタ名 : MMD1_DEV_ID2

このアドレスは、802.3 規格の条項 45.2.11.1 で規定されているベンダ固有 MMD 1 デバイス識別子レジスタに対応し、OUI の 6 ビットと、モデル番号およびリビジョン番号をモニタできます。

表 174. MMD1_DEV_ID2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD1_DEV_ID2_OUI	組織固有識別子。ビット[19:24]	0x2F	R
[9:4]	MMD1_MODEL_NUM	モデル番号。	0x9	R
[3:0]	MMD1_REV_NUM	リビジョン番号。	0x1	R

パッケージ内のベンダ固有 1 MMD デバイス・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0005、リセット : 0x008B、レジスタ名 : MMD1_DEVS_IN_PKG1

条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。

表 175. MMD1_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG1	パッケージ内のベンダ固有 1 MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。	0x8B	R

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : MMD1_DEVS_IN_PKG2

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 176. MMD1_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG2	パッケージ内のベンダ固有 1 MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

ベンダ固有 MMD 1 ステータス・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0008、リセット : 0x8000、レジスタ名 : MMD1_STATUS

このアドレスは、802.3 規格の条項 45.2.11.2 で規定されているベンダ固有 MMD 1 ステータス・レジスタに対応しています。

表 177. MMD1_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD1_STATUS	ベンダ固有 1 MMD ステータス。 10 : デバイスはこのアドレスに対応。 11 : このアドレスに対応するデバイスはなし。 01 : このアドレスに対応するデバイスはなし。 00 : このアドレスに対応するデバイスはなし。	0x2	R
[13:0]	RESERVED	予約済み。	0x0	R

レジスタ

システム割込みステータス・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0010、リセット : 0x1000、レジスタ名 : CRSM_IRQ_STATUS

このアドレスは、どの割込みリクエストが最後の読出し以降にトリガされたのかを確認するのに使用します。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。CRSM_IRQ_STATUSのビットは、関連する割込みがイネーブルされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムに致命的なエラーがあることを意味します。

表 178. CRSM_IRQ_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_LH	ソフトウェア・リクエストによる割込みイベント。	0x0	R LH
[14:13]	RESERVED	予約済み。	0x0	R
12	CRSM_HRD_RST_IRQ_LH	ハードウェア・リセット割込み。	0x1	R LH
[11:0]	RESERVED	予約済み。	0x0	R LH

システム割込みマスク・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0020、リセット : 0x1FFE、レジスタ名 : CRSM_IRQ_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 179. CRSM_IRQ_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_REQ	ソフトウェア割込み要求。ソフトウェアは、システム・レベルのテストの割込みを生成するためにこのビットをセットできます。このビットは、セルフ・クリアされるため、常に0が読み出されます。	0x0	R/W SC
[14:13]	RESERVED	予約済み。	0x0	R
12	CRSM_HRD_RST_IRQ_EN	ハードウェア・リセットの割込みをイネーブル。このレジスタはハードウェア・リセットが発生したときに初期化されるため、このレジスタに0を書き込んでも割込みはマスクされません。	0x1	R/W
[11:0]	RESERVED	予約済み。	0xFFE	R/W

ソフトウェア・リセット・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8810、リセット : 0x0000、レジスタ名 : CRSM_SFT_RST

表 180. CRSM_SFT_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_SFT_RST	ソフトウェア・リセット・レジスタ。ソフトウェア・リセット・ビットを使用するとチップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。	0x0	R/W SC

ソフトウェア・パワーダウン制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8812、リセット : 0x0000、レジスタ名 : CRSM_SFT_PD_CNTRL

表 181. CRSM_SFT_PD_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・レジスタは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対する MDIO アクセスは引き続き可能です。このレジスタのデフォルト値は、SWPD_EN ピンを使用して設定できます。これにより、適切なソフトウェア初期化が行われるまで、チップをパワーダウン・モードに保持できます。	Pin dependent	R/W

レジスタ

PHY サブシステム・リセット・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8814、リセット : 0x0000、レジスタ名 : CRSM_PHY_SUBSYS_RST

表 182. CRSM_PHY_SUBSYS_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_PHY_SUBSYS_RST	PHY サブシステム・リセット。PHY サブシステム・リセット・レジスタを使用すると、管理されたサブシステム・リセットを開始できます。PHY サブシステムがリセットされると、通常の動作が再開され、ビットはセルフ・クリアされます。	0x0	R/W SC

PHY MAC インターフェース・リセット・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8815、リセット : 0x0000、レジスタ名 : CRSM_MAC_IF_RST

表 183. CRSM_MAC_IF_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_MAC_IF_RST	PHY MAC インターフェース・リセット。PHY MAC サブシステム・リセット・レジスタを使用すると、管理された PHY MAC インターフェース・リセットを開始できます。PHY MAC インターフェースがリセットされると、通常の動作が再開され、ビットはセルフ・クリアされます。	0x0	R/W SC

システム・ステータス・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8818、リセット : 0x0000、レジスタ名 : CRSM_STAT

表 184. CRSM_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
1	CRSM_SFT_PD_RDY	ソフトウェア・パワーダウン・ステータス。このビットは、システムがソフトウェア・パワーダウン状態にあることを示します。	0x0	R
0	CRSM_SYS_RDY	システム・レディ。このビットは、スタートアップ・シーケンスが完了し、システムに通常動作の準備ができていることを示します。	0x0	R

CRSM パワー・マネージメント制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8819、リセット : 0x0000、レジスタ名 : CRSM_PMG_CNTRL

表 185. CRSM_PMG_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_FRC_OSC_EN	強制デジタル・ブート発振器クロック・イネーブル。	0x0	R/W

CRSM 診断クロック制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x882C、リセット : 0x0002、レジスタ名 : CRSM_DIAG_CLK_CTRL

CRSM 診断クロック制御。

表 186. CRSM_DIAG_CLK_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x1	R
0	CRSM_DIAG_CLK_EN	診断クロックをイネーブルします。	0x0	R/W

レジスタ

パッケージ設定値レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C22、リセット : 0x0000、レジスタ名 : MGMT_PRT_PKG

MGMT_CFG_VAL アドレスを使用すると、パッケージ設定値の読出しができます。

表 187. MGMT_PRT_PKG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予約済み。	0x0	R
[5:0]	MGMT_PRT_PKG_VAL	パッケージのタイプ。1 = 32 ピン LFCSP パッケージ。	0x1	R

MDIO 制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C30、リセット : 0x0000、レジスタ名 : MGMT_MDIO_CNTRL

表 188. MGMT_MDIO_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	MGMT_GRP_MDIO_EN	MDIO PHY/ポート・グループ・アドレス・モードをイネーブル。このモードでは、PHY は自身の PHY/ポート・アドレスとは無関係に、5 ビットの PHY アドレス 31 (10 進数) への書込みまたはアドレス操作に応答します。この機能は、マルチポート・アプリケーションでの初期化シーケンスのみを目的としたもので、これらの場合にのみセットし、初期化の完了後は直ちにクリアする必要があります。	0x0	R/W

ピン・マルチプレクサ設定 1 レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C56、リセット : 0x00FE、レジスタ名 : DIGIO_PINMUX

表 189. DIGIO_PINMUX のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
[7:6]	DIGIO_TSTIMER_PINMUX	TS_TIMER 用ピン・マルチプレクサ・セレクト。 00 : RXD_1。 01 : LED_0。 10 : INT。 11 : TS_TIMER 未割当て。	0x3	R/W
[5:4]	DIGIO_TSCAPT_PINMUX	TS_CAPT 用ピン・マルチプレクサ・セレクト。 00 : TXD_1。 01 : LED_1。 10 : MDIO。 その他 : TS_CAPT 未割当て。	0x3	R/W
[3:1]	DIGIO_LED1_PINMUX	LED_1 用ピン・マルチプレクサ・セレクト。 000 : LED_1。 001 : TX_ER。 010 : TX_EN。 011 : TX_CLK。 100 : TXD_0。 101 : TXD_2。 110 : LINK_ST。 111 : LED_1 出力がイネーブルされていない。	0x7	R/W
0	DIGIO_LINK_ST_POLARITY	LINK_ST の極性。 0 : ハイにアサート。 1 : ローにアサート。	0x0	R/W

レジスタ

LED_0 オン/オフ点滅時間レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C80、リセット : 0x3636、レジスタ名 : LED0_BLINK_TIME_CNTRL

LED オン点灯時間 = LED0_ON_N4MS × 4 ms。

LED オフ消灯時間 = LED0_OFF_N4MS × 4 ms。

LEDx_MODE=0 で LEDx_FUNCTION が点滅に設定されている場合、LED のアクティビティは LED オフ・シーケンスから始まり、次いで LED オン・シーケンスが続き、その後はこれを繰り返します。

LEDx_MODE=1 で LEDx_FUNCTION が点滅に設定されている場合、LED のアクティビティは LED オン・シーケンスから始まり、次いで LED オフ・シーケンスが続き、その後はこれを繰り返します。

LEDx_OFF_N4MS = LEDx_ON_N4MS = 0 の場合、これは、LEDx_FUNCTION で選択された内部アクティビティ信号をライブでモニタできる特別なケースです。

LEDx_FUNCTION がリンクとアクティビティ信号を組み合わせたものにプログラムされていると、リンクが確立されアクティビティがない場合、LED はオンになります。LED はリンクが失われるかアクティビティを受けた場合にオフになります。

LEDx_FUNCTION がアクティビティ信号にプログラムされていると、LED はアクティビティがない場合にオフになります。アクティビティを受けると LED はオンに切り替わります。

表 190. LED0_BLINK_TIME_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	LED0_ON_N4MS	LED_0 のオン点灯時間。LED_0 のオン点灯時間は $4\text{ms} \times \text{LED0_ON_N4MS}$ ビット・フィールドで計算できます。3 より大きな値とすることを推奨します。	0x36	R/W
[7:0]	LED0_OFF_N4MS	LED_0 のオフ消灯時間。LED_0 のオフ消灯時間は $4\text{ms} \times \text{LED0_OFF_N4MS}$ ビット・フィールドで計算できます。3 より大きな値とすることを推奨します。	0x36	R/W

LED 1 オン/オフ点滅時間レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C81、リセット : 0x3636、レジスタ名 : LED1_BLINK_TIME_CNTRL

LED オン点灯時間 = LED1_ON_N4MS × 4 ms。

LED オフ消灯時間 = LED1_OFF_N4MS × 4 ms。

LEDx_MODE=0 で LEDx_FUNCTION が点滅に設定されている場合、LED のアクティビティは LED オフ・シーケンスから始まり、次いで LED オン・シーケンスが続き、その後はこれを繰り返します。

LEDx_MODE=1 で LEDx_FUNCTION が点滅に設定されている場合、LED のアクティビティは LED オン・シーケンスから始まり、次いで LED オフ・シーケンスが続き、その後はこれを繰り返します。

LEDx_OFF_N4MS = LEDx_ON_N4MS = 0 の場合、これは、LEDx_FUNCTION で選択された内部アクティビティ信号をライブでモニタできる特別なケースです。

LEDx_FUNCTION がリンクとアクティビティ信号を組み合わせたものにプログラムされていると、リンクが確立されアクティビティがない場合、LED はオンになります。LED はリンクが失われるかアクティビティを受けた場合にオフになります。

LEDx_FUNCTION がアクティビティ信号にプログラムされていると、LED はアクティビティがない場合にオフになります。アクティビティを受けると LED はオンに切り替わります。

レジスタ

表 191. LED1_BLINK_TIME_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	LED1_ON_N4MS	LED_1 のオン点灯時間。LED_1 のオン点灯時間は $4\text{ ms} \times \text{LED1_ON_N4MS}$ ビット・フィールドで計算できます。3 より大きな値とすることを推奨します。	0x36	R/W
[7:0]	LED1_OFF_N4MS	LED_1 のオフ消灯時間。LED_1 のオフ消灯時間は $4\text{ ms} \times \text{LED1_OFF_N4MS}$ ビット・フィールドで計算できます。3 より大きな値とすることを推奨します。	0x36	R/W

LED 制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C82、リセット : 0x8480、レジスタ名 : LED_CNTRL

LED 制御レジスタ。

表 192. LED_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	LED1_EN	LED 1 イネーブル。ディスエーブルされた LED はオフになります。イネーブルされた LED は、LED1_FUNCTION の選択とアクティビティに応じて、オンになるか点滅します。	0x1	R/W
14	LED1_LINK_ST_QUALIFY	特定の LED 1 オプションをリンク・ステータスで適格化。 0 : TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアは link_status では適格化されません。 1 : TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアは link_status で適格化されます。	0x0	R/W
13	LED1_MODE	LED 1 モード選択。 0 : LED モード 1。アクティビティがある場合、MMR LED1_BLINK_TIME_CNTRL で定義されたレートで点滅。 1 : LED モード 2。LED の点滅周期はアクティビティのレベルに応じて設定されます。アクティビティ・レベルは、10%刻みで変化し、それに対応して LED の点滅頻度も調整されます。アクティビティ・レベルが高くなると、オフ時間が長くなりオン時間が短くなります。アクティビティ・レベルは、640ms~1.5s の間で変化するウィンドウ時間後に再評価されます。	0x0	R/W
[12:8]	LED1_FUNCTION	LED_1 のピン機能。LED_1 ピンのソース・アクティビティを決定します。CLK25_REF、TX_TCLK、CLK_120MHZ の各オプションは、LED コントローラをバイパスしたクロック・アウト機能です。チップから送信される波形は選択したクロック源の周波数によって異なります。 次の LED1_FUNCTION 設定は link_status では適格化されません。 LED1_FUNCTION = オン、オフ、点滅、INCOMPATIBLE_LINK_CFG、AN_LINK_GOOD、AN_COMPLETE、LOC_RCVR_STATUS、REM_RCVR_STATUS、CLK25_REF、TX_TCLK、CLK_120MHz。 TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアの各オプションは、link_status によって適格化することができ、この制御は、LED1_LINK_ST_QUALIFY MMR で行われます。 TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロア、MSTR_SLV_FAULT、AN_LINK_GOOD、AN_COMPLETE、TS_TIMER の各オプションは、ステータス・インジケータと見なされ、LED コントローラは使用されません。プログラムされた信号がハイの場合、LED は静的にオンとなり、プログラムされた信号がローの場合は、LED は静的にオフとなります。 0 : LINKUP_TXRX_ACTIVITY。 1 : LINKUP_TX_ACTIVITY。 2 : LINKUP_RX_ACTIVITY。 3 : LINKUP_ONLY。 4 : TXRX_ACTIVITY。 5 : TX_ACTIVITY。 6 : RX_ACTIVITY。 7 : LINKUP_RX_ER。 8 : LINKUP_RX_TX_ER。 9 : RX_ER。 10 : RX_TX_ER。 11 : TX_SOP。 12 : RX_SOP。 13 : オン。 14 : オフ。	0xE	R/W

レジスタ

表 192. LED_CNTRL のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		15 : 点滅。 16 : TX_LEVEL_2P4。 17 : TX_LEVEL_1P0。 18 : リーダー。 19 : フォロア。 20 : INCOMPATIBLE_LINK_CFG。 21 : AN_LINK_GOOD。 22 : AN_COMPLETE。 23 : TS_TIMER。 24 : LOC_RCVR_STATUS。 25 : REM_RCVR_STATUS。 26 : CLK25_REF。 27 : TX_TCLK。 28 : CLK_120MHZ。		
7	LED0_EN	LED 0 イネーブル。ディスエーブルされた LED はオフになります。イネーブルされた LED は、LED0_FUNCTION の選択とアクティビティに応じて、オンになるか点滅します。	0x1	R/W
6	LED0_LINK_ST_QUALIFY	特定の LED 0 オプションを link_status で適格化。 0 : TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアは link_status では適格化されません。 1 : TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアは link_status で適格化されます。	0x0	R/W
5	LED0_MODE	LED 0 モード選択。 0 : LED モード 1。アクティビティがある場合、MMR LED0_BLINK_TIME_CNTRL で定義されたレートで点滅。 1 : LED モード 2。LED の点滅周期はアクティビティのレベルに応じて設定されます。アクティビティ・レベルは、10%刻みで変化し、それに対応して LED の点滅頻度も調整されます。アクティビティ・レベルが高くなると、オフ時間が長くなりオン時間が短くなります。アクティビティ・レベルは、640ms~1.5s の間で変化するウィンドウ時間後に再評価されます。	0x0	R/W
[4:0]	LED0_FUNCTION	LED_0 のピン機能。LED_0 ピンのソース・アクティビティを決定します。CLK25_REF、TX_TCLK、CLK_120MHZ の各オプションは、LED コントローラをバイパスしたクロック・アウト機能です。チップから送信される波形は選択したクロック源の周波数によって異なります。 次の LED_FUNCTION 設定は link_status では適格化されません。 LED_FUNCTION = オン、オフ、点滅、INCOMPATIBLE_LINK_CFG、AN_LINK_GOOD、AN_COMPLETE、LOC_RCVR_STATUS、REM_RCVR_STATUS、CLK25_REF、TX_TCLK、CLK_120MHz。 TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアの各オプションは、リンク・ステータスによって適格化することができ、この制御は、LED0_LINK_ST_QUALIFY MMR で行われます。 TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロア、MSTR_SLV_FAULT、AN_LINK_GOOD、AN_COMPLETE、TS_TIMER。これらのオプションは、ステータス・インジケータと見なされ、LED コントローラは使用されません。プログラムされた信号がハイの場合、LED は静的にオンとなり、プログラムされた信号がローの場合は、LED は静的にオフとなります。 0 : LINKUP_TXRX_ACTIVITY。 1 : LINKUP_TX_ACTIVITY。 2 : LINKUP_RX_ACTIVITY。 3 : LINKUP_ONLY。 4 : TXRX_ACTIVITY。 5 : TX_ACTIVITY。 6 : RX_ACTIVITY。 7 : LINKUP_RX_ER。 8 : LINKUP_RX_TX_ER。 9 : RX_ER。 10 : RX_TX_ER。 11 : TX_SOP。 12 : RX_SOP。	0x0	R/W

レジスタ

表 192. LED_CNTRL のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		13 : オン。 14 : オフ。 15 : 点滅。 16 : TX_LEVEL_2P4。 17 : TX_LEVEL_1P0。 18 : リーダー。 19 : フォロア。 20 : INCOMPATIBLE_LINK_CFG。 21 : AN_LINK_GOOD。 22 : AN_COMPLETE。 23 : TS_TIMER。 24 : LOC_RCVR_STATUS。 25 : REM_RCVR_STATUS。 26 : CLK25_REF。 27 : TX_TCLK。 28 : CLK_120MHZ。		

LED 極性レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C83、リセット : 0x0000、レジスタ名 : LED_POLARITY

LED 極性が内部ロジックによって自動的に検出できるか、ユーザによって再設定できます。

表 193. LED_POLARITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
[3:2]	LED1_POLARITY	LED 1 の極性。 0 : LED オートセンス。オートセンスに従い、LED はアクティブ・ハイまたはアクティブ・ロー。 1 : LED アクティブ・ハイ。 2 : LED アクティブ・ロー。	0x0	R/W
[1:0]	LED0_POLARITY	LED 0 の極性。 0 : LED オートセンス。オートセンスに従い、LED はアクティブ・ハイまたはアクティブ・ロー。 1 : LED アクティブ・ハイ。 2 : LED アクティブ・ロー。	0x0	R/W

ベンダ固有 MMD 2 デバイス識別子ハイ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0002、リセット : 0x0283、レジスタ名 : MMD2_DEV_ID1

表 194. MMD2_DEV_ID1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEV_ID1	ベンダ固有 2 MMD デバイス識別子。	0x283	R

レジスタ

ベンダ固有 MMD 2 デバイス識別子ロー・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0003、リセット : 0xBC91、レジスタ名 : MMD2_DEV_ID2

表 195. MMD2_DEV_ID2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD2_DEV_ID2_OUI	OUI ビット。	0x2F	R
[9:4]	MMD2_MODEL_NUM	モデル番号。	0x9	R
[3:0]	MMD2_REV_NUM	リビジョン番号。	0x1	R

パッケージ内のベンダ固有 2 MMD デバイス・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0005、リセット : 0x008B、レジスタ名 : MMD2_DEVS_IN_PKG1

条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。

表 196. MMD2_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG1	パッケージ 1 のベンダ固有 2 MMD。条項 22 レジスタと、PMA/PMD、PCS、オート・ネゴシエーションの各 MMD があります。	0x8B	R

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : MMD2_DEVS_IN_PKG2

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 197. MMD2_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG2	パッケージ 2 のベンダ固有 2 MMD。ベンダ固有 1 MMD およびベンダ固有 2 MMD があります。	0xC000	R

ベンダ固有 MMD 2 ステータス・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0008、リセット : 0x8000、レジスタ名 : MMD2_STATUS

このアドレスはベンダ固有 MMD 2 ステータス・レジスタに対応します。

表 198. MMD2_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD2_STATUS	ベンダ固有 2 MMD ステータス。 10 : デバイスはこのアドレスに対応。 11 : このアドレスに対応するデバイスはなし。 01 : このアドレスに対応するデバイスはなし。 00 : このアドレスに対応するデバイスはなし。	0x2	R
[13:0]	RESERVED	予約済み。	0x0	R

PHY サブシステム割込みステータス・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0011、リセット : 0x0000、レジスタ名 : PHY_SUBSYS_IRQ_STATUS

このアドレスを読み出すと、どの割込みリクエストが最後の読出し以降に発生したのかを確認できます。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。PHY_SUBSYS_IRQ_STATUS のビットは、PHY_SUBSYS_IRQ_MASK 内の関連するビットがセットされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムに致命的なエラーがあることを意味します。

表 199. PHY_SUBSYS_IRQ_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R LH
14	MAC_IF_FC_FG_IRQ_LH	MAC インターフェースのフレーム・チェッカ/ジェネレータ割込み。	0x0	R LH

レジスタ

表 199. PHY_SUBSYS_IRQ_STATUS のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
13	MAC_IF_EBUF_ERR_IRQ_LH	MAC インターフェースのバッファ・オーバーフロー／アンダーフロー割込み。	0x0	R LH
12	RESERVED	予約済み。	0x0	R LH
11	AN_STAT_CHNG_IRQ_LH	オート・ネゴシエーションのステータス変化割込み。	0x0	R LH
[10:2]	RESERVED	予約済み。	0x0	R LH
1	LINK_STAT_CHNG_LH	リンク・ステータスの変化。	0x0	R LH
0	RESERVED	予約済み。	0x0	R LH

PHY サブシステム割込みマスク・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x0021、リセット：0x2402、レジスタ名：PHY_SUBSYS_IRQ_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 200. PHY_SUBSYS_IRQ_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R/W SC
14	MAC_IF_FC_FG_IRQ_EN	MAC インターフェースのフレーム・チェッカ／ジェネレータ割込みをイネーブル。	0x0	R/W
13	MAC_IF_EBUF_ERR_IRQ_EN	MAC インターフェースのバッファ・オーバーフロー／アンダーフロー割込みをイネーブル。	0x1	R/W
12	RESERVED	予約済み。	0x0	R/W
11	AN_STAT_CHNG_IRQ_EN	オート・ネゴシエーション・ステータス変化割込みをイネーブル。	0x0	R/W
[10:2]	RESERVED	予約済み。	0x100	R/W
1	LINK_STAT_CHNG_IRQ_EN	リンク・ステータス変化割込みをイネーブル。	0x1	R/W
0	RESERVED	予約済み。	0x0	R/W

フレーム・チェッカ・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8001、リセット：0x0001、レジスタ名：FC_EN

このレジスタは、フレーム・チェッカをイネーブルするのに使用します。フレーム・チェッカは、MAC インターフェースまたは PHY (FC_TX_SEL レジスタを参照) から受信したフレームを分析して、受信したフレーム数、CRC エラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

表 201. FC_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FC_EN	フレーム・チェッカ・イネーブル。フレーム・チェッカをイネーブルするには 1 に設定します。	0x1	R/W

フレーム・チェッカ割込みイネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8004、リセット：0x0001、レジスタ名：FC_IRQ_EN

このレジスタは、フレーム・チェッカの割込みをイネーブルするのに使用します。受信エラーが発生すると、割込みが生成されます。フレーム・チェッカ／ジェネレータの割込みは PHY_SUBSYS_IRQ_MASK レジスタでイネーブルします。MAC_IF_FC_FG_IRQ_EN ビットをセットしてください。

ステータスは、PHY_SUBSYS_IRQ_STATUS レジスタの MAC_IF_FC_FG_IRQ_LH ビットを介して読み出せます。

表 202. FC_IRQ_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FC_IRQ_EN	フレーム・チェッカ割込みイネーブル。セットすると、このビットはフレーム・チェッカ割込みをイネーブルします。	0x1	R/W

レジスタ

フレーム・チェッカ送信選択レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8005、リセット : 0x0000、レジスタ名 : FC_TX_SEL

このレジスタは、送信側または受信側のどちらのフレームをチェックするかを選択します。セットすると、MAC インターフェースから受信した送信フレームがチェックされます。フレーム・チェッカを使用すると、MAC インターフェース経由で正しいデータが受信されたことを検証できます。また、MAC インターフェースでループバックされた後の受信データをチェックするのにも使用できるため、リモート・ループバックを有効にした場合も便利です (MAC_IF_LOOPBACK レジスタの MAC_IF_REM_LB_EN ビットを参照)。

表 203. FC_TX_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FC_TX_SEL	フレーム・チェッカ送信選択。このビットをセットすると、PHY によって送信される、受信済みフレームをフレーム・チェッカがチェックするように指定します。 1 : MAC インターフェースから受信され、PHY が送信するフレームをチェックする。 0 : リモート・エンドから送信され、PHY が受信したフレームをチェックする。	0x0	R/W

受信エラー・カウンタ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8008、リセット : 0x0000、レジスタ名 : RX_ERR_CNT

受信エラー・カウンタ・レジスタは、PHY のフレーム・チェッカに関連付けられた受信エラー・カウンタへのアクセスに使用します。

表 204. RX_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	RX_ERR_CNT	受信エラー・カウンタ。これは、PHY のフレーム・チェッカに関連付けられた受信エラー・カウンタです。このビットは読み出し時にセルフ・クリアされることに注意してください。	0x0	R SC

フレーム・チェッカ・カウンタ・ハイ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8009、リセット : 0x0000、レジスタ名 : FC_FRM_CNT_H

このレジスタは、32 ビットの受信フレーム・カウンタ・レジスタのビット[31:16]をラッチしたコピーです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 205. FC_FRM_CNT_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_H	受信フレーム数をラッチしたコピーのビット[31:16]。	0x0	R

フレーム・チェッカ・カウンタ・ロー・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x800A、リセット : 0x0000、レジスタ名 : FC_FRM_CNT_L

このレジスタは、32 ビットの受信フレーム・カウンタ・レジスタのビット[15:0]をラッチしたコピーです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 206. FC_FRM_CNT_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_L	受信フレーム数をラッチしたコピーのビット[15:0]。	0x0	R

レジスタ

フレーム・チェッカ・レングス・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800B、リセット：0x0000、レジスタ名：FC_LEN_ERR_CNT

このレジスタは、フレーム長エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム長エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、フレーム長エラー・カウンタ・レジスタがラッチされるため、フレーム長エラー・カウンタと受信フレーム・カウンタが同期します。

表 207. FC_LEN_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_LEN_ERR_CNT	フレーム長エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・アライメント・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800C、リセット：0x0000、レジスタ名：FC_ALGN_ERR_CNT

このレジスタは、フレーム・アライメント・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、アライメント・エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、アライメント・エラー・カウンタがラッチされるため、フレーム・アライメント・エラー・カウンタと受信フレーム・カウンタが同期します。

表 208. FC_ALGN_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ALGN_ERR_CNT	フレーム・アライメント・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・シンボル・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800D、リセット：0x0000、レジスタ名：FC_SYMB_ERR_CNT

このレジスタは、シンボル・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、RX_ER と RX_DV の両方がセットされた受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、シンボル・エラー・カウンタがラッチされるため、シンボル・エラー・カウンタとフレーム受信・カウンタが同期します。

表 209. FC_SYMB_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_SYMB_ERR_CNT	シンボル・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・オーバーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800E、リセット：0x0000、レジスタ名：FC_OSZ_CNT

このレジスタは、オーバーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム・チェッカ最大フレーム・サイズ (FC_MAX_FRM_SIZE) で指定された長さを超える受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、オーバーサイズ・フレーム・カウンタ・レジスタがラッチされるため、オーバーサイズ・エラー・カウンタと受信フレーム・カウンタが同期します。

表 210. FC_OSZ_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_OSZ_CNT	オーバーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・アンダーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800F、リセット：0x0000、レジスタ名：FC_USZ_CNT

このレジスタは、アンダーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、長さが 64 バイト未満の受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、アンダーサイズ・フレーム・エラー・カウンタがラッチされるため、アンダーサイズ・フレーム・エラー・カウンタと受信フレーム・カウンタが同期します。

レジスタ

表 211. FC_USZ_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_USZ_CNT	アンダーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ奇数ニブル・フレーム・カウント・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8010、リセット : 0x0000、レジスタ名 : FC_ODD_CNT

このレジスタは、奇数ニブル・フレーム・レジスタをラッチしたコピーです。このレジスタは、フレーム内に奇数個のニブルを持つ受信フレームのカウントです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、奇数ニブル・フレーム・カウンタ・レジスタがラッチされるため、奇数ニブル・フレーム・カウントと受信フレーム・カウントが同期します。

表 212. FC_ODD_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_CNT	奇数ニブル・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ奇数プリアンブル・パケット・カウント・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8011、リセット : 0x0000、レジスタ名 : FC_ODD_PRE_CNT

このレジスタは、奇数プリアンブル・パケット・カウンタ・レジスタをラッチしたコピーです。このレジスタは、プリアンブル内に奇数個のニブルを持つ受信パケットのカウントです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、奇数プリアンブル・パケット・カウンタ・レジスタがラッチされるため、奇数プリアンブル・パケット・カウントと受信フレーム・カウントが同期します。

表 213. FC_ODD_PRE_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_PRE_CNT	奇数プリアンブル・パケット・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ偽キャリア・カウンタ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8013、リセット : 0x0000、レジスタ名 : FC_FALSE_CARRIER_CNT

このレジスタは、偽キャリア・イベント・カウンタ・レジスタをラッチしたコピーです。これは、不正 SSD 状態になった回数のカウントです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、偽キャリア・イベント・カウンタ・レジスタがラッチされるため、偽キャリア・イベント・カウンタと受信フレーム・カウントが同期します。

表 214. FC_FALSE_CARRIER_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FALSE_CARRIER_CNT	偽キャリア・イベント・カウンタをラッチしたコピー。	0x0	R

フレーム・ジェネレータ・イネーブル・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8020、リセット : 0x0000、レジスタ名 : FG_EN

このレジスタは、フレーム・ジェネレータをイネーブルするのに使用します。フレーム・ジェネレータをイネーブルした場合、PHY のデータ・ソースは MAC インターフェースではなくフレーム・ジェネレータから取得されます。フレーム・ジェネレータを使用するには、診断クロックもイネーブルする必要があります (DIAG_CLK_EN)。

表 215. FG_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FG_EN	フレーム・ジェネレータ・イネーブル。	0x0	R/W

レジスタ

フレーム・ジェネレータ制御／再起動レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8021、リセット：0x0001、レジスタ名：FG_CNTRL_RSTRT

このレジスタは、フレーム・ジェネレータを制御します。FG_CNTRL ビット・フィールドは、フレーム・ジェネレータが使用するデータ・フィールド・タイプ（ランダムやすべてゼロなど）を指定します。FG_RSTRT ビットによってフレーム・ジェネレータが再起動します。

表 216. FG_CNTRL_RSTRT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	FG_RSTRT	フレーム・ジェネレータの再起動。このビットをセットすると、フレーム・チェッカが再起動します。このビットはセルフ・クリア・ビットです。	0x0	R/W SC
[2:0]	FG_CNTRL	フレーム・ジェネレータの再起動。このビットをセットすると、フレーム・チェッカが再起動します。このビットはセルフ・クリア・ビットです。 フレーム・ジェネレータ完了の制御。 000：現在のフレーム完了後はフレームなし。 001：乱数のデータ・フレーム。 010：すべてゼロのデータ・フレーム。 011：すべて 1 のデータ・フレーム。 100：ゼロと 1 が交互に現れる 0x55 データ・フィールド。 101：データ・フィールドが 255（10 進数）から 0 に減少。	0x1	R/W

フレーム・ジェネレータ連続モード・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8022、リセット：0x0000、レジスタ名：FG_CONT_MODE_EN

このレジスタは、フレーム・ジェネレータを連続モードにするのに使用します。デフォルトの動作モードはバースト・モードです。バースト・モードの場合、生成フレームの数は、FG_NFRM_H レジスタと FG_NFRM_L レジスタで指定します。

表 217. FG_CONT_MODE_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FG_CONT_MODE_EN	フレーム・ジェネレータ連続モードの有効化。このビットは、フレーム・ジェネレータを連続モードまたはバースト・モードにするのに使用します。 1：フレーム・ジェネレータは連続モードで動作。このモードでは、フレーム・ジェネレータはフレームを無期限に生成し続けます。 0：フレーム・ジェネレータはバースト・モードで動作。このモードでは、フレーム・ジェネレータは単一バーストのフレームを生成して停止します。フレーム数は、FG_NFRM_H レジスタと FG_NFRM_L レジスタで指定します。	0x0	R/W

フレーム・ジェネレータ割込みイネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8023、リセット：0x0000、レジスタ名：FG_IRQ_EN

このレジスタは、フレーム・ジェネレータ割込みをイネーブルするのに使用します。要求した数のフレームが生成されると、割込みが生成されます。フレーム・チェッカ／ジェネレータの割込みは PHY_SUBSYS_IRQ_MASK レジスタでイネーブルします。MAC_IF_FC_FG_IRQ_EN ビットをセットしてください。

割込みステータスは、PHY_SUBSYS_IRQ_STATUS レジスタの MAC_IF_FC_FG_IRQ_LH ビットを介して読み出せます。

表 218. FG_IRQ_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FG_IRQ_EN	フレーム・ジェネレータ割込みイネーブル。このビットをセットすると、設定したフレーム数を送信したときにフレーム・ジェネレータが割込みを生成するように指定します。 1：フレーム・ジェネレータの割込みをイネーブル。 0：フレーム・ジェネレータの割込みをディスエーブル。	0x0	R/W

レジスタ

フレーム・ジェネレータ・フレーム長レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8025、リセット : 0x006B、レジスタ名 : FG_FRM_LEN

このレジスタは、データ・フィールドのフレーム長をバイト単位で指定します。データ・フィールドに加えて、送信元アドレス用に 6 バイト、宛先アドレス用に 6 バイト、長さフィールド用に 2 バイト、フレーム・チェック・シーケンス (FCS) 用に 4 バイトが追加されます。合計の長さは、データ・フィールド長に 18 を加えたものになります。

表 219. FG_FRM_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	FG_FRM_LEN	バイト単位のデータ・フィールド・フレーム長。	0x6B	R/W

フレーム・ジェネレータ・フレーム間ギャップ長レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8026、リセット : 0x000C、レジスタ名 : FG_IFG_LEN

このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。

表 220. FG_IFG_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_IFG_LEN	フレーム・ジェネレータ・フレーム間ギャップ長。このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。	0xC	R/W

フレーム・ジェネレータ・フレーム数ハイ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8027、リセット : 0x0000、レジスタ名 : FG_NFRM_H

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する 32 ビット・レジスタのビット[31:16]です。

表 221. FG_NFRM_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_H	生成されるフレーム数のビット[31:16]。	0x0	R/W

フレーム・ジェネレータ・フレーム数ロー・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8028、リセット : 0x0100、レジスタ名 : FG_NFRM_L

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する 32 ビット・レジスタのビット[15:0]です。

表 222. FG_NFRM_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_L	生成されるフレーム数のビット[15:0]。	0x100	R/W

フレーム・ジェネレータ完了レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8029、リセット : 0x0000、レジスタ名 : FG_DONE

このレジスタは、フレーム・ジェネレータが FG_NFRM_H レジスタおよび FG_NFRM_L レジスタで要求されたフレーム数の生成を完了したことを示すのに使用されます。

表 223. FG_DONE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R

レジスタ

表 223. FG_DONE のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
0	FG_DONE	フレーム・ジェネレータ完了。このビットが 1 として読み出されると、フレームの生成が完了したことを示します。このビットがセットされると、読出しによってラッチが解除されるまでハイにラッチされます。	0x0	R LH

MAC インターフェース・ループバック設定レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8055、リセット：0x000A、レジスタ名：
MAC_IF_LOOPBACK

MAC インターフェース・ループバックの設定。

表 224. MAC_IF_LOOPBACK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	MAC_IF_REM_LB_RX_SUP_EN	抑制 RX イネーブル。MAC_IF_REM_LB_EN がセットされている場合、レシーバから MAC への送信を抑制します。	0x1	R/W
2	MAC_IF_REM_LB_EN	MAC インターフェース・リモート・ループバック・イネーブル。受信データがトランスミッタにループバックされます。	0x0	R/W
1	MAC_IF_LB_TX_SUP_EN	抑制送信イネーブル。MAC_IF_LB_EN がセットされている場合に、PHY への送信を抑制します。	0x1	R/W
0	MAC_IF_LB_EN	MAC インターフェース・ループバック・イネーブル。送信データがレシーバにループバックされます。	0x0	R/W

MAC パケット開始（SOP）生成制御レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x805A、リセット：0x001B、レジスタ名：
MAC_IF_SOP_CNTRL

表 225. MAC_IF_SOP_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予約済み。	0x0	R
5	MAC_IF_TX_SOP_LEN_CHK_EN	TX SOP プリアンブル長チェックをイネーブル。	0x0	R/W
4	MAC_IF_TX_SOP_SFD_EN	フレーム開始区切り（SFD：start of frame delimiter）での Tx SOP 信号表示をイネーブル。	0x1	R/W
3	MAC_IF_TX_SOP_DET_EN	Tx SOP 表示信号の生成をイネーブル。	0x1	R/W
2	MAC_IF_RX_SOP_LEN_CHK_EN	RX SOP プリアンブル長チェックをイネーブル。このビットがセットされ、SFD が受信されない場合は、8 バイト後に RX SOP 信号表示がセットされます。それ以外の場合、最初の 8 バイトで SFD が受信されなければ RX SOP はセットされません。	0x0	R/W
1	MAC_IF_RX_SOP_SFD_EN	SFD 受信時に RX SOP 信号表示をイネーブル。MAC_IF_RX_SOP_DET_EN と MAC_IF_RX_SOP_SFD_EN の両方がセットされている場合、RX SOP 信号は SFD の受信時にセットされます。それ以外の場合、RX SOP は RX_DV がセットされるとセットされます。RX SOP 信号は、フレームの終了までセットされたままになります。	0x1	R/W
0	MAC_IF_RX_SOP_DET_EN	RX SOP 表示信号の生成をイネーブル。	0x1	R/W

PCB レイアウトに関する推奨事項

このセクションでは、PHY とそれに対応するサポート部品の配置およびレイアウトにおける重要なポイントの概要を示します。

パッケージ・レイアウト

LFCSP には、パッケージ底部に露出パッドがあり、機械的、電氣的、および熱的な理由で PCB のグラウンドにハンダ付けする必要があります。熱抵抗性能と熱除去を最大化するために、露出グラウンド・パッドの下に 4×4 アレイのサーマル・ビアを使用することを推奨します。PCB のランド・パターンには、これらのビア付きの露出グラウンド・パッドをフットプリントに組み込む必要があります。EVAL-ADIN1110EBZ では、1.00mm のグリッド配置上に 4×4 のビア・アレイを設けています。ビア・パッドの直径は 0.02 インチ (0.5015mm) です。

部品の配置と配線

重要なパターンと部品に優先順位を付けると、配線作業を簡素化するのに役立ちます。重要なパターンとコンポーネントを最初に配置して方向を定め、効果的なレイアウトを確保します。重要な部品は、水晶発振器と負荷コンデンサ、CEXT_2 と CEXT_3 の各コンデンサ、および ADIN1110 に近い位置にあるすべてのバイパス・コンデンサです。これらの部品には配置と配線に関して優先順位を付けます。

以下の推奨事項に従ってください。

- ▶ デカップリング・コンデンサは、それぞれの入力ピンのできるだけ近くに配置します。
- ▶ パターンの曲げ回数は最小限に抑え、曲げる場合は 45° のコーナーを使用します。
- ▶ パターンが隣接層のパワー・プレーンを横切らないようにします。
- ▶ スタブが形成されないようにします。
- ▶ 高速信号にはビアを使用しないでください。ビアが必要な場合は、リターン電流経路を改善するため、グラウンド・ビアを信号ビアに隣接させます。

水晶発振器の配置と配線

消費電流を最小限に抑え、浮遊容量を減らし、ノイズ耐性を向上させるために、水晶発振器の配置とルーティングに特別の注意を払う必要があります。

以下の推奨事項に従ってください。

- ▶ 水晶発振器とそのコンデンサは、XTAL_I ピンおよび XTAL_O ピンのできるだけ近くに配置します。
- ▶ 負荷コンデンサは互いに近接させて配置してください。
- ▶ 水晶発振器と負荷コンデンサにはローカルの GND プレーンを使用し、メイン GND には 1 点で接続します。
- ▶ XTAL_I のパターンと XTAL_O のパターンは互いに離し、寄生容量を低減します。
- ▶ 水晶発振器の下層に銅のキープアウト領域を追加することで、寄生容量を更に低減できます。

PCB の層構成

以下の推奨事項に従ってください。

- ▶ 最低 4 層の PCB 層構成を使用します。

- ▶ EMI に関する問題を改善するには、外層をグラウンド・プレーンとして使用する 6 層以上の構成を検討してください (オプション)。
- ▶ 銅層の厚さは、アプリケーションと電源条件に応じて定めます。
- ▶ 電源プレーンとグラウンド・プレーンには内層を使用します。
- ▶ 信号パターンには外層を使用します。
- ▶ ビア・ステッチングを使用して、グラウンドを強化し、EMI を低減します。ステッチング・パターンとビア間距離は、アプリケーションに応じて定めます。

外形寸法

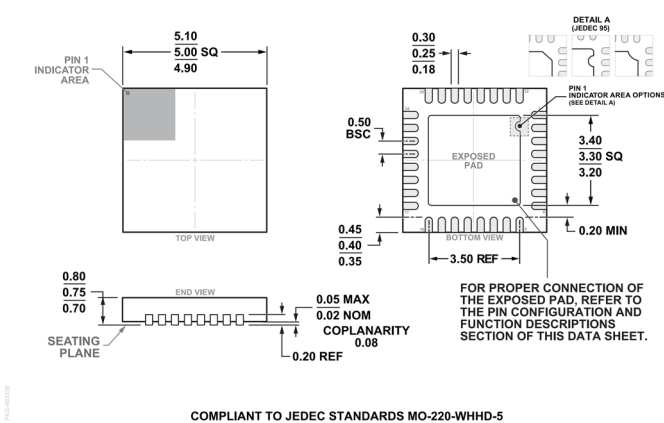


図 36.32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
5mm × 5mm ボディ、0.75mm パッケージ高
(CP-32-20)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADIN1111BCPZ	−40°C to +85°C	32-Lead LFCSP (5 mm × 5 mm with EP)	Tray, 490	CP-32-20
ADIN1111BCPZ-R7	−40°C to +85°C	32-Lead LFCSP (5 mm × 5 mm with EP)	Reel, 1500	CP-32-20
ADIN1111CCPZ	−40°C to +105°C	32-Lead LFCSP (5 mm × 5 mm with EP)	Tray, 490	CP-32-20
ADIN1111CCPZ-R7	−40°C to +105°C	32-Lead LFCSP (5 mm × 5 mm with EP)	Reel, 1500	CP-32-20

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADIN1110EBZ	Evaluation Board

¹ Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 2 日

製品名： ADIN1111

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 26 頁、左の段、「オン・チップ診断」の項、箇条書きの 2 番

【誤】

「PMA_LINK_STAT_OK ビット (ビット 2、マスク 0x0004) の値を確認します。」

【正】

「PMA_LINK_STAT_OK ビット (ビット 2、LSB より 3 番目のビット) の値を確認します。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 2 日

製品名： **ADIN1111**

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 29 頁、左の段、「トランジスタ制御 **LED**」の項、下から 8 行目

【誤】

「必要に応じ、トランジスタのゲートと **ADIN1110** ピンの間に抵抗を配置、または GND と LED_x ピンの間にコンデンサを並列に配置することで・・・」

【正】

「必要に応じ、トランジスタのゲートと **ADIN1111** ピンの間に抵抗を配置、または GND と LED_x ピンの間にコンデンサを並列に配置することで・・・」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 2 日

製品名： **ADIN1111**

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 31 頁、右の段、「**電磁環境適合性 (EMC)** と **電磁耐性 (EMI)**」の項、下から 8 行目

【誤】

「**ADIN1110** は、システム・レベルで EMC と EMI のテストを行っています。」

【正】

「**ADIN1111** は、システム・レベルで EMC と EMI のテストを行っています。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 2 日

製品名： **ADIN1111**

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 31 頁、右の段、「**電磁環境適合性 (EMC)**と**電磁耐性 (EMI)**」の項、表 26
の説明

【誤】

「表 26. **ADIN1110** に対しシステム・レベルで実施した EMC/EMI テスト」

【正】

「表 26. **ADIN1111** に対しシステム・レベルで実施した EMC/EMI テスト」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを
記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 2 日

製品名： ADIN1111

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 45 頁、左の段、「MAC SPI」の項、上から 8 行目、箇条書きの 2 の最初の文

【誤】

「2. ADDR_FILT_UPR0 に 0x08002. ADDR_FILT_LWR0 に 0x005A6468」

【正】

「2. ADDR_FILT_UPR0 に 0x08002. ADDR_FILT_LWR0 に 0x005A646B」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 2 日

製品名： ADIN1111

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 66 頁、表 94. P1_RX のビットの説明欄

【誤】

「全フレームが読み出されると、**P1_RX_FRM_SIZE** レジスタが最初に読み出されるまで、P1 RxFIFO からはそれ以上のデータは返されません。」

【正】

「全フレームが読み出されると、**P1_RX_FSIZE** レジスタが最初に読み出されるまで、P1 RxFIFO からはそれ以上のデータは返されません。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 2 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 2 日

製品名： ADIN1111

対象となるデータシートのリビジョン(Rev)： Rev.A

訂正箇所： 95 頁、「パッケージ設定値レジスタ」の項、上から 2 行目

【誤】

「MGMT_CFG_VAL アドレスを使用すると、パッケージ設定値の読出しができます。」

【正】

「MGMT_PRT_PKG アドレスを使用すると、パッケージ設定値の読出しができます。」