

堅牢で低消費電力の産業用 10BASE-T1L PHY

特長

- ▶ 10BASE-T1L IEEE 802.3cg-2019 規格に適合
- ▶ 1.0V p-p および 2.4V p-p で最長 1700m のケーブル長に対応
- ▶ 1.0V p-p および 2.4V p-p の送信レベルに対応
- ▶ MDI の極性検出および補正
- ▶ 低消費電力: 45mW
- ▶ 診断機能
 - ▶ TDR によるケーブル・フォルト検出
 - ▶ フレーム・ジェネレータおよびフレーム・チェッカ
 - ▶ MSE によるリンク品質インジケータ
 - ▶ フレーム・ジェネレータおよびフレーム・チェッカ
 - ▶ 複数のループバック・モード
 - ▶ IEEE テスト・モードに対応
- ▶ MII、RMII、RGMII MAC インターフェース
- ▶ MDIO 管理インターフェース
- ▶ ピン・ストラップを使用したアンマネージド構成
- ▶ 2 ピン MDI
- ▶ 内部終端抵抗およびハイブリッド
- ▶ 25MHz の水晶発振器または外部クロック入力 (RMII 用は 50MHz)
- ▶ 単電源または両電源動作 (1.8V または 3.3V)
- ▶ 3.3V/2.5V/1.8V MAC インターフェース VDDIO 電源
- ▶ 電源モニタおよび POR を内蔵
- ▶ EMC 試験規格
 - ▶ IEC 61000-4-4 EFT (±4kV)
 - ▶ IEC 61000-4-2 ESD (±4kV の接触放電)
 - ▶ IEC 61000-4-2 ESD (±8kV の気中放電)
 - ▶ IEC 61000-4-5 サージ (±4kV)
 - ▶ IEC 61000-4-6 伝導耐性 (10V/m)
 - ▶ IEC 61000-4-3 放射耐性 (クラス A)
 - ▶ EN 55032 放射エミッション (クラス B)
- ▶ 小型パッケージ: 32 ピン 5mm × 5mm LFCSP
- ▶ 温度範囲
 - ▶ 産業用: -40°C ~ +85°C
 - ▶ 拡張: -40°C ~ +105°C

アプリケーション

- ▶ プロセス制御
- ▶ ファクトリ・オートメーション
- ▶ ビルディング・オートメーション
- ▶ フィールド機器およびスイッチ

機能ブロック図

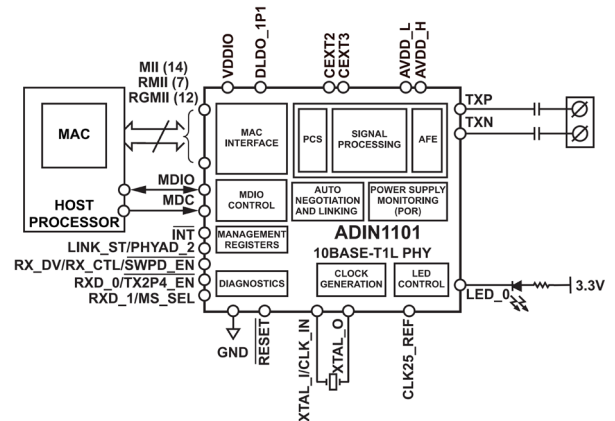


図 1. 機能ブロック図

概要

ADIN1101 は、産業用イーサネット・アプリケーション向けに設計された低消費電力で単一ポートの 10BASE-T1L トランシーバであり、長距離伝送用の 10Mbps シングル・ペア・イーサネット (SPE) に対する IEEE® 802.3cg-2019™イーサネット規格に対応しています。ADIN1101 では、イーサネット物理層 (PHY) コアと、関連するすべてのアナログ回路、入出力クロック・バッファリング、管理インターフェース制御レジスタ、サブシステム・レジスタ、および、リセット、クロック制御、ピン設定を管理する MAC インターフェースと制御ロジックが統合されています。

ADIN1101 は、オートネゴシエーションを有効化して最大 1700 メートルのケーブル伝送距離に対応し、39mW の超低消費電力を実現しています。

PHY コアは、IEEE 802.3cg 規格で定義されている 1.0V p-p と 2.4V p-p の動作モードに対応し、また、1.8V または 3.3V の単電源レールで動作可能で、1.0V p-p の送信電圧レベルに対応する低電圧オプションを備えています。

ADIN1101 には電圧源モニタリング回路およびパワーオン・リセット (POR) 回路が内蔵されており、システム・レベルの堅牢性を高めています。

MDIO インターフェースは、ホスト・プロセッサまたは MAC と ADIN1101 の間の通信を行うために 2 線式シリアル・インターフェースであり、それによって PHY コアの管理レジスタにある制御情報とステータス情報へのアクセスを可能にします。このインターフェースは、IEEE 802.3 規格の条項 22 と条項 45 の両方の管理フレーム構造に対応しています。

目次

特長	1	アンマネージド PHY 動作	23
アプリケーション	1	マネージド PHY 動作	23
機能ブロック図	1	オンチップ診断	26
概要	1	ループバック・モード	26
仕様	3	フレーム・ジェネレータとフレーム・チェッカ	27
タイミング特性	5	フレーム・ジェネレータおよびチェッカの リンク・テスト	27
パワーアップ・タイミング	5	テスト・モード	29
管理インターフェースのタイミング	5	時間領域反射率測定 (TDR)	29
絶対最大定格	6	リンク品質のモニタリング	30
熱抵抗	6	アプリケーション情報	34
静電放電 (ESD) 定格	6	システム・レベルのパワー・マネージメント	34
ESD に関する注意	6	LED 回路例	35
ピン配置およびピン機能の説明	7	部品の推奨事項	35
代表的な性能特性	10	電磁両立性 (EMC) と電磁耐性 (EMI)	37
動作原理	11	MDIO インターフェース	38
電源ドメイン	11	条項 22	38
MAC インターフェース	11	条項 45	39
送信振幅の設定	12	推奨レジスタ操作	40
リーダー／フォロア設定	12	レジスタの一覧	41
オートネゴシエーション	13	イーサネット条項 22 レジスタの詳細	41
管理インターフェース	16	イーサネット条項 45 レジスタの詳細	43
リセット動作	17	PCB レイアウトに関する推奨事項	78
ステータス LED	18	ランド・パターン	78
リンク・ステータス・ピン	19	部品の配置と配線	78
パワーダウン・モード	19	水晶発振器の配置と配線	78
ハードウェア構成ピン	20	PCB の層構成	78
概要	20	外形寸法	79
アンマネージド・アプリケーション	20	オーダー・ガイド	79
マネージド・アプリケーション	20	評価用ボード	79
ハードウェア構成ピンの機能	20		
10BASE-T1L リンクの確立	23		

改訂履歴

1/2025—Revision A: Initial Version

仕様

特に指定のない限り、AVDD_H = AVDD_L = VDDIO = 3.3V、すべての仕様は-40°C~+105°Cにおける値。

表 1. 一般仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIGITAL INPUTS/OUTPUTS					
VDDIO = 3.3 V					Applies to MAC interface pins, MDC, MDIO, INT, LINK_ST/PHYAD_2, RESET, and LED_0
Input Low Voltage (V_{IL})			0.8	V	
Input High Voltage (V_{IH})	2.0			V	
Output Low Voltage (V_{OL})			0.4	V	Output low current (I_{OL}) (minimum) = 2 mA
Output High Voltage (V_{OH})	2.4			V	Output high current (I_{OH}) (minimum) = 2 mA
VDDIO = 2.5 V					
V_{IL}			0.7	V	
V_{IH}	1.7			V	
V_{OL}			0.4	V	I_{OL} (minimum) = 2 mA
V_{OH}	2.0			V	I_{OH} (minimum) = 2 mA
VDDIO = 1.8 V					
V_{IL}			$0.3 \times VDDIO$	V	
V_{IH}	$0.7 \times VDDIO$			V	
V_{OL}			$0.2 \times VDDIO$	V	I_{OL} (minimum) = 2 mA
V_{OH}	$0.8 \times VDDIO$			V	I_{OH} (minimum) = 2 mA
RESET Deglitch Time	0.3	0.5	1	μs	
LED/LINK STATUS OUTPUT					
Output Drive Current			8	mA	VDDIO = 3.3 V
			6	mA	VDDIO = 2.5 V
			4	mA	VDDIO = 1.8 V
CLOCKS					
External Crystal (XTAL)					Requirements for external crystal used on XTAL_I/CLK_IN pin and XTAL_O pin
Crystal Frequency		25		MHz	
Crystal Frequency Tolerance	-30		+30	ppm	
Crystal Drive Level		<200		μW	
Crystal Equivalent Series Resistance (ESR)			60	Ω	
XTAL_I, XTAL_O Input Capacitance ($C_{IN,EQ}$)		1.5		pF	Equivalent parallel differential input capacitance looking into XTAL_I/CLK_IN and XTAL_O pins
Crystal Load Capacitance (C_L) ¹		10	18	pF	Including PCB trace capacitance and XTAL_I, XTAL_O $C_{IN,EQ}$
Start-Up Time			2	ms	Crystal oscillator only
Clock Input (CLK_IN)					
Clock Input Frequency		25		MHz	Requirements for external clock applied to XTAL_I/CLK_IN pin, media independent interface (MII) mode
		50		MHz	Reduced media independent interface (RMII) mode
Clock Input Voltage Range	0.8		2.5	V p-p	Sine or square wave at XTAL_I/CLK_IN pin
Clock Input Duty Cycle	45		55	%	
XTAL_I Input Impedance ($Z_{IN,EQ}$)					
Driving Point Resistance (R_p) ²		6		kΩ	$R_p C_p$
Driving Point Capacitance (C_p) ²		3		pF	
Jitter Tolerance (RMS)			40	ps	

仕様

表 1. 一般仕様（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLK25_REF Clock Output					
CLK25_REF Frequency		25		MHz	
V _{OH}		1.05		V	Load = 10 pF
V _{OL}		0		V	Load = 10 pF
CLK25_REF Duty Cycle	45		55	%	Load = 10 pF
Long-Term Jitter (RMS)			40	ps	

¹ 負荷容量 (C_L) = ((C1 × C2)/(C1 + C2) + C_{STRAY})、ここで C_{STRAY} は配線とパッケージの寄生容量を含む浮遊容量です。

² R_P および C_P は、AC グラウンドへの等価並列 RC 回路の値 (R_P||C_P) であり、XTAL_I/CLK_IN ピンの駆動点のインピーダンスをモデル化しています。

表 2. 10BASE-T1L の仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
Supply Voltage Range					
AVDD_H	3.13	3.3	3.46	V	2.4 V p-p or 1.0 V p-p transmit level
AVDD_L	1.71	1.8 or 3.3	3.46	V	
AVDD_H, AVDD_L	1.71	1.8	3.46	V	1.0 V p-p transmit level
VDDIO	1.71	1.8, 2.5, or 3.3	3.46	V	
1.0 V p-p Transmit Level (Single Supply)					AVDD_H = AVDD_L = VDDIO = 1.8 V
AVDD_x Supply Current, I _{AVDD}		25		mA	
Power Consumption		45		mW	100% data throughput, full activity
		11		mW	Software power-down mode
2.4 V p-p Transmit Level (Single Supply)					AVDD_H = AVDD_L = VDDIO = 3.3 V
Supply Current, I _{AVDD}		33		mA	
Power Consumption		109		mW	100% data throughput, full activity
		22		mW	Software power-down mode
2.4 V p-p Transmit Level (Dual Supply)					AVDD_H = 3.3 V, AVDD_L = VDDIO = 1.8 V
AVDD_x Supply Current, I _{AVDD}		16.5		mA	
VDDIO Supply Current, I _{VDDIO}		15		mA	
Power Consumption		81		mW	100% data throughput, full activity
		11		mW	Software power-down mode
TIMING AND LATENCY					
MII Latency					
Transmit Latency		<1.8		μs	18-bit times
Receiver Latency		<3.2		μs	32-bit times
Total Latency		≤5		μs	

タイミング特性

パワーアップ・タイミング

表 3. パワーアップのタイミング

Parameter	Description	Min	Typ	Max	Unit
t_{RAMP}	Power supply ramp time			40	ms
t_1	Minimum time interval to internal power good ¹	20		43	ms
t_2	Hardware configuration latch time	6	8	14	μs
t_3	Management interface active			50	ms

¹ 最小タイム・インターバルは、最後の電源が立上がり閾値に到達した時点を基準とします。特定の電源シーケンスは必要ありません。

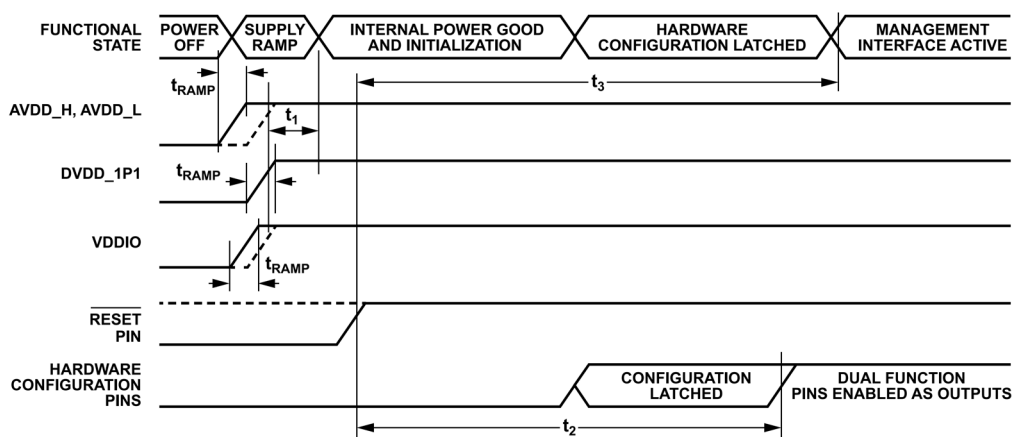


図 2. パワーアップのタイミング図

管理インターフェースのタイミング

表 4. 管理インターフェースのタイミング

Parameter	Description	Min	Typ	Max	Unit
t_1	MDC period	400			ns
t_2	MDC high time	100			ns
t_3	MDC low time	100			ns
t_4	MDC rise or fall time			5	ns
t_5	MDIO signal setup time to MDC	10			ns
t_6	MDIO signal hold time to MDC	10			ns
t_7	MDIO delay time to MDC			300	ns

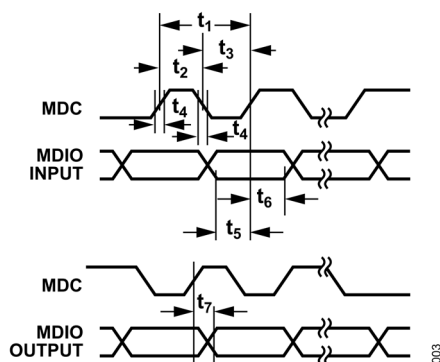


図 3. 管理インターフェースのタイミング

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5. 絶対最大定格

Parameter	Rating
VDDIO to GND	-0.3 V to +4 V
DVDD_1P1, DLDO_1P1 to GND	-0.3 V to +1.35 V
AVDD_H, AVDD_L to GND	-0.3 V to +4 V
MAC Interface ¹ , MDIO, MDC, $\overline{\text{INT}}$ to GND	-0.3 V to VDDIO + 0.3 V
TXN, TXP to GND	-0.3 V to AVDD + 0.3 V
LED_0, $\overline{\text{RESET}}$, LINK_ST/PHYAD_2 to GND	-0.3 V to VDDIO + 0.3 V
XTAL_I/CLK_IN to GND	-0.3 V to +2.75 V
XTAL_O, CLK25_REF to GND	-0.3 V to +1.35 V
Temperature	
Operating Range (T_A), Industrial	-40°C to +105°C
Storage Range	-65°C to +150°C
Junction (T_J max)	125°C
Power Dissipation	$(T_J \text{ max} - T_A)/\theta_{JA}$
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

¹ MAC インターフェース・ピンの全リストについては、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 6. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC}	Unit
CP-32-20 ²	44	23	°C/W

¹ θ_{JA} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

² テスト条件 1：熱抵抗のシミュレーション値は、サーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADIN1101 の ESD 定格

表 7. ADIN1101、32 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM		
TXP, TXN Pins	8000	3B
All Other Pins	2000	2
FICDM	1250	C3

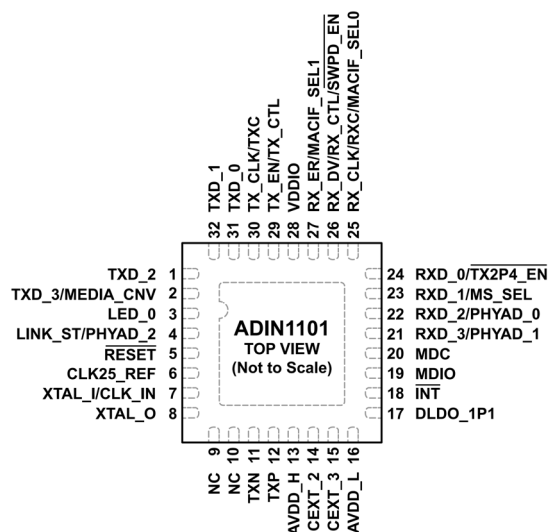
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. EXPOSED PAD (GROUND). THIS GND PADDLE MUST BE CONNECTED TO GROUND. THE LFCSP PACKAGE HAS AN EXPOSED PAD THAT NEEDS TO BE CONNECTED TO GND FOR ELECTRICAL REASONS AND MUST BE SOLDERED TO A METAL PLATE ON THE PCB FOR MECHANICAL REASONS. A 4 × 4 ARRAY OF THERMAL VIAS BENEATH THE EXPOSED GND PAD IS ALSO RECOMMENDED.
 2. NC = NO CONNECT.

図 4. ピン配置

表 8. ピン機能の説明

ピン番号	記号 ¹	PU/PD ²	説明
クロック・インターフェース			
6	CLK25_REF	N/A	アナログ・リファレンス・クロック出力。水晶発振器からの 25MHz リファレンス・クロックは、この CLK25_REF ピンで利用できます。このピンは、別の PHY への入力として使用できます。25MHz のクロック出力は、ソフトウェア・リセットまたはハードウェア・リセット後、短時間（ソフトウェア・リセットでは 25ms、ハードウェア・リセットでは 70ms）ディスエーブル（ロジック・ロー）になります。詳細は、 リセット動作 のセクションを参照してください。
7	XTAL_I/CLK_IN	N/A	水晶発振器の入力（XTAL_I）。 シングルエンドの 25MHz リファレンス・クロック入力または RMII 用 50MHz クロック入力（CLK_IN）。
8	XTAL_O	N/A	水晶振動子出力。XTAL_I/CLK_IN でシングルエンドのリファレンス・クロックを使用する場合、XTAL_O はオープン・サーキットのままにします。 MII モードおよび RGMII モード用外部 25MHz クロック入力 のセクションを参照してください。
管理インターフェース			
18	$\overline{\text{INT}}$	PU	管理インターフェース割込みピン出力。アクティブ・ローのオープン・ドレイン出力。 $\overline{\text{INT}}$ のローは、マスク解除されている管理割込みを示します。このピンには、VDDIO への 1.5kΩ プルアップ抵抗が必要です。
19	MDIO	PU	MDC クロックに同期した管理データの入出力。このピンはオープン・ドレインで、VDDIO への 1.5kΩ プルアップ抵抗が必要です。
20	MDC	PD	最大 2.5MHz の管理データ・クロック入力。
リセット			
5	$\overline{\text{RESET}}$	PU	アクティブ・ローのハードウェア・リセット入力。デバイスをリセットするには、10μs を超える時間、ローに保持します。ハードウェア・リセットが不要な場合は、このピンをフロート状態のままにしておくことができます。 ハードウェア・リセット のセクションを参照してください。
メディア依存インターフェース（MDI）			
11	TXN	N/A	ADIN1101：送信／受信負側ピン。
12	TXP	N/A	ADIN1101：送信／受信正側ピン。

表 8. ピン機能の説明（続き）

ピン番号	記号 ¹	PU/PD ²	説明
MAC インターフェース			
1	TXD_2	PD	縮小ギガビット・メディア非依存インターフェース（RGMII）/MIIの送信データ2入力。 MAC インターフェース のセクションを参照してください。
2	TXD_3/MEDIA_CNV	PD	RGMII/MIIの送信データ3入力（TXD_3）。 MAC インターフェース のセクションを参照してください。 メディア・コンバータ・ハードウェア構成ピン（MEDIA_CNV）。
21	RXD_3/PHYAD_1	PD	RGMII/MII 受信データ3出力（RXD_3）。 MAC インターフェース のセクションを参照してください。 PHY アドレスのハードウェア構成ピン1（PHYAD_1）。
22	RXD_2/PHYAD_0	PD	RGMII/MII 受信データ2出力（RXD_2）。 MAC インターフェース のセクションを参照してください。 PHY アドレスのハードウェア構成ピン0（PHYAD_0）。
23	RXD_1/MS_SEL	PD	RGMII/RMII/MII 受信データ1出力（RXD_1）。 MAC インターフェース のセクションを参照してください。 リーダー／フォロア選択（MS_SEL）。リーダー優先を選択する場合はハイ、フォロア優先を選択する場合はローに設定します。 表 18 を参照してください。
24	RXD_0/TX2P4_EN	PD	RGMII/RMII/MII 受信データ0出力（RXD_0）。 MAC インターフェース のセクションを参照してください。 送信レベル振幅ハードウェア構成ピン（TX2P4_EN）。送信振幅が 1V p-p の場合にハイに設定します。送信振幅が 1V p-p および 2.4V p-p の場合はローに設定します。 表 19 を参照してください。
25	RX_CLK/RXC/MACIF_SEL0	PD	2.5MHz MII 受信クロック出力（RX_CLK）。 2.5MHz RGMII 受信クロック出力（RXC）。 MAC インターフェース選択のハードウェア構成ピン 0（MACIF_SEL0）。 MAC インターフェースの選択 のセクションを参照してください。
26	RX_DV/RX_CTL/SWPD_EN	PD	RMII/MII モードの受信データ有効出力（RX_DV）。RMII モードでは、この信号は CRS_DV と呼ばれます。RX_DV がハイにアサートされると、RXD_x ラインに有効なデータが存在することを示します。 PD RGMII モードの受信制御信号（RX_CTL）。RX_CTL は RX_DV と RX_ER を組み合わせた信号で、RXC の両方のエッジを使用します。 ソフトウェア・パワーダウン設定（SWPD_EN）。SWPD_EN をローにセットすると、パワーアップまたはリセット後に PHY がソフトウェア・パワーダウン・モードになるよう設定されます。 表 17 を参照してください。
27	RX_ER/MACIF_SEL1	PD	RMII/MII モードの受信エラー検出出力（RX_ER）。ハイにアサートされると、PHY が受信エラーを検出したことを示します。 MAC インターフェース選択のハードウェア構成ピン1（MACIF_SEL1）。 表 21 を参照してください。
29	TX_EN/TX_CTL	PD	RMII/MII モードの MAC から PHY への送信イネーブル入力（TX_EN）。 送信データが TXD_x ラインで利用可能であることを示しています。 RGMII モードの送信制御信号（TX_CTL）。TX_CTL は、TX_EN と RX_ER を組み合わせた信号で、TXC の両方のエッジを使用します。
30	TX_CLK/TXC	PD	2.5MHz MII の送信クロック出力（TX_CLK）。 2.5MHz RGMII の送信クロック入力（TXC）。
31	TXD_0	PD	RGMII/RMII/MII の送信データ0入力。 MAC インターフェース のセクションを参照してください。
32	TXD_1	PD	RGMII/RMII/MII の送信データ1入力。 MAC インターフェース のセクションを参照してください。
ステータス			
3	LED_0	PU	汎用プログラマブル LED インジケータ 0。LED は、アクティブ・ハイまたはアクティブ・ローにすることができます。デフォルトでは、リンクが確立されると LED_0 が点灯し、アクティビティがあると点滅するよう設定されています。 ステータス LED のセクションを参照してください。
4	LINK_ST/PHYAD_2	PD	リンク・ステータス出力（LINK_ST）。LINK_ST は、有効なリンクが確立されているかどうかを示します。LINK_ST はアクティブ・ハイです。 PHY アドレスのハードウェア構成ピン2（PHYAD_2）。

表 8. ピン機能の説明（続き）

ピン番号	記号 ¹	PU/PD ²	説明
LDO とリファレンスのデカップリング			
14	CEXT_2	N/A	LDO 回路用外部デカップリング。このピンのできるだけ近くで、0.1μF のコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
15	CEXT_3	N/A	LDO 回路用外部デカップリング。このピンのできるだけ近くで、1μF のコンデンサをグラウンドに接続します。このピンを外部回路用電圧源として使用しないでください。
電源ピンとグラウンド・ピン			
13	AVDD_H	N/A	デバイス内の様々なアナログ回路用のアナログ電源電圧。この電源レールは、送信レベル設定に応じて 1.8V~3.3V で供給できます。AVDD_H が 3.3V の場合、1.0V p-p と 2.4V p-p の両方の送信動作モードに対応し、AVDD_H が 1.8V の場合は、1.0V p-p の送信動作モードにのみ対応します。このピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサをグラウンドに接続します。
16	AVDD_L	N/A	内部 LDO 回路用のアナログ電源電圧。この電源レールは 1.8V~3.3V で供給できます。AVDD_L は、長距離伝送アプリケーションでは AVDD_H レールに直結できます。また、低消費電力用に両電源で構成されている場合は VDDIO レールに接続できます。このピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサをグラウンドに接続します。
17	DLDO_1P1	N/A	内蔵の 1.1V LDO 回路の出力。このピンのできるだけ近くで、0.68μF のコンデンサをグラウンドに接続します。
28	VDDIO	N/A	MDIO および MAC インターフェース用の 3.3V、2.5V、1.8V デジタル電源。このピンのできるだけ近くで、0.1μF と 0.01μF のコンデンサを GND に接続します。
33	EP (GND)	N/A	露出パッド（グラウンド）。この GND パドルはグラウンドに接続する必要があります。LFCSP パッケージには、電気的な理由により GND に接続する必要があり、機械的な理由により PCB の金属面にハンダ付けする必要のある露出パッドがあります。露出 GND パッドの下に、4 × 4 アレイのサーマル・ビアを設けることを推奨します。
その他のピン			
9, 10	NC	N/A	接続なし。

¹ 1 つのピンを機能的な信号とハードウェア構成ピンの信号に兼用する場合、ハードウェア構成ピンの信号を最後に記載します。

² PU/PD は、内部／オンチップのプルアップ抵抗またはプルダウン抵抗を示します。すべてのハードウェア構成ピンには、内部プルダウン抵抗があります。これらのピンに外部抵抗を接続しないデフォルト動作モードを表 14 に示します。代替動作モードが必要な場合は、4.7kΩ のプルアップ抵抗を使用してください。N/A は、該当なしを表します。

代表的な性能特性

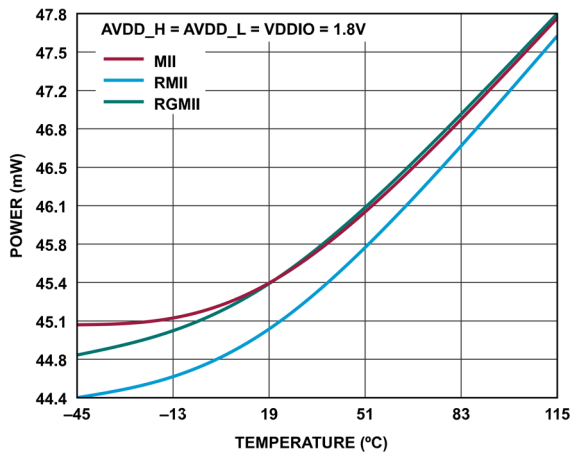


図 5. 消費電力と温度の関係、1.8V 単電源

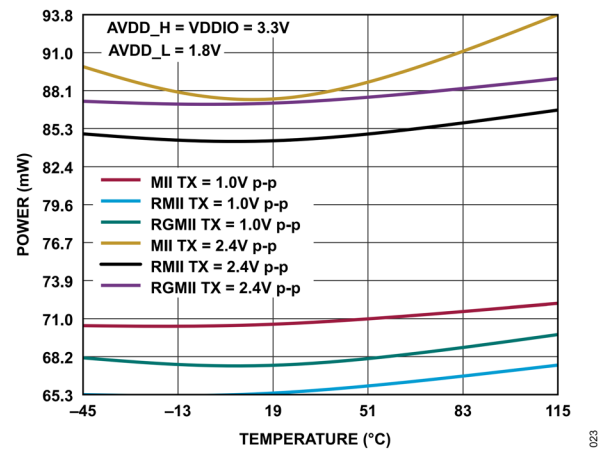


図 8. 消費電力と温度の関係、
AVDD_H = VDDIO = 3.3V、AVDD_L = 1.8V

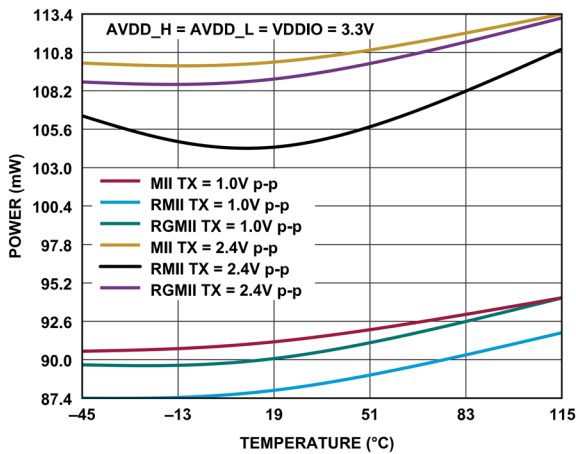


図 6. 消費電力と温度の関係、3.3V 単電源

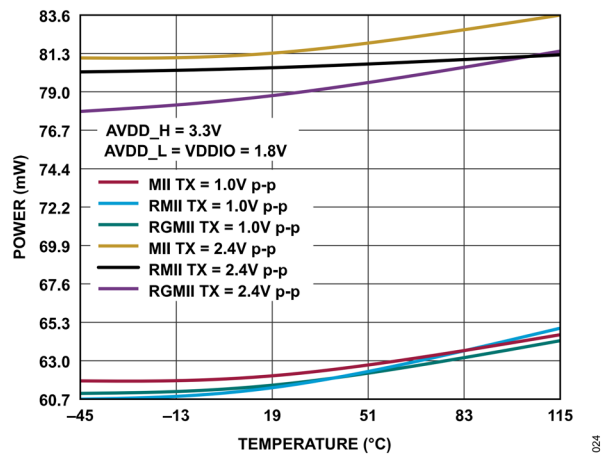


図 9. 消費電力と温度の関係、
AVDD_H = 3.3V、AVDD_L = VDDIO = 1.8V

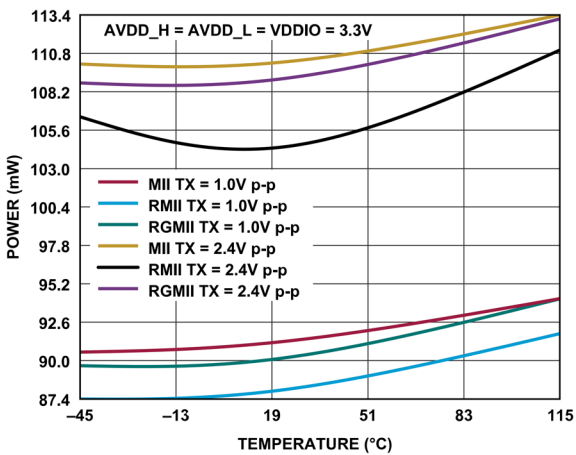


図 7. 消費電力と温度の関係、
AVDD_H = AVDD_L = 3.3V、VDDIO = 1.8V

動作原理

ADIN1101は低消費電力で単一ポートの10BASE-T1LイーサネットPHYデバイスで、長距離伝送用の10Mbpsシングル・ペア・イーサネットを対象とするIEEE 802.3cgイーサネット規格に適合しています。

ADIN1101は以下のような機能を備えています。

- ▶ アナログ回路が共通のPHYコア
- ▶ 入力と出力のクロック・バッファ処理
- ▶ サブシステムのレジスタ、クロック、ソフトウェア・リセットを制御するMDIOインターフェース
- ▶ MACインターフェース制御ロジック
- ▶ ハードウェア構成ピン
- ▶ 設定可能なハードウェア割込みピン
- ▶ 2個の設定可能なLEDピン

電源ドメイン

ADIN1101には3つの電源ドメインがあり、少なくとも1つの電源レールが必要です。

- ▶ AVDD_Hは、ADIN1101のアナログ・フロント・エンド(AFE)回路用のアナログ電源入力です。
- ▶ AVDD_Lは、内部LDO回路用のアナログ電源電圧です。AVDD_Lは、単電源モードではAVDD_Hレールに接続し、両電源モードではより電圧が低い別のレールに接続すると消費電力が低くなります。
- ▶ VDDIOは、ADIN1101のMACインターフェース、MDIO、デジタル入出力(I/O)のためのデジタル電源入力です。VDDIOは、AVDD_Lレールに直接接続するか、外部の電源レールに接続します。

システム・レベルのパワー・マネージメントのセクションでは、リファレンスとして使用できる様々なアプリケーション回路が説明されています。

単電源のアプリケーションでは、AVDD_H = AVDD_L = VDDIOと接続します。使用する適切な電源電圧は、エンド・アプリケーションとケーブル長によって異なります。高い方の送信振幅である2.4V p-pではAVDD_H = 3.3Vが必要で、低い方の送信振幅の1.0V p-pではAVDD_H = 1.8Vまたは3.3Vが必要です。

MACインターフェース

ADIN1101には、MII、RMII、またはRGMIIのMACインターフェース・オプションがあります。MACインターフェースの選択は、ハードウェア構成ピン(RX_CLK/RXC/MACIF_SEL0およびRX_ER/MACIF_SEL1)または管理インターフェース(MDIO)により行います。MACインターフェース選択用の2つのハードウェア構成ピンは、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、ADIN1101の設定を固定します。

デフォルト(ハードウェア構成ピンはフロート状態)では、MACインターフェースはRMIIモードに設定されます。ハードウェア構成ピンを用いたMACインターフェースの設定方法の詳細については、[MACインターフェースの選択](#)のセクションを参照してください。

サポートされるインターフェースは様々なクロック条件およびピン割り当て条件を持つため、ハードウェア構成ピンをMACインターフェースの選択用に用いることを推奨します。

MIIモード

受信MIIの場合、ADIN1101は、RX_CLKで2.5MHzのリファレンス・クロックを生成して、RXD_3~RXD_0の受信データ信号を同期させます。RX_DVは、RXD_3~RXD_0の信号に有効なデータが存在することをMACに示します。RX_ERは、MDIインターフェースで受信しMACインターフェースに送信中のフレームでエラーが検出された場合、ADIN1101によってハイに駆動されます。

送信MIIの場合、ADIN1101はTX_CLKで2.5MHzのリファレンス・クロックを生成します。MACは、TX_CLKに同期したTXD_3~TXD_0のデータを送信します。MACはTX_ENをハイにアサートして、送信データがTXD_3~TXD_0の信号ラインで利用可能であることをADIN1101に示します。

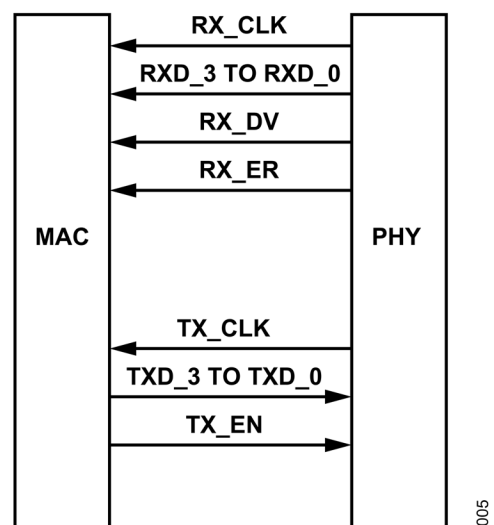


図 10. MII の MAC-PHY インターフェース信号

RMIIモード

RMIIモードには外部の50MHzクロックが必要です。このクロックはMACチップまたはリファレンス・クロックから外部供給してADIN1101のXTAL I/CLK_INピンに印加できます。50MHzのクロックは、送信および受信のどちらのインターフェースにも使用できます。

受信データ(RXD_1~RXD_0)は、リファレンス・クロック(REF_CLK)に同期して遷移します。キャリア・センス/受信データ有効信号(CRS_DV)は、キャリア・センス信号とRX_DV信号を組み合わせた信号であり、受信メディアがアイドルでないときにアサートされます。CRS_DVはREF_CLKに対して非同期的にアサートされ、同期的にアサート解除されます。

RX_ERもリファレンス・クロック信号(REF_CLK)に同期し、受信フレームでエラーが検出されたとき、または偽キャリアが検出されたときにアサートされます。偽キャリアによるRX_ERのアサートは、ソフトウェアで無効にできます。

動作原理

ソフトウェアで MAC インターフェースを RMII に設定するのは、必要な 50MHz のクロックが使用できるときのみに行ってください。RMII のパラメータの詳細は、[MAC インターフェース設定レジスタ](#)のセクションを参照してください。

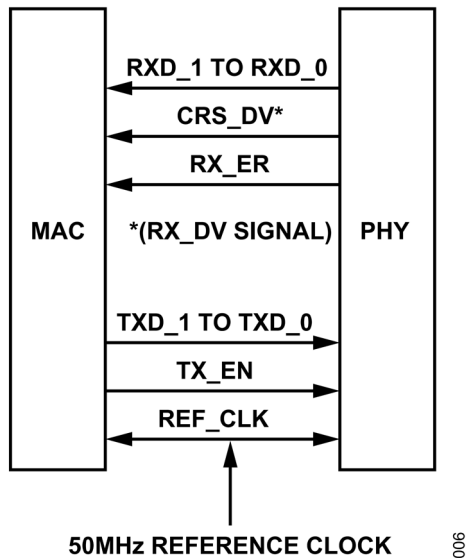


図 11. RMII の MAC-PHY インターフェース信号

RGMII モード

受信 RGMII の場合、ADIN1101 は、2.5MHz の RXC 信号を生成して、RXD_3~RXD_0 を同期させます。RX_CTL は、RX_DV 信号と RX_ER 信号を組み合わせた信号であり（表 8 に示すとおり）、RXC 信号の両方のエッジを使用します。ADIN1101 は、RXC の立上がりエッジで RX_DV 信号を送信し、RXC の立下がりエッジで RX_DV と RX_ER を組み合わせた信号（XOR 関数）を送信します。

送信 RGMII の場合、ADIN1101 は TX_CLK で 2.5MHz のリファレンス・クロックを生成します。MAC は、TXD_3~TXD_0 のデータを TXC の両方のエッジで送信します。TX_CTL は、TX_EN と TX_ER を組み合わせた信号であり（IEEE 802.3 規格の定義により）、TXC の両方のエッジを使用します。TX_EN は TXC の立上がりエッジで送信され、TX_EN と TX_ER を組み合わせた信号（XOR 関数）は TXC の立下がりエッジで送信されます。

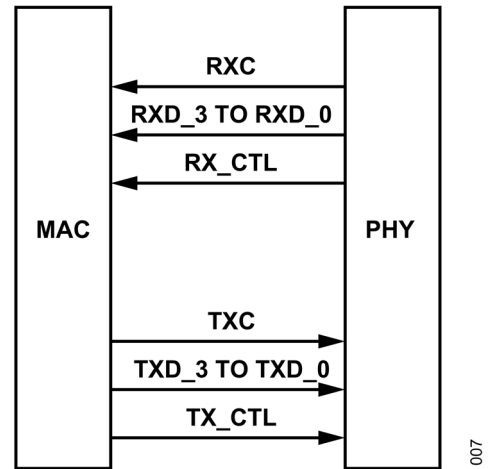


図 12. RGMII の MAC-PHY インターフェース信号

送信振幅の設定

ADIN1101 は、次の 2 つの送信振幅の動作モードに対応しています。

- ▶ 1.0V p-p と 2.4V p-p のモード（ハイ・レベル）
- ▶ 1.0V p-p のみのモード

ハイ・レベルの送信動作モードを使用すると、ADIN1101 は両方の電圧レベルに対応できます。したがって、動作レベルは、リンク・パートナーの機能に基づき、オートネゴシエーション（イネーブルの場合）の間に自動的に設定されます。ハイ・レベル送信動作モードの 2.4V p-p には、3.3V の AVDD_H 電源が必要になることに注意してください。これが満たされず、電源電圧が 3.3V より低い場合は、デバイスが正常に起動しない場合があります。

動作モードは、 $\overline{\text{TX2P4_EN}}$ のハードウェア構成ピンの信号で設定されます（[送信振幅](#)のセクションを参照）。また、ADIN1101 は、オートネゴシエーション・プロセスに使用される送信レベル・レジスタ・ビットのデフォルト値を、RX_D0/ $\overline{\text{TX2P4_EN}}$ ピンで設定されたレベルに基づいて設定します（[送信振幅のアドバタイズメント](#)のセクションを参照）。

ADIN1101 は、RX_D0/ $\overline{\text{TX2P4_EN}}$ ピンが開放（内部プルダウン抵抗）の場合、デフォルトでハイ・レベル送信動作モードに設定されます。

リーダー／フォロア設定

10BASE-T1L 規格では、リーダー／フォロア・クロック・スキームを使用します。このスキームは、一般的にエコー・キャンセル付きの全二重トランシーバー規格で使用されています。1 つの PHY がリーダーに指定され、他方の PHY がフォロアに指定されます。どちらの PHY がリーダーでどちらがフォロアかを、オートネゴシエーションを使用して決定します。リーダーとフォロアの割り当ては一般的には重要ではありません。

動作原理

ハードウェア構成

ADIN1101 は RXD_1/MS_SEL ハードウェア構成ピンを介してフォロア優先またはリーダー優先になるよう設定できます。フォロア優先またはリーダー優先を選択することを推奨します（[リーダー／フォロアの優先度](#)のセクションを参照）。オートネゴシエーションがディスエーブルされている場合、MS_SEL ハードウェア構成ピンでデフォルトのリーダー／フォロア選択が設定されます。ADIN1101 は、このピンが開放（内部プルダウン抵抗）の場合、デフォルトでフォロア優先に設定されます。

ソフトウェア設定

リーダーとフォロアの設定ビット（CFG_MST）は、MS_SEL ハードウェア構成ピンの信号レベルに応じて、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後に自動的に更新されます。

このビットはオートネゴシエーションがディスエーブルされている場合にのみ使用します。それ以外の場合は、このビットはオートネゴシエーション・プロセスの間にセットまたはリセットされます（[オートネゴシエーション](#)のセクションを参照）。

オートネゴシエーション

ADIN1101 は、IEEE 802.3 の条項 98 に準拠したオートネゴシエーション機能を使用しており、ローカル・デバイスとリンク・パートナーが共通の動作モードに合意できるようにするための、情報交換メカニズムを提供しています。1 本のツイスト・ペアによるオートネゴシエーションは、ローカル・デバイスとそのリンク・パートナー間で交換される、差動マンチェスター符号化（DME）ページを使用して実行されます。ハイ・レベルの場合、オートネゴシエーションでは次の機能が可能です。

- ▶ 送信
- ▶ 受信
- ▶ 半二重
- ▶ アービトレーション

オートネゴシエーション・プロセス中、ローカル・デバイスは自身の機能をアドバタイズし、リンク・パートナーから受信した機能と比較します。アービトレーション・メカニズムは、送信振幅モードとリーダー／フォロアの選択がリンク先デバイスに合わせて設定されるように、選択される動作モードを定義します。

リンクが切断されると、オートネゴシエーション・プロセスは自動的に再起動します。オートネゴシエーションは、オートネゴシエーション・コントロール・レジスタ（AN_CONTROL）のオートネゴシエーション再起動ビット（AN_RESTART）に書き込むことでも要求できます。

オートネゴシエーション・プロセスは、交換されるページの数に応じて、完了するまでに時間がかかりますが、リンクを確立することが常に最も早い方法です。IEEE 802.3 規格の条項 98 には、オートネゴシエーションに関連したシーケンス・タイマと DME ページのタイミングについて詳細が記載されています。

ADIN1101 ではオートネゴシエーションはデフォルトでイネーブルされています。また、オートネゴシエーションは常にイネーブルしておくことを強く推奨します。

送信振幅のアドバタイズメント

高電圧送信アビリティのアドバタイズメント

B10L_TX_LVL_HI_ABLE ビットは、オートネゴシエーション・アドバタイズメント・パラメータのデフォルト値を設定します。このビットは読み出し専用で、[送信振幅](#)のセクションで説明するように、TX2P4_EN ハードウェア構成ピンの信号に基づいて設定されます。送信振幅アドバタイズメント・パラメータは次のビットで定義されます。

- ▶ AN_ADV_B10L_TX_LVL_HI_ABL：10BASE-T1L ハイ・レベル送信動作モード・アビリティのアドバタイズメント・ビット
- ▶ AN_ADV_B10L_TX_LVL_HI_REQ：10BASE-T1L ハイ・レベル送信動作モード・リクエストのアドバタイズメント・ビット
- ▶ B10L_TX_LVL_HI：10BASE-T1L 送信電圧振幅制御ビット

表 9. AN_ADV_B10L_TX_LVL_HI_ABL の設定

ビット設定	説明
0	1.0V p-p 送信レベルにのみ対応
1	1.0V p-p と 2.4V p-p の両方の送信レベルに対応

表 10. AN_ADV_B10L_TX_LVL_HI_REQ の設定

ビット設定	説明
0	1.0V p-p の送信レベルを要求
1	2.4V p-p の送信レベルを要求

高電圧送信レベル・リクエストのアドバタイズメント

ADIN1101 は、10BASE-T1L ハイ・レベル送信動作モード・アビリティ・アドバタイズメント・ビット（AN_ADV_B10L_TX_LVL_HI_ABL）を用いて、2.4V p-p の送信レベル要求をアドバタイズするよう設定できます。高電圧リクエスト・アドバタイズメントをイネーブルするためには、TX2P4_EN ハードウェア構成ピン信号を使用して、2.4V p-p 送信レベルをイネーブルする必要があることに注意してください。

リンク・パートナー送信レベル・アドバタイズメント

リンク・パートナーからアドバタイズされたハイ・レベル送信の情報は、次のビットを使用して読み出せます。

- ▶ AN_LP_ADV_B10L_TX_LVL_HI_ABL：リンク・パートナーの 10BASE-T1L ハイ・レベル送信動作モード・アビリティ。
- ▶ AN_LP_ADV_B10L_TX_LVL_HI_REQ：リンク・パートナーの 10BASE-T1L ハイ・レベル送信動作モード・リクエスト

これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット（AN_COMPLETE）がセットされると有効になります。

動作原理

送信振幅の決定

概要

オートネゴシエーションは、以下の機能に対応し、ローカル・ノードとそのリンク・パートナーの間で使用する送信振幅を定義します。

- ▶ ローカル・ノードから高電圧送信アビリティをアダプタイズする
- ▶ ローカル・ノードから高電圧送信レベルの使用をリクエストする
- ▶ リンク・パートナーの送信レベル・アビリティと送信レベル・リクエストを読み出す
- ▶ オートネゴシエーションし、送信レベル動作モードを選択する

ADIN1101が高電圧モードに設定されている場合、オートネゴシエーション・プロセスは、リンク・パートナーの能力に応じて使用するレベルを決定します。

送信レベルの判定

ローカルかリモートのいずれかの PHY がハイ・レベル (2.4V p-p) 送信動作モードに対応できないとアダプタイズした場合、または、ローカル PHY とリモート PHY のどちらもハイ・レベル (2.4V p-p) 送信動作モードのリクエストをアダプタイズしない場合は、1.0V p-p の送信レベルでの動作になります。

ローカルおよびリモートのどちらの PHY もハイ・レベル (2.4V p-p) 送信動作モードで送信できることをアダプタイズしている場合で、かつ、ローカルまたはリモートの PHY がハイ・レベル (2.4V p-p) 送信動作モードのリクエストをアダプタイズしている場合、2.4V p-p の送信レベルでの動作になります。

したがって、どちらの PHY からでも、デバイスを確実に 1.0V p-p の送信レベルで動作させることができます。しかし、2.4V p-p 送信レベルでの動作は PHY によるリクエストがある場合のみです。

ソフトウェア設定

ADIN1101の送信レベルは、以下に示す 10BASE-T1L オートネゴシエーション・アダプタイズメント・ビットを使用して、ソフトウェアで設定することもできます。

- ▶ AN_ADV_B10L_TX_LVL_HI_ABL：ハイ・レベル送信動作モード・アビリティ・ビット
- ▶ AN_ADV_B10L_TX_LVL_HI_REQ：ハイ・レベル送信動作モード・リクエスト・レジスタ・ビット

ソフトウェアを通じてこの 2 つのオートネゴシエーション・アダプタイズメント・ビットを設定するには、TX2P4_EN ハードウェア構成ピン信号を使用し、高い方の送信レベルをイネーブルする必要があります。詳細については、[送信振幅](#)のセクションを参照してください。

1.0V p-p 送信レベル動作でのみ PHY を動作させる必要がある場合は、AN_ADV_B10L_TX_LVL_HI_ABL ビットをクリアし、2.4V p-p 送信レベル動作がアダプタイズされないようにします。この場合、オートネゴシエーションの結果は、リモートの PHY がアダプタイズする設定にかかわらず、1.0V p-p 送信レベル動作のみになります。

表 11. オートネゴシエーションによる送信レベルの決定

AN_LP_ADV_B10L_TX_LVL_HI_ABL	AN_LP_ADV_B10L_TX_LVL_HI_REQ	AN_ADV_B10L_TX_LVL_HI_ABL	AN_ADV_B10L_TX_LVL_HI_REQ	Transmit Level
0	X ¹	0	X ¹	1.0 V p-p
1	X ¹	0	X ¹	1.0 V p-p
0	X ¹	1	X ¹	1.0 V p-p
1	0	1	0	1.0 V p-p
1	0	1	1	2.4 V p-p
1	1	1	0	2.4 V p-p
1	1	1	1	2.4 V p-p

¹ X は、ドント・ケアを意味します。

動作原理

リーダー／フォロアのアダプタイズメント

10BASE-T1L リンクでは、ローカル・ノードとそのリモート・リンク・パートナーは、それらがリーダー、フォロア、リーダー優先、フォロア優先のどれで動作できるか、その役割機能をアダプタイズします。

ADIN1101 の PHY は次の機能を備えています。

- ▶ リーダー／フォロア設定のアダプタイズメント
- ▶ リーダー／フォロア強制設定のアダプタイズメント
- ▶ リンク・パートナーのリーダー／フォロア設定の読出し

リーダー／フォロア設定のアダプタイズメント

リーダー／フォロア設定レジスタ・ビット (AN_ADV_MST) を用いると、リーダー／フォロア設定をアダプタイズするよう PHY を設定できます。このビットは、MS_SEL 設定ピンの信号ステータスに応じて、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後に設定され、MDIO インターフェースを介してソフトウェアでオーバーライドできる点に注意してください。

リーダー／フォロア強制設定のアダプタイズメント

ADIN1101 PHY は、強制的にリーダー／フォロアとして動作させることができます。強制設定を使用する場合は注意が必要です。リンク・パートナーも強制モードでリーダー／フォロアに設定されている場合、設定フォルトが発生し、オートネゴシエーションが失敗する可能性があるためです。ADIN1101 を強制的にリーダーまたはフォロアとして動作させるには、BASE-T1 オートネゴシエーション・アダプタイズメント・レジスタのビット[15:0] (AN_ADV_ABILITY_L) のリーダー／フォロア強制設定ビット (AN_ADV_FORCE_MS) を使用します。

リンク・パートナーのリーダー／フォロア設定の読出し

リンク・パートナーがアダプタイズするリーダー／フォロア設定は、次のビットを使用して読み出せます。

- ▶ AN_LP_ADV_FORCE_MS : リンク・パートナーのリーダー／フォロア強制設定レジスタ・ビット
- ▶ AN_LP_ADV_MST : リンク・パートナーのリーダー／フォロア設定レジスタ・ビット

これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット (AN_COMPLETE) がセットされると有効になります。

リーダー／フォロアの決定

リーダー／フォロア設定の決定

10BASE-T1L リンクでは、ローカル PHY とリモート PHY の優先設定が同じ場合（例えば両方ともフォロア、あるいは両方ともリーダー）、オートネゴシエーションでは互換性のある設定をローカル PHY とリモート PHY にランダムに割り当てます。どちらかの PHY が強制設定の場合、その PHY のリーダー／フォロア設定には、優先設定の PHY よりも高い優先度が与えられます。

リーダー／フォロア設定の決定

オートネゴシエーションで定義された ADIN1101 のリーダー／フォロア設定は、リーダー／フォロア決定結果レジスタ・ビット (AN_MS_CONFIG_RSLTN) を用いて確認することができます。このビットは、PHY の設定がリーダーかフォロアか、あるいは設定フォルトがあるかどうかを示します。

これらのビットは、オートネゴシエーション・プロセスで更新され、オートネゴシエーション完了レジスタ・ビット (AN_COMPLETE) がセットされると有効になります。

表 12. オートネゴシエーションによるリーダー／フォロアの決定

Local ¹		Remote ¹		Local	Remote
AN_ADV_FORCE_MS	AN_ADV_MST	AN_LP_ADV_FORCE_MS	AN_LP_ADV_MST	Leader/Follower Resolution	
0	0	0	0	Leader/follower	Follower/leader
0	0	0	1	Follower	Leader
0	1	0	0	Leader	Follower
0	1	0	1	Leader/follower	Follower/leader
0	X	1	0	Leader	Follower
0	X	1	1	Follower	Leader
1	0	0	X	Follower	Leader
1	1	0	X	Leader	Follower
1	0	1	0	Configuration fault	Configuration fault
1	0	1	1	Follower	Leader
1	1	1	0	Leader	Follower
1	1	1	1	Configuration fault	Configuration fault

¹ X は、ドント・ケアを意味します。

動作原理

オートネゴシエーションの失敗

10BASE-T1L リンクでは、以下に示すような状況でオートネゴシエーションが失敗する可能性があります。

- ▶ 無効なリーダー／フォロア設定などの設定フォルト
- ▶ リンク品質の問題
- ▶ ページ送信のタイムアウト

オートネゴシエーションが失敗した場合、オートネゴシエーション・プロセスが再開され完了するまでリンクはダウンしたままになります。

管理インターフェース

MII 管理インターフェースは、ホスト・コントローラまたは外部 MAC チップと ADIN1101 の間に 2 線式シリアル・インターフェースを提供し、サブシステムの管理レジスタと PHY コアの管理レジスタにある制御およびステータス情報へのアクセスを可能にします。

MII 管理インターフェースは、次の要素で構成されます。

- ▶ MDC：クロック・ライン
- ▶ MDIO：双方向データ・ライン
- ▶ PHYAD_0、PHYAD_1、PHYAD_2：PHY のアドレス選択
- ▶ INT：設定可能な管理割込み

このインターフェースは、IEEE 802.3 規格の条項 22 と条項 45 の両方の管理フレーム構造に準拠しています（[MDIO インターフェース](#)のセクションを参照）。

MDI 回路

MDI は、ツイスト・ワイヤー・ペアを介して ADIN1101 をイーサネット・ネットワークに接続します。

ADIN1101 は、内部終端抵抗を備えた 2 ピン MDI と、ADIN をツイスト・ペア・ワイヤーで直接イーサネット・ネットワークに接続するための内部ハイブリッドを備えています。

図 13、図 14、図 15 は、トポロジおよび各部品値を示しています。

部品の値は次のとおりです。

- ▶ D1、D2：保護用の低容量（ $<5\text{pF}$ ）、低電圧（スタンドオフ電圧 $\geq 3.3\text{V}$ ）の TVS。
- ▶ C1、C2： $0.22\mu\text{F}$ 、 60V 定格。低インダクタンスのトランスが $350\mu\text{H}$ であれば、C1 と C2 を $0.47\mu\text{F}$ に増やすことが必要になるかもしれませんが（IEEE 802.3 のドループ仕様に適合させるため）。
- ▶ R7、R8：コンデンサ C1 と C2 に電荷が貯まるのを防ぐオプションの抵抗（ $100\text{k}\Omega \sim 1\text{M}\Omega$ ）。
- ▶ C3、C4： $47\text{pF} \sim 100\text{pF}$ 、許容誤差 $\pm 5\%$ 。
- ▶ D3：保護用の低容量 TVS（ $\leq 100\text{pF}$ ）。TVS ダイオードは低容量であることが重要です。
- ▶ L1 トランス：ガルバニック絶縁を実現。
 - ▶ $100\text{kHz} \sim 20\text{MHz}$ の周波数範囲で動作できることが必要です。
 - ▶ インダクタンス $> 350\mu\text{H}$ 。

- ▶ L2 コモンモード・インダクタ。 $\geq 220\mu\text{H}$ 、低リーク・インダクタンス $< 0.5\mu\text{H}$ 。
- ▶ L3 パワー・インダクタ：APL（拡張物理層）デバイスと非 APL デバイスでの電力結合。
 - ▶ APL：10%の最大ドループのために、差動で $> 880\mu\text{H}$ 。
 - ▶ $> 220\mu\text{H}$ の結合インダクタを推奨します（共通の磁気コアに 2 つのインダクタを配置）。
 - ▶ または、個別で $> 440\mu\text{H}$ のインダクタを 2 つ使用。
 - ▶ 非 APL：約 25%の最大ドループのためには、差動で $> 160\mu\text{H}$ 。
 - ▶ $> 47\mu\text{H}$ の結合インダクタを推奨します（共通の磁気コアに 2 つのインダクタを配置）。
 - ▶ または、個別で $> 100\mu\text{H}$ のインダクタを 2 つ使用。

絶縁トランスは MDI 伝送ラインにあり、トランスのインダクタンスとパワー・インダクタの合計差動インダクタンスの並列結合が $160\mu\text{H}$ より大きいことが必要です。

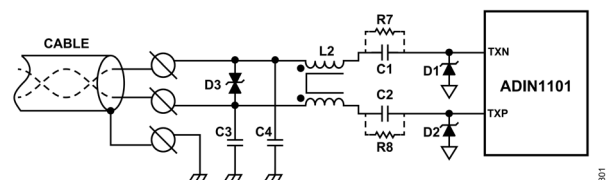


図 13. ADIN1101 に対し容量性結合がある代表的な MDI 回路

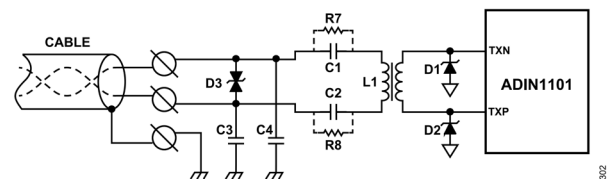


図 14. ADIN1101 に対しガルバニック絶縁がある代表的な MDI 回路

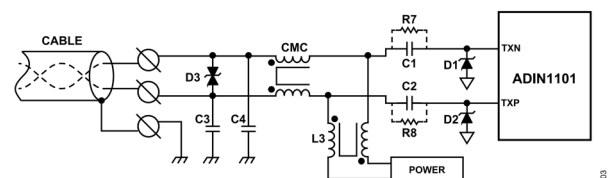


図 15. ADIN1101 に対し電力結合がある代表的な MDI 回路

ハードウェア割込み（INT）

ADIN1101 は、ホスト・コントローラまたは外部 MAC チップに対して、INT ピンを使用してハードウェア割込みを生成できます。

PHY ステータス割込み

割込みを生成するには、以下の条件が選択できます。

- ▶ MAC インターフェースのフレーム・チェッカ／ジェネレータ割込み
- ▶ MAC インターフェースのバッファ・オーバーフロー／アンダーフロー割込み
- ▶ オートネゴシエーションのステータス変化割込み
- ▶ リンク・ステータスの変化割込み

動作原理

これらの条件を設定することにより、PHY_SUBSYS_IRQ_MASK (PHY サブシステム割込みマスク・レジスタのセクションを参照) を用いて $\overline{\text{INT}}$ ピンに割込みをイネーブルできます。

$\overline{\text{INT}}$ ピンでのハードウェア割込みを受けて、PHY_SUBSYS_IRQ_STATUS (PHY サブシステム割込みステータス・レジスタのセクションを参照) を使用して割込みソースを確認できます。

ハードウェア・リセット割込み

ADIN1101 は、CRSM_IRQ_MASK (システム割込みマスク・レジスタのセクションを参照) のハードウェア・リセット割込みイネーブル・ビット (CRSM_HRD_RST_IRQ_EN) をセットすることにより、ハードウェア・リセット (RESET ピンをプルダウン) 後にハードウェア割込みを生成するよう設定できます。

$\overline{\text{INT}}$ ピンでのハードウェア割込みを受けて、CRSM_IRQ_STATUS (システム割込みステータス・レジスタのセクションを参照) の CRSM_HRD_RST_IRQ_LH ビットを使用して割込みソースを確認できます。

ソフトウェア・リクエストによる割込み

外部ホスト・コントローラによるシステム検証のために、CRSM_IRQ_MASK (システム割込みマスク・レジスタのセクションを参照) の CRSM_SW_IRQ_REQ ビットを使用して、 $\overline{\text{INT}}$ ピンにハードウェア割込みを生成するよう ADIN1101 にリクエストできます。

$\overline{\text{INT}}$ ピンでのハードウェア割込みを受けて、CRSM_IRQ_STATUS (システム割込みステータス・レジスタのセクションを参照) の CRSM_SW_IRQ_LH ビットを使用して割込みソースを確認できます。

システム・エラー割込み

ADIN1101 は、システム・エラー割込みも生成できます。割込みフラグは、CRSM_IRQ_STATUS (システム割込みステータス・レジスタのセクションを参照) の予約済みビット・セクション内にあります。

CRSM_IRQ_MASK (システム割込みマスク・レジスタのセクションを参照) は、システム・エラー割込みを許可するよう設定する必要があります。割込みマスクの詳細については表 98 を参照してください。システム・エラー割込み (CRSM_IRQ_STATUS の予備ビットの読出し値が 1) から回復するためには、ADIN1101 をハードウェア・リセットする必要があります。

リセット動作

概要

ADIN1101 は、次のチップ・リセットをサポートしています：

- ▶ パワーオン・リセット
- ▶ ハードウェア・リセット
- ▶ ソフトウェア・リセット
- ▶ MAC インターフェース・リセット
- ▶ PHY サブシステム・リセット

これらのリセットはすべて、PHY コアを含む ADIN1101 を既知の状態にします。PHY コアがリセットされると必ず、ADIN1101 の MAC インターフェース出力ピンは低電圧レベル状態に駆動されます。

パワーオン・リセット

ADIN1101 には電源モニタリング回路があり、チップがパワーアップ・シーケンスに入る前に電圧源が適切であることを確認できます。パワーアップ時、ADIN1101 は各電源が最小の立上がり閾値を超え電源が良好であると判断されるまで、ハードウェア・リセット状態に保持されます。

ハードウェア・リセット

ハードウェア・リセットは、パワーオン・リセット回路により、もしくは RESET ピンが最低 10 μ s の間ローにアサートされることにより、開始されます。ADIN1101 ではこのピンにデグリッチ回路が含まれており、1 μ s より短いパルスを除去します。

RESET ピンがアサート解除されると、すべての入出力 (I/O) ピンがトライステート・モードに保持され、ハードウェア構成ピンがラッチされて、I/O ピンはそれぞれの機能モードに設定されます。すべての外部および内部電源が有効かつ安定な場合、水晶発振器回路がイネーブルされます。水晶発振器が起動し安定すると、フェーズ・ロック・ループ (PLL) がイネーブルされます。RESET ピンがアサート解除されてから 50ms (最大) の遅延後、すべての内部クロックが有効になり、内部ロジックはリセットからリリースされ、すべての管理インターフェース・レジスタは MDIO インターフェースを介してアクセス可能となります。

CLK25_REF クロック出力は、RESET ピンがローにアサートされている間ローを維持し、RESET ピンのアサート解除後更に 70ms 間 (最大) ローのままになります。

ソフトウェア・リセット

フル・チップ・ソフトウェア・リセットは、ソフトウェア・リセット・ビット (CRSM_SFT_RST) をセットすることで開始されます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。ただし、電圧源の検証シーケンスを行わない点が異なります。I/O ピンはトライステート・モードに保持され、ハードウェア構成ピンがラッチされて、I/O ピンはそれぞれの機能モードに設定されます。水晶発振器回路がイネーブルになり、水晶発振器が起動して安定すると PLL がイネーブルされます。CRSM_SFT_RST ビットのセット後約 10ms (最大) 経過すると、内部ロジックがリセットからリリースされ、すべての管理インターフェース・レジスタがアクセス可能になります。システム・レディ・ビット (CRSM_SYS_RDY) は、スタートアップ・シーケンスが完了しシステムの通常動作の準備が整っていることを指示します。

CLK25_REF クロック出力は、ソフトウェア・リセット後 25ms 間 (最大) ローのままになります。

動作原理

PHY サブシステム・リセット

ADIN1101 の PHY サブシステムのリセットは、PHY サブシステム・リセット・レジスタ・ビット (CRSM_PHY_SUBSYS_RST) を 1 にセットすることで開始されます。リセットは通常 1.2 μ s の間適用され、その後、このリセット・ビットは自動クリアされます。PHY のデジタル回路がすべてリセットされ、使用可能なアクティブなリンクがすべて切断されます。PHY サブシステム・リセットによって管理レジスタの値が変化することはない、管理レジスタにはシーケンスを通じてアクセスできます。サブシステム・リセットは短時間のリセットで、内部レジスタの内容を保持しながらデバイスを既知の状態にする場合に使用できます。

MAC インターフェース・リセット

ADIN1101 の MAC インターフェースのリセットは、PHY MAC インターフェース・リセット・レジスタ・ビット (CRSM_MAC_IF_RST) を 1 にセットすることで開始されます。リセットは通常 1.2 μ s の間適用され、その後、このリセット・ビットは自動クリアされます。リセット・シーケンスは ADIN1101 の MAC インターフェースに対し行われますが、使用可能なアクティブなリンクが切断されることはありません。このリセットは、MAC インターフェースでの任意の packets 送信または packets 受信を中断しますが、既存のアクティブなリンクを切断したり、リンクの確立を妨げたりするようなことはありません。MAC インターフェース・リセットによって管理レジスタの値が変化することはない、管理レジスタにはシーケンスを通じてアクセスできます。

ステータス LED

概要

LED_0 ピンは、外部 LED を接続して ADIN1101 のリンク・ステータスや送受信アクティビティを示すために使用できます。各 LED に割り当てられるアクティビティは、LED_CNTRL で設定可能です ([LED 制御レジスタ](#)のセクションを参照)。

LED_0 ピンは、超低消費電力の LED に適しています。LED_0 ピンの最大出力電流は、VDDIO = 3.3V の場合 8mA です。これより大きな LED 出力が必要な場合は、[トランジスタ制御 LED](#)のセクションに示すように、外部トランジスタを使用することを推奨します。

LED_0 ピンは、ホスト・マイクロコントローラの GPIO (パルス幅変調入力またはハードウェア割込みとして設定) にも接続できます。この設定は、ユーザ・インターフェースをすべて外部ホスト・コントローラによって処理する必要があるアプリケーションで有効です (例えば外部 LED モジュールやディスプレイ)。

表 13. LED_0 ピンの設定の概要

Parameter	LED_0
Pin Number	3
Internal Pull-Up or Pull-Down Resistor	Pull-up
Status at Power-Up or Reset	Enabled
LED Pin Mux	Not applicable

LED_0 ピンをホスト・コントローラに直接接続する場合は、ADIN1101 の LED_0 ピンとホスト・コントローラの間に値の小さな抵抗を直列に配置して、電流サージが発生しないようにします。この抵抗値は、ホスト・コントローラ的能力と [表 1](#) に示す ADIN1101 の LED_0 ピン出力電流容量に基づいて決める必要があります。

LED 極性

LED_0 ピンは、LED 極性モード機能を使用して、様々な LED 回路の極性に対応するよう設定できます ([LED 極性レジスタ](#)のセクションを参照)。LED_0 では次の 3 つの極性モードを使用できます。

- ▶ オートセンス (デフォルト)
- ▶ アクティブ・ハイ
- ▶ アクティブ・ロー

オートセンス・モードの場合、ADIN1101 はパワーアップ時またはリセット時にピンを自動的に検出し、適切な極性設定を選択します。

アクティブ・ハイ・モードの場合、ADIN1101 はアノード側から LED を駆動するよう設定されます。

アクティブ・ロー・モードの場合、ADIN1101 はカソード側から LED を駆動するよう設定されます。

回路例については、[LED 回路例](#)のセクションで説明します。

LED 機能

LED_0 は、LED 機能という特徴を利用し、ADIN1101 の様々なアクティビティを表示するよう設定できます。LED 機能は、LED0_FUNCTION ビットを使用して設定できます ([LED 制御レジスタ](#)のセクションを参照)。

LED0_FUNCTION のビット設定値 7、8、9、10 (10 進数) は、LED モード 2 では使用できません。

LED モード

LED_0 のアクティビティ動作は、次の 2 つの LED モードを使用して設定できます。

- ▶ LED モード 1 : 点滅のデューティ・サイクルは、LED0_BLINK_TIME_CNTRL ([LED 0 オン/オフ点滅時間レジスタ](#)のセクションを参照) を使用して定義されます。
- ▶ LED モード 2 : 点滅のデューティ・サイクルは、アクティビティ・レベル (%) に基づき ADIN1101 によって自動的に定義されます。

LED_0 ピンの設定の概要

LED_0 ピンの設定オプションについては [表 13](#) を参照してください。

動作原理

表 13. LED_0 ピンの設定の概要（続き）

Parameter	LED_0
Enable LED	LED0_EN bit (see the LED Control Register section)
LED Polarity	LED0_POLARITY bits (see the LED Polarity Register section)
LED Mode	LED0_MODE bit (see the LED Control Register section), default: LED Mode 1
LED Function ¹	LED0_FUNCTION bits (see the LED Control Register section), default: LINKUP_TXRX_ACTIVITY
LED Blink Rate	LED0_BLINK_TIME_CNTRL (see the LED 0 On/Off Blink Time Register section)
Maximum Current ²	8 mA at 3.3 V

¹ LED0_FUNCTION のビット設定値 7、8、9、10（10 進数）は、モード 2 では使用できません。

² 詳細については、表 1 を参照してください。

リンク・ステータス・ピン

概要

リンク・ステータス・ピン（LINK_ST/PHYAD_2）は、リンク・ステータス・ビット（AN_LINK_STATUS）がアサートされた場合にハイにアサートされ、ADIN1101 とそのリンク・パートナーの間のリンクがアクティブになったことを示します。

LINK_ST/PHYAD_2 ピンは弱プルダウン抵抗を内蔵しています。また、このピンは、パワーアップ時、ハードウェア・リセット時、またはソフトウェア・リセット時に、ハードウェア構成ピン信号（PHYAD_2）として使用することもできます。

代表的な使用例

リンク・ステータス・ピンは、外部 LED を接続するために使用できます。あるいは、ホスト・マイクロコントローラの GPIO（汎用入出力、パルス幅変調入力またはハードウェア割込みとして設定）に接続することもできます。

デフォルトでは、LINK_ST 信号はアクティブ・ハイで、リンク・ステータス極性ビット（DGIO_LINK_ST_POLARITY）を用いてアクティブ・ハイまたはアクティブ・ローに設定できます。[ピン・マルチプレクサ設定 2 レジスタ](#)のセクションを参照してください。

リンク・ステータス・ピンは、電流ソースとして使用することは意図されていません。このピンで LED にインターフェースする場合は、[トランジスタ制御 LED](#) のセクションの回路推奨事項を参照してください。リンク・ステータス・ピンをホスト・コントローラに直接接続する場合は、ADIN1101 のリンク・ステータス・ピンとホスト・コントローラの間に値の小さな抵抗を直列に配置して、電流サージが発生しないようにします。抵抗値は、ホスト・コントローラの能力に応じて定める必要があります。

パワーダウン・モード

ADIN1101 は次の 2 種類のパワーダウン・モードに対応しています：

- ▶ ハードウェア・パワーダウン
- ▶ ソフトウェア・パワーダウン

ハードウェア・パワーダウンでは消費電力が最小になります。このモードでは、ADIN1101 が完全にオフになり、内部レジスタにはアクセスできません。

ハードウェア・パワーダウン・モード

ハードウェア・パワーダウン・モードは、ADIN1101 の動作が不要で、消費電力を最小化する場合に使用できます。

RESET ピンがアサートされ、ローに保持されると、デバイスはハードウェア・パワーダウン・モードに入ります。このモードでは、すべてのアナログ回路とデジタル回路がディスエーブルされ、クロックはゲート・オフされ、すべての I/O ピンがトリステート・モードに保持されます。

このモードでは、ADIN1101 の消費電力は、内部リーク電流に等しくなります。また、このモードでは、内部レジスタにはアクセスできません。

ソフトウェア・パワーダウン・モード

ソフトウェア・パワーダウン・モードは、リンクを確立する前に ADIN1101 のレジスタを設定するために使用できます。このモードでは、アナログ回路とデジタル回路は低消費電力状態になりますが、PLL はアクティブで、出力クロックを供給するようにも設定できます。MDI ピン（TXP、TXN、RXP、RXN）に生じた信号は無視され、アクティブなリンクは切断されます。MAC インターフェース出力ピンはローにアサートされ、内部レジスタには MDIO インターフェースを介してアクセスできます。

デバイスは、**SWPD_EN** ハードウェア構成ピン信号を使用して、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後に自動的にソフトウェア・パワーダウン・モードになるよう設定できます。また、ADIN1101 には、ソフトウェア・パワーダウン・ビット（CRSM_SFT_PD）をセットすることで、ソフトウェア・パワーダウン・モードになるよう命令を送ることもできます。

ソフトウェア・パワーダウン・ステータス・ビット（CRSM_SFT_PD_RDY）は、デバイスがソフトウェア・パワーダウン・モードにあることを示します。

CRSM_SFT_PD ビットをクリアすると、ADIN1101 はソフトウェア・パワーダウン・モードを終了します。ソフトウェア・パワーダウンの終了後、オートネゴシエーションが完了している場合、デバイスはリンクを確立しようとします。

ハードウェア構成ピン

概要

ADIN1101は、ハードウェア構成ピンを使用して、マネージド構成またはアンマネージド構成で動作できます。

ハードウェア構成ピンは、代替のブートストラップ機能を備えた標準的なピンです。ADIN1101は、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、直ちにハードウェア構成ピンのレベルを読み出し、それに対応してPHY設定を構成します。ADIN1101がアクティブな場合、直ちにリンクの確立を試行します。リンクの確立後、ハードウェア構成ピンはメインのピン機能で使えます。これらのピンは、アンマネージド構成またはマネージド構成で使えます。

アンマネージド構成とは、ADIN1101がスタンダアロン・モードで動作することを意味します。このモードは、システムが、ソフトウェア制御や外部ホスト・コントローラを必要とせずADIN1101の静的な設定をする必要がある場合に使用できます。

マネージド構成とは、マイクロコントローラなどの外部ホストを使用して、MDIOを介してソフトウェアによりADIN1101の制御や管理を行うことを意味します。ハードウェア構成ピンは、外部ホストに接続することも、プルアップ/プルダウン抵抗を使ってハードウェア設定することもできます。ホスト・コントローラがアクティブな場合、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、ホスト・コントローラは、ハードウェア・ピンで設定されたADIN1101のハードウェア構成をオーバーライドできます。

アンマネージド・アプリケーション

アンマネージド・アプリケーションでは、ソフトウェアを介入させることなく、ハードウェア構成ピンを使用してADIN1101の必要な動作を構成できます。ハードウェア構成ピンは、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、対応する管理レジスタのデフォルト値を設定します。

アンマネージド・アプリケーションでは、リセット後のソフトウェア・パワーダウンはディスエーブルする必要があります。そうしなければ、ADIN1101は無期限にパワーダウンのままになります。デバイスがパワーダウン・モードを終了するには、管理インターフェースを介してレジスタを操作するしかありません（ソフトウェア・パワーダウン・モードのセクションを参照）。

マネージド・アプリケーション

マネージド・アプリケーションの場合、ADIN1101は管理インターフェースを介してホスト・コントローラから設定できます。ホスト・コントローラは、アプリケーションの要求に応じてデバイスを動的に設定できます。

マネージド・アプリケーションでは、リセット機能後のソフトウェア・パワーダウンをイネーブルできます。ホスト・コントローラが管理インターフェースを使用してADIN1101をアクティブ・モードにするためです。

ハードウェア構成ピンの機能

概要

ADIN1101のハードウェア構成ピンで以下の機能を設定できます。

- ▶ PHYアドレス

- ▶ リセット後のソフトウェア・パワーダウン・モード
- ▶ 送信振幅の設定
- ▶ リーダー/フォロアを選択
- ▶ MACインターフェースの選択 (RMII/MII)
- ▶ メディア・コンバータの動作

すべてのハードウェア構成ピンには、内部プルダウン抵抗があります。デフォルトの動作モードを表14に示します。代替動作モードが必要な場合の外部ピンの推奨制御については、表15を参照してください。

表 14. デフォルトのハードウェア構成モード

Hardware Configuration Pin Function	Default Mode (Pin Floating)
PHY Address	0x0
Software Power-Down Mode After Reset	Enabled
Leader/Follower Selection	Prefer follower
Transmit Amplitude	Both 1.0 V p-p and 2.4 V p-p
MAC Interface Selection	RMII
Media Converter	Normal PHY operation

表 15. ハードウェア構成ピンの推奨制御

Required Pin Level	Managed Configuration Options	Unmanaged Configuration Options
High	4.7 kΩ external pull-up resistor Host GPIO output high ¹	4.7 kΩ external pull-up resistor
Low	External pull-down resistor Host GPIO output low ¹ Host GPIO tristated ² Floating pin ²	External pull-down resistor Floating pin ²

¹ 値の低い直列抵抗を推奨します。

² 外部プルダウン抵抗を推奨します。

メディア・コンバータ

ADIN1101はメディア・コンバータとして動作することができるため、RMII または RGMII を介して 10BASE-T PHY を直接ADIN1101に接続できます。ADIN1101は、MDI ピンを介して10BASE-T1LのリモートPHYに接続できます。

RMIIモードでは、MEDIA_CNV ハードウェア構成ストラップ・ピンを使用して、リセット後、または電源の入れ直し後にデフォルトでメディア・コンバータ機能を有効化できます。または、CRSM_RMII_MEDIA_CNV_EN ビット (MAC インターフェース設定レジスタのセクションを参照) によってメディア・コンバータを設定することもできます。

RGMIIモードでは、ADIN1101は、メディア設定条件なしに、別のRGMIIデバイスに直接接続できます。

MEDIA_CNV ハードウェア構成ピン信号は、TXD_3と兼用です。TXD_3は、RGMIIモードでは使用されません (MAC インターフェースのセクションを参照)。TXD_3/MEDIA_CNV ピンは弱プルダウン抵抗を内蔵しています。したがって、ADIN1101はデフォルトでは通常のPHY動作に設定されます (例えば、MAC インターフェースに接続された外部MACチップ)。RMIIモードでメディア・コンバータ動作を選択するには、外部プルアップ抵抗またはGPIOを介した外部ホスト制御を用いる必要があります。

ハードウェア構成ピン

表 16. メディア・コンバータの選択（ハードウェア構成）

MEDIA_CNV	Media Converter Selection
0	Normal PHY operation
1	Media converter operation

PHY アドレスの設定

以下の 3 つのピンを使って、ADIN1101 の PHY アドレスを設定できます。

- ▶ RXD_2/PHYAD_0
- ▶ RXD_3/PHYAD_1
- ▶ LINK_ST/PHYAD_2

これらは 2 レベルの構成ピンです。つまり、使用可能な 8 個の PHY アドレスのいずれかに ADIN1101 を設定できます。PHY アドレス・ピンは弱プルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1101 は 0x0 の PHY アドレスに設定されます。

PHY アドレスが設定されるのは、パワーアップ後、ハードウェア・リセット後、ソフトウェア・リセット後であるため、これら 3 つのピンをマネージド・アプリケーションで使用し、外部ホスト・コントローラに接続する場合、特別な注意が必要です。

リセット後のソフトウェア・パワーダウン

SWPD_EN ハードウェア構成ピン信号は、RX_DV 信号と兼用で、リセット後のソフトウェア・パワーダウン機能をイネーブル／ディスエーブルするために使用されます。パワーダウン・ビット (CRSM_SFT_PD) は、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時の SWPD_EN 信号のステータスに基づいて設定されます。MDIO インターフェースを用いて CRSM_SFT_PD をセットし、リセット後のソフトウェア・パワーダウンをイネーブルすることもできます。

RX_DV/RX_CTL/SWPD_EN ピンは弱プルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1101 は、リセット後のソフトウェア・パワーダウンをイネーブルする設定が可能です。

リセット後のソフトウェア・パワーダウンがイネーブルされている場合、ADIN1101 は、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後に、ソフトウェア・パワーダウン状態になります。ソフトウェア・パワーダウンにより低消費電力モードになり、ADIN1101 のほとんどの内部モジュールがオフになります。

ADIN1101 は、MDIO インターフェースを用いて CRSM_SFT_PD ビットを 0 にすることでパワーダウン・モードを終了するように設定できます。

パワーアップ、ハードウェア・リセット、またはソフトウェア・リセット後、オートネゴシエーションがイネーブルされリセット後のソフトウェア・パワーダウンがディスエーブルされている場合、ADIN1101 はオートネゴシエーションを開始し、リンクの確立を試行します。

表 17. ソフトウェア・パワーダウン（ハードウェア構成）

SWPD_EN	Software Power-Down Configuration
0	PHY in software power-down after reset
1	PHY not in software power-down after reset

リーダー／フォロアの優先度

MS_SEL ハードウェア構成ピン信号は RXD_1 信号と兼用で、デフォルトのリーダー／フォロア選択を設定します。パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時に MS_SEL がローにプルダウンされていると、デバイスはデフォルトでフォロア優先に設定されます。

パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時に MS_SEL がハイにプルアップされていると、デバイスはデフォルトでリーダー優先に設定されます。

RXD_1/MS_SEL ピンは弱いプルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1101 はフォロア優先に設定されます。

MS_SEL ハードウェア構成ピン信号は、オートネゴシエーション・リーダー／フォロア設定レジスタ・ビット (AN_ADV_MST) のデフォルト設定を設定します。また、MS_SEL は、オートネゴシエーションがディスエーブルされているときに使用されるリーダー／フォロア設定レジスタ・ビット (CFG_MST) のデフォルト設定も設定します。

AN_ADV_MST ビットと CFG_MST ビットは MDIO インターフェースを用いて変更できますが、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後は、MS_SEL ハードウェア構成ピン信号によって設定されたデフォルト値に戻ります。

表 18. リーダー／フォロアの選択（ハードウェア構成）

MS_SEL	Leader/Follower Selection
0	Prefer follower selection
1	Prefer leader selection

送信振幅

TX2P4_EN ハードウェア構成ピン信号は RXD_0 の信号と共有され、デフォルトの送信振幅モードを設定するために使用されます。送信振幅モードは、表 19 に示す、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時のピンのステータスによって定義されます。

TX2P4_EN ハードウェア構成ピン信号は、高電圧送信アビリティ・ビット (B10L_TX_LVL_HI_ABLE) のデフォルト設定を設定します。

RXD_0/TX2P4_EN ピンは弱プルダウン抵抗を内蔵しています。そのため、デフォルトでは、ADIN1101 は、1.0V p-p と 2.4V p-p の両方の電圧レベルに対応するように設定されます。

RXD_0/TX2P4_EN ピンがハイ (1.0V p-p のみ) に接続されている場合、関連するレジスタを MDIO インターフェースを介して変更することはできません。つまり、ADIN1101 がハードウェア・ピンによって 1.0V p-p レベルのみのモードに設定されている場合、2.4V p-p の動作はできません。

ハードウェア構成ピン

表 19. 送信振幅の選択（ハードウェア構成）

TX2P4_EN	Transmit Amplitude Selection
0	1.0 V p-p and 2.4 V p-p
1	1.0 V p-p

TX2P4_EN ハードウェア構成ピン信号は、10BASE-T1L 高電圧送信アビリティ・ビット（B10L_TX_LVL_HI_ABLE）の値を設定します。

TX2P4_EN が、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時にローにプルダウンされている場合、2.4V p-p の送信動作モードがイネーブルされ、B10L_TX_LVL_HI_ABLE の値は 1 になります。

TX2P4_EN が、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時にハイにプルアップされている場合、2.4V p-p の送信動作モードがディスエーブルされ、B10L_TX_LVL_HI_ABLE の値は 0 になります。

B10L_TX_LVL_HI_ABLE ビットは、表 20 の記載のように、PHY が 10BASE-T1L 高電圧送信モードで動作できるかどうかを示します。

表 20. B10L_TX_LVL_HI_ABLE の設定

ビット設定	説明
0	PHY は 10BASE-T1L の高電圧（2.4V p-p）送信レベル動作モードには対応していません。
1	PHY は 10BASE-T1L の高電圧（2.4V p-p）送信レベル動作モードに対応しています。

MAC インターフェースの選択

MAC インターフェース・ハードウェア構成ピン信号（MACIF_SELx）は、RX_CLK/RXC 信号および RX_ER 信号と兼用で、表 21 に従って設定できます。RX_CLK/RXC/MACIF_SEL0 ピンと RX_ER/MACIF_SEL1 ピンは、弱プルダウン抵抗を内蔵しています。したがって、デフォルトでは、ADIN1101 は RMII モードに設定されます。RGMII または MII の MAC インターフェース・モードを選択するには、外部プルアップ/プルダウン抵抗または GPIO を介したホスト制御を用いる必要があります。

表 21. MAC インターフェースの選択（ハードウェア構成）

MACIF_SEL1	MACIF_SEL0	MAC Interface Selection
0	0	RMII
0	1	RGMII
1	0	Reserved
1	1	MI

10BASE-T1L リンクの確立

以下のセクションで、ADIN1101 とリモートのリンク・パートナーの間のリンクを確立する方法について、いくつかの推奨事項を説明します。これらのセクションは、様々な設定をカバーしていますが、目的のアプリケーションには無関係の設定もあります。詳細な説明については、[動作原理](#)のセクションを参照してください。

アンマネージド PHY 動作

管理インターフェースによる ADIN1101 の制御が行われないアンマネージド PHY では、ハードウェア構成ピンによって動作モードが決まります。ハードウェア構成ピンの使用方法に関する詳細は、[ハードウェア構成ピン](#)のセクションを参照してください。以下のセクションで、アンマネージド・アプリケーションでリンクを確立するのに必要な手順を説明します。

PHY アドレスを設定する

PHY アドレスは、PHY アドレス・ピンである RXD_2/PHYAD_0、RXD_3/PHYAD_1、LINK_ST/PHYAD_2 をアサートすることによって選択できます。

リセットが解除されると、ADIN1101 はオートネゴシエーションを開始し、オートネゴシエーションが終了するとリンクの確立を試行します。

アドレス・ピンの使用方法の詳細については、[PHY アドレスの設定](#)のセクションを参照してください。

リセット後にソフトウェア・パワーダウン・モードをディスエーブルする

アンマネージド・アプリケーションでは、ソフトウェア・パワーダウン・モードをディスエーブルする必要があります。これを行わなければ、ADIN1101 は無期限でソフトウェア・パワーダウンのままになります。リセットが解除されたときに PHY がソフトウェア・パワーダウン・モードにならないよう、パワーアップ時およびリセット時に RX_DV/RX_CTL/SWPD_EN ピンをハイにアサートする必要があります。

リセット後のソフトウェア・パワーダウン機能の設定方法の詳細は、[リセット後のソフトウェア・パワーダウン](#)のセクションを参照してください。

リーダー／フォロアの選択

RXD_1/MS_SEL ピンを用いると、PHY がフォロア優先とリーダー優先のどちらをアドバタイズするかを設定できます。

リーダー／フォロア設定を行う方法の詳細については、[リーダー／フォロアの優先度](#)のセクションを参照してください。

送信振幅レベルを設定する

RXD_0/TX2P4_EN ピンは、PHY が 1.0V p-p および 2.4V p-p の両方の送信レベル動作に対応することをアドバタイズする、または 1.0V p-p 送信レベル動作にのみ対応することをアドバタイズするよう設定できます。

デフォルトでは、ADIN1101 は、内部プルダウン抵抗により 1.0V p-p および 2.4V p-p の送信レベルに対応するよう設定されています。関連するピンをハイまたはローにアサートすると、2.4V p-p 送信レベルの対応をディスエーブルできます。

送信振幅レベルの設定方法の詳細については、[送信振幅](#)のセクションを参照してください。

MAC インターフェースを選択する (RGMII/RMII/MII)

MAC インターフェースの種類の選択は、RX_CLK/RXC/MACIF_SEL0 ピンおよび RX_ER/MACIF_SEL1 ピンを用いて行います。

MAC インターフェースを選択する方法の詳細については、[MAC インターフェースの選択](#)のセクションを参照してください。

メディア・コンバータ機能をイネーブルする

メディア・コンバータ機能が必要な場合は、TXD_3/MEDIA_CNV ピンをハイにアサートします (RMII モードのみ)。

メディア・コンバータ機能をイネーブルする方法の詳細については、[メディア・コンバータ](#)のセクションを参照してください。

マネージド PHY 動作

マネージド PHY アプリケーションの場合、マイクロコントローラなどのホスト・コントローラを使用し、管理インターフェース (MDIO) を介してソフトウェアにより ADIN1101 の動作を設定します。

アンマネージド PHY 動作と同様、ハードウェア構成ピンを使用して、制御対象の ADIN1101 をセットアップできます (詳細については、[アンマネージド PHY 動作](#)のセクションを参照してください)。または、外部プルアップ抵抗やプルダウン抵抗を介して、ハードウェア構成ピンをホスト (例えば GPIO) で直接制御することもできます。

マネージド・アプリケーションでは、リセット後のソフトウェア・パワーダウンをイネーブルできます。ADIN1101 は、ソフトウェアが PHY をアクティブに設定するまで、ソフトウェア・パワーダウン・モードを維持します。アクティブになると、PHY はオートネゴシエーションを開始し、リンクの確立を試行します。

パワーアップおよびリセットの完了

デバイスがパワーアップやリセットのシーケンスを完了し通常動作が可能になったことをソフトウェアが確認する代表的な方法は、管理レジスタを読み出して IEEE の組織固有識別子 (OUI)、モデル番号、リビジョン番号を調べることです。このレジスタの値は、PHY ベンダごとに決まっている、ゼロ以外の値です。デバイスがパワーアップを完了していない場合、正しい値が読み出されません。一般的な BASE-T PHY では、この値は管理インターフェースのレジスタ・アドレス 0x2 およびレジスタ・アドレス 0x3 にあります。

ADIN1101 では、OUI、モデル番号、リビジョン番号は、デバイス・アドレス 0x1F (条項 45 のみ)、レジスタ・アドレス 0x2、レジスタ・アドレス 0x3 (条項 22 および条項 45) でも読み出せます。

MMD1_DEV_ID1 には OUI のビット [3:18] が含まれています ([ベンダ固有 MMD1 デバイス識別子ハイ・レジスタ](#)のセクションを参照)。

10BASE-T1L リンクの確立

MMD1_DEV_ID2 には、OUI のビット [19:24] (MMD1_DEV_ID2_OUI)、モデル番号 (MMD1_MODEL_NUM)、リビジョン番号 (MMD1_REV_NUM) が含まれています。ペンダ固有 MMD 1 デバイス識別子ロー・レジスタのセクションを参照してください。

表 22. ADIN1101 固有識別子の値

Description	Bit Name	Value
Organizationally Unique Identifier, Bits[3:18]	MMD1_DEV_ID1	0x283
Organizationally Unique Identifier, Bits[19:24]	MMD1_DEV_ID2_OUI	0x2F
Model Number, Bits[6:0]	MMD1_MODEL_NUM	0x8
Revision Number, Bits[6:0]	MMD1_REV_NUM	0x1

IEEE OUI の有効な読出しが完了すると、システム・レディ・ビット (CRSM_SYS_RDY) を読み出して、スタートアップ・シーケンスが完了しシステムの通常動作の準備が整っていることを確認できます。

ソフトウェア・パワーダウン・ステータス・ビット (CRSM_SFT_PD_RDY) を読み出すと、デバイスがソフトウェア・パワーダウン状態になっているかどうかを確認できます。このビットはSWPD_ENハードウェア構成ピン信号によっても制御されます。

デバイスをリンク用に設定

パワーアップまたはリセット後、ADIN1101 をリンクに必要な動作に設定します。ADIN1101 は、必要な設定がハードウェア構成ピンを使用して既に行われている場合もありますが、管理レジスタを使用すると、より幅広い制御が可能になります。

オートネゴシエーション・プロセスを使用すると、ローカル PHY とリモート PHY 間で動作モードを一致させることができます。例えば、オートネゴシエーションを使用すると、2 つのデバイスの間で、どちらの PHY がリーダーとして動作しどちらがフォロアとして動作するかに関し、モードが確実に一致するようにできます。オートネゴシエーションは、2 つの PHY 間で送信レベルを一致させることもできます。

ADIN1101 ではオートネゴシエーションはデフォルトでイネーブルされています。また、オートネゴシエーションは常にイネーブルしておくことを強く推奨します。オートネゴシエーションは IEEE 規格で定義され、PHY 同士の間での堅牢なリンク動作を確保するためのメカニズムを多数備えており、リンクを最も速く確立できる方法です。

送信レベル・モードの設定

概要

B10L_TX_LVL_HI_ABLE ビットが 1 にセットされ、AVDD_H ピンに 3.3V の電源が供給されている場合、ADIN1101 は 1.0V p-p と 2.4V p-p のどちらの送信レベル動作にも対応できます。送信レベルが高いほど長距離伝送に対応できますが、消費電力も大きくなります。

ADIN1101 は、AVDD_H ピンの電圧が 1.8V の場合、非常に低い消費電力で 1.0V p-p の送信レベル動作に対応できます。

ADIN1101 は、1.0V p-p および 2.4V p-p の両方の送信レベル動作に対応することをアドバタイズするよう設定することも、1.0V p-p 送信レベル動作にのみ対応することをアドバタイズするよう設定することもできます。詳細については送信レベル・モードのアドバタイズメントのセクションを参照してください。

高電圧送信アビリティをイネーブル

送信振幅のセクションで説明しているように、高電圧送信アビリティは、TX2P4_ENハードウェア構成ピン信号を用いてセットされ、これにより内部的に高電圧送信アビリティ・ビットの B10L_TX_LVL_HI_ABLE (読出し専用) がセットされます。

1.0V p-p および 2.4V p-p の送信レベルをイネーブル

1.0V p-p および 2.4V p-p の両方の送信レベル動作を可能にするには、AN_ADV_B10L_TX_LVL_HI_ABL を 1 に設定して、デバイスが 2.4V p-p 送信レベル動作ができることを示します (AVDD_H ピンに 3.3V 電源が必要です)。

2.4V p-p 送信レベルを優先として設定

2.4 V p-p 送信レベルを優先する場合は、AN_ADV_B10L_TX_LVL_HI_REQ を 1 に設定して 2.4V p-p の送信レベル動作をリクエストします。オートネゴシエーションによってリンクが動作する送信レベルが決定される点に注意してください。

1.0V p-p 送信レベルを優先として設定

1.0V p-p 送信レベル動作を優先する場合は、AN_ADV_B10L_TX_LVL_HI_REQ を 0 に設定します。オートネゴシエーションによってリンクが動作する送信レベルが決定されます。

1.0V p-p 送信レベルのみをイネーブル

1.0V p-p 送信レベル動作でのみ PHY を動作させる必要がある場合は、AN_ADV_B10L_TX_LVL_HI_ABL ビットを 0 に設定し、2.4V p-p 送信レベル動作がアドバタイズされないようにします。

この場合、オートネゴシエーションの結果は、リモートの PHY がアドバタイズする設定にかかわらず、1.0V p-p 送信レベル動作のみになります。ケーブル長が非常に長い場合、ケーブルの特性によっては、1.0V p-p 動作ではリンクを確立できない場合があります。

ハイ・レベル送信が RXD_D0/TX2P4_EN ピンでディスエーブルされている場合、AVDD_H の電源には 1.8V または 3.3V から供給して 1.0V p-p 送信レベル動作を行うことができます。

送信レベル・モードのアドバタイズメント

高電圧送信アビリティをイネーブル

ADIN1101 が 2.4V p-p 送信レベルに対応するためには、AVDD_H の電源レールを 3.3V 電源で供給する必要があります。

高電圧送信アビリティは、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時に TX2P4_EN ハードウェア構成ピンの信号をローに設定することでイネーブルできます。送信アビリティ・ビット (B10L_TX_LVL_HI_ABLE (読出し専用)) は、以下のように、定義されたハードウェア構成に自動的に設定されます。

10BASE-T1L リンクの確立

- ▶ B10L_TX_LVL_HI_ABLE = 0 : 1.0V p-p のみのアビリティ
- ▶ B10L_TX_LVL_HI_ABLE = 1 : 1.0V p-p および 2.4 V p-p のアビリティ

詳細については[送信レベル・モードの設定](#)のセクションを参照してください。

高電圧送信アビリティをアドバタイズ

オートネゴシエーション時にリンク・パートナーにハイ・レベル送信モードをアドバタイズするには、AN_ADV_B10L_TX_LVL_HI_ABL ビットを 1 に設定します。このビットは、ADIN1101 に高電圧モードでの送信アビリティがある場合 (B10L_TX_LVL_HI_ABLE = 1) にのみ設定できます。

高電圧送信アビリティがある場合のみ、ADIN1101 は 2.4V p-p および 1.0V p-p の両方のレベルに対応することをアドバタイズできます。選択されるレベルは、リンク・パートナーとのオートネゴシエーションによって決定されます。

詳細については、[送信振幅のアドバタイズメント](#)のセクションを参照してください。

高電圧送信レベルのリクエストをアドバタイズ

オートネゴシエーション時に 2.4V p-p 送信レベル動作のリクエストをアドバタイズするには、AN_ADV_B10L_TX_LVL_HI_REQ ビットを 1 に設定します。このビットは、ADIN1101 に高電圧モードでの送信アビリティがある場合 (B10L_TX_LVL_HI_ABLE = 1) にのみ設定できます。

詳細については、[送信振幅のアドバタイズメント](#)のセクションを参照してください。

リンク・パートナーがアドバタイズした送信レベルを読み出す

リンク・パートナーがアドバタイズした送信情報は、リンク・パートナーのハイ・レベル送信動作モード・アビリティ (AN_LP_ADV_B10L_TX_LVL_HI_ABL) とリンク・パートナーのハイ・レベル送信動作モード・リクエスト (AN_LP_ADV_B10L_TX_LVL_HI_REQ) で読み出せます。これらのビットは、オートネゴシエーションが完了した場合 (AN_COMPLETE = 1) に有効になります。

詳細については、[送信振幅のアドバタイズメント](#)のセクションを参照してください。

オートネゴシエーションの完了

オートネゴシエーションが完了すると、オートネゴシエーション完了指示レジスタ・ビット (AN_LINK_GOOD) がセットされます。このビットは、オートネゴシエーション・シーケンスが完了し、イネーブルされた PHY リンクがセットアップされていること、またはアクティブになっていることを示します。

オートネゴシエーションが完了し、リンクが確立すると、オートネゴシエーション完了レジスタ・ビット (AN_COMPLETE) が 1 に設定され、次のレジスタの内容が有効になります。

- ▶ BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ
 - ▶ AN_ADV_ABILITY_L : ビット[15:0]
 - ▶ AN_ADV_ABILITY_M : ビット[31:16]
 - ▶ AN_ADV_ABILITY_H : ビット[47:32]
- ▶ BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ
 - ▶ AN_LP_ADV_ABILITY_L : ビット[15:0]
 - ▶ AN_LP_ADV_ABILITY_M : ビット[31:16]
 - ▶ AN_LP_ADV_ABILITY_H : ビット[47:32]

リンク・ステータス

リンクのステータスは、リンク・ステータス・レジスタ・ビット (AN_LINK_STATUS) を読み出すことで判定できます。このビットはローにラッチされます。

このビットが 1 の場合、有効なリンクが確立されていることを示します。

このビットが 0 の場合は、最後の読出し以降にリンクが切断されていることを示します。このビットはローにラッチされます。したがって、0 が読み出された場合、リンク・ステータスが確立したかどうかを判定するために、しばらくしてから再度読み出す必要があります ([ラッチ・ロー・レジスタ](#)のセクションを参照)。

リンクが切断されると、オートネゴシエーション・プロセスは自動的に再起動します。オートネゴシエーションは、AN_CONTROL レジスタのオートネゴシエーション再起動ビット (AN_RESTART) への書込みを通じてリクエストすることで再起動できます ([10BASE-T1 オートネゴシエーション制御レジスタ](#)のセクションを参照)。

オンチップ診断

ループバック・モード

PHY コアには、以下のループバック・モードがあります。

- ▶ 物理メディア・アタッチメント (PMA) ループバック
- ▶ 物理コーディング・サブレイヤ (PCS) ループバック
- ▶ MAC インターフェース・ループバック
- ▶ MAC インターフェース・リモート・ループバック

これらのループバック・モードは、PHY 内の様々な機能ブロックをテストおよび検証します。フレーム・ジェネレータとフレーム・チェッカーを使用すると、PHY コア内のデジタルおよびアナログ・データ・パスに対し完全に自己完結型のインサーキット・テストが可能になります。

PMA ループバック

PMA ループバックでは、MDI インターフェースをオープン・サーキットのままにして、未終端のコネクタまたはケーブルに送信する必要があります。このモードでは、ADIN1101 から送信される信号は、オープンの 10BASE-T1L MDI からエコー・バックされます。このテスト・モードは、IEEE 802.3cg 規格の副条項 146.5.6 で定義されている PMA ローカル・ループバック機能の実行です。テスト・モードの精度を向上させるため、MDI インターフェースに接続しているケーブルはすべて取り外してください。

PMA ループバック・モードでは、デバイスは強制リンク構成モード（オートネゴシエーションはディスエーブル）に設定する必要があります。PMA ループバックをイネーブルするには、10BASE-T1L PMA ループバック・イネーブル・ビット（B10L_LB_PMA_LOC_EN）を 1 に設定します（10BASE-T1L PMA 制御レジスタのセクションを参照）。

PCS ループバック

PCS ループバック・モードは、PHY デジタル・ブロックの入力段で PCS ブロック内のレーザーに送信データをループバックします。B10L_LB_PCS_EN ビット（B10L_PCS_CNTRL レジスタ）を設定すると PCS ループバックがイネーブルされます。

PCS ループバック・モードがイネーブルされている場合、MDI ピンには信号は送信されません。

MAC インターフェース・ループバック

MAC インターフェース・ループバック・モードでは、MAC インターフェース送信データ・ピン（TXD_x 信号）で受信したデータを受信データ・ピン（RXD_x 信号）にループバックします。そのため、これを使用して MAC インターフェースの接続を検証することができます。MAC インターフェース・ループバックをイネーブルするには、MAC_IF_LB_EN ビットを 1 に設定します（MAC インターフェース・ループバック設定レジスタのセクションを参照）。

同じレジスタ内の MAC_IF_LB_TX_SUP_EN ビットがセットされている場合（デフォルトでセット）、MAC インターフェースで受信した信号は、ADIN1101 PHY コアへは転送されません。

MAC インターフェース・リモート・ループバック

MAC インターフェース・リモート・ループバックでは、リモート PHY とのリンク・アップを必要とし、ADIN1101 で受信したデータをリモート PHY にループバックすることができます。このリンクを行うと、リモート PHY が適切なデータを受信することを確認することにより、リンクが完全であることをリモート PHY が検証できます。MAC インターフェース・リモート・ループバックをイネーブルするには、MAC_IF_REM_LB_EN ビットを 1 に設定します（MAC インターフェース・ループバック設定レジスタのセクションを参照）。

MAC_IF_REM_LB_RX_SUP_EN ビット（MAC インターフェース・ループバック設定レジスタのセクションを参照）がセットされていると（デフォルトでセット）、ADIN1101 が MDI ピンから受信したデータは MAC インターフェースには転送されません。

外部 MII/RMII ループバック

概要

外部 MII/RMII ループバック・モードに設定されている場合、ADIN1101 はリモート PHY から受信したデータをエコー・バックします。外部 MII/RMII ループバックは、MAC 送信信号ピンを MAC 受信信号ピンに物理的に接続して行います。必要な配線構成を表 23 に示します。

表 23. 外部 MII/RMII ループバックの配線

Reception Signals	Transmission Signals
RXD_0	TXD_0
RXD_1	TXD_1
RXD_2 ¹ /PHYAD_0	TXD_2 ¹
RXD_3 ¹	TXD_3 ¹
RX_DV ² /CRS_DV ³	TX_EN

¹ MII のみ。

² MII リファレンス名。

³ RMII リファレンス名。

ソフトウェア設定

外部 RMII ループバックの場合、CRS_DV を TX_EN に接続できるように、RMII TXD チェック・イネーブル・ビット RMII_TXD_CHK_EN（RMII 設定レジスタのセクションを参照）を 1 に設定する必要があります。

外部 MII ループバックでは、特定のレジスタ・ビットがイネーブルされるように設定する必要はありません。

オンチップ診断

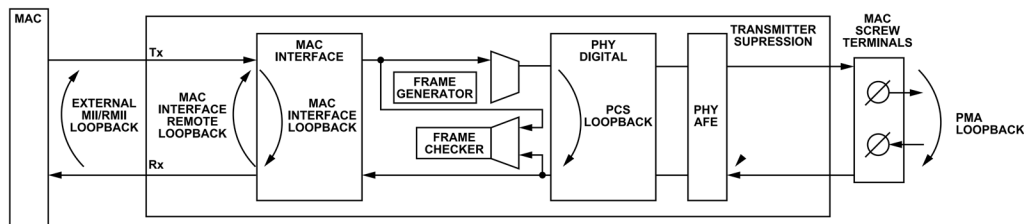


図 16. ADIN1101 のループバック・モード

フレーム・ジェネレータとフレーム・チェッカ

概要

ADIN1101は、フレームを生成し、受信したフレームを確認するように構成できます（図 17 を参照）。生成および確認の機能は一緒に使用することも個別に使用することもできます。ADIN1101 で送信されたフレームをリモート・エンドでループバックさせると、フレーム・チェッカを使用してエコーされた自己生成フレームを確認できます。

フレーム・ジェネレータ

フレーム・ジェネレータがイネーブルされている場合、MAC インターフェースは無視され、フレーム・ジェネレータのデータは MDI ピンで送信するために使用されます。フレーム・ジェネレータを使用するには、CRSM_DIAG_CLK_EN ビット（CRSM 診断クロック制御レジスタのセクションを参照）を使用して、診断クロックをイネーブルする必要があります。

フレーム・ジェネレータの制御レジスタでは、送信するフレームのタイプ（ランダム・データやすべて 1 など）、フレーム長、および生成するフレーム数を設定します。

要求されたフレームの生成は、FG_EN ビット（フレーム・ジェネレータ・イネーブル・レジスタのセクションを参照）をセットして、フレーム・ジェネレータをイネーブルすることから始めます。

フレームの生成が完了すると、フレーム・ジェネレータ完了ビット（FG_DONE）がセットされます（フレーム・ジェネレータ完了レジスタのセクションを参照）。

フレーム・チェッカ

フレーム・チェッカは、フレーム・チェッカ・イネーブル・ビット FC_EN（フレーム・チェッカ・イネーブル・レジスタのセクションを参照）をセットしてイネーブルします。フレーム・チェッカは、フレーム・チェッカ送信選択ビット FC_TX_SEL（フレーム・チェッカ送信選択レジスタのセクションを参照）を使用して、MAC インターフェースまたは PHY から受信したフレームを確認および分析するよう設定できます。フレーム・チェッカは、受信したフレーム数、巡回冗長検査（CRC）エラー、および様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

エラー・カウンタ

フレーム・チェッカは CRC エラー数をカウントします。これらのエラーは受信エラー・カウンタ・レジスタ（RX_ERR_CNT）で通知されます。フレーム・チェッカ・エラー・カウンタとフレーム・チェッカ・フレーム・カウンタ間の同期を確保するた

めに、受信エラー・カウンタ・レジスタが読み出されると、すべてのカウンタがラッチされます。したがって、フレーム・チェッカを使用する際は、最初に受信エラー・カウンタを読み出し、次に他のすべてのフレーム・カウンタとエラー・カウンタを読み出します。受信フレーム・カウンタ・レジスタのラッチされたコピーは、FC_FRM_CNT_H（フレーム・チェッカ・カウンタ・ハイ・レジスタのセクションを参照）と FC_FRM_CNT_L（フレーム・チェッカ・カウンタ・ロー・レジスタのセクションを参照）で利用できます。

フレーム・チェッカは、CRC エラーに加えて、フレーム長エラー、フレーム・アライメント・エラー、シンボル・エラー、オーバーサイズ・フレーム・エラー、アンダーサイズ・フレーム・エラーをカウントします。

フレーム・チェッカは、フレーム内のニブル数が奇数であるフレームをカウントし、また、プリアンプル内のニブル数が奇数であるパケットをカウントします。

フレーム・チェッカはまた、偽キャリア・イベント数（不正なストリーム開始区切り（SSD：start of stream delimiter）状態に入った回数）もカウントします。

フレーム・ジェネレータおよびチェッカのリンク・テスト

ADIN1101 および別の PHY デバイスを使用すると、PHY から PHY への接続を自己完結型で簡単に検証できるよう構成できます。図 17 に、各 PHY の構成方法の概要を示します。外部ケーブルを両方のデバイス間に接続し、PHY 1 がフレーム・ジェネレータを使用してフレームを生成します。PHY 2 では、MAC_IF_REM_LB_EN（MAC インターフェース・ループバック設定レジスタのセクションを参照）を使用して MAC インターフェース・リモート・ループバックがイネーブルされます。

以下のステップは、PHY と PHY の間の接続のセットアップを検証するためのフレーム・ジェネレータ、フレーム・チェッカ、ループバック・モードの使用法を示しています。

1. PHY 1 のフレーム（フレーム・ジェネレータ）が 10BASE-T1L シングル・ペア・ケーブルを通じて送信されます。
2. PHY 2 は、PHY 2 の MDI ピンでフレームを受信します。
3. PHY 2 の MAC インターフェースがフレームをループバックします。
4. （ループバックされた）PHY 2 のフレームが、10BASE-T1L シングル・ペア・ケーブルを通じて送信されます。
5. PHY 1 は MDI ピンで（ループバックされた）PHY 2 のフレームを受信します。
6. PHY 1 のフレーム・チェッカが受信したフレームをチェックします。

オンチップ診断

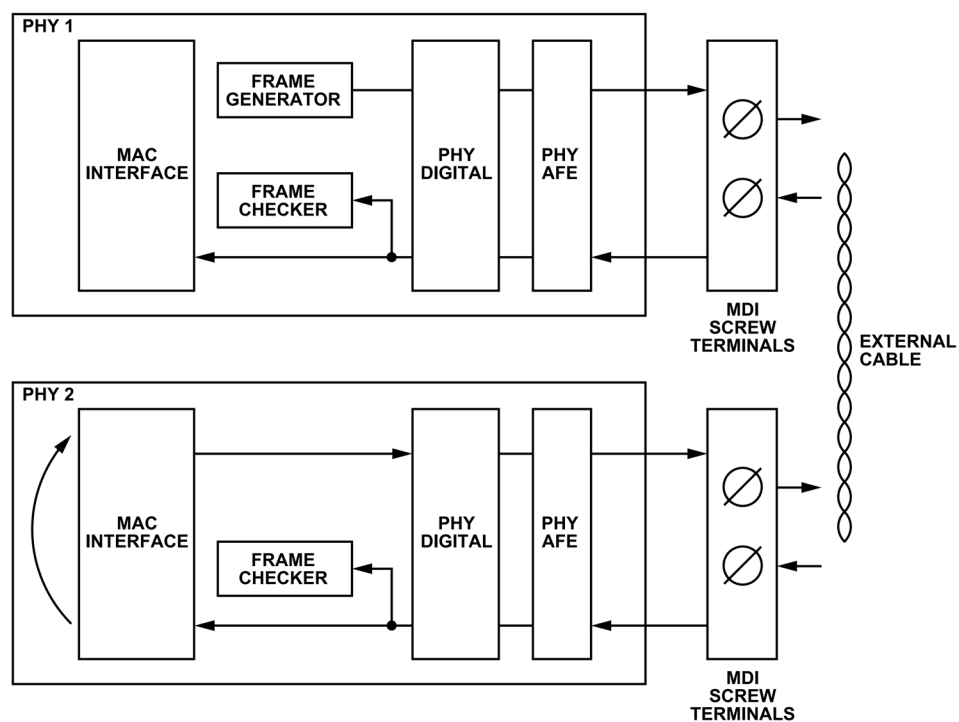


図 17. セルフ・チェック用に2つのPHY間で使用するリモート・ループバック

オンチップ診断

テスト・モード

ADIN1101 には、IEEE 802.3cg-2019 規格の副条項 146.5.2 に記載されているいくつかのテスト・モードが備わっており、トランスミッタの波形、歪み、ジッタ、ドループのテストができます。これらのテスト・モードは、トランスミッタ回路に供給されたデータ・シンボルのみを変更し、トランスミッタおよびレシーバーの電気特性やジッタ特性が通常動作から変わることはありません。

また、ADIN1101 は副条項 45.2.1.186a.2 に記載の送信ディスエーブル・モードに対応しています。

表 24. ADIN1101 のテスト・モード一覧

テスト・モード	説明
PMA Test Modes (Subclause 146.5.2)	
Test Mode 1	トランスミッタの出力電圧とタイミング・ジッタのテスト・モードです。このモードが選択されている場合、ADIN1101 はデータ・シンボル・シーケンス (+1, -1) を繰り返し送信します。
Test Mode 2	トランスミッタ出力ドループ・テスト・モードです。このモードでは、ADIN1101 は 10 個の+1 シンボルを送信し、続いて 10 個の-1 シンボルを送信します。このシーケンスを無限に繰り返します。
Test Mode 3	アイドル・モード・テスト・モードの通常動作です。このテスト・モードが選択されている場合、ADIN1101 はデータを通常のフレーム間アイドル信号に設定し、非テスト動作時およびリーダー・データ・モード時のように送信します。
Transmit Disable Mode (Subclause 45.2.1.186a.2)	送信パスと受信パスのどちらも通常動作モードのように動作しますが、0 シンボルのみを送信します。このモードを使用すると、副条項 146.8.3 で規定されている MDI のリターン・ロスを測定できます。

PMA テスト・モード 1~3 を有効化

ADIN1101 は、次の手順を使用していずれかの PMA テスト・モード (テスト・モード 1~3) に設定できます。

1. CRSM_SFT_PD_CNTRL レジスタ (ソフトウェア・パワーダウン制御レジスタのセクションを参照) の CRSM_SFT_PD ビットに 1 を書き込んで、ソフトウェア・パワーダウン・モードを開始します。
2. CRSM_STAT レジスタ (システム・ステータス・レジスタのセクションを参照) の CRSM_SFT_PD_RDY ビットを読み出して、ADIN1101 がソフトウェア・パワーダウン・モードになっていることを確認します。
3. AN_CONTROL レジスタ (BASE-T1 オートネゴシエーション制御レジスタのセクションを参照) の AN_EN ビットに 0 を書き込んで、オートネゴシエーションをディスエーブルします。
4. AN_FRC_MODE_EN レジスタ (オートネゴシエーション強制モード・イネーブル・レジスタのセクションを参照) の AN_FRC_MODE_EN ビットに 1 を書き込んで、オートネゴシエーション強制モードを設定します。
5. B10L_TEST_MODE_CNTRL レジスタ (10BASE-T1L テスト・モード制御レジスタのセクションを参照) の B10L_TX_TEST_MODE ビットに適切な値を書き込んで、目的のテスト・モードを選択します。表 25 に、各 PMA テスト・モードに対するビット設定の概要を示します。
6. CRSM_SFT_PD_CNTRL レジスタ (ソフトウェア・パワーダウン制御レジスタのセクションを参照) の CRSM_SFT_PD

ビットに 0 を書き込んで、ソフトウェア・パワーダウン・モードを終了します。

表 25. PMA テスト・モードの設定

PMA Test Mode	B10L_TX_TEST_MODE, Bits[15:13] (Binary)
Test Mode 1	001
Test Mode 2	010
Test Mode 3	011

送信ディスエーブル・モードを有効化

ADIN1101 は、次の手順を使用して送信ディスエーブル・モードに設定できます。

1. CRSM_SFT_PD_CNTRL レジスタ (ソフトウェア・パワーダウン制御レジスタのセクションを参照) の CRSM_SFT_PD ビットに 1 を書き込んで、ソフトウェア・パワーダウン・モードを開始します。
2. CRSM_STAT レジスタ (システム・ステータス・レジスタのセクションを参照) の CRSM_SFT_PD_RDY ビットを読み出して、ADIN1101 がソフトウェア・パワーダウン・モードになっていることを確認します。
3. AN_CONTROL レジスタ (BASE-T1 オートネゴシエーション制御レジスタのセクションを参照) の AN_EN ビットに 0 を書き込んで、オートネゴシエーションをディスエーブルします。
4. AN_FRC_MODE_EN レジスタ (オートネゴシエーション強制モード・イネーブル・レジスタのセクションを参照) の AN_FRC_MODE_EN ビットに 1 を書き込んで、オートネゴシエーション強制モードを設定します。
5. B10L_PMA_CNTRL レジスタ (10BASE-T1 オートネゴシエーション制御レジスタのセクションを参照) の B10L_TX_DIS_MODE_EN ビットに 1 を書き込んで、送信ディスエーブル・モードを設定します。
6. CRSM_SFT_PD_CNTRL レジスタ (ソフトウェア・パワーダウン制御レジスタのセクションを参照) の CRSM_SFT_PD ビットに 0 を書き込んで、ソフトウェア・パワーダウン・モードを終了します。

時間領域反射率測定 (TDR)

10BASE-T1L 準拠の PHY が長いケーブルを通じた通信を可能とするならば、欠陥のあるケーブルのデバッグは、適切なツールなしではコストを要し困難なものになる可能性があります。これを緩和するため、アナログ・デバイスの 10BASE-T1L 製品では、TDR エンジンが備えています。これは、ケーブルのフォルト検出、フォルト地点までの距離、およびケーブル長の推定を可能にします。

この診断ソリューションは、高精度のオンチップ TDR エンジンとホスト・マイクロコントローラ上で実行する一連のアルゴリズムを組み合わせたもので、広範なケーブルに対応できる最大限の柔軟性とより高度なケーブル診断機能を実現します。



図 18. ADIN1101 の TDR エンジン

オンチップ診断

TDR エンジンによるフォルト検出

アナログ・デバイセズのアルゴリズムの時間分解能は 8.3ns です。これは、1m 未満の長さ分解能に相当し、精度 2%で最大 1600m のケーブル長が可能です。

このフォルト・ディテクタ・アルゴリズムは、ADIN1101 が MDI を介して別の PHY に物理的に接続されている場合でも、オープン・フォルトあるいは短絡フォルト状態を検出できます。この場合、リンク・パートナーの PHY が DME ページを送信している可能性があることを意味します。TDR の従来の方法では、他の信号源またはノイズも同じリンクにある場合に、フォルトを検出するのが困難です。これはアナログ・デバイセズのソリューションにはあてはまりません。そのため、このソリューションは、リモート・エンド側に対する制御が効かない場合のデバッグに適しています。

フォルト検出アルゴリズムは、診断に必要な高レベルの関数を含む C コード・ライブラリとして提供されます。これらの関数は、高度な処理を利用しないよう最適化されているため、低消費電力のマイクロコントローラで実行できます。

フォルト検出には、1 つの関数呼び出しで十分です。関数はフォルトの種類と MDI コネクタからフォルトまでの距離（メートル単位）を返します。

フォルト検出 TDR ライブラリは、[ADIN1100](#)、[ADIN1110](#)、[ADIN2111](#) のランディング・ページのソフトウェア・セクションでリクエストできます。

TDR オフセットのキャリブレーション

ライブラリには、TDR 測定オフセットをキャリブレーションする関数が含まれています。ライブラリにあるこの関数は、様々な MDI 回路によって信号経路内に変動する遅延が生じ、これによって長さ測定オフセットが影響を受ける可能性のある場合に有効です。例えば、MDI に絶縁トランスを使用すると、数メートルの長さに匹敵する信号遅延を引き起こす可能性が極めて高くなります。

このキャリブレーションにはフォルト・ディテクタを稼働させる必要はなく、デフォルトで平均値が提供されます。ただし、精度が求められる場合には、ケーブルを短絡させることを推奨します。このキャリブレーションが必要な場合、特定の MDI 回路の実装について実験室内で実施し、そのオフセット値を不揮発性メモリに保存してその後の使用に供することができます。

このキャリブレーションを実行するには、MDI ポートをオープンまたは短絡のままにする必要があります。MDI ポートには負荷やケーブルを接続しないでください。

ケーブルのキャリブレーション

デフォルトでは、アルゴリズムは IEEE 802.3cg 規格に準拠した長距離伝送ケーブルに対応するよう最適化されています。ただし、様々な挿入損失、リターン損失、信号遅延特性を持つ広い範囲のケーブル・タイプに対し、このライブラリは、どのケーブルでも動作できるようアルゴリズムを最適化し、より正確な長さの推定ができるよう公称伝搬速度 (NVP) を推定するキャリブレーション関数を備えています。長さの精度は、主に NVP 値の精度に依存します。

このキャリブレーションを実行するには、長さが既知のケーブルを MDI ポートに取り付ける必要があります、その末端はオープンまたは短絡の状態に保持します。NVP 値は一般に 0.5~0.9 の範囲で、ケーブルの構造の特性を表すものです。一般的には約 0.65 の平均 NVP 値が前提とされます。このキャリブレーションは、フォルト・ディテクタを動作させるには不要ですが、高い長さ精度が必要な場合や、標準的でないケーブルを使用する場合には必要となります。与えられたケーブルについて実験室でこのキャリブレーションを行えば、その値を不揮発性メモリに保存できます。

これらの関数の使用に関する詳細については、C コード・ドライバを参照してください。

フォルトまでの長さ／距離の精度

フォルトまでの距離あるいは長さの測定精度は、主に NVP 値によって決まります。この NVP 値は、NVP キャリブレーションを行うために使用するケーブル長の精度によって決まります。

表 26 に、様々なケーブルや長さに対してフォルトを誘起しそのフォルトまでの距離を測定した結果を示します。すべての場合について、アルゴリズムは、テスト時に誘起されたオープンまたは短絡状態を正しく検出しています。このテストで用いた Profibus PA ケーブルの NVP 値を大まかに見積もり、同じ値を Cat5E ケーブルおよび Cat6 ケーブルにも使用しています。

表 26. 様々なケーブルに対する長さ推定誤差

Cable Type	Estimated Length (m)	Length Error (%)	Note
Fieldbus Type A - AWG 18	50.2	0.7	NVP calibrated
Fieldbus Type A - AWG 18	102.1	2.1	NVP calibrated
Fieldbus Type A - AWG 18	403.4	0.8	NVP calibrated
Fieldbus Type A - AWG 18	807.6	0.8	NVP calibrated
Fieldbus Type A - AWG 18	1045.3	1.0	NVP calibrated
Fieldbus Type A - AWG 18	1462.9	2.0	NVP calibrated
Cat5E	133.1	2.4	NVP not calibrated
Cat5E	244.4	1.8	NVP not calibrated
Cat6	73.6	5.1	NVP not calibrated
Cat6	137.2	5.6	NVP not calibrated

リンク品質のモニタリング

ADIN1100、[ADIN1101](#)、ADIN1110、[ADIN1111](#)、ADIN2111 では、受信信号の平均二乗誤差 (MSE) の測定が可能です、これは PHY レシーバから見える S/N 比 (SNR) と直接関係します。MSE または SNR を信号品質インジケータ (SQI) にマッピングして、10BASE-T1L リンク・セグメント／チャンネル全体の品質の評価に使用できます。

リンク品質は、ケーブル長、挿入損失や反射損失のようなケーブルの属性、ケーブル・シールドの有無や品質、接続、ケーブル・セグメント間に存在する相互接続の品質、更にはデバイスとケーブルの周囲の環境のノイズ・レベルの影響を受けます。このため、リンク品質は、デバイスの設計、製品テスト、またシステムの設置時やシステムの運用中にも、有用な情報を提供します。

オンチップ診断

S/N 比とビット・エラー・レート

通信チャンネルの SNR とビット・エラー・レート (BER) の間には統計的な関係があります。ホワイト・ノイズ SNR と 10BASE-T1L の BER の関係を図 19 に示しています。

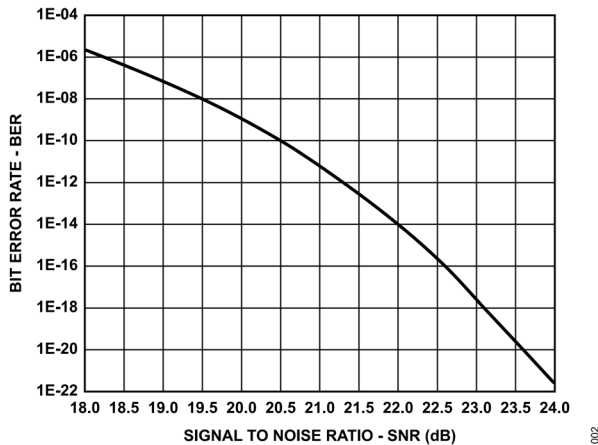


図 19. 10BASE-T1L における SNR と BER の間の統計的關係

IEEE 802.3cg-2019 規格では、影響するノイズが存在する状況で 10BASE-T1L $BER \leq 10^{-9}$ となることが要求されています。ちなみに、BER が 10^{-9} であるというのは、連続的な 10Mbps データで 100 秒ごとに 1 ビットのエラーがあるということを意味し、図 19 が示すように 10BASE-T1L PHY の SNR が約 20.0dB であるということになります。

SNR が 21.0dB であれば、BER は 10^{-11} となるはずで、これは 10,000 秒すなわち 2.4 時間ごとに 1 ビットのエラーとなります。SNR が 22.0dB であれば、BER は 10^{-14} となり、115 日ごとに 1 ビットのエラーとなります。これらの例により、SNR が 10BASE-T1L イーサネットの信頼性にどう関係するかがわかります。

どのようなデータ通信チャンネルでも、常になんらかのエラーが存在します。イーサネット物理層に実装され動作する通信プロトコルには、一般的なユースケースでの TCP/IP や、産業用やビル・オートメーションでの特別なプロトコルなど、イーサネット物理層に実装され動作する通信プロトコルは、特定のアプリケーションに応じた適切なフレーム繰返しやエラー訂正によりデータの完全性を確保します。しかし、接続の信頼性のために、物理層のリンク品質と、これに関連するエラー・レートを一定のレベルに保つことが必要です。クリティカルでないモニタリングと、時間クリティカルなオートメーション・ネットワークや安全アプリケーションとを比較すると、許容可能なエラー・レートは異なります。

PHY スライサにおける二重平均誤差

PHY 内部でのリンク品質のモニタリングは MSE 計測の形で実装されます。

10BASE-T1L イーサネットは PAM3 変調を使用し、ケーブルで送出されるデータは 3 レベルの電圧のシンボルにコーディングされます。

レシーバ内部には、アナログとデジタルの信号処理の後にスライサと呼ばれるデバイスが存在し、届いた信号電圧レベルが +1、0、-1 のいずれのシンボルを示しているかを判定します。受信してスケーリングした信号が正確なレベルになっているのが理想です。しかし、様々なソースからイーサネット・チャンネルに結合するノイズが、実信号に影響を及ぼします。

図 20 に示すように、PHY は、各受信シンボルについて、スライサの出力と正しい振幅レベルにスケーリング済みの受信信号の間の誤差を計測します。この誤差の二重平均値を計算し、PHY_MSE_VAL レジスタに報告します。

MSE と SNR との間には直接的な関係があります。

$$SNR = \frac{1}{MSE} \quad (1)$$

$$SNR(dB) = -MSE(dB) \quad (2)$$

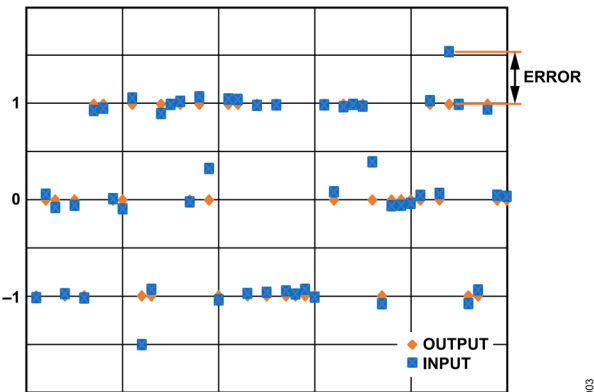


図 20. イーサネット PHY スライサの入出力間の誤差

MSE 読取り値

ADIN1100、ADIN1101、ADIN1110、ADIN1111、ADIN2111 は、10BASE-T1L リンクが動作しているとき、バックグラウンドで自動的に MSE を計測し、MSE_VAL レジスタで読めるようにします。

MSE_VAL レジスタは、管理インターフェース (MDIO や SPI) を使用して常時読み出すことができます。パワーアップ後またはリセット後、最初のリンクが確立するまでは、MSE_VAL レジスタの値はゼロになります。10BASE-T1L リンクが確立すると、MSE_VAL レジスタは各シンボル受信後に更新されます (133ns ごと)。リンクが切断されてもレジスタは引き続き更新されますが、MSE の値は正確ではありません。このため、MSE の読出しと処理は 10BASE-T1L リンクが確立しているときのみ意味を持ちます。

MSE_VAL レジスタの読出し頻度には制限がなく、管理インターフェースが許容する限り頻繁に読み出すことができます。このため、MSE_VAL をどれほど頻繁に読み出す必要があるかは、リンク品質が変化する速度の想定と、エンド・システム・アプリケーションで必要とされるリンク品質の評価と報告や記録の頻度に依存します。

リンク・ステータスのポーリングと MSE の読出しの例は、次のようになります。

オンチップ診断

1. PMA_PMD_STAT1 レジスタ（デバイス・アドレス 0x01、レジスタ・アドレス 0x0001）を読み出します。
2. PMA_LINK_STAT_OK ビット（ビット 2、マスク 0x0004）の値を確認します。ビット値が 0 であり、リンクが切断されていることを示していれば、以下の手順をスキップし、最初に戻ります。ビット値が 1 であり、リンクが確立していることを示していれば、以下の手順を続けます。
3. MSE_VAL レジスタ（デバイス・アドレス 0x01、レジスタ・アドレス 0x830B）を読み出します。
4. 測定された MSE を処理または使用します。

MSE の解釈

計測された MSE の最も容易な使用法は、MSE_VAL レジスタから読み出した値を直接 MSE レジスタ値の範囲と比較して、表 27 または表 28 に概略を示すようにリンク品質に変換することです。

あるいは、MSE_VAL レジスタの値を次のように MSE に変換することもできます。

$$MSE(\text{dB}) = 10 \log_{10} \left(MSE_{VAL} \times \frac{1.5523}{2^{18}} \right) \quad (3)$$

また、SNR は次式により計算できます。

$$SNR(\text{dB}) = -10 \times \log_{10} \left(MSE_{VAL} \times \frac{1.5523}{2^{18}} \right) \quad (4)$$

ここで、

1.5523 は 10BASE-T1L の変調とシンボル・コーディングに関連する係数。

2^{18} は、オン・チップ・ロジックの実装に由来する、16 ビットレジスタを有用な範囲にマッピングする係数です。

表 27. リンク品質と MSE レジスタ値の関係

Link Quality	SNR (dB)	MSE Register Value Range (hex)	BER
Poor	<19.5	>0x0766	> 10^{-8}
Marginal	19.5 to 20.5	0x05E1 to 0x0766	10^{-8} to 10^{-10}
Good	>20.5	<0x05E1	< 10^{-10}

表 28. 信号品質指標と MSE レジスタ値の関係

SQI	SNR (dB)	MSE Register Value Range (hex)	BER
0	<18	>0x0A74	> 10^{-7}
1	18 to 19	0x084E to 0x0A74	> 10^{-7}
2	19 to 20	0x0698 to 0x084E	10^{-9} to 10^{-7}
3	20 to 21	0x053D to 0x0698	10^{-11} to 10^{-9}
4	21 to 22	0x0429 to 0x053D	10^{-14} to 10^{-11}
5	22 to 23	0x034E to 0x0429	< 10^{-14}
6	23 to 24	0x02A0 to 0x034E	< 10^{-14}
7	>24	<0x02A0	< 10^{-14}

PHY スライサのスパイクと誤差

MSE の大きさは、10BASE-T1L リンクのリンク品質とノイズの品質への影響を評価するための重要なツールとなります。しかし、MSE は一定の期間の平均値として取得するため、干渉が短時間のトランジェントであれば MSE の値には反映されない場合

があります。その場合でも、受信シンボルにはパケット・エラーを引き起こすのに十分な影響が生じる可能性があります。

この種のトランジェント的な干渉に対して、ADIN1100、ADIN1101、ADIN1110、ADIN1111、ADIN2111 はスライサ入力誤差の最大値とスライサ入力でのエラー・スパイクの数を追跡するインジケータを備えています。これらのインジケータには、10BASE-T1L リンクと通常のデータ・フローが存在していることが読み取れるというメリットもあります。このため、ハード・フォルトが発生する前のリンクの完全性を追跡するために、これらのインジケータを利用することができます。

スライサの最大絶対誤差

PHY スライサにおける二重平均誤差のセクションに示したとおり、受信したアナログ信号を処理した後、受信した信号が+1、0、-1（PAM3 シンボル）のいずれに対応するかをスライサが判定します。例えば、処理済みの受信信号が 0.8 という値を取っているとします。0.8 は 0 や -1 よりも +1 に近いので、スライサの出力は +1 シンボルになります。処理済みの信号が理想シンボルに近いほど、通信の信頼度は高くなります。

図 21 は、スライサの入力における処理済みの受信信号と、スライサ出力での対応する理想シンボルを示しています。3 とマークされた信号の値は 0.4 です。このため、スライサは 0 シンボルを出力し、実誤差は 0.4 となります。この誤差が 0.5 より大きくなると、受信信号は理想である 0 シンボルよりも +1 シンボルに近くなります。スライサはシンボルを +1 に変換し、受信フレームにはビット・エラーが発生します。

スライサの最大絶対誤差は 0.5 という値よりも常に小さいことが必要です。0.5 に近い値や 0.5 より大きい値は、受信信号の完全性が影響を受けていることを示します。

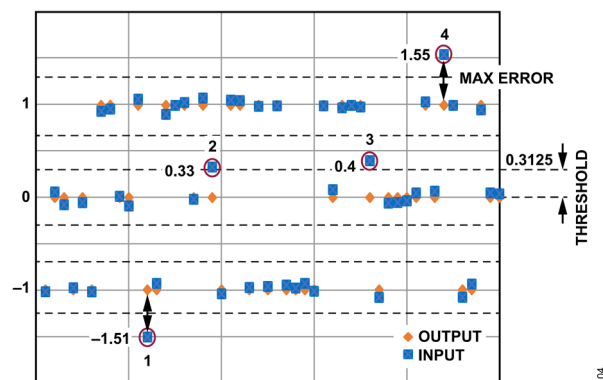


図 21. スライサ入力の最大誤差

この最大誤差が 0.5 に達するまでに、時系列でトラッキングし、リンク品質低下の早期インジケータとすることができます。

スライサ誤差スパイク・カウンタ

最も偏差が大きいシンボルの絶対誤差のみをトラッキングするスライサの最大絶対誤差に加えて、ADIN1100、ADIN1101、ADIN1110、ADIN1111、ADIN2111 は、ある閾値より絶対誤差が大きい受信シンボルの数をトラッキングします。このカウンタはスライサ誤差スパイク・カウンタと呼ばれています。スライサ誤差スパイク・カウンタは、絶対誤差が 0.3125 より大きい受信シンボルの数をトラッキングします。

オンチップ診断

図 21 には、スライサ入力で誤差が 0.3125 の閾値より大きい信号が 4 つ示されています。このため、スライサ誤差スパイク・カウンタは 4 個と報告します。

閾値の 0.3125 は、ビット・エラーが発生しないうちにスパイクを検出できるように、十分なヘッドルームを確保して選択されています。

関連レジスタの情報

関連するレジスタの情報を表 29 に示します。スライサ誤差スパイク・カウンタは、符号なし 16 ビット形式で保存されています。この値は、対応するレジスタの読出し値そのものです。両方のレジスタを読み出すと、値がクリアされ検出が再開します。

スライサ入力の最大絶対誤差は、次式のようにシンボル単位に変換できます。

$$\text{SlicerMaxAbsError} = \frac{\text{SLCR_ERR_MAX_ABS_VAL}}{4096} \quad (5)$$

レジスタの設定

レジスタを設定するためには、以下の手順を実行します。

1. SPIKE_CNTRS_CNTRL レジスタに 0x2 を書き込む。
2. MAX_ABS_VALS_CNTRL レジスタに 0x2 を書き込む。
3. スライサの最大誤差に相当する SLCR_ERR_MAX_ABS_VAL レジスタを読み出す。
4. スライサ誤差スパイク・カウンタに相当する SLCR_ERR_MAX_SPIKE_CNT レジスタを読み出す。

テストの前には必ず手順 3 と手順 4 を実施し、スパイク・カウンタと最大絶対誤差がクリアされるようにします。電磁コンプライアンスなどのテストを実施する際には、プリテストの結果とテストの結果を分離することが求められるため、この操作が特に有効です。

表 29. スライサ・スパイクと誤差カウンタを示すレジスタ

レジスタ名	デバイス・アドレス	レジスタ・アドレス	説明
SLCR_ERR_MAX_ABS_VAL	0x01	0x8308	スライサの最大絶対誤差。 SLCR_IN_MAX_ABS_VAL の値をラッチします。
SLCR_ERR_SPIKE_CNT	0x01	0x8305	スライサ誤差スパイク・カウンタ。 SLCR_IN_SPIKE_CNT の値をラッチします。
SPIKE_CNTRS_CNTRL	0x01	0x800E	リンク喪失時に、スパイク・カウンタを保持するかどうかを指定します。
MAX_ABS_VALS_CNTRL	0x01	0x800F	リンク喪失時に、最大値を保持するかどうかを指定します。

表 29 のレジスタの情報を簡単な方法でカラー・コードして、エンド・ユーザに有用な診断情報を示すことができます。推奨の解釈を表 30 で解説しています。

表 30. スライス誤差スパイク・カウンタとスライス最大誤差を使用したリンク品質表示

Link Quality	Color Indication	Conditions
Poor	Red	Slicer error spike counter > 0 Slicer maximum absolute error ≥ 0.5
Marginal	Yellow	Slicer error spike counter > 0 0.3125 ≤ slicer maximum absolute error < 0.5
Good	Green	Slicer error spike counter = 0 Slicer maximum absolute error < 0.3125

アプリケーション情報

システム・レベルのパワー・マネージメント

送信レベル = 1.0V p-p

1.0V p-p 送信動作モードは、AVDD_H 電源電圧が 1.8V という低い電圧でも動作可能です。

ADIN1101 が 1.0V p-p 送信動作モードで動作する必要があるアプリケーションでは、RXD_0/TX2P4_EN ピン信号は 4.7kΩ の抵抗を介してハイ・レベルに接続する必要があります（図 22 参照）。この構成では、ADIN1101 は 1.0V p-p 送信動作モードでのみ動作するよう設定され、ADIN1101 はより低い電圧レール（例えば 1.8V）の信号電源電圧で動作できるため、システムの消費電力を最小限に抑えることができます。

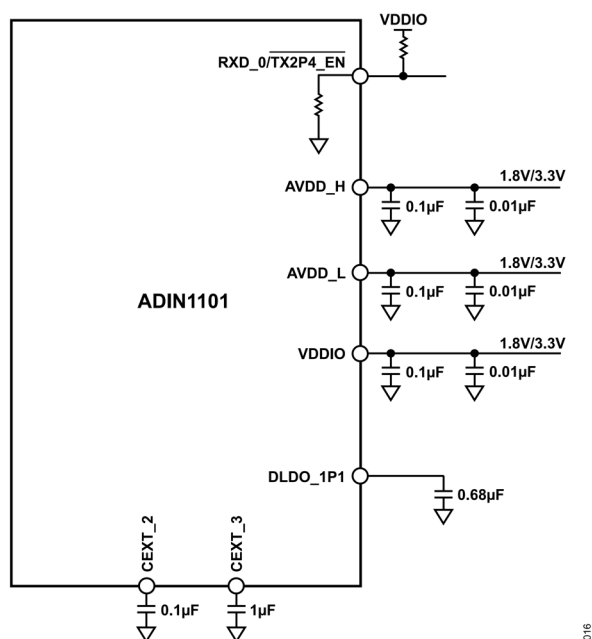


図 22. 強制 1V p-p 送信モードの電源およびコンデンサ

送信レベル = 2.4V p-p

高い方の 2.4V p-p の送信動作モードは、幹線アプリケーションに対応しており、3.3V という高い AVDD_H 電源電圧を必要とします。このモードは、ノイズ・レベルが高い産業用イーサネット環境において、長いケーブル長で使用できます。

ADIN1101 が 2.4V p-p で動作するためには、RXD_0/TX2P4_EN ピンがローに保持されていることが必要です（ピンにはプルダウン抵抗が内蔵されています）。この動作モードでは、MDIO またはオートネゴシエーションを通じて 1.0V p-p 動作モードを選択することも可能です。

複数電源構成

推奨する電源構成の概要を図 23 に示します。この構成では、MDIO またはオートネゴシエーションを通じてリンクが 1.0V p-p 送信動作モードで確立されている場合でも、AVDD_H = 3.3V が必要であることに注意してください。

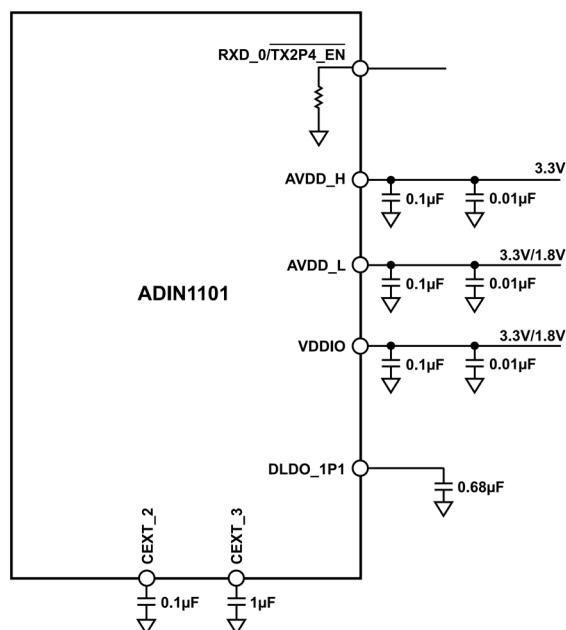


図 23. 複数電源 2.4V p-p および 1.0V p-p 送信モードの電源およびコンデンサ

単電源構成

単電源動作の場合、ADIN1101 の AVDD_H、AVDD_L、VDDIO の各電源レールに同じレールを供給できます。この構成を図 24 に示します。

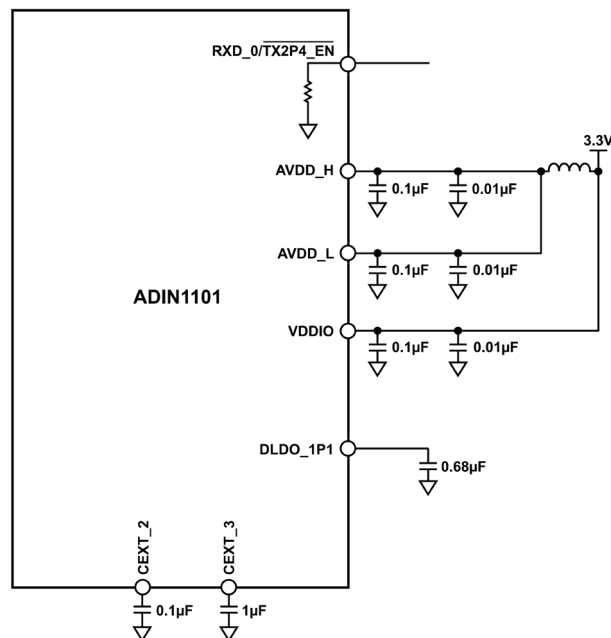


図 24. 単電源 2.4 p-p 送信モードの電源およびコンデンサ

アプリケーション情報

LED 回路例

LED_0 ピンは、選択した LED 極性モードに応じて、様々な回路構成で使用できます（[LED 極性レジスタ](#)のセクションを参照）。以下のセクションで説明する回路は、各 LED に使用できる次の 3 つの極性モードの例を示しています。LED ごとに次の 3 つの極性モードを使用できます。

- ▶ オートセンス（デフォルト）
- ▶ アクティブ・ハイ
- ▶ アクティブ・ロー

LED_0 ピンの出力電流は、VDDIO = 3.3V の場合 8mA です（詳細は[仕様](#)のセクションを参照）。更に大きい電流が要求される場合は、[トランジスタ制御 LED](#)のセクションで説明する回路の使用を検討してください。

アクティブ・ハイの LED 極性

アクティブ・ハイ構成では、LED_0 ピンがアノード側から外部 LED を駆動します。R0 の抵抗を選択して LED 電流を制御します（詳細については、[表 1](#) の LED 仕様を参照してください）。4.7kΩ の外部プルダウン抵抗（R_{PD0}）を推奨します。

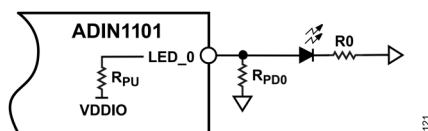


図 25. アクティブ・ハイの LED 極性構成

アクティブ・ローの LED 極性

アクティブ・ロー構成では、LED_0 ピンがカソード側から外部 LED を駆動します。R0 の抵抗を選択して LED 電流を制御します（詳細については、[表 1](#) の LED 仕様を参照してください）。4.7kΩ の外部プルダウン抵抗（R_{PU0}）を推奨します。

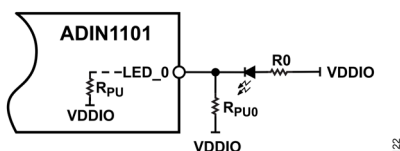


図 26. アクティブ・ローの LED 極性構成

トランジスタ制御 LED

必要な LED 電流が、LED_0 ピンが供給できる電流より大きい場合の代表的な構成を、[図 27](#) に示します。この回路は、アクティブ・ハイ LED モードを使用して動作します。N チャンネル金属酸化膜半導体電界効果トランジスタ（MOSFET）などの外部トランジスタが使用できます。トランジスタは、ゲート入力容量が LED_0 ピンの最大定格を超える電流を動作中にシンクすることのないように選択する必要があります。詳細については、トランジスタの技術仕様書を参照してください。必要に応じ、トランジスタのゲートと ADIN1101 ピンの間に抵抗を配置したり、GND と LED_0 ピンの間にコンデンサを並列に配置したりして、突入電流を低減できます。これらの追加の抵抗やコンデンサの値は、選択したトランジスタに応じて定める必要があります。

R0 の抵抗を選択して LED 電流を制御します（詳細については、選択した LED やトランジスタのメーカー仕様書を参照してください）。

4.7kΩ の外部プルダウン抵抗（R_{PD0}）を推奨します。[図 27](#) において、VCC は LED に給電するための電源です。

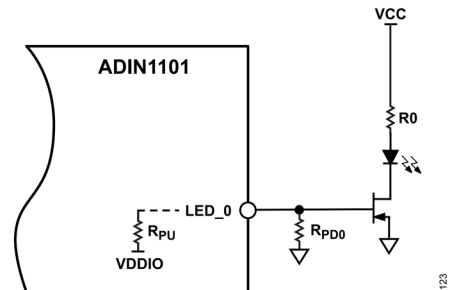


図 27. トランジスタ制御 LED 構成

オートセンスの極性

オートセンス・モードでは、パワーアップ時、ハードウェア・リセット時、ソフトウェア・リセット時に、LED の極性が自動的に検出されます。

部品の推奨事項

ADIN1101 には 25MHz または 50MHz の外部クロックが必要です。このクロックは外部水晶発振器（25MHz）または外部シングルエンド・クロック（25MHz または 50MHz）から供給することができます。RMII では、[RMII モード用外部 50MHz クロック入力](#)のセクションで説明するように、50MHz の外部クロックが必要です。

XTAL_I/CLK_IN ピンの信号電圧（V_{CLK_IN}）は、ピーク to ピーク電圧が 0.8V~2.5V の範囲のサイン波またはフィルタ処理された方形波であることが必要です。シングルエンド・クロック・オプションでは、最高性能を実現するために、振幅が 1.0V p-p の VCLK_IN を推奨します。

以下のセクションで様々な回路構成を提示します。これらのオプションを通じ、受動部品の値に変更を加えた一般的な回路トポロジを用いることができます。

なお、通常動作時は、外部クロック源入力（水晶発振器、25MHz、または 50MHz のクロック）から生成された 25MHz のリファレンス・クロックが CLK25_REF 出力ピンに供給されます。このピンは、別の 10BASE-T1L デバイスなど、他の回路へのリファレンス・クロックとして使用できます。CLK25_REF は、リセット・モードではディスエーブルになります。

アプリケーション情報

RMII モードおよび RGMII モード用外部水晶発振器

外部水晶発振器 (XTAL) の代表的な接続を図 28 に示します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1101 のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。推奨する負荷に関する情報および水晶発振器の性能仕様については、個々の水晶発振器のベンダに問い合わせてください。

水晶発振器の負荷容量 (C_L) は、水晶発振器のベンダにより定義されています。 C_{PCB1} は XTAL_I/CLK_IN トラックと下層のグラウンド・プレーン間、 C_{PCB2} は XTAL_O トラックと下層のグラウンド・プレーン間の寄生容量です。 C_{X1} と C_{X2} は水晶発振器が動作するために必要な 2 つの外部負荷コンデンサです。

以下の関係を仮定します。

- ▶ $C_{PCB1} \approx C_{PCB2} \approx C_{PCBx}$
- ▶ $C_{X1} \approx C_{X2} \approx C_{Xx}$

したがって、 $C_{Xx} = 2 \times C_L - C_{PCBx} - 3 \text{ pF}$

周波数誤差を最小限に抑えるには、温度係数が十分に低い高精度コンデンサを C_{Xx} として選択します。

消費電流と浮遊容量を最小限に抑えるには、ADIN1101 のできるだけ近くで水晶発振器、コンデンサ、およびグラウンドを接続します。

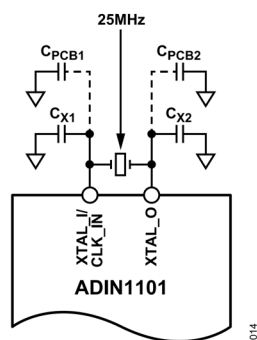


図 28. 水晶発振器の接続

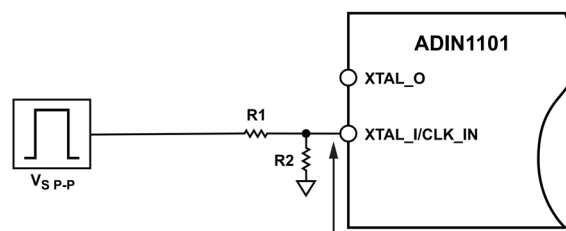
MII モードおよび RGMII モード用外部 25MHz クロック入力

XTAL_I/CLK_IN のシングルエンド 25MHz リファレンス・クロックは、MII モードまたは RGMII モードで使用できます。クロック源は ADIN1101 の XTAL_I/CLK_IN ピン入力とデカップリングする必要があります。また、XTAL_O ピンはオープン・サーキットのままにします。

$0.8\text{V} \leq V_{CLK_IN \text{ p-p}} \leq 2.5\text{V}$ の範囲では、以下の結果となります。

- ▶ $0.8\text{V} \leq V_{S \text{ p-p}} \leq 1.0\text{V}$ の場合、以下のようになります。
 - ▶ $R1 = 50\Omega$
 - ▶ $R2$ は不要

- ▶ $1.0\text{V} < V_{S \text{ p-p}} < 1.8\text{V}$ の場合、以下のようになります。
 - ▶ 最高性能を実現するには V_{CLK_IN} を 1.0V p-p に設定
 - ▶ $500\Omega \leq R1 \leq 2\text{k}\Omega$
 - ▶ $1\text{k}\Omega \leq R2 \leq 2\text{k}\Omega$
 - ▶ $V_{S \text{ p-p}} - V_{CLK_IN \text{ p-p}} > 0.2\text{V}$
 - ▶ $R2 = \frac{V_{CLK_IN \text{ p-p}} \times R1}{V_{S \text{ p-p}} - V_{CLK_IN \text{ p-p}}}$
- ▶ $1.8\text{V} \leq V_{S \text{ p-p}}$ の場合、以下のようになります。
 - ▶ $R1 = 2\text{k}\Omega$
 - ▶ $R2 = 2\text{k}\Omega$



RECOMMENDED $V_{CLK_IN} = 1.0\text{V p-p}$

図 29. MII モードおよび RGMII モード用外部 25MHz クロック入力回路

表 31. 様々な $V_{S \text{ p-p}}$ 値に対する $R1$ と $R2$ の推奨値

$V_S (\text{V p-p})$	$R1$	$R2$
1.0	50 Ω	Not applicable
1.2	500 Ω	2.5 k Ω
1.8	2 k Ω	2 k Ω
2.2	2 k Ω	2 k Ω
2.5	2 k Ω	2 k Ω
2.8	2 k Ω	2 k Ω
3.0	2 k Ω	2 k Ω
3.3	2 k Ω	2 k Ω

RMII モード用外部 50MHz クロック入力

RMII モードでは、XTAL/CLK_IN にシングルエンドの 50MHz リファレンス・クロック信号が必要で、XTAL_O ピンはオープン・サーキットのままにします。

PCB の寄生インピーダンスには特別な注意が必要です。また、RMII のタイミングを合わせるために、ADIN1101 と外部 MAC の間の各クロック・パターン長（曲折したパターンなど）は一致させることを推奨します。

最高性能を実現するには、ADIN1101 の V_{CLK_IN} 信号を 1.0V p-p に設定します。

アプリケーション情報

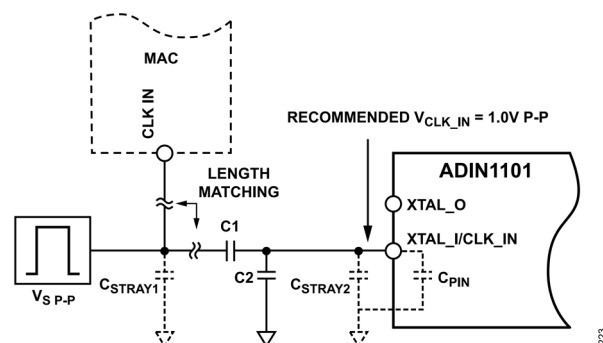


図 30. RMII モード用外部 50MHz クロック入力回路

$0.8V \leq V_S \text{ p-p} \leq 1V$ (DC カップリング) の場合は、以下の結果となります。

- ▶ $C1 = 50\Omega$ (コンデンサを抵抗に置き換え)
- ▶ $C2$ は不要

$V_S \text{ p-p} > 1.0V$ (AC カップリング) で $C1$ と $C2$ を ADIN1101 の XTAL_I/CLK_IN ピンの近くに配置した場合、以下の結果となります。

- ▶ $C1 = 70\text{pF}$ (最大値)
- ▶ $C2 = 10\text{pF}$
- ▶ $C_{PIN} = 3\text{pF}$ (ADIN1101 のピン容量)
- ▶ $C_{STRAY2} \sim 0\text{pF}$
- ▶ $V_S \text{ p-p} - V_{CLK_IN} \text{ p-p} > 0.2V$
- ▶
$$C1 = \frac{V_{CLK_IN} \times (C2 + C_{STRAY2} + C_{PIN})}{V_S - V_{CLK_IN}}$$

表 32. $V_{CLK_IN} = 1V \text{ p-p}$ の場合の、様々な $V_S \text{ p-p}$ 値に対する $C1$ と $C2$ の値

$V_S \text{ V p-p}$	$C2 \text{ (pF)}$	$C1$
1.0	Not applicable	50Ω
1.2	10	68pF
1.8	10	18pF
2.2	10	12pF
2.5	10	10pF
2.8	10	8.2pF
3.0	10	8.2pF
3.3	10	8.2pF

V_{CLK_IN} の目標電圧に関して妥当な余裕を確保するために、計算にはメーカーによるコンデンサの許容誤差を含める必要があります。

なお、外部 MAC モジュールにはフィルタ処理を追加する必要があります。選択したクロック源は、回路が必要とする電流を供給できることが必要です。

PCB の寄生容量に関する考慮事項

クロック・パターンの寄生容量による信号への影響が無視できない場合があります。特に、RMII を選択する場合 (50MHz クロック)、寄生容量を減らしタイミング性能を最高のものとするために、PCB の層構成とパターンのインピーダンスを注意深く選択する必要があります。

RMII モード用外部 50MHz クロック入力のセクションで説明した AC 結合 RMII の場合を考量して、以下の PCB パラメータを使用した PCB 寄生容量の基本的な計算結果を表 33 に示します。

- ▶ 送信ラインのタイプ：マイクロストリップ層 1/2
- ▶ クロック・パターンの幅： $W = 127\mu\text{m}$ (5mil)
- ▶ メッキ後の PCB L1 銅箔の厚さ： $T = 35\mu\text{m}$ (1.38mil)
- ▶ L1 と L2 のグラウンド・プレーン距離： $H = 0.116\text{mm}$ (4.55mil)
- ▶ 基板の比誘電率： $\epsilon_r = 4.6$ (FR4)

この他、モデルおよびガイドラインについては IPC-2141 規格を参照してください。

表 33. パターンの寄生容量の例

Total Clock Trace Length (cm)	Clock Trace Stray Capacitance (pF)
1	~1
2	~2
5	~5

電磁両立性 (EMC) と電磁耐性 (EMI)

ADIN1101 は、システム・レベルで EMC と EMI のテストを行っています。表 34 にテスト結果の概要を示します。

表 34. ADIN1101 に対しシステム・レベルで実施した EMC/EMI テスト

EMC/EMI Test	Withstand Threshold/Class
IEC 61000-4-4 EFT	$\pm 4 \text{ kV}$
IEC 61000-4-2 ESD (Contact Discharge)	$\pm 4 \text{ kV}$
IEC 61000-4-2 ESD (Air Discharge)	$\pm 8 \text{ kV}$
IEC 61000-4-5 Surge	$\pm 4 \text{ kV}$
IEC 61000-4-6 Conducted Immunity	10 V/m
IEC 61000-4-3 Radiated Immunity	Class A
EN 55032 Radiated Emissions	Class B

MDIO インターフェース

管理インターフェースには、ホスト・コントローラ（マイクロコントローラや外部 MAC チップなど）と ADIN1101 の間の 2 線式シリアル・インターフェース（MDIO）機能があるため、管理レジスタの読出しや書込みの操作が可能です。

ADIN1101 の管理インターフェースは、IEEE 802.3 規格の条項 22 と条項 45 の両方に準拠しています。

ハードウェア構成ピンは、パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後、一部のレジスタのデフォルト値を決定します。これらのレジスタの場合、レジスタ・ビットの説明の欄に示されるリセット値はピン依存として記載されます。この依存性により、ADIN1101 は MDIO インターフェースを介したソフトウェア操作を必要とすることなく、ハードウェアで設定できます（アンマネージド・アプリケーション）。

ハードウェア構成ピンのセクションでは、マネージド・アプリケーションとアンマネージド・アプリケーションに対する構成ピンのセットアップの詳細が記載されています。

レジスタのアクセス許可は次のとおりです。

- ▶ R/W：読出し／書込み
- ▶ R：読出し専用
- ▶ R LL：読出し専用、ラッチ・ロー
- ▶ R LH：読出し専用、ラッチ・ハイ
- ▶ R/W SC：読出し／書込み、セルフ・クリア
- ▶ R SC：読出し専用、セルフ・クリア

条項 22

IEEE 802.3 規格の条項 22 では、32 種類の PHY アドレスの最大 32 個のレジスタにアクセスできます。

IEEE 条項 22 の MDIO 管理可能デバイス（MMD）レジスタへのアクセス・フォーマットを表 35 と表 36 に示します。

表 35. 条項 22 のフレーム・フォーマット

MSB						LSB
D31 to D30	D29 to D28	D27 to D23	D22 to D18	D17 to D16	D15 to D0	
ST	OP	PHYADR	REGAD	TA	Data	

表 36. 条項 22 の入力レジスタのデコード

ビット	説明
ST	2 ビットのフレームの開始（条項 22 では 01）
OP	2 ビットの動作コード 01：書込み 10：読出し
PHYADR	5 ビットの PHY アドレス
REGAD	5 ビットのレジスタ・アドレス
TA	2 ビットのターン・アラウンド・フィールド。読出し遷移時の競合を回避するために使用され、レジスタ・アドレス・フィールドとデータ・フィールド間に 2 ビットのタイム・インターバルが置かれます。
Data	16 ビット・データ、MSB ファースト

MDIO インターフェース

条項 45

条項 45 のレジスタは、MMD に基づいて 4 つのデバイス・アドレス・グループに分けられています (表 37 参照)。各デバイス・アドレス空間内で、IEEE 規格レジスタは 0x0000～0x7FFF の範囲のレジスタ・アドレスに配置され、ベンダ固有レジスタは 0x8000～0xFFFF のレジスタ・アドレスに配置されます。

このセットアップにより、1 つの MDIO インターフェースを通じて最大 32 の MMD からなる最大 32 の PHY にアクセスできます。

IEEE 条項 45 の MMD レジスタへのアクセス・フォーマットを表 38 と表 39 に示します。

条項 45 の動作は、単一のフレームで読出しまたは書込みを行うレジスタ・アドレスおよびデータを指定する、条項 22 の動作とは異なります。条項 45 の場合、最初のフレームは、アクセスす

るデバイス・アドレスおよびレジスタ・アドレスを指定するために送信されます。次いで、最初のフレームで選択したデバイス・アドレスとレジスタで読出し操作または書込み操作を行うために、2 番目のフレームが送信されます。

表 37. レジスタのグループ分け

Device Address	MMD Name
0x01	PMA and physical medium dependent (PMD)
0x03	PCS
0x07	Autonegotiation
0x1E	Vendor Specific 1
0x1F	Vendor Specific 2

表 38. 条項 45 のフレーム・フォーマット

MSB					LSB
D31 to D30	D29 to D28	D27 to D23	D22 to D18	D17 to D16	D15 to D0
ST	OP	PHYADR	DEVAD	TA	Address/data

表 39. 条項 45 の入力レジスタのデコード

ビット	説明
ST	2 ビットのフレームの開始 (条項 45 では 00)
OP	2 ビットの動作コード 00 : アドレス 01 : 書込み 11 : 読出し 10 : 読出し+アドレス
PHYADR	5 ビットの PHY アドレス
DEVAD	5 ビットのデバイス・アドレス
TA	2 ビットのターン・アラウンド・フィールド。読出し遷移時の競合を回避するために使用され、レジスタ・アドレス・フィールドとデータ・フィールド間に 2 ビットのタイム・インターバルが置かれます。
Address/Data	16 ビットのレジスタ・アドレス/データ

MDIO インターフェース

推奨レジスタ操作

ADIN1101 のレジスタの多くは、IEEE 802.3 規格で定義され、また、これに準拠しています。規格で定義されたレジスタの動作は必ずしも明白ではないため、推奨するレジスタの操作および使用方法を含め、[ラッチ・ロー・レジスタ](#)、[IEEE 複製レジスタ](#)、[リード・モディファイ・ライト動作](#)の各セクションで説明します。

ラッチ・ロー・レジスタ

IEEE 802.3-2018 規格では、特定の MDIO アクセス可能レジスタにラッチ・ロー動作を求めています。この動作により、これらのレジスタを断続的にしか読み出せないソフトウェアでも、一時的あるいは短期的となる可能性のある状態を検出できます。例えば、AN_LINK_STATUS ビットはラッチ・ローであることが必要です。デバイスがリセットまたはパワーダウン状態を終了すると、ラッチ条件が無効となり、AN_LINK_STATUS ビットの値は、現在のリンク状態を反映したものになります。ただし、リンクが確立してから切断された場合は、ラッチ条件は有効になります。この場合、リンクが一時的に再び確立しても、AN_LINK_STATUS ビットでは 0 が読み出されます。ラッチ条件がクリアされるのは、AN_LINK_STATUS ビットが読み出され、リンクが切断されたことをソフトウェアが認識できた場合のみです。

このラッチ・ロー動作が意味することは、ソフトウェアが現在のリンク状態を判定する必要がある場合に、2 回連続して AN_LINK_STATUS ビットを読み出さねばならない、ということです。最初の読出しはアクティブなラッチ条件をクリアするために必要です。

重要なのは、1つのレジスタ・アドレスを共有する MDIO アクセス可能ビット間の相互作用をソフトウェアが考慮することです。例えば、AN_PAGE_RX ビットと AN_LINK_STATUS ビットは同じレジスタ・アドレスにあります。その結果、AN_PAGE_RX ビットを読み出すと、AN_LINK_STATUS ビットに関連するアクティブなラッチ条件がすべてクリアされます。

IEEE 複製レジスタ

IEEE 802.3-2018 規格は、10Mbps から 40Gbps 以上におよぶ非常に広範な定義と速度をカバーしており、また、多数の条項を含んでいます。この規格で定義されたレジスタの多くは、様々な条項に関連しており、異なる PHY が、異なる条項や、これらの条項の組み合わせを含む場合もあります。そのため、ソフトウェア・リセット、ソフトウェア・パワーダウン、ループバックなどの一般的な機能のレジスタは、複数の条項で記載されている傾向があります。

ADIN1101 では、これらのレジスタは物理的には 1 か所に実装されていますが、複数のアドレスでアクセスすることもできます。例えば、ソフトウェア・リセット・ビットは、[表 40](#) に示すすべての IEEE MMD アドレスとベンダ固有のレジスタ・アドレスで読み書きできます。

表 40. IEEE MMD 位置でのソフトウェア・リセット・ビット・アクセス

Register Name	Device Address	Register Address	Bit Name	Bit
PMA/PMD Control 1 (IEEE 802.3)	0x01	0x0000	Reset (IEEE 802.3)	15
10BASE-T1L PMA Control (IEEE 802.3.cg)	0x01	0x08F6	PMA reset (IEEE 802.3.cg)	15
PCS Control 1 (IEEE 802.3)	0x03	0x0000	Reset (IEEE 802.3)	15
10BASE-T1L PCS Control (IEEE 802.3.cg)	0x03	0x08E6	PCS reset (IEEE 802.3.cg)	15
Software Reset (ADIN1101)	0x1E	0x8810	CRSM_SFT_RST (ADIN1101)	0

この例の場合、これらの位置は、PMA/PMD、PCS、オートネゴシエーション、ベンダ固有 1 のデバイス・アドレス位置です（[表 37](#) 参照）。

IEEE 規格を満たすよう、ADIN1101 には同じレジスタに対し複数のアドレス位置があります。

ADIN1101 のデータシートでは、これらの IEEE レジスタごとに 1 つの推奨アドレス位置のみを挙げることで、デバイスの動作と使用法を簡潔にしています。一般に、規格の 802.3cg（10BASE-T1L）セクションで示されているレジスタは、これ以前の（同等の）レジスタに優先して推奨されています。特に、あるレジスタが 1 つのレジスタ・アドレスに有用な IEEE レジスタ・ビットを多数含む場合、ベンダ固有アドレスのレジスタが推奨されます。ADIN1101 は、パワーオン・リセット、ハードウェア・リセット、またはソフトウェア・リセット後の起動シーケンスが完了すると、10BASE-T1L 規格によってカバーされるすべての IEEE レジスタ・アドレス位置へのレジスタ・アクセスに正しく対応します。

リード・モディファイ・ライト動作

すべてのレジスタ書き込み操作は、特に、個々のレジスタ・ビットを変更する場合は、リード・モディファイ・ライトとして実行することを強く推奨します。これに従わない場合、レジスタ・ビットの値が意図せずに変更される場合があります。

レジスタの一覧

イーサネット条項 22 レジスタの詳細

表 41. ADIN1101 のレジスタ一覧

アドレス	名称	説明	リセット	アクセス
0x0	MI_CONTROL	MII 制御レジスタ	0x1100	R/W
0x1	MI_STATUS	MII ステータス・レジスタ	0x1009	R
0x2	MI_PHY_ID1	PHY 識別マーク 1 レジスタ	0x0283	R
0x3	MI_PHY_ID2	PHY 識別マーク 2 レジスタ	0xBC81	R
0xD	MMD_ACCESS_CNTRL	MMD アクセス制御	0x0000	R/W
0xE	MMD_ACCESS	MMD アクセス	0x0000	R/W

MII 制御レジスタ

アドレス : 0x0、リセット : 0x1100、レジスタ名 : MI_CONTROL

このアドレスは、802.3 規格の条項 22.2.4.1 で規定されている MII 制御レジスタに対応しています。

表 42. MI_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_SFT_RST	ソフトウェア・リセット。ソフトウェア・リセット・ビットを使用すると、ソフトウェアのリセット・サイクルを開始できます。CRSM_SFT_RST をミラーリングします。	0x0	R/W SC
14	MI_LOOPBACK	ローカル・ループバック (PCS)。ループバック・ビットにより、PHY ループバック・モードを有効にすることができます。LB_PCS_EN をミラーリングします。	0x0	R/W
13	MI_SPEED_SEL_LSB	MII 速度の選択 (LSB)。MI_SPEED_SEL_MSB を参照してください。	0x0	R
12	MI_AN_EN	オートネゴシエーションのイネーブル。AN_FRC_MODE_EN ビットを使用すると、強制リンク設定モードをイネーブルできます。AN_EN をミラーリングします。 0 : オートネゴシエーションをディスエーブル。 1 : オートネゴシエーションをイネーブル。	0x1	R
11	MI_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・ビットを使用すると、PHY をソフトウェア・パワーダウン・モードにできます。このモードでは、大半の PHY 回路がオフに切り替わります。ただし、全レジスタに対する MDIO アクセスは引き続き可能です。このレジスタのデフォルト値は、RX_DV/RX_CTL/SWPD_EN ピンを使用して設定可能です。そのため、PHY は、適切なソフトウェア初期化が行われるまで、リセット状態を維持することができます。CRSM_SFT_PD をミラーリングします。	Pin dependent	R/W
10	MI_ISOLATE	MII 絶縁。このビットで、PHY と MII を絶縁できます。	0x0	R/W
9	RESERVED	予約済み。	0x0	R/W SC
8	MI_FULL_DUPLEX	MII 全二重。PHY は全二重モードでのみ動作可能なので、二重モード・ビットへの書込みはできず、常に 1 が読み出されます。	0x1	R
7	MI_COLTEST	MII コリジョン・テスト。PHY は全二重モードでのみ動作可能でコリジョン検出 MII (COL) ピンがないため、コリジョン・テスト・ビットへの書込みはできず、常に 0 が読み出されます。	0x0	R
6	MI_SPEED_SEL_MSB	MII 速度の選択 (MSB)。PHY は 10Mbps でのみ動作可能なので、速度選択 MSB ビットおよび LSB ビットへの書込みはできず、常に 00 が読み出されます。	0x0	R
5	MI_UNIDIR_EN	MII 単方向イネーブル。PHY は、有効なリンクが確立されたことを判別したかどうかに関わりなく、MII からデータを送信できないので、単方向イネーブル・ビットへの書込みはできず、常に 0 が読み出されます。	0x0	R
[4:0]	RESERVED	予約済み。	0x0	R

MII ステータス・レジスタ

アドレス : 0x1、リセット : 0x1009、レジスタ名 : MI_STATUS

このアドレスは、802.3 規格の条項 22.2.4.2 で規定されている MII ステータス・レジスタに対応しています。

レジスタの一覧

表 43. MI_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MI_T4_SPRT	100BASE-T4 アビリティ。PHY は 100BASE-T4 に対応していないため、100BASE-T4 アビリティ・ビットは常に 0 が読み出されます。	0x0	R
14	MI_FD100_SPRT	全二重 100BASE-X アビリティ。PHY は 100BASE-X 全二重に対応していないため、100BASE-X 全二重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
13	MI_HD100_SPRT	半二重 100BASE-X アビリティ。PHY は 100BASE-X 半二重に対応していないため、100BASE-T2 半二重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
12	MI_FD10_SPRT	全二重 10Mbps アビリティ。10Mbps 全二重アビリティ・ビットは、PHY が 10Mbps 全二重に対応していることを示します。	0x1	R
11	MI_HD10_SPRT	半二重 10Mbps アビリティ。PHY は 10Mbps 半二重に対応していないため、10Mbps 半二重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
10	MI_FD_T2_SPRT	全二重 100BASE-T2 アビリティ。PHY は 100BASE-T2 全二重に対応していないため、100BASE-X 全二重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
9	MI_HD_T2_SPRT	半二重 100BASE-T2 アビリティ。PHY は 100BASE-T2 半二重に対応していないため、100BASE-T2 半二重アビリティ・ビットは常に 0 が読み出されます。	0x0	R
8	MI_EXT_STAT_SPRT	拡張ステータス・サポート。拡張ステータス・サポート・ビットは常に 0 として読み出され、PHY がレジスタ 0xF で拡張ステータス情報を提供しないことを示します。	0x0	R
7	MI_UNIDIR_ABLE	単方向アビリティ。PHY は、有効なリンクが確立されていることを判別した場合にのみ MII からデータを送信できるため、単方向アビリティ・ビットは常に 0 が読み出されます。	0x0	R
6	MI_MF_PREAM_SUP_ABLE	管理プリアンブル抑制アビリティ。PHY は、先頭にプリアンブル・パターンがない管理フレームは受信できないため、管理フレーム・プリアンブル抑制アビリティ・ビットは常に 0 が読み出されます。	0x0	R
5	MI_AN_COMPLETE	オートネゴシエーション完了。オートネゴシエーション完了ビットは、オートネゴシエーション・プロセスが完了し、PHY リンクが確立したことを示します。AN_COMPLETE をミラーリングします。	0x0	R
4	MI_REM_FLT	リモート・フォルト。PHY はリモート・フォルト検出に対応していないため、リモート・フォルト・ビットは常に 0 が読み出されます。	0x0	R LH
3	MI_AN_ABLE	オートネゴシエーション・アビリティ。PHY はオートネゴシエーションを実行できるため、オートネゴシエーション・ビットは常に 1 が読み出されます。AN_ABLE をミラーリングします。	0x1	R
2	MI_LINK_STAT_LAT	リンク・ステータス。リンク・ステータス・ビットは、IEEE 802.3 規格の副条項 45.2.7.20.5 に記載のラッチ・ロー機能を使用します。リンク・ステータス値が切断を示している場合、ビット読み出し時にラッチがクリアされるまで、このビットはクリアのままとなります。7.513.2 (AN_LINK_STATUS) をミラーリングします。	0x0	R LL
1	MI_JABBER_DET	II ジャババー検出。10BASE-T1L PHY はジャババー検出機能に対応していないため、ジャババー検出ビットは常に 0 が読み出されます。	0x0	R LH
0	MI_EXT_CAPABLE	II 拡張ケイパビリティ。PHY は拡張レジスタ・セットを通じてアクセスできるケイパビリティの拡張セットを備えているため、拡張ケイパビリティ・ビットは常に 1 が読み出されます。拡張レジスタ・セットには、0x0、0x1、0xF を除くすべての管理レジスタが含まれています。	0x1	R

PHY 識別子 1 レジスタ

アドレス : 0x2、リセット : 0x0283、レジスタ名 : MI_PHY_ID1

PHY 識別子 1 のアドレスを使用すると、OUI の 16 ビットがわかります。

表 44. MI_PHY_ID1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MI_PHY_ID1	PHY 識別子 1 のアドレスを使用すると、OUI の 16 ビットがわかります。	0x283	R

レジスタの一覧

PHY 識別子 2 レジスタ

アドレス : 0x3、リセット : 0xBC81、レジスタ名 : MI_PHY_ID2

PHY 識別子 2 のアドレスを使用すると、OUI の 6 ビットおよびモデル番号とリビジョン番号がわかります。

表 45. MI_PHY_ID2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MI_PHY_ID2_OUI	OUI、ビット[7:2]。	0x2F	R
[9:4]	MI_MODEL_NUM	モデル番号。	0x8	R
[3:0]	MI_REV_NUM	リビジョン番号。	0x1	R

MMD アクセス制御レジスタ

アドレス : 0xD、リセット : 0x0000、レジスタ名 : MMD_ACCESS_CNTRL

このアドレスは、IEEE 802.3-2018 規格の条項 22.2.4.3.11 で規定されている MMD アクセス制御レジスタに対応しています。

表 46. MMD_ACCESS_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD_ACR_FUNCTION	機能。機能ビットは、MMD_ACCESS レジスタへのアクセス時の MMD アクセスの種類を選択します。 00 : アドレス。 01 : データ、ポスト・インクリメントなし。 10 : データ、読み書き時にポスト・インクリメント。 11 : データ、書込み時にのみポスト・インクリメント。	0x0	R/W
[13:5]	RESERVED	予約済み。	0x0	R
[4:0]	MMD_ACR_DEVAD	デバイス・アドレス。このビットの値によって、MMD_ACCESS レジスタへのすべてのアクセスが、選択された MMD に振り向けられます。	0x0	R/W

MMD アクセス・レジスタ

アドレス : 0xE、リセット : 0x0000、レジスタ名 : MMD_ACCESS

このアドレスは、IEEE 802.3-2018 規格の条項 22.2.4.3.12 で規定されている MMD アクセス・アドレス・データ・レジスタに対応しています。

MMD_ACCESS レジスタを MMD_ACCESS_CNTRL レジスタと併用すると、条項 22.2.4 で定められたインターフェースと機構を使用して MMD アドレス空間へのアクセスができます。

表 47. MMD_ACCESS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD_ACCESS	アクセス・アドレス。このアドレスは、IEEE 802.3-2018 規格の条項 22.2.4.3.12 で規定されている MMD アクセス・アドレス・データ・レジスタに対応しています。MMD_ACCESS レジスタを MMD_ACCESS_CNTRL レジスタと併用すると、条項 22.2.4 で定められたインターフェースと機構を使用して MMD アドレス空間へのアクセスができます。	0x0	R/W

イーサネット条項 45 レジスタの詳細

表 48. ADIN1101 のレジスタ一覧

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x01	0x0000	PMA_PMD_CNTRL1	PMA/PMD 制御 1 レジスタ	0x0000	R/W
0x01	0x0001	PMA_PMD_STAT1	PMA/PMD ステータス 1 レジスタ	0x0002	R
0x01	0x0005	PMA_PMD_DEVS_IN_PKG1	パッケージ 1 の PMA/PMD MMD デバイス	0x008B	R
0x01	0x0006	PMA_PMD_DEVS_IN_PKG2	パッケージ 2 の PMA/PMD MMD デバイス・レジスタ	0xC000	R
0x01	0x0007	PMA_PMD_CNTRL2	PMA/PMD 制御 2 レジスタ	0x003D	R/W
0x01	0x0008	PMA_PMD_STAT2	PMA/PMD ステータス 2	0x8301	R
0x01	0x0009	PMA_PMD_TX_DIS	PMA/PMD 送信ディセーブル・レジスタ	0x0000	R/W
0x01	0x000B	PMA_PMD_EXT_ABILITY	PMA/PMD 拡張アビリティ・レジスタ	0x0800	R

レジスタの一覧

表 48. ADIN1101 のレジスタ一覧（続き）

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x01	0x0012	PMA_PMD_BT1_ABILITY	BASE-T1 PMA/PMD 拡張アビリティ・レジスタ	0x0004	R
0x01	0x0834	PMA_PMD_BT1_CONTROL	BASE-T1 PMA/PMD 制御レジスタ	0x8002	R/W
0x01	0x08F6	B10L_PMA_CNTRL	10BASE-T1L PMA 制御レジスタ	0x0000	R/W
0x01	0x08F7	B10L_PMA_STAT	10BASE-T1L PMA ステータス・レジスタ	0x2800	R
0x01	0x08F8	B10L_TEST_MODE_CNTRL	10BASE-T1L テスト・モード制御レジスタ	0x0000	R/W
0x01	0x8302	B10L_PMA_LINK_STAT	10BASE-T1L PMA リンク・ステータス・レジスタ	0x0000	R
0x01	0x830B	MSE_VAL	平均二乗誤差 (MSE) 値レジスタ	0x0000	R
0x03	0x0000	PCS_CNTRL1	PCS 制御 1 レジスタ	0x0000	R/W
0x03	0x0001	PCS_STAT1	PCS ステータス 1 レジスタ	0x0002	R
0x03	0x0005	PCS_DEVS_IN_PKG1	パッケージ 1 の PCS MMD デバイス・レジスタ	0x008B	R
0x03	0x0006	PCS_DEVS_IN_PKG2	パッケージ 2 の PCS MMD デバイス・レジスタ	0xC000	R
0x03	0x0008	PCS_STAT2	PCS ステータス 2 レジスタ	0x8000	R
0x03	0x08E6	B10L_PCS_CNTRL	10BASE-T1L PCS 制御レジスタ	0x0000	R/W
0x03	0x08E7	B10L_PCS_STAT	10BASE-T1L PCS ステータス・レジスタ	0x0000	R
0x07	0x0005	AN_DEVS_IN_PKG1	パッケージ 1 のオートネゴシエーション MMD デバイス・レジスタ	0x008B	R
0x07	0x0006	AN_DEVS_IN_PKG2	パッケージ 2 のオートネゴシエーション MMD デバイス・レジスタ	0xC000	R
0x07	0x0200	AN_CONTROL	BASE-T1 オートネゴシエーション制御レジスタ	0x1000	R/W
0x07	0x0201	AN_STATUS	BASE-T1 オートネゴシエーション・ステータス・レジスタ	0x0008	R
0x07	0x0202	AN_ADV_ABILITY_L	BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[15:0]	0x0001	R/W
0x07	0x0203	AN_ADV_ABILITY_M	BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[31:16]	0x4000	R/W
0x07	0x0204	AN_ADV_ABILITY_H	BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[47:32]	0x0000	R/W
0x07	0x0205	AN_LP_ADV_ABILITY_L	BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[15:0]	0x0000	R
0x07	0x0206	AN_LP_ADV_ABILITY_M	BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[31:16]	0x0000	R
0x07	0x0207	AN_LP_ADV_ABILITY_H	BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[47:32]	0x0000	R
0x07	0x0208	AN_NEXT_PAGE_L	BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[15:0]	0x2001	R/W
0x07	0x0209	AN_NEXT_PAGE_M	BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[31:16]	0x0000	R/W
0x07	0x020A	AN_NEXT_PAGE_H	BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[47:32]	0x0000	R/W
0x07	0x020B	AN_LP_NEXT_PAGE_L	BASE-T1 オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[15:0]	0x0000	R
0x07	0x020C	AN_LP_NEXT_PAGE_M	BASE-T1 オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[31:16]	0x0000	R
0x07	0x020D	AN_LP_NEXT_PAGE_H	BASE-T1 オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[47:32]	0x0000	R

レジスタの一覧

表 48. ADIN1101 のレジスタ一覧（続き）

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x07	0x020E	AN_B10_ADV_ABILITY	10BASE-T1 オートネゴシエーション制御レジスタ	0x8000	R/W
0x07	0x020F	AN_B10_LP_ADV_ABILITY	10BASE-T1 オートネゴシエーション・ステータス・レジスタ	0x0000	R
0x07	0x8000	AN_FRC_MODE_EN	オートネゴシエーション強制モード・イネーブル・レジスタ	0x0000	R/W
0x07	0x8001	AN_STATUS_EXTRA	追加オートネゴシエーション・ステータス・レジスタ	0x0000	R
0x07	0x8030	AN_PHY_INST_STATUS	PHY 即時ステータス	0x0010	R
0x1E	0x0002	MMD1_DEV_ID1	ベンダ固有 MMD 1 デバイス識別子ハイ・レジスタ	0x0283	R
0x1E	0x0003	MMD1_DEV_ID2	ベンダ固有 MMD 1 デバイス識別子ロー・レジスタ	0xBC01	R
0x1E	0x0005	MMD1_DEVS_IN_PKG1	パッケージ内のベンダ固有 1 MMD デバイス・レジスタ	0x008B	R
0x1E	0x0006	MMD1_DEVS_IN_PKG2	パッケージ内のベンダ固有 1 MMD デバイス・レジスタ	0xC000	R
0x1E	0x0008	MMD1_STATUS	ベンダ固有 MMD 1 ステータス・レジスタ	0x8000	R
0x1E	0x0010	CRSM_IRQ_STATUS	システム割込みステータス・レジスタ	0x1000	R
0x1E	0x0020	CRSM_IRQ_MASK	システム割込みマスク・レジスタ	0x1BFE	R/W
0x1E	0x8810	CRSM_SFT_RST	ソフトウェア・リセット・レジスタ	0x0000	R/W
0x1E	0x8812	CRSM_SFT_PD_CNTRL	ソフトウェア・パワーダウン制御レジスタ	0x0000	R/W
0x1E	0x8814	CRSM_PHY_SUBSYS_RST	PHY サブシステム・リセット・レジスタ	0x0000	R/W
0x1E	0x8815	CRSM_MAC_IF_RST	PHY MAC インターフェース・リセット・レジスタ	0x0000	R/W
0x1E	0x8818	CRSM_STAT	システム・ステータス・レジスタ	0x0000	R
0x1E	0x8819	CRSM_PMG_CNTRL	CRSM パワー・マネージメント制御レジスタ	0x0000	R/W
0x1E	0x882B	CRSM_MAC_IF_CFG	MAC インターフェース設定レジスタ	0x0000	R/W
0x1E	0x882C	CRSM_DIAG_CLK_CTRL	CRSM 診断クロック制御	0x0002	R/W
0x1E	0x8C22	MGMT_PRT_PKG	パッケージ設定値レジスタ	0x0000	R
0x1E	0x8C30	MGMT_MDIO_CNTRL	MDIO 制御レジスタ	0x0000	R/W
0x1E	0x8C56	DIGIO_PINMUX	ピン・マルチプレクサ設定 1 レジスタ	0x00FE	R/W
0x1E	0x8C57	DIGIO_PINMUX2	ピン・マルチプレクサ設定 2 レジスタ	0x00FF	R/W
0x1E	0x8C80	LED0_BLINK_TIME_CNTRL	LED 0 オン/オフ点滅時間レジスタ	0x3636	R/W
0x1E	0x8C82	LED_CNTRL	LED 制御レジスタ	0x8E80	R/W
0x1E	0x8C83	LED_POLARITY	LED 極性レジスタ	0x0000	R/W
0x1F	0x0002	MMD2_DEV_ID1	ベンダ固有 MMD 2 デバイス識別子ハイ・レジスタ	0x0283	R
0x1F	0x0003	MMD2_DEV_ID2	ベンダ固有 MMD 2 デバイス識別子ロー・レジスタ	0xBC01	R
0x1F	0x0005	MMD2_DEVS_IN_PKG1	パッケージ内のベンダ固有 2 MMD デバイス・レジスタ	0x008B	R
0x1F	0x0006	MMD2_DEVS_IN_PKG2	パッケージ内のベンダ固有 2 MMD デバイス・レジスタ	0xC000	R
0x1F	0x0008	MMD2_STATUS	ベンダ固有 MMD 2 ステータス・レジスタ	0x8000	R
0x1F	0x0011	PHY_SUBSYS_IRQ_STATUS	PHY サブシステム割込みステータス・レジスタ	0x0000	R
0x1F	0x0021	PHY_SUBSYS_IRQ_MASK	PHY サブシステム割込みマスク・レジスタ	0x2402	R/W
0x1F	0x8001	FC_EN	フレーム・チェッカ・イネーブル・レジスタ	0x0001	R/W
0x1F	0x8004	FC_IRQ_EN	フレーム・チェッカ割込みイネーブル・レジスタ	0x0001	R/W

レジスタの一覧

表 48. ADIN1101 のレジスタ一覧（続き）

デバイス・アドレス	レジスタ・アドレス	名称	説明	リセット	アクセス
0x1F	0x8005	FC_TX_SEL	フレーム・チェッカ送信選択レジスタ	0x0000	R/W
0x1F	0x8008	RX_ERR_CNT	受信エラー・カウント・レジスタ	0x0000	R
0x1F	0x8009	FC_FRM_CNT_H	フレーム・チェッカ・カウント・ハイ・レジスタ	0x0000	R
0x1F	0x800A	FC_FRM_CNT_L	フレーム・チェッカ・カウント・ロー・レジスタ	0x0000	R
0x1F	0x800B	FC_LEN_ERR_CNT	フレーム・チェッカ・レングス・エラー・カウント・レジスタ	0x0000	R
0x1F	0x800C	FC_ALGN_ERR_CNT	フレーム・チェッカ・アライメント・エラー・カウント・レジスタ	0x0000	R
0x1F	0x800D	FC_SYMB_ERR_CNT	フレーム・チェッカ・シンボル・エラー・カウント・レジスタ	0x0000	R
0x1F	0x800E	FC_OSZ_CNT	フレーム・チェッカ・オーバーサイズ・フレーム・カウント・レジスタ	0x0000	R
0x1F	0x800F	FC_USZ_CNT	フレーム・チェッカ・アンダーサイズ・フレーム・カウント・レジスタ	0x0000	R
0x1F	0x8010	FC_ODD_CNT	フレーム・チェッカ奇数ニブル・フレーム・カウント・レジスタ	0x0000	R
0x1F	0x8011	FC_ODD_PRE_CNT	フレーム・チェッカ奇数プリアンブル・パケット・カウント・レジスタ	0x0000	R
0x1F	0x8013	FC_FALSE_CARRIER_CNT	フレーム・チェッカ偽キャリア・カウント・レジスタ	0x0000	R
0x1F	0x8020	FG_EN	フレーム・ジェネレータ・イネーブル・レジスタ	0x0000	R/W
0x1F	0x8021	FG_CNTRL_RSTRT	フレーム・ジェネレータ制御／再起動レジスタ	0x0001	R/W
0x1F	0x8022	FG_CONT_MODE_EN	フレーム・ジェネレータ連続モード・イネーブル・レジスタ	0x0000	R/W
0x1F	0x8023	FG_IRQ_EN	フレーム・ジェネレータ割込みイネーブル・レジスタ	0x0000	R/W
0x1F	0x8025	FG_FRM_LEN	フレーム・ジェネレータ・フレーム長レジスタ	0x006B	R/W
0x1F	0x8026	FG_IFG_LEN	フレーム・ジェネレータ・フレーム間ギャップ長レジスタ	0x000C	R/W
0x1F	0x8027	FG_NFRM_H	フレーム・ジェネレータ・フレーム数ハイ・レジスタ	0x0000	R/W
0x1F	0x8028	FG_NFRM_L	フレーム・ジェネレータ・フレーム数ロー・レジスタ	0x0100	R/W
0x1F	0x8029	FG_DONE	フレーム・ジェネレータ完了レジスタ	0x0000	R
0x1F	0x8050	RMII_CFG	RMII 設定レジスタ	0x0006	R/W
0x1F	0x8055	MAC_IF_LOOPBACK	MAC インターフェース・ループバック設定レジスタ	0x000A	R/W
0x1F	0x805A	MAC_IF_SOP_CNTRL	MAC パケット開始（SOP）生成制御レジスタ	0x001B	R/W

PMA/PMD 制御 1 レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0000、リセット : 0x0000、レジスタ名 : PMA_PMD_CNTRL1

このアドレスは、802.3 規格の副条項 45.2.1.1 で規定されている PMA/PMD 制御レジスタ 1 に対応しています。このレジスタのリセット値は、ハードウェア構成ピンの設定に依存することに注意してください。

レジスタの一覧

表 49. PMA_PMD_CNTRL のビットの説明 1

ビット	ビット名	説明	リセット	アクセス
15	PMA_SFT_RST	PMA ソフトウェア・リセット。PMA ソフトウェア・リセット・ビットを使用するとチップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。このビットはセルフ・クリア・ビットで、リセットの進行中は 1 の値を返します。それ以外の場合は 0 を返します。	0x0	R/W SC
[14:12]	RESERVED	予約済み。	0x0	R
11	PMA_SFT_PD	PMA ソフトウェア・パワーダウン。PMA ソフトウェア・パワーダウン・レジスタは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対する MDIO アクセスは引き続き可能です。このレジスタのデフォルト値は、RX_DV/SWPD_EN ピンを使用して設定可能です。これによりチップは、適切なソフトウェア初期化が行われるまで、パワーダウン・モードを維持できます。	0x0	R/W
[10:1]	RESERVED	予約済み。	0x0	R
0	LB_PMA_LOC_EN	PMA ローカル・ループバックをイネーブル。このビットを 1 に設定すると、PMA は送信経路のデータを受け入れ、それを受信経路で返します。このビットを 0 に設定すると、PMA は通常動作モードで動作します。	0x0	R/W

PMA/PMD ステータス 1 レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0001、リセット : 0x0002、レジスタ名 : PMA_PMD_STAT1

このアドレスは、802.3 規格の条項 45.2.1.2 で規定されている PMA/PMD ステータス・レジスタ 1 に対応しています。

表 50. PMA_PMD_STAT1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
2	PMA_LINK_STAT_OK_LL	PMA リンク・ステータス。このビットが 1 の場合、リンクが確立されていることを示します。ビットが 0 の場合、最後のビット読み出し後、リンクが切断されたことを示します。	0x0	R LL
1	PMA_SFT_PD_ABLE	PMA ソフトウェア・パワーダウン・イネーブル。PMA がソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予約済み。	0x0	R

パッケージ 1 の PMA/PMD MMD デバイス・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0005、リセット : 0x008B、レジスタ名 : PMA_PMD_DEVS_IN_PKG1

表 51. PMA_PMD_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG1	パッケージ 1 の PMA/PMD MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オートネゴシエーションの各 MMD があります。	0x8B	R

パッケージ 2 の PMA/PMD MMD デバイス・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : PMA_PMD_DEVS_IN_PKG2

表 52. PMA_PMD_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PMA_PMD_DEVS_IN_PKG2	パッケージ 2 の PMA/PMD MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

PMA/PMD 制御 2 レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0007、リセット : 0x003D、レジスタ名 : PMA_PMD_CNTRL2

レジスタの一覧

表 53. PMA_PMD_CNTRL2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
[6:0]	PMA_PMD_TYPE_SEL	PMA/PMD のタイプの選択。IEEE 802.3 規格を参照。 PMA_PMD_TYPE_SEL を使用するの、オートネゴシエーションがディ スエーブルされ、強制リンク設定モードがイネーブルされている場合のみ です。オートネゴシエーションがイネーブルの場合、PHY のタイプは オートネゴシエーション・プロセス自体によって決められます。 ADIN1101 では、このビット・フィールドで有効な値は、BASE-T1 PMA/PMD 用の値のみです。 0000000 : 10GBASE_CX4_PMA_PMD 0000001 : 10GBASE_EW_PMA_PMD 0000010 : 10GBASE_LW_PMA_PMD 0000011 : 10GBASE_SW_PMA_PMD 0000100 : 10GBASE_LX4_PMA_PMD 0000101 : 10GBASE_ER_PMA_PMD 0000110 : 10GBASE_LR_PMA_PMD 0000111 : 10GBASE_SR_PMA_PMD 0001000 : 10GBASE_LRM_PMA_PMD 0001001 : 10GBASE_T_PMA 0001010 : 10GBASE_KX4_PMA_PMD 0001011 : 10GBASE_KR_PMA_PMD 0001100 : 1000BASE_T_PMA_PMD 0001101 : 1000BASE_KX_PMA_PMD 0001110 : 100BASE_TX_PMA_PMD 0001111 : 10BASE_T_PMA_PMD 0010000 : 10_1GBASE_PRX_D1 0010001 : 10_1GBASE_PRX_D2 0010010 : 10_1GBASE_PRX_D3 0010011 : 10GBASE_PR_D1 0010100 : 10GBASE_PR_D2 0010101 : 10GBASE_PR_D3 0010110 : 10_1GBASE_PRX_U1 0010111 : 10_1GBASE_PRX_U2 0011000 : 10_1GBASE_PRX_U3 0011001 : 10GBASE_PR_U1 0011010 : 10GBASE_PR_U3 0011011 : 予約済み。 0011100 : 10GBASE_PR_D4 0011101 : 10_1GBASE_PRX_D4 0011110 : 10GBASE_PR_U4 0011111 : 10_1GBASE_PRX_U4 0100000 : 40GBASE_KR4_PMA_PMD 0100001 : 40GBASE_CR4_PMA_PMD 0100010 : 40GBASE_SR4_PMA_PMD 0100011 : 40GBASE_LR4_PMA_PMD 0100100 : 40GBASE_FR_PMA_PMD 0100101 : 40GBASE_ER4_PMA_PMD 0100110 : 40GBASE_T_PMA 0101000 : 100GBASE_CR10_PMA_PMD 0101001 : 100GBASE_SR10_PMA_PMD 0101010 : 100GBASE_LR4_PMA_PMD 0101011 : 100GBASE_ER4_PMA_PMD 0101100 : 100GBASE_KP4_PMA_PMD	0x3D	R/W

レジスタの一覧

表 53. PMA_PMD_CNTRL2 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		0101101 : 100GBASE_KR4_PMA_PMD 0101110 : 100GBASE_CR4_PMA_PMD 0101111 : 100GBASE_SR4_PMA_PMD 0110000 : 2_5GBASE_T_PMA 0110001 : 5GBASE_T_PMA 0110010 : 10GPASS_XR_D_PMA_PMD 0110011 : 10GPASS_XR_U_PMA_PMD 0110100 : BASE_H_PMA_PMD。 0110101 : 25GBASE_LR_PMA_PMD 0110110 : 25GBASE_ER_PMA_PMD 0110111 : 25GBASE_T_PMA 0111000 : 25GBASE_CR_OR_25GBASE_CR_S_PMA_PMD 0111001 : 25GBASE_KR_OR_25GBASE_KR_S_PMA_PMD 0111010 : 25GBASE_SR_PMA_PMD 0111101 : BASE_T1_PMA_PMD 1010011 : 200GBASE_DR4_PMA_PMD 1010100 : 200GBASE_FR4_PMA_PMD 1010101 : 200GBASE_LR4_PMA_PMD 1011001 : 400GBASE_SR16_PMA_PMD 1011010 : 400GBASE_DR4_PMA_PMD 1011011 : 400GBASE_FR8_PMA_PMD 1011100 : 400GBASE_LR8_PMA_PMD		

PMA/PMD ステータス 2 レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0008、リセット : 0x8301、レジスタ名 : PMA_PMD_STAT2

表 54. PMA_PMD_STAT2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PMA_PMD_PRESENT	PMA/PMD が存在。PMA が存在し応答していることを示します。	0x2	R
[13:10]	RESERVED	予約済み。	0x0	R
9	PMA_PMD_EXT_ABLE	PHY 拡張アビリティ・サポート。PHY が PMA_PMD_EXT_ABILITY に記載の拡張アビリティに対応していることを示します。	0x1	R
8	PMA_PMD_TX_DIS_ABLE	PMA/PMD 送信ディスエーブル。PMA が送信ディスエーブルに対応していることを示します。	0x1	R
[7:1]	RESERVED	予約済み。	0x0	R
0	LB_PMA_LOC_ABLE	PMA ローカル・ループバック・エーブル。PMA がローカル・ループバックに対応していることを示します。	0x1	R

PMA/PMD 送信ディスエーブル・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0009、リセット : 0x0000、レジスタ名 : PMA_PMD_TX_DIS

このアドレスは、802.3 規格の条項 45.2.1.8 で規定されている PMD 送信ディスエーブル・レジスタに対応しています。

表 55. PMA_PMD_TX_DIS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	PMA_TX_DIS	PMD 送信ディスエーブル。このビットを 1 に設定すると、PMD は送信経路の出力をディスエーブルします。それ以外の場合は、PMD は送信経路の出力をイネーブルします。	0x0	R/W

レジスタの一覧

PMA/PMD 拡張アビリティ・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x000B、リセット : 0x0800、レジスタ名 : PMA_PMD_EXT_ABILITY

PMA/PMD 拡張アビリティ。

表 56. PMA_PMD_EXT_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
11	PMA_PMD_BT1_ABLE	PHY は BASE-T1 に対応。PHY が PMA_PMD_BT1_ABILITY に記載の BASE-T1 拡張アビリティに対応していることを示します。	0x1	R
[10:0]	RESERVED	予約済み。	0x0	R

BASE-T1 PMA/PMD 拡張アビリティ・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0012、リセット : 0x0004、レジスタ名 : PMA_PMD_BT1_ABILITY

このアドレスは、802.3 規格の副条項 45.2.1.16 で規定されている BASE-T1 PMA/PMD 拡張アビリティ・レジスタに対応しています。このレジスタは読出し専用で、書込みを行っても無効です。

表 57. PMA_PMD_BT1_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	B10S_ABILITY	10BASE-T1S アビリティ。PMA/PMD は 10BASE-T1S に対応していないため、このビットは常に 0 として読み出されます。	0x0	R
2	B10L_ABILITY	10BASE-T1L アビリティ。PMA/PMD は 10BASE-T1L に対応しているため、このビットは常に 1 として読み出されます。	0x1	R
1	B1000_ABILITY	1000BASE-T1 アビリティ。PMA/PMD は 1000BASE-T1 に対応していないため、このビットは常に 0 として読み出されます。	0x0	R
0	B100_ABILITY	100BASE-T1 アビリティ。PMA/PMD は 100BASE-T1 に対応していないため、このビットは常に 0 として読み出されます。	0x0	R

BASE-T1 PMA/PMD 制御レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x0834、リセット : 0x8002、レジスタ名 : PMA_PMD_BT1_CONTROL

このアドレスは、802.3 規格の副条項 45.2.1.185 で規定されている BASE-T1 PMA/PMD 制御レジスタに対応しています。

表 58. PMA_PMD_BT1_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x1	R
14	CFG_MST	リーダーとフォロアの設定。CFG_MST が使用されるのは、オートネゴシエーションがディセーブルの場合のみです。そうでない場合、この値はオートネゴシエーション・プロセス自体によって決まります。このビットを 1 に設定すると、デバイスはリーダーとして設定されます。それ以外の場合、デバイスはフォロアとして設定されます。	0x0	R/W
[13:4]	RESERVED	予約済み。	0x0	R
[3:0]	BT1_TYPE_SEL	BASE-T1 のタイプの選択。以下の制御レジスタのビットの定義については、IEEE 802.3 規格を参照してください（X はドント・ケアを意味します）。 1XXX : 予備 01XX : 予備 0011 : 10BASE-T1S 0010 : 10BASE-T1L 0001 : 1000BASE-T1 0000 : 100BASE-T1 BT1_TYPE_SEL を使用するの、オートネゴシエーションがディセーブルされ、強制リンク設定モードがイネーブルされている場合のみです。オートネゴシエーションがイネーブルの場合、PHY のタイプはオートネゴシエーション・プロセス自体によって決められます。ADIN1101 では、10BASE-T1L 用の値のみが有効です。	0x2	R/W

レジスタの一覧

10BASE-T1L PMA 制御レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x08F6、リセット : 0x0000、レジスタ名 : B10L_PMA_CNTRL

このアドレスは、802.3cg 規格の副条項 45.2.1.186a で規定されている 10BASE-T1L PMA 制御レジスタに対応しています。

表 59. B10L_PMA_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R/W SC
14	B10L_TX_DIS_MODE_EN	10BASE-T1L 送信ディセーブル・モード。このビットを 1 に設定すると、送信経路の出力がディセーブルされます。それ以外の場合は、送信経路の出力がイネーブルされます。	0x0	R/W
13	RESERVED	予約済み。	0x0	R
12	B10L_TX_LVL_HI	10BASE-T1L 送信電圧振幅制御。この設定はオートネゴシエーションがディセーブルされている場合にのみ使用します。そうでない場合、設定はオートネゴシエーション・プロセス自体によって決まります。このビットを 1 にセットすると、デバイスは 2.4V p-p の動作モードで動作します。それ以外では、デバイスは 1.0V p-p の動作モードで動作します。	Pin dependent	R/W
11	RESERVED	予約済み。	0x0	R/W
10	B10L_EEE	10BASE-T1L EEE イネーブル。	0x0	R/W
[9:1]	RESERVED	予約済み。	0x0	R
0	B10L_LB_PMA_LOC_EN	10BASE-T1L PMA ループバック。このビットを 1 に設定すると、PMA は送信経路のデータを受け入れ、それを受信経路で返します。このビットを 0 に設定すると、PMA は通常動作モードで動作します。	0x0	R/W

10BASE-T1L PMA ステータス・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x08F7、リセット : 0x2800、レジスタ名 : B10L_PMA_STAT

このアドレスは、802.3cg 規格の副条項 45.2.1.186b で規定されている 10BASE-T1L PMA ステータス・レジスタに対応しています。

表 60. B10L_PMA_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予約済み。	0x0	R
13	B10L_LB_PMA_LOC_ABL E	10BASE-T1L PMA ループバック・アビリティ。PMA にはループバック・アビリティがあるため、このビットは常に 1 として読み出されます。	0x1	R
12	B10L_TX_LVL_HI_ABLE	10BASE-T1L 高電圧送信アビリティ。PHY が 10BASE-T1L の高電圧 (2.4V p-p) 送信レベル動作モードに対応していることを示します。	Pin dependent	R
11	B10L_PMA_SFT_PD_ABL E	PMA はパワーダウンに対応。PMA がソフトウェア・パワーダウンに対応していることを示します。	0x1	R
10	B10L_EEE_ABLE	10BASE-T1L EEE アビリティ。PHY が 10BASE-T1L EEE に対応しているかどうかを示します。	0x0	R
[9:0]	RESERVED	予約済み。	0x0	R

10BASE-T1L テスト・モード制御レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x08F8、リセット : 0x0000、レジスタ名 : B10L_TEST_MODE_CNTRL

このアドレスは、802.3cg 規格の副条項 45.2.1.186c で規定されている 10BASE-T1L PMA テスト・モード制御レジスタに対応しています。このレジスタのデフォルト値は、デバイスの初期状態として、管理の介入のない通常動作を選択します。

表 61. B10L_TEST_MODE_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	B10L_TX_TEST_MODE	10BASE-T1L トランスミッタ・テスト・モード。 000 : 通常動作。 001 : テスト・モード 1、トランスミッタ出力電圧とタイミング・ジッタのテスト・モード。テスト・モード 1 がイネーブルされている場合、PHY はデータ・シンボル・シーケンス (+1, -1) を繰り返し送信します。	0x0	R/W

レジスタの一覧

表 61. B10L_TEST_MODE_CNTRL のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		010 : テスト・モード 2、トランスミッタ出力ドループ・テスト・モード。テスト・モード 2 がイネーブルされている場合、PHY は 10 個の+1 シンボルを送信し、続いて 10 個の-1 シンボルを送信します。 011 : テスト・モード 3、アイドル・モードでの通常動作。テスト・モード 3 がイネーブルされている場合、PHY はデータを通常のフレーム間アイドル信号に設定し、非テスト動作時およびリーダー・データ・モード時のように送信します。		
[12:0]	RESERVED	予約済み。	0x0	R

10BASE-T1L PMA リンク・ステータス・レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x8302、リセット : 0x0000、レジスタ名 : B10L_PMA_LINK_STAT

このアドレスを読み出すことで、10BASE-T1L PMA リンクのステータスが判定できます。B10L_PMA_LINK_STAT を読み出すと、これらのビットのラッチ条件がクリアされます。

表 62. B10L_PMA_LINK_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予約済み。	0x0	R
9	B10L_REM_RCVR_STAT_OK_LL	10BASE-T1L リモート・レシーバー・ステータス OK ラッチ・ロー。B10L_REM_RCVR_STAT_OK のラッチ・ロー・バージョン。	0x0	R LL
8	B10L_REM_RCVR_STAT_OK	10BASE-T1L リモート・レシーバー・ステータス OK。このビットが 1 の場合、リモート・レシーバーのステータスが OK であることを示します。	0x0	R
7	B10L_LOC_RCVR_STAT_OK_LL	10BASE-T1L ローカル・レシーバー・ステータス OK ラッチ・ロー。B10L_LOC_RCVR_STAT_OK のラッチ・ロー・バージョン。	0x0	R LL
6	B10L_LOC_RCVR_STAT_OK	10BASE-T1L ローカル・レシーバー・ステータス OK。このビットが 1 の場合、ローカル・レシーバーのステータスが OK であることを示します。	0x0	R
5	B10L_DSCR_STAT_OK_LL	BASE-T1L デスクランブラ・ステータス OK ラッチ・ロー。このビットが 1 の場合、デスクランブラのステータスが OK であることを示します。	0x0	R LL
4	B10L_DSCR_STAT_OK	10BASE-T1L デスクランブラ・ステータス OK。このビットが 1 の場合、デスクランブラのステータスが OK であることを示します。	0x0	R
[3:2]	RESERVED	予約済み。	0x0	R
1	B10L_LINK_STAT_OK_LL	リンク・ステータス OK ラッチ・ロー。このビットが 1 の場合、リンクのステータスが OK であることを示します。	0x0	R LL
0	B10L_LINK_STAT_OK	リンク・ステータス OK。このビットが 1 の場合、リンクのステータスが OK であることを示します。	0x0	R

MSE 値レジスタ

デバイス・アドレス : 0x01、レジスタ・アドレス : 0x830B、リセット : 0x0000、レジスタ名 : MSE_VAL

表 63. MSE_VAL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MSE_VAL	MSE 値。LSB の重みは 2^{-18} であることに注意してください。S/N 比 (SNR) の値を計算する場合、10BASE-T1L の平均のアイドル・シンボル・パワーは 0.64422 です。	0x0	R

PCS 制御 1 レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0000、リセット : 0x0000、レジスタ名 : PCS_CNTRL1

このアドレスは、802.3 規格の条項 45.2.3.1 で規定されている PCS 制御レジスタ 1 に対応しています。

レジスタの一覧

表 64. PCS_CNTRL1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	PCS_SFT_RST	PCS ソフトウェア・リセット。PMA_SFT_RST をミラーリングします。	0x0	R/W SC
14	LB_PCS_EN	PCS ループバック・イネーブル。このビットを 1 に設定すると、PCS は送信経路のデータを受け入れ、それを受信経路で返します。このビットを 0 に設定すると、PCS は通常動作モードで動作します。	0x0	R/W
[13:12]	RESERVED	予約済み。	0x0	R
11	PCS_SFT_PD	PCS ソフトウェア・パワーダウン。PMA_SFT_PD をミラーリングします。	0x0	R/W
[10:0]	RESERVED	予約済み。	0x0	R

PCS ステータス 1 レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0001、リセット : 0x0002、レジスタ名 : PCS_STAT1

表 65. PCS_STAT1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
1	PCS_SFT_PD_ABLE	PCS ソフトウェア・パワーダウン・エーブル。PCS がソフトウェア・パワーダウンに対応していることを示します。	0x1	R
0	RESERVED	予約済み。	0x0	R

パッケージ 1 の PCS MMD デバイス・レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0005、リセット : 0x008B、レジスタ名 : PCS_DEVS_IN_PKG1

表 66. PCS_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG1	パッケージ 1 の PCS MMD デバイス。条項 22 レジスタと、PMA/PMDD、PCS、オートネゴシエーションの各 MMD があります。	0x8B	R

パッケージ 2 の PCS MMD デバイス・レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : PCS_DEVS_IN_PKG2

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 67. PCS_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	PCS_DEVS_IN_PKG2	パッケージ 2 の PCS MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

PCS ステータス 2 レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x0008、リセット : 0x8000、レジスタ名 : PCS_STAT2

表 68. PCS_STAT2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	PCS_PRESENT	PCS あり。PCS が存在し応答していることを示します。	0x2	R
[13:0]	RESERVED	予約済み。	0x0	R

10BASE-T1L PCS 制御レジスタ

デバイス・アドレス : 0x03、レジスタ・アドレス : 0x08E6、リセット : 0x0000、レジスタ名 : B10L_PCS_CNTRL

レジスタの一覧

このアドレスは、802.3cg 規格の条項 45.2.3.68a で規定されている 10BASE-T1L PCS 制御レジスタに対応しています。

表 69. B10L_PCS_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R/W SC
14	B10L_LB_PCS_EN	PCS ループバック・イネーブル。このビットを 1 に設定すると、10BASE-T1L PCS ループバックが有効になります。	0x0	R/W
[13:0]	RESERVED	予約済み。	0x0	R

10BASE-T1L PCS ステータス・レジスタ

デバイス・アドレス：0x03、レジスタ・アドレス：0x08E7、リセット：0x0000、レジスタ名：B10L_PCS_STAT

このアドレスは、802.3cg 規格の条項 45.2.3.68b で規定されている 10BASE-T1L PCS ステータス・レジスタに対応しています。

表 70. B10L_PCS_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
2	B10L_PCS_DSCR_STAT_OK_LL	PCS デスクランブラのステータス。このビットが 1 の場合、10BASE-T1L デスクランブラがロックされていることを示します。このビットが 0 の場合、最後のビット読出し後、10BASE-T1L デスクランブラのロックが解除されたことを示します。	0x0	R LL
[1:0]	RESERVED	予約済み。	0x0	R

パッケージ 1 のオートネゴシエーション MMD デバイス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：AN_DEVS_IN_PKG1

条項 22 レジスタと、PMA/PMD、PCS、オートネゴシエーションの各 MMD があります。

表 71. AN_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG1	パッケージ 1 のオートネゴシエーション MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オートネゴシエーションの各 MMD があります。	0x8B	R

パッケージ 2 のオートネゴシエーション MMD デバイス・レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：AN_DEVS_IN_PKG2

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 72. AN_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_DEVS_IN_PKG2	パッケージ 2 のオートネゴシエーション MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

BASE-T1 オートネゴシエーション制御レジスタ

デバイス・アドレス：0x07、レジスタ・アドレス：0x0200、リセット：0x1000、レジスタ名：AN_CONTROL

このアドレスは、802.3 規格の条項 45.2.7.19 で規定されている BASE-T1 オートネゴシエーション制御レジスタに対応しています。

表 73. AN_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予約済み。	0x0	R/W SC

レジスタの一覧

表 73. AN_CONTROL のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
12	AN_EN	オートネゴシエーションのイネーブル。このビットが1にセットされると、オートネゴシエーションがイネーブルされます。オートネゴシエーションはデフォルトでイネーブルされています。また、オートネゴシエーションは常にイネーブルしておくことを強く推奨します。	0x1	R/W
[11:10]	RESERVED	予約済み。	0x0	R
9	AN_RESTART	オートネゴシエーションの再起動。このビットを1に設定すると、オートネゴシエーションが再起動します。このビットはセルフ・クリア・ビットで、オートネゴシエーション・プロセスが開始されるまで1の値を返します。	0x0	R/W SC
[8:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0201、リセット : 0x0008、レジスタ名 : AN_STATUS

このアドレスは、802.3 規格の条項 45.2.7.20 で規定されている BASE-T1 オートネゴシエーション・ステータス・レジスタに対応しています。

表 74. AN_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
6	AN_PAGE_RX	ページ受信。このビットがセットされた場合、新しいリンクのコードワードが受信され、AN_LP_ADV_ABILITY_x レジスタまたは AN_LP_NEXT_PAGE_x レジスタに保存されていることを示します。オートネゴシエーション時にこのビットが初めてセットされた場合に、AN_LP_ADV_ABILITY_x レジスタの内容が有効となります。このビットは、AN_STATUS レジスタを読み出すことで0にリセットされます。	0x0	R LH
5	AN_COMPLETE	オートネゴシエーション完了。このビットが1として読み出された場合に、オートネゴシエーションが完了して PHY リンクが確立し、AN_ADV_ABILITY_x レジスタと AN_LP_ADV_ABILITY_x レジスタの内容は有効となります。オートネゴシエーションがディスエーブルされると、このビットは0を返し、AN_EN ビットはクリアされます。	0x0	R
4	AN_REMOTE_FAULT	オートネゴシエーション・リモート・フォルト。リンク・パートナーから受信したベース・ページのリモート・フォルト設定。	0x0	R LH
3	AN_ABLE	オートネゴシエーション・アビリティ。このビットが1の場合、PHYがオートネゴシエーションを実行できることを示します。	0x1	R
2	AN_LINK_STATUS	リンク・ステータス。このビットが1の場合、有効なリンクが確立されていることを示します。このビットが0の場合は、最後の読み出し以降にリンクが切断されていることを示します。	0x0	R LL
[1:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[15:0]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0202、リセット : 0x0001、レジスタ名 : AN_ADV_ABILITY_L

このアドレスは、802.3 規格の条項 45.2.7.21 で規定されている BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[15:0]に対応しています。

表 75. AN_ADV_ABILITY_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_ADV_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHYがネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R/W
14	AN_ADV_ACK	アクノレッジ (ACK)。このビットは、デバイスがリンク・パートナーを受信したことを示します。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_ADV_REMOTE_FAULT	リモート・フォルト。IEEE 802.3 規格の副条項 98.2.1.2.7 を参照してください。	0x0	R/W
12	AN_ADV_FORCE_MS	強制的なリーダー／フォロア設定このビットを使用すると、PHYはリーダー／フォロア設定を強制できます。このビットが0に設定されると、リーダー／フォロア設定は優先モードになります (AN_ADV_MST の設定が優先設定)。このビットが1に設定されると、リーダー／フォロア設定は強制モードになります (AN_ADV_MST の設定が強制設定)。IEEE 802.3 規格の副条項 98.2.1.2.5 を参照してください。	0x0	R/W
[11:10]	AN_ADV_PAUSE	一時停止アビリティ。このフィールドは、全二重リンクで非対称および対称の一時停止機能に対応していることをアドバタイズします。詳細については IEEE 802.3 規格の副条項 98.2.1.2.6 を参照してください。	0x0	R/W

レジスタの一覧

表 75. AN_ADV_ABILITY_L のビット説明（続き）

ビット	ビット名	説明	リセット	アクセス
[9:5]	RESERVED	予約済み。	0x0	R
[4:0]	AN_ADV_SELECTOR	セクタ。このフィールドの値は 00001 の固定値で、これは IEEE 802.3 のセクタ値です。IEEE 802.3 規格の副条項 98.2.1.2.1 を参照してください。	0x1	R

BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0203、リセット：0x4000、レジスタ名：
AN_ADV_ABILITY_M

このアドレスは、802.3 規格の条項 45.2.7.21 で規定されている BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[31:16]に対応しています。

表 76. AN_ADV_ABILITY_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R
14	AN_ADV_B10L	10BASE-T1L アビリティ。このビットは、デバイスが 10BASE-T1L と互換であることを示します。	0x1	R/W
[13:5]	RESERVED	予約済み。	0x0	R
4	AN_ADV_MST	リーダー／フォロア設定。このビットは、リーダー／フォロア設定を次のようにアドバタイズします。0：フォロア、1：リーダー。 AN_ADV_FORCE_MS レジスタも参照してください。このビットが優先値と強制値のどちらを表すかを決定します。IEEE 規格 802.3 の副条項 98.2.1.2.3 を参照してください（リーダー／フォロア設定は送信されたノンス・フィールドのビット 4 です）。	Pin dependent	R/W
[3:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[47:32]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0204、リセット：0x0000、レジスタ名：
AN_ADV_ABILITY_H

このアドレスは、802.3 規格の条項 45.2.7.21 で規定されている BASE-T1 オートネゴシエーション・アドバタイズメント・レジスタ、ビット[47:32]に対応しています。

表 77. AN_ADV_ABILITY_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予約済み。	0x0	R
13	AN_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1L ハイ・レベル送信動作モード・アビリティ。このビットは、PHY がハイ・レベル（2.4V p-p）送信動作モードで送信できることをアドバタイズします。このビットは、AN_ADV_B10L_TX_LVL_HI_REQ と共に使用して、10BASE-T1L 送信レベル（2.4V p-p または 1.0V p-p）を設定します。詳細については AN_ADV_B10L_TX_LVL_HI_REQ ビットを参照してください。	Pin dependent	R/W
12	AN_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1L ハイ・レベル送信動作モード・リクエスト。このビットは、PHY がハイ・レベル（2.4V p-p）送信動作モードを使用することをリクエストしていることをアドバタイズします。送信レベルは次のように決定されます。 少なくともどちらか一方の PHY がハイ・レベル送信に対応できない（AN_ADV_B10L_TX_LVL_HI_ABL = 0）場合、どちらの PHY も低電圧（1.0V p-p）送信動作モードを使用しなくてはなりません。 反対に、少なくともどちらか一方の PHY がハイ・レベル送信をリクエストしている（AN_ADV_B10L_TX_LVL_HI_REQ = 1）場合、どちらの PHY も高電圧（2.4V p-p）送信動作モードを使用しなくてはなりません。詳細については IEEE 802.3cg の副条項 146.6.4 を参照してください。	Pin dependent	R/W
[11:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0205、リセット：0x0000、レジスタ名：
AN_LP_ADV_ABILITY_L

レジスタの一覧

このアドレスは、802.3 規格の条項 45.2.7.22 で規定されているリンク・パートナーの BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタのビット[15:0]に対応しています。AN_LP_ADV_ABILITY_M レジスタおよび AN_LP_ADV_ABILITY_H レジスタの値は、AN_LP_ADV_ABILITY_L の読出し時にラッチされることに注意してください。

表 78. AN_LP_ADV_ABILITY_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_ADV_NEXT_PAGE_REQ	リンク・パートナー・ネクスト・ページ・リクエスト。このビットは、リンク・パートナーの PHY がネクスト・ページを送信しようとしていることを示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R
14	AN_LP_ADV_ACK	リンク・パートナー・アクノレッジ (ACK)。このビットは、デバイスがリンク・パートナーを受信したことを示します。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_LP_ADV_REMOTE_FAULT	リンク・パートナー・リモート・フォルト。IEEE 802.3 規格の副条項 98.2.1.2.7 を参照してください。	0x0	R
12	AN_LP_ADV_FORCE_MS	リンク・パートナー強制リーダー／フォロア設定。このビットは、次の値を使用して、リンク・パートナーのリンク強制リーダー／フォロア設定を示します。詳細については IEEE 802.3 規格の副条項 98.2.1.2.5 を参照してください。 0: 優先モード (AN_LP_ADV_MSTR は優先設定)。 1: 強制モード (AN_LP_ADV_MSTR は強制設定)。	0x0	R
[11:10]	AN_LP_ADV_PAUSE	リンク・パートナー一時停止アビリティ。このフィールドは、全二重リンクでリンク・パートナーの非対称および対称一時停止機能に対応していることを示します。詳細については IEEE 802.3 規格の副条項 98.2.1.2.6 を参照してください。	0x0	R
[9:5]	RESERVED	予約済み。	0x0	R
[4:0]	AN_LP_ADV_SELECTOR	リンク・パートナー・セクタ。このフィールドの値は 00001 で、これは IEEE 802.3 のセクタ値です。IEEE 802.3 規格の副条項 98.2.1.2.1 を参照してください。	0x0	R

BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[31:16]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0206、リセット : 0x0000、レジスタ名 :

AN_LP_ADV_ABILITY_M

このアドレスは、802.3 規格の条項 45.2.7.22 で規定されているリンク・パートナーの BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタのビット[31:16]に対応しています。このレジスタの値は、AN_LP_ADV_ABILITY_L の読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 79. AN_LP_ADV_ABILITY_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R
14	AN_LP_ADV_B10L	リンク・パートナー10BASE-T1L アビリティ。このビットは、リンク・パートナーに 10BASE-T1L アビリティがあるかどうかを示します。	0x0	R
[13:8]	RESERVED	予約済み。	0x0	R
7	AN_LP_ADV_B1000	リンク・パートナー1000BASE-T1 アビリティ。このビットは、リンク・パートナーに 1000BASE-T1 アビリティがあるかどうかを示します。	0x0	R
6	AN_LP_ADV_B10S_FD	リンク・パートナー10BASE-T1S 全二重アビリティ。このビットは、リンク・パートナーに 10BASE-T1S アビリティがあるかどうかを示します。	0x0	R
5	AN_LP_ADV_B100	リンク・パートナー100BASE-T1 アビリティ。このビットは、リンク・パートナーに 100BASE-T1 アビリティがあるかどうかを示します。	0x0	R
4	AN_LP_ADV_MST	リンク・パートナーリーダー／フォロア設定。このビットは、リンク・パートナーのリーダー／フォロア設定を次のように示します。0: フォロア、1: リーダー。AN_LP_ADV_FORCE_MS レジスタも参照してください。このビットが優先値と強制値のどちらを表すかを決定します。IEEE 規格 802.3 の副条項 98.2.1.2.3 を参照してください (リーダー／フォロア設定は送信されたノンス・フィールドのビット 4 です)。	0x0	R
[3:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタ、ビット[47:32]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x0207、リセット : 0x0000、レジスタ名 :

AN_LP_ADV_ABILITY_H

このアドレスは、802.3 規格の条項 45.2.7.22 で規定されているリンク・パートナーの BASE-T1 オートネゴシエーション・リンク・パートナー・ベース・ページ・アビリティ・レジスタのビット[47:32]に対応しています。このレジスタの値は、AN_LP_ADV_ABILITY_L の読出し時にラッチされることに注意してください。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

レジスタの一覧

表 80. AN_LP_ADV_ABILITY_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R
14	AN_LP_ADV_B10L_EEE	リンク・パートナー10BASE-T1L EEE アビリティ。このビットは、リンク・パートナーが10BASE-T1L 省電力イーサネット（energy efficient Ethernet）を使用できるかどうかを示します。	0x0	R
13	AN_LP_ADV_B10L_TX_LVL_HI_ABL	リンク・パートナーの10BASE-T1L ハイ・レベル送信動作モード・アビリティ。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードで送信できるかどうかを示します。このビットは、AN_LP_ADV_B10L_TX_LVL_HI_REQ と共に使用して、10BASE-T1L 送信レベル（2.4V p-p または 1.0V p-p）を設定します。詳細についてはAN_ADV_B10L_TX_LVL_HI_REQ ビットを参照してください。	0x0	R
12	AN_LP_ADV_B10L_TX_LVL_HI_REQ	リンク・パートナーの10BASE-T1L ハイ・レベル送信動作モード・リクエスト。このビットは、リンク・パートナーがハイ・レベル（2.4V p-p）送信動作モードを使用することをリクエストしているかどうかを示します。詳細についてはAN_ADV_B10L_TX_LVL_HI_REQ ビットを参照してください。	0x0	R
11	AN_LP_ADV_B10S_HD	リンク・パートナー10BASE-T1S 半二重アビリティ。このビットは、リンク・パートナーが10BASE-T1S 半二重を使用できるかどうかを示します。	0x0	R
[10:0]	RESERVED	予約済み。	0x0	R

BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[15:0]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0208、リセット：0x2001、レジスタ名：AN_NEXT_PAGE_L

このアドレスは、802.3 規格の条項 45.2.7.23 で規定されている BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタのビット[15:0]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN_NEXT_PAGE_L の前に、AN_NEXT_PAGE_M と AN_NEXT_PAGE_H を書き込みます。

表 81. AN_NEXT_PAGE_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHY がネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R/W
14	AN_NP_ACK	ネクスト・ページ・アクノレッジ。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_NP_MESSAGE_PAGE	ネクスト・ページ・エンコード。ネクスト・ページのエンコードを次のように示します。 0：未フォーマット・ネクスト・ページ。 1：メッセージ・ネクスト・ページ。	0x1	R/W
12	AN_NP_ACK2	アクノレッジ2。PHY がメッセージに従うことができるかどうかを示します。IEEE 802.3 規格の副条項 28.2.3.4.6 を参照してください。	0x0	R/W
11	AN_NP_TOGGLE	トグル・ビット。このトグル・ビットは、PHY_YS 間でページを同期するために使用します。これは常に0が読み出されます（このトグル・ビットは、アービトレーション・ステート・マシンによって自動的に設定されます）。	0x0	R
[10:0]	AN_NP_MESSAGE_CODE	メッセージ/未フォーマット・コード・フィールド。メッセージ・ページ（AN_NP_MESSAGE_PAGE = 1）に有効な値は IEEE 802.3 規格で定義されています。 1：ヌル・メッセージ。 5：組織固有の識別子がタグ付けされたメッセージ。 6：オートネゴシエーション・デバイス識別子タグ・コード。	0x1	R/W

BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[31:16]

デバイス・アドレス：0x07、レジスタ・アドレス：0x0209、リセット：0x0000、レジスタ名：AN_NEXT_PAGE_M

このアドレスは、802.3 規格の条項 45.2.7.23 で規定されている BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタのビット[31:16]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN_NEXT_PAGE_L の前に、AN_NEXT_PAGE_M と AN_NEXT_PAGE_H を書き込みます。

レジスタの一覧

表 82. AN_NEXT_PAGE_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED1	未フォーマット・コード・フィールド 1。	0x0	R/W

BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタ、ビット[47:32]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x020A、リセット : 0x0000、レジスタ名 : AN_NEXT_PAGE_H

このアドレスは、802.3 規格の条項 45.2.7.23 で規定されている BASE-T1 オートネゴシエーション・ネクスト・ページ送信レジスタのビット[47:32]に対応しています。パワーアップ時またはオートネゴシエーション・リセット時、このレジスタには、メッセージ・コードがヌルに設定されているメッセージ・ページを表すデフォルト値が格納されています。AN_NEXT_PAGE_L の前に、AN_NEXT_PAGE_M と AN_NEXT_PAGE_H 書き込みます。

表 83. AN_NEXT_PAGE_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_NP_UNFORMATTED2	未フォーマット・コード・フィールド 2。	0x0	R/W

BASE-T1 オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[15:0]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x020B、リセット : 0x0000、レジスタ名 : AN_LP_NEXT_PAGE_L

このアドレスは、802.3 規格の条項 45.2.7.24 で規定されているリンク・パートナーの BASE-T1 オートネゴシエーション・ネクスト・ページ・アビリティ・レジスタのビット[15:0]に対応しています。このレジスタの読出し時に、AN_LP_NEXT_PAGE_M および AN_LP_NEXT_PAGE_H の値はラッチされます。

表 84. AN_LP_NEXT_PAGE_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_LP_NP_NEXT_PAGE_REQ	ネクスト・ページ・リクエスト。このビットは、PHY がネクスト・ページを送信しようとしていることをリンク・パートナーに示します。IEEE 802.3 規格の副条項 98.2.1.2.9 を参照してください。	0x0	R
14	AN_LP_NP_ACK	リンク・パートナー・ネクスト・ページ・アックノレッジ。IEEE 802.3 規格の副条項 98.2.1.2.8 を参照してください。	0x0	R
13	AN_LP_NP_MESSAGE_PAGE	リンク・パートナーのネクスト・ページ・エンコード。リンク・パートナーのネクスト・ページのエンコードを次のように示します。 0 : 未フォーマット・ネクスト・ページ。 1 : メッセージ・ネクスト・ページ。	0x0	R
12	AN_LP_NP_ACK2	リンク・パートナー・アックノレッジ 2。詳細については、AN_NP_ACK2 を参照してください。	0x0	R
11	AN_LP_NP_TOGGLE	リンク・パートナー・トグル・ビット。リンク・パートナー・トグル・ビット。	0x0	R
[10:0]	AN_LP_NP_MESSAGE_CODE	リンク・パートナー・メッセージ/未フォーマット・コード・フィールド。詳細については、AN_NP_MESSAGE_PAGE を参照してください。 1 : ヌル・メッセージ。 5 : 組織固有の識別子がタグ付けされたメッセージ。 6 : オートネゴシエーション・デバイス識別子タグ・コード。	0x0	R

BASE-T1 オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット[31:16]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x020C、リセット : 0x0000、レジスタ名 : AN_LP_NEXT_PAGE_M

このアドレスは、802.3 規格の条項 45.2.7.24 で規定されているリンク・パートナーの BASE-T1 オートネゴシエーション・ネクスト・ページ・アビリティ・レジスタのビット[31:16]に対応しています。このレジスタの値は、AN_LP_NEXT_PAGE_L の読出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 85. AN_LP_NEXT_PAGE_M のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED1	リンク・パートナー未フォーマット・コード・フィールド 1。	0x0	R

レジスタの一覧

BASE-T1 オートネゴシエーション・リンク・パートナー・ネクスト・ページ・アビリティ・レジスタ、ビット [47:32]

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x020D、リセット : 0x0000、レジスタ名 :

AN_LP_NEXT_PAGE_H

このアドレスは、802.3 規格の条項 45.2.7.24 で規定されているリンク・パートナーの BASE-T1 オートネゴシエーション・ネクスト・ページ・アビリティ・レジスタのビット [47:32] に対応しています。このレジスタの値は、AN_LP_NEXT_PAGE_L の読出し時にラッチされます。このレジスタを読み出すと、現在の値ではなくラッチされた値が返されます。

表 86. AN_LP_NEXT_PAGE_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AN_LP_NP_UNFORMATTED_2	リンク・パートナー未フォーマット・コード・フィールド 2。	0x0	R

10BASE-T1 オートネゴシエーション制御レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x020E、リセット : 0x8000、レジスタ名 :

AN_B10_ADV_ABILITY

このアドレスは、802.3cg 規格の条項 45.2.7.25 で規定されている 10BASE-T1 オートネゴシエーション制御レジスタに対応しています。

表 87. AN_B10_ADV_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_B10_ADV_B10L	10BASE-T1L アビリティ。このビットは AN_ADV_B10L ビットの複製です。	0x1	R/W
14	AN_B10_ADV_B10L_EEE	10BASE-T1L EEE アビリティ。このビットは AN_ADV_B10L_EEE ビットの複製です。	0x0	R
13	AN_B10_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1L ハイ・レベル送信動作モード・アビリティ。このビットは AN_ADV_B10L_TX_LVL_HI_ABL ビットの複製です。	Pin dependent	R/W
12	AN_B10_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1L ハイ・レベル送信動作モード・リクエスト。このビットは AN_ADV_B10L_TX_LVL_HI_REQ ビットの複製です。	Pin dependent	R/W
[11:0]	RESERVED	予約済み。	0x0	R

10BASE-T1 オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x020F、リセット : 0x0000、レジスタ名 :

AN_B10_LP_ADV_ABILITY

このアドレスは、802.3cg 規格の条項 45.2.7.26 で規定されている 10BASE-T1 オートネゴシエーション・ステータス・レジスタに対応しています。

表 88. AN_B10_LP_ADV_ABILITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	AN_B10_LP_ADV_B10L	10BASE-T1L アビリティ。このビットは AN_LP_ADV_B10L ビットの複製です。	0x0	R
14	AN_B10_LP_ADV_B10L_EEE	10BASE-T1L EEE アビリティ。このビットは AN_LP_ADV_B10L_EEE ビットの複製です。	0x0	R
13	AN_B10_LP_ADV_B10L_TX_LVL_HI_ABL	10BASE-T1L ハイ・レベル送信動作モード・アビリティ。このビットは AN_LP_ADV_B10L_TX_LVL_HI_ABL ビットの複製です。	0x0	R
12	AN_B10_LP_ADV_B10L_TX_LVL_HI_REQ	10BASE-T1L ハイ・レベル送信動作モード・リクエスト。このビットは AN_LP_ADV_B10L_TX_LVL_HI_REQ ビットの複製です。	0x0	R
[11:8]	RESERVED	予約済み。	0x0	R
7	AN_B10_LP_ADV_B10S_FD	リンク・パートナー 10BASE-T1S 全二重アビリティ。このビットは AN_LP_ADV_B10S_FD ビットの複製です。	0x0	R
6	AN_B10_LP_ADV_B10S_HD	リンク・パートナー 10BASE-T1S 半二重アビリティ。このビットは AN_LP_ADV_B10S_HD ビットの複製です。	0x0	R
[5:0]	RESERVED	予約済み。	0x0	R

オートネゴシエーション強制モード・イネーブル・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x8000、リセット : 0x0000、レジスタ名 :

AN_FRC_MODE_EN

レジスタの一覧

このレジスタの効果は、オートネゴシエーション・プロセスをイネーブルする AN_EN ビットによって無効化されます。オートネゴシエーションがディセーブル (AN_EN=0) されており、AN_FRC_MODE_EN が 1 の場合に、強制モードが有効になります。

表 89. AN_FRC_MODE_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	AN_FRC_MODE_EN	オートネゴシエーション強制モード。強制モード機能をイネーブルします。	0x0	R/W

追加オートネゴシエーション・ステータス・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x8001、リセット : 0x0000、レジスタ名 : AN_STATUS_EXTRA

このレジスタは、AN_STATUS に追加して提供されます。

表 90. AN_STATUS_EXTRA のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予約済み。	0x0	R
10	AN_LP_NP_RX	リンク・パートナーから受信したネクスト・ページ・リクエスト。	0x0	R LH
9	AN_INC_LINK	非互換リンク表示。これは、IEEE 802.3 規格の副条項 98.5.1 の非互換リンク状態に対応します。この値は、オートネゴシエーション・グッド・チェック状態になるときに実行される優先度決定機能によって設定されます。	0x0	R
[8:7]	AN_TX_LVL_RSLTN	オートネゴシエーション送信レベル結果。送信レベル・ハイ/ローの判定結果。IEEE 802.3cg 規格の副条項 146.6.4 に従って決定されます。これは以下の要領でエンコードされます。 0 : 不実行。 2 : 成功、ロー送信レベル (1.0V p-p) を選択。 3 : 成功、ハイ送信レベル (2.4V p-p) を選択。	0x0	R
[6:5]	AN_MS_CONFIG_RSLTN	リーダー/フォロアの決定結果。IEEE 802.3 規格のリーダー/フォロア設定に従って決定されます。これは以下の要領でエンコードされます。 0 : 不実行。 1 : 設定フォルト。 2 : 成功、PHY がフォロアに設定。 3 : 成功、PHY がリーダーに設定。	0x0	R
[4:1]	AN_HCD_TECH	最大公約数 (HCD) PHY 技術。IEEE 802.3 規格の副条項 98.2.4.2 の優先度解決機能により選択。ここに示されていない値はすべて予約済みであることを考慮してください。 0 : ヌル (不実行)。 1 : 10BASE-T1L	0x0	R
0	AN_LINK_GOOD	オートネゴシエーション完了表示。これは、IEEE 802.3 規格の副条項 98.5.1 のオートネゴシエーション・リンク・グッド状態に対応します。この信号はオートネゴシエーション送信が完了したことを示し、イネーブルされた PHY 技術がリンクを確立している途中かあるいは既に確立済みであることを示します。AN_COMPLETE も参照してください。これは同様のものですが、PHY リンクが確立していることを示します。	0x0	R

PHY 即時ステータス・レジスタ

デバイス・アドレス : 0x07、レジスタ・アドレス : 0x8030、リセット : 0x0010、レジスタ名 : AN_PHY_INST_STATUS

このレジスタ・アドレスにより、即時ステータス表示にアクセスできます。これらの値はラッチされません。また、ここで返された表示値のセットは、整合したセット、つまり、レジスタ・アドレスの読出し時に有効となる値のセットです。

表 91. AN_PHY_INST_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予約済み。	0x0	R

レジスタの一覧

表 91. AN_PHY_INST_STATUS のビット説明（続き）

ビット	ビット名	説明	リセット	アクセス
4	IS_AN_TX_EN	オートネゴシエーション送信イネーブル・ステータス。オートネゴシエーションの送信をイネーブル。このビットは、オートネゴシエーションがアクティブでトランスミッタを制御しており、アービトレーションはまだオートネゴシエーション・グッド・チェック状態またはオートネゴシエーション・グッド状態に達していないことを示します。つまり、リンク制御信号はイネーブルには設定されていません。	0x1	R
3	IS_CFG_MST	リーダー・ステータス。リンク制御 = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、これは PHY が（フォロアではなく）リーダーとして動作しているかどうかを示します。	0x0	R
2	IS_CFG_SLV	フォロア・ステータス。リンク制御 = イネーブル（例えば、B10L_LINK_CTRL_EN = 1）の場合、これは PHY が（リーダーではなく）フォロアとして動作しているかどうかを示します。	0x0	R
1	IS_TX_LVL_HI	送信レベル・ハイ・ステータス。PHY がロー送信レベル（1.0V）ではなく、ハイ送信レベル（2.4V）で動作していることを示します。	0x0	R
0	IS_TX_LVL_LO	送信レベル・ロー・ステータス。PHY がハイ送信レベル（2.4V）ではなく、ロー送信レベル（1.0V）で動作していることを示します。	0x0	R

ベンダ固有 MMD 1 デバイス識別子ハイ・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0002、リセット：0x0283、レジスタ名：MMD1_DEV_ID1

このアドレスは、802.3 規格の条項 45.2.11.1 で規定されているベンダ固有 MMD 1 デバイス識別子レジスタに対応し、組織固有識別子（OUI）の 16 ビットをモニタできます。

表 92. MMD1_DEV_ID1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEV_ID1	組織内で一意の識別子、ビット[3:18]	0x283	R

ベンダ固有 MMD 1 デバイス識別子ロー・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0003、リセット：0xBC01、レジスタ名：MMD1_DEV_ID2

このアドレスは、802.3 規格の副条項 45.2.11.1 で規定されているベンダ固有 MMD 1 デバイス識別子レジスタに対応し、OUI の 6 ビットと、モデル番号およびリビジョン番号を読むことができます。

表 93. MMD1_DEV_ID2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD1_DEV_ID2_OUI	組織内で一意の識別子、ビット[19:24]	0x2F	R
[9:4]	MMD1_MODEL_NUM	モデル番号。	0x8	R
[3:0]	MMD1_REV_NUM	リビジョン番号。	0x1	R

パッケージ内のベンダ固有 1 MMD デバイス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0005、リセット：0x008B、レジスタ名：MMD1_DEVS_IN_PKG1

条項 22 レジスタと、PMA/PMD、PCS、オートネゴシエーションの各 MMD があります。

表 94. MMD1_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG1	パッケージ 1 内のベンダ固有 1 MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オートネゴシエーションの各 MMD があります。	0x8B	R

パッケージ内のベンダ固有 1 MMD デバイス・レジスタ

デバイス・アドレス：0x1E、レジスタ・アドレス：0x0006、リセット：0xC000、レジスタ名：MMD1_DEVS_IN_PKG2

レジスタの一覧

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 95. MMD1_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD1_DEVS_IN_PKG2	パッケージ 2 内のベンダ固有 1 MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

ベンダ固有 MMD 1 ステータス・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0008、リセット : 0x8000、レジスタ名 : MMD1_STATUS

このアドレスは、802.3 規格の副条項 45.2.11.2 で規定されているベンダ固有 MMD 1 ステータス・レジスタに対応しています。

表 96. MMD1_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD1_STATUS	ベンダ固有 1 MMD ステータス。 10 : デバイスはこのアドレスに対応。 11 : このアドレスに対応するデバイスはなし。 01 : このアドレスに対応するデバイスはなし。 00 : このアドレスに対応するデバイスはなし。	0x2	R
[13:0]	RESERVED	予約済み。	0x0	R

システム割込みステータス・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0010、リセット : 0x1000、レジスタ名 : CRSM_IRQ_STATUS

このアドレスは、どの割込みリクエストが最後の読出し以降にトリガされたのかを確認するのに使用します。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。CRSM_IRQ_STATUS のビットは、関連する割込みがイネーブルされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムに致命的なエラーがあることを意味します。

表 97. CRSM_IRQ_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_LH	ソフトウェア・リクエストによる割込みイベント。	0x0	R LH
[14:13]	RESERVED	予約済み。	0x0	R
12	CRSM_HRD_RST_IRQ_LH	ハードウェア・リセット割込み。	0x1	R LH
[11:0]	RESERVED	予約済み。	0x0	R LH

システム割込みマスク・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x0020、リセット : 0x1BFE、レジスタ名 : CRSM_IRQ_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 98. CRSM_IRQ_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_SW_IRQ_REQ	ソフトウェア割込み要求。ソフトウェアは、システム・レベルのテストの割込みを生成するためにこのビットをセットできます。このビットは、自動クリアされるため、常に 0 が読み出されます。	0x0	R/W SC
[14:13]	RESERVED	予約済み。	0x0	R
12	CRSM_HRD_RST_IRQ_EN	ハードウェア・リセットの割込みをイネーブル。このレジスタはハードウェア・リセットが発生したときに初期化されるため、このレジスタに 0 を書き込んでも割込みはマスクされません。	0x1	R/W
[11:0]	RESERVED	予約済み。	0xBFE	R/W

レジスタの一覧

ソフトウェア・リセット・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8810、リセット : 0x0000、レジスタ名 : CRSM_SFT_RST

表 99. CRSM_SFT_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_SFT_RST	ソフトウェア・リセット・レジスタ。ソフトウェア・リセット・ビットを使用するとチップをリセットできます。このビットがセットされると、チップは完全に初期化され、ハードウェア・リセットとほぼ同じ状態になります。	0x0	R/W SC

ソフトウェア・パワーダウン制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8812、リセット : 0x0000、レジスタ名 : CRSM_SFT_PD_CNTRL

表 100. CRSM_SFT_PD_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_SFT_PD	ソフトウェア・パワーダウン。ソフトウェア・パワーダウン・レジスタは、チップを低消費電力モードにします。このモードでは回路のほとんどがオフになります。ただし、全レジスタに対する MDIO アクセスは引き続き可能です。このレジスタのデフォルト値は、RX_DV/SWPD_ENピンを使用して設定できます。このピンにより、適切なソフトウェア初期化が行われるまで、チップはパワーダウン・モードを維持できます。	Pin dependent	R/W

PHY サブシステム・リセット・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8814、リセット : 0x0000、レジスタ名 : CRSM_PHY_SUBSYS_RST

表 101. CRSM_PHY_SUBSYS_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_PHY_SUBSYS_RST	PHY サブシステム・リセット。PHY サブシステム・リセット・レジスタを使用すると、管理されたサブシステム・リセットを開始できます。PHY サブシステムがリセットされると、通常の動作が再開され、ビットは自動的にクリアされます。	0x0	R/W SC

PHY MAC インターフェース・リセット・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8815、リセット : 0x0000、レジスタ名 : CRSM_MAC_IF_RST

表 102. CRSM_MAC_IF_RST のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_MAC_IF_RST	PHY MAC インターフェース・リセット。PHY MAC サブシステム・リセット・レジスタを使用すると、管理された PHY MAC インターフェース・リセットを開始できます。PHY MAC インターフェースがリセットされると、通常の動作が再開され、ビットは自動的にクリアされます。	0x0	R/W SC

システム・ステータス・レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8818、リセット : 0x0000、レジスタ名 : CRSM_STAT

表 103. CRSM_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R

レジスタの一覧

表 103. CRSM_STAT のビット説明 (続き)

ビット	ビット名	説明	リセット	アクセス
1	CRSM_SFT_PD_RDY	ソフトウェア・パワーダウン・ステータス。このビットは、システムがソフトウェア・パワーダウン状態にあることを示します。	0x0	R
0	CRSM_SYS_RDY	システム・レディ。このビットは、スタートアップ・シーケンスが完了し、システムに通常動作の準備ができていることを示します。	0x0	R

CRSM パワー・マネージメント制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8819、リセット : 0x0000、レジスタ名 :
CRSM_PMG_CNTRL

表 104. CRSM_PMG_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	CRSM_FRC_OSC_EN	強制デジタル・ブート発振器クロック・イネーブル。	0x0	R/W

MAC インターフェース設定レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x882B、リセット : 0x0000、レジスタ名 :
CRSM_MAC_IF_CFG

ピンによってのみ MAC インターフェースを設定します。ソフトウェアによる変更はしないでください。

表 105. CRSM_MAC_IF_CFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	CRSM_RMII_CLK50	このビットは、RMII REF_CLK の周波数が 50MHz か 25MHz かを示します。デバッグ目的でのみ使用されます。	Pin dependent	R/W
14	CRSM_RMII_CLK_EN	CRSM RMII クロック・イネーブル・ステータス。このビットは、RMII クロック生成がイネーブルされているかどうかを示します。	Pin dependent	R/W
[13:9]	RESERVED	予約済み。	0x0	R
8	CRSM_RMII_MEDIA_CN V_EN	メディア・コンバータ・イネーブル。このビットが 1 の場合、RMII MAC インターフェース・モード用のメディア・コンバータ機能が有効化されます。メディア・コンバータ機能は、RMII MAC インターフェースが用いられている場合にのみ有効化できる点に注意してください。	Pin dependent	R/W
[7:5]	RESERVED	予約済み。	0x0	R
4	CRSM_RMII_EN	RMII MAC インターフェース・イネーブル。RMII MAC インターフェース・モードを有効化します。CRSM_RGMII_EN と CRSM_RMII_EN を同時にセットしないでください。ピンによってのみ MAC インターフェースを設定します。ソフトウェアによる変更はしないでください。	Pin dependent	R/W
[3:1]	RESERVED	予約済み。	0x0	R
0	CRSM_RGMII_EN	RGMII MAC インターフェース・イネーブル。RGMII MAC インターフェース・モードを有効化します。CRSM_RGMII_EN と CRSM_RMII_EN を同時にセットしないでください。ピンによってのみ MAC インターフェースを設定します。ソフトウェアによる変更はしないでください。	Pin dependent	R/W

CRSM 診断クロック制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x882C、リセット : 0x0002、レジスタ名 :
CRSM_DIAG_CLK_CTRL

CRSM 診断クロック制御。

表 106. CRSM_DIAG_CLK_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x1	R
0	CRSM_DIAG_CLK_EN	診断クロックをイネーブルします。	0x0	R/W

レジスタの一覧

パッケージ設定値レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C22、リセット : 0x0000、レジスタ名 : MGMT_PRT_PKG

MGMT_CFG_VAL アドレスを使用すると、パッケージ設定値の読出しができます。

表 107. MGMT_PRT_PKG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予約済み。	0x0	R
[5:0]	MGMT_PRT_PKG_VAL	パッケージのタイプ。1 = ADIN1101 の 32 ピン LFCSP パッケージ。	0x1	R

MDIO 制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C30、リセット : 0x0000、レジスタ名 : MGMT_MDIO_CNTRL

表 108. MGMT_MDIO_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	MGMT_GRP_MDIO_EN	MDIO PHY/ポート・グループ・アドレス・モードをイネーブル。このモードでは、PHY は自身の PHY/ポート・アドレスとは無関係に、PHY/ポート・アドレス 31 (10 進数) へのすべての書込みまたはアドレス操作に応答します。この機能は、マルチポート・アプリケーションでの初期化シーケンスのみを目的としたもので、これらの場合にのみセットし、初期化の完了後は直ちにクリアする必要があります。	0x0	R/W

ピン・マルチプレクサ設定 1 レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C56、リセット : 0x00FE、レジスタ名 : DIGIO_PINMUX

表 109. DIGIO_PINMUX のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x7F	R
0	DIGIO_LINK_ST_POLARITY	LINK_ST の極性。 0 : ハイにアサート。 1 : ローにアサート。	0x0	R/W

ピン・マルチプレクサ設定 2 レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C57、リセット : 0x00FF、レジスタ名 : DIGIO_PINMUX2

表 110. DIGIO_PINMUX2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
[7:4]	DIGIO_RXSOP_PINMUX	RX_SOP 用ピン・マルチプレクサ・セレクト。 0000 : RXD_3 0001 : RXD_2 0010 : RXD_1 0011 : RX_CLK。 0100 : RX_DV。 0101 : RX_ER。 0111 : TX_EN。 1000 : TX_CLK。 1001 : TXD_1 1010 : TXD_2	0xF	R/W

レジスタの一覧

表 110. DIGIO_PINMUX2 のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		1011 : TXD_3 1100 : LINK_ST。 1101 : LED_0 1111 : オフ。		
[3:0]	DIGIO_TXSOP_PINMUX	TX_SOP 用ピン・マルチプレクサ・セレクト。 0000 : RXD_3 0001 : RXD_2 0010 : RXD_1 0011 : RX_CLK。 0100 : RX_DV。 0101 : RX_ER。 0111 : TX_EN。 1000 : TX_CLK。 1001 : TXD_1 1010 : TXD_2 1011 : TXD_3 1100 : LINK_ST。 1101 : LED_0 1111 : オフ。	0xF	R/W

LED 0 オン/オフ点滅時間レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C80、リセット : 0x3636、レジスタ名 : LED0_BLINK_TIME_CNTRL

LED オン点灯時間 = LED0_ON_N4MS × 4 ms。

LED オフ消灯時間 = LED0_OFF_N4MS × 4 ms。

LED0_MODE=0 で LED0_FUNCTION が点滅に設定されている場合、LED のアクティビティは LED オフ・シーケンスから始まり、次いで LED オン・シーケンスが続き、その後はこれを繰り返します。

LED0_MODE=1 で LED0_FUNCTION が点滅に設定されている場合、LED のアクティビティは LED オン・シーケンスから始まり、次いで LED オフ・シーケンスが続き、その後はこれを繰り返します。

LED0_OFF_N4MS = LED0_ON_N4MS = 0 の場合は、LED0_FUNCTION で選択された内部アクティビティ信号をライブでモニタできる特別なケースです。

LED0_FUNCTION がリンクとアクティビティ信号を組み合わせたものにプログラムされていると、リンクが確立されアクティビティがない場合に、この LED がオンになります。LED はリンクが失われるかアクティビティを受けた場合にオフになります。

LED0_FUNCTION がアクティビティ信号にプログラムされていると、LED はアクティビティがない場合にオフになります。アクティビティを受けると LED はオンに切り替わります。

表 111. LED0_BLINK_TIME_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	LED0_ON_N4MS	LED_0 のオン点灯時間。LED_0 のオン点灯時間は 4 ms × LED0_ON_N4MS ビット・フィールドで計算できます。3 より大きな値とすることを推奨します。	0x36	R/W
[7:0]	LED0_OFF_N4MS	LED_0 のオフ消灯時間。LED_0 のオフ消灯時間は 4 ms × LED0_OFF_N4MS ビット・フィールドで計算できます。3 より大きな値とすることを推奨します。	0x36	R/W

LED 制御レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C82、リセット : 0x8E80、レジスタ名 : LED_CNTRL

LED 制御レジスタ。

レジスタの一覧

表 112. LED_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x8E	R/W
7	LED0_EN	LED_0 イネーブル。ディスエーブルされた LED はオフになります。イネーブルされた LED は、LED0_FUNCTION の選択とアクティビティに応じて、オンになるか点滅します。	0x1	R/W
6	LED0_LINK_ST_QUALIFY	特定の LED_0 オプションをリンク・ステータスで適格化。 0 : TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアはリンク・ステータスで適格化されません。 1 : TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアはリンク・ステータスで適格化されます。	0x0	R/W
5	LED0_MODE	LED_0 のモード選択。1 : モード 2 () 0 : LED_MODE1 アクティビティがある場合、MMR LED0_BLINK_TIME_CNTRL で定義されたレートで点滅。 1 : LED_MODE2 LED の点滅周期はアクティビティ・レベルに応じて設定されます。アクティビティ・レベルは、10%刻みで変化し、それに対応して LED の点滅頻度も調整されます。アクティビティ・レベルが高くなると、オフ時間が長くなりオン時間が短くなります。アクティビティ・レベルは、640ms~1.5s の間で変化するウィンドウ時間後に再評価されます。	0x0	R/W
[4:0]	LED0_FUNCTION	LED_0 のピン機能。LED_0 ピンのソース・アクティビティを決定します。CLK25_REF、TX_TCLK、CLK_120MHZ の各オプションは、LED コントローラをバイパスしたクロック・アウト機能です。チップから送信される波形は選択したクロック源の周波数によって異なります。 次の LED_FUNCTION 設定はリンク・ステータスでは適格化されません。 LED0_FUNCTION = オン、オフ、点滅、INCOMPATIBLE_LINK_CFG、AN_LINK_GOOD、AN_COMPLETE、LOC_RCVR_STATUS、REM_RCVR_STATUS、CLK25_REF、TX_TCLK、CLK_120MHZ。 TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロアの各オプションは、オプションでリンク・ステータスによって適格化され、このオプションは、LED0_LINK_ST_QUALIFY MMR を使用して制御されます。 TX_LEVEL_2P4、TX_LEVEL_1P0、リーダー、フォロア、MSTR_SLV_FAULT、AN_LINK_GOOD、AN_COMPLETE、TS_TIMER の各オプションは、ステータス・インジケータと見なされ、LED コントローラは使用されません。プログラムされた信号がハイの場合、LED は静的にオンとなり、プログラムされた信号がローの場合は、LED は静的にオフとなります。 0 : LINKUP_TXRX_ACTIVITY。 1 : LINKUP_TX_ACTIVITY。 2 : LINKUP_RX_ACTIVITY。 3 : LINKUP_ONLY。 4 : TXRX_ACTIVITY。 5 : TX_ACTIVITY。 6 : RX_ACTIVITY。 7 : LINKUP_RX_ER。 8 : LINKUP_RX_TX_ER。 9 : RX_ER。 10 : RX_TX_ER。 11 : TX_SOP。 12 : RX_SOP。 13 : オン。 14 : オフ。 15 : 点滅。 16 : TX_LEVEL_2P4 17 : TX_LEVEL_1P0 18 : リーダー。 19 : フォロア。 20 : INCOMPATIBLE_LINK_CFG。 21 : AN_LINK_GOOD。 22 : AN_COMPLETE。 23 : TS_TIMER。 24 : LOC_RCVR_STATUS。 25 : REM_RCVR_STATUS。	0x0	R/W

レジスタの一覧

表 112. LED_CNTRL のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		26 : CLK25_REF 27 : TX_TCLK。 28 : CLK_120MHZ		

LED 極性レジスタ

デバイス・アドレス : 0x1E、レジスタ・アドレス : 0x8C83、リセット : 0x0000、レジスタ名 : LED_POLARITY

LED 極性が内部ロジックによって自動的に検出できるか、ユーザによって再設定できます。

表 113. LED_POLARITY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
[1:0]	LED0_POLARITY	LED_0 の極性。 0 : LED オートセンス。オートセンスに従い、LED はアクティブ・ハイまたはアクティブ・ロー。 1 : LED アクティブ・ハイ。 2 : LED アクティブ・ロー。	0x0	R/W

ベンダ固有 MMD 2 デバイス識別子ハイ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0002、リセット : 0x0283、レジスタ名 : MMD2_DEV_ID1

表 114. MMD2_DEV_ID1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEV_ID1	ベンダ固有 2 MMD デバイス識別子。	0x283	R

ベンダ固有 MMD 2 デバイス識別子ロー・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0003、リセット : 0xBC01、レジスタ名 : MMD2_DEV_ID2

表 115. MMD2_DEV_ID2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	MMD2_DEV_ID2_OUI	OUI ビット。	0x2F	R
[9:4]	MMD2_MODEL_NUM	モデル番号。	0x8	R
[3:0]	MMD2_REV_NUM	リビジョン番号。	0x1	R

パッケージ内のベンダ固有 2 MMD デバイス・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0005、リセット : 0x008B、レジスタ名 : MMD2_DEVS_IN_PKG1

条項 22 レジスタと、PMA/PMD、PCS、オートネゴシエーションの各 MMD があります。

表 116. MMD2_DEVS_IN_PKG1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG1	パッケージ 1 内のベンダ固有 2 MMD デバイス。条項 22 レジスタと、PMA/PMD、PCS、オートネゴシエーションの各 MMD があります。	0x8B	R

パッケージ内のベンダ固有 2 MMD デバイス・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0006、リセット : 0xC000、レジスタ名 : MMD2_DEVS_IN_PKG2

レジスタの一覧

ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。

表 117. MMD2_DEVS_IN_PKG2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MMD2_DEVS_IN_PKG2	パッケージ 2 内のベンダ固有 2 MMD デバイス。ベンダ固有デバイス 1 およびベンダ固有デバイス 2 の各 MMD があります。	0xC000	R

ベンダ固有 MMD 2 ステータス・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0008、リセット : 0x8000、レジスタ名 : MMD2_STATUS

このアドレスはベンダ固有 MMD 2 ステータス・レジスタに対応します。

表 118. MMD2_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	MMD2_STATUS	ベンダ固有 2 MMD ステータス。 10 = デバイスはこのアドレスに対応。 11 = このアドレスに対応するデバイスはない。 01 = このアドレスに対応するデバイスはない。 00 = このアドレスに対応するデバイスはない。	0x2	R
[13:0]	RESERVED	予約済み。	0x0	R

PHY サブシステム割込みステータス・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0011、リセット : 0x0000、レジスタ名 : PHY_SUBSYS_IRQ_STATUS

このアドレスを読み出すと、どの割込みリクエストが最後の読出し以降に発生したのかを確認できます。関連するイベントが発生すると各ビットがハイになり、読出しによってラッチが解除されるまでハイにラッチされます。PHY_SUBSYS_IRQ_STATUS のビットは、PHY_SUBSYS_IRQ_MASK 内の関連するビットがセットされていない場合でもハイになります。予備の割込みがトリガされている場合は、システムに致命的なエラーがあることを意味します。

表 119. PHY_SUBSYS_IRQ_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R LH
14	MAC_IF_FC_FG_IRQ_LH	MAC インターフェースのフレーム・チェッカ/ジェネレータ割込み。	0x0	R LH
13	MAC_IF_EBUF_ERR_IRQ_LH	MAC インターフェースのバッファ・オーバーフロー/アンダーフロー割込み。	0x0	R LH
12	RESERVED	予約済み。	0x0	R LH
11	AN_STAT_CHNG_IRQ_LH	オートネゴシエーションのステータス変化割込み。	0x0	R LH
[10:2]	RESERVED	予約済み。	0x0	R LH
1	LINK_STAT_CHNG_LH	リンク・ステータスの変化。	0x0	R LH
0	RESERVED	予約済み。	0x0	R LH

PHY サブシステム割込みマスク・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x0021、リセット : 0x2402、レジスタ名 : PHY_SUBSYS_IRQ_MASK

割込み信号が様々なイベントに対応してアサートされるかどうかを制御します。

表 120. PHY_SUBSYS_IRQ_MASK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。	0x0	R/W SC
14	MAC_IF_FC_FG_IRQ_EN	MAC インターフェースのフレーム・チェッカ/ジェネレータ割込みをイネーブル。	0x0	R/W
13	MAC_IF_EBUF_ERR_IRQ_EN	MAC インターフェースのバッファ・オーバーフロー/アンダーフロー割込みをイネーブル。	0x1	R/W

レジスタの一覧

表 120. PHY_SUBSYS_IRQ_MASK のビット説明（続き）

ビット	ビット名	説明	リセット	アクセス
12	RESERVED	予約済み。	0x0	R/W
11	AN_STAT_CHNG_IRQ_EN	オートネゴシエーション・ステータス変化割込みをイネーブル。	0x0	R/W
[10:2]	RESERVED	予約済み。	0x100	R/W
1	LINK_STAT_CHNG_IRQ_EN	リンク・ステータス変化割込みをイネーブル。	0x1	R/W
0	RESERVED	予約済み。	0x0	R/W

フレーム・チェッカ・イネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8001、リセット：0x0001、レジスタ名：FC_EN

このレジスタは、フレーム・チェッカをイネーブルするのに使用します。フレーム・チェッカは、MAC インターフェースまたは PHY（FC_TX_SEL レジスタを参照）から受信したフレームを分析して、受信したフレーム数、CRC エラー、およびその他の様々なフレーム・エラーを通知します。フレーム・チェッカ・フレーム・カウンタ・レジスタおよびフレーム・チェッカ・エラー・カウンタ・レジスタが、これらのイベントをカウントします。

表 121. FC_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FC_EN	フレーム・チェッカ・イネーブル。フレーム・チェッカをイネーブルするには 1 に設定します。	0x1	R/W

フレーム・チェッカ割込みイネーブル・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8004、リセット：0x0001、レジスタ名：FC_IRQ_EN

このレジスタは、フレーム・チェッカの割込みをイネーブルするのに使用します。受信エラーが発生すると、割込みが生成されます。フレーム・チェッカ／ジェネレータの割込みは PHY_SUBSYS_IRQ_MASK レジスタでイネーブルします。MAC_IF_FC_FG_IRQ_EN ビットをセットしてください。

ステータスは、PHY_SUBSYS_IRQ_STATUS レジスタの MAC_IF_FC_FG_IRQ_LH ビットを介して読み出せます。

表 122. FC_IRQ_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FC_IRQ_EN	フレーム・チェッカ割込みイネーブル。セットすると、このビットはフレーム・チェッカ割込みをイネーブルします。	0x1	R/W

フレーム・チェッカ送信選択レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8005、リセット：0x0000、レジスタ名：FC_TX_SEL

このレジスタは、送信側または受信側のどちらのフレームをチェックするかを選択します。セットすると、MAC インターフェースから受信した送信フレームがチェックされます。フレーム・チェッカを使用すると、MAC インターフェース経由で正しいデータが受信されたことを検証できます。また、MAC インターフェースでループバックされた後の受信データをチェックするのにも使用できるため、リモート・ループバックを有効にした場合も便利です（MAC_IF_LOOPBACK レジスタの MAC_IF_REM_LB_EN ビットを参照）。

表 123. FC_TX_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FC_TX_SEL	フレーム・チェッカ送信選択。このビットをセットすると、PHY によって送信される、受信済みフレームをフレーム・チェッカがチェックするように指定します。 1：MAC インターフェースから受信され、PHY が送信するフレームをチェックする。 0：リモート・エンドから送信され、PHY が受信したフレームをチェックする。	0x0	R/W

レジスタの一覧

受信エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8008、リセット：0x0000、レジスタ名：RX_ERR_CNT

受信エラー・カウンタ・レジスタは、PHYのフレーム・チェッカに関連付けられた受信エラー・カウンタへのアクセスに使用します。

表 124. RX_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	RX_ERR_CNT	受信エラー・カウンタ。これは、PHYのフレーム・チェッカに関連付けられた受信エラー・カウンタです。このビットは読出し時にセルフ・クリアされることに注意してください。	0x0	R SC

フレーム・チェッカ・カウンタ・ハイ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8009、リセット：0x0000、レジスタ名：FC_FRM_CNT_H

このレジスタは、32 ビットの受信フレーム・カウンタ・レジスタのビット [31:16] をラッチしたコピーです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 125. FC_FRM_CNT_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_H	受信フレーム数をラッチしたコピーのビット[31:16]。	0x0	R

フレーム・チェッカ・カウンタ・ロー・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800A、リセット：0x0000、レジスタ名：FC_FRM_CNT_L

このレジスタは、32 ビットの受信フレーム・カウンタ・レジスタのビット[15:0]をラッチしたコピーです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、受信フレーム・カウンタ・レジスタがラッチされるため、エラー・カウンタと受信フレーム・カウンタが同期します。

表 126. FC_FRM_CNT_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FRM_CNT_L	受信フレーム数をラッチしたコピーのビット[15:0]。	0x0	R

フレーム・チェッカ・レングス・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800B、リセット：0x0000、レジスタ名：FC_LEN_ERR_CNT

このレジスタは、フレーム長エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム長エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、フレーム長エラー・カウンタ・レジスタがラッチされるため、フレーム長エラー・カウンタと受信フレーム・カウンタが同期します。

表 127. FC_LEN_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_LEN_ERR_CNT	フレーム長エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・アライメント・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800C、リセット：0x0000、レジスタ名：FC_ALGN_ERR_CNT

このレジスタは、フレーム・アライメント・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、アライメント・エラー状態にある受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、アライメント・エラー・カウンタがラッチされるため、フレーム・アライメント・エラー・カウンタと受信フレーム・カウンタが同期します。

レジスタの一覧

表 128. FC_ALGN_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ALGN_ERR_CNT	フレーム・アライメント・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・シンボル・エラー・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800D、リセット：0x0000、レジスタ名：FC_SYMB_ERR_CNT

このレジスタは、シンボル・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、RX_ER と RX_DV の両方がセットされた受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、シンボル・エラー・カウンタがラッチされるため、シンボル・エラー・カウンタとフレーム受信・カウンタが同期します。

表 129. FC_SYMB_ERR_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_SYMB_ERR_CNT	シンボル・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・オーバーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800E、リセット：0x0000、レジスタ名：FC_OSZ_CNT

このレジスタは、オーバーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、フレーム・チェッカ最大フレーム・サイズ (FC_MAX_FRM_SIZE) で指定された長さを超える受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、オーバーサイズ・フレーム・カウンタ・レジスタがラッチされるため、オーバーサイズ・エラー・カウンタと受信フレーム・カウンタが同期します。

表 130. FC_OSZ_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_OSZ_CNT	オーバーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ・アンダーサイズ・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x800F、リセット：0x0000、レジスタ名：FC_USZ_CNT

このレジスタは、アンダーサイズ・フレーム・エラー・カウンタ・レジスタをラッチしたコピーです。このレジスタは、長さが 64 バイト未満の受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、アンダーサイズ・フレーム・エラー・カウンタがラッチされるため、アンダーサイズ・フレーム・エラー・カウンタと受信フレーム・カウンタが同期します。

表 131. FC_USZ_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_USZ_CNT	アンダーサイズ・フレーム・エラー・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ奇数ニブル・フレーム・カウンタ・レジスタ

デバイス・アドレス：0x1F、レジスタ・アドレス：0x8010、リセット：0x0000、レジスタ名：FC_ODD_CNT

このレジスタは、奇数ニブル・フレーム・レジスタをラッチしたコピーです。このレジスタは、フレーム内に奇数個のフレームを持つ受信フレームのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、奇数ニブル・フレーム・カウンタ・レジスタがラッチされるため、奇数ニブル・フレーム・カウンタと受信フレーム・カウンタが同期します。

表 132. FC_ODD_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_CNT	奇数ニブル・カウンタをラッチしたコピー。	0x0	R

レジスタの一覧

フレーム・チェッカ奇数プリアンブル・パケット・カウンタ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8011、リセット : 0x0000、レジスタ名 : FC_ODD_PRE_CNT

このレジスタは、奇数プリアンブル・パケット・カウンタ・レジスタをラッチしたコピーです。このレジスタは、プリアンブル内に奇数個のニブルを持つ受信パケットのカウンタです。受信エラー・カウンタ (RX_ERR_CNT) を読み出すと、奇数プリアンブル・パケット・カウンタ・レジスタがラッチされるため、奇数プリアンブル・パケット・カウンタと受信フレーム・カウンタが同期します。

表 133. FC_ODD_PRE_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_ODD_PRE_CNT	奇数プリアンブル・パケット・カウンタをラッチしたコピー。	0x0	R

フレーム・チェッカ偽キャリア・カウンタ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8013、リセット : 0x0000、レジスタ名 : FC_FALSE_CARRIER_CNT

このレジスタは、偽キャリア・イベント・カウンタ・レジスタをラッチしたコピーです。これは、不正 SSD 状態になった回数のカウンタです。受信エラー・カウンタ (RX_CNT_ERR) を読み出すと、偽キャリア・イベント・カウンタ・レジスタがラッチされるため、偽キャリア・イベント・カウンタと受信フレーム・カウンタが同期します。

表 134. FC_FALSE_CARRIER_CNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FC_FALSE_CARRIER_CNT	偽キャリア・イベント・カウンタをラッチしたコピー。	0x0	R

フレーム・ジェネレータ・イネーブル・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8020、リセット : 0x0000、レジスタ名 : FG_EN

このレジスタは、フレーム・ジェネレータをイネーブルするのに使用します。フレーム・ジェネレータをイネーブルした場合、PHY のデータ・ソースは MAC インターフェースではなくフレーム・ジェネレータから取得されます。フレーム・ジェネレータを使用するには、診断クロックもイネーブルする必要があります (DIAG_CLK_EN)。

表 135. FG_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FG_EN	フレーム・ジェネレータ・イネーブル。	0x0	R/W

フレーム・ジェネレータ制御／再起動レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8021、リセット : 0x0001、レジスタ名 : FG_CNTRL_RSTRT

このレジスタは、フレーム・ジェネレータを制御します。FG_CNTRL ビット・フィールドは、フレーム・ジェネレータが使用するデータ・フィールド・タイプ (ランダムやすべてゼロなど) を指定します。FG_RSTRT ビットによってフレーム・ジェネレータが再起動します。

表 136. FG_CNTRL_RSTRT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	FG_RSTRT	フレーム・ジェネレータの再起動。このビットをセットすると、フレーム・チェッカが再起動します。このビットはセルフ・クリア・ビットです。	0x0	R/W SC
[2:0]	FG_CNTRL	フレーム・ジェネレータ完了の制御。 000 : 現在のフレーム完了後はフレームなし。 001 : 乱数のデータ・フレーム。 010 : すべてゼロのデータ・フレーム。 011 : すべて 1 のデータ・フレーム。 100 : ゼロと 1 が交互に現れる 0x55 データ・フィールド。 101 : データ・フィールドが 255 (10 進数) から 0 に減少。	0x1	R/W

レジスタの一覧

フレーム・ジェネレータ連続モード・イネーブル・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8022、リセット : 0x0000、レジスタ名 : FG_CONT_MODE_EN

このレジスタは、フレーム・ジェネレータを連続モードにするのに使用します。デフォルトの動作モードはバースト・モードです。バースト・モードの場合、生成フレームの数は、FG_NFRM_H レジスタと FG_NFRM_L レジスタで指定します。

表 137. FG_CONT_MODE_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FG_CONT_MODE_EN	フレーム・ジェネレータ連続モードの有効化。このビットは、フレーム・ジェネレータを連続モードまたはバースト・モードにするのに使用します。 1 : フレーム・ジェネレータは連続モードで動作。このモードでは、フレーム・ジェネレータはフレームを無期限に生成し続けます。 0 : フレーム・ジェネレータはバースト・モードで動作。このモードでは、フレーム・ジェネレータは単一バーストのフレームを生成して停止します。フレーム数は、FG_NFRM_H レジスタと FG_NFRM_L レジスタで指定します。	0x0	R/W

フレーム・ジェネレータ割込みイネーブル・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8023、リセット : 0x0000、レジスタ名 : FG_IRQ_EN

このレジスタは、フレーム・ジェネレータ割込みをイネーブルするのに使用します。要求した数のフレームが生成されると、割込みが生成されます。フレーム・チェッカ／ジェネレータの割込みは PHY_SUBSYS_IRQ_MASK レジスタでイネーブルします。MAC_IF_FC_FG_IRQ_EN ビットをセットしてください。

割込みステータスは、PHY_SUBSYS_IRQ_STATUS レジスタの MAC_IF_FC_FG_IRQ_LH ビットを介して読み出せます。

表 138. FG_IRQ_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FG_IRQ_EN	フレーム・ジェネレータ割込みイネーブル。このビットをセットすると、設定したフレーム数を送信したときにフレーム・ジェネレータが割込みを生成するように指定します。 1 : フレーム・ジェネレータの割込みをイネーブル。 0 : フレーム・ジェネレータの割込みをディスエーブル。	0x0	R/W

フレーム・ジェネレータ・フレーム長レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8025、リセット : 0x006B、レジスタ名 : FG_FRM_LEN

このレジスタは、データ・フィールドのフレーム長をバイト単位で指定します。データ・フィールドに加えて、送信元アドレス用に 6 バイト、宛先アドレス用に 6 バイト、長さフィールド用に 2 バイト、フレーム・チェック・シーケンス (FCS) 用に 4 バイトが追加されます。合計の長さは、データ・フィールド長に 18 を加えたものになります。

表 139. FG_FRM_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_FRM_LEN	バイト単位のデータ・フィールド・フレーム長。	0x6B	R/W

フレーム・ジェネレータ・フレーム間ギャップ長レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8026、リセット : 0x000C、レジスタ名 : FG_IFG_LEN

このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。

レジスタの一覧

表 140. FG_IFG_LEN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_IFG_LEN	フレーム・ジェネレータ・フレーム間ギャップ長。このレジスタは、フレーム・ジェネレータによってフレーム間に挿入されるフレーム間ギャップの長さをバイト単位で指定します。	0xC	R/W

フレーム・ジェネレータ・フレーム数ハイ・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8027、リセット : 0x0000、レジスタ名 : FG_NFRM_H

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する 32 ビット・レジスタのビット[31:16]です。

表 141. FG_NFRM_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_H	生成されるフレーム数のビット[31:16]。	0x0	R/W

フレーム・ジェネレータ・フレーム数ロー・レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8028、リセット : 0x0100、レジスタ名 : FG_NFRM_L

このレジスタは、フレーム・ジェネレータがイネーブルまたは再起動されるたびに生成されるフレーム数を指定する 32 ビット・レジスタのビット[15:0]です。

表 142. FG_NFRM_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	FG_NFRM_L	生成されるフレーム数のビット[15:0]。	0x100	R/W

フレーム・ジェネレータ完了レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8029、リセット : 0x0000、レジスタ名 : FG_DONE

このレジスタは、フレーム・ジェネレータが FG_NFRM_H レジスタおよび FG_NFRM_L レジスタで要求されたフレーム数の生成を完了したことを示すのに使用されます。

表 143. FG_DONE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FG_DONE	フレーム・ジェネレータ完了。このビットが 1 として読み出されると、フレームの生成が完了したことを示します。このビットがセットされると、読出しによってラッチが解除されるまでハイにラッチされます。	0x0	R LH

RMII 設定レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8050、リセット : 0x0006、レジスタ名 : RMII_CFG

表 144. RMII_CFG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x3	R
0	RMII_TXD_CHK_EN	RMII の TXD チェックをイネーブル。このビットは、フレームの開始を検出するのに、TXD_1 と TXD_0 をモニタするかどうかを指定します。これにより、RMII レシーバの CRS_DV 信号を RMII の TX_EN 信号に接続できます。このビットは主にデバッグとテストを目的としています。	0x0	R/W

レジスタの一覧

MAC インターフェース・ループバック設定レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x8055、リセット : 0x000A、レジスタ名 :
MAC_IF_LOOPBACK

MAC インターフェース・ループバックの設定。

表 145. MAC_IF_LOOPBACK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	MAC_IF_REM_LB_RX_S UP_EN	レシーバ抑制イネーブル。MAC_IF_REM_LB_EN がセットされている場合に、レシーバーを MAC に対して抑制します。	0x1	R/W
2	MAC_IF_REM_LB_EN	MAC インターフェース・リモート・ループバック・イネーブル。受信データがトランスミッタにループバックされます。	0x0	R/W
1	MAC_IF_LB_TX_SUP_EN	抑制送信イネーブル。MAC_IF_LB_EN がセットされている場合に、PHY への送信を抑制します。	0x1	R/W
0	MAC_IF_LB_EN	MAC インターフェース・ループバック・イネーブル。送信データがレシーバにループバックされます。	0x0	R/W

MAC パケット開始 (SOP) 生成制御レジスタ

デバイス・アドレス : 0x1F、レジスタ・アドレス : 0x805A、リセット : 0x001B、レジスタ名 :
MAC_IF_SOP_CNTRL

表 146. MAC_IF_SOP_CNTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予約済み。	0x0	R
5	MAC_IF_TX_SOP_LEN_ CHK_EN	送信 SOP プリアンブル長チェックをイネーブル。	0x0	R/W
4	MAC_IF_TX_SOP_SFD_ EN	フレーム開始デリミタ (SFD) での送信 SOP 信号表示をイネーブル。	0x1	R/W
3	MAC_IF_TX_SOP_DET_ EN	送信 SOP 表示信号の生成をイネーブル。	0x1	R/W
2	MAC_IF_RX_SOP_LEN_ CHK_EN	レシーバ SOP プリアンブル長チェックをイネーブル。このビットがセットされ、SFD が受信されない場合は、8 バイト後にレシーバ SOP 信号表示がセットされます。それ以外の場合、最初の 8 バイトで SFD が受信されなければレシーバ SOP はセットされません。	0x0	R/W
1	MAC_IF_RX_SOP_SFD_ EN	SFD 受信時にレシーバ SOP 信号表示をイネーブル。MAC_IF_RX_SOP_DET_EN と MAC_IF_RX_SOP_SFD_EN の両方がセットされている場合、レシーバ SOP 信号は SFD の受信時にセットされます。それ以外の場合、レシーバ SOP は RX_DV がセットされるとセットされます。レシーバ SOP 信号は、フレームの終了までセットされたままになります。	0x1	R/W
0	MAC_IF_RX_SOP_DET_ EN	レシーバ SOP 表示信号の生成をイネーブル。	0x1	R/W

PCB レイアウトに関する推奨事項

ランド・パターン

LFCSP には、パッケージ底部に露出パッドがあり、機械的、電氣的、および熱的な理由で PCB のグラウンドにハンダ付けする必要があります。

熱抵抗性能と PCB への放熱を最大化するために、露出グラウンド・パッドの下に 4×4 アレイのサーマル・ビアを使用することを推奨します。ビア・テンティングも推奨します。

部品の配置と配線

重要なパターンと部品に優先順位を付けると、配線作業を簡素化するのに役立ちます。重要なパターンとコンポーネントを最初に配置して方向を定め、効果的なレイアウトを確保します。重要な部品は、水晶発振器と負荷コンデンサ、CEXT_2 と CEXT_3 の各コンデンサ、および ADIN1101 に近い位置にあるすべてのバイパス・コンデンサです。これらの部品には配置と配線に関して優先順位を付けます。

- ▶ デカップリング・コンデンサは、その入力ピンのできるだけ近くに配置します。
- ▶ パターンの曲げ回数は最小限に抑え、 45° のコーナーを使用します。
- ▶ パターンが隣接層のパワー・プレーンを横切ることのないようにします。
- ▶ スタブが形成されることのないようにします。
- ▶ MDI パターン (RXP, RXN, TXP, TXN) はできるだけ短くします。
- ▶ 高速信号にはビアを使用しないでください。リターン電流経路を改善するため、グラウンド・ビアを信号ビアに隣接させます。

水晶発振器の配置と配線

消費電流を最小限に抑え、浮遊容量を減らし、ノイズ耐性を向上させるために、水晶発振器の配置とルーティングに特別の注意を払う必要があります。

- ▶ 水晶発振器とコンデンサは ADIN1101 の XTAL_I/CLK_IN ピンおよび XTAL_O ピンのできるだけ近くに配置します。
- ▶ 負荷コンデンサは互いに近づけて配置してください。
- ▶ 水晶発振器と負荷コンデンサには、ローカルの GND プレーン（銅アイランド）を使用すると共に、メイン GND に 1 点で接続します。
- ▶ XTAL_I のパターンと XTAL_O のパターンは互いに離し、寄生容量を低減します。
- ▶ 水晶発振器の下層に銅のキープアウト領域を追加することによっても、寄生容量を低減できます。

PCB の層構成

PCB の層構成については以下の推奨事項に従ってください。

- ▶ 最低 4 層の PCB 層構成を使用します。EMI に関する問題を改善するには、外層をグラウンド・プレーンとして使用する 6 層以上の構成を検討してください（オプション）。
- ▶ 銅層の厚さは、アプリケーションと電力の要件に応じて定めます。
- ▶ 電源プレーンとグラウンド・プレーンには内層を使用します。
- ▶ 信号パターンには外層を使用します。
- ▶ ビア・スティッチングを使用して、グラウンドを改善すると共に EMI を低減します。スティッチング・パターンとビア間距離は、アプリケーションに応じて定めます。

外形寸法

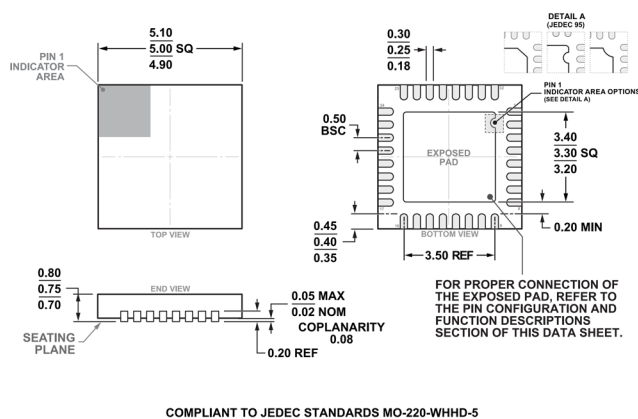


図 31. 32 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 5mm × 5mm ボディ、0.75mm パッケージ高
 (CP-32-20)
 寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADIN1101BCPZ	-40°C to +85°C	32-Lead LFCSP	Tray, 490	CP-32-20
ADIN1101BCPZ-R7	-40°C to +85°C	32-Lead LFCSP	Reel, 1500	CP-32-20
ADIN1101CCPZ	-40°C to +105°C	32-Lead LFCSP	Tray, 490	CP-32-20
ADIN1101CCPZ-R7	-40°C to +105°C	32-Lead LFCSP	Reel, 1500	CP-32-20

¹ Z = RoHS 適合製品。

評価用ボード

Model ¹	Package Description
EVAL-ADIN1100EBZ	Evaluation Board

¹ Z = RoHS 適合製品。