

機能ブロック図

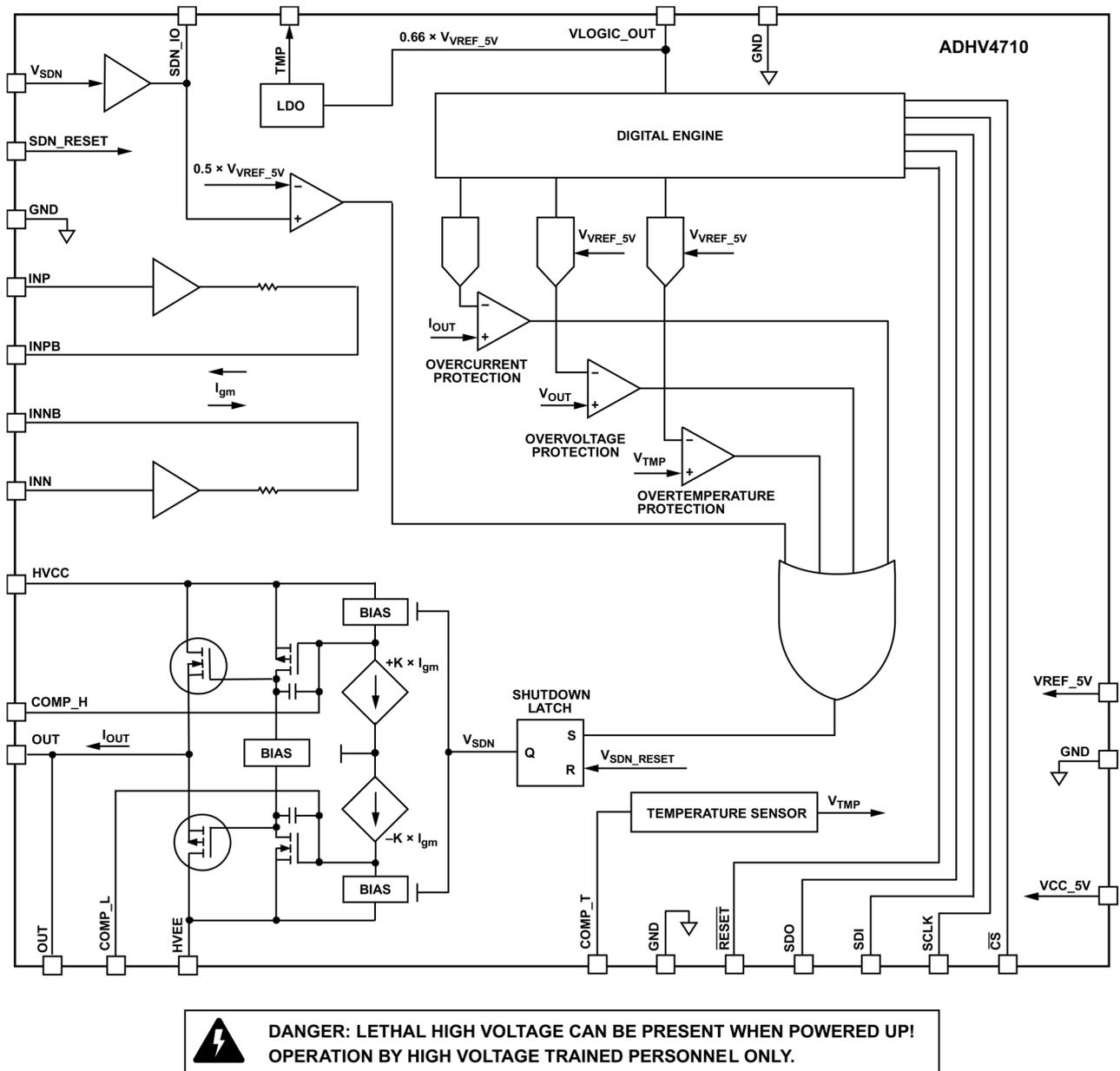


図 3. 機能ブロック図

003

目次

特長.....	1
アプリケーション.....	1
概要.....	1
機能ブロック図.....	2
改訂履歴.....	5
仕様.....	6
タイミング図.....	13
絶対最大定格.....	14
熱抵抗.....	14
静電放電 (ESD)	15
ピン配置およびピン機能の説明.....	16
代表的な性能特性.....	18
用語の定義.....	28
アラーム.....	28
保護装備.....	28
保護解除.....	28
フォルト.....	28
保護システム.....	28
予約済み.....	28
安全動作領域 (SOA)	28
シャットダウンおよびスリープ.....	28
スルー・ブースト.....	28
動作原理.....	29
概要.....	29
アンプの理論.....	30
スルー・ブースト (INPB、INNB、 R_{SLEW})	32
出力電流駆動.....	33
初期パワーアップ.....	33
電源とデカップリング.....	33
VREF_5V.....	34
電源シーケンス.....	34
パワーオン・リセット (POR) と $\overline{\text{RESET}}$	34
シリアル・ペリフェラル・インターフェース (SPI)	34
シャットダウンとスリープ制御.....	35

フォルト始動型シャットダウン保護機能.....	35
フォルト・モニタリングおよび保護の制御ロジック	35
シャットダウン保護設定	38
シャットダウン閾値設定のプログラミング	38
過電流保護のプログラミング	38
過電圧保護のプログラミング	39
過熱保護のプログラミング	39
手動サーマル・シャットダウン	40
シャットダウン制御 (SDN_IO)	41
遅延シャットダウン	41
サーマル・モニタリング (TMP)	42
プログラマブル静止電流	42
アプリケーション情報	43
温度管理	43
PCB の熱設計	43
消費電力	43
安全動作領域	44
DC SOA	45
動的 SOA	45
温度勾配	47
ADHV4710 の保護	47
短絡に関する注意点	47
シャットダウン/スリープに関する注意点	48
シャットダウン/スリープ中の入力差動電圧の制限	48
過電流閾値エラー	49
出力過電流閾値エラーとヘッドルーム	49
負荷が 1nF を超える場合の動的ピーク電流の制限	50
R _{SLEW} 、C _{COMP} 、SET_IQ の調整の性能への影響	51
高電圧、高電流アンプにおける部品の考慮事項	51
レイアウト	52
LTspice サポート・モデル	53
最上位レベルのデジタル・レジスタ割当て	54
デバイス制御レジスタの概要とマップ	55
制御レジスタの詳細	57
外形寸法	62

オーダー・ガイド	62
評価用ボード	62

改訂履歴

03/2025 – Rev. 1

仕様

表 1. 電気的特性

(特に指定のない限り、HVCC/HVVEE = ±50V、SET_IQ = 0x00、VCC_5V = +5V、VREF_5V = +5V、COMP_L、COMP_Hなし、RSLEW = 0Ω、ゲイン (Av) = 57、帰還抵抗 (Rf) = 56kΩ、非反転構成、CLOAD = 1nF、Tc = 30°C)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Small Signal Bandwidth	f _{-3db}	V _{OUT} = 0.1Vp-p		2.5		MHz
Large Signal Bandwidth ¹		V _{OUT} = 80Vp-p		2.3		MHz
Slew Rate, 20% to 80%	SR _{RISE}	V _{OUT} = 80Vp-p		900		V/μs
	SR _{FALL}	V _{OUT} = 80Vp-p		1000		V/μs
	SR _{RISE}	V _{OUT} = 80Vp-p, SET_IQ = 0x91 (I _{HVCC} /I _{HVVEE} ≈ 22.5 mA), G = 45		1300		V/μs
	SR _{FALL}	V _{OUT} = 80Vp-p, SET_IQ = 0x91 (I _{HVCC} /I _{HVVEE} ≈ 22.5 mA), G = 45		1500		V/μs
Output 1% Settling Time	t _{ST}	V _{OUT} = 80Vp-p		430		ns
Output 0.1% Settling Time	t _{ST}	V _{OUT} = 80Vp-p		1200		ns
NOISE/DISTORTION PERFORMANCE						
Voltage Noise Spectral Density, RTI	V _N	C _{LOAD} = 0nF, f = 100kHz		26		nV/√Hz
Current Noise Spectral Density, RTI	I _N	f = 40Hz, simulation		1		fA/√Hz
Total Harmonic Distortion	THD	V _{OUT} = 80Vp-p, 1kHz		-92		dB
		V _{OUT} = 80Vp-p, 10kHz		-73		dB
DC PERFORMANCE						
Offset Error, RTI	V _{OS}			13	550	μV
	V _{OS_TC}	T _J = 30°C to 85°C. See Figure 58 .		5		μV/°C
Input Bias Current ⁶					50	pA
Input Bias Current Drift		T _J = 30°C to 85°C		0.22		pA/°C
Input Offset Current ⁶					100	pA
Input Offset Current Drift		T _J = 30°C to 85°C		0.44		pA/°C
Open-Loop Gain	A _{OL}	HVCC/HVVEE = ±55V		127		dB

(特に指定のない限り、HVCC/HVEE = ±50V、SET_IQ = 0x00、VCC_5V = +5V、VREF_5V = +5V、COMP_L、COMP_Hなし、R_{SLW} = 0Ω、ゲイン (A_v) = 57、帰還抵抗 (R_F) = 56kΩ、非反転構成、C_{LOAD} = 1nF、T_c = 30°C)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
		HVCC/HVEE = ±12V		120		dB
INPUT CHARACTERISTICS						
Common-Mode Input Impedance	R _{INCM}	V _{CM} = HVEE + 6V to HVCC - 6V		13.5		TΩ
	C _{INCM}			4.4		pF
Differential Input Impedance	R _{INDM}			3.3		TΩ
	C _{INDM}			1.3		pF
Input Common-Mode Voltage Range	V _{CM}	HVCC/HVEE = ±55V		±49V		V
Common-Mode Rejection Ratio	CMRR	HVCC/HVEE = ±37.5V, V _{CM} = HVEE + 6V to HVCC - 6V, VCC_5V = 5.5V	114	133		dB
OUTPUT CHARACTERISTICS						
Output Voltage Range	V _{OUT}	I _{OUT} = 100mA, HVCC/HVEE = ±55V	HVEE + 2.5		HVCC - 2	V
		I _{OUT} = 1A, HVCC/HVEE = ±20V	HVEE + 9.5		HVCC - 5	V
Output Voltage Range ⁶	V _{OUT}	I _{OUT} = 1A, HVCC/HVEE = ±20V, T _J = 30°C to 105°C	HVEE + 13.2		HVCC - 6	V
Continuous Output Current ²	I _{OUT}			1		A
Peak Instantaneous Output Current Drive ³	I _{OUT_PEAK}			1.2		A
Closed-Loop Output Impedance	Z _{OUT}	f = 10kHz		0.13		Ω
Open-Loop Output Impedance	Z _O	f = 100kHz		12.8		Ω
Output Resistance During Shutdown	Z _{O_SDN}			110		kΩ
REFERENCE INPUT						
Input Range ⁴	VREF_5V	See <i>Absolute Maximum Ratings</i> relative to VCC_5V.	4.75	5	VCC_5V + 0.1	V
Input Resistance	VREF_5V			32		kΩ

(特に指定のない限り、HVCC/HVVEE = ±50V、SET_IQ = 0x00、VCC_5V = +5V、VREF_5V = +5V、COMP_L、COMP_Hなし、RSLEW = 0Ω、ゲイン (Av) = 57、帰還抵抗 (Rf) = 56kΩ、非反転構成、CLOAD = 1nF、Tc = 30°C)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
SDN_IO SPECIFICATIONS						
Output Voltage Range	SDN_IO	SDN_IO Floating	0		VCC_5V	V
Shutdown Threshold	SDN_IO _{RISING}		2.54	2.56	2.57	V
	SDN_IO _{FALLING}		2.45	2.47	2.48	V
Output Current Drive Sink	SDN_IO _{SNK}	SDN_IO = 80% of VCC_5V		-180		uA
Output Current Drive Source	SDN_IO _{SRC}	SDN_IO = 20% of VCC_5V		200		uA
Turn Off Time	SDN_IO _{TOFF}	SDN_IO > SDN_IO _{RISING} to shutdown. See <i>Delayed Shutdown</i> .		400		ns
Turn On Time	SDN_IO _{TON}	I _{OUT} = 0A. SDN_IO < SDN_IO _{FALLING} to turn on. See <i>Delayed Shutdown</i> .		2		us
		I _{OUT} = 500mA. SDN_IO < SDN_IO _{FALLING} to turn on. See <i>Delayed Shutdown</i> .		11.5		us
DC OVERCURRENT PROTECTION						
Sourcing Setpoint Range Max				1		A
Sourcing Code Range			0x06		0x40	
Sinking Setpoint Range Max				-1		A
Sinking Code Range			0x40		0x06	
Setpoint Resolution				15.625		mA/lb
Setpoint Accuracy		Code = 0x06, 93.75mA		3.6		%
Shutdown Response Time		C _{SDN_IO} = DNI, Code = 0x32		1.6		us
DC OVERVOLTAGE PROTECTION						
Positive Voltage Setpoint Range Max				105		V
Positive Code Range			0x01		0x35	
Negative Voltage Setpoint Range Max				-55		V
Negative Code Range			0x52		0x1C	

(特に指定のない限り、HVCC/HVVEE = ±50V、SET_IQ = 0x00、VCC_5V = +5V、VREF_5V = +5V、COMP_L、COMP_Hなし、RSLEW = 0Ω、ゲイン (Av) = 57、帰還抵抗 (Rf) = 56kΩ、非反転構成、CLOAD = 1nF、Tc = 30°C)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Setpoint Resolution				1.953		V/lb
Setpoint Accuracy		Code = 0x1A, ~50V		1.2		%
Shutdown Response Time		CSDN_IO = DNI, Code = 0x1A		0.9		us

DC OVERTEMPERATURE PROTECTION

Maximum Setpoint Range ⁵				150		°C
Minimum Setpoint Range				-40		°C
Code Range			0x23		0x40	
Setpoint Resolution				6.51		°C/lb
Setpoint Accuracy		Code = 0x40, accuracy with ideal TMP pin voltage		3.6		°C
Shutdown Response Time		CSDN_IO = DNI, Code = 0x40		1		us

TEMPERATURE MONITOR SPECIFICATIONS

Initial Voltage ⁶	TMP_VINITIAL	T _J = 30°C	1.755	1.78	1.805	V
Scaling	TMP_Tc	T _J = 30°C to 125°C		6		mV/°C
Output Impedance Sourcing	TMP_Z			40		Ω
Output Current Sinking	TMP_Z			-100		μA

DIGITAL INPUTS (SCLK, SDI, CS, RESET)^{6,7}

Input High Voltage	VIH _{SPI}		2.5		VCC_5V	V
Input Low Voltage	VIL _{SPI}		0		0.8	V
Input Current	IL _{SPI}		-1		1	μA
Input Capacitance	CSPI			5		pF
RESET Minimum Duration				10		ns

SDN_RESET INPUT^{6,7}

Input High Voltage	VIH _{SDN_RESET}		2.5		VCC_5V	V
Input Low Voltage	VIL _{SDN_RESET}		0		0.8	V
Input Current	IL _{SDN_RESET}		-10		10	μA
Input Capacitance	CSDN_RESET			5		pF

(特に指定のない限り、HVCC/HVEE = ±50V、SET_IQ = 0x00、VCC_5V = +5V、VREF_5V = +5V、COMP_L、COMP_Hなし、RSLEW = 0Ω、ゲイン (Av) = 57、帰還抵抗 (Rf) = 56kΩ、非反転構成、CLOAD = 1nF、Tc = 30°C)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
DIGITAL OUTPUTS (SDO) ^{6,7}						
Output High Voltage	VOH _{SDO}		2.68		3	V
Output Low Voltage	VOL _{SDO}		0		0.4	V
High Impedance Input Current	I _{L_SDO}		-2		2	μA
Output Capacitance	C _{SDO}			5		pF
VLOGIC_OUT						
Output Voltage Range	VLOGIC_OUT	I _{VLOGIC_OUT} = 300μA, VREF_5V = 5V	2.95	3	3.05	V
Load Regulation		I _{VLOGIC_OUT} ≤ 50mA		2		mV/mA
Output Current Drive				50		mA
POWER SUPPLIES						
Operation Range	HVCC to HVEE		24		110	V
	HVCC to GND		12		105	V
	HVEE to GND		-55		0	V
	VCC_5V		4.7	5	5.5	V
Quiescent Current (Enabled)	I _{HVCC}	HVCC/HVEE = ±55V, VCC_5V = 5.5V, VREF_5V = 5.6V. See Programmable Quiescent Current .		12	14.5	mA
	I _{HVEE}	HVCC/HVEE = ±55V, VCC_5V = 5.5V, VREF_5V = 5.6V. See Programmable Quiescent Current .	-14.5	-12		mA
Quiescent Current (Enabled)	I _{VCC_5V}	HVCC/HVEE = ±55V, VCC_5V = 5.5V, VREF_5V = 5.6V		6	10	mA
Quiescent Current (Shutdown)	I _{HVCC}	HVCC/HVEE = ±55V, VCC_5V = 5.5V, VREF_5V = 5.6V		120	160	μA
	I _{HVEE}	HVCC/HVEE = ±55V, VCC_5V = 5.5V, VREF_5V = 5.6V	-160	-120		μA
Quiescent Current (Shutdown) ⁸	I _{VCC_5V}	HVCC/HVEE = ±55V, VCC_5V = 5.5V, VREF_5V = 5.6V		5	10	mA
Power Supply Rejection Ratio	PSRR _{HVCC}	HVCC = 50V to 55V, HVEE = -52.5V		111		dB
	PSRR _{HVEE}	HVCC = 52.5 V, HVEE = -50V to -55V		115		dB

(特に指定のない限り、HVCC/HVEE = $\pm 50\text{V}$ 、SET_IQ = 0x00、VCC_5V = +5V、VREF_5V = +5V、COMP_L、COMP_Hなし、RSLEW = 0Ω 、ゲイン (Av) = 57、帰還抵抗 (Rf) = $56\text{k}\Omega$ 、非反転構成、CLOAD = 1nF、Tc = 30°C)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
	PSRR _{HV}	HVCC/HVEE, $\pm 55\text{V}$ to $\pm 12\text{V}$	115	123		dB
		HVCC/HVEE, $\pm 14\text{V}$ to $\pm 12\text{V}$		112		dB
	PSRR _{VCC_5V}	VCC_5V = 4.7V to 5.5V		98		dB

¹ 大信号帯域幅は、熱設計による制限を受ける場合があります。温度管理のセクションを参照してください。

² 詳細については、温度管理のセクションを参照してください。

³ ADHV4710では、1kHz、80Vp-pの方形波により1nFの負荷を駆動して製品寿命試験を行っています。

⁴ このピンにおける電源変動の影響についての詳細は、VREF_5Vのセクションを参照してください。

⁵ 絶対最大ジャンクション温度は150°Cです。

⁶ 設計と特性評価により性能は確保されていますが、出荷テストは行われていません。

⁷ T_J = 30°C ~ 105°C

⁸ 過電流保護装備状態での仕様です。過電流保護解除状態でADHV4710がシャットダウン中である場合、VCC_5Vは更に2mAの電流を消費します。

表 2. タイミング特性

(特に指定のない限り、VCC_5V = +5V、VREF_5V = +5V、T_J = -30°C ~ +105°C です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
SPI TIMING¹						
SCLK Frequency	f _{SCLK}				19	MHz
Pulse Width High	t _{HI}		20			ns
Pulse Width Low	t _{LO}		20			ns
Setup $\overline{\text{CS}}$ to SCLK Edge	t _{s_SPI}		5			ns
Hold SCLK to $\overline{\text{CS}}$ High	t _{H_SPI}		5			ns
Setup Time SDI to SCLK High	t _{DS}		5			ns
SDI Hold Time from SCLK High	t _{DH}		5			ns
Data Valid SCLK to SDO	t _{ACCESS}				20	ns
SDO Data Release	t _Z				20	ns

¹ 設計と特性評価により性能は確保されていますが、出荷テストは行われていません。

タイミング図

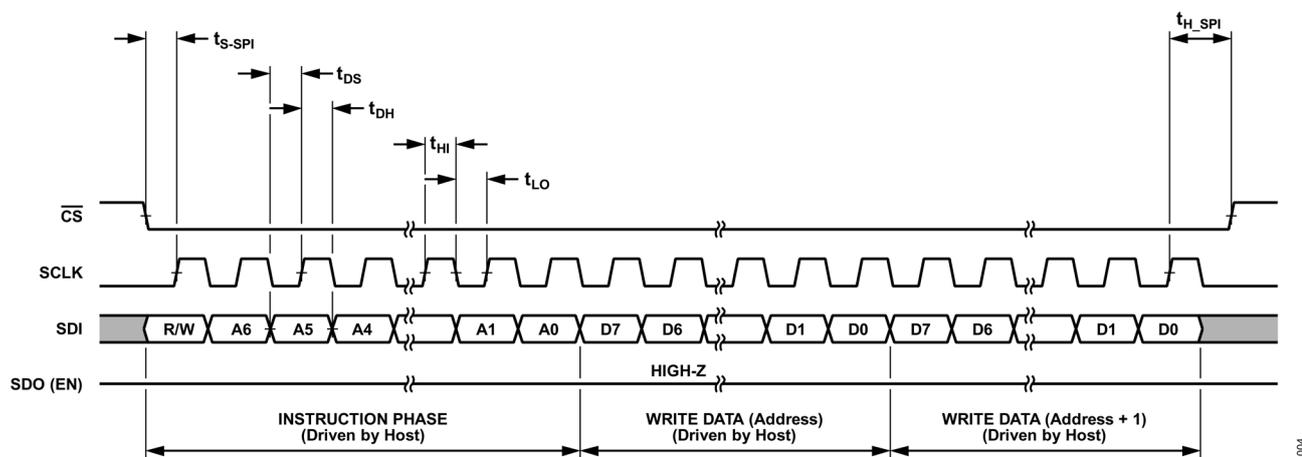


図 4. SPI のタイミング図 (書き込み動作)

004

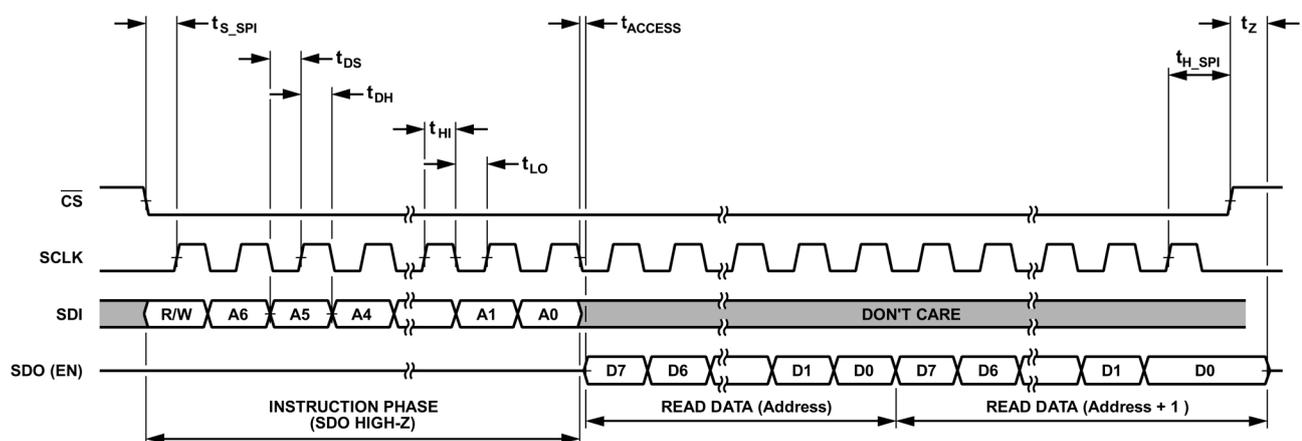


図 5. SPI のタイミング図 (読み出し動作)

005

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

PARAMETER	RATING
HVCC to HVEE	115V
HVCC to GND	107.5V
HVEE to GND	-57.5V
INP, INN	HVEE - 0.3V to HVCC + 0.3V
INPB to INP	-1.2V to +1.2V
INNB to INN	-1.2V to +1.2V
OUT	HVEE - 0.3V to HVCC + 0.3V
COMP_H	HVCC - 5V to HVCC + 0.3V
COMP_L	HVEE - 0.3V to HVEE + 5V
VCC_5V to GND	-0.3V to +6V
VREF_5V to GND	-0.3V to VCC_5V + 0.3V
VLOGIC_OUT to GND	-0.3V to VCC_5V + 0.3V
SCLK, CS, SDI, SDO, RESET, SDN_IO, SDN_RESET to GND	-0.3V to VCC_5V + 0.3V
TMP, COMP_T to GND	-0.3V to VCC_5V + 0.3V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range (T_A) ¹	-40°C to +85°C
Junction Temperature (T_J) ²	+150°C
Peak Solder Reflow Temperature ³	IPC/JEDEC J-STD-020

¹ $T_J \leq 150^\circ\text{C}$ であることが条件です。

² 絶対最大ジャンクション温度定格付近の T_J で長時間動作させると、デバイスの経年劣化が加速されます。適切な温度管理を確実に行ってください。

³ RoHS 準拠の組み立て (20 秒~40 秒)

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。ジャンクション温度 (T_J) を絶対最大定格未満に維持するには、一般的に温度管理手法を用いることが必要です。詳細については、[温度管理](#)のセクションを参照してください。

θ_{JA} は自然対流でのジャンクションと周囲の間の熱抵抗値、 θ_{JC} はジャンクションとケースの間の熱抵抗値です。

表 4. 熱抵抗

Package Type ¹	θ_{JA} ²	θ_{JC} ³	θ_{JC} ²	Unit
80-Lead TQFP (SV-80-7)	39.5	1.1	2.3	°C/W

¹熱抵抗シミュレーション値は、JEDEC JESD-51 に基づいたものです。ヒートシンクを用い空気流がある場合の θ_{JA} については、[温度管理](#)のセクションを参照してください。

²ダイ全体でのディレーティングを含みます。

³ダイ全体での消費電力に相当します。

静電放電 (ESD)

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

表 5. ADHV4710 80 ピン TQFP

ESD Model	Withstand Threshold (V)	Class
HBM	± 1000	1C
FICDM	± 1000	C3

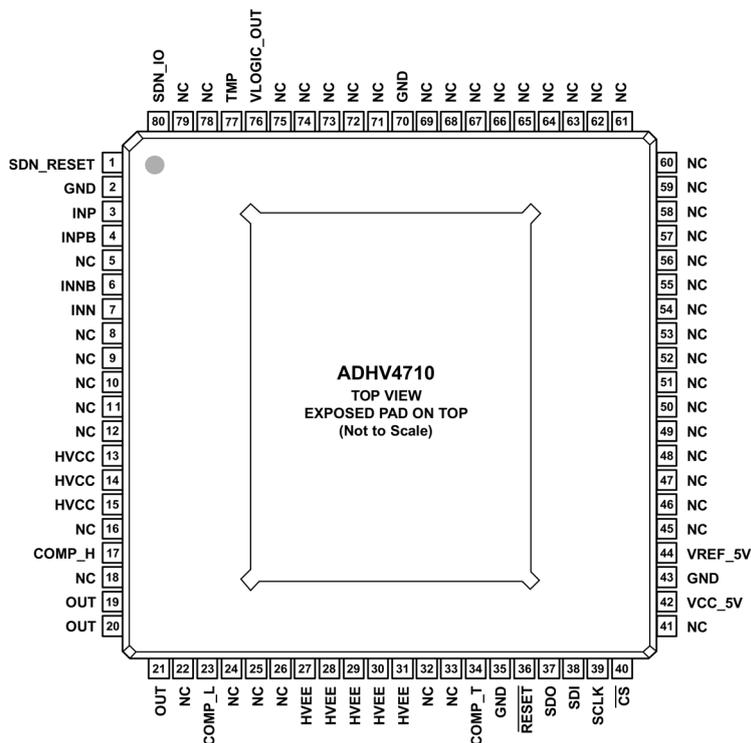
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. NC = NO CONNECT. DO NOT CONNECT. THIS PIN SHOULD BE SOLDERED DOWN ONTO A FLOATING PAD.
 2. EXPOSED THERMAL PAD. ELECTRICALLY CONNECTED TO GND INTERNALLY. CONNECT TO EXTERNAL HEAT SINK (GROUNDED OR FLOATING) FOR THERMAL MANAGEMENT.

図 6. 上面図（1 番ピンが左上で反時計回りにピン番号が増加）

表 6. ピン機能の説明

端子	名称	説明
1	SDN_RESET	シャットダウン・リセット入力（アクティブ・ハイ）
2	GND	グラウンド（アナログおよびデジタル）
3	INP	アンプの非反転入力
4	INPB	アンプの非反転入力のバッファされた出力。INPB と INN の間に外付けのトランスコンダクタンス抵抗 R_{SLEW} が必要です。
5	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。
6	INN	アンプの反転入力のバッファされた出力。INPB と INN の間に外付けのトランスコンダクタンス抵抗 R_{SLEW} が必要です。
7	INN	アンプの反転入力
8 to 12	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。
13 to 15	HVCC	高電圧正側電源
16	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。

端子	名称	説明
17	COMP_H	ハイサイドの補償。容量性負荷の駆動条件に応じて、このピンは開放状態のままにするか、コンデンサを介して OUT に接続します。詳細については アンプの理論 のセクションを参照してください。
18	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。
19 to 21	OUT	高電圧アナログ出力
22	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。
23	COMP_L	ローサイドの補償。容量性負荷の駆動条件に応じて、このピンは開放状態のままにするか、コンデンサを介して OUT に接続します。詳細については アンプの理論 のセクションを参照してください。
24 to 26	NC	接続しないでください。これらのピンは、フローティング・パッドに半田付けする必要があります。
27 to 31	HVEE	高電圧負側電源
32 to 33	NC	接続しないでください。これらのピンは、フローティング・パッドに半田付けする必要があります。
34	COMP_T	温度モニタの補償。0.1 μ F のコンデンサを GND との間に接続します。
35	GND	グラウンド (アナログおよびデジタル)
36	$\overline{\text{RESET}}$	デジタル・リセット (アクティブ・ロー)
37	SDO	SPI シリアル・データ出力
38	SDI	SPI シリアル・データ入力
39	SCLK	SPI シリアル・クロック入力
40	$\overline{\text{CS}}$	SPI チップ・セレクト入力 (アクティブ・ロー)
41	NC	接続しないでください。これらのピンは、フローティング・パッドに半田付けする必要があります。
42	VCC_5V	低電圧電源 (5V)
43	GND	グラウンド (アナログおよびデジタル)
44	VREF_5V	アナログ低電圧および保護閾値 DAC 用のリファレンス電圧。VREF_5V は、外部の 5V リファレンスまたは VCC_5V (精度は低下) に接続します。電源シーケンスの詳細については、 VREF_5V のセクションを参照してください。
45 to 69	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。
70	GND	グラウンド (アナログおよびデジタル)
71 to 75	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。
76	VLOGIC_OUT	SPI 入力のロジック・レベル用のリファレンス電圧。VREF_5V に比例する内部 LDO の出力です。VREF_5V = 5V では 3V を出力します。GND との間に 0.1 μ F のコンデンサが必要です。
77	TMP	ジャンクション温度モニタの出力電圧
78 to 79	NC	接続しないでください。このピンは、フローティング・パッドに半田付けする必要があります。
80	SDN_IO	シャットダウン入力/出力 (シャットダウン・アクティブ・ハイ)。シャットダウンを遅延させるには GND との間にコンデンサを接続します。
	EPAD	露出サーマル・パッド。内部で GND に電氣的に接続されています。温度管理を行うには、外部の (接地またはフローティング状態の) ヒートシンクに接続します。

代表的な性能特性

特に指定のない限り、HVCC/HVEE = ±50V、SET_IQ = 0x00、VCC_5V = +5V、VREF_5V = +5V、COMP_L、COMP_H なし、RSLEW = 0Ω、ゲイン (Av) = 57、帰還抵抗 (RF) = 56kΩ、非反転構成、CLOAD = 1nF、Tc = 30°C。

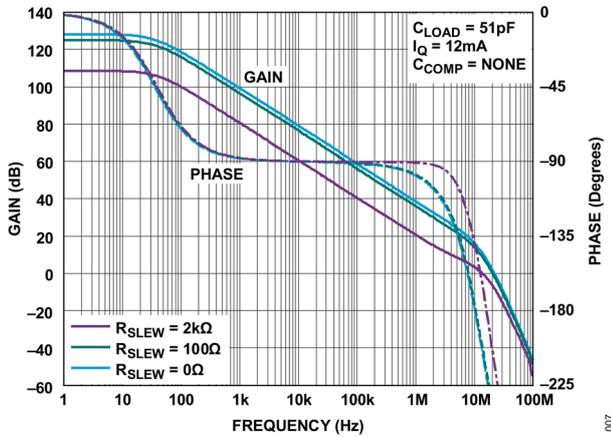


図 7. A_{OL} および位相マージンと周波数の関係、様々な R_{SLEW}

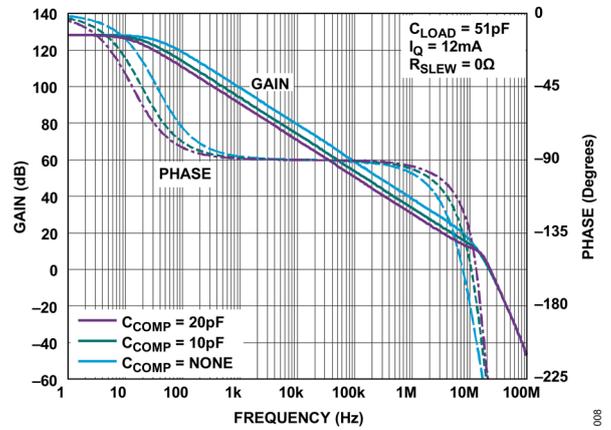


図 8. A_{OL} および位相マージンと周波数の関係、様々な C_{COMP}

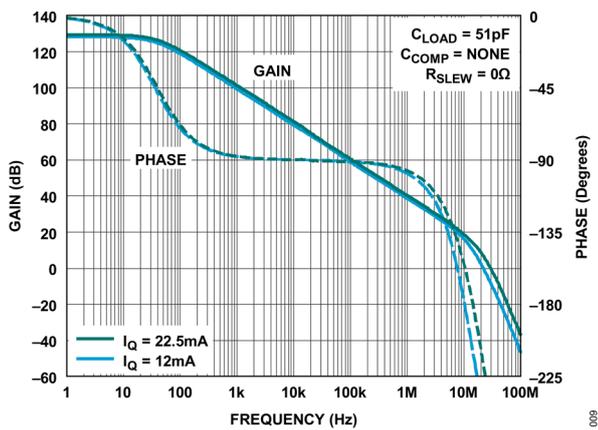


図 9. A_{OL} および位相マージンと周波数の関係、様々な I_Q

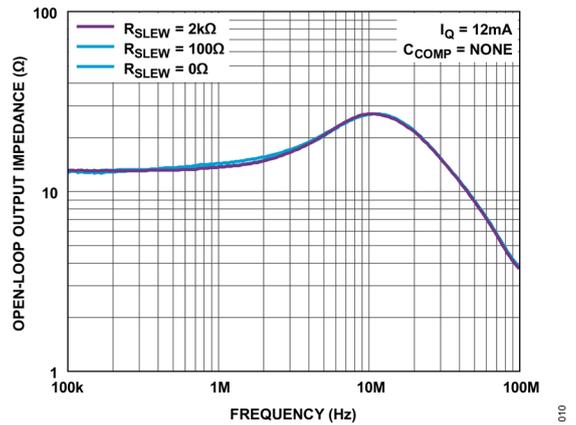


図 10. オープンループ出力インピーダンス (Z₀) と周波数の関係、様々な R_{SLEW}、動作時

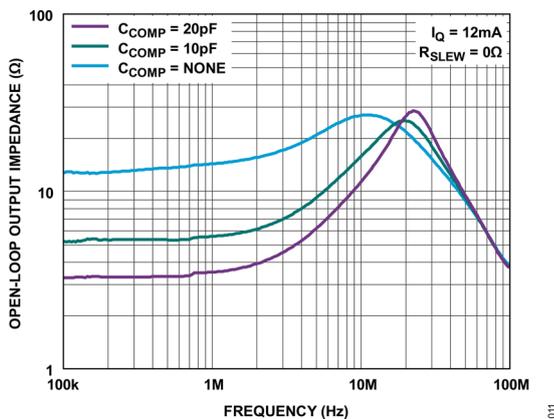


図 11. オープンループ出力インピーダンス (Z₀) と周波数の関係、様々な C_{COMP}、動作時

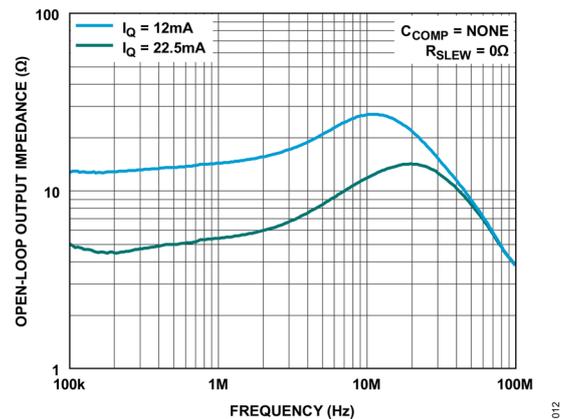


図 12. オープンループ出力インピーダンス (Z₀) と周波数の関係、様々な I_Q、動作時

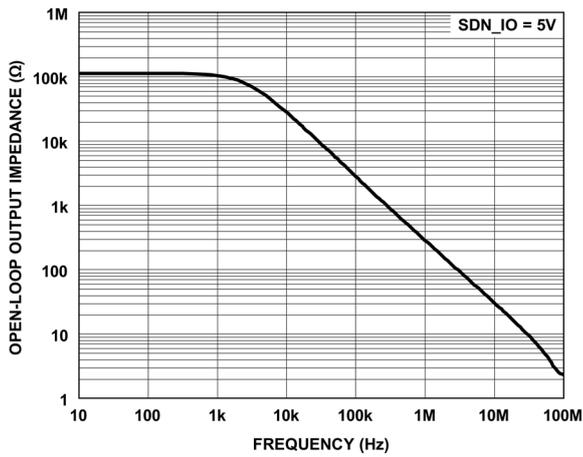


図 13. オープンループ出力インピーダンス (Z_O) と周波数の関係、シャットダウン時

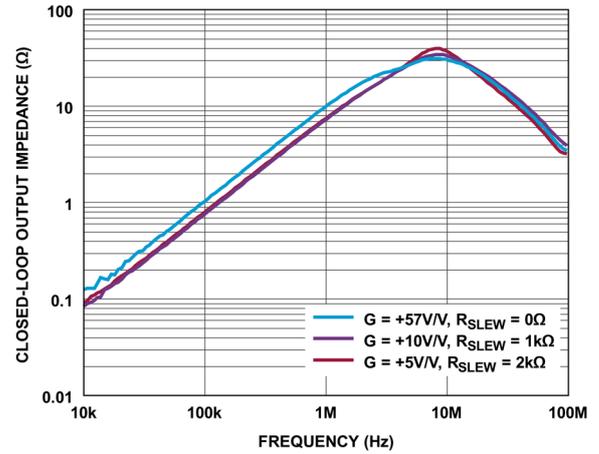


図 14. オープンループ出力インピーダンス (Z_{OUT}) と周波数の関係、様々なゲイン、動作時

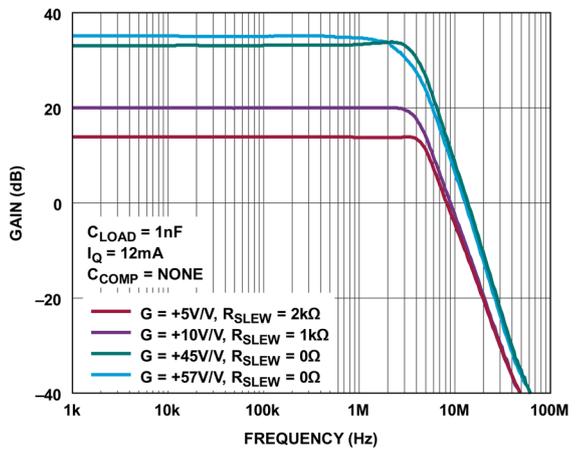


図 15. 様々なゲインでの小信号周波数応答

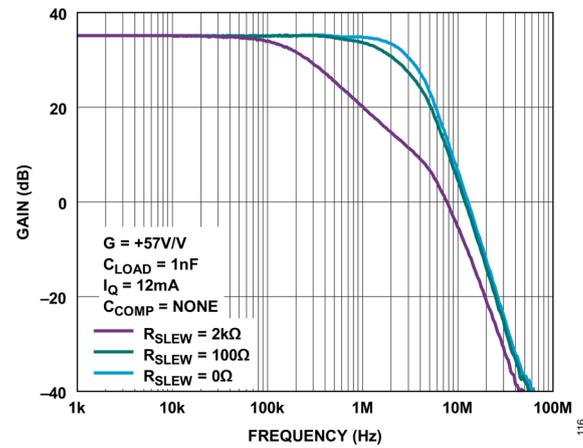


図 16. 様々な R_{SLEW} での小信号周波数応答

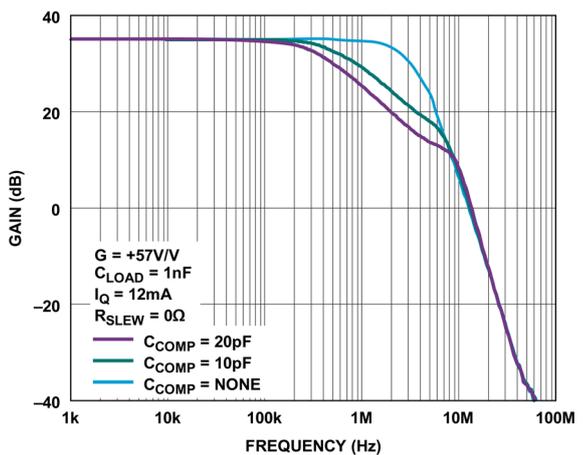


図 17. 様々な C_{COMP} での小信号周波数応答

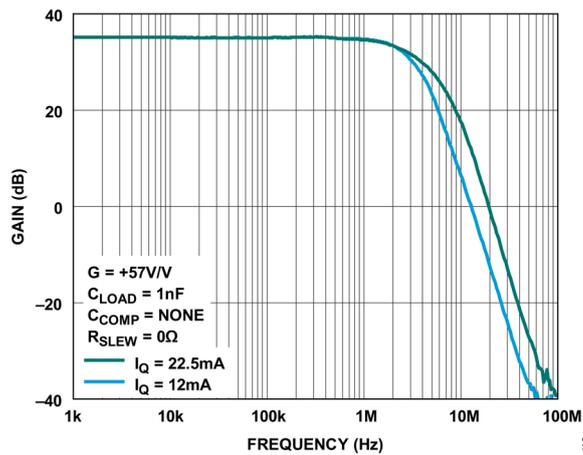


図 18. 様々な I_Q での小信号周波数応答

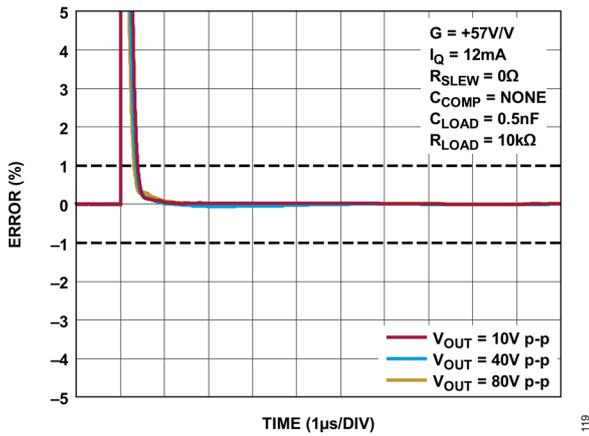


図 19. セトリング時間 1%と振幅の関係、立上がりエッジ

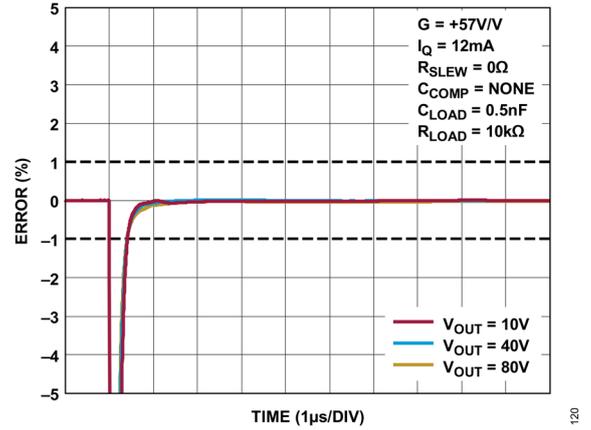


図 20. セトリング時間 1%と振幅の関係、立下がりエッジ

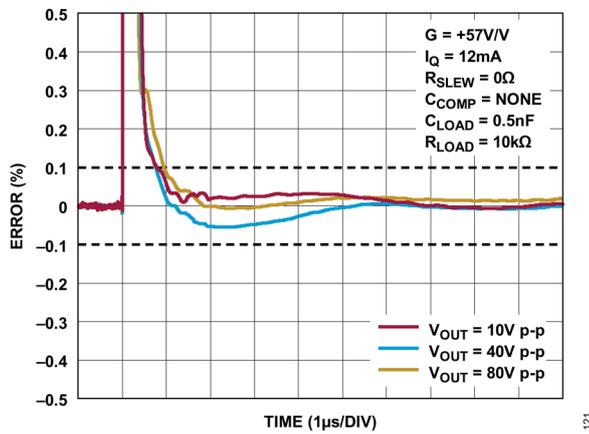


図 21. セトリング時間 0.1%と振幅の関係、立上がりエッジ

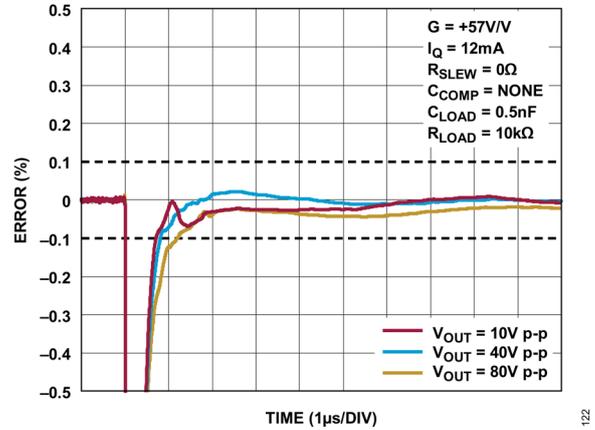


図 22. セトリング時間 0.1%と振幅の関係、立下がりエッジ

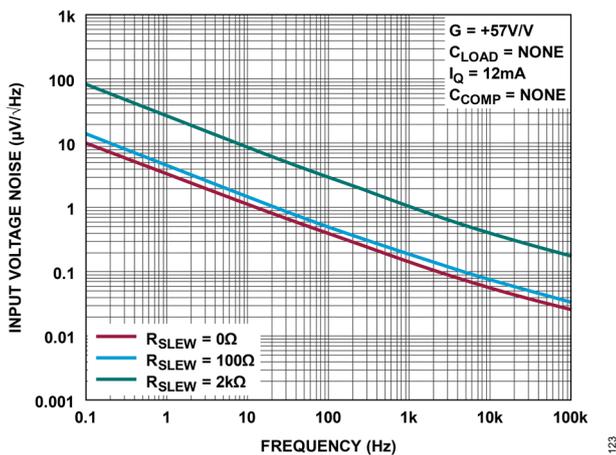


図 23. 入力電圧ノイズと周波数の関係、様々な R_{SLEW}

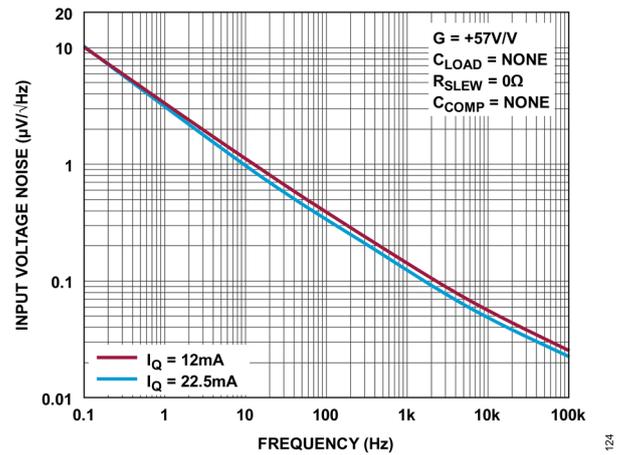


図 24. 入力電圧ノイズと周波数の関係、様々な I_Q

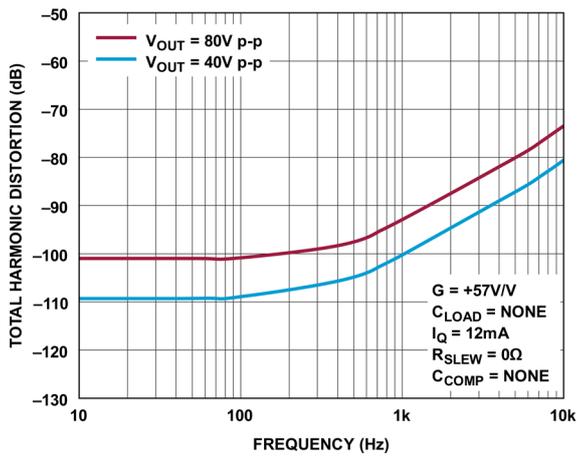


図 25. THD と周波数の関係

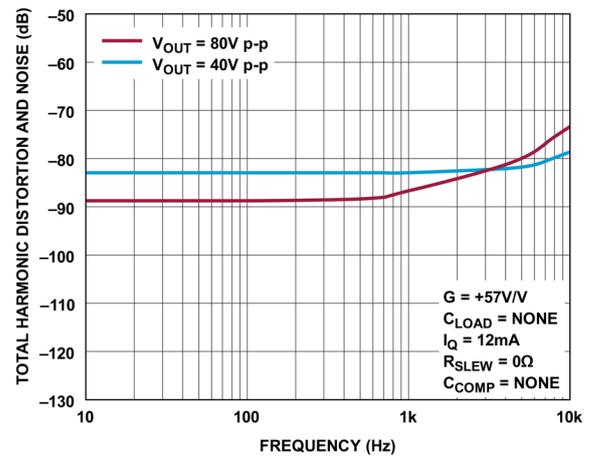


図 26. THD + N と周波数の関係

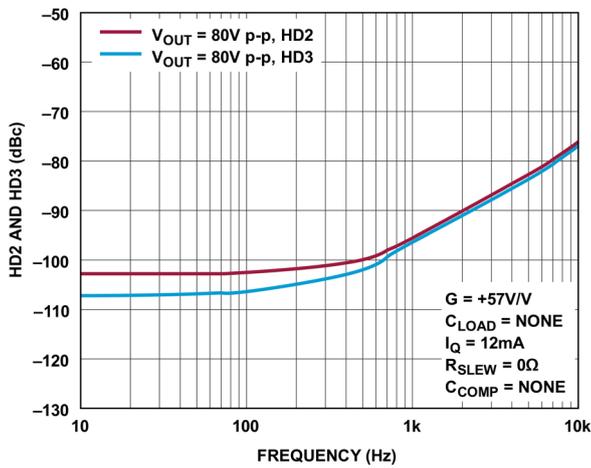


図 27. HD2/HD3 と周波数の関係

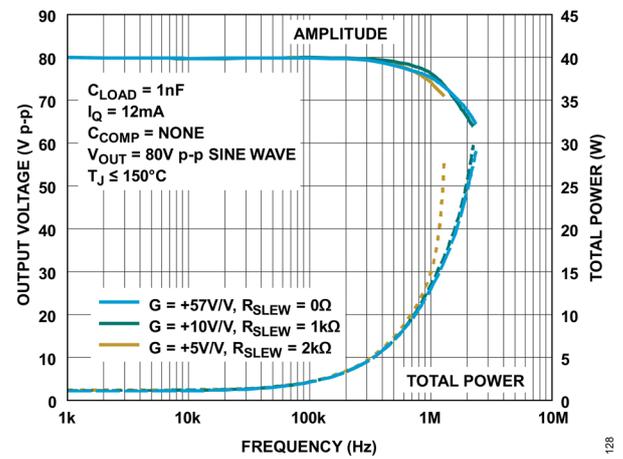


図 28. 大信号周波数応答および総電力とゲインおよび RSLEW の関係

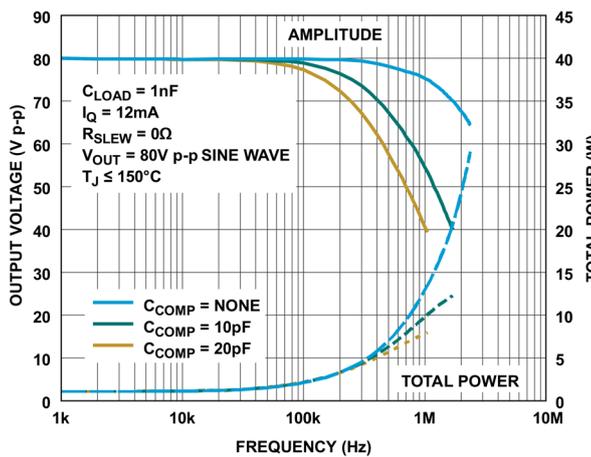


図 29. 大信号周波数応答および総電力と CCOMP の関係

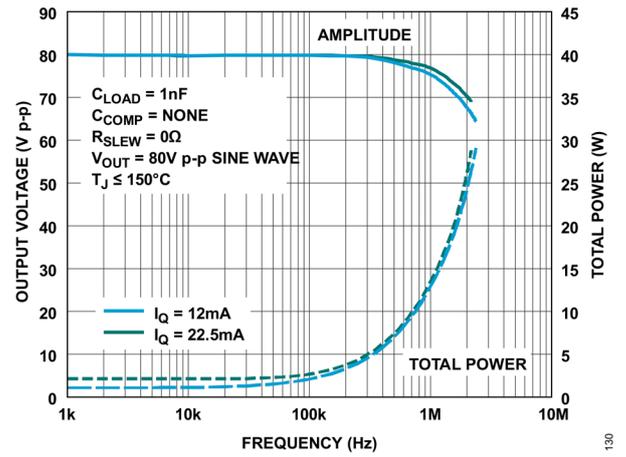


図 30. 大信号周波数応答および総電力と IQ の関係

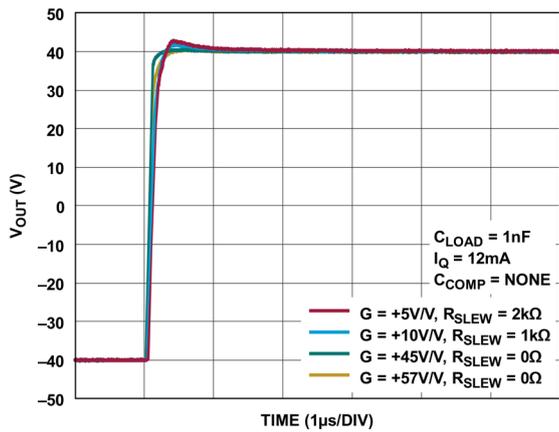


図 31. 大信号ステップ応答、立上がりエッジ、様々なゲインとRSLEW

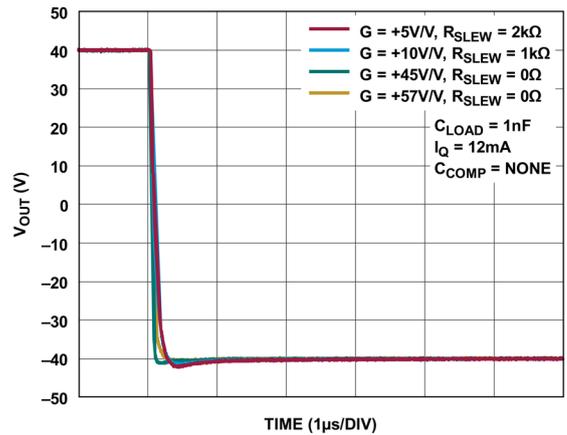


図 32. 大信号ステップ応答、立下がりエッジ、様々なゲインとRSLEW

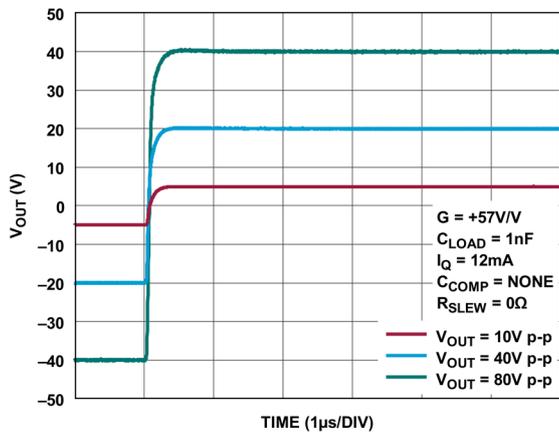


図 33. 大信号ステップ応答、立上がりエッジ、様々な振幅

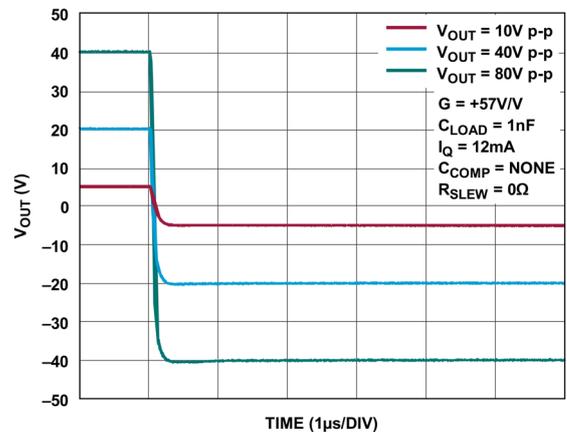


図 34. 大信号ステップ応答、立下がりエッジ、様々な振幅

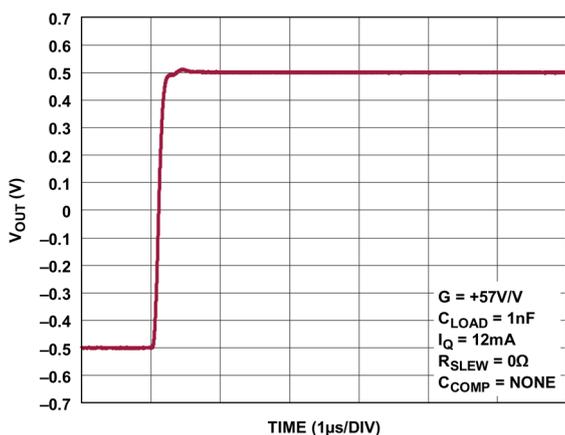


図 35. 小信号ステップ応答、立上がりエッジ

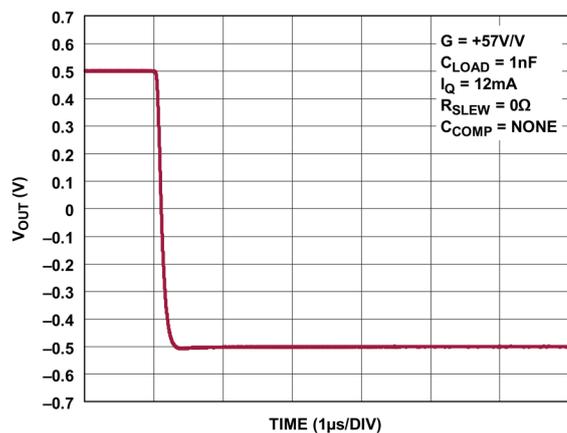


図 36. 小信号ステップ応答、立下がりエッジ

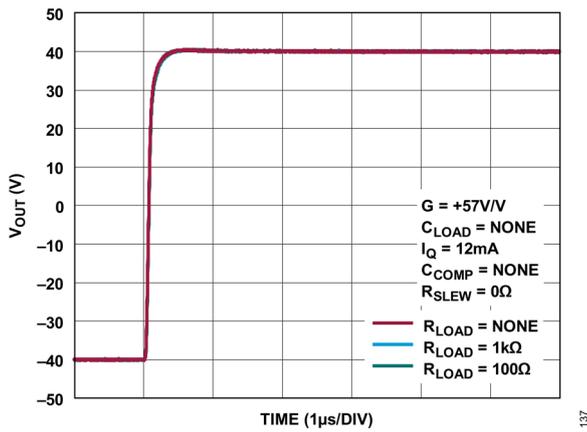


図 37. 大信号ステップ応答、立上がりエッジ、様々な R_{LOAD}

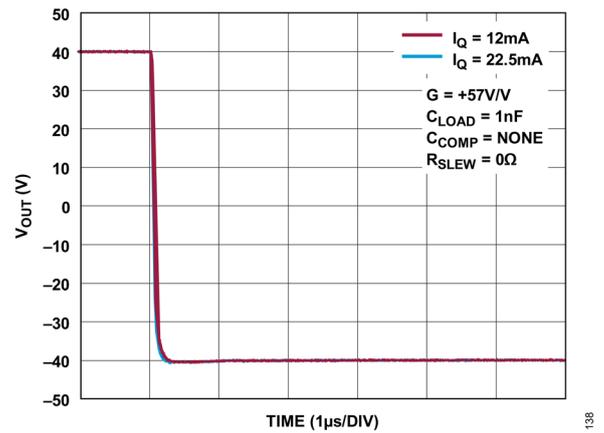


図 38. 大信号ステップ応答、立下がりエッジ、様々な R_{LOAD}

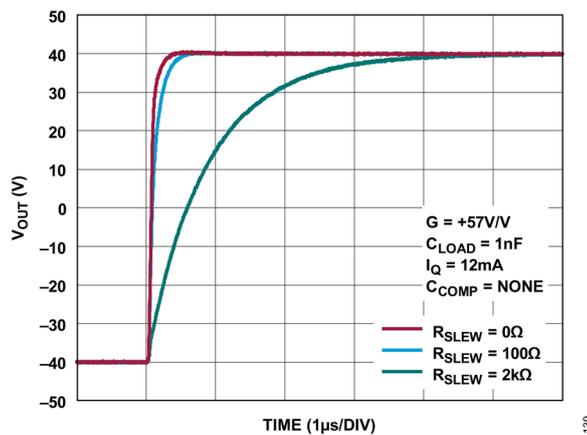


図 39. 大信号ステップ応答、立上がりエッジ、様々な R_{SLEW}

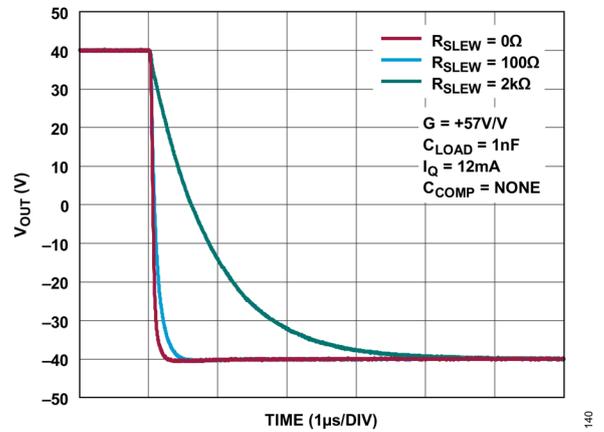


図 40. 大信号ステップ応答、立下がりエッジ、様々な R_{SLEW}

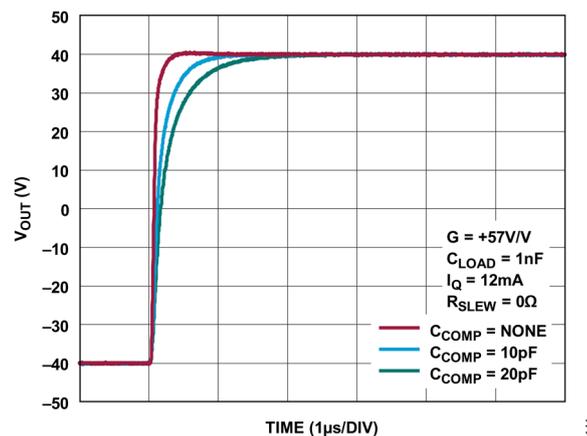


図 41. 大信号ステップ応答、立上がりエッジ、様々な C_{COMP}

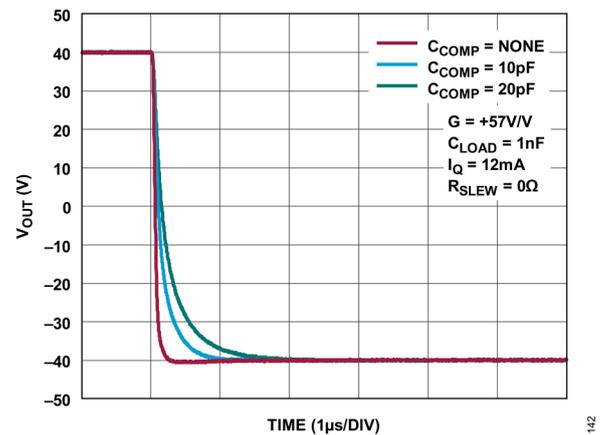


図 42. 大信号ステップ応答、立下がりエッジ、様々な C_{COMP}

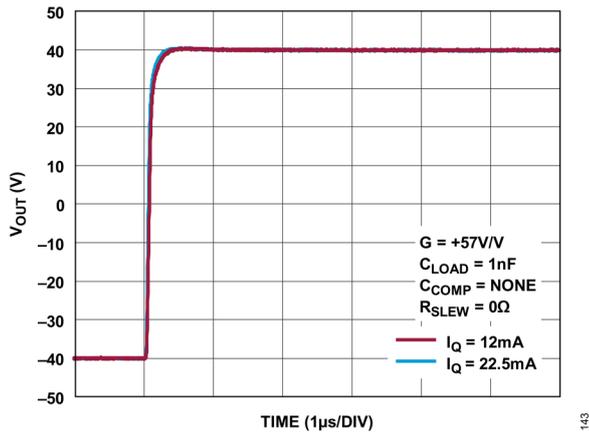


図 43. 大信号ステップ応答、立上がりエッジ、様々な I_Q

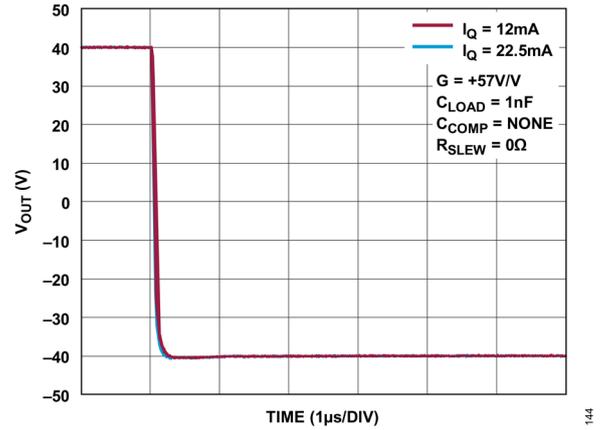


図 44. 大信号ステップ応答、立下がりエッジ、様々な I_Q

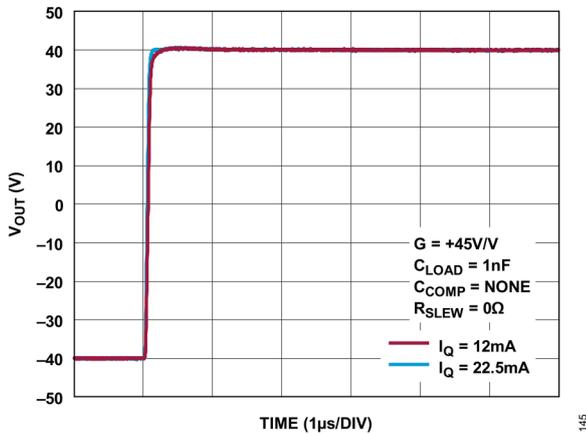


図 45. 大信号ステップ応答、立上がりエッジ、様々な I_Q 、 $G = 45$

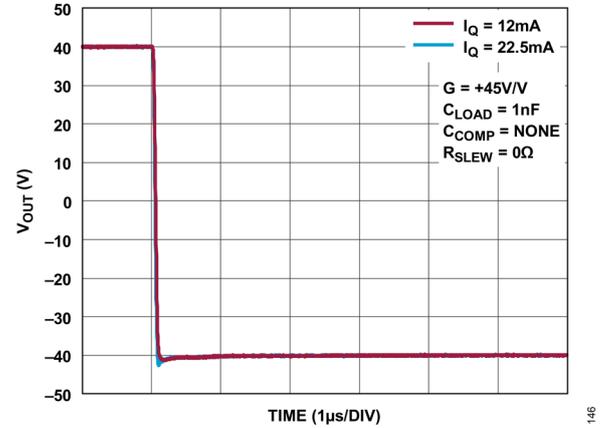


図 46. 大信号ステップ応答、立下がりエッジ、様々な I_Q 、 $G = 45$

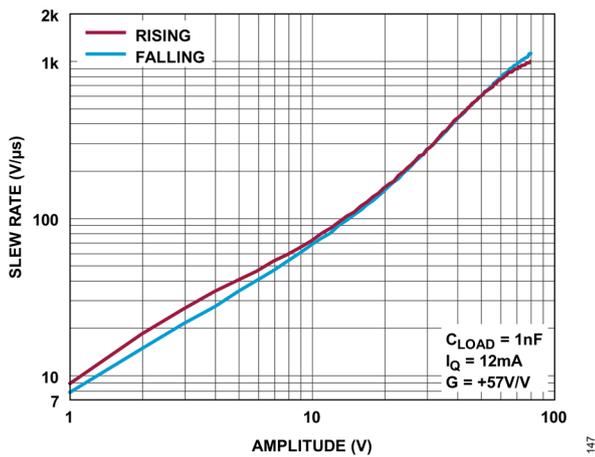


図 47. スルー・レートと振幅の関係

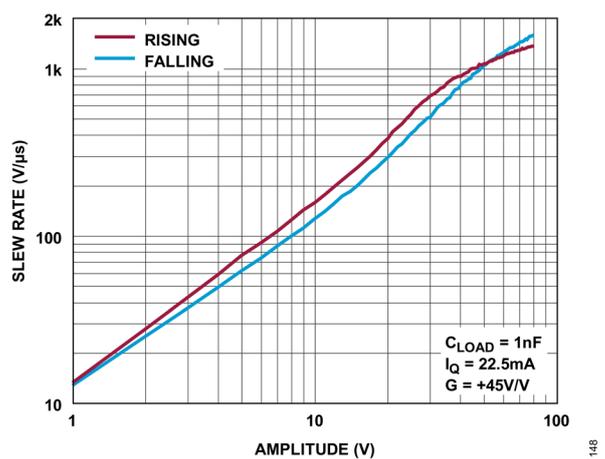


図 48. スルー・レートと振幅の関係、 $G = 45$ 、 $I_Q = 22.5\text{mA}$

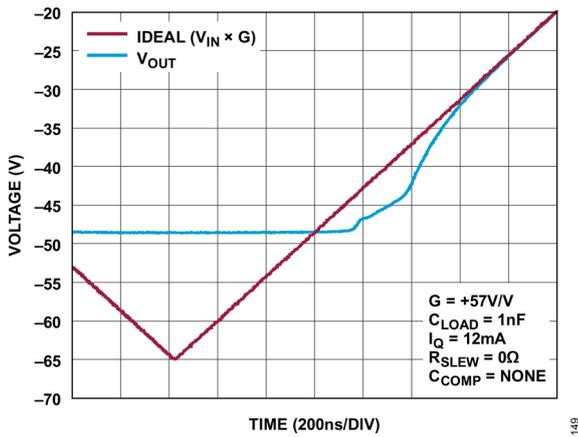


図 49. 出力オーバードライブ回復の時系列応答、立上がり

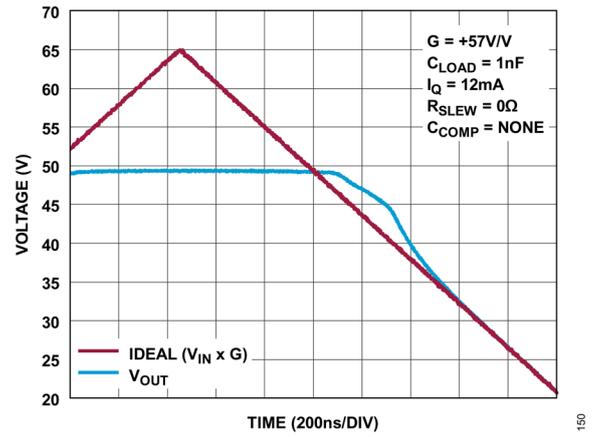


図 50. 出力オーバードライブ回復の時系列応答、立下がり

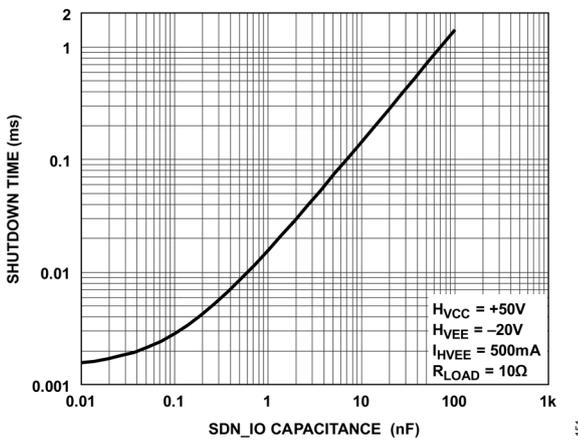


図 51. シャットダウン応答と SDNIO 容量の関係

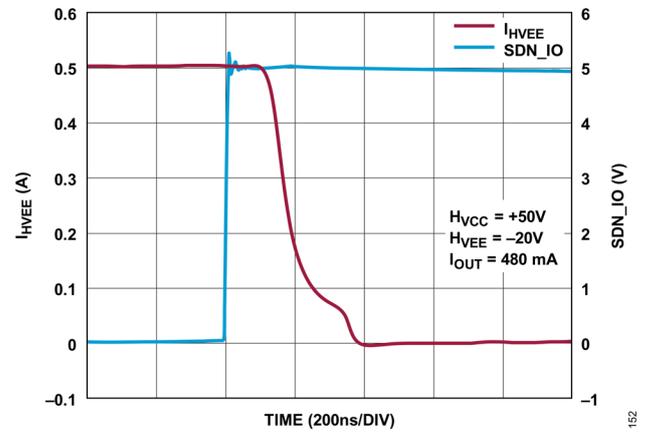


図 52. シャットダウンの時系列応答、SDNIO 駆動

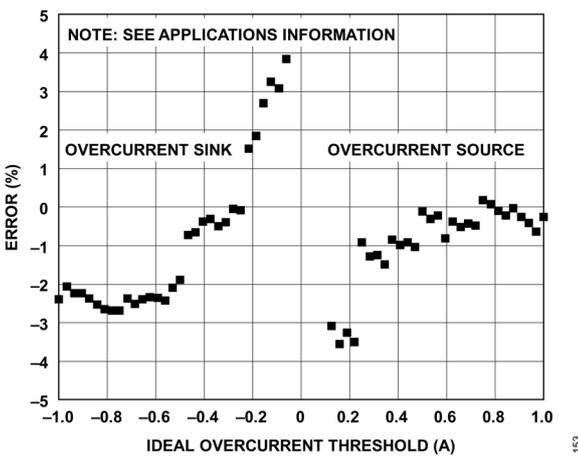


図 53. DC 過電流設定点エラーと電流設定点の関係

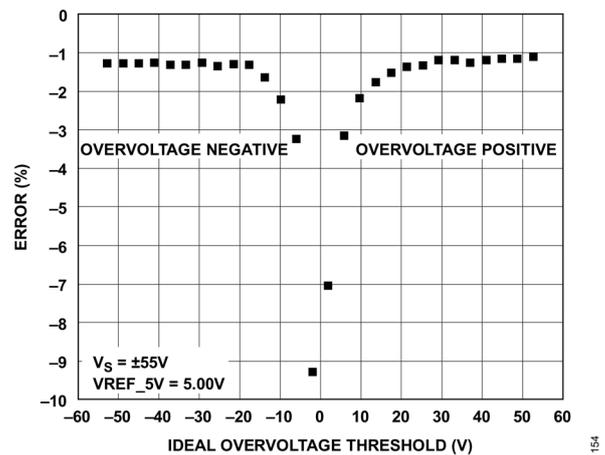


図 54. DC 過電圧設定点エラーと電圧設定点の関係

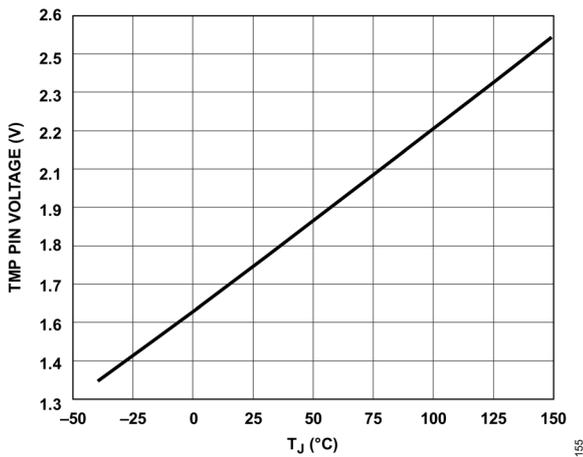


図 55. TMP 電圧とジャンクション温度の関係

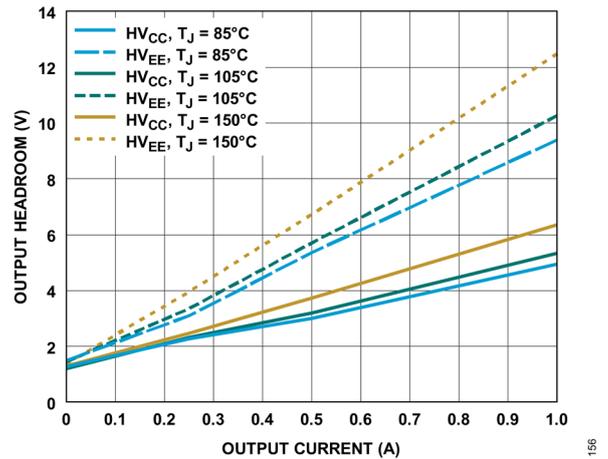


図 56. 出力ヘッドルームと出力電流および温度の関係

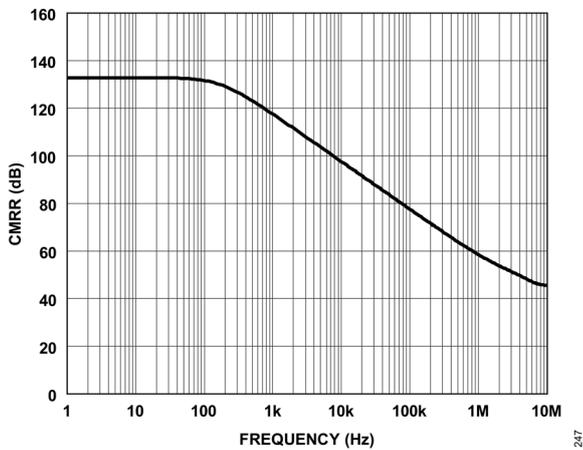


図 57. CMRR と周波数の関係

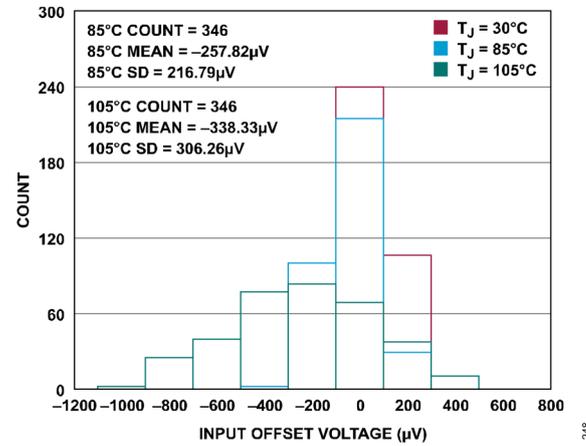


図 58. 入力オフセット電圧分布と温度の関係

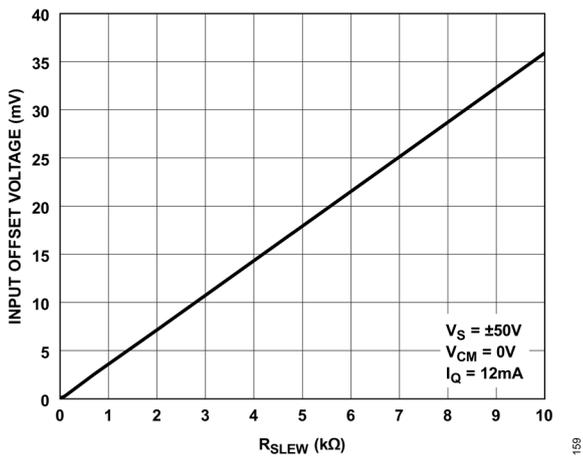


図 59. 入力オフセット電圧と R_{SLEW} の関係

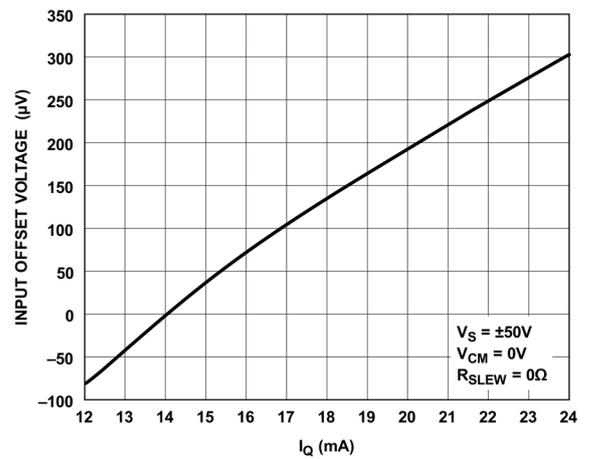


図 60. 入力オフセット電圧と I_q の関係

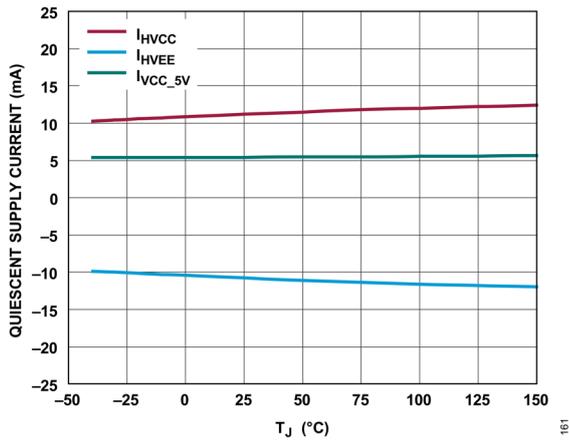


図 61. 静止電源電流とジャンクション温度の関係

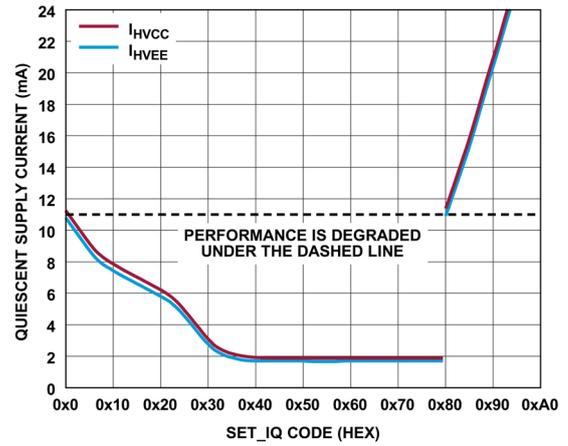


図 62. 静止電源電流と SET_IQ コードの関係

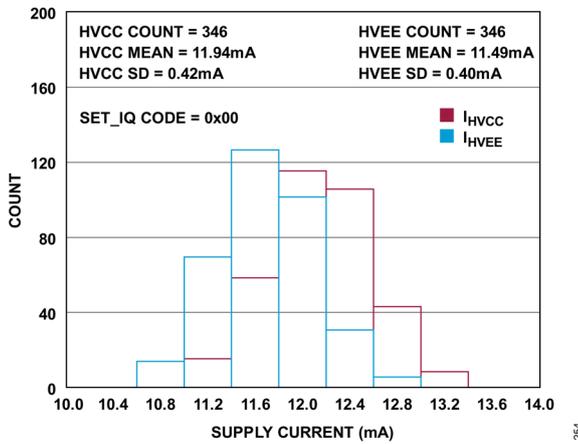


図 63. 静止電源電流 (I_Q) の分布、 $I_Q = 12\text{mA}$ (デフォルト)

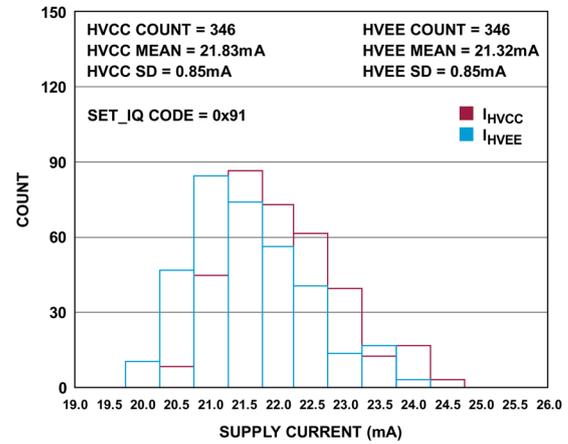


図 64. 静止電源電流 (I_Q) の分布、 $I_Q = 22.5\text{mA}$

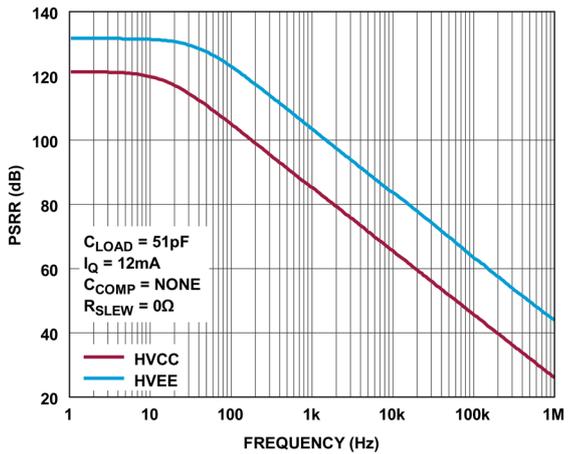


図 65. PSRR と周波数の関係、HVCC と HVEE

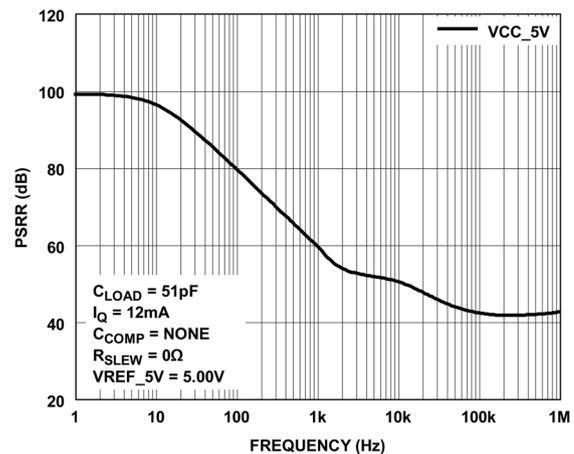


図 66. PSRR と周波数の関係、VCC_5V

用語の定義

アラーム

アラームは、保護システムでモニタリングされている、過電流（ソースまたはシンク）、過電圧（正または負）、過熱の 5 通りのフォルト状態のいずれかを検知した場合に発せられます。アラーム・フラグは、フォルト・クリア時に自動クリアするか、フォルト発生の際としてアラーム状態をラッチするかをカスタマイズできます。アラームをラッチした場合、これをクリアする必要があります。

保護装備

保護システムを装備することは、アラーム状態を検知してデバイスをシャットダウンするモードにアンプを置くことです。

保護解除

アンプ保護解除することは、アラーム状態を無視してデバイスをシャットダウンしない状態に置くことです。アンプが保護解除されている場合、フォルトに対して保護されず損傷の可能性があるので、極めて繊細な注意を払う必要があります。

フォルト

フォルトは、保護システムが検出可能な 5 つの過負荷状態のいずれかです。いずれのフォルトもアラームを引き起こします。ただし、強制的にデバイスをシャットダウンさせるためには、アラームが一定の最小時間（ユーザによる調整が可能）存続する必要があります。

保護システム

保護システムは、制限設定 DAC、コンパレータ、およびユーザが指定した制限値に従ってフォルトを検出するロジック・ゲートで構成されています。基本機能を示すブロック図については [図 69](#) を参照してください。

予約済み

予約済みとは、ユーザが呼び出すことのできない内部レジスタを指します。

安全動作領域（SOA）

安全動作領域は、過熱による損傷を防ぐためにユーザが管理しなくてはならないパラメータによって制限された、2 次元のエンベロープです。

シャットダウンおよびスリープ

シャットダウンとスリープはどちらも、出力がフローティング状態（高インピーダンス）となることを特徴とするインアクティビティの状態を指し、消費電力を大幅に減少させます。

スルー・ブースト

スルー・ブーストは、高速の信号遷移時に供給電流を増加させることで、従来的高速アンプに見られるような連続的な電力消費の不利益を被ることなく、出力スルーを高速化できるという、ADHV4710 の設計上の長所を指すものです。

動作原理

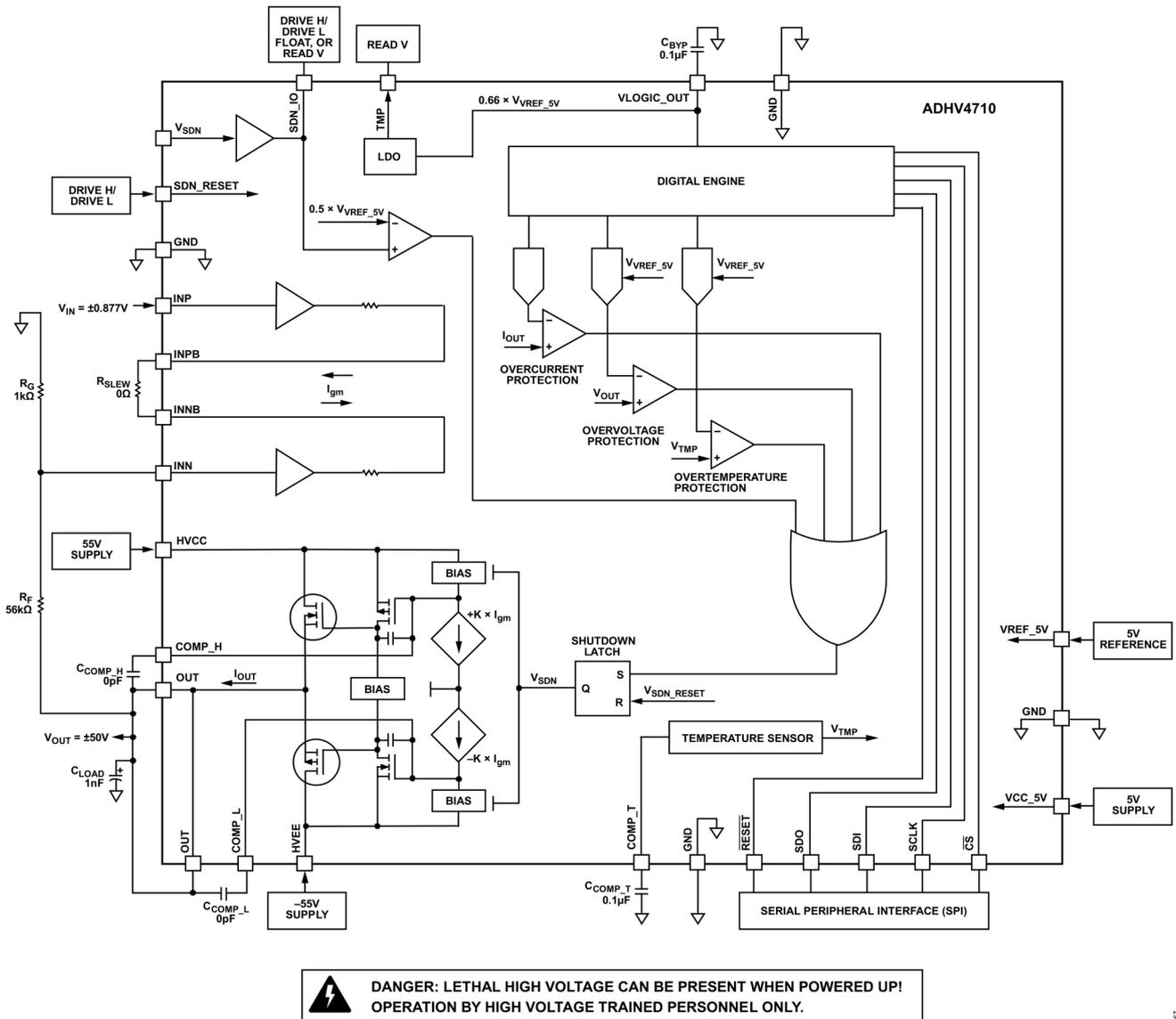


図 67. ADHV4710 の標準的な構成

概要

ADHV4710 は、高電圧、高出力の高速オペアンプで、容量性負荷と抵抗性負荷に対して高電圧（最大±52V）で大きな出力電流（最大±1A）と高いスルー・レート（最大±1300V/μs）を実現できるよう最適化されています。高電圧アンプを低電圧アナログ回路および SPI プログラマブルなデジタル・エンジンと組み合わせた ADHV4710 は、自動試験装置（ATE）、プログラマブル電源、圧電素子駆動などの高電圧アプリケーション用に最適です。

ADHV4710 は、多様な条件における高電圧シグナル・チェーンに対し幅広い設定が可能です。アンプは、高ゲイン時に高スルー・レートおよび広帯域幅を実現しますが、高電圧の入力および出力に対して低ゲインに設定することも可能です。トランスコンダクタンス抵抗 R_{SLEW} を外付けすることにより、任意のゲインおよび調整可能スルー・レートでの安定性を確保できます。補償コンデンサ C_{COMP} を外付けすれば、アンプ出力は容量性負荷を制限なく安定して駆動できます。

ADHV4710 は、高電圧オペアンプであり、非反転アンプとして、反転アンプとして、また差動アンプとしてなど、オペアンプのあらゆる負帰還構成で使用できます。アンプの入力と出力は共にデバイスの電源電圧の範囲で高電圧にすることができます。

ADHV4710 では、HVCC と HVEE に高電圧両電源（最大±55V）、VCC_5V に低電圧単電源（5V）が必要です。このデバイスは、VLOGIC_OUT の低ドロップアウト（LDO）出力から内部で 3V を生成します。電源とデカップリングを参照してください。

アナログ低電圧および保護閾値 DAC にリファレンス電圧を供給するために、VREF_5V には 5V のリファレンスが必要です。VREF_5V は、外部の 5V リファレンスまたは VCC_5V（精度は低下）に接続します。VREF_5V のセクションを参照してください。

駆動能力の他、ADHV4710 は、フォルト・モニタリングや負荷保護に関連する機能一式を備えています。このデバイスには、ジャンクション温度を示す電圧を TMP ピンに出力するジャンクション温度モニタ機能があり、最大ジャンクション温度 150°C で最大 2.5V を示します。デジタル・エンジンでは、プログラマブルな出力電流制限（ソース電流やシンク電流）、プログラマブルな出力電圧制限（正電圧や負電圧）、プログラマブルな温度制限（最大ジャンクション温度）を使用できます。シャットダウン保護設定を参照してください。

アンプの理論

ADHV4710 のオペアンプ・アーキテクチャを次に示します。ここではアンプの設定性を拡張する RSLEW、CCOMP_H、CCOMP_L の外付け部品との接続を強調しています。

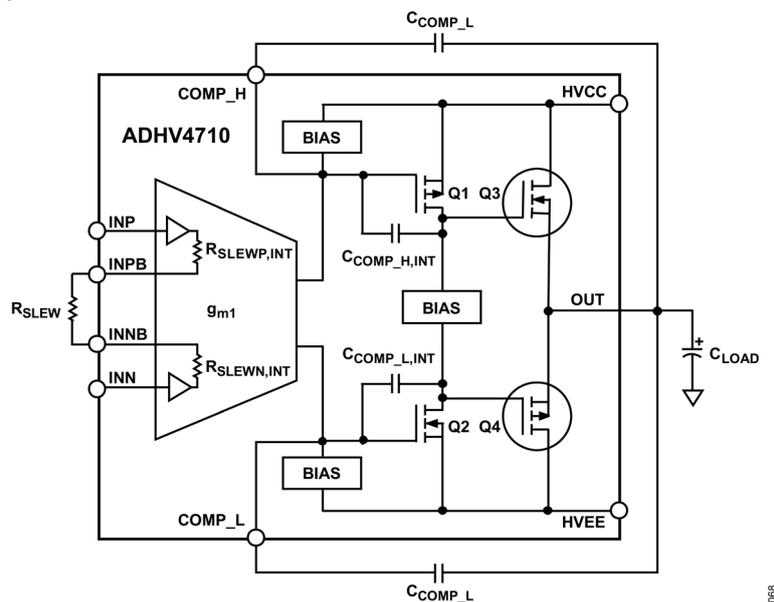


図 68. ADHV4710 アンプ・アーキテクチャ

ADHV4710 のアンプ・アーキテクチャは、フル電源電圧スパン（HVCC～HVEE）の範囲内で、高電圧入力（INP と INN）、高電圧出力（OUT）をサポートします。アンプの入力は高インピーダンスで、アンプには 2 つのゲイン段があり、高いオープンループ・ゲインを実現して正確かつ高速にアンプをドライブします。

アンプの入力段にはトランスコンダクタンス gm1 が存在し、これは主には外付けの RSLEW によって決まりますが、小さい内部寄生抵抗（RSLEWP,INT と RSLEWN,INT）の影響も受けます。アンプのオープンループ・ゲインは、入力段のトランスコンダクタンス gm1 の乗算で決まり、RSLEW に従って変化します。

アンプのオープンループ・ゲインは、 R_{SLEW} に反比例して変動します。

$$A_{OL} \propto \frac{1}{R_{SLEW}}$$

アンプが低いクロード・ループ・ゲインで構成されていれば、アンプの位相マージンは減少し、アンプの不安定性に繋がります。低いクロード・ループ・ゲインの効果は、アンプのオープンループ・ゲインを低減してアンプの位相マージンを回復することによって補償できます。これにより、低いクロード・ループ・ゲインで構成されたときのアンプの安定性が改善します。

ADHV4710は、40以上のクロード・ループ・ゲインで $C_{LOAD} \leq 1nF$ の場合、 $R_{SLEW} = 0\Omega$ で安定します。

アンプのオープンループ・ゲインを低減することにより、クロード・ループ・ゲインが低い場合（クロード・ループ・ゲイン < 40）にアンプを安定化するために、高い R_{SLEW} を使用します。

入力段のトランスコンダクタンス $gm1$ はブリドドライバ・トランジスタ（Q1、Q2）に流れる出力電圧を発生させ、これがアンプの補償容量を駆動します。補償容量は主には外付けの $CCOMP_H$ コンデンサと $CCOMP_L$ コンデンサにより決定しますが、小さい内部寄生容量（ $CCOMP_H,INT$ 、 $CCOMP_L,INT$ ）の影響も受けます。

アンプのオープンループ周波数応答の支配的なポールは、 $CCOMP_H$ と $CCOMP_L$ に反比例して変動します。

$$f_{p,dominant} \propto \frac{1}{C_{COMP_H} + C_{COMP_L}}$$

アンプの出力段は、クラスABバッファ構成の高電圧、高出力のDMOSトランジスタ（Q3、Q4）からなり、高電圧ドライブ、高出力電流ドライブ、低出力インピーダンスを実現し、容量性負荷や抵抗性負荷に向けて最大の負荷駆動能力を達成します。

アンプ出力で容量性負荷を駆動すると、支配的ではないポールが生じ、これは C_{LOAD} に反比例して変動します。

$$f_{p,load} \propto \frac{1}{C_{LOAD}}$$

容量性負荷の値が増加すると、負荷に起因するポールは低い周波数に移動します。その結果、アンプの位相マージンが低減し、アンプの不安定性に繋がることがあります。高い容量性負荷を駆動する効果は、支配的なポールの周波数を下げてアンプの位相マージンを回復することによって補償できます。これにより、大きな容量性負荷を駆動するときのアンプの安定性が改善します。

ADHV4710は、40以上のクロード・ループ・ゲインで $C_{LOAD} \leq 1nF$ の場合、 $CCOMP_H = CCOMP_L = 0pF$ で安定します。

高い容量性負荷を駆動する構成（ $C_{LOAD} > 1nF$ ）には、支配的なポールの周波数を低減することにより、アンプを安定動作させるために高い $CCOMP_H$ と $CCOMP_L$ を使用します。

R_{SLEW} 、 $CCOMP_H$ 、 $CCOMP_L$ を選択する際には、表7を参照して、選択したクロード・ループ・ゲインと C_{LOAD} に対し、小信号時の安定性が得られる推奨値を選択してください。信号が大きい場合の情報については、負荷が1nFを超える場合の動的ピーク電流の制限を参照してください。

表 7. ゲインと C_{LOAD} に対して小信号時の安定性を得るために推奨される補償

Closed-Loop Gain	C _{LOAD}	Recommended R _{SLEW}	Recommended C _{COMP_H} = C _{COMP_L}	Closed-Loop Bandwidth	Gain Peaking
2 (RF = 10kΩ, RG = 10kΩ)	0.47nF	2kΩ	20pF	2.4MHz	0dB
	4.7nF		24pF	4.2MHz	0dB
	47nF		51pF	1.5MHz	0dB
5 (RF = 12kΩ, RG = 3kΩ)	0.47nF	2kΩ	2pF	4.3MHz	0dB
	4.7nF		6.2pF	2.9MHz	0dB
	47nF		22pF	0.9MHz	0dB
10 (RF = 9kΩ, RG = 1kΩ)	0.47nF	1kΩ	0pF	4.5MHz	0dB
	4.7nF		3.9pF	2.7MHz	0dB
	47nF		20pF	0.8MHz	0dB
40 (RF = 39kΩ, RG = 1kΩ)	0.47nF	0Ω	2pF	2.8MHz	0dB
	4.7nF		5.1pF	3.9MHz	0dB
	47nF		20pF	1.0MHz	0dB
57 (RF = 56kΩ, RG = 1kΩ)	0.47nF	0Ω	0pF	2.5MHz	0dB
	4.7nF		2.4pF	2.2MHz	0dB
	47nF		13pF	0.9MHz	0dB

スルー・ブースト (INPB、INNB、R_{SLEW})

ADHV4710 のアンプは、高速信号の忠実度を向上させるために、スルー・ブースト回路を採用しています。スルー・ブーストは強度可変のメカニズムであり、オペアンプへの入力で検出された瞬時差動電圧に比例して静止電流を増加させます。電圧帰還オペアンプと同様、負帰還を通じて両入力ほぼ等しい値に維持されます。急速に変化する入力に出力が追従できない（帰還ループ機能が一時的に混乱している）場合、両入力の値が一時的に異なり始めます。この差動信号により、電源電流を増加するようスルー・ブースト回路が誘導され、出力のスルーを高速にし、乱れた帰還信号を復元します。

容量性負荷を駆動するアプリケーションでは、出力電流ドライブが安全な動作領域内に収まるようにアンプのスルー・レートを制御する必要があります。100ns 未満の短期のスルーでは、スルー・レートがピーク瞬時出力電流ドライブ (±1.2A) を超過しないようにする必要があります。より長い時間については、スルー・レートが連続出力電流ドライブ (±1A) を超過しないようにする必要があります。

$$Slew Rate < \frac{I_{out,max}}{C_{LOAD}}$$

スルー・ブースト電流は、INPB ピンと INNB ピンの間に接続されたスルー抵抗 R_{SLEW} 両端に印加された入力の差動電圧により決定します。最大のスルー能力を得るためには、R_{SLEW} を短絡 (0Ω) できます。R_{SLEW} の大きい値を使用すると、ピーク・スルー・レートを下げ、スルー・イベント中にアンプを流れるピーク動的電流を低減できます。R_{SLEW} を増すとアンプが低速化し安定しますが、反面アンプのオフセットとノイズのマーヅンはわずかに劣化します。

この追加電流は通常スルー・イベント中を通して必要ですが、その間の消費電力は著しく増加します。その結果発生する追加自己加熱の量は、信号の動的振る舞いに依存します。例えば、周期が 10μs の 100kHz の方形波では、有効なスルー・ブーストは波形周期の 1% でしかないため、全体的な消費電力の増加はわずかです。

更に、アンプのスルー・ブーストは、INP ピンと INN ピンの間に差動入力逆並列ダイオードを配置することにより、制限することができます。スルー・イベント中の入力間の最大差動電圧が制限され、対応してアンプの最大スルー・レートが制限されます。

動的な安全動作領域 (SOA) を [安全動作領域](#) のセクションに示しています。この動的な SOA は、パルス応答での出力振幅と最大入力/出力周波数の関係を表すものです。高周波の方形波に対して必要となる場合など、スルー・ブーストが頻繁に発生する場合、消費電流が急激に増加し、デバイスが動的 SOA の範囲外になってしまう可能性があります。動的 SOA 曲線を拡大するには、温度管理を追加するか入力/出力のエッジ速度を制限します。これによって、スルー・ブースト回路で生成される電流を制限し、内部の消費電力を低減します。

出力電流駆動

ADHV4710 の出力段は、2 重拡散金属酸化膜半導体 (DMOS) 高電圧トランジスタをカスコード接続して構築されており、容量性負荷に大電流を供給できるよう最適化されています。最大 1400V/ μ s のエッジ速度を生成し、適切な温度管理を行いながら ± 1 A を連続的に供給するよう設計されています。

有意に大きい出力電流を駆動するアプリケーションでは、出力電力駆動が安全動作領域内になるよう制御する必要があります。100ns 未満の短期の出力電流については、出力電流駆動がピーク瞬時出力電流ドライブ (± 1.2 A) を超過しないようにする必要があります。より長い時間の出力電流については、出力電流駆動が連続出力電流ドライブ (± 1 A) を超過しないようにする必要があります。

高出力電流ドライブの場合は、高電圧でデバイスに流れる電流の電力消費効果を考慮します。これは、非常に高い瞬時電力消費に匹敵する可能性があります。

ADHV4710 のデフォルトのヒートシンクは、Wakefield-Vette の P/N 518-95AB で、消費電力の高いアプリケーションではアクティブ冷却が推奨されます。熱関連の詳細については [温度管理](#) を参照してください。

ADHV4710 の保護システムは、設定自由度が高いため、多様なアプリケーションに適しています。様々なアプリケーションに対して最大の柔軟性を実現するため、ADHV4710 は、出力電流 (ソースとシンク)、出力電圧 (正と負)、ダイ温度を個別にモニタする機能を内蔵しており、アンプとその負荷を 5 種類のフォルトから保護します。詳細については、[フォルト・モニタリングおよび保護の制御ロジック](#) を参照してください。

デフォルトでは、ADHV4710 の保護機能は無効化するように設定されています。保護機能を有効化しプログラムするには SPI を使用します。過熱シャットダウンを手動で行うには、SDN_IO ピンを TMP に接続します。シャットダウンの応答時間は、SDN_IO ピンのコンデンサで調整できます。遅延シャットダウンおよび手動サーマル・シャットダウンについては、[シャットダウン制御 \(SDN_IO\)](#) を参照してください。

初期パワーアップ

電源とデカップリング

ADHV4710 では、HVCC と HVEE に ± 12 V \sim ± 55 V の範囲の高電圧両電源、VCC_5V に 5V の低電圧単電源が必要です。すべての電源ピンは、0.1 μ F の高品質低 ESR コンデンサを用いてグラウンドにバイパスしてください。

バイパス・コンデンサは、電源ピンにできるだけ近付けて配置し、PCB のアナログ・グランド・プレーンに短距離で直接接続します。更に、各高電圧源とグラウンドの間に 1.2 μ F のセラミック・コンデンサを 4 個配置することによって、低周波数の良好なバイパスが可能となり、スルー・レートの速い大信号に対応するのに必要な電流を供給することができます。高電圧源の配線には、低インダクタンスのプレーンを推奨します。

VLOGIC_OUT は、3V 内部 LDO 用のアナログ電源バイパス・ポイントです。VLOGIC_OUT には、VLOGIC_OUT と GND の間に 0.1 μ F のバイパス・コンデンサが必要です。

VREF_5V

VREF_5V は、内部アラーム閾値 DAC 用のリファレンス電圧を設定し、バイアスが必要です。高精度の 5V リファレンス IC を推奨します。あるいは、VREF_5V を VCC_5V に接続することもできます（精度は低下します）。

VREF_5V リファレンスの精度が低い場合には、内部 LDO リファレンス電圧がシフトし、SDN_IO のシャットダウン電圧、過電圧、過熱の閾値が表に仕様規定されている値から変動する原因となります。例えば、許容誤差が 1% の 5V リファレンスを VREF_5V に用いた場合、これらのレベルが代表値から 1% 変化する可能性があります。

VCC_5V と VREF_5V のパワーオンの順序は、アンプの初期状態に影響します。[電源シーケンス](#)を参照してください。

電源シーケンス

高電圧電源 (HVCC と HVEE) と VCC_5V には個別に任意の順序で給電できます。ADHV4710 は、シャットダウン・モードまたはアクティブ・モードでパワーアップできます。

シャットダウン・モードで ADHV4710 をパワーアップすることを推奨します。SDN_IO ピンをフローティングにして、VREF_5V より前に VCC_5V の電源を入れることにより、実施できます。シャットダウン・モードでの初期パワーアップ後、SDN_IO ピンをローにプルダウンすることで確実に ADHV4710 がオンになるようにします。続いて、SDN_IO ピンを開放状態にすることで、ADHV4710 をオンにしたままフォルト・モニタリングおよび保護機能を有効にできます。パワーダウン時は、最初に VREF_5V をパワーダウンしてから VCC_5V をダウンします。

ADHV4710 のアクティブ・モードでのパワーアップは、SDN_IO をフローティング状態にし、VCC_5V と VREF_5V を接続して同時に電源を投入することによって実施できます。アンプの入力がフローティング状態である場合は、アンプをイネーブル状態でパワーアップするときには細心の注意が必要です。出力電圧が高電圧でオンになる可能性があるからです。これにより、負荷が存在すると大出力電流が発生する可能性があります。アンプの出力が GND に近い電圧でパワーオンするよう、アンプの入力を確実に GND に終端してください。

パワーオン・リセット (POR) と RESET

ADHV4710 は、パワーオン時にデジタル・リセットを実行します。パワーオン・リセット (POR) では、ADHV4710 をパワーオンする間に、すべてのアラーム閾値を含むすべてのデジタル・レジスタをデフォルト値にリセットします。デフォルトでは、パワーオン時には保護システムは無効化されます。アラーム閾値が設定され保護システムが有効になる前にデバイスを動作させる場合は、注意が必要です。デフォルトへのリセットは、SOFT_RESET レジスタ・ビットを用いることで、任意のタイミングでコマンド指示することもできます。SOFT_RESET の詳細については[表 20](#)を参照してください。

デフォルトの SOFT_RESET の設定は次のとおりです。

- ▶ アンプ出力はイネーブル
- ▶ 保護システムはディスエーブル
- ▶ 公称静止電流

RESET をローに駆動した後にハイにすると、すべてのデジタル・レジスタをクリアし、デフォルト状態にリセットします。

シリアル・ペリフェラル・インターフェース (SPI)

ADHV4710 は、最大 19MHz のクロック・レートの 4 線式シリアル・インターフェースで制御されます。[図 4](#) と [図 5](#) から分かるように、データは SCLK の立上がりエッジで読み込まれます。命令フェーズは常に 8 ビット構成です。命令フェーズの MSB によりシリアル・インターフェースの読み出し/書き込みが決まり、続く 7 ビットに目的のアドレス情報が含まれます。命令フェーズの MSB が「ロー」の場合、書き込みモードになります。

命令フェーズの MSB が「ハイ」の場合、読み出しモードになります。命令フェーズの後の 2 バイトが、ADHV4710 のデータの読み出しまたは書き込みで使用されます。ADHV4710 の制御レジスタのアドレスに関する情報については、[表 16](#)を参照してください。

シャットダウンとスリープ制御

シャットダウンはアンプをディスエーブルします。シャットダウン状態では、HVCC および HVEE の電源電流は約 120 μ A に低下し、OUT ピンの出力は高インピーダンス状態 (110k Ω) になります。ディスエーブルされたアンプの出力と GND の間のインピーダンスは、アンプの出力と並列な帰還抵抗ネットワークにより主に定まります。高インピーダンスの出力で容量性負荷を駆動する場合、負荷コンデンサの放電に伴って出力電圧がドリフトします。

シャットダウンは、SDN_IO をハイにパルス駆動することによりユーザが開始する場合や、十分な時間のアラームに応答して保護システムが開始する場合があります (フォルト始動型シャットダウン保護機能とシャットダウン制御 (SDN_IO) のセクションを参照してください)。シャットダウンを終了するには、次の 3 つの方法のいずれかを用います。

- ▶ SDN_RESET をハイにパルス駆動し、その後ローのままにする。
- ▶ 2 つの SPI コマンド (ハイに駆動後、ローに駆動) を用いて HV_RESET ビットをハイにパルス駆動する。
- ▶ SDN_IO をローにパルス駆動した後、フローティング状態にする。

スリープは、シャットダウンのようなインアクティビティの非ラッチ状態のことを言います。ただし、これは SPI コマンドを通じて起動 (HV_SLEEP = 0) や終了 (HV_SLEEP = 1) が行われます。スリープは、フォルトによる起動かユーザによる起動かを問わず、SDN_IO シャットダウン・メカニズムを用いるすべてのコマンドに取って代わります。

フォルト始動型シャットダウン保護機能

ADHV4710 には、SDN_IO を介する、消費電力を抑えるシャットダウン機能が備わっています。シャットダウンは、消費電力を抑えるためにユーザによって始動するか、損傷を防止するための ADHV4710 の保護システムによって始動されるフォルトによって始動できます。ユーザ始動型のシャットダウンの詳細については、シャットダウン制御 (SDN_IO) のセクションを参照してください。ADHV4710 は、以下の 5 つの動作状態を内部でモニタしており、いずれかのプログラマブル・アラーム制限を超えた場合にシャットダウンするよう設定できます。

- ▶ 過電流ソース制限 (最大+1A)
- ▶ 過電流シンク制限 (最大-1A)
- ▶ 正過電圧制限 (最大+110V)
- ▶ 負過電圧制限 (最大-55V)
- ▶ ジャンクション過熱制限 ($T_J = 20^{\circ}\text{C} \sim T_J = 150^{\circ}\text{C}$)

表 22～表 28、または、これらの制限に割り当てられたレジスタ・アドレスを参照してください。

5 つの内部フォルト・モニタはどれも、アラーム状態が検出されると SDN_IO ピンをハイにラッチします。ラッチ状態は、フォルト状態がクリアされ ADHV4710 が再イネーブルされるまで保持されます。

シャットダウン後にアンプを再イネーブルするには、2 つの SPI 書込み (ハイに駆動後、ローに駆動) を用いて HV_RESET ビットをハイにパルス駆動します。また、SDN_RESET をハイにパルス駆動してそれをローのままにするか、SDN_IO をローにプルダウンして SDN_IO ピンをフローティング状態にすることも、ADHV4710 を再イネーブルできます。これにより、フォルト・モニタリングおよび保護を再イネーブルできます。SDN_IO をローにパルス駆動するために用いるデジタル・リソースは、SDN_IO のハイ状態をオーバーライドできるよう、約 200 μ A の駆動能力があることが必要です。詳細については、シャットダウン制御 (SDN_IO) のセクションを参照してください。

フォルト・モニタリングおよび保護の制御ロジック

フォルト・モニタリングおよび保護機能は、閾値を設定し、フォルト・タイプごとに保護システムを装備することで有効化できます。必要な保護を行うための閾値は SPI でプログラムできます。プログラムされた閾値を超えるとアラームが生じ、ADHV4710 がシャットダウンします。図 69 に、フォルト・モニタリングおよび保護の制御ロジックを示します。

モニタリングされる 5 通りのフォルトにはそれぞれ、関連する次の 4 つのデジタル・レジスタがあります。

1. プログラマブル閾値。閾値は、0x08 (CTL_REG_08) レジスタ～0x0C (CTL_REG_12) レジスタのビット[6:0]でプログラムできません。範囲と分解能の設定については、[シャットダウン保護設定](#)を参照してください。
2. ARM。ARM は、0x08 (CTL_REG_08) レジスタ～0x0C (CTL_REG_12) レジスタのビット[7]でプログラムできます。対応する ARM を 1 に設定すると、アラームに対応してシャットダウンするよう保護システムに指示します。対応する ARM を 0 に設定すると、保護システムを解除して、アラームが生じてもシャットダウンしないようにします。ARM が 0 の場合、フォルトに対する保護はありません。
3. ALARM インジケータ・フラグ。ALARM インジケータ・フラグは、レジスタ 0x0E (CTRL_REG_14) を介して読出しとクリアができます。ALARM インジケータ・フラグは、保護システムが装備されているときにフォルトが発生すると、保護システムによって 1 に設定されます。フォルト状態が続く限り ALARM は 1 のままとなり、フォルト状態がクリアされると 0 に戻ります。ALARM によってアンプが強制的にシャットダウンすると、フォルト状態がクリアされて ALARM フラグがリセットしても、アンプはシャットダウン状態のままとなります。ALARM の各ビットは、フォルト状態のステータスを示します。ALARM がクリアされると、それ以前にどのフォルトが発生したかを判別することができなくなることもあります。トランジェント・フォルト検出については、ALARM_LATCH機能を参照してください。ALARM インジケータ・フラグをクリアするには、対応する ALARM レジスタ・ビットに 1 を書き込みます。
4. ALARM_LATCH は、ユーザによって設定され、任意の ALARM フラグをラッチして、発生する可能性のあるトランジェント・フォルトの証拠を保存できます。ALARM_LATCH は、レジスタ 0x0D (CTRL_REG_13) を通じてプログラムできます。ALARM_LATCH がイネーブルされていて ALARM インジケータ・フラグがトリガされた場合、関連するフォルト状態がクリアされても ALARM インジケータ・フラグは残ります。これはトランジェント・フォルトを特定するのに役立ちます。ALARM_LATCH フラグをクリアするには、対応する ALARM_LATCH レジスタ・ビットに 0 を書き込みます。

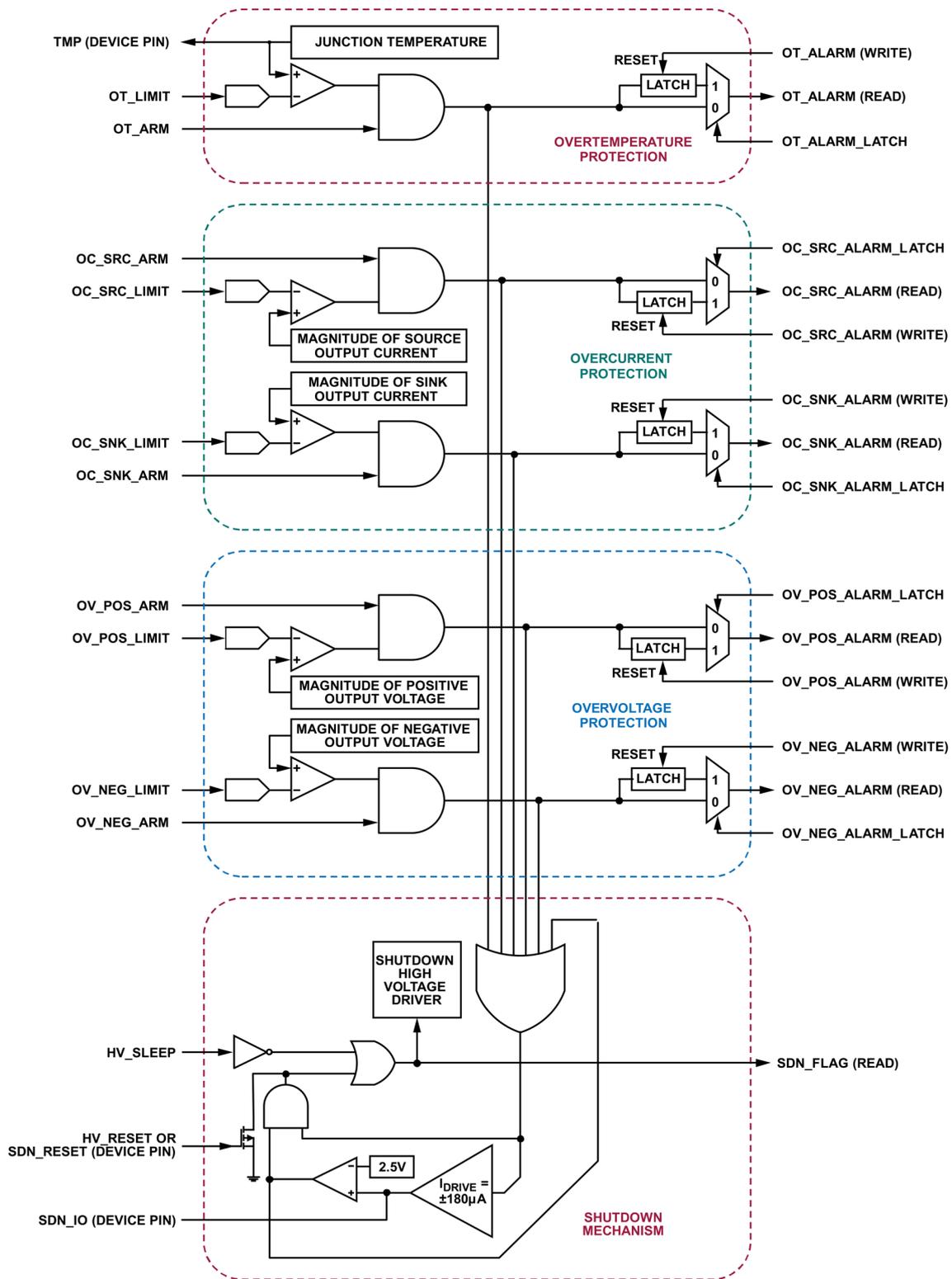


図 69. フォルト・モニタリングおよび保護の制御ロジック

069

シャットダウン保護設定

シャットダウン保護機能のコード範囲は、デバイスの動作範囲を超えています。この範囲は、シャットダウン制御が最も重要となる場合に、直線性およびデバイスの制限値での正確さを最適化するように選択されます。表 9～表 11 の値は丸められた値で、コードから閾値への変換係数に基づいた正確な値ではない点に注意してください。

表 8. シャットダウン保護の範囲および分解能

Fault Type	Nominal Range	Nominal Resolution
Overcurrent	±1A	15.625mA
Overvoltage	Positive: 12V to 110V Negative: -55V to 0V	1.953V
Overtemperature	Up to T _J = 150°C	6.51°C

シャットダウン閾値設定のプログラミング

表 18 のレジスタ・マップは、8 ビットのレジスタ CTRL_REG_08～CTRL_REG_12 を用いて、5 種の内部フォルト・モニタを装備し、目的の閾値をプログラムできることを示しています。これらの内部フォルト・モニタリング・レジスタでは、ビット 7 を用いて保護機能のオン/オフを切り換え、ビット[6:0]を用いてアラーム閾値を設定します。表 9～表 11 のバイナリ・コードは、レジスタをフォルト・モニタリング用にプログラムする場合はビット[6:0]であり、計算にはビット 7 は含まれない点に注意してください。

閾値設定を正しく内部フォルト・モニタリング・レジスタにプログラムし、各フォルト・モニタリング機能をオンにするには、次のステップの手順を実行します。

- ▶ ビット[6:0]に必要な閾値コードにプログラムします。
- ▶ ビット[7]を 1 にプログラムして保護をイネーブルし、再度、ビット[6:0]に必要な閾値コードを書き込みます。

過電流保護のプログラミング

過電流（ソース）保護は、0x08:CTRL_REG_08 レジスタでプログラムできます。過電流（シンク）保護は、0x09:CTRL_REG_09 レジスタでプログラムできます。

過電流保護の閾値プログラミングの分解能（1LSB）は、15.625mA が公称値です。

コードを電流閾値に変換するには：

$$\text{Current Threshold (mA)} = \text{Code}_{\text{Decimal}}(\text{LSB}) \times 15.625 \left(\frac{\text{mA}}{\text{LSB}} \right)$$

電流をコードに変換するには：

$$\text{Code}_{\text{Decimal}}(\text{LSB}) = \frac{\text{Current Threshold (mA)}}{15.625 \left(\frac{\text{mA}}{\text{LSB}} \right)}$$

ユーザが目的の電流をコードに変換する場合（10 進数）、計算値を最も近い整数値になるように丸めます。その整数値をコードから電流閾値への変換式に代入すると、実際の温度閾値を決定できます。

一般的な動作電流に対応した代表的な閾値コードについては表 9 を参照してください。

シャットダウン閾値設定を正しくプログラムする方法については、シャットダウン閾値設定のプログラミングを参照してください。この機能の使用についての追加情報については、出力過電流閾値エラーとヘッドルームを参照してください。

表 9. 動作電流の代表的な閾値コード

Binary Code	Hexadecimal Value	Decimal Value	Current (mA)
000 0110	0x06	6	100
001 0011	0x13	19	300
010 0000	0x21	32	500
100 0000	0x40	64	1000

過電圧保護のプログラミング

過電圧（正側）保護は、0x0A:CTRL_REG_10 レジスタでプログラムできます。過電圧（負側）保護は、0x0B:CTRL_REG_11 レジスタでプログラムできます。

過電圧保護の閾値プログラミングの分解能（1LSB）は、1.953V が公称値です。コードを電圧閾値に変換するには：

$$\text{Voltage Threshold (V)} = \text{Code}_{\text{Decimal}}(\text{LSB}) \times 1.953 \left(\frac{\text{V}}{\text{LSB}} \right)$$

電圧をコードに変換するには：

$$\text{Code}_{\text{Decimal}}(\text{LSB}) = \frac{\text{Voltage Threshold (V)}}{1.953 \left(\frac{\text{V}}{\text{LSB}} \right)}$$

ユーザが目的の電圧をコードに変換する場合（10 進数）、計算値を最も近い整数値になるように丸めます。その整数値をコードから電圧閾値への変換式に代入すると、実際の温度閾値を決定できます。

一般的な動作電圧に対応した代表的な閾値コードについては表 10 を参照してください。

シャットダウン閾値設定を正しくプログラムする方法については、[シャットダウン閾値設定のプログラミング](#)のセクションを参照してください。

表 10. 動作電圧の代表的な閾値コード

Binary Code	Hexadecimal Code	Decimal Code	Voltage (V)
000 1010	0x0A	10	20
001 0100	0x14	20	40
001 1100	0x1C	28	55
010 1000 (Positive Only)	0x28	40	80
011 1000 (Positive Only)	0x38	56	110

過熱保護のプログラミング

過熱保護は、0x0C:CTRL_REG_12 レジスタでプログラムできます。

過熱保護の閾値プログラミングの分解能（1LSB）は、6.51°C が公称値です。

コードを温度に変換するには：

$$\text{Temperature Threshold (}^\circ\text{C)} = \text{Code}_{\text{Decimal}}(\text{LSB}) \times 6.51 \left(\frac{^\circ\text{C}}{\text{LSB}} \right) - 266.64 \text{ (}^\circ\text{C)}$$

温度をコードに変換するには：

$$\text{Code}_{\text{Decimal}}(\text{LSB}) = \frac{\text{Temperature Threshold (}^\circ\text{C)} + 266.64 \text{ (}^\circ\text{C)}}{6.51 \left(\frac{^\circ\text{C}}{\text{LSB}} \right)}$$

ユーザが目的の温度をコードに変換する場合（10進数）、計算値を最も近い整数値になるように丸めます。その整数値をコードから温度への変換式に代入すると、実際の温度閾値を決定できます。

一般的な動作温度に対応した代表的な閾値コードについては表 11 を参照してください。

シャットダウン閾値設定を正しくプログラムする方法については、[シャットダウン閾値設定のプログラミング](#)のセクションを参照してください。

表 11. 動作温度の代表的な閾値コード

Binary Code	Hexadecimal Value	Decimal Value	Kelvin Temperature	Celsius Temperature
010 1100	0x2C	44	293	20
011 0110	0x36	54	358	85
011 1001	0x39	57	377	104
011 1011	0x3B	59	396	123
100 0000	0x40	64	423	150

手動サーマル・シャットダウン

ADHV4710 には、SPI 通信やプログラミングを行うことなく、 $T_J = 150^\circ\text{C}$ で手動のサーマル・シャットダウンができるオプション機能が備わっています。この手動シャットダウン機能は、サーマル・シャットダウンに対してのみ有効です。過電流および過電圧保護に対しては、依然として SPI 通信およびプログラミングが必要です。

手動サーマル・シャットダウンをイネーブルするには、[図 70](#) に示すように、TMP を直接 SDN_IO に接続します。この構成では ADHV4710 はシャットダウン・モードでパワーアップし、イネーブルが必要です。 $T_J = 150^\circ\text{C}$ になると、TMP ピンのアナログ出力電圧が SDN_IO のロジック・ハイ閾値に達し、シャットダウン・モードが起動します。ADHV4710 は、ダイ温度が 150°C 未満に冷却されても自動ではリセットされません。電源または SDN_IO ピンのシーケンスをやり直すまで、シャットダウンのままとなります。

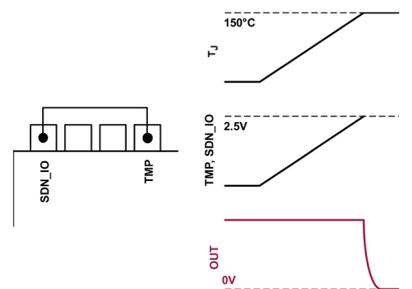


図 70. 手動サーマル・シャットダウン用の TMP ピンと SDN_IO ピンの設定

シャットダウン制御 (SDN_IO)

SDN_IO がハイの場合、アンプはディスエーブルされます。パワーアップのセクションで説明したように、出力アンプがシャットダウン・モードになるように SDN_IO をハイにしてパワーアップした後、ADHV4710 の必要な設定を SPI を通じて書き込んでから SDN_IO をローにすることを推奨します。続いて、SDN_IO ピンを開放状態にすることで、ADHV4710 をオンにしたままフォルト・モニタリングおよび保護機能を有効にできます。SDN_IO のハイ状態をオーバーライドするために、SDN_IO は約 180 μ A の電流をシンクします。

SDN_IO が開放状態の場合、ドライバは SPI コマンドで制御されます。SDN_IO には入力機能と出力機能の両方があります。ユーザは SDN_IO ピンを駆動して、アンプのイネーブル/ディスエーブルまたは SDN_IO のモニタリングができます。SDN_IO が開放状態になっているか、マイクロコントローラの GPIO などの高インピーダンス・デジタル・ピンに接続されている場合、SDN_IO は内部アラーム状態のいずれかのフラグとして機能します。ADHV4710 が SDN_RESET を使用してイネーブルされたとき、SDN_IO の電圧は低下し 0V に向けて収束します。ADHV4710 がフォルト保護によってディスエーブルされたとき、SDN_IO の電圧は上昇し 5V に向けて収束します。SDN_IO と入出力機能の背景となるロジックについては、[図 69](#) を参照してください。

SDN_IO がハイにプルアップされると、ADHV4710 の HVCC と HVEE の電源電流は、約 120 μ A に減少し、アンプはディスエーブルされます。出力は高インピーダンス (110k Ω) になります。シャットダウン状態はラッチされ、SDN_IO が開放状態になってもアンプはシャットダウンしたままになります。ADHV4710 をシャットダウン状態からイネーブルするには、SDN_IO をローにプルダウンし、次いで、SDN_IO を開放状態にしてシャットダウン保護機能を有効化することが必要です。

SDN_IO がローのままの場合または SDN_RESET がハイの場合、出力は連続的にイネーブルされ、シャットダウンはできません。この場合、デバイスは過大なストレスから保護されないため、注意が必要です。SDN_IO がローのままの場合または SDN_RESET がハイの場合、シャットダウン保護機能は無効化されます。

遅延シャットダウン

SDN_IO とグラウンドの間に外部コンデンサを用いることで、ADHV4710 のシャットダウン応答時間に遅延を加えて、ノイズ耐性を改善できます。目的の遅延時間が、200 μ A の一定電流下で SDN_IO の電圧が 0V から閾値電圧 2.5V まで増加するのに必要な時間に等しくなるよう、コンデンサの値を選択します。このコンデンサ値 C_{SDNIO} は、次の関係に従って計算できます。

$$C_{SDNIO} = \frac{(200\mu A \times t)}{2.5V}$$

ここで、t は目的の遅延時間です。

注：選択した遅延は、内部検出されるすべてのアラーム（電流、電圧、温度）に適用されます。

例えば、短時間の電流スパイクまたは電圧スパイクがシャットダウンの原因とならないよう 4.5 μ s の遅延を追加するには、SDN_IO とグラウンドの間に次の値のコンデンサが必要です。

$$C_{SDNIO} = \frac{(200\mu A \times 4.5\mu s)}{2.5V} = 360pF$$

PCB の寄生容量がシャットダウン応答時間に影響する点に注意してください。[図 51](#) に示す値は、SDN_IO ピンの合計容量で、PCB の寄生容量と追加したコンデンサが含まれます。この例では、4.5 μ s より短い時間のアラーム状態はシャットダウンを引き起こしません。[図 51](#) に ADHV4710 の応答時間と様々な容量の関係を示します。

遅延シャットダウンを実行する場合は、アラームのラッチが特に役立ちます。上述の例では、4.5 μ s より短い時間のフォルトはシャットダウンを引き起こしませんが、フォルトの発生は、トラブルシューティングの目的で有用な場合があります。ALARM_LATCH が真 (1) の場合、イベントが短時間であるためにシャットダウンを引き起こさない場合でも、SPI を介して対応する ALARM フラグの状態をポーリングし、フォルトが発生したかどうかを知ることができます。

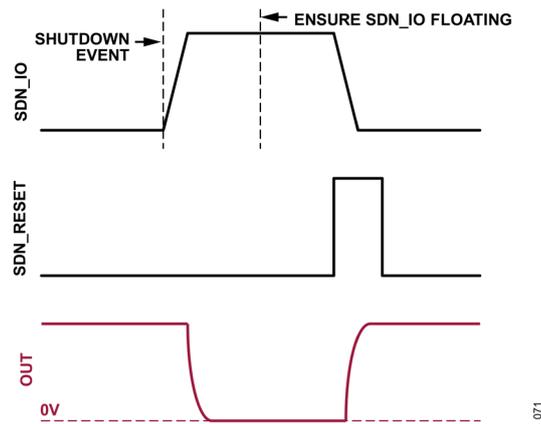


図 71. シャットダウン応答シーケンス

サーマル・モニタリング (TMP)

ADHV4710 のダイ温度は、GND を基準とする TMP ピンの電圧を測定することでモニタリングされます。このピンのアナログ出力電圧はダイ温度に比例しており、次の式を用いて摂氏温度に変換されます。

$$T_j (^{\circ}C) = \frac{(VTMP - 1.6V)}{6 \frac{mV}{^{\circ}C}}$$

より正確に温度を測定するには、室温で TMP ピンのワンタイム・キャリブレーションを行います。

ADHV4710 のサーマル・モニタリング機能は、どの過熱シャットダウン閾値とも独立しており、TMP が SDN_IO に接続されているかどうかに関わらず使用できます。注：TMP を SDN_IO に接続された状態でモニタする場合、ユーザのモニタリング回路によって高インピーダンスを維持する必要があります。それによって、測定値のロードを行ってもシャットダウン機能と干渉しません。SDN_IO の高インピーダンスを維持できないと、サーマル・シャットダウンができなくなるため、ADHV4710 が損傷する可能性があります。

プログラマブル静止電流

最大の動的性能を必要とするアプリケーションでは、静止消費電流が増加する場合があります。供給電流を高くプログラムすることにより、消費電力とジャンクション温度が高くなる反面、速度、スルー・レート、セトリング・タイム、容量性負荷駆動、ノイズが若干改善します。

この機能は CTRL_REG_04: SET_IQ で制御され、供給電流を公称供給電流より上または下に調整することができます。MSB は供給電流の極性を設定します。つまり、0 の場合は供給電流が減少し、1 の場合は供給電流が増加します。それ以外のビット[6:0]は、コード範囲全体にわたり、供給電流の単調ながら非線形の制御を行います (図 62 参照)。SET_IQ = 0x00 でデバイスの供給電流は公称値であり、そこからビット[6:0]を制限値である SET_IQ = 0x7F まで増加させることができます。その時点で、デバイスの供給電流がゼロとなり、静止電流のないシャットダウン状態となります。公称値から供給電流を減少させると、性能の劣化を招きます。SET_IQ = 0x80 でデバイスの供給電流は再度公称値になり、そこからビット[6:0]を SET_IQ = 0xFF まで増加させることができます。この時点でデバイスは公称供給電流の約 2 倍になります。供給電流を増加したことによる熱の影響を考慮すると、供給電流を増加する場合には、注意が必要です。この場合、自己加熱によりジャンクション温度が増加する可能性があり、適切にモニタする必要があります。

アプリケーション情報

温度管理

PCB の熱設計

EPAD を上向きに配置した ADHV4710 の革新的なパッケージは、PCB レイアウトにおける温度管理上の制約を大幅に緩和します。EPAD を下向きに配置した一般的なパッケージでは、銅でビアを充填するか、高価な固形のコイン状の銅を PCB に押し付けることで、基板下部にあるヒートシンクへの熱伝導を確保する必要があります。EPAD を上向きに配置することで、ヒートシンクを ADHV4710 の上面に取り付けられるため、PCB の二次側の部品スペースを空いた状態にでき、また基板を通じて熱を放散させる必要がなくなります。推奨ヒートシンクを PCB に確実に取り付けるには、4 個の小さな取り付け穴が必要で、これらの穴は ADHV4710 の隣接領域の外側に配置されます。PCB の一次側におけるヒートシンク下の領域の部品の高さは、図 72 に示すように、ADHV4710 の最低高さより低いことが必要です。

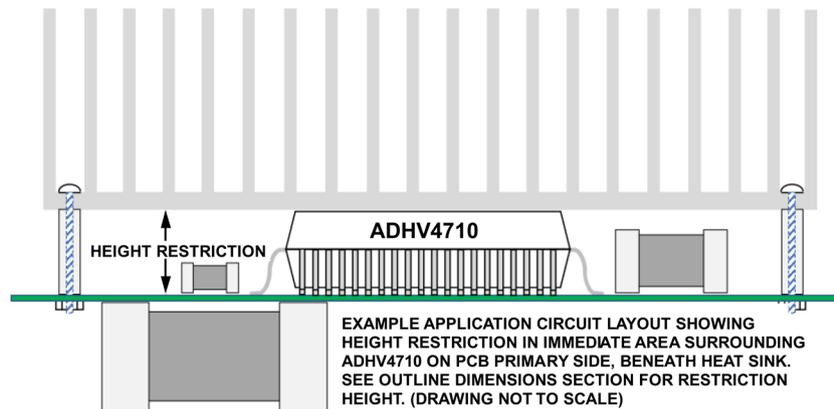


図 72. ヒートシンク下の部品高さ制限

072

熱伝導を最大限に高めるには、図 72 に示すように、高熱伝導性のサーマル・インターフェイス材料 (TIM) を用いて、ヒートシンクを EPAD に取り付けます。

消費電力

デフォルトのヒートシンクを用い、静止状態かつ最大電源電圧の場合、ADHV4710 の消費電力は約 2.67W で、これは、周囲温度より 17.355°C の温度上昇をもたらします。

負荷条件がより大きくなると、ダイ温度の上昇も大きくなります。TMP ピンにて T_J を継続的にモニタし、様々な内部消費電力レベルにおいてダイ温度を管理することを推奨します。あるいは、ヒートシンクを用いずに一定の電力レベルで動作させる場合は、25.4°C/W というパッケージの θ_{JA} に基づいてダイ温度を推定することもできます。ADHV4710 の熱的なセットアップがヒートシンクを用いるものである場合、ジャンクションと周囲の間の熱抵抗 θ_{JA_SYSTEM} は (推奨ヒートシンクの Wakefield-Vette P/N 518-95AB およびヒートシンク・コンパウンド TIM GC Electronics タイプ Z9 を用いた場合)、6.5°C/W になります。次の式は、指定された消費電力および周囲温度でのジャンクション温度を計算するために用いる基本式です。

$$T_J = \theta_{JA_SYSTEM} \times P_{DISS} + T_A$$

例えば、EVAL-ADHV4710SDZ のサーマル・スタックアップにヒートシンクと TIM を用い、周囲温度が 25°C で内部消費電力が 10W の場合、予想される T_J の到達温度は次のとおりです。

$$25^\circ\text{C} + (6.5^\circ\text{C}/\text{W} \times 10\text{W}) = 90^\circ\text{C}$$

内部消費電力が約 19.2W であれば、自然対流下でデフォルトのヒートシンクを用いた場合、 T_J が最大定格値である 150°C となる点に注意してください。

熱抵抗値は、指定消費電力に対しサーマル・スタックアップの一部の温度がどの程度上昇するかを、効果的に示します。以下の式は、サーマル・ペーストおよびヒートシンクを用いたサーマル・スタックアップに対する、ジャンクションと周囲の間の熱抵抗を定める基本式です。 θ_{JA_SYSTEM} は、ユーザの熱的条件を満たすよう設計する必要があります。ジャンクションとケースの間の熱抵抗 (θ_{JC}) およびサーマル・インターフェイス材料の熱抵抗 (θ_{TIM}) を用いると、必要なヒートシンクの熱抵抗 (θ_{HS}) が次式で計算できます。

$$\theta_{HS} = \left(\frac{T_J - T_A}{P_{DISS}} \right) - (\theta_{JC} + \theta_{TIM})$$

$$\theta_{JA_SYSTEM} = \theta_{HS} + \theta_{JC} + \theta_{TIM}$$

高いデューティ・サイクルで最大の電力供給を行う高性能アプリケーションでは、アクティブ冷却を行って θ_{JA_SYSTEM} を効果的に減少させ、 T_J を継続的にモニタする必要があります。

消費電力の少ないアプリケーションの場合、あるいは強制空冷を用いる場合は、より小さなヒートシンクで十分な場合もあります。

表 12 に、 $T_A = 25^\circ\text{C}$ で評価用ボード EVAL-ADHV4710SDZ を用いた場合の、様々な条件下での熱抵抗を示します。使用したファンは Sunon Fans EE80251S2-1000U-999 で、ヒートシンクへの空気流は 37CFM です。使用したヒートシンクは Wakefield-Vette P/N 518-95AB です。TIM は GC Electronics のタイプ Z9 ヒートシンク・コンパウンドです。

表 12. EVAL-ADHV4710SDZ の様々なサーマル・スタックアップに対する θ_{JA_SYSTEM}

Heatsink	Vertical Fin Airflow	$\theta_{(JA_SYSTEM)}$ ($^\circ\text{C}/\text{W}$)
No	No	25.4
Yes	No	6.5
	Yes	4.5

安全動作領域

安全動作領域 (SOA) は、様々な条件下でのデバイスの電力処理能力を表すものです。ADHV4710 は、主にスルー・プースト回路と出力段で電力を消費します。SOA 曲線は、PCB、ヒートシンク、気流、周囲温度などの設計条件によって異なります。更に、すべての SOA 曲線はダイの高熱部に関連してディレーティングされます。高熱部の詳細については、[温度勾配](#)のセクションを参照してください。半導体素子の寿命を確保するため、SOA のグラフを用いて、特定のアプリケーションごとに最適な温度を見積もることを推奨します。公開されている DC SOA 曲線および動的 SOA 曲線の範囲内に確実に収まるように ADHV4710 を使用し、また、TMP ピンの電圧を用いてジャンクション温度をモニタしてください ($V_{TMP} \leq 2.5\text{V}$)。

150°C の最大ジャンクション温度またはその付近で ADHV4710 を長時間使用すると、熱的なストレスが増大するため、期待される製品寿命が減少する原因となる可能性があります。

消費電力の分析と熱設計に利用できるシミュレーション・ツールの詳細については、[LTspice サポート・モデル](#)のセクションを参照してください。

DC SOA

図 73 は、DC の安全動作領域 (SOA) が、出力電流と出力段の電源電圧差 (V_s と V_{OUT} の差) の関係を示す曲線であり、それより下の領域でアンプは安全なジャンクション温度 (T_j) で動作できることを示しています。図 73 の曲線より下の領域は、 $T_j \leq 150^\circ\text{C}$ を維持する、ADHV4710 評価用ボードを使用するための ADHV4710 の動作領域を示します。

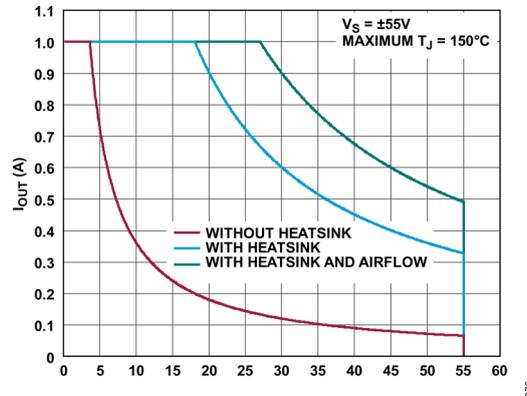


図 73. ヒートシンクを使用しない場合、デフォルトのヒートシンクを使用した場合、デフォルトのヒートシンクとファンを使用した場合の $T_A = 25^\circ\text{C}$ における DC SOA

すべての試験は、ラボの自然対流下で行われました。いずれの試験事例においても強制空冷を用いると、 θ_{JA_SYSTEM} が低下し、対応する曲線は右上方向に移動し、SOA が拡張します。ADHV4710 評価用ボードの詳細については、ADHV4710 ユーザ・ガイドを参照してください。図 73 において、1A を示す横方向の直線は、ADHV4710 の出力電流駆動です。曲線部では、ジャンクション温度 (T_j) が 150°C 以下となる一定の消費電力が維持されます。図 73 は、静止消費電力に加えて ADHV4710 が処理できる最大の V_s と V_{OUT} の間の差動電圧と出力電流を示しています。x 軸は、関連する出力トランジスタで発生する出力段の V_s と V_{OUT} の間の電圧差 ($HVCC - V_{OUT}$ または $V_{OUT} - HVEE$) で、 V_s と V_{OUT} の差電圧差が最大 55V の点で終了します。

動的 SOA

図 74 は、絶対最大温度を超えることなく連続的に生成できる最大方形波振幅を示すもので、指定の容量性負荷と指定のヒートシンクを用いて周波数に対してプロットされています。

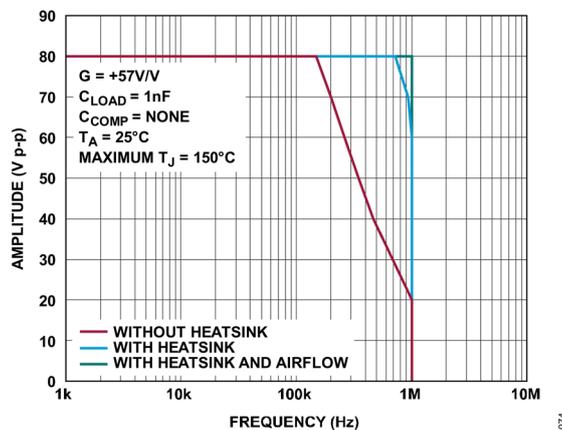


図 74. ヒートシンクを使用しない場合、デフォルトのヒートシンクを使用した場合、デフォルトのヒートシンクとファンを使用した場合の、 $C_{LOAD} = 1 \text{ nF}$ 、 $T_A = 25^\circ\text{C}$ における DC SOA

図 75、図 76、図 77 は、高スルー遷移中の動的供給電流が、振幅と周波数によってどのように変化するかを示しています。スルー・ブーストのセクションで、どのようにして高スルー・レート時に ADHV4710 が著しく大きな動的供給電流を消費するかを説明しています。特定の周波数（負荷に依存）を超えると、上下のフルスケールまでスルーするのに必要な消費電力が、 T_J を絶対最大ジャンクション温度未満にとどめるために必要なデバイスの放散能力を超えます。更なる温度管理を行えば、SOA を拡大できます。

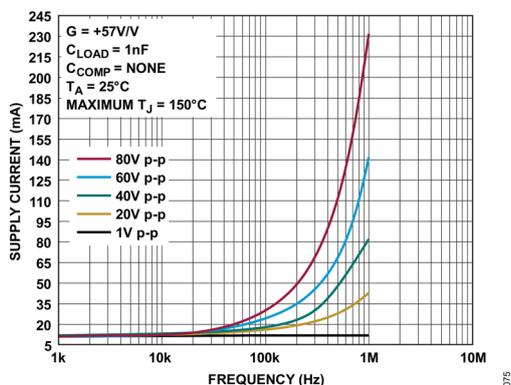


図 75. 供給電流および振幅と周波数の関係、方形波、ヒートシンクおよび空気流あり、 $C_{LOAD} = 1nF$ 、 $C_{COMP} = なし$

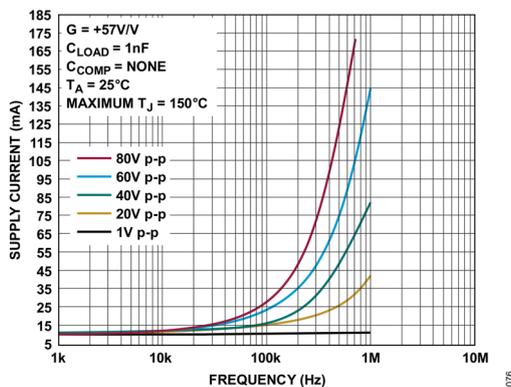


図 76. 供給電流および振幅と周波数の関係、方形波、ヒートシンクあり、 $C_{LOAD} = 1nF$ 、 $C_{COMP} = なし$

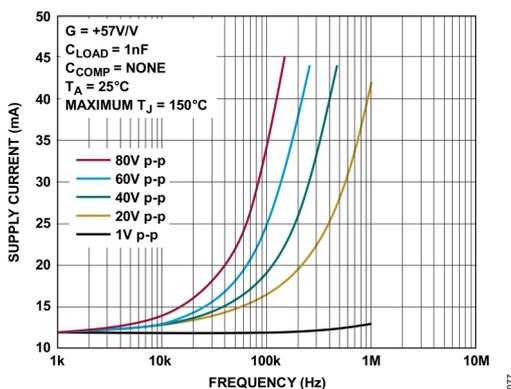


図 77. 供給電流および振幅と周波数の関係、方形波、ヒートシンクなし、 $C_{LOAD} = 1nF$ 、 $C_{COMP} = なし$

温度勾配

通常、電力はデバイスのダイ全体にわたり均一に消費されると仮定しますが、実際には、電力はアプリケーションに応じて特定の領域に集中して消費されます。高熱部とは、温度センサーの測定値と比較してより高くなるダイ内の部分の位置です。大消費電力アプリケーションでは、アンプの出力段のトランジスタが負荷駆動時に電力を消費する部分であるため、一般的に出力段が高熱部の存在する場所となります。図 78 に見られるように、この振る舞いは ADHV4710 にもあり、ジャンクション温度と消費電力の計算で考慮する必要があります。

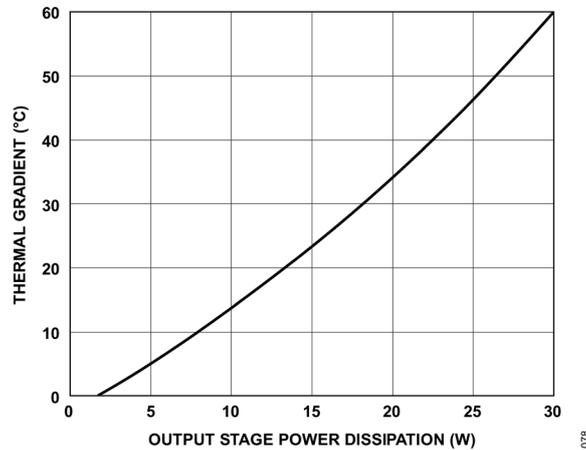


図 78. 温度勾配と温度センサーの関係

次の式は、特定の温度センサーの計測値と消費電力に対して、出力電力段の高熱部を計算するために使用する基本的な式です。

$$T_{HOTSPOT} = T_{SENSOR} + T_{GRADIENT}$$

例えば、図 78 を使用すると、温度センサーの計測値が 60°C で出力段の消費電力が 22.5W である場合、温度勾配は 40°C で、 $T_{HOTSPOT}$ は次のように想定されます。

$$60^{\circ}\text{C} + 40^{\circ}\text{C} = 100^{\circ}\text{C}$$

ADHV4710 の保護

短絡に関する注意点

ADHV4710 の出力が低インピーダンスでグラウンドに短絡する場合には、細心の注意が必要です。短絡によるストレスからの保護のため、過電流保護をプログラムすることを推奨します。内蔵の過電流保護シャットダウンには、SDN_IO ピンの容量に依存して変わる有限の遅延時間があります。この時間の間は高いピーク電流が発生し、過大な負荷となり得ます。定格のピーク瞬時出力電流ドライブを超過し、安全動作領域 (SOA) を外れる可能性があります。多くのアプリケーションでは、このピーク瞬時電流は負荷に流れる電流の計測に用いる直列抵抗によって制限され、接続配線のインダクタンスでもピーク電流が制限されます。もう 1 つの注意点としては、可能であれば、HVCC と HVEE への外部高電圧電源の電流制限によってピーク瞬時電力を低減することを推奨します。過電流に起因するシャットダウンが発生した場合、INP と INN の間の入力差動電圧を制限してシャットダウンを維持し、出力電流の供給を抑止する必要があります (シャットダウン/スリープに関する注意点のセクションに記載)。

シャットダウン／スリープに関する注意点

ADHV4710 がシャットダウン・モードあるいはスリープ・モードであるときは（シャットダウンとスリープ制御のセクションに記載）、ADHV4710 の入力をディスエーブルすることを推奨します。シャットダウン・モードまたはスリープ・モードで、INP と INN の入力間に約 1.5V より高い電圧が印加されると、アンプの出力が高インピーダンス状態から抜け、出力に出力電圧と電流ドライブが発生する場合があります。この状況を防止するために、デバイスがシャットダウン・モードやスリープ・モードであるときには ADHV4710 の入力をオフまたは制限することを推奨します。

シャットダウン／スリープ中の入力差動電圧の制限

シャットダウン／スリープに関する注意点のセクションで解説したように、シャットダウン／スリープ中は入力差動電圧を約 1.5V 以下に制限する必要があります。これを実現する 1 つの方法は、INP と INN の入力間に 1 組の逆並列ダイオードを使用し、入力差動電圧を制限して、デバイスがシャットダウンのときに入力の状態にかかわらずシャットダウンとスリープの動作が適切になるようにすることです。入力間にダイオードを配置することにより、スルー・ブーストを有効にしたときの最大入力差動電圧が制限され、ADHV4710 の最大スルー・レートが制限されます。この構成で最大の制限スルー・レートを得るためには、単体または合成の順方向電圧が 1.5V を超えない高速スイッチング・ダイオードを選択することを推奨します。図 79 は、入力間に逆並列ダイオードを実装する方法を示しています。図 80 と図 81 は、逆並列ダイオード構成での ADHV4710 のパルス応答を示しています。この試験で使用したダイオード・アレイ部品は BAV99L で、順方向電圧の値は 715mV_{DC} です。

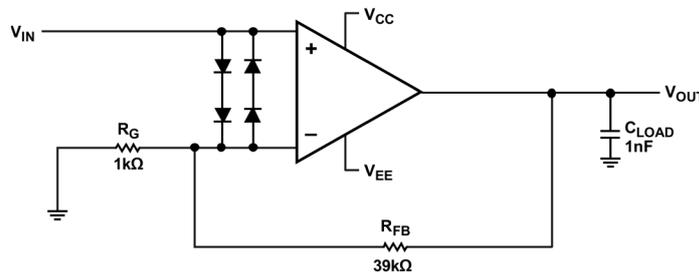


図 79. INP と INN の間の逆並列ダイオード配置の回路図

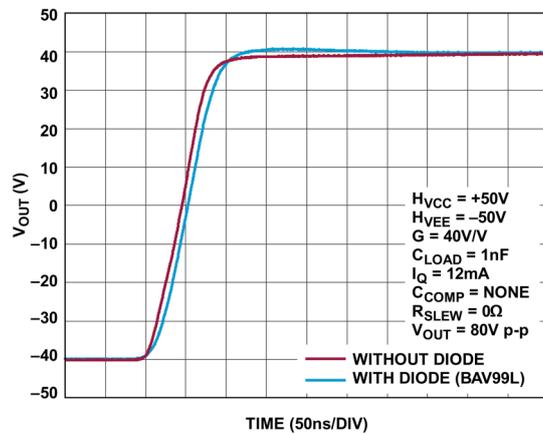


図 80. 様々な入力逆並列ダイオードの組み合わせに対する大信号のステップ応答、立上がりエッジ

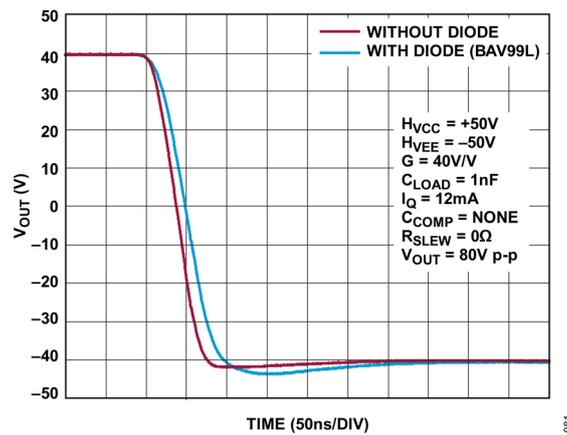


図 81. 様々な入力逆並列ダイオードの組み合わせに対する大信号のステップ応答、立下がりエッジ

過電流閾値エラー

ADHV4710 で過電流保護機能を使用するときには、トリップ・ポイント閾値がシャットダウン保護設定のセクションで計算した理想値と異なる場合があります。ADHV4710 のシャットダウン保護機能に依存するアプリケーションでは、これを考慮に入れる必要があります。

出力過電流閾値エラーとヘッドルーム

フォルト始動型シャットダウン保護機能のセクションに記載したように、ADHV4710 は最大±1A の過電流条件でシャットダウンするようにプログラムできます。この場合、過電流保護を信頼性高くトリガするためには、追加のヘッドルームが必要です。図 82 と図 83 は、ヘッドルームの減少に伴って 500mA での過電流設定点の正確性が低減する様子を示しています。7%より高い設定点エラーのデータは、継続的に大きく劣化するため取得されていません。

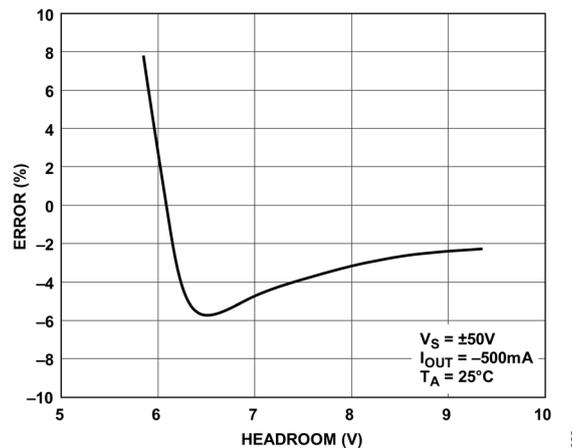


図 82. ソース、DC 過電流設定点エラーとヘッドルームの関係、 $T_A = 25^\circ\text{C}$

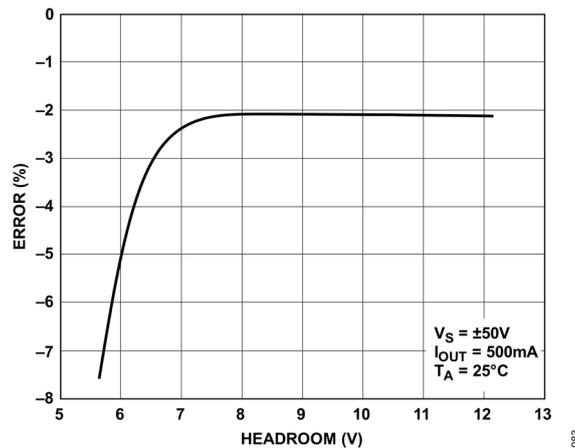


図 83. シンク、DC 過電流設定点エラーとヘッドルームの関係、 $T_A = 25^\circ\text{C}$

図 56 は、出力電流と温度に伴って ADHV4710 のヘッドルームが増加することを示しています。同様に、過電流保護を信頼性高くトリガするのに必要な追加のヘッドルームも、出力電流と温度に伴って増加します。表 13 は、 $T_J = 150^\circ\text{C}$ において様々な出力電流で、過電流保護を信頼性高く起動するのに必要な推奨ヘッドルームを示しています。

表 13. 信頼性が高い過電流トリップ・ポイント閾値の推奨ヘッドルーム、 $T_J = 150^\circ\text{C}$

Current Direction	Output Current (A)	Recommended Headroom (V)
Source	0.5	5.4
	1.0	9.0
Sink	0.5	9.5
	1.0	18.6

負荷が 1nF を超える場合の動的ピーク電流の制限

温度管理のセクションで述べた適切な温度管理を仮定すれば、設計上、ADHV4710 は連続的に 1A を駆動できます。

また、ADHV4710 は、外部補償やスルー制御を行うことなく、1kHz で 1nF の負荷に対し 80Vp-p の方形波パルスを駆動するよう設計されています。これは、電気的特性に示すように、0.5ms 間隔で約 100ns の電流パルス幅となり、±1.13A のピークに相当します。適合するデバイス条件で定義されるピーク電力消費を超過すると、過度のピーク消費電力によって ADHV4710 の寿命が短くなることがあります。

1nF を超える負荷に対してパルスを駆動する場合、適合するデバイス条件内にとどまるためには、ピーク電流を 1A の連続出力電流ドライブに制限する必要があります。これを確実にを行うためには、負荷を駆動するときのピーク電流を制限するように入力スルー・レートを制御する必要があります。

コンデンサへの電流は次の式で計算できます。

$$I = C \frac{dV}{dt}$$

これにより、ピーク電流が確実に 1A 以下になるようにできる最大スルー・レートを示す次の表ができます。

表 14. 最大スルーと容量性負荷の関係

Capacitance	Maximum Slew Rate
1nF	1000V/ μ s
10nF	100V/ μ s
22nF	45V/ μ s
47nF	21V/ μ s
100nF	10V/ μ s

R_{SLEW} 、 C_{COMP} 、 SET_IQ の調整の性能への影響

ADHV4710 の性能は、ゲインと容量性負荷に基づいて最高のアプリケーション性能を得るため、 R_{SLEW} 、 C_{COMP} 、 SET_IQ の変更によって調整が可能です。表 7 は、様々な C_{LOAD} に対して小信号の安定性を維持するための推奨補償を示しています。表 15 は、 R_{SLEW} 、 C_{COMP} 、 SET_IQ を、 $R_{SLEW} = 0\Omega$ 、 $C_{COMP} = 0pF$ 、 $SET_IQ = 0x00$ ($I_Q \approx 12mA$) から増加させたときの性能の変化の概要を示しています。 R_{SLEW} 、 C_{COMP} 、 SET_IQ の性能への影響のデータについては、[代表的な性能特性](#)のセクションを参照してください。

小信号時の安定性分析のために適切な R_{SLEW} と C_{COMP} を選択するには、目的のゲインから開始します。次に、選択したゲインに対して適切な R_{SLEW} を選択します。そして、目的の位相マージンを実現するため、必要に応じて C_{COMP} を調整します。ADHV4710 の LTspice モデルを使用すると、位相マージンを手早く解析できます。

詳細については、[LTspice サポート・モデル](#)のセクションを参照してください。

表 15. R_{SLEW} 、 C_{COMP} 、 SET_IQ の調整と性能への影響

Specification	Increasing R_{SLEW}	Increasing SET_IQ	Increasing $COMP_L$, $COMP_H$
Slew Rate	Decreases	Increases	Decreases
Open-Loop Gain	Shifts DC A_{OL} Down, Same Low Frequency Pole	No Effect	Lowers A_{OL} Low Frequency Pole
Closed-Loop Output Impedance	Minimal Effect	Decreases	Decreases
Voltage Noise Spectral Density, RTI	Increases	Minimal Effect	No Effect
Current Noise Spectral Density, RTI	No Effect	No Effect	No Effect
Offset Voltage, RTI	Increases	Increases	No Effect
Offset Voltage Drift, RTI	Increases	Increases	No Effect
Common-Mode Rejection Ratio	Shifts DC CMRR Down, Same Low Frequency Pole	No Effect	Lowers CMRR Low Frequency Pole
Power Supply Rejection Ratio	Shifts DC PSRR Down, Same Low Frequency Pole	No Effect	Lowers PSRR Low Frequency Pole

高電圧、高電流アンプにおける部品の考慮事項

高電圧で大電流のパワー・オペアンプでは、一般的な小信号オペアンプのアプリケーションと比較すると、部品に関して更なる考慮事項が必要になります。

帰還と入力ゲインの設定に使用する抵抗を、最大のストレス条件における各々の最大電圧降下について分析する必要があります。抵抗の最大電圧に基づいて、最も厳しい条件での消費電力を計算し、これによって抵抗の大きさを決めることができます。更に、アプリケーションでの許容可能な抵抗変化に関して、電圧定格、抵抗の電圧係数、抵抗の温度係数を確認する必要があります。

コンデンサは、両端の電圧を最大ストレスの条件下で確認します。コンデンサの最大電圧に基づいて、適切なコンデンサを選択します。更に、印加される最大電圧で許容可能な容量変化に関して、容量の電圧係数と温度係数を確認します。

外付けダイオードを使用する場合には、逆ブレイクダウン電圧、逆リーク電流、オフ容量、順方向電流容量、順方向電圧降下を分析する必要があります。部品のすべてのパラメータに対し、アプリケーションの動作温度範囲にわたって予測される変化を考慮するため、それぞれの温度係数を分析します。

ADHV4710 の LTspice モデルを使用すると、最も厳しい条件のストレスを手早くシミュレーションで解析できます。詳細については、[LTspice サポート・モデル](#)のセクションを参照してください。

レイアウト

PCB を設計する場合、標準的な電氣的レイアウトを実践することに加え、熱的なレイアウト手法を取り入れることが重要です。熱に関する考慮事項には、PCB での過度の消費電力を防止するための、配線パターンの厚さ、サーマル・ビア、グラウンドおよび電源の層、電源領域用の広いベタ銅箔などがあります。高電圧の電源ライン (HVCC、HVEE) には、できるだけ太い配線パターンを使って低インピーダンスの経路を実現して、電源ライン上でのグリッチの影響を小さくする必要があります。高電流の設計では、回路での不要な電圧降下を防ぐために低インピーダンスの経路が重要です。PCB 上の全部品に低インピーダンスで接続するよう、電源プレーンを考慮します。高周波の設計では、インダクタンスが最小になるよう短く広いパターンを使用し、広い周波数範囲にわたりパターンのインピーダンスを低くする必要があります。

電源 (HVCC、HVEE、VCC_5V、VREF_5V) の PCB のエントリー・ポイントをバルク容量でデカップリングします。これらのコンデンサには、電流のピーク振幅に対し $5\mu\text{F}$ 以上を使用することを推奨します。

高周波領域の良好なデカップリングのため、ADHV4710 のピンのすぐ近くで $0.1\mu\text{F}$ のバイパス・コンデンサを 4 つ使用します。これらのコンデンサは、低インピーダンス経路が実現できるよう短く広い配線パターンを用いて接続し、電源ライン上でのグリッチの影響を小さくする必要があります。低 ESR かつ低 ESL のデカップリング・コンデンサを HVCC ピンおよび HVEE ピンに接続すると、電圧リップルとグリッチが低減します。複数のピンを持つ電源 (HVCC、HVEE) では、これらのピンを共通のベタ銅箔で互いに接続し、各ベタ銅箔のデカップリングは 1 点でのみ行うことを推奨します。これらのコンデンサを、ADHV4710 と同じ側の基板面でアンプの電源ピンのできるだけ近くに配置し、コンデンサのグラウンド端をグラウンド・プレーンに直接接続します。

電氣的な破壊を防止し、電氣的ショックに対する保護を強化するため、高電圧の PCB パターンは、適切な間隔で配置して、アプリケーションでのクリアランスとクリープの要件を満たすようにします。

本製品にはアナログ機能とデジタル機能があるため、アナログ領域とデジタル領域を分離し、これらを ADHV4710 に隣接する PCB の特定の領域に限定することが重要です。ノイズの混入を回避するために、ADHV4710 の下にはアナログ・グラウンド・プレーンを配置します。シールドとして機能するグラウンド・プレーンを設ける場合を除き、ADHV4710 の下にはデジタル・ラインを配置しないようにしてください。これらのデジタル・ラインによりダイにノイズが混入する可能性があるためです。クロックなどの高速スイッチング・デジタル信号は、デジタル・グラウンドでシールドし、ボードの他の部品にノイズを放射しないようにします。また、アナログ・パターンのそばにはこれらの信号線を配線しないでください。隣接する PCB 層のパターンは互いに直交させ、基板全体にわたりカップリングやフィードスルーの影響が小さくなるようにします。デジタル信号とアナログ信号は交差させないでください。少なくとも 1 層のグラウンド・プレーンを使用してください。これはデジタル部とアナログ部で共有しても、分割してもかまいません。分割する場合、ADHV4710 デバイスの下でこれらのプレーンを結合します。

LTspice サポート・モデル

ADHV4710 には、電気モデルと熱モデルという 2 つの別々の LTspice モデルが用意されています。

LTspice の電気モデルは、最新バージョンの [LTspice](#) を使用すると見つけることができます。「[update components](#)」機能を実行し、LTspice の部品ライブラリに ADVH4710 の LTspice 電気モデルが含まれていることを確認してください。ADHV4710 電気モデルの「クイック・スタート・ユーザ・ガイド」は、<https://wiki.analog.com/resources/quick-start> の [ADHV4710 model](#) のリンクにあります。ADHV4710 の電気モデルを使用する前に、まず「クイック・スタート・ユーザ・ガイド」を確認することを強く推奨します。モデル化されているものといないものについて詳細説明があり、モデルの使用例による定義のため、いくつかの既成の回路例の説明が含められています。このガイド中の LTspice 回路はすべてダウンロードして使用することができます。

定常状態での 2 次温度モデルは、<https://wiki.analog.com/resources/quick-start> の [power op-amp thermal model](#) のリンクにあります。同じリンクに、「クイック・スタート・ユーザ・ガイド」があります。ADHV4710 の熱モデルを使用する前に、まず「クイック・スタート・ユーザ・ガイド」を確認することを強く推奨します。モデル化されているものといないものについて詳細説明があり、モデルの使用例による詳細定義が含められています。このガイド中の LTspice 回路はすべてダウンロードして使用することができます。

最上位レベルのデジタル・レジスタ割当て

表 16. デジタル・レジスタ・マップのインスタンスの概要

Name	Module	Address
ADHV4710_CTRL_REGMAP	ADHV4710_CTRL_REGMAP	0x00
ADHV4710_CALIBRATION_FACTORS_REGMAP	RESERVED	0x20
ADHV4710_CALIBRATION_CTRL_REGMAP	RESERVED	0x40
ADHV4710_DATA_REGMAP	RESERVED	0x60

デバイス制御レジスタの概要とマップ

注：R/W は読出しと書込み、R/CLR は読出しとクリア、R は読出しのみを意味します。R/CLR の説明については、[フォルト・モニタリングおよび保護の制御ロジック](#)のセクションを参照してください。

表 17. コントロール・レジスタの概要

アドレス	名称	説明	リセット	アクセス
0x00	CTRL_REG_00	一般的なデバイス制御レジスタ。 表 18 参照。	0x10	R/W
0x01 to 0x02	CTRL_REG_01 - CTRL_REG_02	予約済み	0x08	
0x03	CTRL_REG_03	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x04	CTRL_REG_04	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x05 to 0x07	CTRL_REG_05 - CTRL_REG_07	予約済み		
0x08	CTRL_REG_08	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x09	CTRL_REG_09	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x0A	CTRL_REG_10	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x0B	CTRL_REG_11	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x0C	CTRL_REG_12	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x0D	CTRL_REG_13	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/W
0x0E	CTRL_REG_14	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R/CLR
0x0F to 0x18	CTRL_REG_15 to CTRL_REG_24	予約済み		
0x19	CTRL_REG_25	一般的なデバイス制御レジスタ。 表 18 参照。	0x00	R
0x1A	CTRL_REG_26	一般的なデバイス制御レジスタ。 表 18 参照。	0x46	R

表 18. 制御レジスタ・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	CTRL_REG_00	[7:0]	HV_RESET	RESERVED		HV_SLEEP	RESERVED				0x10	R/W	
0x03	CTRL_REG_03	[7:0]	RESERVED							SOFT_RESET		0x00	R/W
0x04	CTRL_REG_04	[7:0]	SET_IQ									0x00	R/W

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x08	CTRL_ REG_08	[7:0]	OC_SRC_ARM	OC_SRC_LIMIT						0x00	R/W	
0x09	CTRL_ REG_09	[7:0]	OC_SNK_ARM	OC_SNK_LIMIT						0x00	R/W	
0x0A	CTRL_ REG_10	[7:0]	OV_POS_ARM	OV_POS_LIMIT						0x00	R/W	
0x0B	CTRL_ REG_11	[7:0]	OV_NEG_ARM	OV_NEG_LIMIT						0x00	R/W	
0x0C	CTRL_ REG_12	[7:0]	OT_ARM	OT_LIMIT						0x00	R/W	
0x0D	CTRL_ REG_13	[7:0]	RESERVED			OC_SRC_ ALARM_ LATCH	OC_SNK_ ALARM_ LATCH	OV_POS_ ALARM_ LATCH	OV_NEG_ ALARM_ LATCH	OT_ALARM_ LATCH	0x00	R/W
0x0E	CTRL_ REG_14	[7:0]	SHUTDOWN_ FLAG	RESERVED		OC_SRC_ ALARM	OC_SNK_ ALARM	OV_POS_ ALARM	OV_NEG_ ALARM	OT_ ALARM	0x00	R/ CLR
0x19	CTRL_ REG_25	[7:0]	RESERVED				DIE_REV				0x04	R
0x1A	CTRL_ REG_26	[7:0]	CHIP_ID						0x46	R		

制御レジスタの詳細

表 19. CTRL_REG_00 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	HV_RESET	シャットダウンのラッチをリセット。 (0) デフォルト：リセットなし。シャットダウン動作が可能。 (1) シャットダウンのラッチをクリアし、アンプをシャットダウン状態から再イネーブルします。自動クリアされません。リセットするには「1」を書き込んでから「0」を書き込みます。これ以外の場合、リセットがイネーブルされている間シャットダウンは抑制されます。	0x0	R/W
[6:5]	RESERVED	予約済み。書込みはできません。		
4	HV_SLEEP	アンプをシャットダウンします。 (0) アンプはシャットダウンされます。HV 静止電流が減少し、アンプの出力がフローティング状態（高インピーダンス）になります。これは他のすべてのメカニズム（SDN_IO および保護機能）をオーバーライドします。 (1) デフォルト：アンプはイネーブルされますが、他のメカニズム（SDN_IO や保護機能）によってシャットダウン状態が続く場合があります。	0x0	R/W
[3:0]	RESERVED	予約済み。書込みはできません。		

表 20. CTRL_REG_03 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。書込みはできません。		
0	SOFT_RESET	デジタル・エンジンのリセット。 (0) デフォルト：デジタル・エンジンはアクティブ。 (1) すべてのレジスタ値をクリアし（このビットを含め自動クリア）、デジタル・エンジンのリブート・シーケンスを開始します。	0x0	R/W

表 21. CTRL_REG_04 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SET_IQ	アンプの静止電流をプログラムします。デフォルト値 0x0 はデバイスを公称電源電流に設定します。 ビット 7 (MSB) は極性ビットです。0 は静止電流を減少させ、1 は静止電流を増加させます。 ビット 6:0 は、単調ながら非直線的に電源電流を変化させます。 プログラマブル静止電流のセクション を参照してください。	0x0	R/W

表 22. CTRL_REG_08 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RFTRIG	過電流 (ソース) 保護をイネーブル。 (0) デフォルト: 保護はディスエーブル。 (1) 保護はイネーブルされ、出力ソース電流をモニタします。	0x0	R/W
[6:0]	TFCLR	過電流 (ソース) 保護のレベルを設定。 過電流保護のプログラミングのセクション を参照してください。	0x0	R/W

表 23. CTRL_REG_09 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OC_SNK_ARM	過電流 (シンク) 保護をイネーブル。 (0) デフォルト: 保護はディスエーブル。 (1) 保護はイネーブルされ、出力シンク電流をモニタします。	0x0	R/W
[6:0]	OC_SNK_LIMIT	過電流 (シンク) 保護のレベルを設定。 過電流保護のプログラミングのセクション を参照してください。	0x0	R/W

表 24. CTRL_REG_10 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OV_POS_ARM	過電圧 (正) 保護をイネーブル。 (0) デフォルト: 保護はディスエーブル。 (1) 保護はイネーブルされ、正の出力電圧をモニタします。	0x0	R/W
[6:0]	OV_POS_LIMIT	過電圧 (正) 保護のレベルを設定。 過電圧保護のプログラミングのセクション を参照してください。	0x0	R/W

表 25. CTRL_REG_11 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OV_NEG_ARM	過電圧（負）保護をイネーブル。 (0) デフォルト：保護はディスエーブル。 (1) 保護はイネーブルされ、負の出力電圧をモニタします。	0x0	R/W
[6:0]	OV_NEG_LIMIT	過電圧（負）保護のレベルを設定。過電圧保護のプログラミングのセクションを参照してください。	0x0	R/W

表 26. CTRL_REG_12 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OT_ARM	過熱（T _J ）保護をイネーブル。 (0) デフォルト：保護はディスエーブル。 (1) 保護はイネーブルされ、ジャンクション温度をモニタします。	0x0	R/W
[6:0]	OT_LIMIT	過熱（T _J ）保護のレベルを設定。過熱保護のプログラミングのセクションを参照してください。	0x0	R/W

表 27. CTRL_REG_13 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。書込みはできません。		
4	OC_SRC_ALARM_LATCH	過電流（ソース）アラームのラッチをイネーブル。 (0) デフォルト：ラッチはディスエーブル。過電流（ソース）フォルトがクリアされると、OC_SRC_ALARM は自動クリアされます。 (1) OC_SRC_ALARM フラグのラッチをイネーブル。過電流（ソース）フォルトが検出されるとハイにラッチされます。	0x0	R/W
3	OC_SNK_ALARM_LATCH	過電流（シンク）アラームのラッチをイネーブル。 (0) デフォルト：ラッチはディスエーブル。過電流（シンク）フォルトがクリアされると、OC_SNK_ALARM は自動クリアされます。 (1) OC_SNK_ALARM フラグのラッチをイネーブル。過電流（シンク）フォルトが検出されるとハイにラッチされます。	0x0	R/W

ビット	ビット名	説明	リセット	アクセス
2	OV_POS_ALARM_LATCH	過電圧（正）アラームのラッチをイネーブル。 (0) デフォルト：ラッチはディスエーブル。過電圧（正）フォルトがクリアされると、OV_POS_ALARM は自動クリアされます。 (1) OV_POS_ALARM フラグのラッチをイネーブル。過電圧（正）フォルトが検出されるとハイにラッチされます。	0x0	R/W
1	OV_NEG_ALARM_LATCH	過電圧（負）アラームのラッチをイネーブル。 (0) デフォルト：ラッチはディスエーブル。過電圧（負）フォルトがクリアされると、OV_NEG_ALARM は自動クリアされます。 (1) OV_NEG_ALARM フラグのラッチをイネーブル。過電圧（負）フォルトが検出されるとハイにラッチされます。	0x0	R/W
0	OT_ALARM_LATCH	過熱（T _J ）アラームのラッチをイネーブル。 (0) デフォルト：ラッチはディスエーブル。過熱（T _J ）フォルトがクリアされると、OT_ALARM は自動クリアされます。 (1) OT_ALARM フラグのラッチをイネーブル。過熱（T _J ）フォルトが検出されるとハイにラッチされます。	0x0	R/W

表 28. CTRL_REG_14 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SHUTDOWN_FLAG	シャットダウン状態を示します。 (0) デフォルト：アンプはイネーブルされています。 (1) アンプはシャットダウンされます。	0x0	R
[6:5]	RESERVED	予約済み。書込みはできません。		
4	OC_SRC_ALARM	過電流（ソース）アラーム・フラグ。1は過電流（ソース）フォルト・イベントが生じていることを示します。ラッチされている場合、クリアするには書込みを行います。	0x0	R/CLR
3	OC_SNK_ALARM	過電流（シンク）アラーム・フラグ。1は過電流（シンク）フォルト・イベントが生じていることを示します。ラッチされている場合、クリアするには書込みを行います。	0x0	R/CLR
2	OV_POS_ALARM	過電圧（正）アラーム・フラグ。1は過電圧（正）フォルト・イベントが生じていることを示します。ラッチされている場合、クリアするには書込みを行います。	0x0	R/CLR
1	OV_NEG_ALARM	過電圧（負）アラーム・フラグ。1は過電圧（負）フォルト・イベントが生じていることを示します。ラッチされている場合、クリアするには書込みを行います。	0x0	R/CLR
0	OT_ALARM	過熱（T _J ）アラーム・フラグ。1は過熱（T _J ）フォルト・イベントが生じていることを示します。ラッチされている場合、クリアするには書込みを行います。	0x0	R/CLR

表 29. CTRL_REG_25 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。書込みはできません。		
[3:0]	DIE_REV	ADHV4710 のシリコン・リビジョンを示すレジスタ。	0x4	R

表 30. CTRL_REG_26 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIP_ID	ADHV4710 のチップ ID を示すレジスタ。	0x47	R

¹ CLR は、対応するレジスタ・ビットに「1」を書き込むことでアラーム・フラグがクリアされることを示します。

外形寸法

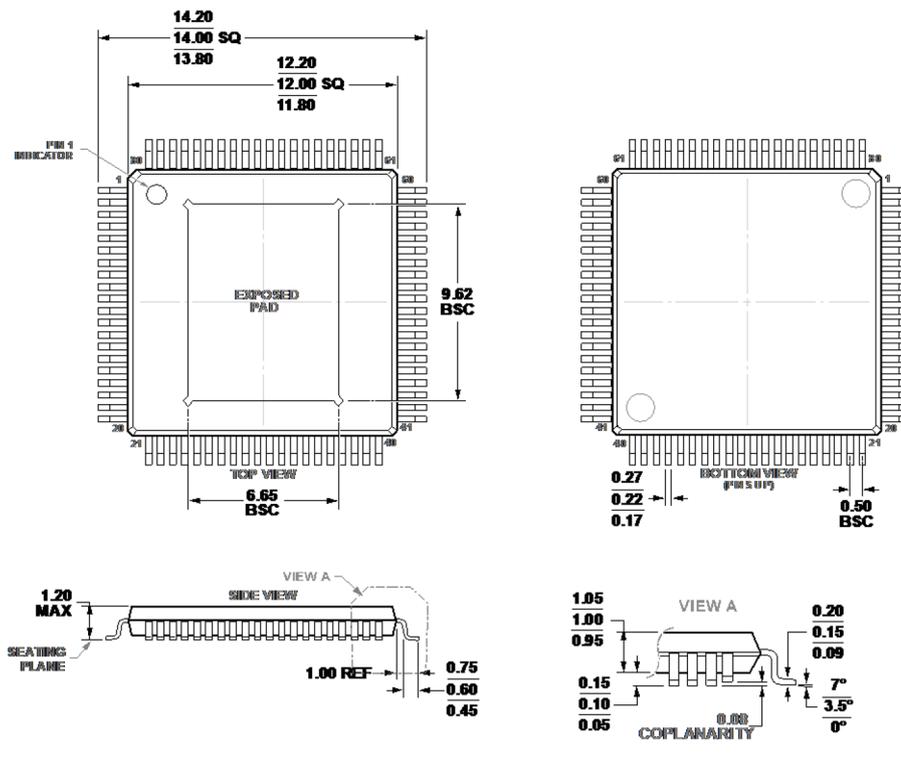


図 84. 80 ピン薄型クワッド・フラット・パッケージ、露出パッド TQFP、SV-80-7、寸法：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Packing Quantity	Package Option
ADHV4710BSVZ	-40°C to 85°C	80-Lead TQFP		SV-80-7
ADHV4710BSVZ-RL	-40°C to 85°C	80-Lead TQFP	1000	SV-80-7

評価用ボード

Model	Description
EVAL-ADHV4710SDZ	Evaluation Board for 80-Lead Thin Quad Flat Package

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。