

目次

| | | | |
|---------------------------------------|----|---|----|
| 特長..... | 1 | アプリケーション情報..... | 26 |
| アプリケーション..... | 1 | 電源レール..... | 26 |
| 機能ブロック図..... | 1 | 電源の推奨事項..... | 26 |
| 概要..... | 1 | 高速デジタル・ループバック..... | 26 |
| 関連製品..... | 1 | ピン・エレクトロニクス（PE）とパラメトリック測定 ユニット（PMU）での信号スイッチング..... | 26 |
| 仕様..... | 3 | 一般的な RF、DC、ミックスド・シグナルのスイッチング..... | 27 |
| タイミング特性..... | 8 | 重要な動作条件..... | 28 |
| 絶対最大定格..... | 10 | オン抵抗のドリフトによるシステム誤差に関する考慮事項..... | 28 |
| 熱抵抗..... | 10 | 作動後の温度衝撃によるオン抵抗変化..... | 28 |
| 静電放電（ESD）定格..... | 10 | ホット・スイッチング..... | 28 |
| ESDに関する注意..... | 10 | 取り扱い上の注意..... | 29 |
| ピン配置およびピン機能の説明..... | 11 | レジスタの一覧..... | 31 |
| 代表的な性能特性..... | 12 | レジスタの詳細..... | 32 |
| テスト回路..... | 22 | スイッチ・データ・レジスタ..... | 32 |
| オフ・アイソレーションによる $C_{DS(OFF)}$ の算出..... | 22 | 外形寸法..... | 33 |
| 動作原理..... | 23 | オーダー・ガイド..... | 33 |
| スイッチの設計..... | 23 | 評価用ボード..... | 33 |
| パラレル・デジタル・インターフェース..... | 23 | | |
| SPI デジタル・インターフェース..... | 24 | | |
| 内部発振器のフィードスルー..... | 25 | | |
| 代表的な動作回路..... | 25 | | |

改訂履歴

12/2025—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 3.0V \sim 3.6V$ 、 $GND = 0V$ 、すべての仕様は $25^{\circ}C$ での値。

表 1. 仕様

| Parameter | Symbol | Min | Typ ¹ | Max | Unit | Test Conditions/Comments ² |
|--------------------------------------|--------------------------|-------------------|-------------------|-------|------------|---|
| ON-RESISTANCE PROPERTIES | | | | | | |
| Initial On-Resistance Properties | | | | | | |
| On-Resistance | R_{ON} | | 1.9 | 3 | Ω | Drain source current (I_{DS}) = 50mA, 0V input bias, at 1ms after first actuation, maximum specification from $-40^{\circ}C$ to $85^{\circ}C$ |
| On-Resistance Match Between Channels | ΔR_{ON} CH_CH | | | 0.8 | Ω | Maximum value tested from $-40^{\circ}C$ to $85^{\circ}C$ |
| On-Resistance Drift | | | | | | |
| Over Time | $\Delta R_{ON TIME}$ | | | -0.32 | Ω | R_{ON} changed from 1ms to 100ms after first actuation, maximum value tested from $-40^{\circ}C$ to $85^{\circ}C$ |
| Over Actuations | | | | | | |
| | ΔR_{ON} | | 0.2 | 0.32 | Ω | Absolute change after 10^6 actuations, switch is actuated at $25^{\circ}C$ and R_{ON} is measured at $25^{\circ}C$ |
| | | | ± 0.7 | | Ω | Absolute change after 100×10^6 actuations, switch is actuated at $25^{\circ}C$ and R_{ON} is measured at $25^{\circ}C$ |
| | | | | 2 | Ω | Absolute change after 100×10^6 actuations, switch is actuated at $85^{\circ}C$ and R_{ON} is measured at $25^{\circ}C$, actuation frequency = 289Hz |
| RELIABILITY PROPERTIES | | | | | | |
| Continuously On Lifetime | | | | | | |
| Actuation Lifetime | | | 10 | | Years | Time before failure ³ at $85^{\circ}C$ |
| Cold Switched | | | | | | |
| RF Hot Switched | | 100×10^6 | 500×10^6 | | Actuations | Load between toggling is 150mA, tested at $85^{\circ}C$. |
| RF Hot Switched | | | | | | |
| 7dBm | | | 500×10^6 | | Actuations | RF power = continuous wave (CW), terminated into 50 Ω , 50% of test population failure point (T50) |
| 10dBm | | | 150×10^6 | | Actuations | |
| 13dBm | | | 30×10^6 | | Actuations | |
| 20dBm | | | 20×10^3 | | Actuations | |
| DC Hot Switched | | | | | | |
| 0.5V or 9mA | | | 500×10^6 | | Actuations | Terminated into 50 Ω , RFxx load capacitance = 10 μF , 50% of test population failure point (T50) |
| 1V or 18mA | | | 500×10^6 | | Actuations | |
| 2.5V or 46mA | | | 35×10^6 | | Actuations | |
| 3.5V or 65mA | | | 6.5×10^3 | | Actuations | |
| 5V or 93mA | | | 2×10^3 | | Actuations | |
| DYNAMIC CHARACTERISTICS | | | | | | |
| Single-Ended Performance (RF1A/RF1B) | | | | | | |
| Operational Frequency Range | | | 24 | | GHz | RF1A/RF1B, -3dB bandwidth |
| Insertion Loss | IL | | | | | RF1A to RFCA, RF1B to RFCB |
| | | | 0.27 | | dB | DC to 2.5GHz |
| | | | 0.5 | | dB | 2.5GHz to 6GHz |
| | | | 0.77 | | dB | 6GHz to 10GHz |
| | | | 1.42 | | dB | 10GHz to 16GHz |
| | | | 2.8 | | dB | 16GHz to 24GHz |

仕様

表 1. 仕様 (続き)

| Parameter | Symbol | Min | Typ ¹ | Max | Unit | Test Conditions/Comments ² |
|---|--------|-----|------------------|----------------|------|---|
| Isolation | ISO | | 29 | | dB | RF1A to RFCA, RF1B to RFCB, with at least one switch on |
| | | | 24 | | dB | DC to 2.5GHz |
| | | | 20 | | dB | 2.5GHz to 6GHz |
| | | | 16 | | dB | 6GHz to 10GHz |
| | | | 11 | | dB | 10GHz to 16GHz |
| Crosstalk | CTK | | 11 | | dB | 16GHz to 24GHz |
| | | | 29 | | dB | RF1A to RF1B, RFCA to RFCB |
| | | | 23 | | dB | DC to 2.5GHz |
| | | | 20 | | dB | 2.5GHz to 6GHz |
| | | | 17 | | dB | 6GHz to 10GHz |
| Return Loss | RL | | 12 | | dB | 10GHz to 16GHz |
| | | | 12 | | dB | 16GHz to 24GHz |
| | | | 34 | | dB | Measured at RF1A and RF1B |
| | | | 24 | | dB | DC to 2.5GHz |
| | | | 17 | | dB | 2.5GHz to 6GHz |
| Single-Ended Performance (RF2A/RF2B) Operational Frequency Range Insertion Loss | IL | | 13 | | dB | 6GHz to 10GHz |
| | | | 13 | | dB | 10GHz to 16GHz |
| | | | 13 | | dB | 16GHz to 24GHz |
| | | | 22 | | GHz | RF2A/RF2B, -3dB bandwidth |
| | | | 0.2 | | dB | RF2A to RFCA, RF2B to RFCB |
| Isolation | ISO | | 0.2 | | dB | DC to 2.5GHz |
| | | | 0.4 | | dB | 2.5GHz to 6GHz |
| | | | 0.56 | | dB | 6GHz to 10GHz |
| | | | 1.32 | | dB | 10GHz to 16GHz |
| | | | 4.12 | | dB | 16GHz to 24GHz |
| Crosstalk | CTK | | 13 | | dB | RF2A to RF2B, RFCA to RFCB |
| | | | 31 | | dB | DC to 2.5GHz |
| | | | 26 | | dB | 2.5GHz to 6GHz |
| | | | 23 | | dB | 6GHz to 10GHz |
| | | | 19 | | dB | 10GHz to 16GHz |
| Return Loss | RL | | 13 | | dB | 16GHz to 24GHz |
| | | | 9 | | dB | Measured at RF2A and RF2B |
| | | | 33 | | dB | DC to 2.5GHz |
| | | | 29 | | dB | 2.5GHz to 6GHz |
| | | | 21 | | dB | 6GHz to 10GHz |
| | 17 | | dB | 10GHz to 16GHz | | |
| | 17 | | dB | 16GHz to 24GHz | | |

仕様

表 1. 仕様 (続き)

| Parameter | Symbol | Min | Typ ¹ | Max | Unit | Test Conditions/Comments ² |
|--------------------------------------|--------|-----|------------------|-----|------|---|
| Differential Performance (RF1A/RF1B) | | | | | | |
| Insertion Loss | IL | | 0.24 | | dB | RF1A/RF1B to RFCA/RFCB DC to 2.5GHz |
| | | | 0.4 | | dB | 2.5GHz to 6GHz |
| | | | 0.62 | | dB | 6GHz to 10GHz |
| | | | 1.29 | | dB | 10GHz to 16GHz |
| | | | 2.97 | | dB | 16GHz to 24GHz |
| Isolation | ISO | | | | | RF1A/RF1B to RFCA/RFCB, with RF2A/RF2B to RFCA/RFCB on |
| | | | 29 | | dB | DC to 2.5GHz |
| | | | 24 | | dB | 2.5GHz to 6GHz |
| | | | 22 | | dB | 6GHz to 10GHz |
| | | | 18 | | dB | 10GHz to 16GHz |
| | | | 11 | | dB | 16GHz to 24GHz |
| Return Loss | RL | | | | | Measured at RF1A/RF1B |
| | | | 36 | | dB | DC to 2.5GHz |
| | | | 26 | | dB | 2.5GHz to 6GHz |
| | | | 18 | | dB | 6GHz to 10GHz |
| | | | 14 | | dB | 10GHz to 16GHz |
| | | | 14 | | dB | 16GHz to 24GHz |
| Return Loss | RL | | | | | Measured at RFCA/RFCB |
| | | | 35 | | dB | DC to 2.5GHz |
| | | | 27 | | dB | 2.5GHz to 6GHz |
| | | | 19 | | dB | 6GHz to 10GHz |
| | | | 15 | | dB | 10GHz to 16GHz |
| | | | 16 | | dB | 16GHz to 24GHz |
| Differential Performance (RF2A/RF2B) | | | | | | |
| Insertion Loss | IL | | 0.2 | | dB | RF2A/RF2B to RFCA/RFCB DC to 2.5GHz |
| | | | 0.35 | | dB | 2.5GHz to 6GHz |
| | | | 0.51 | | dB | 6GHz to 10GHz |
| | | | 1.09 | | dB | 10GHz to 16GHz |
| | | | 4.8 | | dB | 16GHz to 24GHz |
| Isolation | ISO | | | | | RF2A/RF2B to RFCA/RFCB, with RF1A/RF1B to RFCA/RFCB on |
| | | | 31 | | dB | DC to 2.5GHz |
| | | | 26 | | dB | 2.5GHz to 6GHz |
| | | | 24 | | dB | 6GHz to 10GHz |
| | | | 21 | | dB | 10GHz to 16GHz |
| | | | 14 | | dB | 16GHz to 24GHz |
| Return Loss | RL | | | | | Measured at RF2A/RF2B |
| | | | 34 | | dB | DC to 2.5GHz |
| | | | 30 | | dB | 2.5GHz to 6GHz |
| | | | 22 | | dB | 6GHz to 10GHz |
| | | | 18 | | dB | 10GHz to 16GHz |
| | | | 16 | | dB | 16GHz to 24GHz |

仕様

表 1. 仕様 (続き)

| Parameter | Symbol | Min | Typ ¹ | Max | Unit | Test Conditions/Comments ² | |
|---------------------------------------|---------------|-----|------------------|-----|------|--|--|
| Return Loss | RL | | 33 | | | Measured at RFCA/RFCB DC to 2.5GHz | |
| | | | 32 | | | 2.5GHz to 6GHz | |
| | | | 24 | | | 6GHz to 10GHz | |
| | | | 19 | | | 10GHz to 16GHz | |
| | | | 10 | | | 16GHz to 24GHz | |
| Third-Order Intermodulation Intercept | IIP3 | | 70 | | dBm | Input: 2110MHz and 2170MHz, 3510MHz and 3570MHz; input power = 30dBm | |
| Second Harmonic | HD2 | | -107 | | | dBc | Input: 5.4MHz; input power = 0dBm |
| | | | -88 | | | dBc | Input: 150MHz, 800MHz; input power = 33dBm |
| Third Harmonic | HD3 | | -88 | | | dBc | Input: 150MHz, 800MHz; input power = 33dBm |
| Total Harmonic Distortion | THD | | -103 | | | dBc | $R_L = 300\Omega$, $f = 1\text{kHz}$, $RF_{xx} = 2.5\text{V p-p}$ |
| Total Harmonic Distortion Plus Noise | THD + N | | -99 | | | dBc | $R_L = 300\Omega$, $f = 1\text{kHz}$, $RF_{xx} = 2.5\text{V p-p}$ |
| Maximum RF Power | | | | 33 | | dBm | RF power = CW, terminated into 50 Ω termination; -40°C to +85°C |
| DC Signal Range | | -6 | | +6 | | V | On switch DC input bias voltage signal range; -40°C to +85°C |
| Stand Off Voltage | | -6 | | +6 | | V | -40°C to +85°C, this specification is applied when the switch is in the off position with no RF signal applied |
| Maximum DC Current | | | | 200 | | mA | -40°C to +85°C |
| On Switching Time ⁴ | t_{ON} | | | 200 | | μs | 50% INx to 90% (0.05dB of final IL value) RFxx, 50 Ω termination, -40°C to 85°C (see Figure 5 for details) |
| Off Switching Time ^{4, 5} | t_{OFF} | | | 200 | | μs | 50% INx to 10% (0.05dB of final IL value) RFxx, 50 Ω termination, -40°C to 85°C (see Figure 5 for details) |
| Power-Up Time | | | 4 | 5 | | ms | V_{CP} cap = 100 pF, -40°C to +85°C |
| Video Feedthrough | | | 10 | | | mV peak | 1M Ω termination at RFxx and 50 Ω termination at RFC |
| Actuation Frequency | | | | 2 | | kHz | Both switches toggled simultaneously |
| Internal Oscillator Frequency | | 8.6 | 10 | 11 | | MHz | |
| Internal Oscillator Feedthrough | | | -92.5 | | | dBm | See note ⁶ for measurement setup details |
| | | | -115.5 | | | dBm/Hz | This value comes from calculations |
| Signal Timing Parameters | | | | | | | Simulated using measured s-parameter models with an input signal with $T_{RISE} = 10\text{ps}$ |
| Phase Delta Between Channels | | | 1.2 | | | degree | RF1A and RF1B |
| | | | 0.7 | | | degree | RF2A and RF2B |
| Propagation Delay | | | 46.17 | | | ps | RF1A and RF1B |
| | | | 44.95 | | | ps | RF2A and RF2B |
| Channel-to-Channel Skew | | | 0.15 | | | ps | RF1A to RF1B, RF2A to RF2B |
| | | | 1.22 | | | ps | RF1A/RF1B to RF2A/2B |
| CAPACITANCE PROPERTIES | | | | | | | At 1MHz, includes LGA package capacitance |
| Input to Output Capacitance | $C_{DS(OFF)}$ | | 35 | | | fF | Capacitance from input to output derived from off isolation measurements, see the Deriving CDS(OFF) from Off Isolation section |
| On Switch Channel Capacitance | C_{ON} | | 2.64 | | | pF | Capacitance measured on RFxx with respect to ground when RFxx to RFCx is on |
| Off Switch Channel Capacitance | C_{OFF} | | 1.51 | | | pF | Capacitance measured on RFxx with respect to ground when all switches are off |

仕様

表 1. 仕様 (続き)

| Parameter | Symbol | Min | Typ ¹ | Max | Unit | Test Conditions/Comments ² |
|--------------------------|------------------------------------|------------------------|------------------|------|------------------|--|
| LEAKAGE PROPERTIES | | | | | | |
| On Leakage ⁷ | | 0.7 | 1.1 | 1.39 | μA | RFxx(off channels) = +6V; RFCx/RFxx (on channel) = -6V; maximum value tested from -40°C to +85°C |
| Off Leakage ⁷ | | 0.34 | 0.6 | 0.77 | μA | RFxx = +6V; RFCx = -6V; maximum value tested from -40°C to +85°C |
| Internal Shunt Resistor | | 8.7 | 11.5 | 15.2 | MΩ | Typical temperature coefficient = 27.5 kΩ/°C, maximum and minimum value tested at 25°C |
| DIGITAL INPUTS | | | | | | |
| Input High Voltage | V _{INH} | 2 | | | V | Minimum and maximum over -40°C to 85°C V _{IN} = V _{INL} or V _{INH} |
| Input Low Voltage | V _{INL} | | | 0.8 | V | |
| Input Current | I _{INL} /I _{INH} | | 0.025 | 1 | μA | |
| Capacitance | | | 5 | | pF | |
| DIGITAL OUTPUTS | | | | | | |
| Output Low Voltage | V _{OL} | | | 0.4 | V _{MAX} | Minimum and maximum over -40°C to 85°C I _{SINK} = 1mA |
| Output High Voltage | V _{OH} | V _{DD} - 0.4V | | | V _{MIN} | I _{SOURCE} = 1mA |
| Capacitance | | | 5 | | pF | |
| POWER REQUIREMENTS | | | | | | |
| Supply Voltage | V _{DD} | 3.0 | | 3.6 | V | Minimum and maximum over -40°C to 85°C |
| Supply Current | I _{DD} | | | 2.5 | mA | Digital inputs = 0V or V _{DD} , SDO floating in SPI mode |

¹ 代表値の仕様は、25°C、V_{DD} = 3.3V でテストされています。

² RFxx は RF1A、RF1B、RF2A、RF2B です。RFCx は RFCA または RFCB です。INx は IN1、IN2、IN3、IN4 です。

³ この値は、サンプル・ロットの 1% が不合格になるまでの時間を示します。

⁴ スイッチは 200μs 後にセトリグします。0μs から 200μs までの間は RF 電力を印加しないでください。

⁵ スイッチをオフにする 50μs 前に、RF 電力を除去するか 5dBm 未満にする必要があります。

⁶ スペクトラム・アナライザのセットアップ：分解能帯域幅 (RBW) = 200Hz、ビデオ帯域幅 (VBW) = 2Hz、スパン = 100kHz、入力アッテネータ = 0dB、検出器タイプ = ピーク、最大値ホールド = オフ。測定は、1 つのスイッチのオン/オフ・スイッチ・ポートを 50Ω に終端した状態で実施します。基本波フィードスルー・ノイズまたはそれによる高調波ノイズ (いずれか最も高いノイズ) をテストします。

⁷ オン・リークおよびオフ・リークの仕様はスイッチ・ノードに印加される DC 電圧レベルによって異なります。例えば、1V を RFxx から RFCx に印加した場合、オン・リークの仕様値は 0.2μA、オフ・リークの仕様値は 0.1μA です。スイッチのリーク仕様は、主として、フロート状態のノードをなくすためにすべての RF ノードでグラウンドに接続された 10MΩ の内蔵抵抗によって決まります。

仕様

タイミング特性

特に指定のない限り、 $V_{DD} = 3.0V \sim 3.6V$ 、 $GND = 0V$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ での値。

表 2. タイミング特性

| Parameter | Limit at T_{MIN} | Limit at T_{MAX} | Unit | Conditions |
|-----------|--------------------|--------------------|------|---|
| t_1 | 100 | | ns | SCLK period |
| t_2 | 45 | | ns | SCLK high pulse width |
| t_3 | 45 | | ns | SCLK low pulse width |
| t_4 | 25 | | ns | \overline{CS} falling edge to SCLK active edge |
| t_5 | 20 | | ns | Data setup time |
| t_6 | 20 | | ns | Data hold time |
| t_7 | 25 | | ns | SCLK active edge to \overline{CS} rising edge |
| t_8 | | 20 | ns | \overline{CS} falling edge to SDO data available |
| t_9^1 | | 40 | ns | SCLK falling edge to SDO data available |
| t_{10} | | 25 | ns | \overline{CS} rising edge to SDO data available |
| t_{11} | 100 | | ns | \overline{CS} high time between SPI commands |
| t_{12} | 25 | | ns | SCLK edge rejection to \overline{CS} falling edge |
| t_{13} | 25 | | ns | \overline{CS} rising edge to SCLK edge rejection |

¹ 20pF の負荷を接続して測定。SDO 使用時の最大 SCLK 周波数は t_9 で決まります。

タイミング図

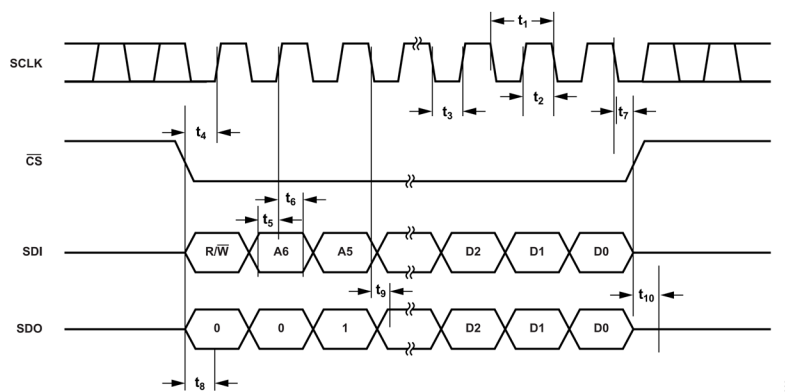
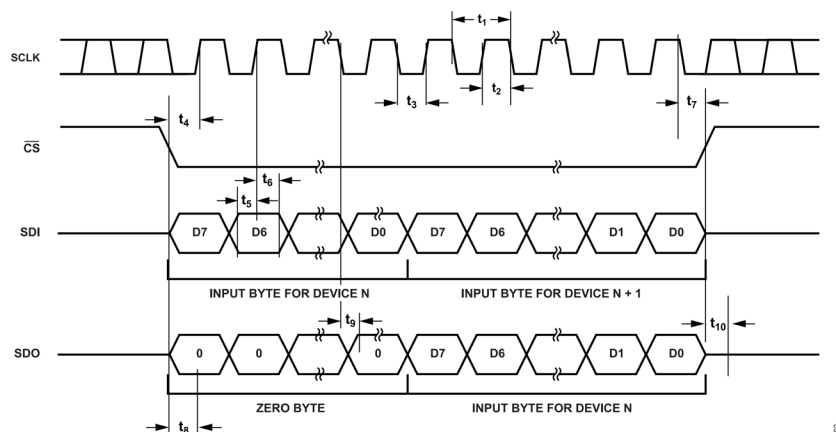


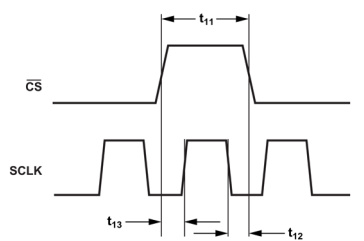
図 2. アドレス指定可能モードのタイミング

仕様



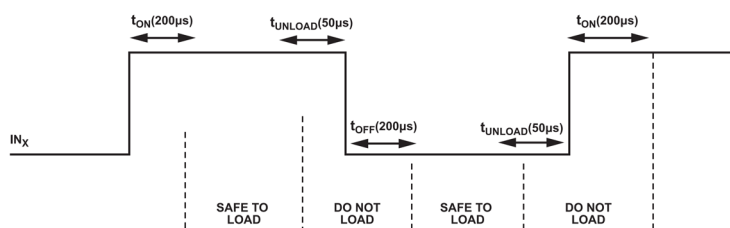
003

図 3. デイジーチェーンのタイミング



004

図 4. SCLK と CS のタイミング関係



005

図 5. スイッチ負荷プロファイル

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

| Parameter | Rating |
|--------------------------------|--|
| V_{DD} to AGND | -0.3V to +6V |
| Digital Inputs ¹ | -0.3V to $V_{DD} + 0.3V$ or 30mA (whichever occurs first). |
| Switch DC Rating ² | |
| Voltage | $\pm 7V$ |
| Current | 220mA |
| V_{CP} | 82V |
| Stand Off Voltage ³ | $\pm 10V$ |
| RF Power Rating ⁴ | 34dBm |
| Operating Temperature Range | -40°C to $+85^\circ\text{C}$ |
| Storage Temperature Range | -65°C to $+150^\circ\text{C}$ |
| Reflow Soldering (Pb-Free) | |
| Peak Temperature | $260(+0/-5)^\circ\text{C}$ |
| Time at Peak Temperature | 10sec to 30sec |
| Group D | |
| Mechanical Shock ⁵ | 1500g with 0.5ms pulse |
| Vibration | 20Hz to 2000Hz acceleration at 50g |
| Constant Acceleration | 30,000g |

¹ 電流は、仕様規定された最大定格に制限してください。

² この定格は、RF 信号が印加されない状態でオン位置にあるスイッチを基準にしています。

³ この定格は、RF 信号が印加されていない状態でオフ位置にあるスイッチを基準にしています。

⁴ この定格は、オン位置で 50Ω に終端処理されたスイッチを基準にしています。

⁵ 取り扱い中に落下したデバイスは使用しないでください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JCT} は、ジャンクションとケース上面の間の熱抵抗です。

θ_{JCB} は、ジャンクションとケース底面の間の熱抵抗です。

表 4. 熱抵抗

| Package Type | θ_{JA} | θ_{JCT} | θ_{JCB} | Unit |
|--------------|---------------|----------------|----------------|--------------------|
| CC-24-23 | 68.1 | 161.7 | 93.7 | $^\circ\text{C/W}$ |

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを、ESD から保護された環境で取り扱う場合のみ適用されます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 による電界誘起チャージ・デバイス・モデル (FICDM)。

ADGM3121 の ESD 定格

表 5. ADGM3121、24 端子 LGA

| ESD Model | Withstand Threshold | Class |
|--------------------|--|-------|
| HBM ¹ | 150V for RFxx and RFCx ² pins 2kV for all other pins | 0B |
| FICDM ³ | 1kV | C3 |

¹ 取り扱い時は、**取り扱い上の注意**のセクションに示す概要に従い、十分に注意してください。

² RFxx は RF1A、RF1B、RF2A、RF2B です。RFCx は RFCA と RFCB です。

³ 業界標準の ESD 制御を実装することによって、この定格レベルの範囲内で安全な取り扱いと組み立て工程の自動化を実現することができます。

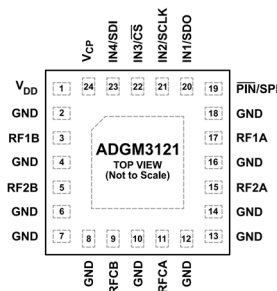
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. EP IS INTERNALLY CONNECTED TO GND. CONNECT THIS PAD TO GND.

図 6. ADGM3121 のピン配置

表 6. ピン機能の説明

| ピン番号 | 記号 | 説明 |
|---------------------------------------|------------------------------------|--|
| 1 | V _{DD} | 正の電源入力。推奨入力電圧については表 1 を参照してください。このピンのできるだけ近くで、0.1μF のデカップリング・コンデンサを GND との間に配置します。デカップリング・コンデンサは 16V DC 以上の定格であることが必要です。 |
| 2, 4, 6, 7, 8, 10, 12, 13, 14, 16, 18 | GND | グラウンド・リターン。 |
| 3 | RF1B | RF1B ポート。このピンは、入力または出力に設定できます。このピンを使用しない場合は、50Ω の抵抗で GND に終端するか（高速あるいは RF のアプリケーションで共振を防ぐため）、直接 GND に接続する（DC のみのアプリケーションの場合）ことを推奨します。 |
| 5 | RF2B | RF2B ポート。このピンは、入力または出力に設定できます。このピンを使用しない場合は、50Ω の抵抗で GND に終端するか（高速あるいは RF のアプリケーションで共振を防ぐため）、直接 GND に接続する（DC のみのアプリケーションの場合）ことを推奨します。 |
| 9 | RFCB | 共通 RFCB ポート。このピンは、入力または出力に設定できます。このピンを使用しない場合は、50Ω の抵抗で GND に終端するか（高速あるいは RF のアプリケーションで共振を防ぐため）、直接 GND に接続する（DC のみのアプリケーションの場合）ことを推奨します。 |
| 11 | RFCA | 共通 RFCA ポート。このピンは、入力または出力に設定できます。このピンを使用しない場合は、50Ω の抵抗で GND に終端するか（高速あるいは RF のアプリケーションで共振を防ぐため）、直接 GND に接続する（DC のみのアプリケーションの場合）ことを推奨します。 |
| 15 | RF2A | RF2A ポート。このピンは、入力または出力に設定できます。このピンを使用しない場合は、50Ω の抵抗で GND に終端するか（高速あるいは RF のアプリケーションで共振を防ぐため）、直接 GND に接続する（DC のみのアプリケーションの場合）ことを推奨します。 |
| 17 | RF1A | RF1A ポート。このピンは、入力または出力に設定できます。このピンを使用しない場合は、50Ω の抵抗で GND に終端するか（高速あるいは RF のアプリケーションで共振を防ぐため）、直接 GND に接続する（DC のみのアプリケーションの場合）ことを推奨します。 |
| 19 | $\overline{\text{PIN}}/\text{SPI}$ | パラレル・モード・イネーブル/SPI モード・イネーブル。このピンがハイのときには SPI インターフェースがイネーブルされ、ローのときはパラレル・インターフェース（IN1、IN2、IN3、IN4）がイネーブルされます。 |
| 20 | IN1/SDO | パラレル・ロジック・デジタル制御入力 1。このピンに印加される電圧は、RF1A~RFCA の MEMS スイッチのゲートを制御します。SPI モードでは、このピンはシリアル・データ出力（SDO）ピンになります。 |
| 21 | IN2/SCLK | パラレル・ロジック・デジタル制御入力 2。このピンに印加される電圧は、RF2A~RFCA の MEMS スイッチのゲートを制御します。SPI モードでは、このピンは、ターゲット・デバイスをコントローラ・デバイスに同期させるシリアル・クロック（SCLK）ピンです。 |
| 22 | IN3/ $\overline{\text{CS}}$ | パラレル・ロジック・デジタル制御入力 3。このピンに印加される電圧は、RF2B~RFCB の MEMS スイッチのゲートを制御します。SPI モードでは、このピンはチップ・セレクト（ $\overline{\text{CS}}$ ）ピンになります。 $\overline{\text{CS}}$ は、コントローラ・デバイスが通信しようとするターゲット・デバイスを選択するアクティブ・ロー信号です。 |
| 23 | IN4/SDI | パラレル・ロジック・デジタル制御入力 4。このピンに印加される電圧は、RF1B~RFCB の MEMS スイッチのゲートを制御します。SPI モードでは、このピンはシリアル・データ入力（SDI）ピンになります。 |
| 24 | V _{CP} | ドライバ IC 入出力。通常動作モードでは、このピンは 80V DC を出力します。このピンのできるだけ近くで、0.1nF のデカップリング・コンデンサを GND との間に配置します。デカップリング・コンデンサは 100V DC 以上の定格であることが必要です。 |
| | EP | 露出パッド。EP は内部で GND に接続されています。このパッドは GND に接続します。 |

代表的な性能特性

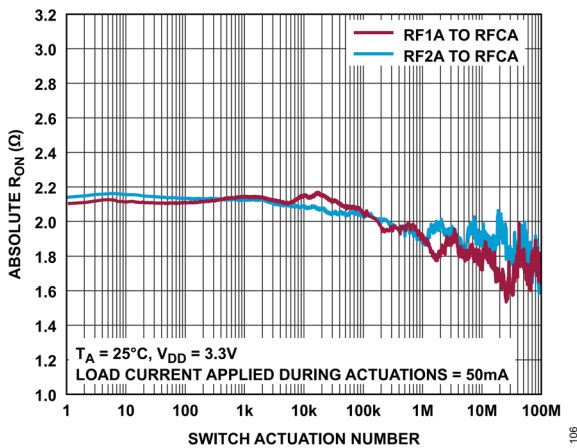


図 7. R_{ON} の絶対値とスイッチ作動回数の関係

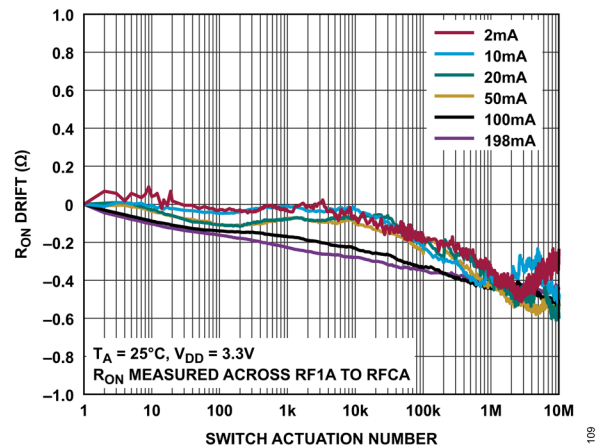


図 10. 作動時の様々な電流レベルにおける R_{ON} ドリフトとスイッチ作動回数の関係、0 で正規化

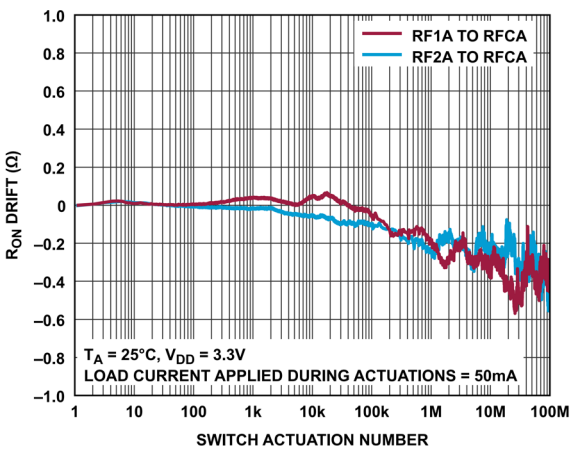


図 8. R_{ON} ドリフトとスイッチ作動回数の関係、0 で正規化

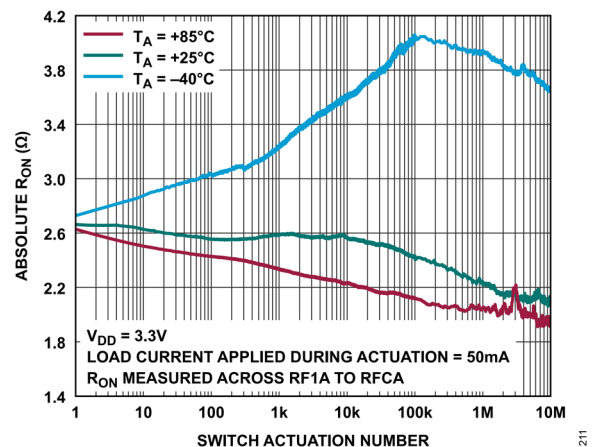


図 11. 様々な温度における R_{ON} の絶対値とスイッチ作動回数の関係

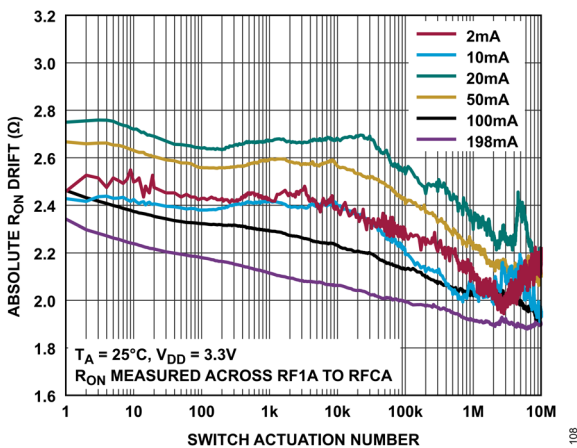


図 9. 作動時の様々な電流レベルにおける R_{ON} の絶対値とスイッチ作動回数の関係

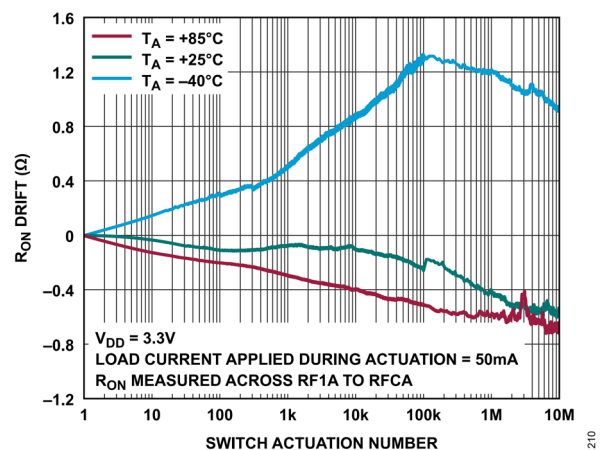


図 12. 様々な温度における R_{ON} ドリフトとスイッチ作動回数の関係、0 で正規化

代表的な性能特性

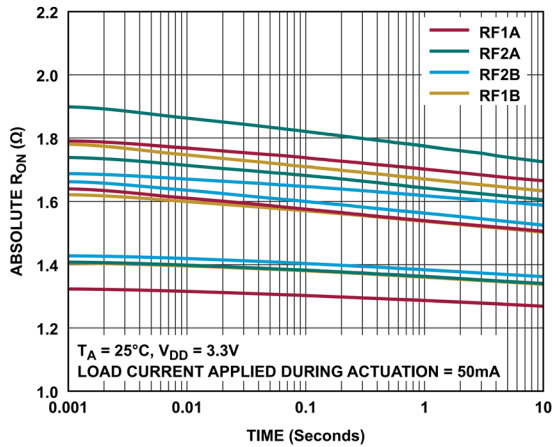


図 13. 各チャンネルにおける RON の絶対値と時間 (1ms~10s) の関係、複数デバイス

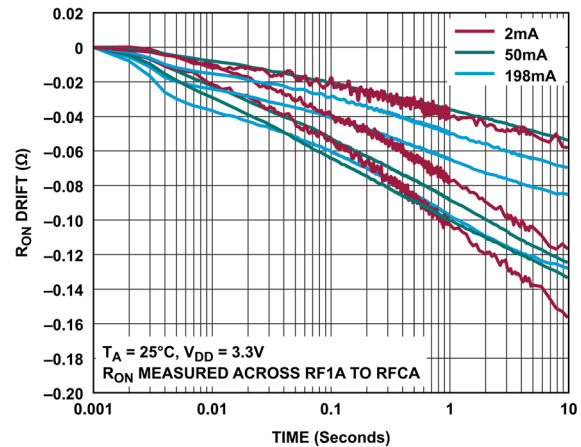


図 16. 様々な電流レベルにおける RON ドリフトと時間 (1ms~10s) の関係、複数デバイス、0 で正規化

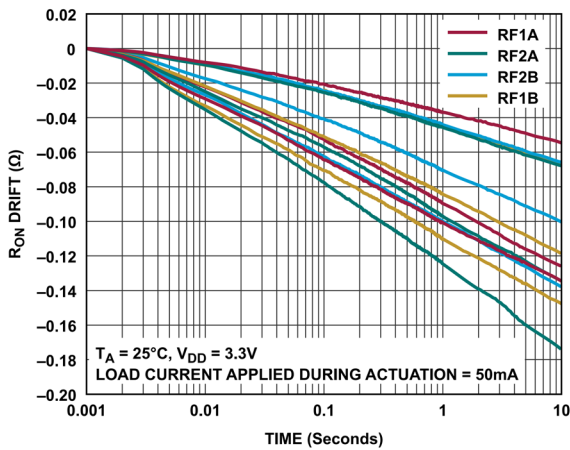


図 14. 各チャンネルにおける RON ドリフトと時間 (1ms~10s) の関係、複数デバイス、0 で正規化

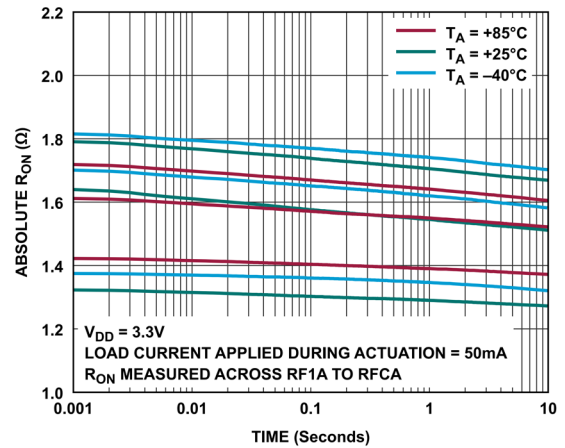


図 17. 様々な温度における RON の絶対値と時間 (1ms~10s) の関係、複数デバイス

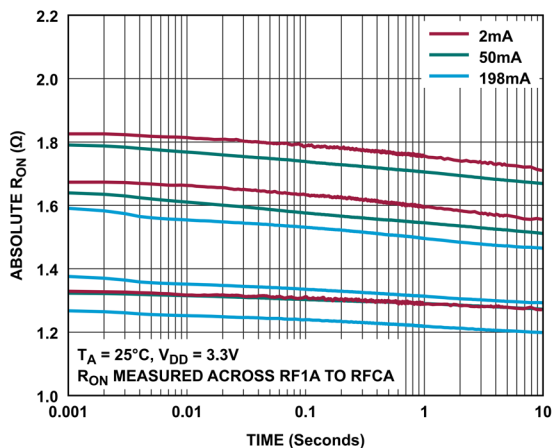


図 15. 様々な電流レベルにおける RON の絶対値と時間 (1ms~10s) の関係、複数デバイス

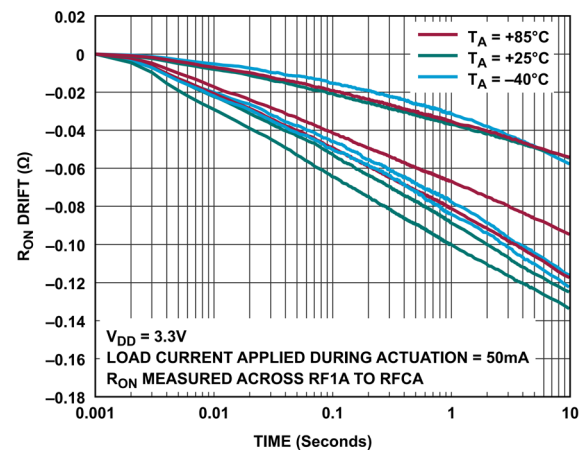


図 18. 様々な温度における RON ドリフトと時間 (1ms~10s) の関係、複数デバイス、0 で正規化

代表的な性能特性

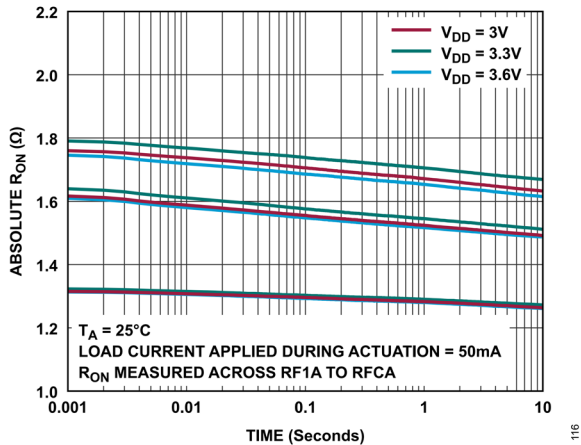


図 19. 様々な電源電圧における RON の絶対値と時間 (1ms~10s) の関係、複数デバイス

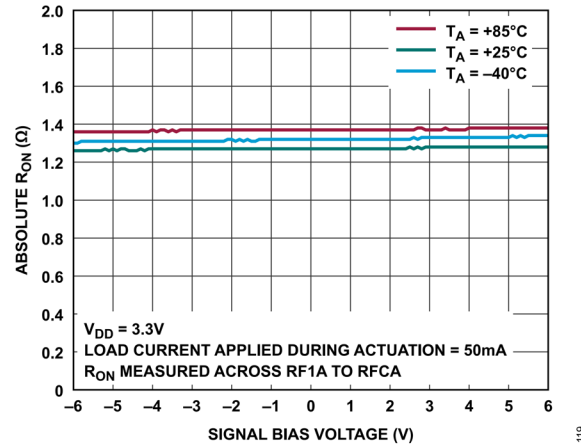


図 22. 様々な温度における RON の絶対値と信号バイアス電圧の関係

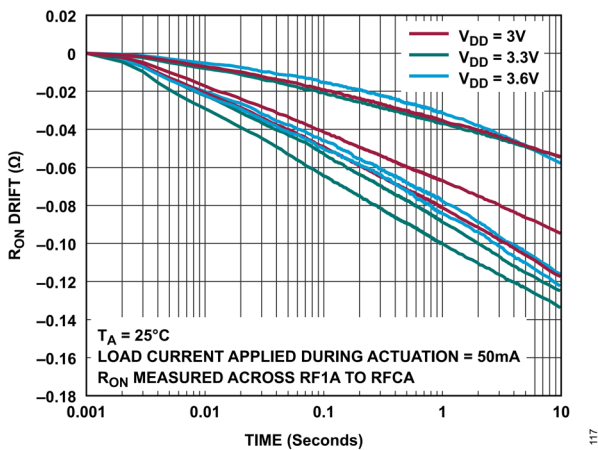


図 20. 様々な電源電圧における RON ドリフトと時間 (1ms~10sec) の関係、複数デバイス、0で正規化

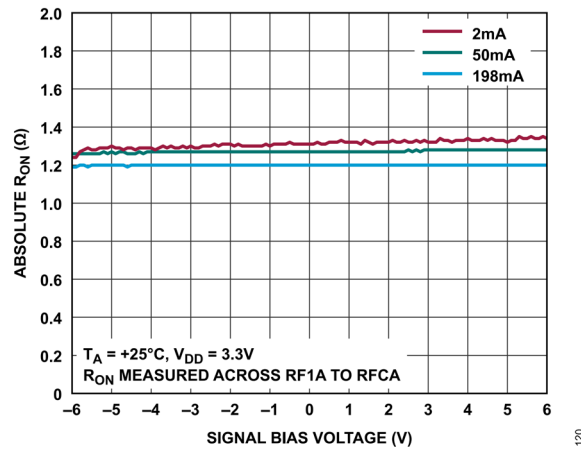


図 23. 様々な電流レベルにおける RON の絶対値と信号バイアス電圧の関係

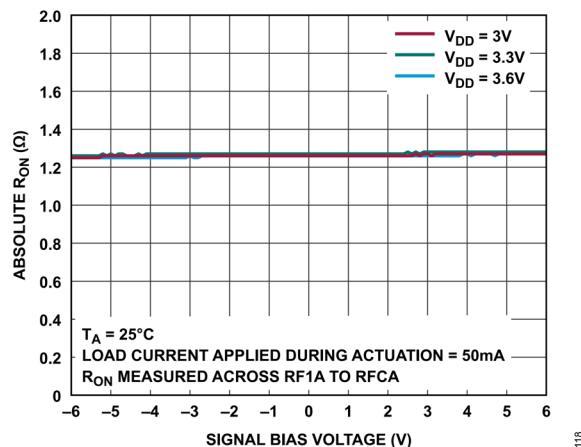


図 21. 様々な電源電圧における RON の絶対値と信号バイアス電圧の関係

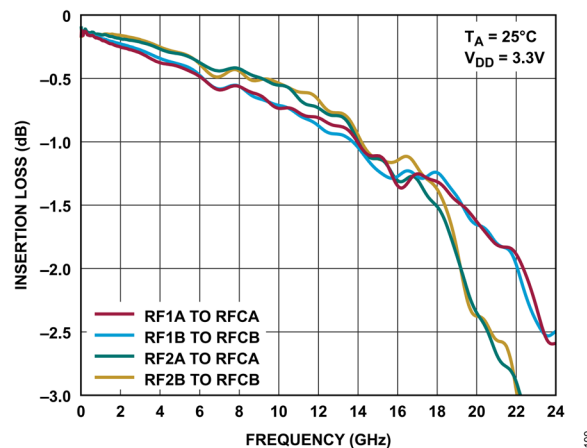


図 24. 挿入損失と周波数の関係 (シングルエンド性能、DC~24GHz、RFXA~RFCA、RFXB~RFCB)

代表的な性能特性

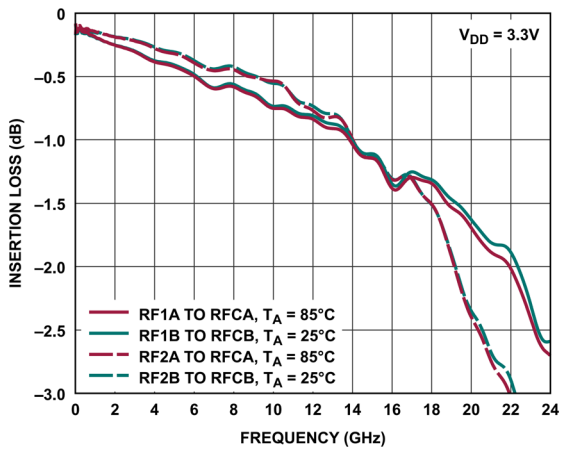


図 25. 異なる温度における挿入損失と周波数の関係 (シングルエンド性能、DC~24GHz、RF1A~RFCA、RF2A~RFCA)

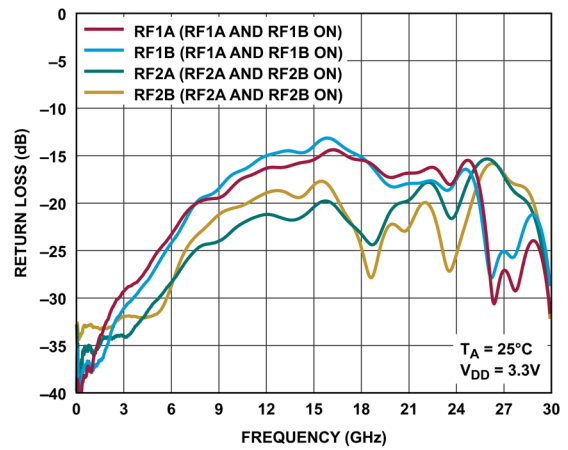


図 28. 反射損失と周波数の関係 (シングルエンド性能、RF1A、RF2A、RF1B、RF2B で測定)

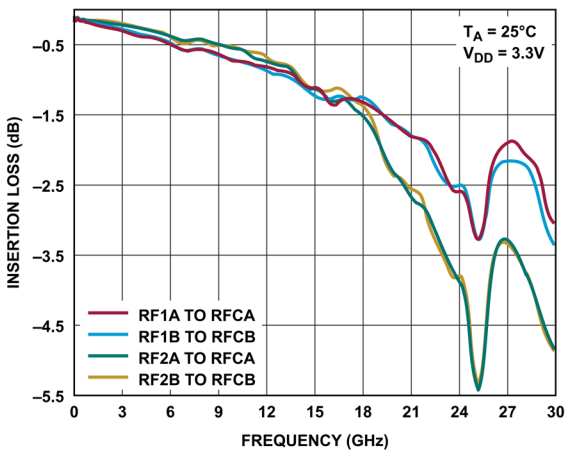


図 26. 反射損失と周波数の関係 (シングルエンド性能、DC~30GHz、RFXA~RFCA、RFXB~RFCB)

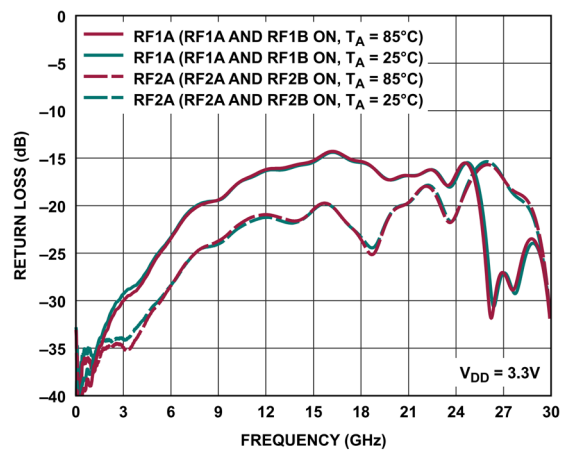


図 29. 異なる温度における反射損失と周波数の関係 (シングルエンド性能、RF1A と RF2A で測定)

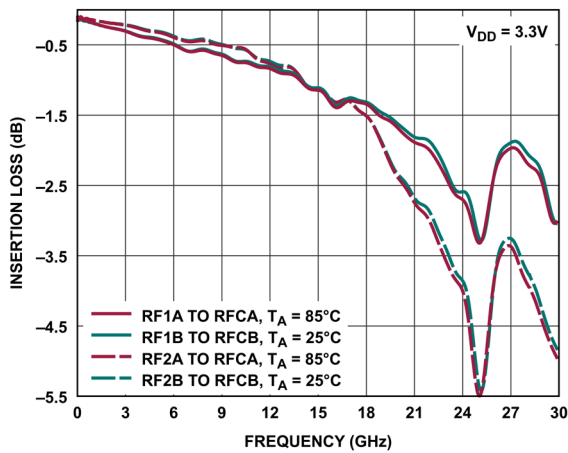


図 27. 異なる温度における挿入損失と周波数の関係 (シングルエンド性能、DC~30GHz、RF1A~RFCA、RF2A~RFCA)

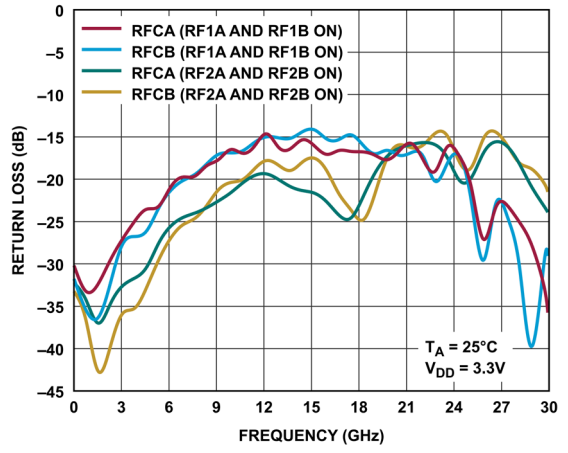


図 30. 反射損失と周波数の関係 (シングルエンド性能、RFCA と RFCB で測定)

代表的な性能特性

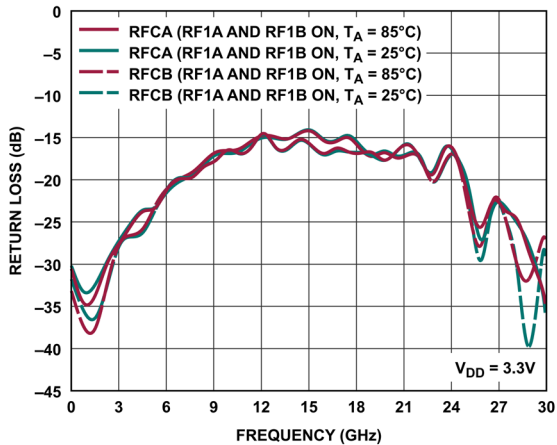


図 31. 異なる温度における反射損失と周波数の関係 (シングルエンド性能、RFCA と RFCB で測定)

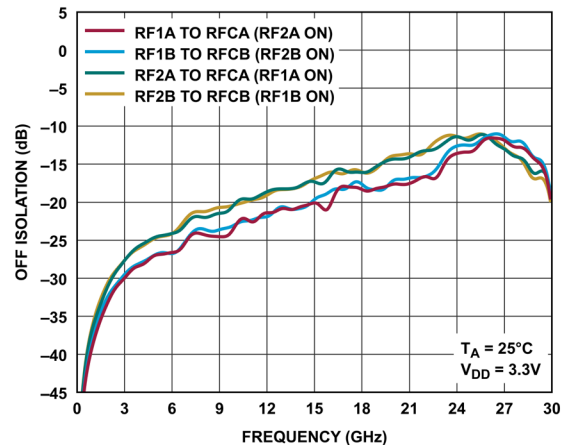


図 34. オフ・アイソレーションと周波数の関係 (シングルエンド性能、1チャンネルがオン)

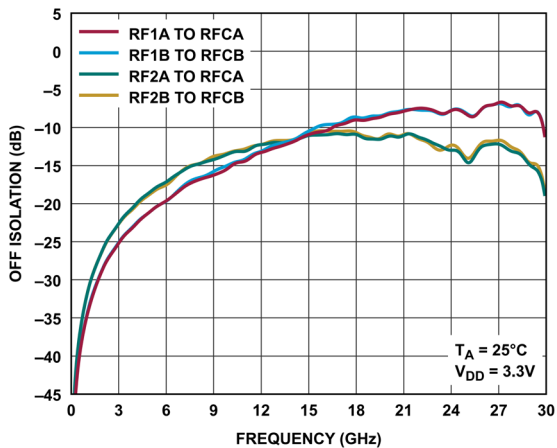


図 32. オフ・アイソレーションと周波数の関係 (シングルエンド性能、全チャンネルがオフ)

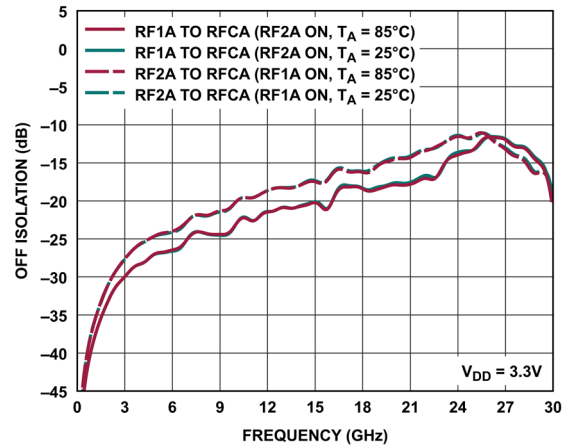


図 35. 異なる温度におけるオフ・アイソレーションと周波数の関係 (シングルエンド性能、1チャンネルがオン)

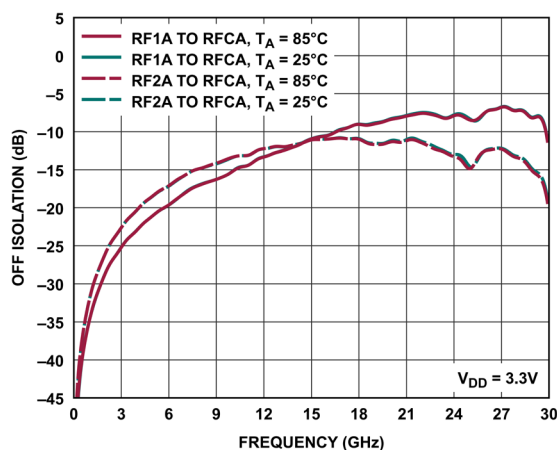


図 33. 異なる温度におけるオフ・アイソレーションと周波数の関係 (シングルエンド性能、全チャンネルがオフ)

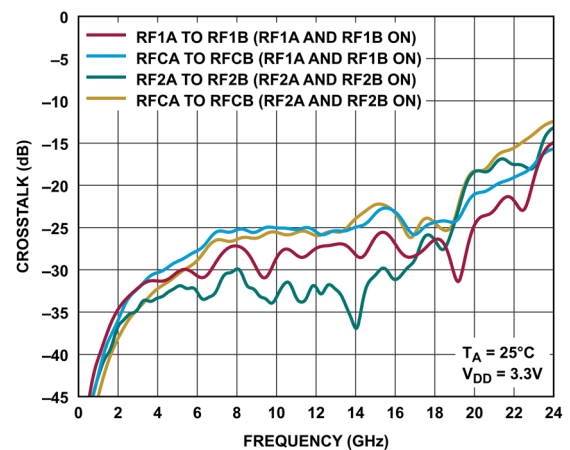


図 36. クロストークと周波数の関係 (シングルエンド性能、DC~24GHz)

代表的な性能特性

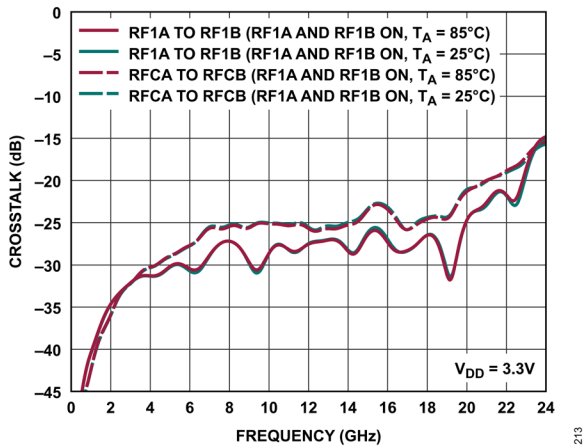


図 37. 様々な温度におけるクロストークと周波数の関係 (シングルエンド性能、DC~24GHz)

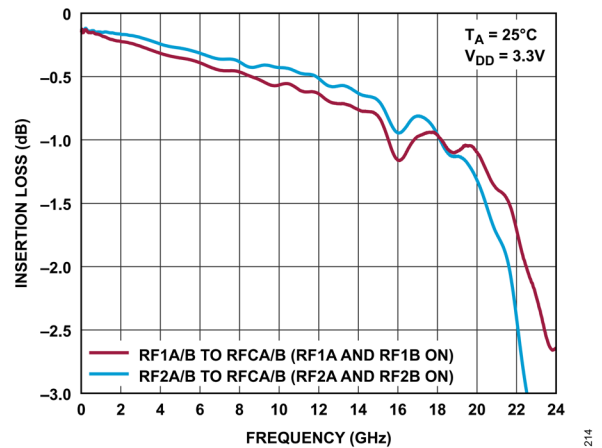


図 40. 挿入損失と周波数の関係 (差動性能、DC~24GHz、RF1A/B~RFCA/B、RF2A/B~RFCA/B)

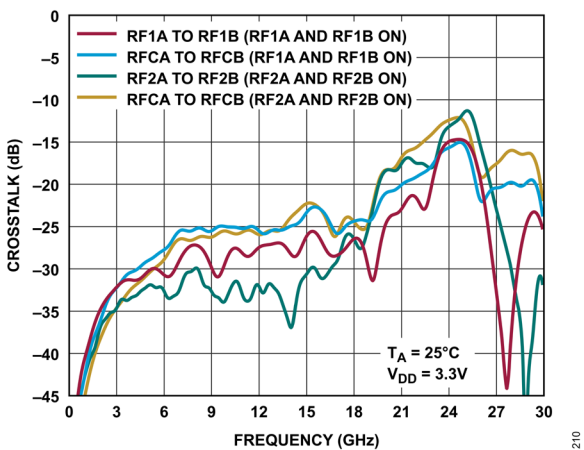


図 38. クロストークと周波数の関係 (シングルエンド性能、DC~30GHz)

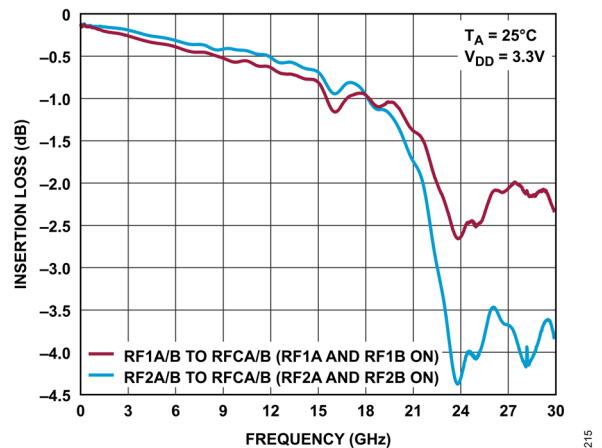


図 41. 挿入損失と周波数の関係 (差動性能、DC~30GHz、RF1A/B~RFCA/B、RF2A/B~RFCA/B)

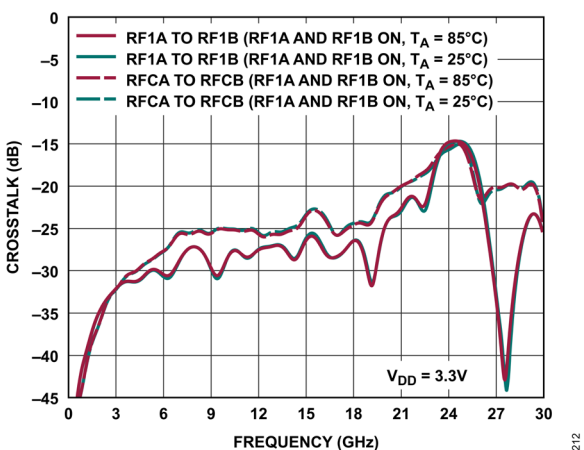


図 39. 異なる温度におけるクロストークと周波数の関係 (シングルエンド性能、DC~30GHz)

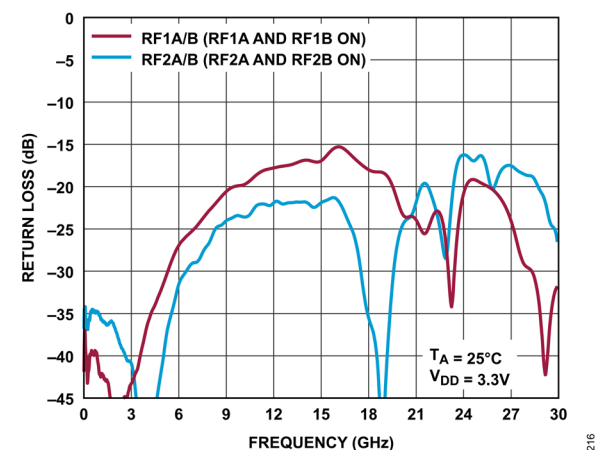


図 42. 反射損失と周波数の関係 (差動性能、RF1A/B と RF2A/B で測定)

代表的な性能特性

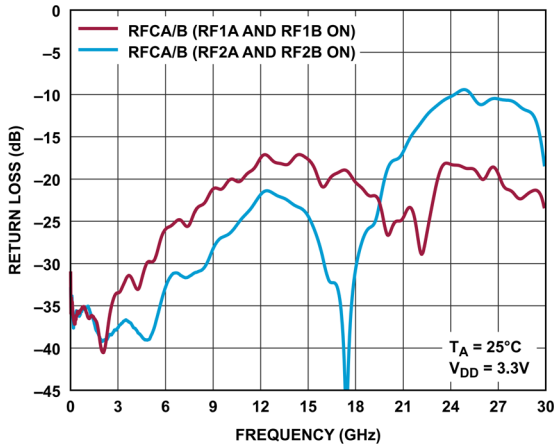


図 43. 反射損失と周波数の関係
(差動性能、RFCA と RFCB で測定)

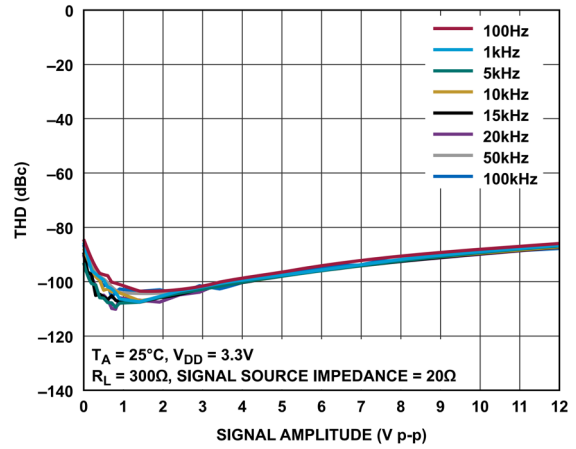


図 46. 様々な周波数における THD と信号振幅の関係

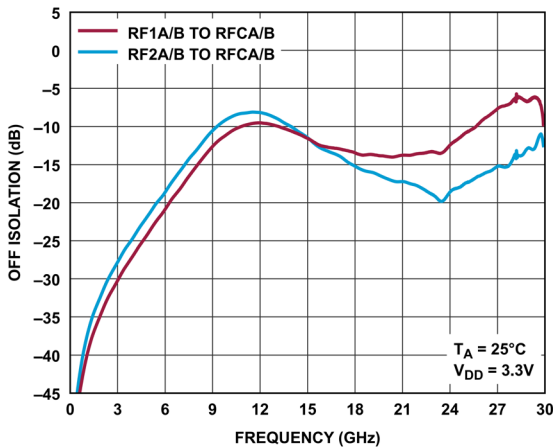


図 44. オフ・アイソレーションと周波数の関係
(差動性能、全チャンネルがオフ)

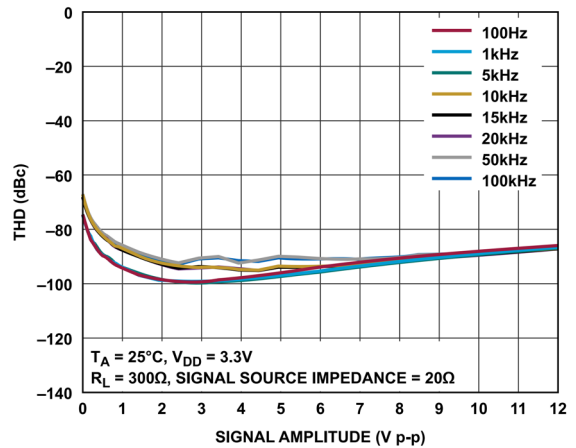


図 47. 様々な周波数における THD + N と信号振幅の関係

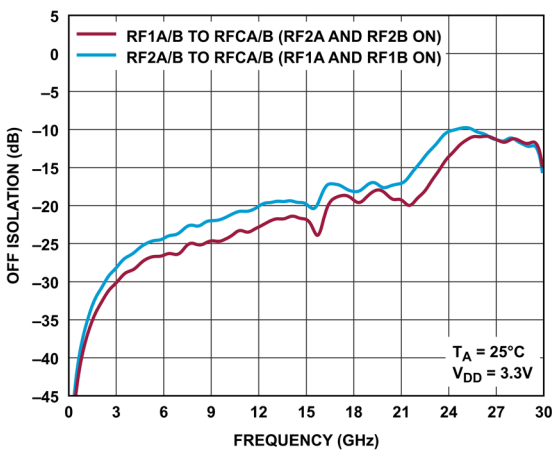


図 45. オフ・アイソレーションと周波数の関係
(差動性能、2チャンネルがオン)

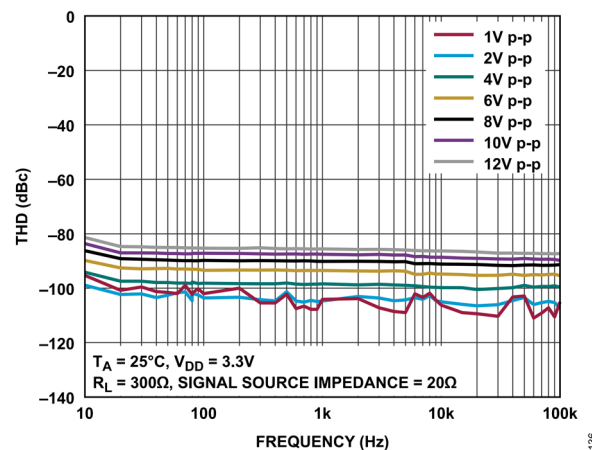


図 48. 様々な信号振幅における THD と周波数の関係

代表的な性能特性

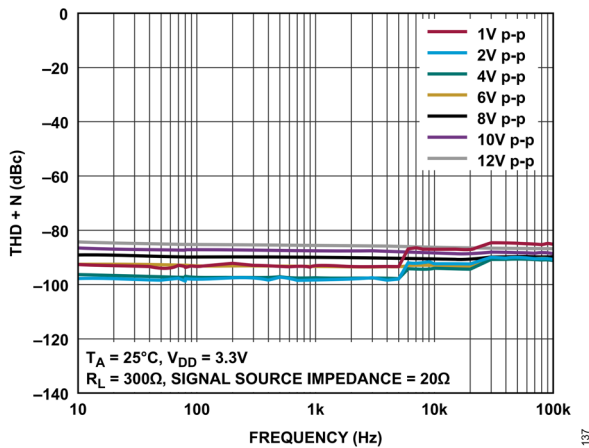


図 49. 様々な信号振幅における THD + N と周波数の関係

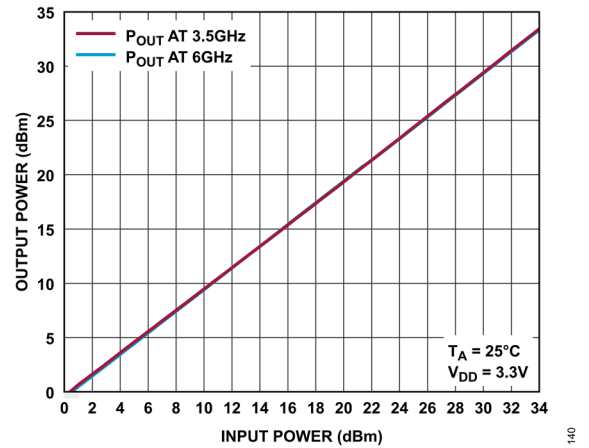


図 52. 出力電力 (P_{OUT}) と入力電力 (P_{IN}) の関係

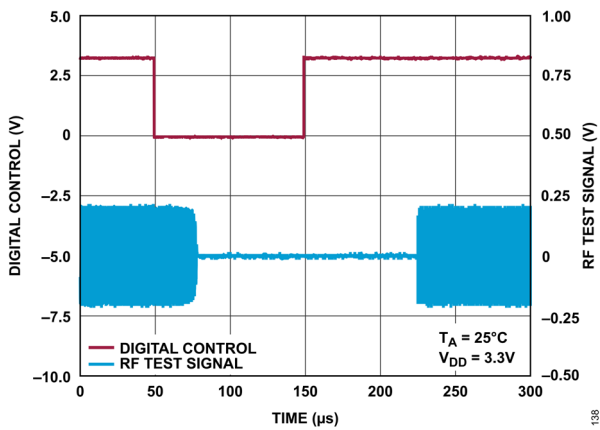


図 50. デジタル制御および RF テスト信号と時間の関係

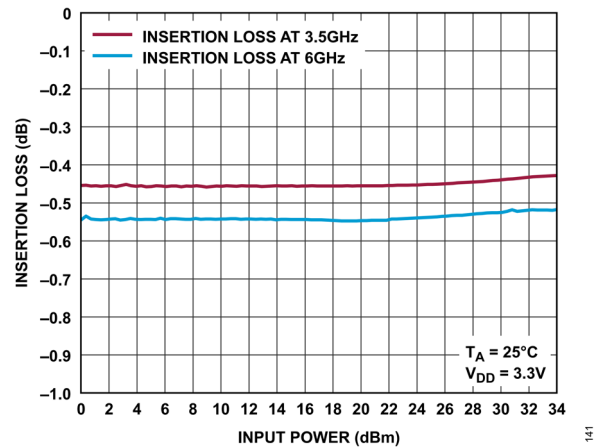


図 53. 挿入損失と P_{IN} の関係

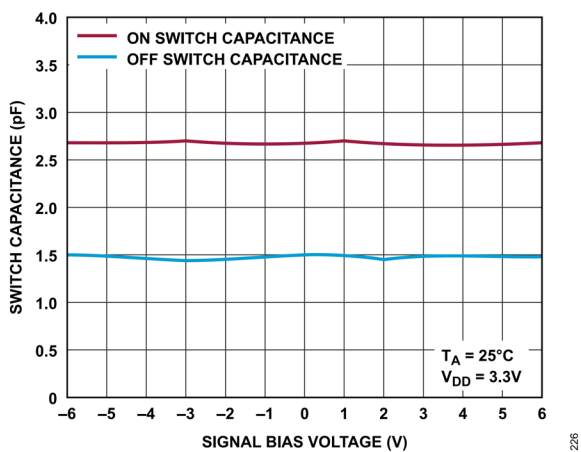


図 51. スイッチ容量と信号バイアス電圧の関係 (V_{DD} = 3.3V、T_A = 25°C)

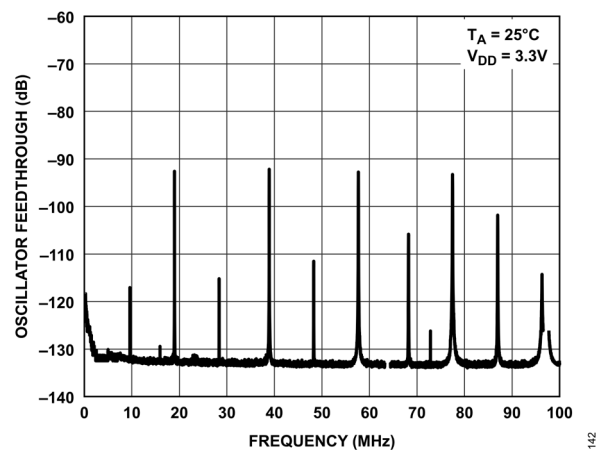


図 54. 発振器フィードスルーと周波数の関係、広帯域幅 (V_{DD} = 3.3V)

代表的な性能特性

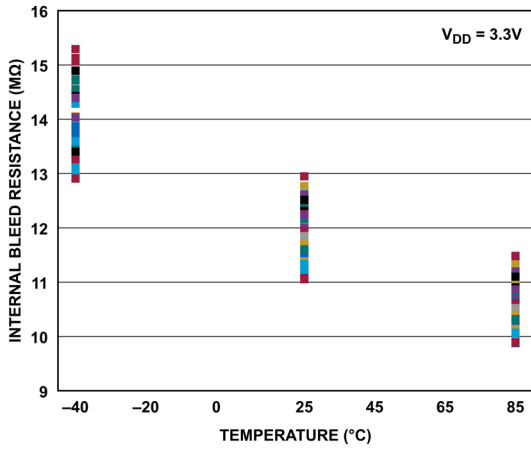


図 55. 様々な温度における内蔵ブリード抵抗の分布、複数デバイス

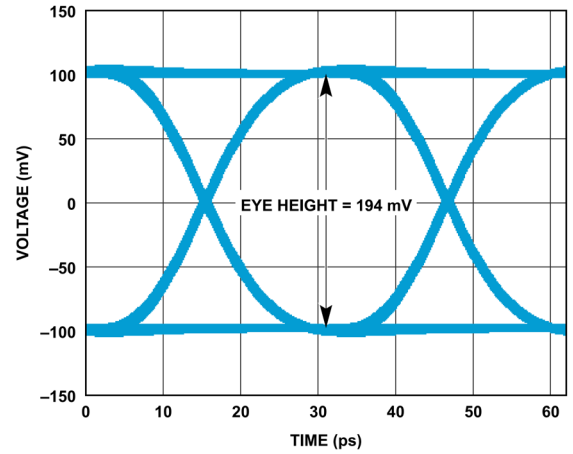


図 58. 32Gbps におけるリファレンス・アイ・ダイアグラム (非ゼロ復帰 (NRZ)、 $T_{RISE}/T_{FALL} = 10ps$)

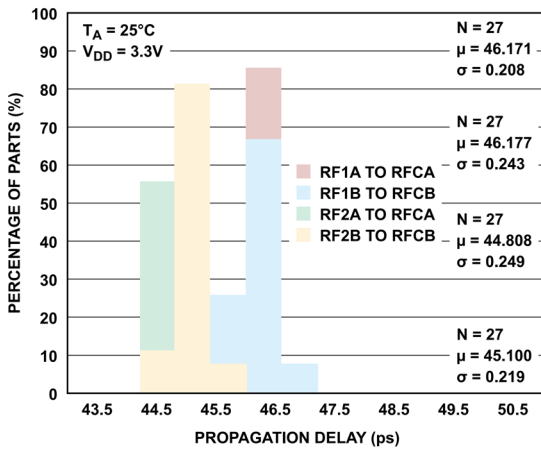


図 56. 伝搬遅延ヒストグラム

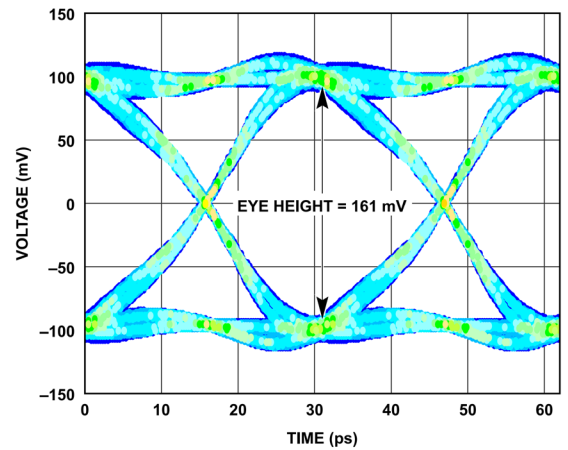


図 59. 32Gbps におけるアイ・ダイアグラム (NRZ、 $T_{RISE}/T_{FALL} = 10ps$ 、1 個の ADGM3121 を通過した信号)

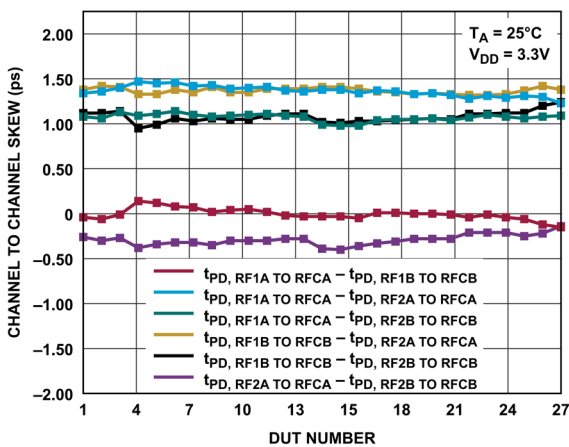


図 57. 複数デバイスでのチャンネル間伝搬遅延スキュー

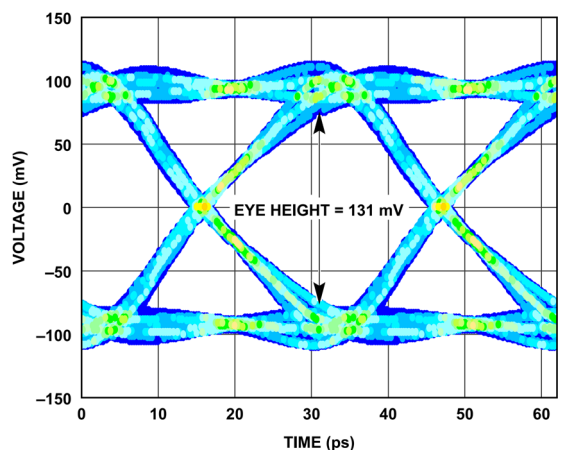


図 60. 32Gbps におけるアイ・ダイアグラム (NRZ、 $T_{RISE}/T_{FALL} = 10ps$ 、ループバック構成にした 2 個の ADGM3121 を通過した信号)

代表的な性能特性

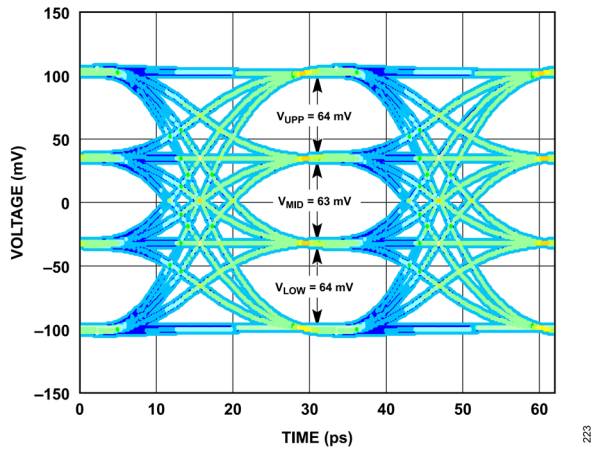


図 61. 64Gbps におけるリファレンス・アイ・ダイアグラム (4 値パルス振幅変調 (PAM4) を使用したパターン、 $T_{RISE}/T_{FALL} = 10ps$)

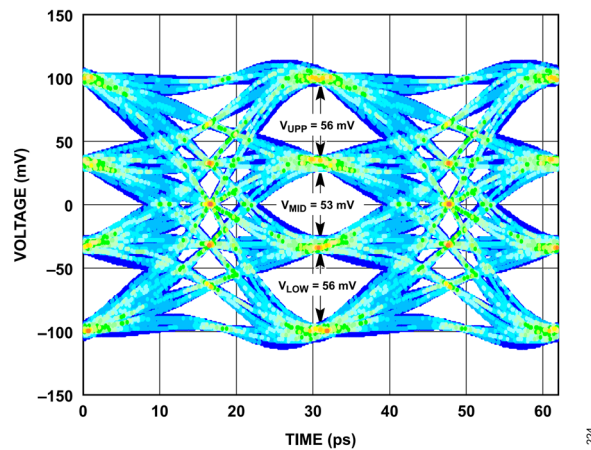


図 62. 64Gbps におけるアイ・ダイアグラム (PAM4、 $T_{RISE}/T_{FALL} = 10ps$ 、1 個の ADGM3121 を通過した信号)

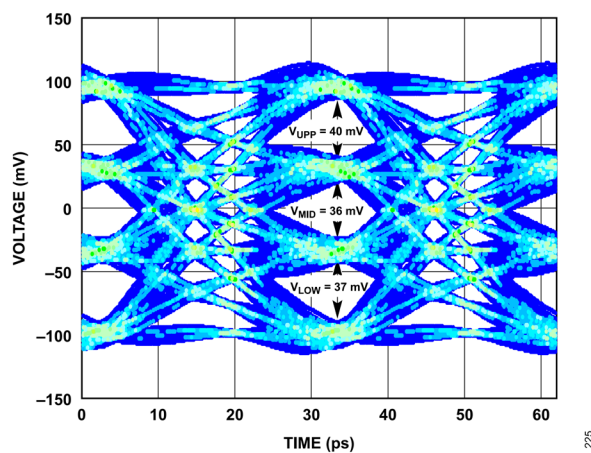


図 63. 64Gbps におけるアイ・ダイアグラム (PAM4、 $T_{RISE}/T_{FALL} = 10ps$ 、ループバック構成にした 2 個の ADGM3121 を通過した信号)

テスト回路

オフ・アイソレーションによる $C_{DS(OFF)}$ の算出

図 64 のテスト回路を使用して得られたオフ・アイソレーションの測定値から、以下の式を使用して $C_{DS(OFF)}$ を算出します。

$$OFF\ ISOLATION = 20\log\frac{V_{OUT}}{V_S} \quad (1)$$

$$C_{DS(OFF)} = \frac{1}{2\pi f R_L \left(\frac{2}{10^{OFFISO/20}} - 1 \right)} \quad (2)$$

ここで、
 $C_{DS(OFF)}$ は、すべてのスイッチがオフのときにスイッチに現れるスイッチ容量。
 f は信号の周波数。
 R_L は 50Ω の負荷抵抗。
 $OFFISO$ はオフ・アイソレーションの計測値。

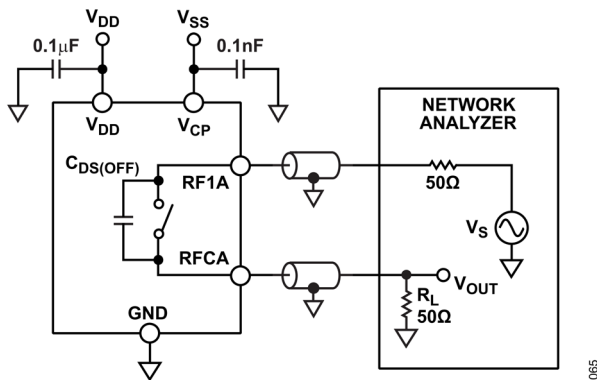


図 64. オフ・アイソレーション計測用テスト回路と $C_{DS(OFF)}$ の算出

動作原理

スイッチの設計

ADGM3121 は、アナログ・デバイゼズの MEMS スイッチ技術を使用して製造される広帯域 DPDT スイッチです。この技術により、要求が厳しい RF アプリケーションに対応できる高電力、低損失、低歪みのギガヘルツ・スイッチが実現します。

クラス最高レベルの高周波 RF 性能と高精度の 0Hz/DC 性能を同時に発揮することが、この MEMS スイッチの長所です。高信頼性および表面実装可能な小フォーム・ファクタとこの長所を組み合わせることで、すべての高精度 RF 信号計測器のニーズに適合する最適なソリューションが実現します。

スイッチは、静電的に作動される MEMS 構造となっています。内蔵されたチャージ・ポンプにより、スイッチの作動に用いられるバイアス電圧 (80V) を内部で生成します。

パラレル・デジタル・インターフェース

ADGM3121 は、パラレル・インターフェースを介して制御できます。標準的な相補型金属酸化膜半導体 (CMOS) 信号または低電圧トランジスタ・トランジスタ・ロジック (LVTTTL) 信号をこのインターフェースを介して印加することにより、ADGM3121 のすべてのスイッチ・チャンネルの作動と解除を個別に制御できます。

ピン 19 ($\overline{\text{PIN}}/\text{SPI}$) をローに設定すると、パラレル制御インターフェースがイネーブルされます。ピン 20、ピン 21、ピン 22、ピン 23 (IN1、IN2、IN3、IN4) は、ADGM3121 のスイッチング機能を制御します。これらのピンのいずれかにロジック 1 が入力されると、対応するスイッチがオンになります。逆にロジック 0 が入力されると、対応するスイッチがオフになります。真理値表については表 7 を参照してください。

ピン 1 (V_{DD}) に電源電圧が印加されていない場合は、すべてのスイッチが不定状態になります。

表 7. パラレル・デジタル・インターフェース・モードの真理値表

| IN1 | IN2 | IN3 | IN4 | RF1A to RFCA | RF2A to RFCA | RF2B to RFCB | RF1B to RFCB |
|-----|-----|-----|-----|--------------|--------------|--------------|--------------|
| 0 | 0 | 0 | 0 | Off | Off | Off | Off |
| 0 | 0 | 0 | 1 | Off | Off | Off | On |
| 0 | 0 | 1 | 0 | Off | Off | On | Off |
| 0 | 0 | 1 | 1 | Off | Off | On | On |
| 0 | 1 | 0 | 0 | Off | On | Off | Off |
| 0 | 1 | 0 | 1 | Off | On | Off | On |
| 0 | 1 | 1 | 0 | Off | On | On | Off |
| 0 | 1 | 1 | 1 | Off | On | On | On |
| 1 | 0 | 0 | 0 | On | Off | Off | Off |
| 1 | 0 | 0 | 1 | On | Off | Off | On |
| 1 | 0 | 1 | 0 | On | Off | On | Off |
| 1 | 0 | 1 | 1 | On | Off | On | On |
| 1 | 1 | 0 | 0 | On | On | Off | Off |
| 1 | 1 | 0 | 1 | On | On | Off | On |
| 1 | 1 | 1 | 0 | On | On | On | Off |
| 1 | 1 | 1 | 1 | On | On | On | On |

動作原理

SPI デジタル・インターフェース

ピン 19 ($\overline{\text{PIN}}/\text{SPI}$) をハイにすると、SPI デジタル・インターフェースを介して ADGM3121 を制御できます。このデバイスでは SPI モード 0 または SPI モード 3 を使用でき、最大 10MHz の SCLK 周波数で動作します。SPI がアクティブな場合のデフォルト・モードはアドレス指定可能モードであり、このモードでは、デバイスのレジスタへのアクセスは、 $\overline{\text{CS}}$ の状態で境界づけられる 16 ビットの SPI コマンドによって行われます。ADGM3121 はデジチェーン・モードでも動作します。

ADGM3121 の SPI ピンは、 $\overline{\text{CS}}$ 、SCLK、SDI、SDO です。SPI を使用する場合は $\overline{\text{CS}}$ をローにします。データは SCLK の立上がりエッジで SDI からキャプチャされ、SCLK の立下がりエッジで SDO から送出されます。SDO はプッシュプル出力ドライバ・アーキテクチャです。したがって、プルアップ抵抗は不要です。SDO は、ADGM3121 によってローにされない場合、高インピーダンス状態になります。

アドレス指定可能モード

アドレス指定可能モードは、ADGM3121 パワーアップ時のデフォルト・モードです。アドレス指定可能モードでは、 $\overline{\text{CS}}$ の立下がりエッジと後続の $\overline{\text{CS}}$ の立上がりエッジによって 1 つの SPI フレームが境界づけられます。これは 16 個の SCLK サイクルで構成されます。SPI モード 0 におけるアドレス指定可能モードのタイミング図を図 65 に示します。

最初の SDI ビットは、SPI コマンドが読出しコマンドまたは書き込みコマンドのどちらであるかを示します。次の 7 ビットはターゲット・レジスタのアドレスを決定します。残りの 8 ビットは、アドレス指定されたレジスタへ提供するデータです。読出しコマンド実行中のクロック・サイクルでは、アドレス指定されたレジスタに含まれるデータを SDO が送出するので、最後の 8 ビットは無視されます。

モード 0 で SPI コマンドが実行される場合、SDO は $\overline{\text{CS}}$ の立下がりエッジと SCLK の最初の 7 個の立下がりエッジで 8 個のアライメント・ビットを送出します（モード 3 では、図 66 に示すように SCLK の最初の立下がりエッジが無視されます）。SDO で観察されるアライメント・ビットは、0x25 です。

SPI コマンドのターゲット・レジスタのアドレスは、8 番目の SCLK 立上がりエッジで決定されます。このレジスタのデータは、SPI の読出し中に 8~15 番目の SCLK 立下がりエッジで SDO から送出されます。レジスタへの書き込みは、SPI の書き込み中に 16 番目の SCLK 立上がりエッジで行われます。

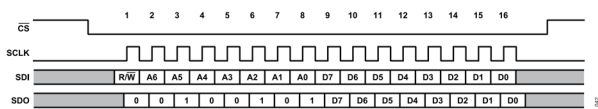


図 65. アドレス指定可能モードのタイミング図（モード 0）

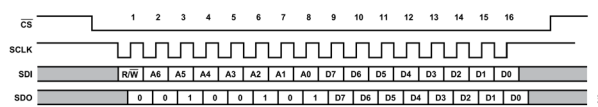


図 66. アドレス指定可能モードのタイミング図（モード 3）

デジチェーン・モード

デジチェーン構成では、複数の ADGM3121 デバイスを接続できます。すべてのデバイスが同じ $\overline{\text{CS}}$ と SCLK ラインを共有し、デバイスの SDO は次のデバイスの SDI に接続されてシフト・レジスタを構成します。デジチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。

ADGM3121 は、アドレス指定可能モードで 16 ビット SPI コマンド 0x2500 を送信した場合のみ、アドレス指定可能モードからデジチェーン・モードへ移行できます。この例を図 67 に示します。ADGM3121 がこのコマンドを受信すると、各デバイスの SDO が同じコマンドを送出します。これは、SDO のアライメント・ビットが 0x25 であるためです。これにより、デジチェーン接続された複数のデバイスが 1 つの SPI フレームでデジチェーン・モードへ移行できます。デジチェーン・モードを終了するにはハードウェア・リセットが必要です。

代表的なデジチェーン SPI フレームのタイミング図については、図 68 を参照してください。 $\overline{\text{CS}}$ がハイになると、デバイス 1 はコマンド 0[7:0] をそのスイッチ・データ・レジスタに書き込み、デバイス 2 はコマンド 1[7:0] をそのスイッチに書き込みます。残りのデバイスも同様です。SPI ブロックでは、SDI から受信した最後の 8 ビットを使用してスイッチが更新されます。デジチェーン・モードへの移行後、SDO によって送出される最初の 8 ビットは 0x00 です。 $\overline{\text{CS}}$ がハイになっても、内部シフト・レジスタ値は 0 にリセットされません。

SCLK 立上がりエッジでは、SDI からデータが読み取られます。一方、SCLK 立下がりエッジでは SDO からデータが送出されます。 $\overline{\text{CS}}$ がハイになるまでに発生する SCLK サイクルの回数は、8 の倍数になっているはずですが、そうでない場合、SPI は、最後に受信した 8 ビットをスイッチ・データ・レジスタへ送ります。

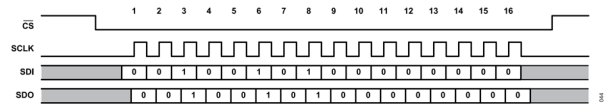


図 67. デジチェーン・モードに移行するための SPI コマンド

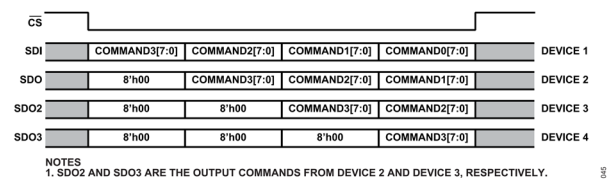


図 68. 3 個の ADGM1121 をデジチェーン・モードで接続した場合の SPI フレームの例

ハードウェア・リセット

ADGM3121 のデジタル・セクションは、 V_{DD} のパワーアップ時に初期化フェーズを実行します。デバイスをハードウェア・リセットするには、 V_{DD} の入力を一度オフにしてから改めてオンにします。電源投入またはハードウェア・リセットの後には、少なくとも 10 μ s 経過してから SPI コマンドを発行するようにしてください。10 μ s の初期化フェーズでは、 V_{DD} が低下しないよう注意してください。低下すると、ADGM3121 が異常な動作をする可能性があります。

動作原理

内部エラー・ステータス

デバイスで内部エラーが検出されると、SWITCH_DATA レジスタの内部エラー・ステータス・ビット[7:6]にフラグがセットされます。内部エラーは、電源投入時のデバイス設定にエラーがあった場合に発生します。

内部発振器のフィードスルー

ADGM3121 は、公称 10MHz で動作する内部発振器を内蔵しています。この発振器は、各スイッチ・ゲート電極に作動電圧を供給するチャージ・ポンプ回路を駆動します。この発振器は非常に低消費電力ですが、10MHz の信号がスイッチに結合されるので、スイッチ・チャンネルでのノイズ・スプリアスを考慮する必要があります。このフィードスルー・ノイズ・スプリアスの大きさは表 1 のように仕様規定されており、1つのスイッチがオンの場合は-92.5dBm（代表値）です。V_{DD} レベルと温度の変動は、ノイズ・スプリアスの周波数に影響します。温度および電圧電源の全範囲にわたる周波数の最大値と最小値については、表 1 を参照してください。

代表的な動作回路

ADGM3121 の代表的な動作回路を図 69 に示します。V_{DD} は 3.3V に接続されています。EP は内部で GND と接続されています。PCB 上では、GND と EP を短絡する大きなパッドを使用して GND を接続することを推奨します。図 69 に、内部発振器をドライバ IC 制御回路へのリファレンス・クロックとして使用するよう構成した ADGM3121 を示します。定格が 100V DC 以上である 0.1nF のコンデンサを、V_{CP} のできるだけ近くに配置します。定格が 16V DC 以上である 0.1μF のコンデンサを、V_{DD} のできるだけ近くに配置します。

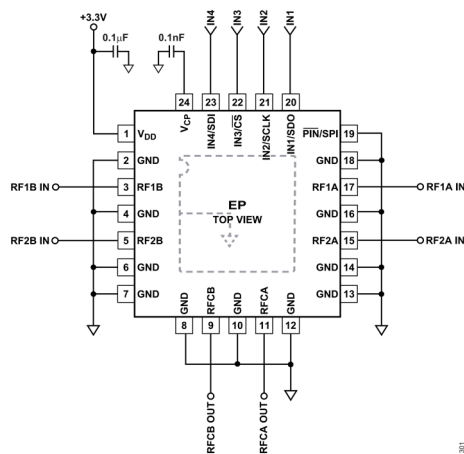


図 69. パラレル・デジタル・インターフェース・モードでの代表的な動作回路

アプリケーション情報

電源レール

ADGM3121 は 3.0V~3.6V のユニポーラ電源で動作できます。このデバイスは 3.3V アナログ電源ですべての仕様が規定されています。

電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

ADGM3121 の代表的なユニポーラ・ソリューションを図 70 に示します。ADP7142 は、2.7V~40V の範囲で動作する低ドロップアウト・リニア電圧レギュレータで、39V から 1.2V のレールで動作する高性能のアナログ回路やミックスド・シグナル回路のレギュレーションに最適です。ADP7142 の出力ノイズは、出力電圧に関係なく 11µV rms です。ADP7142 を用いることで、シグナル・チェーンの ADGM3121 やマイクロコントローラなどのデバイスに電源レールを供給できます。

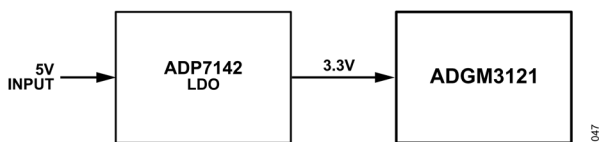


図 70. ユニポーラ電源ソリューション

電源に低ノイズ性能が必要な場合は、ADP7142 を LT1962 や LT3045-1 に置き換えることができます。

表 8. 推奨されるパワー・マネージメント・デバイス

| 製品 | 概要 |
|----------|--|
| ADP7142 | 40V、200mA、低ノイズの CMOS LDO リニア・レギュレータ |
| LT1962 | 300mA、低ノイズ、マイクロパワーの低ドロップアウト (LDO) レギュレータ |
| LT3045-1 | 入出力制御電圧 (VIOC) 機能を備えた 20V、500mA、超低ノイズ、超高電源電圧変動除去比 (PSRR) のリニア・レギュレータ |

高速デジタル・ループバック

PCIe (peripheral component interconnect express) Gen 4.0 や PCIe Gen 5.0 などの高速入出力 (HSIO) インターフェースを大量生産環境で試験することは容易ではありません。HSIO インターフェースを検証するための一般的な手法は、高速ループバック試験法を実施することです。これは、1 つの構成に高速試験経路と DC 試験経路の両方が組み込まれたものです。

高速ループバック試験を実行するには、一般的に疑似ランダム・ビット・シーケンス (PRBS) がトランスミッタから高速で送信され、負荷ボードまたは試験ボード上でループバックされてからレシーバ側で受信されます。レシーバ側ではこのシーケンスが分析され、ビット・エラー・レート (BER) が計算されます。

入力ピンでは、デバイス機能を確認するために、導通試験やリーク試験などの DC パラメトリック試験が行われます。これらの試験を実行するには、入出力ピンの DC 測定を行う DC 機器に DUT の入出力ピンを直接接続する必要があります。

ADGM3121 は、図 71 に示すように、高速デジタル信号と DC 信号の両方の試験を行う機能を、わずか 3mm × 3mm × 1.5 mm の LGA パッケージに高密度で搭載しています。MEMS スイッチは、テスタからテスト対象デバイス (DUT) への通信も可能にします。ADGM3121 は DC~24GHz で優れた性能を発揮するため、このスイッチでは最大 64Gbps までの高速信号と高精度 DC 信号の両方を処理することができます。

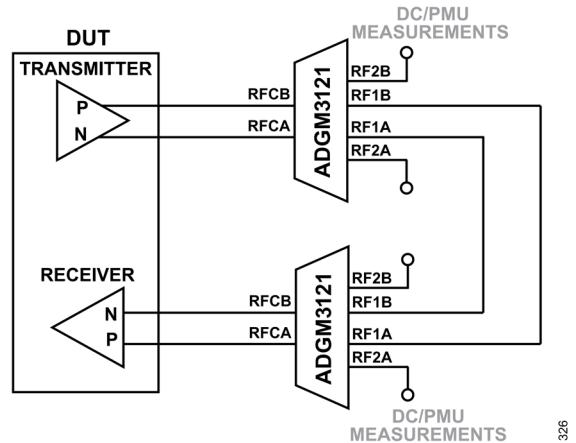


図 71. ADGM3121 による高速デジタル試験と DC 試験の両方の実現

ピン・エレクトロニクス (PE) とパラメトリック測定ユニット (PMU) での信号スイッチング

ADGM3121 は PE や PMU の信号スイッチングに対し、非常に優れた性能を発揮します。オン抵抗が低く容量が最小限であるため、信号の完全性が高く、低い挿入損失を維持し、低いタイミング・エラーにより高いエッジ・レートが可能となります。オフ状態でのアイソレーションが高くリークやクロストークが最小限であるため、正確で信頼性が高い測定が可能です。図 72 に示すように、4 チェンネルの高速パスで DUT の 4 つの Rx ポートを駆動して、機能と性能の高精度な検証が可能です。あるいは、これらの Rx ポートを個々の 4 チャンネル PMU ポートに再配線することにより、リークや閾値、電圧レベルの測定などのパラメトリック・テストを実施することもできます。こうした柔軟性があるため、高速デジタル・テストと低速 DC テストを 1 つのハードウェア・プラットフォームで実施できるため、機器の要件が低減し、スループットが向上します。

アプリケーション情報

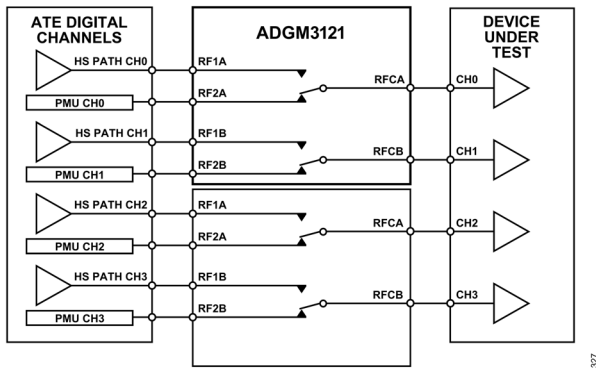


図 72. 4 チャンネル高速パス

一般的な RF、DC、ミックスト・シグナルのスイッチング

ADGM3121 は汎用的な機能を備えており、一般的な RF 配線、ミックスト・シグナルのスイッチング、分圧器ネットワーク・スイッチング、フィルタ・ネットワーク・スイッチングなどのアプリケーションを実現できます。その高い適応性から、5G ネットワーク、基地局、先進的なネットワーク機器などの主要市場に欠かせないデバイスとなっています。図 73 と図 74 は、フィルタ・スイッチングと分圧器ネットワークの代表的な実装を図示したもので、柔軟、コンパクトかつ高性能な信号取り扱いを広範なアプリケーションで実現できることを示しています。

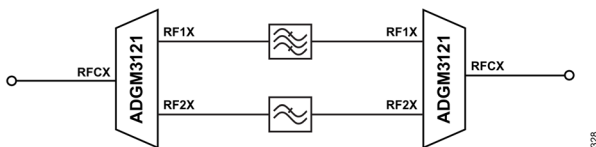


図 73. フィルタ・スイッチング

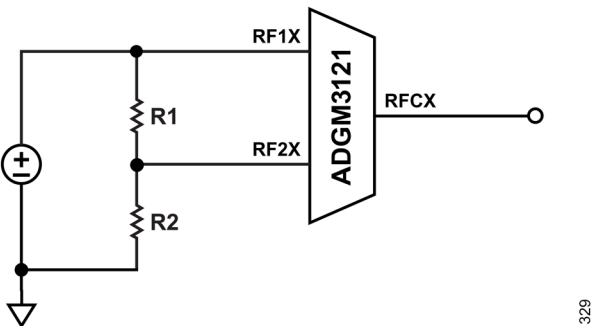


図 74. 分圧器ネットワーク

重要な動作条件

オン抵抗のドリフトによるシステム誤差に関する考慮事項

ADGM3121 のオン抵抗 (R_{ON}) 性能は、デバイスごとのばらつき、チャンネルごとのばらつき、サイクル作動、ターン・オン後のセトリング時間、バイアス電圧、温度変化などの影響を受けます。

50Ω システムでは、スイッチ作動時のオン抵抗ドリフト (ΔR_{ON}) がシステムの不正確さの原因となる場合があります。図 75 に、50Ω システムで負荷に接続された ADGM3121 を示します。ここで、R_s はソース・インピーダンスです。ADGM3121 の ΔR_{ON} によって生じるシステム誤差の計算には、次式を使用します。

$$\text{System Error (\%)} = \Delta R / R_{LOAD}$$

ここで、

ΔR は ADGM3121 の ΔR_{ON}、
R_{LOAD} は負荷インピーダンスです。

ADGM3121 の ΔR_{ON} は挿入損失にも影響するので、デバイスの使用時にはこれを考慮する必要があります。挿入損失へのオン抵抗の影響を計算するには、次式を用います。

$$\text{Insertion Loss} = 10 \log (1 + (\Delta R / R_{LOAD}))$$

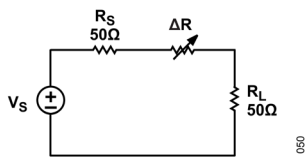


図 75. ADGM3121 を負荷に接続した 50Ω システムの代表例

表 9. ADGM3121 の R_{ON} ドリフトによるシステム誤差と挿入損失誤差

| On-Resistance Drift | System Error (%) | Insertion Loss Error (dB) |
|---------------------|------------------|---------------------------|
| 0.7 | 1.4 | 0.06 |
| 2 | 4 | 0.17 |

ΔR_{ON} の時間変化の様子は、図 13～図 20 に示すように、100ms 後に測定した場合で -0.32Ω (最大値) です。これらのグラフによると、時間に伴う R_{ON} のドリフトは 100ms 後で -0.06Ω (代表値) です。ADGM3121 の R_{ON} は、時間が 10 倍になるごとに -0.04Ω (代表値) ドリフトします。例えば、100ms 後の R_{ON} ドリフトは -0.06Ω です。1 秒後の R_{ON} ドリフトは -0.1Ω です。10 秒後にはドリフトが -0.14Ω になります。したがって、1000 秒後の R_{ON} のドリフト量は -0.22Ω になると予想されます。

作動後の温度衝撃によるオン抵抗変化

ある温度でスイッチが複数回作動した後に、その温度が突然変化した場合は、スイッチの R_{ON} に大きな変動が生じます。図 76 に、異なる作動回数における絶対 R_{ON} 性能のデバイス割合を示します。この測定では、スイッチは 85°C で作動し、スイッチの R_{ON} は 25°C で測定されています。85°C でスイッチを作動させて 25°C で R_{ON} を測定することは、ADGM3121 の作動回数に伴う ΔR_{ON} にとっては最も厳しい条件です。

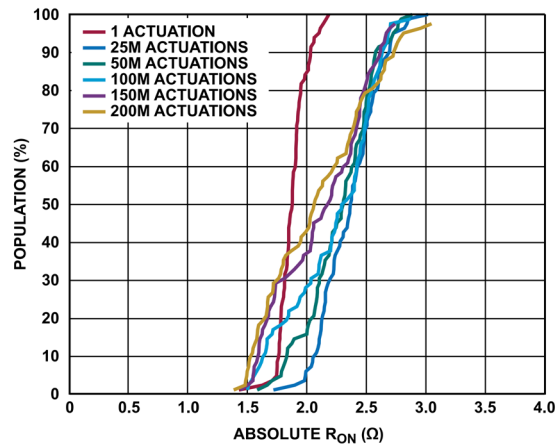


図 76. デバイスの割合と R_{ON} 絶対値の関係、スイッチは 85°C で作動、R_{ON} は 25°C で測定、作動周波数 = 289Hz、V_{DD} = 3.3V

ホット・スイッチング

ホット・スイッチングは、スイッチに過大な電圧または電流を印加した状態でスイッチのオンまたはオフを繰り返すことで発生します。スイッチング・サイクルの間に印加信号があると、スイッチの接点が損傷します。ホット・スイッチングによる損傷は、電流または電圧のレベルによって異なります。ホット・スイッチングは、図 80 と図 82 に示すように、スイッチのサイクル寿命を著しく減少させる原因となります。図 77 に、スイッチング時にスイッチ端子に 1V が印加された状態でスイッチがオンになるホット・スイッチング状態を示します。オフ状態のスイッチに電圧がかかっている場合は、接点またはスイッチが閉じる際に損傷が生じる可能性があります。

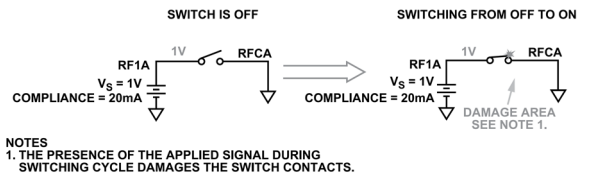


図 77. スwitch がオフ状態からオン状態に切り替わる際のホット・スイッチング状態

図 78 に、スイッチング時にスイッチを通じて 10mA が流れている状態でスイッチがオフになるホット・スイッチング状態を示します。オン・スイッチに電流が流れている場合、接点またはスイッチが開く際に損傷が生じる可能性があります。

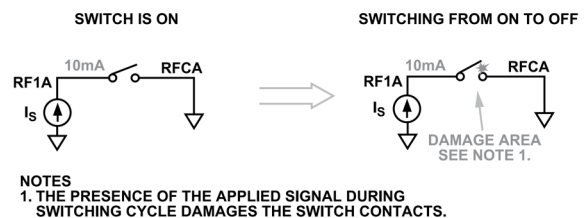


図 78. スwitch がオン状態からオフ状態に切り替わる際のホット・スイッチング状態

重要な動作条件

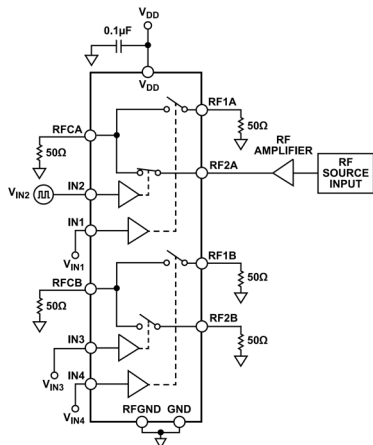


図 79. RF ホット・スイッチングのセットアップ

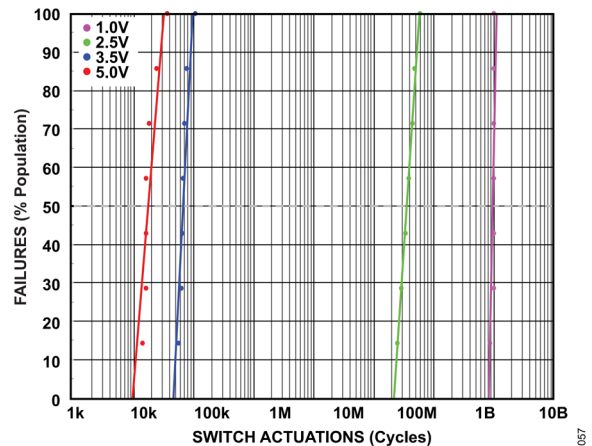


図 82. DC ホット・スイッチング確率分布の片対数表記 (50Ωに終端、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$)

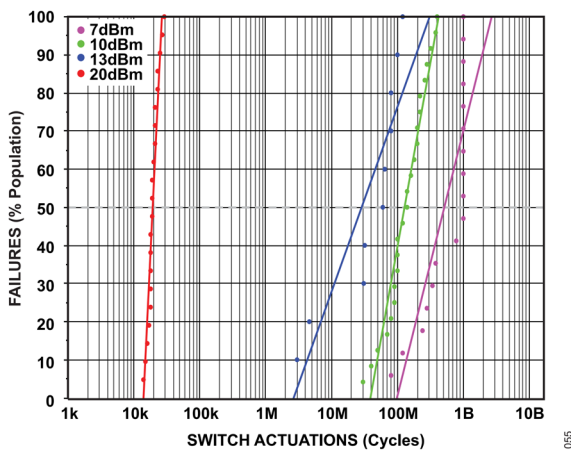


図 80. RF ホット・スイッチング確率分布の片対数表記 (RF 電力 = 連続波、50Ωに終端、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$)

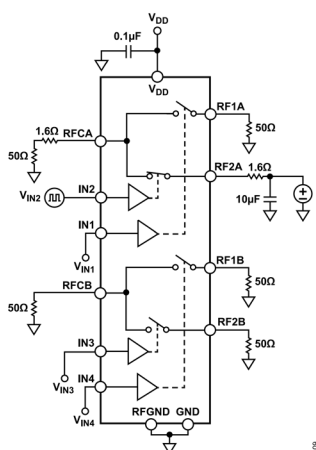


図 81. DC ホット・スイッチングのセットアップ

取り扱い上の注意

ESD に関する注意事項

ADGM3121 のすべての RFxx ピンと RFCx ピンは、以下の ESD 制限に合格しています。

- ▶ 150V、クラス 0B HBM、ANSI/ESDA/JEDEC JS-001-2014
- ▶ 1kV クラス C3 FICDM、ANSI/ESDA/JEDEC JS-002

すべての RFxx ピンと RFCx¹ピンの定格は 1kV FICDM で、自動化された取り扱いや組み立ての工程に対しデバイスの安全を確保できます。製造時には標準的な ESD に関する注意事項に従う必要があります。

ADGM3121 の 150V HBM 定格は、人体の接触による ESD サージの影響を受けます。人体の接触が予想される場合は、ESD 保護を追加する必要があります。

電氣的過負荷 (EOS) に関する注意事項

ADGM3121 は EOS の影響を受けるので、次の注意事項に従ってください。

- ▶ ADGM3121 は ESD に敏感なデバイスです。静電気散逸面でのみ作業する、リスト・ストラップやその他の ESD 制御デバイスを着用する、使用しないデバイスは導電性フォームに保存するなどの対策を含め、通常の手続きに関するすべての注意事項に従ってください。
- ▶ デジタル・マルチメータ (DMM) などの測定装置は、自動レンジ・モードで使用しないでください。一部の装置は、レンジの切替え時に大きなトランジェント・コンプライアンス電圧を発生する場合があります。
- ▶ 抵抗測定を行う場合は、実用上最大の DMM レンジ設定 (最小分解能) を用い、切替え時には特にコンプライアンス電圧を最小限に抑えてください。
- ▶ 同軸ケーブルは電荷を蓄えるので、スイッチに直接接続した場合は EOS の原因となる可能性があります。ケーブルを放電してからスイッチに直接接続してください。
- ▶ 容量性の終端を直接スイッチに接続することは避けてください (図 83 参照)。シャント・コンデンサに電荷が保存されると、スイッチのオープン時またはクローズ時にホット・スイッチング・イベントが発生し、スイッチの寿命に影響を与えることがあります。

¹ RFxx は RF1A、RF1B、RF2A、RF2B です。RFCx は RFCA と RFCB です。

重要な動作条件

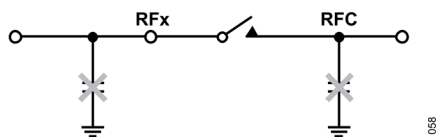


図 83. 大きなコンデンサを直接スイッチに接続することは避けます

機械的衝撃に関する注意事項

ADGM3121 はグループ D の機械的衝撃試験に合格しています。詳細については、絶対最大定格のセクションを参照してください。これらのテストでは、通常の機械的衝撃に対するデバイスの強度が検証されます。

デバイスを落下させてしまった場合は使用しないでください。過大な機械的衝撃や ESD イベントをなくすため、図 84 に示すような不安定な状態でデバイスを取り扱うことは避けてください。

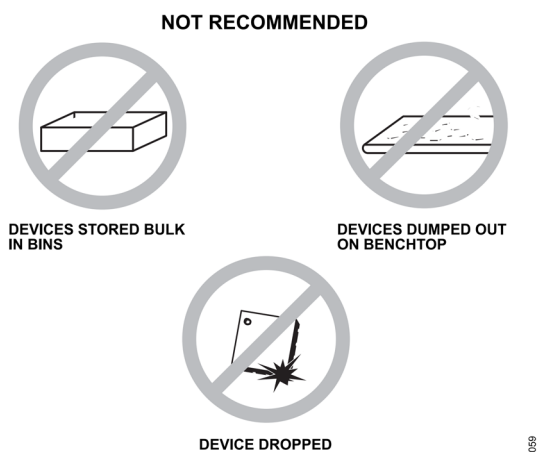


図 84. 取り扱い時に避けるべき事項

レジスタの一覧

表 10. レジスタの一覧

| Register (Hex) | Name | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | Default | R/W |
|----------------|-------------|----------------|-------|----------|-------|-------|-------------|-------|-------|---------|-----|
| 0x20 | SWITCH_DATA | INTERNAL_ERROR | | RESERVED | | | SWITCH_DATA | | | 0x00 | R/W |

レジスタの詳細

スイッチ・データ・レジスタ

アドレス : 0x20、リセット : 0x00、レジスタ名 : SWITCH_DATA

スイッチ・データ・レジスタは、ADGM3121 の 4 つのスイッチのステータスを制御します。

表 11. SWITCH_DATA のビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット | アクセス |
|-------|----------------|----------------------|--|------|------|
| [7:6] | INTERNAL_ERROR | 00 01 10 11 | このビットは、内部エラーが発生したかどうかを示します。 エラー不検出 エラー検出 エラー検出 エラー検出 | 0x0 | R |
| [5:4] | RESERVED | | これらのビットは予備で、0 に設定します。 | 0x0 | R |
| 3 | SW1_EN | 0 1 | スイッチ 1 のイネーブル・ビット。 スイッチ RF1A オープン スイッチ RF1A クローズ | 0x0 | R/W |
| 2 | SW2_EN | 0 1 | スイッチ 2 のイネーブル・ビット。 スイッチ RF2A オープン スイッチ RF2A クローズ | 0x0 | R/W |
| 1 | SW3_EN | 0 1 | スイッチ 3 のイネーブル・ビット。 スイッチ RF2B オープン スイッチ RF2B クローズ | 0x0 | R/W |
| 0 | SW4_EN | 0 1 | スイッチ 4 のイネーブル・ビット。 スイッチ RF1B オープン スイッチ RF1B クローズ | 0x0 | R/W |

外形寸法

| Package Drawing Option | Package Type | Package Description |
|------------------------|--------------|---------------------------------|
| CC-24-23 | LGA | 24-Lead Land Grid Array Package |

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

| Model ¹ | Temperature Range | Package Description | Packing Quantity | Package Option |
|--------------------|-------------------|-------------------------------|------------------|----------------|
| ADGM3121BCCZ | -40°C to +85°C | 24-Lead Land Grid Array [LGA] | Tray, 490 | CC-24-23 |
| ADGM3121BCCZ-R2 | -40°C to +85°C | 24-Lead Land Grid Array [LGA] | Reel, 250 | CC-24-23 |
| ADGM3121BCCZ-RL7 | -40°C to +85°C | 24-Lead Land Grid Array [LGA] | Reel, 1500 | CC-24-23 |

¹ Z = RoHS 準拠製品。

評価用ボード

| Model ¹ | Package Description |
|--------------------|---------------------|
| EVAL-ADGM3121SDZ | Evaluation Board |

¹ Z = RoHS 準拠製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。



この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026年3月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2026年3月17日

製品名： **ADGM3121**

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所： 15頁、図25と図27の下部説明

【誤】

「図25. 異なる温度における挿入損失と周波数の関係(シングルエンド性能、DC~24GHz、**RF1A~RFCA、RF2A~RFCA**)」

「図27. 異なる温度における挿入損失と周波数の関係(シングルエンド性能、DC~30GHz、**RF1A~RFCA、RF2A~RFCA**)」

【正】

「図25. 異なる温度における挿入損失と周波数の関係(シングルエンド性能、DC~24GHz、**RFXA~RFCA、RFXB~RFCB**)」

「図27. 異なる温度における挿入損失と周波数の関係(シングルエンド性能、DC~30GHz、**RFXA~RFCA、RFXB~RFCB**)」