

0Hz/DC～18GHz で動作する DPDT MEMS スイッチ

特長

- ▶ 周波数範囲：DC～18GHz
- ▶ 高ビット・レート機能：最大 64Gbps
- ▶ 低挿入損失：
 - ▶ 8GHz で 0.5dB（代表値）
 - ▶ 16GHz で 1.0dB（代表値）
- ▶ 高入力 IIP3：73dBm（代表値）
- ▶ 大 RF 電力処理：33dBm（最大値）
- ▶ オン抵抗：1.9Ω（代表値）
- ▶ 大 DC 電流処理：200mA
- ▶ 高スイッチ・サイクル数：1 億サイクル（最小値）
- ▶ 高速スイッチング時間：200μs T_{ON} （代表値）
- ▶ 3.3V ドライバ内蔵により、パラレル・インターフェイスや SPI で簡単に制御可能
- ▶ デカップリング抵抗やシャント抵抗などの受動部品を内蔵してスペースを節約
- ▶ 5mm × 4mm × 1mm の小型 24 ピン・プラスチック・パッケージ
- ▶ 温度範囲：-40°C～+85°C

アプリケーション

- ▶ ATE の負荷およびプローブ・ボード
- ▶ 高速ループバック試験時の DC
- ▶ 高速 SerDes、PCIe Gen4/5、USB4、PAM4
- ▶ リレーの代替
- ▶ 再構成可能なフィルタ／減衰器
- ▶ 防衛用無線とマイクロ波無線
- ▶ セルラ・インフラストラクチャ：5G 用ミリ波

機能ブロック図

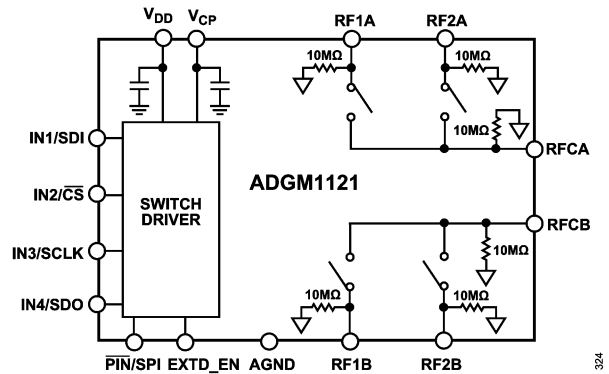


図 1. 機能ブロック図

概要

ADGM1121 は、アナログ・デバイセズのマイクロマシン（MEMS）スイッチ技術を使用して製造された、広帯域の双極双投（DPDT）スイッチです。この技術が小さいフォーム・ファクタ、広い RF 帯域幅、高い直線性、低い挿入損失を可能にし、最小 0Hz/DC で動作するスイッチを実現しています。このスイッチは、広い RF 範囲と高精度の装置切替えが求められる場合に理想的なソリューションです。

内蔵のドライバ・チップが、静電的に動作するスイッチ用に高電圧を生成します。このスイッチは、パラレル・インターフェイスおよびシリアル・ペリフェラル・インターフェイス（SPI）で制御でき、すべてのスイッチは独立して制御されます。

このデバイスは、24 ピンの 5mm × 4mm × 1mm ランド・グリッド・アレイ（LGA）パッケージを採用しています。ADGM1121 の最適な動作条件については、[重要な動作条件](#)のセクションを参照してください。

ADGM1121 のオン抵抗（ R_{ON} ）性能は、デバイスごとのばらつき、チャンネルごとのばらつき、サイクル作動、ターン・オン後のセトリング時間、バイアス電圧、温度変化などの影響を受けます。

関連製品

- ▶ クワッド PMU：[AD5522](#)
- ▶ SP4T MEMS スイッチ：[ADGM1144](#)、[ADGM1304](#)、[ADGM1004](#)
- ▶ 低ノイズ、LDO：[ADP7142](#)、[LT1962](#)、[LT3045-1](#)

目次

特長	1	低消費電力モード	20
アプリケーション	1	代表的な動作回路	20
機能ブロック図	1	アプリケーション情報	21
概要	1	電源レール	21
関連製品	1	電源の推奨事項	21
仕様	3	高速デジタル・ループバック	21
タイミング特性	6	重要な動作条件	22
絶対最大定格	8	オン抵抗のドリフトによるシステム誤差に関する 考慮事項	22
熱抵抗	8	作動後の温度衝撃によるオン抵抗変化	22
静電放電（ESD）定格	8	ホット・スイッチング	22
ESDに関する注意	8	取り扱い上の注意	23
ピン配置およびピン機能の説明	9	レジスタの一覧	25
代表的な性能特性	10	レジスタの詳細	26
動作原理	18	スイッチ・データ・レジスタ	26
スイッチの設計	18	外形寸法	27
パラレル・デジタル・インターフェイス	18	オーダー・ガイド	27
SPI デジタル・インターフェイス	19	評価用ボード	27
内部発振器のフィードスルー	20		
内部発振器のフィードスルーの低減	20		

仕様

特に指定のない限り、 $V_{DD} = 3.0V \sim 3.6V$ 、 $AGND$ および $RFGND = 0V$ 、すべての仕様は $25^\circ C$ での値。

表 1. 仕様

Parameter	Symbol	Min	Typ ¹	Max	Unit	Test Conditions/Comments ²
ON-RESISTANCE PROPERTIES						
Initial On-Resistance Properties						
On-Resistance	R_{ON}		1.9	3	Ω	Drain source current (I_{DS}) = 50 mA, 0 V input bias, at 1 ms after first actuation, maximum specification from $-40^\circ C$ to $85^\circ C$.
On-Resistance Match Between Channels	$\Delta R_{ON CH_CH}$			0.8	Ω	Maximum value tested from $-40^\circ C$ to $85^\circ C$.
On-Resistance Drift						
Over Time	$\Delta R_{ON TIME}$			-0.32	Ω	R_{ON} changed from 1 ms to 100 ms after first actuation, maximum value tested from $-40^\circ C$ to $85^\circ C$.
Over Actuations	ΔR_{ON}		0.2	0.32	Ω	Absolute change after 10^6 actuations, switch is actuated at $25^\circ C$ and R_{ON} is measured at $25^\circ C$.
			+/-0.7		Ω	Absolute change after 100×10^6 actuations, switch is actuated at $25^\circ C$ and R_{ON} is measured at $25^\circ C$.
				2	Ω	Absolute change after 100×10^6 actuations, switch is actuated at $85^\circ C$ and R_{ON} is measured at $25^\circ C$, actuation frequency = 289 Hz.
RELIABILITY PROPERTIES						
Continuously On Lifetime			10		Years	Time before failure ³ at $85^\circ C$.
Actuation Lifetime						
Cold Switched		100×10^6	500×10^6		Actuations	Load between toggling is 150 mA, tested at $85^\circ C$.
RF Hot Switched						RF power = continuous wave (CW), terminated into 50 Ω , 50% of test population failure point (T50).
7 dBm			500×10^9		Actuations	
10 dBm			150×10^6		Actuations	
13 dBm			30×10^6		Actuations	
20 dBm			20×10^3		Actuations	
DC Hot Switched						Terminated into 50 Ω , RFxx load capacitance = 10 μF , 50% of test population failure point (T50).
0.5 V or 9 mA			500×10^6		Actuations	
1 V or 18 mA			500×10^6		Actuations	
2.5 V or 46 mA			35×10^6		Actuations	
3.5 V or 65 mA			6.5×10^3		Actuations	
5 V or 93 mA			2×10^3		Actuations	
DYNAMIC CHARACTERISTICS						
Operational Frequency Range			18		GHz	-3 dB
Insertion Loss	IL		-0.34		dB	RFCA to RF1A/2A, RFCB to RF1B/2B
			-0.5		dB	DC to 2.5 GHz
			-0.55		dB	2.5 GHz to 6 GHz
			-1		dB	6 GHz to 10 GHz
						10 GHz to 16 GHz
Isolation	ISO					RF1A/2A to RFCA, RF1B/2B to RFCB, with at least one switch on.
			-27		dB	DC to 2.5 GHz

仕様

表 1. 仕様（続き）

Parameter	Symbol	Min	Typ ¹	Max	Unit	Test Conditions/Comments ²
Crosstalk	CTK		-21		dB	2.5 GHz to 6 GHz
			-17		dB	6 GHz to 10 GHz
			-16		dB	10 GHz to 16 GHz
			-31		dB	RF1A to RF1B, RF2A to RF2B, RFCA to RF2B
			-26		dB	DC to 2.5 GHz
Return Loss	RL		-24		dB	2.5 GHz to 6 GHz
			-20		dB	6 GHz to 10 GHz
			-20		dB	10 GHz to 16 GHz
			-25		dB	Measured at RF1A/RF2A and RF1B/RF2B
			-21		dB	DC to 2.5 GHz
Third-Order Intermodulation Intercept	IIP3		-19		dB	2.5 GHz to 6 GHz
			-15		dB	6 GHz to 10 GHz
			-15		dB	10 GHz to 16 GHz
Second Harmonic	HD2		-99		dBc	Input: 5 MHz; input power = 0 dBm
Third Harmonic	HD2		-93		dBc	Input: 150 MHz, 800 MHz; input power = 33 dBm
			-88		dBc	Input: 150 MHz, 800 MHz; input power = 33 dBm
Total Harmonic Distortion	THD		-105		dBc	Input: 150 MHz, 800 MHz; input power = 33 dBm
Total Harmonic Distortion Plus Noise	THD + N		-104		dBc	Input: 150 MHz, 800 MHz; input power = 33 dBm
Maximum RF Power				33	dBm	RF power = CW, terminated into 50 Ω termination; -40°C to +85°C
DC Signal Range		-6		+6	V	On switch DC input bias voltage signal range; -40°C to +85°C
Stand Off voltage		-6		+6	V	-40°C to +85°C, this specification is applied when the switch is in the off position with no RF signal applied
Max. DC Current				200	mA	-40°C to +85°C
On Switching Time ⁴	t _{ON}			200	μ s	50% INx to 90% (0.05 dB of final IL value) RFxx, 50 Ω termination, -40°C to 85°C. See Figure 5 for details.
Off Switching Time ^{4,5}	t _{OFF}			200	μ s	50% INx to 10% (0.05 dB of final IL value) RFxx, 50 Ω termination, -40°C to 85°C. See Figure 5 for details.
Power-Up Time			4	5	ms	V _{CP} cap = 100 pF, -40°C to +85°C
Video Feedthrough			10		mV peak	1 M Ω termination at RFxx and 50ohm termination at RFC.
Actuation Frequency				2	kHz	Both switches toggled simultaneously.
Internal Oscillator Frequency		8.6	10	11	MHz	
Internal Oscillator Feedthrough ⁶			-123		dBm	See note ⁷ for measurement setup details
			-146		dBm/Hz	This value comes from calculations.
Phase Delta Between Channels			1.8		degree	
Propagation Delay			41		ps	
Channel-to-Channel Skew			4		ps	
CAPACITANCE PROPERTIES						At 1 MHz, includes LGA package capacitance.
On Switch Channel Capacitance	C _{ON}		2.3		pF	
Off Switch Channel Capacitance	C _{OFF}		1.4		pF	

仕様

表 1. 仕様（続き）

Parameter	Symbol	Min	Typ ¹	Max	Unit	Test Conditions/Comments ²
LEAKAGE PROPERTIES						
On Leakage ⁸		0.7	1.1	1.39	μA	RFxx(off channels) = +6 V; RFCx/RFxx (on channel) = −6 V; Max. value tested from −40°C to +85°C.
Off Leakage ⁸		0.34	0.6	0.77	μA	RFxx = +6V; RFCx = −6 V; Max. value tested from −40°C to +85°C.
Internal Shunt Resistor		8.7	11.5	15.2	MΩ	Typical temperature coefficient = 27.5 kΩ/°C, maximum and minimum value tested at 25°C.
DIGITAL INPUTS						
Input High Voltage	V _{INH}	2			V	Minimum and maximum over −40°C to 85°C.
Input Low Voltage	V _{INL}			0.8	V	
Input Current	I _{INL} /I _{INH}		0.025	1	μA	
Capacitance			5		pF	
DIGITAL OUTPUTS						
Output Low Voltage	V _{OL}			0.4	V _{MAX}	Minimum and maximum over −40°C to 85°C. I _{SINK} = 1 mA I _{SOURCE} = 1 mA
Output High Voltage	V _{OH}	V _{DD} − 0.4 V			V _{MIN}	
Capacitance			5		pF	
POWER REQUIREMENTS						
Supply Voltage	V _{DD}	3.0		3.6	V	Minimum and maximum over −40°C to 85°C. Digital inputs = 0 V or V _{DD} , SDO floating in SPI mode. This value is I _{DD} in low power mode.
Supply Current	I _{DD}			2.5	mA	
Low Power Mode Current ⁹	I _{DD EXT VCP}			50	μA	
External Drive Voltage ¹⁰	V _{CP EXT}	79.2	80	80.8		
External Drive Current	I _{CP EXT VCP}			5	μA	

¹ 代表値の仕様は、25°C、V_{DD} = 3.3V でテストされています。² RFxx は RF1A、RF1B、RF2A、RF2B です。RFCx は RFCA または RFCB です。INx は IN1、IN2、IN3、IN4 です。³ この値は、サンプル・ロットの 1%が不合格になるまでの時間を示します。⁴ スイッチは 200μs 後にセトリングします。0μs から 200μs までの間は RF 電力を印加しないでください。⁵ スイッチをオフにする 50μs 前に、RF 電力を除去するか 5dBm 未満にする必要があります。⁶ フィードスルーを除去するには内部発振器をディスエーブルします。⁷ スペクトラム・アナライザのセットアップ：分解能帯域幅（RBW）= 200Hz、ビデオ帯域幅（VBW）= 2Hz、スパン = 100kHz、入力アッテネータ = 0dB、検出器タイプ = ピーク、最大値ホールド = オフ。測定は、1 つのスイッチのオン/オフ・スイッチ・ポートを 50Ω に終端した状態で実施します。基本波フィードスルー・ノイズまたはそれによる高調波ノイズ（いずれか最も高いノイズ）をテストします。⁸ オン・リークおよびオフ・リークの仕様はスイッチ・ノードに印加される DC 電圧レベルによって異なります。例えば、1V を RF1x から RFCx に印加した場合、オン・リークの仕様値は 0.2μA、オフ・リークの仕様値は 0.1μA です。スイッチのリーク仕様は、主として、フロート状態のノードをなくすためにすべての RF ノードでグラウンドに接続された 10MΩ の内蔵抵抗によって決まります。⁹ 詳細については、[低消費電力モード](#)のセクションを参照してください。¹⁰ 詳細については、[内部発振器のフィードスルーの低減](#)のセクションを参照してください。

仕様

タイミング特性

特に指定のない限り、 $V_{DD} = 3.0V \sim 3.6V$ 、 $AGND$ および $RFGND = 0V$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ での値。

表 2. タイミング特性

Parameter	Limit at T_{MIN}	Limit at T_{MAX}	Unit	Conditions
t_1	100		ns	SCLK period
t_2	45		ns	SCLK high pulse width
t_3	45		ns	SCLK low pulse width
t_4	25		ns	\overline{CS} falling edge to SCLK active edge
t_5	20		ns	Data setup time
t_6	20		ns	Data hold time
t_7	25		ns	SCLK active edge to \overline{CS} rising edge
t_8		20	ns	\overline{CS} falling edge to SDO data available
t_9^1		40	ns	SCLK falling edge to SDO data available
t_{10}		25	ns	\overline{CS} rising edge to SDO data available
t_{11}	100		ns	\overline{CS} high time between SPI commands
t_{12}	25		ns	SCLK edge rejection to \overline{CS} falling edge
t_{13}	25		ns	\overline{CS} rising edge to SCLK edge rejection

¹ 20pF の負荷を接続して測定。SDO 使用時の最大 SCLK 周波数は t_9 で決まります。

タイミング図

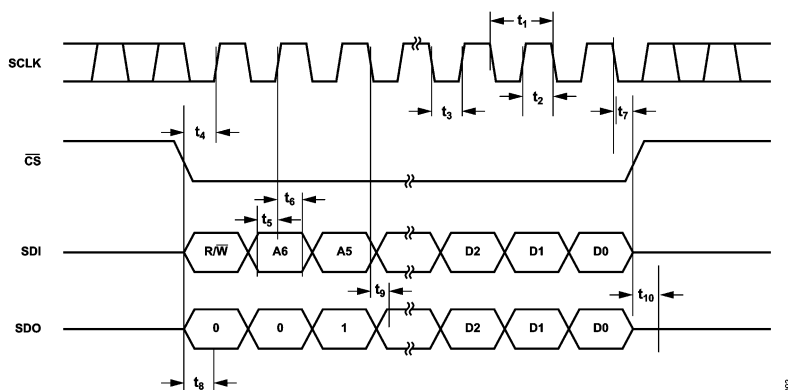
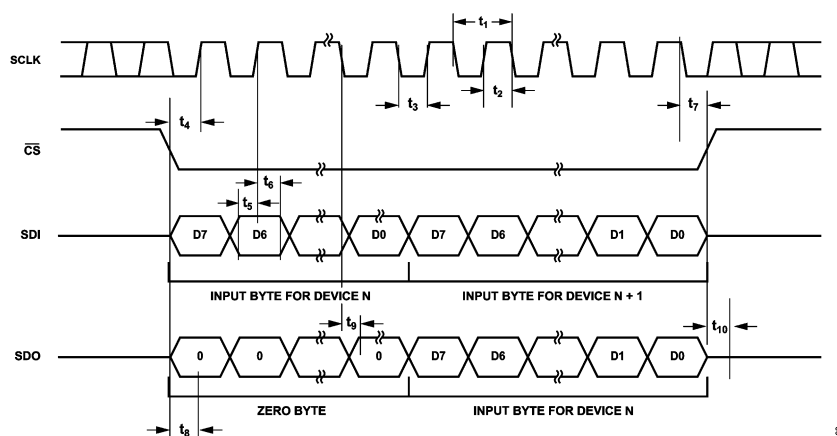


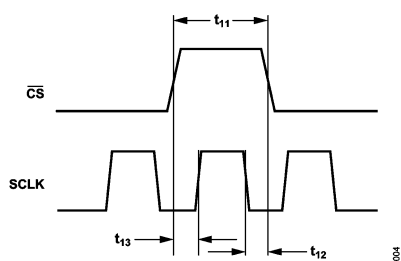
図 2. アドレス指定可能モードのタイミング

仕様



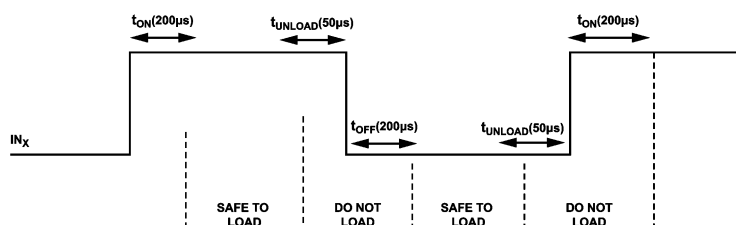
003

図 3. デイジーチェーンのタイミング



004

図 4. SCLK と \overline{CS} のタイミング関係



005

図 5. スイッチ負荷プロファイル

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

Parameter	Rating
V_{DD} to AGND	-0.3 V to +6 V
Digital Inputs ¹	-0.3 V to $V_{DD} + 0.3$ V or 30 mA (whichever occurs first).
Switch DC Rating ²	
Voltage	± 7 V
Current	220 mA
V_{CP_EXT}	82 V
Stand Off Voltage ³	± 10 V
RF Power Rating ⁴	34 dBm
Operating Temperature Range	-40°C to $+85^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Reflow Soldering (Pb-Free)	
Peak Temperature	260(+0/-5) $^\circ\text{C}$
Time at Peak Temperature	10 sec to 30 sec
Group D	
Mechanical Shock ⁵	1500 g with 0.5 ms pulse
Vibration	20 Hz to 2000 Hz acceleration at 50 g
Constant Acceleration	30,000 g

¹ 電流は、仕様規定された最大定格に制限してください。

² この定格は、RF 信号が印加されない状態でオン位置にあるスイッチを基準にしています。

³ この定格は、RF 信号が印加されていない状態でオフ位置にあるスイッチを基準にしています。

⁴ この定格は、オン位置で 50Ω に終端処理されたスイッチを基準にしています。

⁵ 取り扱い中に落下したデバイスは使用しないでください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JCT}	θ_{JCB}	Unit
CC-24-11	104.3	134	66.2	$^\circ\text{C/W}$

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JCT} は、ジャンクションとケース上面の間の熱抵抗です。

θ_{JCB} は、ジャンクションとケース底面の間の熱抵抗です。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを、ESD から保護された環境で取り扱う場合にのみ適用されます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 による電界誘起帯電デバイス・モデル（FICDM）。

ESD 定格

表 5. ESD 定格

ESD Model	Withstand Threshold	Class
HBM ¹	200 V for the RF1A, RF2A, RFCA, RF1B, RF2B, and RFCB pins 2.5 kV for all other pins	0B
FICDM ²	1 kV	C3

¹ 取り扱い時は、**取り扱い上の注意**のセクションに示す概要に従い、十分に注意してください。

² 業界標準の ESD 制御を実装することによって、この定格レベルの範囲内で安全な取り扱いと組み立て工程の自動化を実現することができます。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

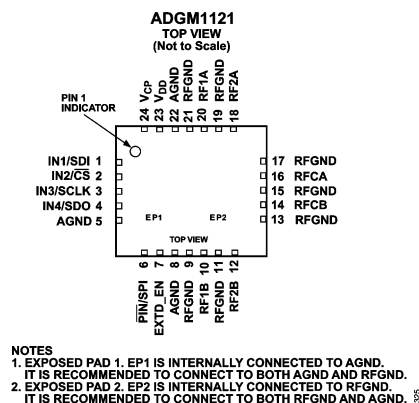


図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	IN1/SDI	パラレル・ロジック・デジタル制御入力 1。このピンに印加される電圧は、RF1A~RFCA の MEMS スイッチのゲートを制御します。SPI モードでは、このピンはシリアル・データ入力 (SDI) ピンになります。
2	IN2/CS	パラレル・ロジック・デジタル制御入力 2。このピンに印加される電圧は、RF2A~RFCA の MEMS スイッチのゲートを制御します。SPI モードでは、このピンはチップ・セレクト (CS) ピンになります。CS は、コントローラ・デバイスが通信しようとするターゲット・デバイスを選択するアクティブ・ロー信号です。
3	IN3/SCLK	パラレル・ロジック・デジタル制御入力 3。このピンに印加される電圧は、RF2B~RFCB の MEMS スイッチのゲートを制御します。SPI モードでは、このピンは、ターゲット・デバイスをコントローラ・デバイスに同期させるシリアル・クロック (SCLK) ピンです。
4	IN4/SDO	パラレル・ロジック・デジタル制御入力 4。このピンに印加される電圧は、RF1B~RFCB の MEMS スイッチのゲートを制御します。SPI モードでは、このピンはシリアル・データ出力 (SDO) ピンになります。
6	PIN/SPI	パラレル・モード・イネーブル/SPI モード・イネーブル。このピンがハイの場合は SPI がイネーブルされ、ローのときはパラレル・インターフェイス (IN1、IN2、IN3、IN4) がイネーブルされます。
7	EXTD_EN	外部電圧ドライブのイネーブル。通常動作では、EXTD_EN をロー・レベルに設定して内蔵の 10MHz 発振器をイネーブルし、更にそれによって内部ドライバ IC の昇圧回路をイネーブルします。EXTD_EN をハイ・レベルに設定すると、内蔵の 10MHz 発振器とドライバ昇圧回路がディスエーブルされます。発振器をディスエーブルにしても、ロジック・インターフェイス・ピン (IN1~IN4) または SPI からスイッチを制御できますが、VCP ピンを外部電圧源から 80V DC で駆動する必要があります。このモードで ADGM1121 が消費する電源電流は、最大 50μA に止まります。内部発振器をディスエーブルすると、関連するスイッチからの 10MHz のノイズ・フィードスルーがなくなります。
5, 8, 22	AGND	アナログ・グラウンド接続 (AGND と RFGND をまとめて接続することを推奨します)。
9, 11, 13, 15, 17, 19, 21	RFGND	RF グラウンド接続 (AGND と RFGND グラウンドをまとめて接続することを推奨します)。
10	RF1B	RF1B ポート。このピンは、入力または出力に設定できます。使用しない場合、このピンは GND に接続するか、RFGND に接続した 50Ω の抵抗で終端する必要があります。
12	RF2B	RF2B ポート。このピンは、入力または出力に設定できます。使用しない場合、このピンは GND に接続するか、RFGND に接続した 50Ω の抵抗で終端する必要があります。
14	RFCB	共通 RFCB ポートこのピンは、入力または出力に設定できます。
16	RFCA	共通 RFCA ポートこのピンは、入力または出力に設定できます。
18	RF2A	RF2A ポート。このピンは、入力または出力に設定できます。使用しない場合、このピンは GND に接続するか、RFGND に接続した 50Ω の抵抗で終端する必要があります。
20	RF1A	RF1A ポート。このピンは、入力または出力に設定できます。使用しない場合、このピンは GND に接続するか、RFGND に接続した 50Ω の抵抗で終端する必要があります。
23	VDD	正の電源入力。推奨入力電圧については、表 1 を参照してください。AC デカップリング・コンデンサはパッケージに組み込まれているので、外付けする必要はありません。
24	VCP	ドライバ IC 入出力。通常動作モードでは、このピンは 80V DC を出力します。また、グラウンドに接続されたデカップリング・コンデンサがパッケージに内蔵されているので、外部負荷はかけないでください。ピン 7 (外部ドライバ・イネーブル・ピン) がハイの場合は内部昇圧回路がディスエーブルされるので、ロジック・インターフェイスを介してスイッチを駆動するには、80V DC の電圧を VCP に入力する必要があります。
	EP1	露出パッド 1。EP1 は内部で AGND に接続されています。このパッドは AGND に接続するか、AGND と RFGND の両方に接続します。
	EP2	露出パッド 2。EP2 は内部で RFGND に接続されています。このパッドは RFGND に接続するか、RFGND と AGND の両方に接続します。

代表的な性能特性

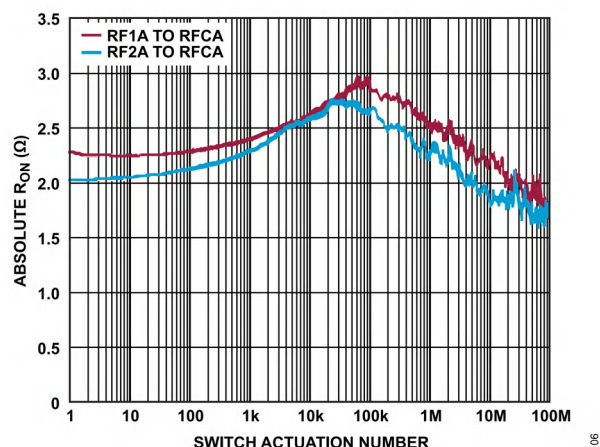


図 7. R_{ON} の絶対値とスイッチ作動回数の関係
($T_A = 25^\circ\text{C}$ 、作動時に印加する負荷電流 = 50mA)

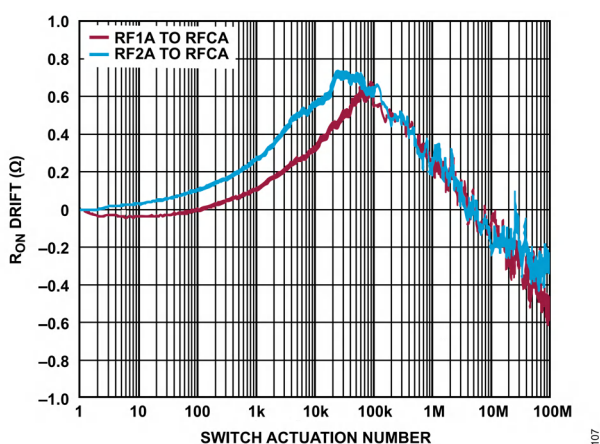


図 8. R_{ON} ドリフトとスイッチ作動回数の関係、0 で正規化
($T_A = 25^\circ\text{C}$ 、作動時に印加する負荷電流 = 50mA)

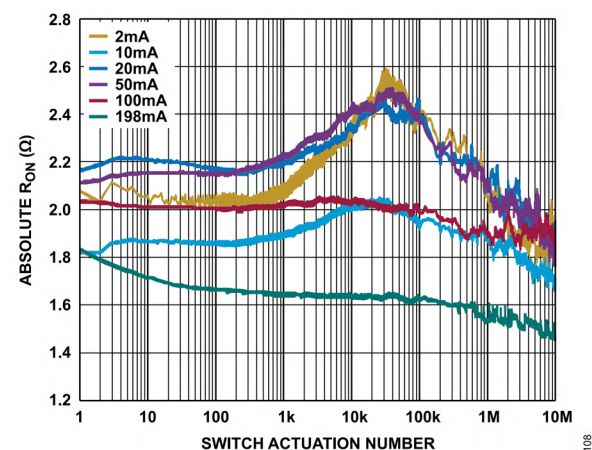


図 9. 異なる電流レベルにおける R_{ON} の絶対値と
スイッチ作動回数の関係 ($T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$)

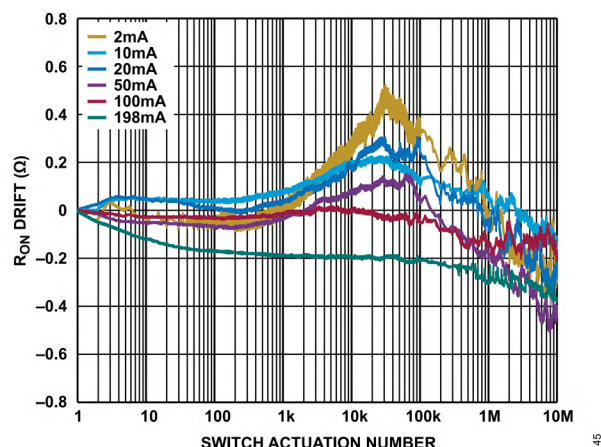


図 10. 異なる電流レベルにおける R_{ON} ドリフトと
スイッチ作動回数の関係、0 で正規化 ($T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$)

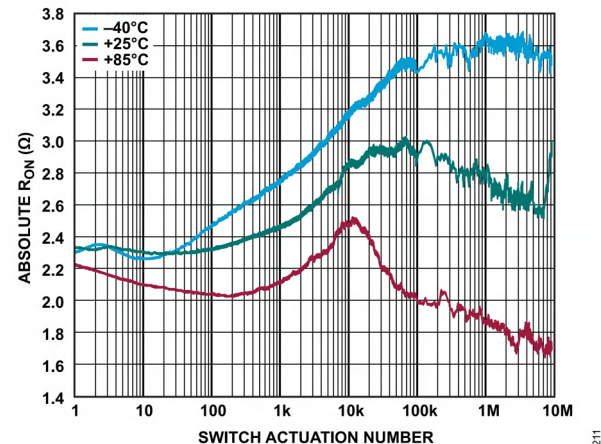


図 11. 異なる温度における R_{ON} の絶対値とスイッチ作動回数の
関係 (作動時に印加する負荷電流 = 50mA、 $V_{DD} = 3.3\text{V}$)

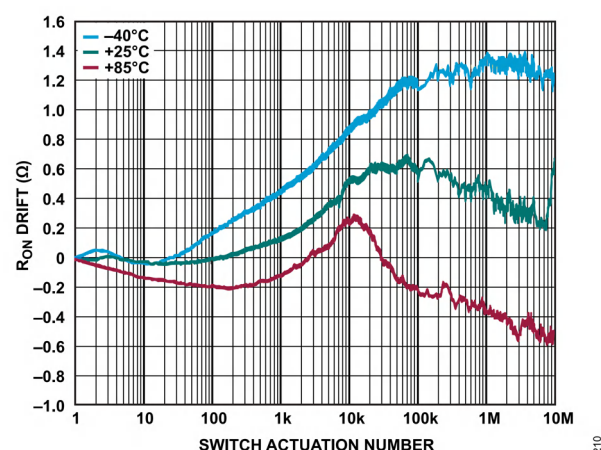


図 12. 異なる温度における R_{ON} ドリフトと
スイッチ作動回数の関係、0 で正規化
(作動時に印加する負荷電流 = 50mA、 $V_{DD} = 3.3\text{V}$)

代表的な性能特性

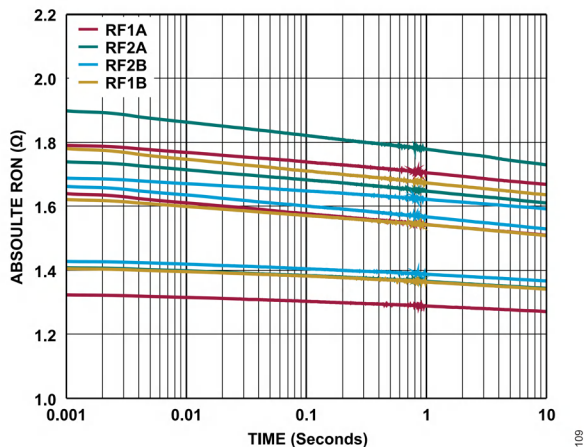


図 13. 各チャンネルにおける R_{ON} の絶対値と時間 (1ms~10s) の関係、複数デバイス
($T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, 負荷電流 = 50mA)

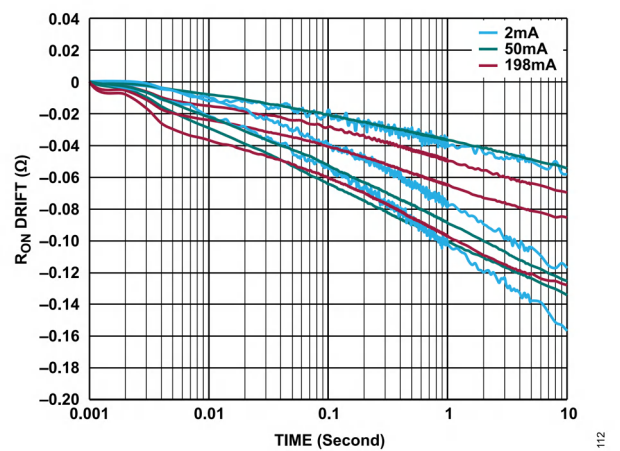


図 16. 異なる電流レベルにおける R_{ON} ドリフトと時間 (1ms~10s) の関係、複数デバイス、0 で正規化
($T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, RF1A~RFCA)

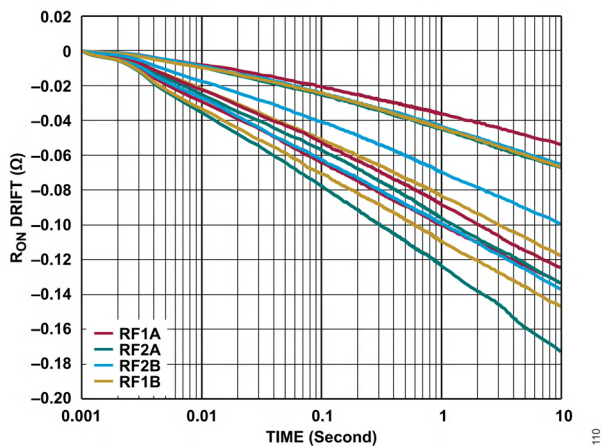


図 14. 各チャンネルにおける R_{ON} ドリフトと時間 (1ms~10s) の関係、複数デバイス、0 で正規化
($T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, 負荷電流 = 50mA)

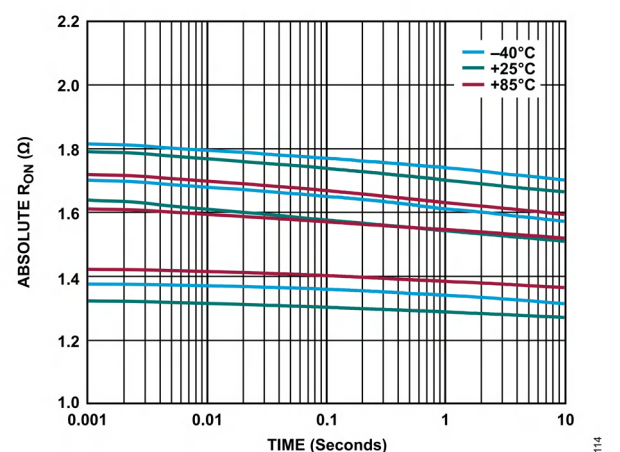


図 17. 異なる温度における R_{ON} の絶対値と時間 (1ms~10s) の関係、複数デバイス
(負荷電流 = 50mA, $V_{DD} = 3.3\text{V}$, RF1A~RFCA)

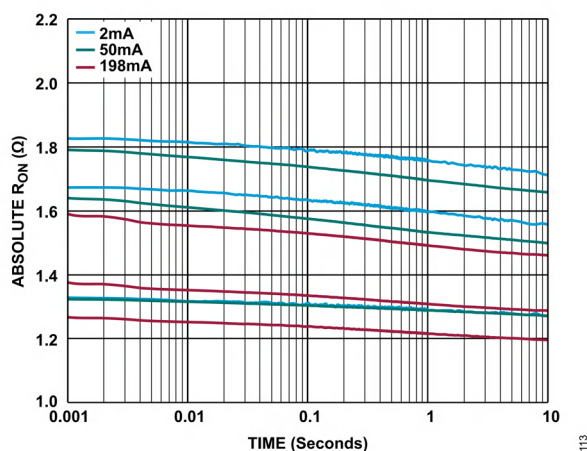


図 15. 異なる電流レベルにおける R_{ON} の絶対値と時間 (1ms~10s) の関係、複数デバイス
($T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, RF1A~RFCA)

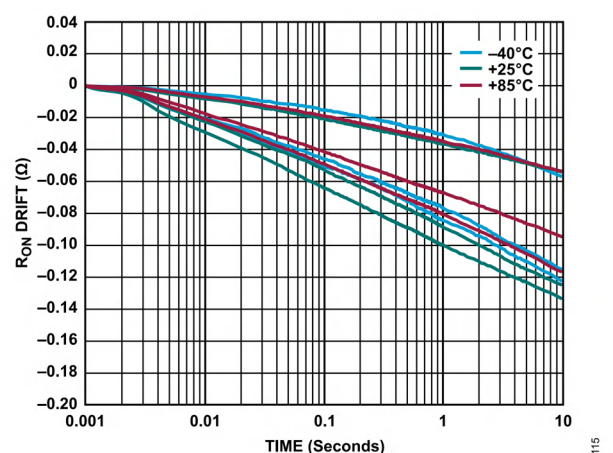


図 18. 異なる温度における R_{ON} ドリフトと時間 (1ms~10s) の関係、複数デバイス、0 で正規化
(負荷電流 = 50mA, $V_{DD} = 3.3\text{V}$, RF1A~RFCA)

代表的な性能特性

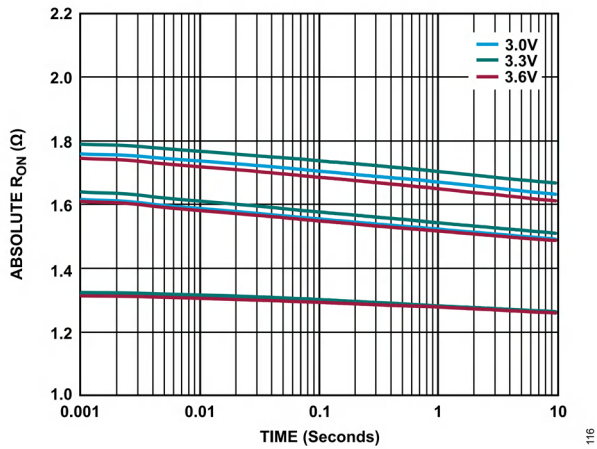


図 19. 異なる電源電圧における R_{ON} の絶対値と時間 (1ms~10s) の関係、複数デバイス (負荷電流 = 50mA、 V_{DD} = 3.3V、RF1A~RFCA)

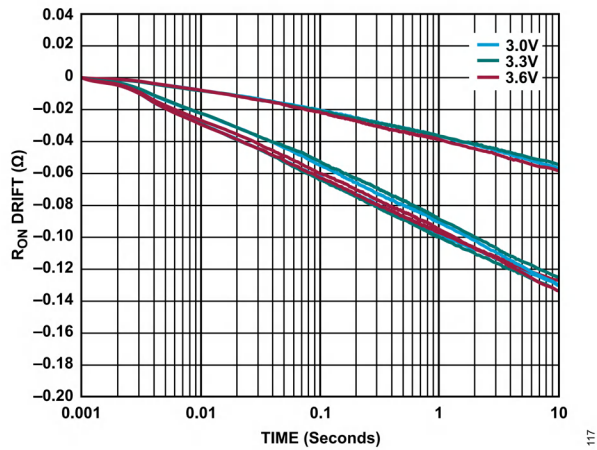


図 20. 異なる電源電圧における R_{ON} ドリフトと時間 (1ms~10sec) の関係、複数デバイス、0 で正規化 (負荷電流 = 50mA、 V_{DD} = 3.3V、RF1A~RFCA)

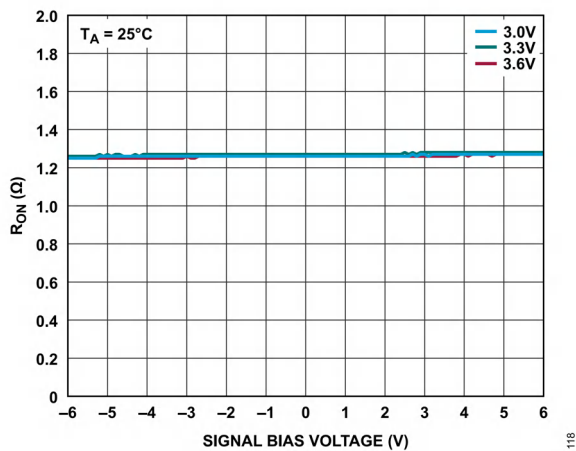


図 21. 異なる電源電圧における R_{ON} と信号バイアス電圧の関係 (RF1A~RFCA をオン、50mA)

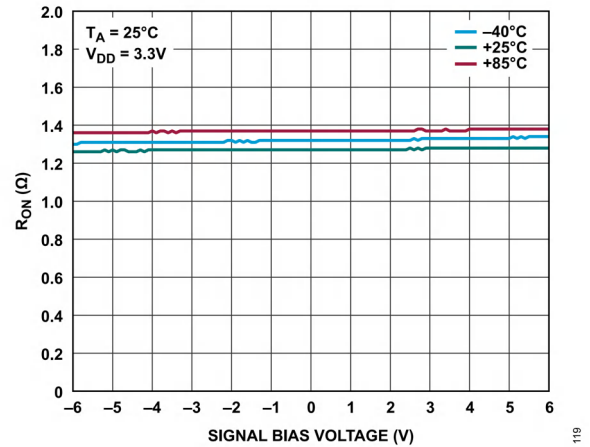


図 22. 異なる温度における R_{ON} と信号バイアス電圧の関係 (RF1A~RFCA をオン、50mA)

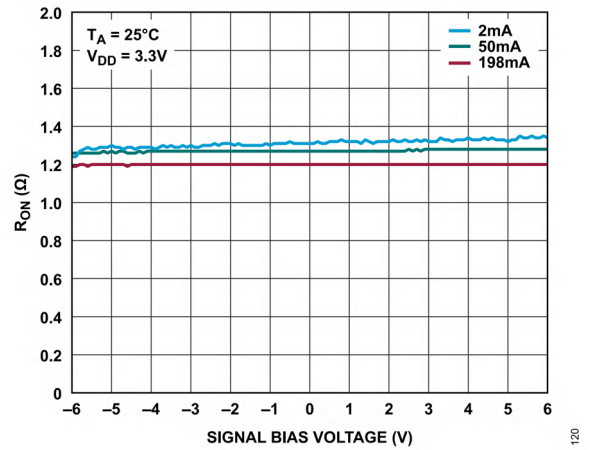


図 23. 異なる電流レベルにおける R_{ON} と信号バイアス電圧の関係、(RF1A~RFCA をオン)

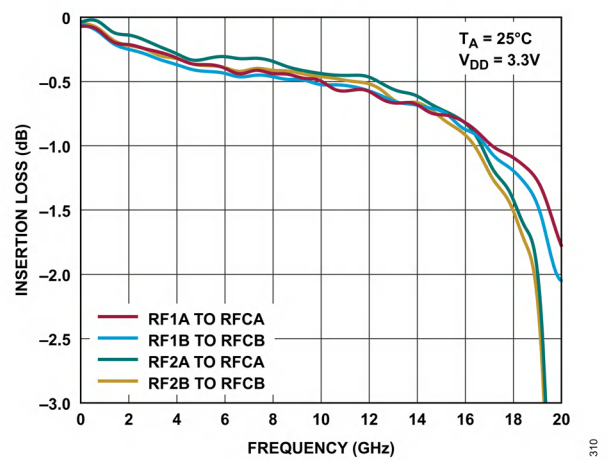


図 24. 挿入損失と周波数の関係

代表的な性能特性

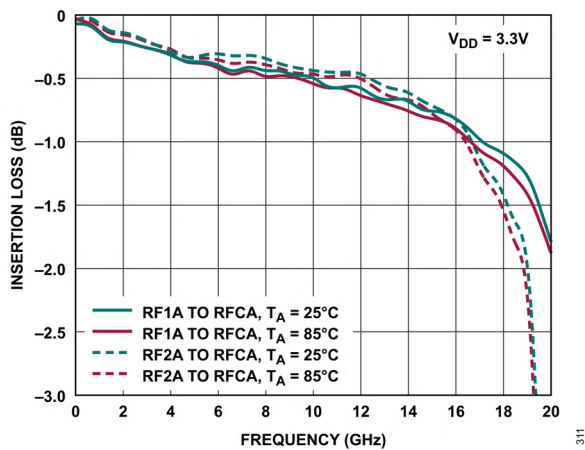


図 25. 異なる温度における挿入損失と周波数の関係 (RF1A~RFCA、RF2A~RFCA)

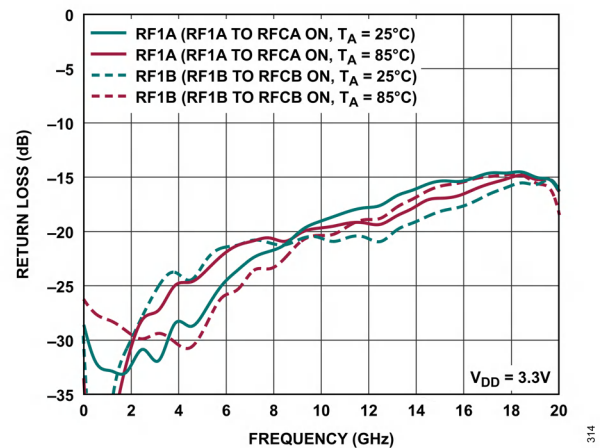


図 28. 異なる温度における反射損失と周波数の関係 (RF1A、RF2A、RF1B、RF2B から測定)

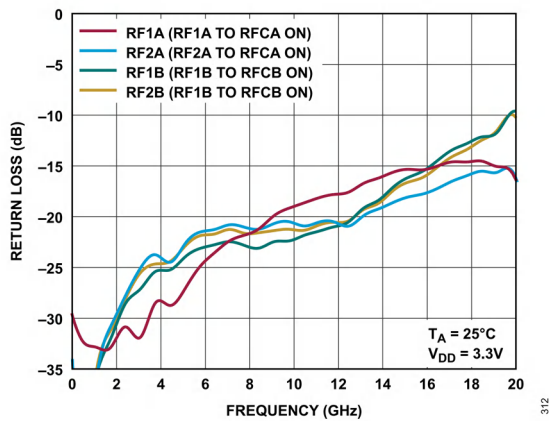


図 26. 反射損失と周波数の関係 (RF1A、RF2A、RF1B、RF2B から測定)

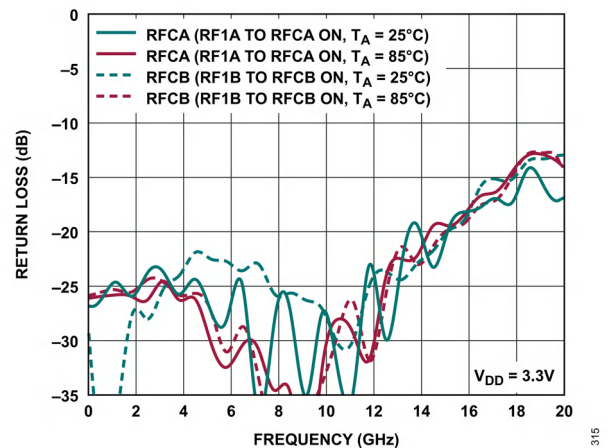


図 29. 異なる温度における反射損失と周波数の関係 (RFCA と RFCB から測定)

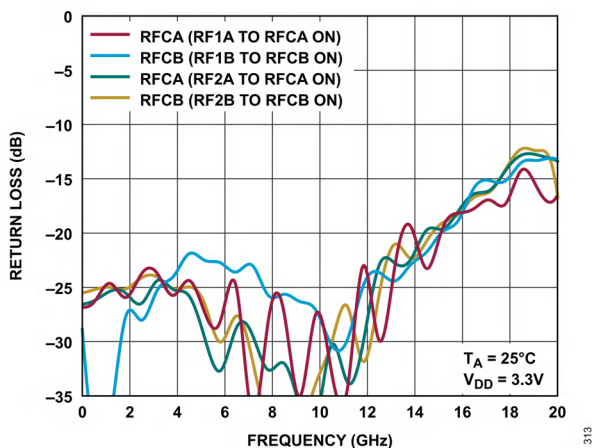


図 27. 反射損失と周波数の関係 (RFCA と RFCB から測定)

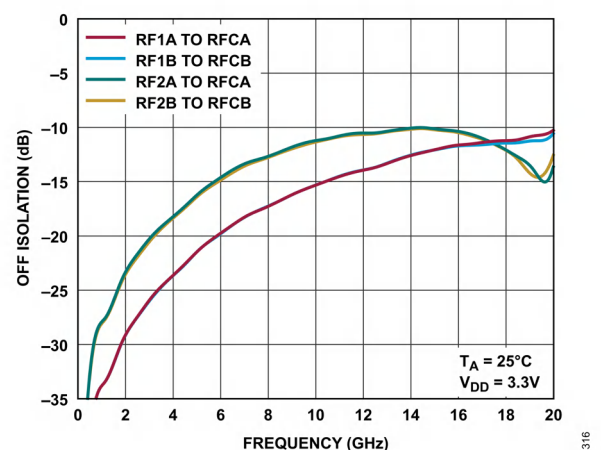


図 30. オフ・アイソレーションと周波数の関係 (全チャンネルがオフ)

代表的な性能特性

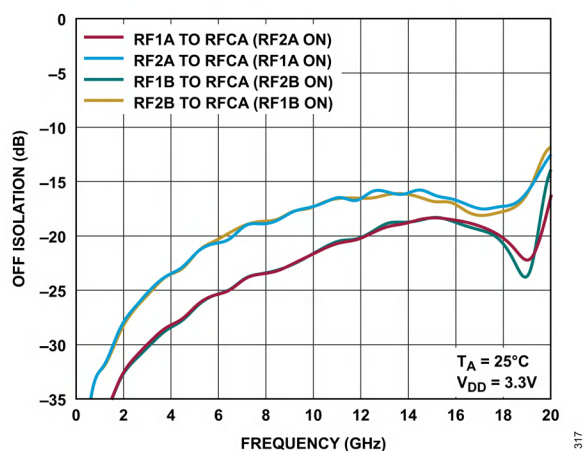


図 31. オフ・アイソレーションと周波数の関係
(1 チャンネルがオン)

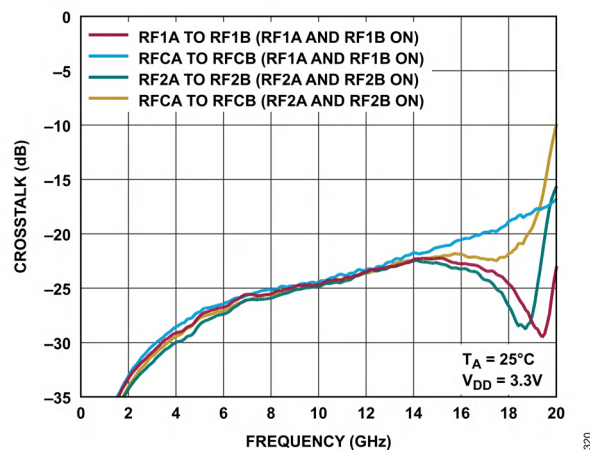


図 34. クロストークと周波数の関係 (2 チャンネルがオン)

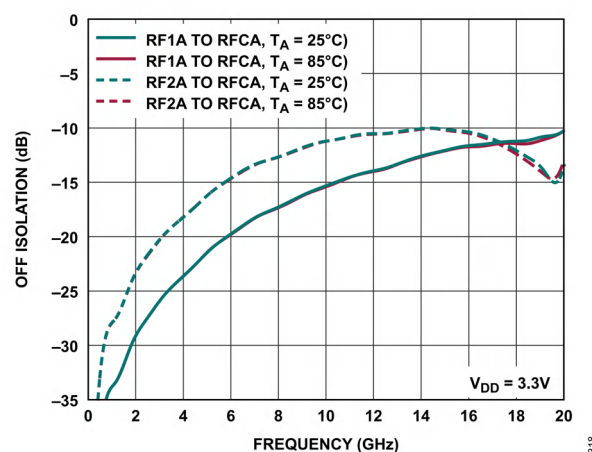


図 32. 異なる温度におけるオフ・アイソレーションと周波数の関係 (全チャンネルがオフ)

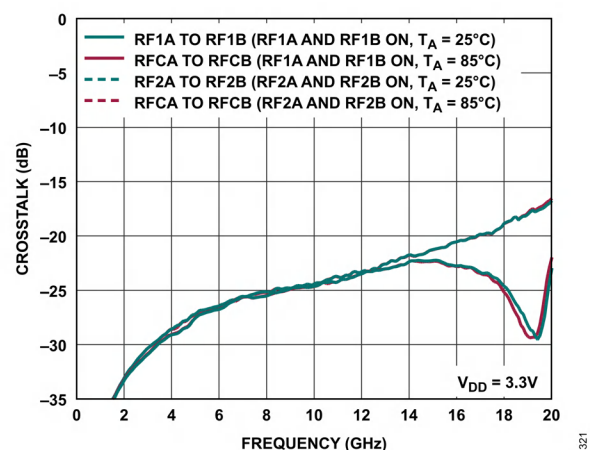


図 35. 異なる温度におけるクロストークと周波数の関係 (2 チャンネルがオン)

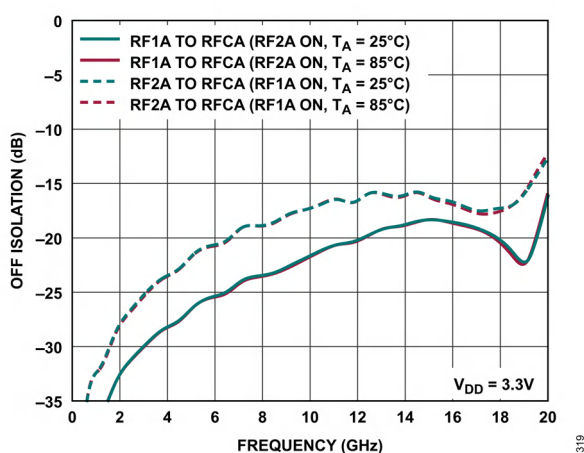


図 33. 異なる温度におけるオフ・アイソレーションと周波数の関係 (1 チャンネルがオン)

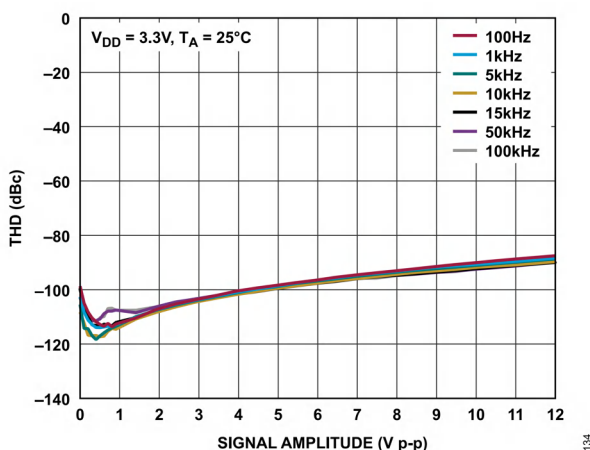


図 36. THD と信号振幅の関係
($R_L = 300\Omega$ 、信号源インピーダンス = 20Ω)

代表的な性能特性

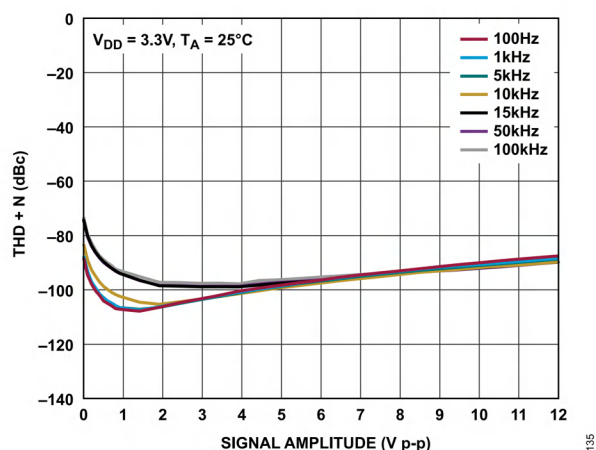


図 37. THD + N と信号振幅の関係
($R_L = 300\Omega$ 、信号源インピーダンス = 20Ω)

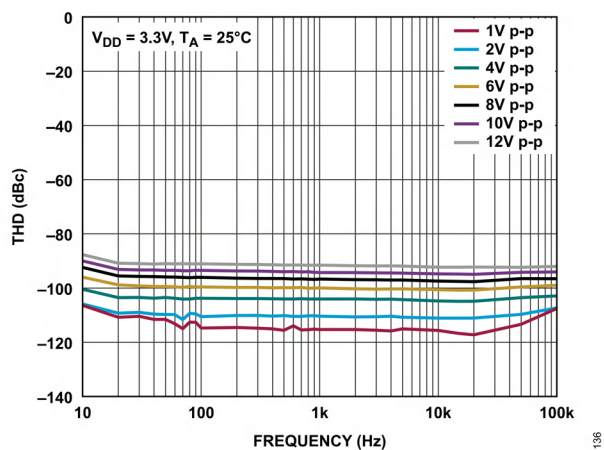


図 38. THD と周波数の関係
($R_L = 300\Omega$ 、信号源インピーダンス = 20Ω)

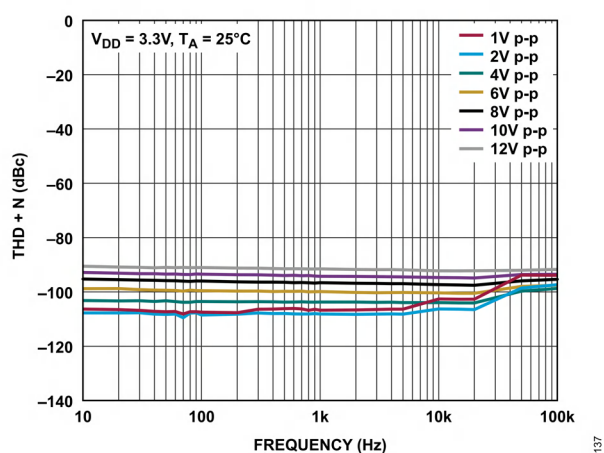


図 39. THD + N と周波数の関係
($R_L = 300\Omega$ 、信号源インピーダンス = 20Ω)

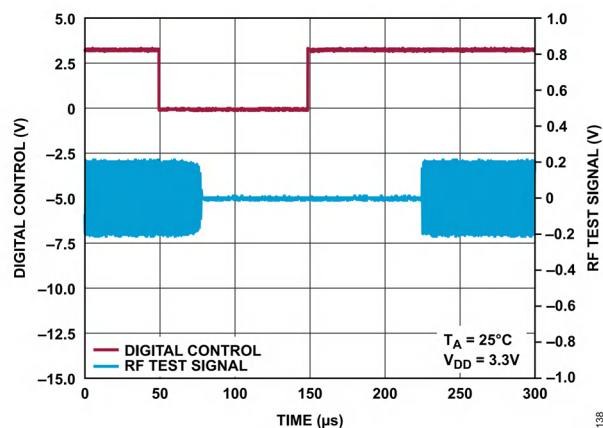


図 40. デジタル制御および RF テスト信号と時間の関係
($V_{DD} = 3.3V$)

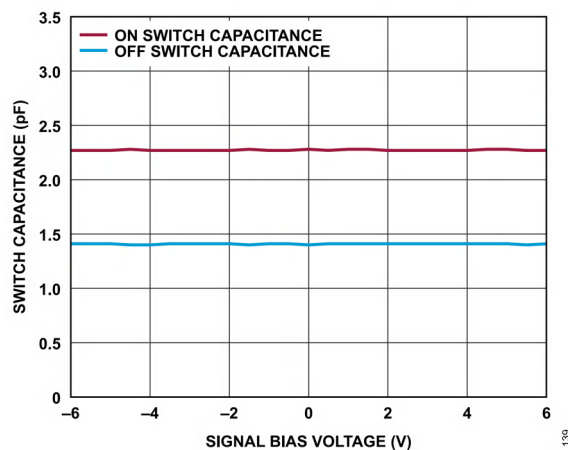


図 41. スイッチ容量と信号バイアス電圧の関係
($V_{DD} = 3.3V$ 、 $T_A = 25^\circ C$)

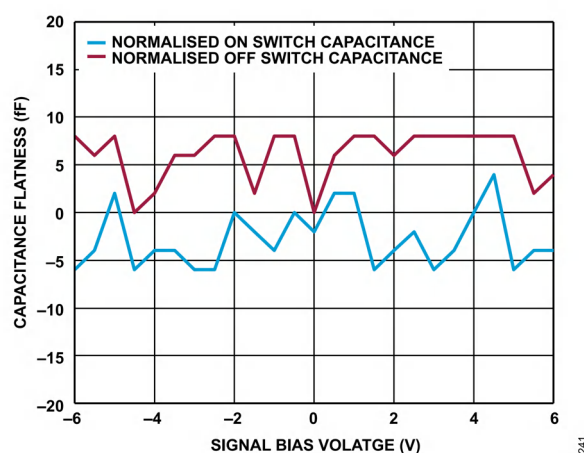


図 42. 容量の平坦性と信号バイアス電圧の関係
($V_{DD} = 3.3V$ 、 $T_A = 25^\circ C$)

代表的な性能特性

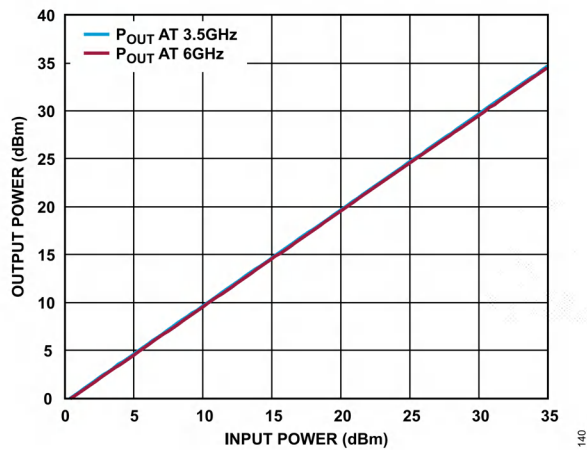


図 43. 出力電力 (P_{OUT}) と入力電力 (P_{IN}) の関係 ($V_{DD} = 3.3V$)

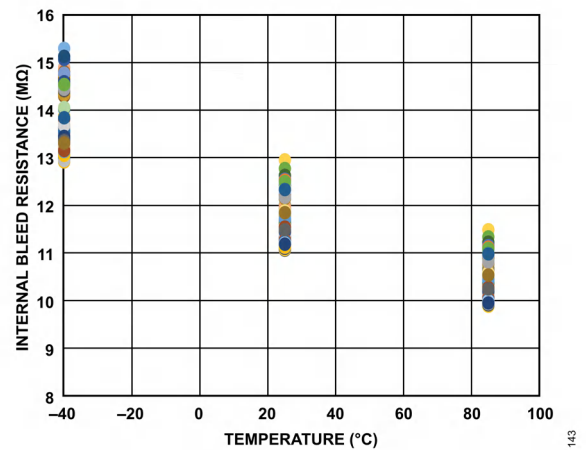


図 46. 内蔵ブリード抵抗の分布と温度の関係

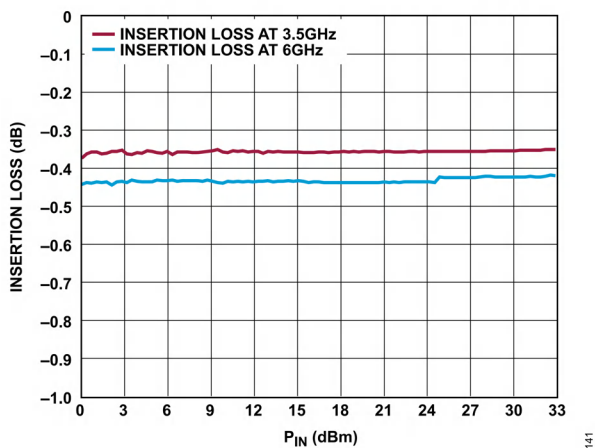


図 44. 挿入損失と P_{IN} の関係

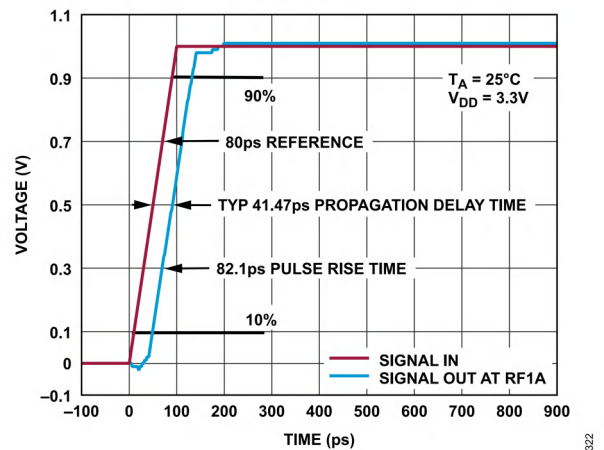


図 47. 時間領域応答 (RF1A~RFCA)

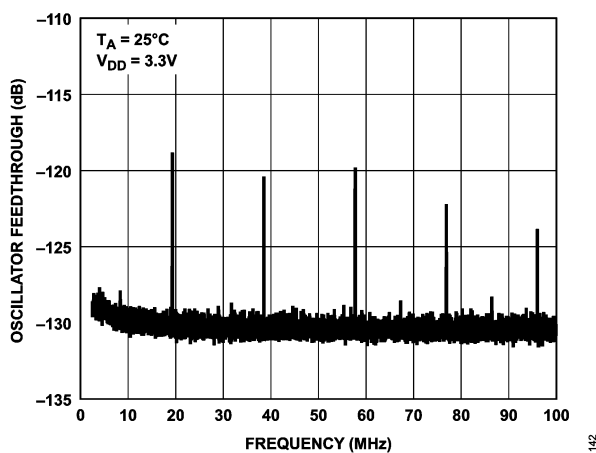


図 45. 発振器フィードスルーと周波数の関係、広帯域幅 ($V_{DD} = 3.3V$)

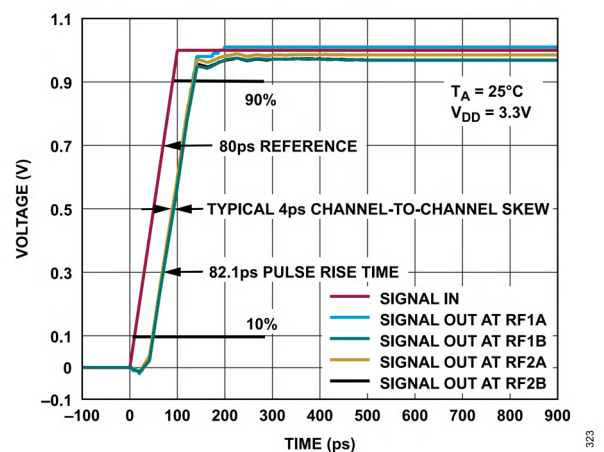


図 48. チャンネル間スキュー、時間領域応答

代表的な性能特性

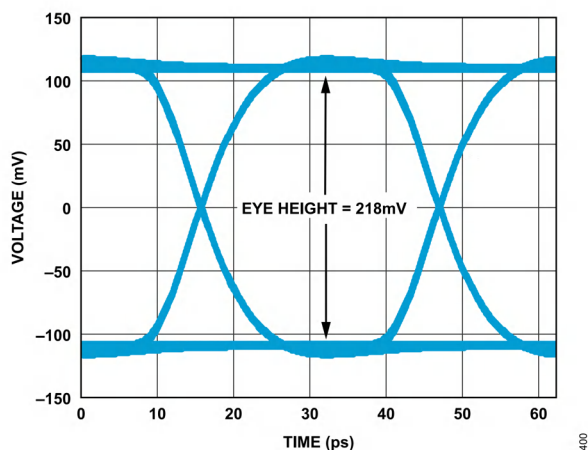


図 49. 32Gbps におけるリファレンス・アイ・ダイアグラム
(非ゼロ復帰 (NRZ)、 $T_{RISE}/T_{FALL} = 16ps$)

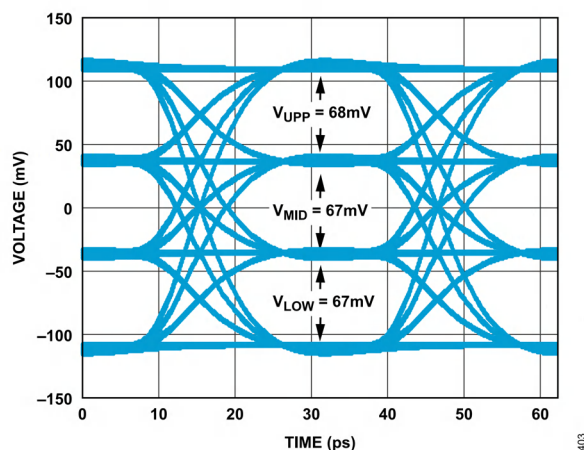


図 52. 64Gbps におけるリファレンス・アイ・ダイアグラム
(4 値パルス振幅変調 (PAM4) を使用したパターン、 $T_{RISE}/T_{FALL} = 16ps$)

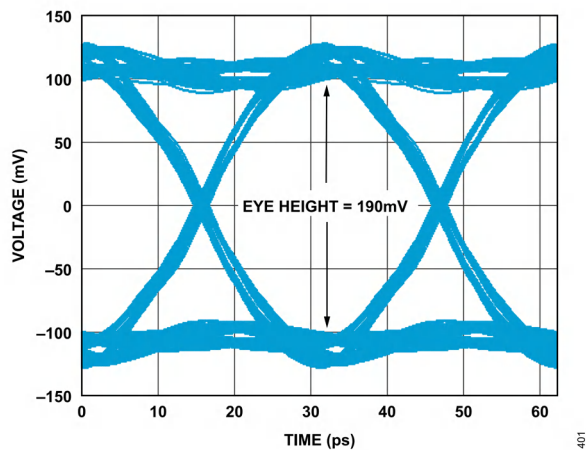


図 50. 32Gbps におけるアイ・ダイアグラム
(NRZ、 $T_{RISE}/T_{FALL} = 16ps$ 、
1 個の ADGM1121 を通過した信号)

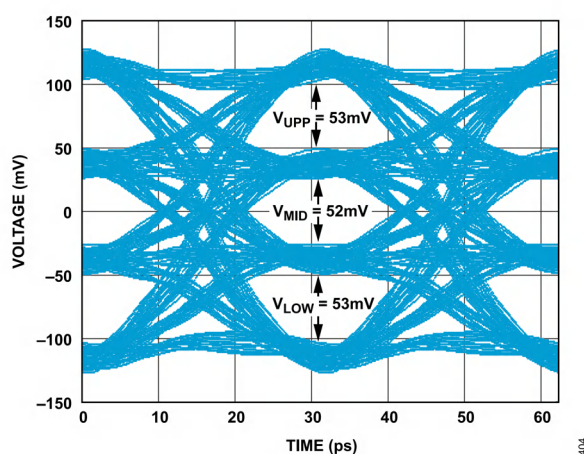


図 53. 64Gbps におけるアイ・ダイアグラム
(PAM4、 $T_{RISE}/T_{FALL} = 16ps$ 、
1 個の ADGM1121 を通過した信号)

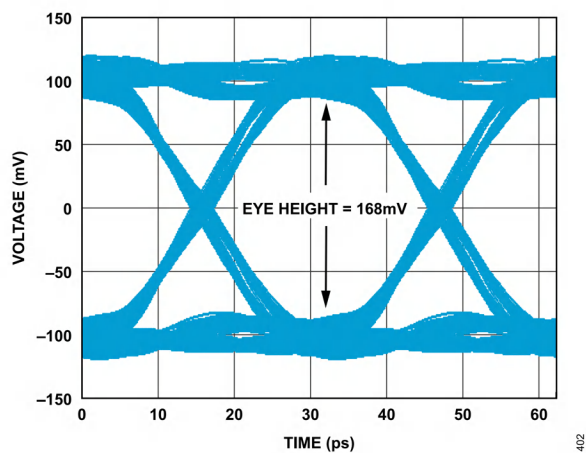


図 51. 32Gbps におけるアイ・ダイアグラム
(NRZ、 $T_{RISE}/T_{FALL} = 16ps$ 、
ループバック構成にした 2 個の ADGM1121 を通過した信号)

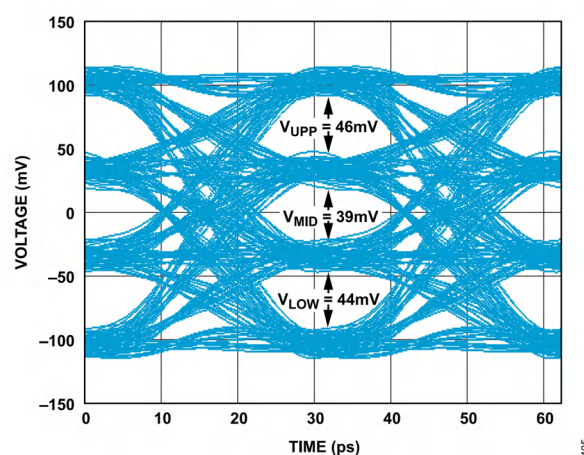


図 54. 64Gbps におけるアイ・ダイアグラム
(PAM4、 $T_{RISE}/T_{FALL} = 16ps$ 、
ループバック構成にした 2 個の ADGM1121 を通過した信号)

動作原理

スイッチの設計

ADGM1121 は、アナログ・デバイセズのマイクロマシン（MEMS）スイッチ技術を使用した広帯域 DPDT スwitch です。この技術により、RF アプリケーションの需要に対応する高電力、低損失、低歪みのギガヘルツ・スイッチが実現します。

クラス最高レベルの高周波 RF 性能と高精度の 0Hz/DC 性能を同時に発揮することが、この MEMS スwitch の長所です。高信頼性および表面実装可能な小フォーム・ファクタとこの長所を組み合わせることで、すべての高精度 RF 信号計測器のニーズに適合する最適なソリューションが実現します。

パラレル・デジタル・インターフェイス

ADGM1121 は、パラレル・インターフェイスを介して制御できます。このインターフェイスを通じて印加される標準的な相補

型金属酸化膜半導体（CMOS）／低電圧トランジスタ・トランジスタ・ロジック（LVTTTL）信号が、ADGM1121 のすべてのスイッチ・チャンネルの作動と解除を個別に制御します。

ピン 6（ $\overline{\text{PIN}}/\text{SPI}$ ）をローに設定すると、パラレル制御インターフェイスがイネーブルされます。ピン 1、2、3、4（IN1、IN2、IN3、IN4）は、ADGM1121 のスイッチング機能を制御します。これらのピンのいずれかにロジック 1 が入力されると、対応するスイッチがオンになります。逆にロジック 0 が入力されると、対応するスイッチがオフになります。真理値表については表 7 を参照してください。

ピン 23（V_{DD}）に電源電圧が印加されていない場合は、すべてのスイッチが不定状態になります。

表 7. パラレル・デジタル・インターフェイス・モードの真理値表

IN1	IN2	IN3	IN4	RF1A to RFCA	RF2A to RFCA	RF2B to RFCB	RF1B to RFCB
0	0	0	0	Off	Off	Off	Off
0	0	0	1	Off	Off	Off	On
0	0	1	0	Off	Off	On	Off
0	0	1	1	Off	Off	On	On
0	1	0	0	Off	On	Off	Off
0	1	0	1	Off	On	Off	On
0	1	1	0	Off	On	On	Off
0	1	1	1	Off	On	On	On
1	0	0	0	On	Off	Off	Off
1	0	0	1	On	Off	Off	On
1	0	1	0	On	Off	On	Off
1	0	1	1	On	Off	On	On
1	1	0	0	On	On	Off	Off
1	1	0	1	On	On	Off	On
1	1	1	0	On	On	On	Off
1	1	1	1	On	On	On	On

動作原理

SPI デジタル・インターフェイス

ピン6 ($\overline{\text{PIN}}/\text{SPI}$) をハイにすると、SPI デジタル・インターフェイスを介して ADGM1121 を制御できます。このデバイスでは SPI モード 0 または SPI モード 3 を使用でき、デバイスは最大 10MHz の SCLK 周波数で動作します。SPI がアクティブな場合のデフォルト・モードはアドレス指定可能モードで、このモードでは、デバイスのレジスタへのアクセスは、 $\overline{\text{CS}}$ の状態に応じて指定される 16 ビットの SPI コマンドによって行われます。ADGM1121 はデジチェーン・モードでも動作します。

ADGM1121 の SPI ピンは、 $\overline{\text{CS}}$ 、SCLK、SDI、および SDO です。SPI を使用する場合は $\overline{\text{CS}}$ をローにします。データは SCLK の立上がりエッジ発生時に SDI でキャプチャされ、SCLK の立下がりエッジ発生時に SDO から送出されます。SDO はプッシュプル出力ドライバ・アーキテクチャです。したがって、プルアップ抵抗は不要です。SDO は、ADGM1121 によってローにされない場合、高インピーダンス状態になります。

アドレス指定可能モード

アドレス指定可能モードは、ADGM1121 パワーアップ時のデフォルト・モードです。アドレス指定可能モードでは、 $\overline{\text{CS}}$ の立下がりエッジと後続の $\overline{\text{CS}}$ 立上がりエッジによって 1 つの SPI フレームが指定されます。これは 16 個の SCLK サイクルで構成されます。SPI モード 0 におけるアドレス指定可能モードのタイミング図を図 55 に示します。

最初の SDI ビットは、SPI コマンドが読み出しコマンドまたは書き込みコマンドのどちらであるかを示します。次の 7 ビットはターゲット・レジスタのアドレスを決定します。残りの 8 ビットは、アドレス指定されたレジスタへ提供するデータです。読み出しコマンド実行中のクロック・サイクルでは、アドレス指定されたレジスタに含まれるデータを SDO が送出するので、最後の 8 ビットは無視されます。

モード 0 で SPI コマンドが実行されると、SDO は $\overline{\text{CS}}$ の立下がりエッジと SCLK の最初の 7 個の立下がりエッジで 8 個のアライメント・ビットを送出します（モード 3 では、図 56 に示すように SCLK の最初の立下がりエッジが無視されます）。SDO で観察されるアライメント・ビットは、0x25 です。

SPI コマンドのターゲット・レジスタのアドレスは、8 番目の SCLK 立上がりエッジで決定されます。このレジスタのデータは、SPI の読み出し中に 8~15 番目の SCLK 立下がりエッジで SDO から送出されます。レジスタへの書き込みは、SPI の書き込み中に 16 番目の SCLK 立上がりエッジで行われます。

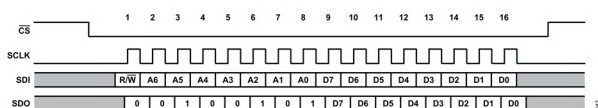


図 55. アドレス指定可能モードのタイミング図（モード 0）

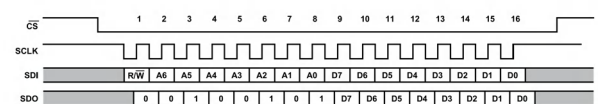


図 56. アドレス指定可能モードのタイミング図（モード 3）

デジチェーン・モード

デジチェーン構成では、複数の ADGM1121 デバイスを接続できます。すべてのデバイスが同じ $\overline{\text{CS}}$ と SCLK ラインを共有し、デバイスの SDO は次のデバイスの SDI に接続されてシフト・レジスタを構成します。デジチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。

ADGM1121 は、アドレス指定可能モードで 16 ビット SPI コマンド 0x2500 を送信した場合のみ、アドレス指定モードからデジチェーン・モードへ移行できます。この例を図 57 に示します。ADGM1121 がこのコマンドを受信すると、各デバイスの SDO が同じコマンドを送出します。これは、SDO のアライメント・ビットが 0x25 であるためです。これにより、デジチェーンされた複数のデバイスが 1 つの SPI フレームでデジチェーン・モードへ移行できます。デジチェーン・モードを終了するにはハードウェア・リセットが必要です。

代表的なデジチェーン SPI フレームのタイミング図については、図 58 を参照してください。 $\overline{\text{CS}}$ がハイになると、デバイス 1 はコマンド 0[7:0] をそのスイッチ・データ・レジスタに書き込み、デバイス 2 はコマンド 1[7:0] をそのスイッチに書き込みます。残りのデバイスも同様です。SPI ブロックでは、SDI から受信した最後の 8 ビットを使用してスイッチが更新されます。デジチェーン・モードへの移行後、SDO によって送出される最初の 8 ビットは 0x00 です。 $\overline{\text{CS}}$ がハイになっても、内部シフト・レジスタ値は 0 にリセットされません。

SCLK 立上がりエッジでは、SDI からデータが読み取られます。一方、SCLK 立下がりエッジでは SDO からデータが送出されます。 $\overline{\text{CS}}$ がハイになるまでに SCLK サイクルが発生する回数は、8 の倍数になるはずですが、そうでない場合、SPI は、最後に受信した 8 ビットをスイッチ・データ・レジスタへ送ります。

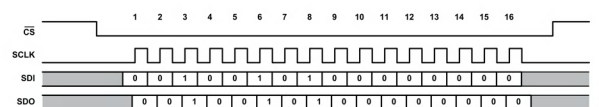


図 57. デジチェーン・モードに移行するための SPI コマンド

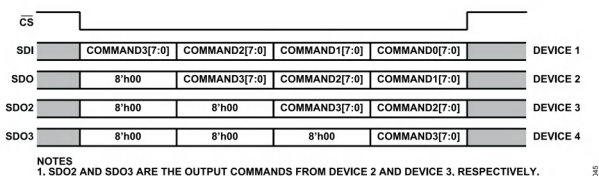


図 58. 3 個の ADGM1121 をデジチェーン・モードで接続した場合の SPI フレームの例

ハードウェア・リセット

ADGM1121 のデジタル・セクションは、 V_{DD} のパワーアップ時に初期化フェーズを実行します。デバイスをハードウェア・リセットするには、 V_{DD} の入力を一度オフにしてから改めてオンにします。電源投入またはハードウェア・リセットの後には、少なくとも 10 μ s 経過してから SPI コマンドを発行するようにしてください。10 μ s の初期化フェーズでは、 V_{DD} が低下しないよう注意してください。低下すると、ADGM1121 が異常な動作をする可能性があります。

動作原理

内部エラー・ステータス

デバイスで内部エラーが検出されると、SWITCH_DATA レジスタの内部エラー・ステータス・ビット[7:6]にフラグがセットされます。内部エラーは、電源投入時のデバイス設定にエラーがあった場合に発生します。

内部発振器のフィードスルー

ADGM1121 は、公称 10MHz で動作する内部発振器を内蔵しています。この発振器は、各スイッチ・ゲート電極に作動電圧を供給するチャージ・ポンプ回路を駆動します。この発振器は非常に低消費電力ですが、10MHz の信号がスイッチに結合されるので、スイッチ・チャンネルでのノイズ・スプリアスを考慮する必要があります。このフィードスルー・ノイズ・スプリアスの大きさは表 1 に仕様規定されており、1 つのスイッチがオンの場合は -123dBm (代表値) です。V_{DD} レベルと温度の変動は、ノイズ・スプリアスの周波数に影響します。温度および電圧電源の全範囲にわたる周波数の最大値と最小値については、表 1 を参照してください。

内部発振器のフィードスルーの低減

通常動作時は、80V の作動電圧がドライバ IC から供給されます。EXTD_EN ピン (ピン 7) をローにすると、内蔵の 10MHz 発振器がイネーブルされます。この設定により、MEMS スwitch の作動に必要な 80V を生成するチャージ・ポンプ回路がイネーブルされます。内部発振器は、RF ポートを通じて結合するノイズ源となります。このフィードスルー・ノイズ・スプリアスの大きさは表 1 に仕様規定されており、1 つのスイッチがオンの場合は -123dBm (代表値) です。内部発振器のフィードスルーは、EXTD_EN ピンをハイに設定することで除去できます。この設定では内部発振器とチャージ・ポンプ回路がディスエーブルされます。内部発振器とチャージ・ポンプ回路がディスエーブルされた場合、MEMS スwitch を作動させるには、表 6 に示すように V_{CP} ピン (ピン 24) を外部電圧源の 80V DC (V_{CPEXT}) で駆動する必要があります。スイッチは引き続きデジタル・ロジック・インターフェイス・ピンを介して制御できます。

低消費電力モード

EXTD_EN ピンをハイにすると内部発振器は停止します。ADGM1121 は低消費電力静止状態に入り、最大電源電流はわずか 50μA になります。内部発振器とチャージ・ポンプ回路がディスエーブルされた場合、MEMS スwitch を作動させるには、表 6 に示すように V_{CP} ピン (ピン 24) を外部電圧源の 80V DC (V_{CPEXT}) で駆動する必要があります。スイッチは引き続きデジタル・ロジック・インターフェイス・ピンまたは SPI を介して制御できます。

代表的な動作回路

ADGM1121 の代表的な動作回路を図 59 に示します。V_{DD} は 3.3V に接続されており、EP1 は内部で EP2 に接続されています。PCB 上で EP1 と EP2 を短絡させる 1 つの大きなパッドを使用して RFGND と AGND を接続することを推奨します。EP1 と EP2 は内部で接続されていません。図 59 に、内部発振器をドライバ IC 制御回路へのリファレンス・クロックとして使用するよう構成した ADGM1121 を示します。代わりに、ピン 7 (EXTD_EN) をハイ・レベルに設定して 80V DC を直接ピン 24 に印加することで、内部発振器をディスエーブルして発振器のフィードスルーをすべて除去することもできます。これで、ピン 1~ピン 4 のロジック制御インターフェイスからスイッチを制御できます。

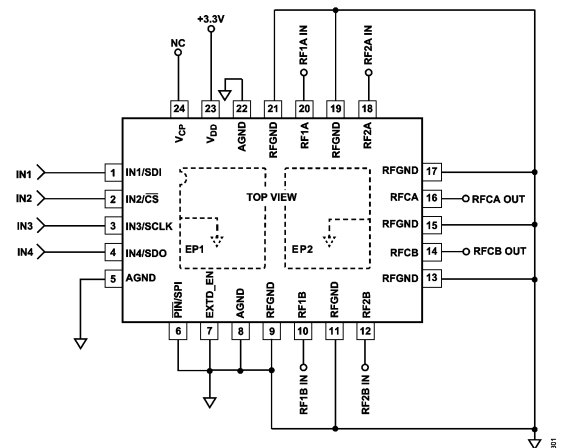


図 59. パラレル・デジタル・インターフェイス・モードでの代表的な動作回路

アプリケーション情報

電源レール

ADGM1121 には 3.0V~3.6V のユニポーラ電源を使用できます。このデバイスは 3.3V アナログ電源ですべての仕様が規定されています。

電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

ADGM1121 の代表的なユニポーラ・ソリューションを図 60 に示します。ADP7142 は、2.7V~40V の範囲で動作する低ドロップアウト・リニア電圧レギュレータで、39V から 1.2V のレールで動作する高性能のアナログ回路やミックスド・シグナル回路のレギュレーションに最適です。ADP7142 には、出力電圧に関係なく 11 μ Vrms の出力ノイズがあります。ADP7142 を用いることで、シグナル・チェーンの ADGM1121 やマイクロコントローラなどのデバイスに電源レールを供給できます。

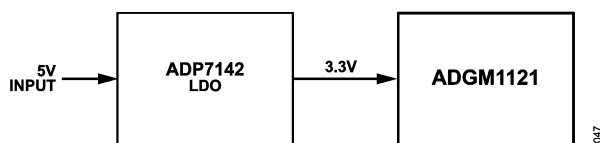


図 60. ユニポーラ電源ソリューション

電源に低ノイズ性能が必要な場合は、ADP7142 を LT1962 や LT3045-1 に置き換えることができます。

表 8. 推奨されるパワー・マネージメント・デバイス

製品	概要
ADP7142	40V、200mA、低ノイズの CMOS LDO リニア・レギュレータ
LT1962	300mA、低ノイズ、マイクロパワーの低ドロップアウト (LDO) レギュレーション
LT3045-1	入出力制御電圧 (VIOC) 機能を備えた 20V、500mA、超低ノイズ、超高電源電圧変動除去比 (PSRR) のリニア・レギュレータ

高速デジタル・ループバック

PCIe 4.0 (Gen4) や PCIe 5.0 (Gen5) などの高速入出力 (HSIO) インターフェイスを大量生産環境で試験することは容易ではありません。HSIO インターフェイスを検証するための一般的な手法は、高速ループバック試験法を実行することです。これは、1 つの構成に高速試験経路と DC 試験経路の両方が組み込まれたものです。

高速ループバック試験を実行するには、一般的に疑似ランダム・ビット・シーケンス (PRBS) がトランスミッタから高速で送信され、負荷ボードまたは試験ボード上でループバックされてからレシーバ側で受信されます。レシーバ側ではこのシーケンスが分析され、ビット・エラー・レート (BER) が計算されます。

入出力ピンでは、デバイス機能を確認するために、導通試験やリーク試験などの DC パラメトリック試験が行われます。これらの試験を実行するには、入出力ピンの DC 測定を行う DC 機器に DUT の入出力ピンを直接接続する必要があります。

ADGM1121 は、図 61 に示すように、高速デジタル信号と DC 信号の両方の試験を行う機能を、わずか 5.00mm×4.00mm×1.0mm の LGA パッケージに高密度で搭載しています。MEMS スイッチは、テストからテスト対象デバイス (DUT) への通信も可能にします。ADGM1121 は DC~16GHz で優れた性能を発揮するため、スイッチは最大 64Gbps までの高速信号と高精度 DC 信号の両方を処理することができます。

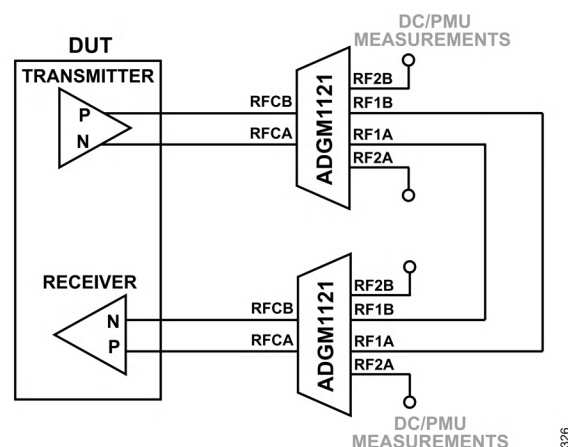


図 61. 高速デジタル試験と DC 試験の両方を可能にする ADGM1121

重要な動作条件

オン抵抗のドリフトによるシステム誤差に関する考慮事項

ADGM1121 のオン抵抗 (R_{ON}) 性能は、デバイスごとのばらつき、チャンネルごとのばらつき、サイクル作動、ターン・オン後のセトリング時間、バイアス電圧、温度変化などの影響を受けます。

50Ω システムでは、スイッチ作動時のオン抵抗ドリフト (ΔR_{ON}) がシステムの不正確さの原因となります場合があります。図 62 に、50Ω システムで負荷に接続された ADGM1121 を示します。ここで、 R_S はソース・インピーダンスです。ADGM1121 の ΔR_{ON} によって生じるシステム誤差の計算には、次式を使用します。

$$\text{System Error (\%)} = \Delta R / R_{LOAD}$$

ここで、

ΔR は ADGM1121 の ΔR_{ON} 、 R_{LOAD} は負荷インピーダンスです。

ADGM1121 の ΔR_{ON} は挿入損失にも影響するので、デバイスの使用時にはこれを考慮する必要があります。挿入損失へのオン抵抗の影響を計算するには、次式を用います。

$$\text{Insertion Loss} = 10 \log (1 + (\Delta R / R_{LOAD}))$$

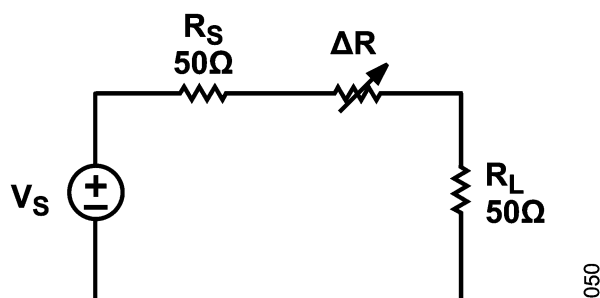


図 62. ADGM1121 を負荷に接続する 50Ω システムの代表例

表 9. ADGM1121 の R_{ON} ドリフトによるシステム誤差と挿入損失誤差

On-Resistance Drift	System Error (%)	Insertion Loss Error (dB)
0.7	1.4	0.06
2	4	0.17

ΔR_{ON} の時間変化の仕様は、図 13～図 20 に示すように、100ms 後に測定した場合で -0.32Ω (最大値) です。これらのグラフによると、時間に伴う R_{ON} のドリフトは 100ms 後で -0.06Ω (代表値) です。ADGM1121 の R_{ON} は、1 桁ごとに -0.04Ω (代表値) ドリフトします。例えば、100ms 後の R_{ON} ドリフトは -0.06Ω です。1 秒後の R_{ON} ドリフトは -0.1Ω です。更に 10 秒後には -0.14Ω になります。したがって、1000 秒後の R_{ON} のドリフト量は -0.22Ω になると予想されます。

作動後の温度衝撃によるオン抵抗変化

ある温度でスイッチが複数回作動して、その温度が突然変化した場合は、スイッチの R_{ON} に大きな変動が生じます。図 63 に、異なる作動回数における絶対 R_{ON} 性能のデバイス割合を示します。この測定では、スイッチは 85°C で作動し、スイッチの R_{ON} は 25°C で測定されています。 85°C でスイッチを作動させて 25°C で R_{ON} を測定することは、ADGM1121 の作動回数に伴う ΔR_{ON} にとっては最も厳しい条件です。

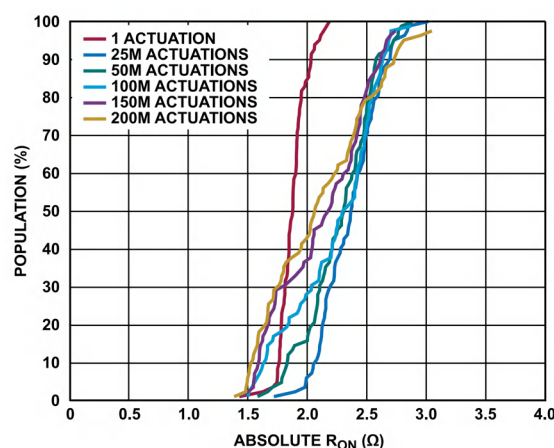


図 63. デバイスの割合と R_{ON} 絶対値の関係、スイッチは 85°C で作動、 R_{ON} は 25°C で測定、作動周波数 = 289Hz、 $V_{DD} = 3.3\text{V}$

ホット・スイッチング

ホット・スイッチングは、スイッチに過大な電圧または電流を印加した状態でスイッチのオンまたはオフを繰り返すことで発生します。スイッチング・サイクルの間に印加信号があると、スイッチの接点が損傷します。ホット・スイッチングによる損傷は、電流または電圧のレベルによって異なります。ホット・スイッチングは、図 67 と図 69 に示すように、スイッチのサイクル寿命を著しく減少させる原因となります。図 64 に、スイッチング時にスイッチ端子に 1V が印加された状態でスイッチがオンになるホット・スイッチング状態を示します。オフ状態のスイッチに電圧がかかっている場合は、接点またはスイッチが閉じる際に損傷が生じる可能性があります。

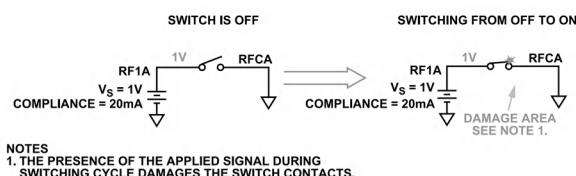


図 64. スwitchがオフ状態からオン状態に切り替わる際のホット・スイッチング状態

図 65 に、スイッチング時にスイッチを通じて 10mA が流れている状態でスイッチがオフになるホット・スイッチング状態を示します。オン・スイッチに電流が流れている場合、接点またはスイッチが開く際に損傷が生じる可能性があります。

SWITCHING FROM ON TO OFF



407



Figure 10 is a log-log plot showing the failure rate (Failures per 10⁹ cycles) versus the number of switch actuations (cycles) for four different bit rates: 7dBm (purple), 10dBm (green), 13dBm (blue), and 20dBm (red). The x-axis ranges from 1k to 10B cycles, and the y-axis ranges from 0 to 100 failures per 10⁹ cycles. The 20dBm curve shows the highest failure rate, followed by 13dBm, 10dBm, and 7dBm. All curves show an increasing failure rate with increasing switch actuations.

055

[illegible]

157

ESD に関する注意事項

▶ 200V、クラス 0B HBM、ANSI/ESDA/JEDEC JS-001-2014
▶ 1kV クラス C3 FICDM、ANSI/ESDA/JEDEC JS-002

ADGM1121 の 200V HBM 定格は、人体の接触による ESD サージの影響を受けます。人体の接触が予想される場合は、ESD 保護を追加する必要があります。

重要な動作条件

電氣的過負荷（EOS）に関する注意事項

ADGM1121 は EOS の影響を受けるので、次の注意事項に従ってください。

- ▶ ADGM1121 は ESD に敏感なデバイスです。静電気散逸面でのみ作業する、リスト・ストラップやその他の ESD 制御デバイスを着用する、使用しないデバイスは導電性フォームに保存するなどの対策を含め、通常の取り扱いに関するすべての注意事項に従ってください。
- ▶ デジタル・マルチメータ（DMM）などの測定装置は、自動レンジ・モードで使わないでください。一部の装置は、レンジの切替え時に大きなトランジェント・コンプライアンス電圧を発生する場合があります。
- ▶ 抵抗測定を行う場合は、実用上最大の DMM レンジ設定（最低分解能）を用い、コンプライアンス電圧を最小限に抑えてください。切替え時には特に注意する必要があります。
- ▶ 同軸ケーブルは電荷を蓄えるので、スイッチに直接接続した場合は EOS の原因となる可能性があります。ケーブルを放電してからスイッチに直接接続してください。
- ▶ 容量性の終端を直接スイッチに接続することは避けてください（図 70 参照）。シャント・コンデンサに電荷が保存されると、スイッチのオープン時またはクローズ時にホット・スイッチング・イベントが発生し、スイッチの寿命に影響を与えることがあります。

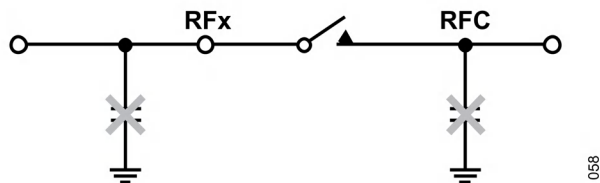


図 70. 大きなコンデンサを直接スイッチに接続することは避けます

機械的衝撃に関する注意事項

ADGM1121 はグループ D の機械的衝撃試験に合格しています。詳細については、[絶対最大定格](#)のセクションを参照してください。これらのテストでは、通常の機械的衝撃に対するデバイスの強度が検証されます。

デバイスを落下させしまった場合は使用しないでください。過大な機械的衝撃や ESD イベントをなくすため、[図 71](#) に示すような不安定な状態でデバイスを取り扱うことはしないでください。



図 71. 取り扱い時に避けるべき事項

レジスタの一覧

表 10. レジスタの一覧

Register (Hex)	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default	R/W
0x20	SWITCH_DATA	INTERNAL_ERROR		RESERVED			SWITCH_DATA			0x00	R/W

レジスタの詳細

スイッチ・データ・レジスタ

アドレス : 0x20、リセット : 0x00、レジスタ名 : SWITCH_DATA

スイッチ・データ・レジスタは、ADGM1121 の 2 つのスイッチのステータスを制御します。

表 11. SWITCH_DATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	INTERNAL_ERROR	00 01 10 11	このビットは、内部エラーが発生したかどうかを示します。 エラー不検出 エラー検出 エラー検出 エラー検出	0x0	R
[5:4]	RESERVED		これらのビットは予備で、0 に設定します。	0x0	R
3	SW4_EN	0 1	スイッチ 4 のイネーブル・ビット。 スイッチ RF1B オープン スイッチ RF1B クローズ	0x0	R/W
2	SW3_EN	0 1	スイッチ 3 のイネーブル・ビット。 スイッチ RF2B オープン スイッチ RF2B クローズ	0x0	R/W
1	SW2_EN	0 1	スイッチ 2 のイネーブル・ビット。 スイッチ RF2A オープン スイッチ RF2A クローズ	0x0	R/W
0	SW1_EN	0 1	スイッチ 1 のイネーブル・ビット。 スイッチ RF1A オープン スイッチ RF1A クローズ	0x0	R/W

外形寸法

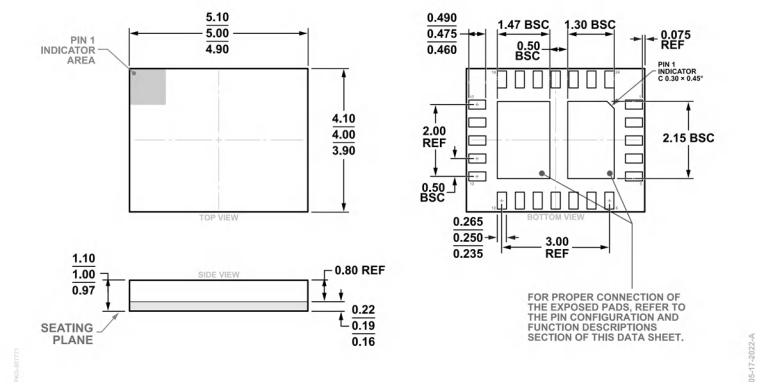


図 72. 24 端子ランド・グリッド・アレイ [LGA]
5mm × 4mm ボディ
1mm パッケージ高 (CC-24-11)
単位 : mm

更新 : 2023 年 6 月 22 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADGM1121BCCZ-RL7	-40°C to +85°C	24-Terminal Land Grid Array [LGA]	Reel, 1000	CC-24-9

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Package Description
	Evaluation Board

¹ Z = RoHS 準拠製品。