



高温、低電圧 8チャンネル・マルチプレクサ ADG798-KGD

データシート

特長

最高 210 °C の極度に高い温度で動作

3.0 V ~ 5.5 V 単電源

±2.5 V 両電源

オン抵抗: 10 Ω (最大値)

オン抵抗平坦性: 2 Ω (最大値)

遷移時間: 12 ns

シングル 8:1 マルチプレクサ

低消費電力

TTL/CMOS 互換入力

アプリケーション

地下穴掘削と地下穴用計測器

航空電子機器

重工業用機器

高温環境

金属マスクを使用したダイの画像

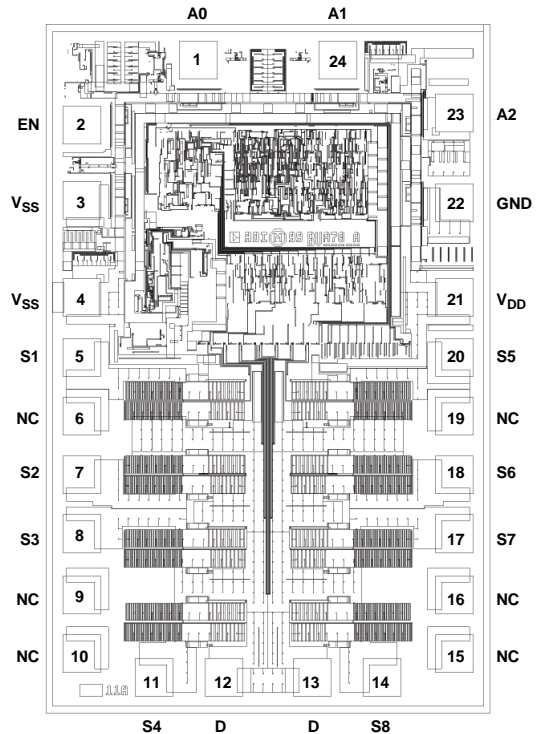


図 1.

概要

ADG798-KGD は、210 °C までの高温で動作するように設計された低電圧の CMOS アナログ・マルチプレクサです。3 ビットのバイナリ・アドレス・ライン (A0、A1、A2) によって決まる、8 つの入力 (S1 ~ S8) の 1 つを共通出力 (D) に切り替えます。EN 入力を使って、デバイスをイネーブルまたはディスエーブルします。デバイスがディスエーブルされると、全てのチャンネルはオフに切り替わります。

ADG798-KGD は低消費電力で、3.3 V ~ 5.5 V の電源範囲で動作します。全てのチャンネルはブレークビフォアメークのスイッチング動作を行うため、チャンネル切り替え時の瞬間的な短絡を防ぎます。これらのスイッチは高度なサブミクロン・プロセスを用いて設計されており、低消費電力、高速スイッチング、非常に低いオン抵抗を提供します。

オン抵抗 (R_{ON}) は最大 10 Ω で、スイッチ間で非常によく整合しており、全信号範囲にわたって非常に平坦です。ADG798-KGD はマルチプレクサとしてもデマルチプレクサとしても等しく良好に動作し、電源電圧までの入力信号範囲を備えています。

ADG798-KGD は、アナログ・デバイセズが拡充を進める高温度品質評価製品シリーズの 1 つです。入手可能な高温度製品の全製品については高温度製品リストを参照してください。また、品質評価データは www.analog.com/jp/hightemp で入手可能です。

アプリケーションと技術情報の詳細については、ADG798 データシートを参照してください。KGD (Known Good Die) : これらのダイは、データシートの仕様を十分に発揮します。

製品のハイライト

- 単電源/両電源動作。
ADG798-KGD は、+3.3 V/+5 V の単電源と ±2.5 V の両電源で完全に仕様が規定され、性能が確保されています。
- 低い R_{ON} 。
ADG798-KGD の R_{ON} は 210 °C で 5 Ω (代表値) と規定されています。
- 低消費電力。
ADG798-KGD の消費電力は 0.01 μW 未満と規定されています。
- ブレークビフォアメークのスイッチング動作。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	絶対最大定格.....	7
アプリケーション.....	1	ESD に関する注意.....	7
金属マスクを使用したダイの画像.....	1	ピン配置およびピン機能の説明.....	8
概要.....	1	真理値表.....	9
製品のハイライト.....	1	テスト回路.....	10
改訂履歴.....	2	外形寸法.....	13
仕様.....	3	ダイの仕様とアセンブリの推奨事項.....	13
両電源.....	5	オーダー・ガイド.....	13
チャンネルごとの連続電流 (Sx または D).....	6		
チャンネルごとのピーク電流、Sx または D (1 ms でパルス駆動、最大 10 % のデューティ・サイクル).....	6		

改訂履歴

10/2017—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{DD} = 5 V \pm 10\%$ 、 $V_{SS} = 0 V$ 、 $GND = 0 V$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	$-55^{\circ}\text{C} \leq T_A \leq +175^{\circ}\text{C}$			$-55^{\circ}\text{C} \leq T_A \leq +210^{\circ}\text{C}$			Unit
			Min	Typ ¹	Max	Min	Typ ¹	Max	
ANALOG SWITCH									
Analog Signal Range			0		V_{DD}	0		V_{DD}	V
On Resistance	R_{ON}	$V_S = 0 V$ to V_{DD} , $I_{DS} = 10 \text{ mA}$, see Figure 3		4.5	9		5	10	Ω
Matching Between Channels	ΔR_{ON}	$V_S = 0 V$ to V_{DD} , $I_{DS} = 10 \text{ mA}$		0.6	1.2		1.25	1.5	Ω
Flatness	$R_{FLAT(ON)}$	$V_S = 0 V$ to V_{DD} , $I_{DS} = 10 \text{ mA}$			1.5		0.75	2	Ω
LEAKAGE CURRENTS									
Source Off Leakage	I_S (Off)	$V_{DD} = 5.5 V$ $V_D = 4.5 V/1 V$, $V_S = 1 V/4.5 V$, see Figure 4	-50	± 0.01	+50	-180	± 0.01	+180	nA
Drain Off Leakage	I_D (Off)	$V_D = 4.5 V/1 V$, $V_S = 1 V/4.5 V$, see Figure 5	-650	± 0.01	+650	-2600	± 0.01	+2600	nA
Channel On Leakage	I_D, I_S (On)	$V_D = V_S = 1 V$ or $4.5 V$, see Figure 6	-650	± 0.01	+650	-2600	± 0.01	+2600	nA
DIGITAL INPUTS									
Input Voltage									
High	V_{INH}		2.4			2.4			V
Low	V_{INL}				0.8			0.8	V
Input Current	I_{INL} or I_{INH}	$V_{IN} = V_{INL}$ or V_{INH}	-800	+0.005	+800	-800	+0.005	+800	nA
Digital Input Capacitance	C_{IN}			2			2		pF
DYNAMIC CHARACTERISTICS									
Transition Time	$t_{TRANSITION}$	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, see Figure 7, $V_{S1} = 3 V/0 V$, $V_{S8} = 0 V/3 V$		12	21		12	23	ns
Break-Before-Make Time Delay	t_{OPEN}	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 3 V$, see Figure 8	1	8		1	8		ns
On Time	$t_{ON(EN)}$	$T_A = \text{maximum temperature}$ $R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 3 V$, see Figure 9		9			9		ns
Off Time	$t_{OFF(EN)}$	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 3 V$, see Figure 9		11	17		11	20	ns
Charge Injection	Q_{INJ}	$V_S = 2.5 V$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$, see Figure 10		± 3			± 3		pC
Off Isolation		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 10 \text{ MHz}$		-60			-60		dB
		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 11		-80			-80		dB
Channel to Channel Crosstalk		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 10 \text{ MHz}$		-60			-60		dB
		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 12		-80			-80		dB
-3 dB Bandwidth		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 13		55			55		MHz
Source Capacitance, Off	C_S (Off)	$f = 1 \text{ MHz}$		13			13		pF
Drain Capacitance, Off	C_D (Off)	$f = 1 \text{ MHz}$		85			85		pF
Source/Drain Capacitance, On	C_D, C_S (On)	$f = 1 \text{ MHz}$		96			96		pF
POWER REQUIREMENTS									
Supply Current	I_{DD}	$V_{DD} = 5.5 V$, digital inputs = $0 V$ or $5.5 V$		5	35		40	70	μA

¹ $T_A = 25^{\circ}\text{C}$ 。ただし、 $T_A = 175^{\circ}\text{C}$ または 210°C でのアナログ・スイッチと電源の条件の値を除く。

特に指定がない限り、 $V_{DD} = 3.3 \text{ V} \pm 10 \%$ 、 $V_{SS} = 0 \text{ V}$ 、 $\text{GND} = 0 \text{ V}$ 、 $-55 \text{ }^\circ\text{C} \leq T_A \leq +210 \text{ }^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	$-55 \text{ }^\circ\text{C} \leq T_A \leq +175 \text{ }^\circ\text{C}$			$-55 \text{ }^\circ\text{C} \leq T_A \leq +210 \text{ }^\circ\text{C}$			Unit
			Min	Typ ¹	Max	Min	Typ ¹	Max	
ANALOG SWITCH									
Analog Signal Range			0		V_{DD}	0		V_{DD}	V
On Resistance	R_{ON}	$V_S = 0 \text{ V to } V_{DD}$, $I_{DS} = 10 \text{ mA}$, see Figure 3		7	15		8	20	Ω
Matching Between Channels	ΔR_{ON}	$V_S = 0 \text{ V to } V_{DD}$, $I_{DS} = 10 \text{ mA}$		0.4	1.2		0.5	1.5	Ω
Flatness	$R_{FLAT(ON)}$	$V_S = 0 \text{ V to } V_{DD}$, $I_{DS} = 10 \text{ mA}$		2.5	3.5		3	4.5	Ω
LEAKAGE CURRENTS									
Source Off Leakage	I_S (Off)	$V_{DD} = 3.3 \text{ V}$ $V_D = 2.3 \text{ V/1 V}$, $V_S = 1 \text{ V/2.3 V}$, see Figure 4	-50	± 0.01	+50	-180	± 0.01	+180	nA
Drain Off Leakage	I_D (Off)	$V_D = 2.3 \text{ V/1 V}$, $V_S = 1 \text{ V/2.3 V}$, see Figure 5	-650	± 0.01	+650	-2600	± 0.01	+2600	nA
Channel On Leakage	I_D, I_S (On)	$V_D = V_S = 1 \text{ V or } 2.3 \text{ V}$, see Figure 6	-650	± 0.01	+650	-2600	± 0.01	+2600	nA
DIGITAL INPUTS									
Input Voltage									
High	V_{INH}		2.0			2.0			V
Low	V_{INL}				0.8			0.8	V
Input Current	I_{INL} or I_{INH}	$V_{IN} = V_{INL}$ or V_{INH}	-800	+0.005	+800	-800	+0.005	+800	nA
Digital Input Capacitance	C_{IN}			2			2		pF
DYNAMIC CHARACTERISTICS									
Transition Time	$t_{TRANSITION}$	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, see Figure 7, $V_{S1} = 2 \text{ V/0 V}$, $V_{SS} = 0 \text{ V/2 V}$		18	34		18	38	ns
Break-Before-Make Time Delay	t_{OPEN}	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 2 \text{ V}$, see Figure 8	1	10		1	10		ns
On Time	$t_{ON(EN)}$	$T_A = \text{maximum temperature}$ $R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 2 \text{ V}$, see Figure 9		15			15		ns
Off Time	$t_{OFF(EN)}$	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 2 \text{ V}$, see Figure 9		14	26		14	28	ns
Charge Injection	Q_{INJ}	$V_S = 1.5 \text{ V}$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$, see Figure 10		± 3			± 3		pC
Off Isolation		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 10 \text{ MHz}$		-60			-60		dB
		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 11		-80			-80		dB
Channel to Channel Crosstalk		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 10 \text{ MHz}$		-60			-60		dB
		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 12		-80			-80		dB
-3 dB Bandwidth		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 13		55			55		MHz
Source Capacitance, Off	C_S (Off)	$f = 1 \text{ MHz}$		13			13		pF
Drain Capacitance, Off	C_D (Off)	$f = 1 \text{ MHz}$		85			85		pF
Source/Drain Capacitance, On	C_D, C_S (On)	$f = 1 \text{ MHz}$		96			96		pF
POWER REQUIREMENTS									
Supply Current	I_{DD}	$V_{DD} = 3.3 \text{ V}$, digital inputs = 0 V or 3.3 V		5	35		40	70	μA

¹ $T_A = 25 \text{ }^\circ\text{C}$ 。ただし、 $T_A = 175 \text{ }^\circ\text{C}$ または $210 \text{ }^\circ\text{C}$ でのアナログ・スイッチと電源の条件の値を除く。

両電源

特に指定がない限り、 $V_{DD} = 2.5 \text{ V} \pm 10\%$ 、 $V_{SS} = -2.5 \text{ V} \pm 10\%$ 、 $GND = 0 \text{ V}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	$-55^{\circ}\text{C} \leq T_A \leq +175^{\circ}\text{C}$			$-55^{\circ}\text{C} \leq T_A \leq +210^{\circ}\text{C}$			Unit
			Min	Typ ¹	Max	Min	Typ ¹	Max	
ANALOG SWITCH									
Analog Signal Range			V_{SS}		V_{DD}	V_{SS}		V_{DD}	V
On Resistance	R_{ON}	$V_S = V_{SS}$ to V_{DD} , $I_{DS} = 10 \text{ mA}$, see Figure 3		4.5	9		5	10	Ω
Matching Between Channels	ΔR_{ON}	$V_S = V_{SS}$ to V_{DD} , $I_{DS} = 10 \text{ mA}$		0.6	1.2		1.25	1.5	Ω
Flatness	$R_{FLAT(ON)}$	$V_S = V_{SS}$ to V_{DD} , $I_{DS} = 10 \text{ mA}$		0.5	1.5		0.6	2	Ω
LEAKAGE CURRENTS									
Source Off Leakage	I_S (Off)	$V_{DD} = +2.75 \text{ V}$, $V_S = -2.75 \text{ V}$ $V_S = +2.25 \text{ V}/-1.25 \text{ V}$, $V_D = -1.25 \text{ V}/+2.25 \text{ V}$, see Figure 4	-50	± 0.01	+50	-180	± 0.01	+180	nA
Drain Off Leakage	I_D (Off)	$V_S = +2.25 \text{ V}/-1.25 \text{ V}$, $V_D = -1.25 \text{ V}/+2.25 \text{ V}$, see Figure 5	-650	± 0.01	+650	-2600	± 0.01	+2600	nA
Channel On Leakage	I_D, I_S (On)	$V_D = V_S = -1.25 \text{ V}/+2.25 \text{ V}$, see Figure 6	-650	± 0.01	+650	-2600	± 0.01	+2600	nA
DIGITAL INPUTS									
Input Voltage									
High	V_{INH}		1.7			1.7			V
Low	V_{INL}				0.7			0.7	V
Input Current	I_{INL} or I_{INH}	$V_{IN} = V_{INL}$ or V_{INH}	-800	+0.005	+800	-800	+0.005	+800	nA
Digital Input Capacitance	C_{IN}			2			2		pF
DYNAMIC CHARACTERISTICS									
Transition Time	$t_{TRANSITION}$	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, see Figure 7, $V_{SI} = 1.5 \text{ V}/0 \text{ V}$, $V_{SS} = 0 \text{ V}/1.5 \text{ V}$		18	28		18	30	ns
Break-Before-Make Time Delay	t_{OPEN}	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 2 \text{ V}$, see Figure 8 $T_A = \text{maximum temperature}$	1	10		1	10		ns
On Time	$t_{ON(EN)}$	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 2 \text{ V}$, see Figure 9		13	28		13	30	ns
Off Time	$t_{OFF(EN)}$	$R_L = 150 \Omega$, $C_L = 15 \text{ pF}$, $V_S = 2 \text{ V}$, see Figure 9		11.5	19		11.5	20	ns
Charge Injection	Q_{INJ}	$V_S = 0 \text{ V}$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$, see Figure 10		± 3			± 3		pC
Off Isolation		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 10 \text{ MHz}$		-60			-60		dB
		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 11		-80			-80		dB
Channel to Channel Crosstalk		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 10 \text{ MHz}$		-60			-60		dB
		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$, see Figure 12		-80			-80		dB
-3 dB Bandwidth		$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, see Figure 13		55			55		MHz
Source Capacitance, Off	C_S (Off)	$f = 1 \text{ MHz}$		13			13		pF
Drain Capacitance, Off	C_D (Off)	$f = 1 \text{ MHz}$		85			85		pF
Source/Drain Capacitance, On	C_D, C_S (On)	$f = 1 \text{ MHz}$		96			96		pF
POWER REQUIREMENTS									
Supply Current	I_{DD}	$V_{DD} = 2.75 \text{ V}$, digital inputs = 0 V or 2.75 V		5	35		40	70	μA
	I_{SS}	$V_{SS} = -2.75 \text{ V}$, digital inputs = 0 V or 2.75 V		5	35		40	70	μA

¹ $T_A = 25^{\circ}\text{C}$ 。ただし、 $T_A = 175^{\circ}\text{C}$ または 210°C でのアナログ・スイッチと電源の条件の値を除く。

チャンネルごとの連続電流 (Sx または D)

表 4.

Parameter	175°C	210°C	Unit
CONTINUOUS CURRENT PER CHANNEL, Sx OR D			
$V_{DD} = 4.5 \text{ V}, V_{SS} = 0 \text{ V}$			
$\theta_{JA} = 50^\circ\text{C/W}$	89.4	31	mA maximum
$\theta_{JA} = 70^\circ\text{C/W}$	75.5	31	mA maximum
$\theta_{JA} = 120^\circ\text{C/W}$	57.5	31	mA maximum
$\theta_{JA} = 150^\circ\text{C/W}$	51.6	31	mA maximum
$V_{DD} = 3 \text{ V}, V_{SS} = 0 \text{ V}$			
$\theta_{JA} = 50^\circ\text{C/W}$	63.2	31	mA maximum
$\theta_{JA} = 70^\circ\text{C/W}$	53.4	31	mA maximum
$\theta_{JA} = 120^\circ\text{C/W}$	40.8	25.3	mA maximum
$\theta_{JA} = 150^\circ\text{C/W}$	36.5	22.6	mA maximum

チャンネルごとのピーク電流、Sx または D (1 MS でパルス駆動、最大 10 % のデューティ・サイクル)

表 5.

Parameter	175°C	210°C	Unit
PEAK CURRENT PER CHANNEL, Sx OR D			
$V_{DD} = 4.5 \text{ V}, V_{SS} = 0 \text{ V}$			
$\theta_{JA} = 50^\circ\text{C/W}$	282.7	98	mA maximum
$\theta_{JA} = 70^\circ\text{C/W}$	238.8	98	mA maximum
$\theta_{JA} = 120^\circ\text{C/W}$	181.8	98	mA maximum
$\theta_{JA} = 150^\circ\text{C/W}$	163.2	98	mA maximum
$V_{DD} = 3 \text{ V}, V_{SS} = 0 \text{ V}$			
$\theta_{JA} = 50^\circ\text{C/W}$	199.9	98	mA maximum
$\theta_{JA} = 70^\circ\text{C/W}$	168.9	98	mA maximum
$\theta_{JA} = 120^\circ\text{C/W}$	129	80	mA maximum
$\theta_{JA} = 150^\circ\text{C/W}$	115.4	71.5	mA maximum

絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	7 V
V_{DD} to GND	-0.3 V to +7 V
V_{SS} to GND	+0.3 V to -3.5 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	-0.3 V to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, Sx or D (Pulsed at 1 ms, 10% Duty Cycle Maximum)	See Table 5
Continuous Current, Sx or D ²	Data + 5%
Operating Temperature Range	-55°C to +210°C

¹ Ax、EN、Sx、D での過電圧は内部コードでクランプされます。電流は、仕様規定された最大定格に制限してください。

² 表 4 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

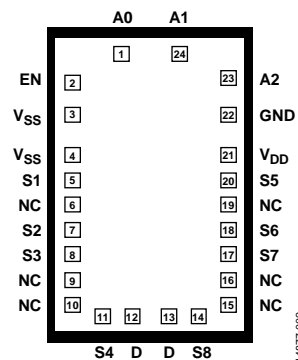


図 2. パッド構成

表 7. パッド機能の説明

Pad No.	X-Axis (μm)	Y-Axis (μm)	Mnemonic	Description
1	-185	+819	A0	デジタル入力。真理値表に示されているように、スイッチの構成を制御します (表 8 を参照)。
2	-494	+645.9	EN	デジタル入力。真理値表に示されているように、スイッチの構成を制御します (表 8 を参照)。
3	-494	+447.55	V _{SS}	両電源アプリケーションでの負電源ピン。単電源アプリケーションでは、このピンを GND に接続します。
4	-494	+189.35	V _{SS}	両電源アプリケーションでの負電源ピン。単電源アプリケーションでは、このピンを GND に接続します。
5	-494	+30.8	S1	ソース端子。入力または出力に設定できます。
6	-494	-125.2	NC	接続なし。このパッドには接続しないでください。
7	-494	-281.2	S2	ソース端子。入力または出力に設定できます。
8	-494	-437.2	S3	ソース端子。入力または出力に設定できます。
9	-494	-599.8	NC	接続なし。このパッドには接続しないでください。
10	-494	-755.8	NC	接続なし。このパッドには接続しないでください。
11	-302.5	-819	S4	ソース端子。入力または出力に設定できます。
12	-116.8	-819	D	ドレイン端子。入力または出力に設定できます。
13	+116.8	-819	D	ドレイン端子。入力または出力に設定できます。
14	+302.5	-819	S8	ソース端子。入力または出力に設定できます。
15	+494	-755.8	NC	接続なし。このパッドには接続しないでください。
16	+494	-599.8	NC	接続なし。このパッドには接続しないでください。
17	+494	-437.2	S7	ソース端子。入力または出力に設定できます。
18	+494	-281.2	S6	ソース端子。入力または出力に設定できます。
19	+494	-125.2	NC	接続なし。このパッドには接続しないでください。
20	+494	+30.8	S5	ソース端子。入力または出力に設定できます。
21	+494	+189.35	V _{DD}	正電源ピン。
22	+494	+440.2	GND	グラウンド・リファレンス (0 V)。
23	+494	+678.8	A2	デジタル入力。真理値表に示されているように、スイッチの構成を制御します (表 8 を参照)。
24	+184.55	+819	A1	デジタル入力。真理値表に示されているように、スイッチの構成を制御します (表 8 を参照)。

真理値表

表 8. 真理値表

A2	A1	A0	EN	Switch Condition
X ¹	X ¹	X ¹	0	None
0	0	0	1	S1
0	0	1	1	S2
0	1	0	1	S3
0	1	1	1	S4
1	0	0	1	S5
1	0	1	1	S6
1	1	0	1	S7
1	1	1	1	S8

¹Xはドントケア。

テスト回路

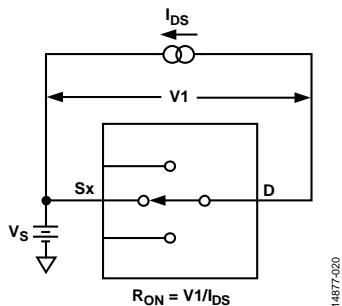


図 3. オン抵抗

14877-020

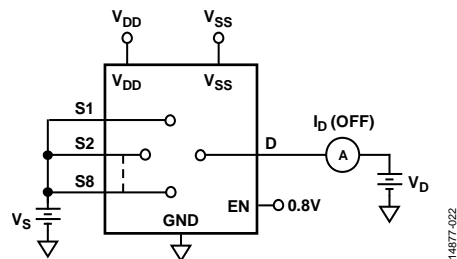


図 5. I_D (オフ)

14877-022

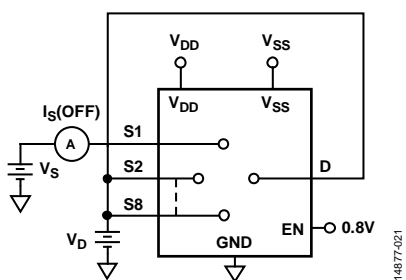


図 4. I_S (オフ)

14877-021

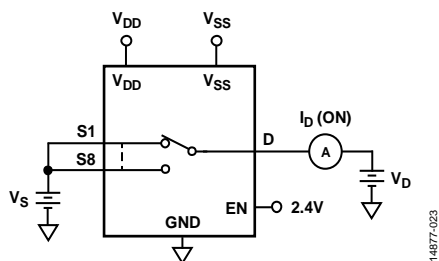


図 6. I_D (オン)

14877-023

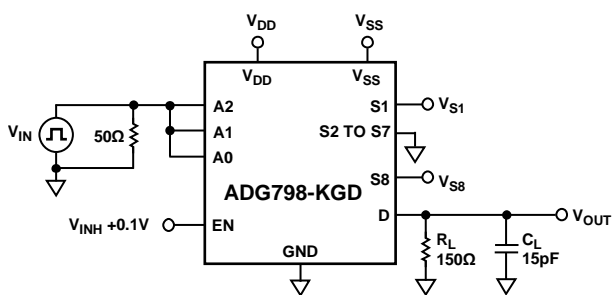
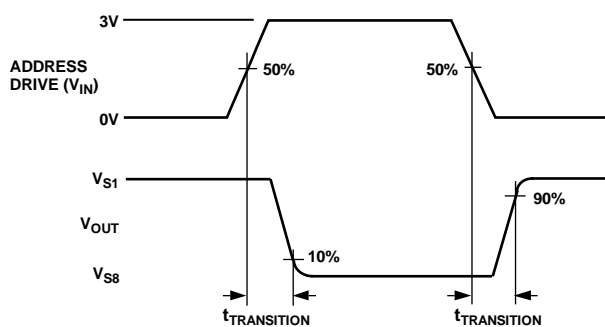


図 7. マルチプレクサのスイッチング時間、 $t_{\text{TRANSITION}}$



14877-024

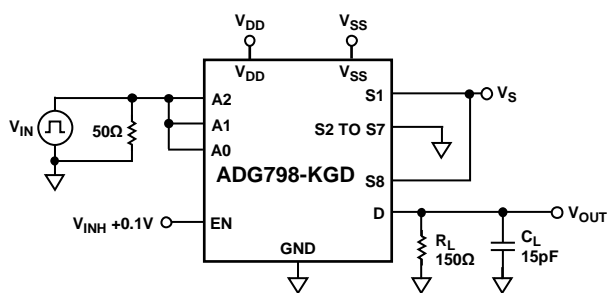
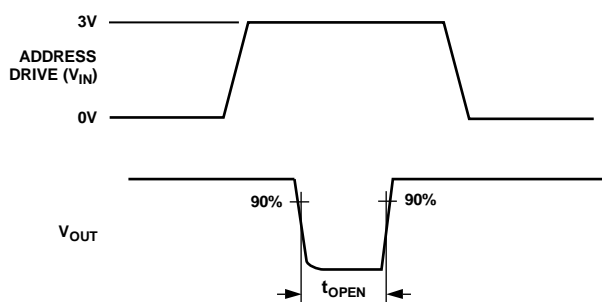


図 8. ブレークビフォアメーカーの遅延、 t_{OPEN}



14877-025

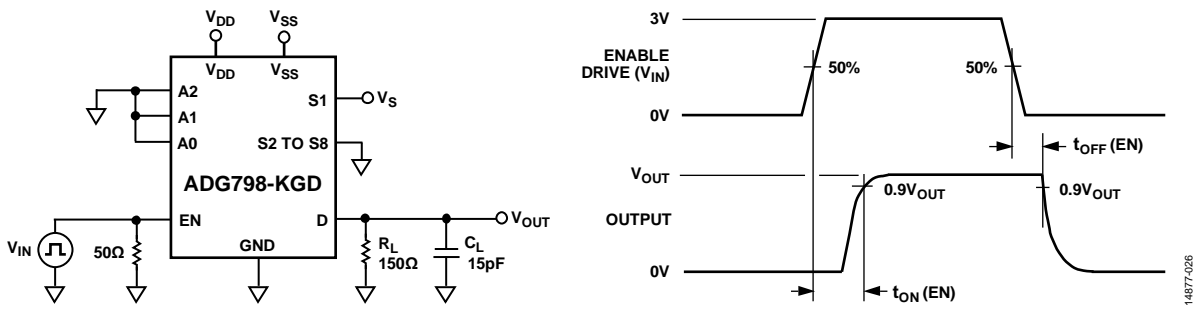


図 9. イネーブル遅延、 $t_{ON}(EN)$ 、 $t_{OFF}(EN)$

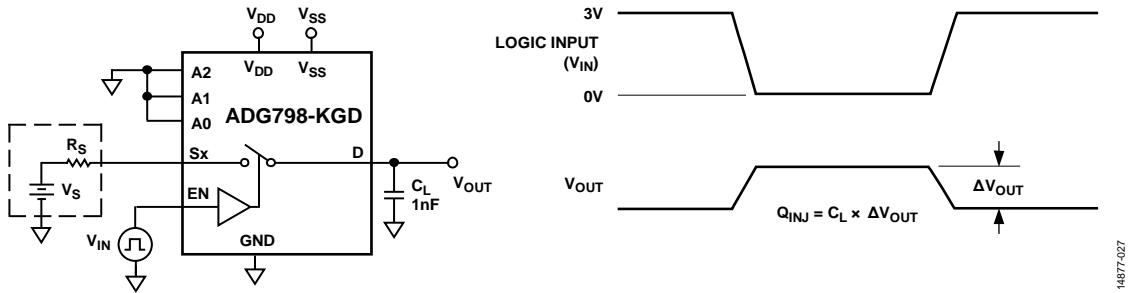


図 10. チャージ・インJECTION

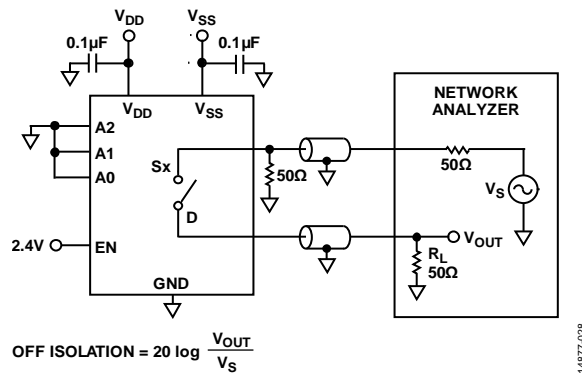


図 11. オフ・アイソレーション

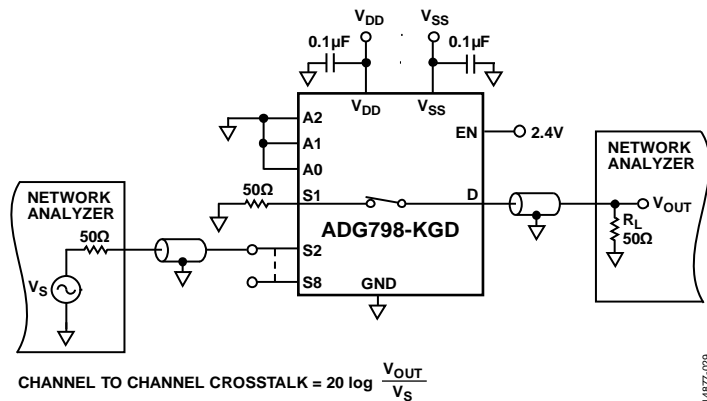
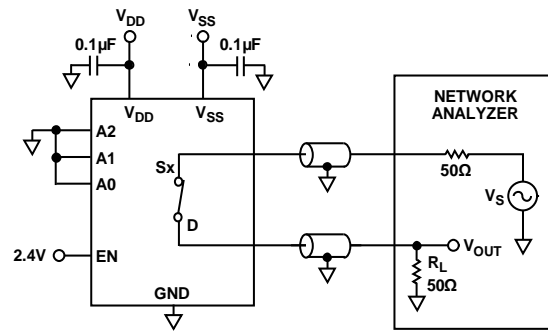


図 12. チャンネル間クロストーク



$$\text{INSERTION LOSS} = 20 \log \frac{V_{\text{OUT WITH SWITCH}}}{V_{\text{OUT WITHOUT SWITCH}}}$$

図 13. -3 dB 帯域幅

14877-030

外形寸法

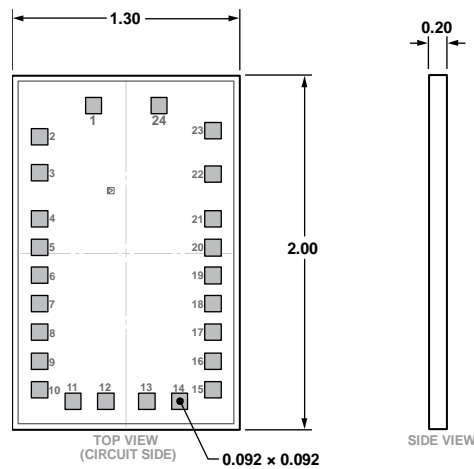


図 14.24 パッド・ベア・ダイ [チップ]
(C-24-4)
寸法: mm

ダイの仕様とアセンブリの推奨事項

表 9. ダイの仕様

Parameter	Value	Unit
Chip Size	1200 × 1850	μm
Scribe Line Width	100 × 150	μm
Die Size	1300 × 2000	μm
Thickness	200	μm
Bond Pad	92 × 92	μm
Bond Pad Composition	0.5 (AlCu)	%
Backside	V _{SS}	Not applicable
Passivation	Oxynitride	Not applicable

表 10. アセンブリの推奨事項

Assembly Component	Recommendation
Die Attach	Epoxy adhesive
Bonding Method	Gold ball ¹ or aluminum wedge
Bonding Sequence	Bond Pad four first

¹ 寿命を延ばすため、高い温度で使用する前に金線の適合性を評価してください。

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADG798-KGD-WP	-55°C to +210°C	24-Pad Bare Die [CHIP]	C-24-4