

低電圧、 2.4Ω デュアル SPDT スイッチ ($2\text{mm} \times 2\text{mm}$ LGA パッケージ)

特長

- ▶ 両電源 : $\pm 1.08\text{V} \sim \pm 2.75\text{V}$
- ▶ 単電源 : $+1.08\text{V} \sim +5.5\text{V}$
- ▶ 低オン抵抗 : 2.4Ω
- ▶ 16 ピン、 $2\text{mm} \times 2\text{mm}$ LGA
- ▶ 1.8V および 3V の JEDEC 準拠ロジック
- ▶ +5V、+3.3V、+1.8V、 $\pm 2.5\text{V}$ の電源ですべて仕様規定
- ▶ レール to レールの信号範囲
- ▶ 動作温度範囲 : $-40^\circ\text{C} \sim +125^\circ\text{C}$

アプリケーション

- ▶ ATE (自動試験装置)
- ▶ データ・アキュイジション・システム
- ▶ 医療機器
- ▶ FPGA およびマイクロコントローラ・システム
- ▶ オーディオおよびビデオ信号ルーティング
- ▶ 通信システム
- ▶ リレー部品の置き換え

概要

ADG1736 は、2 つの独立して選択可能な単極単投 (SPDT) スイッチを内蔵したアナログ・マルチプレクサで、 $+1.08\text{V} \sim +5.5\text{V}$ の範囲の低電圧単電源または $\pm 1.08\text{V} \sim \pm 2.75\text{V}$ の範囲の低電圧両電源で動作します。EN 入力を使うことですべてのスイッチを無効化できます。

ADG1736 は、性能面で妥協をすることなく小型化を実現しています。 $2\text{mm} \times 2\text{mm}$ のランド・グリッド・アレイ (LGA) パッケージは、面積が重視される各種アプリケーションに最適です。

ADG1736 はオン抵抗が 2.4Ω と小さく、入力信号範囲もレール to レールです。オンにしたときの各スイッチの導通は両方向共に良好です。デジタル制御入力 は 1.8V と 3V の JEDEC に準拠しているため、マイクロコントローラや FPGA (フィールド・プログラマブル・ゲート・アレイ) で簡単に使用できます。

機能ブロック図

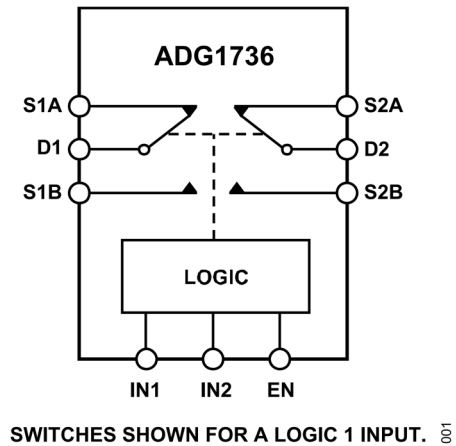


図 1. 機能ブロック図

製品のハイライト

1. 広い電源電圧範囲 : $1.08\text{V} \sim 5.5\text{V}$
2. 低オン抵抗 : 2.4Ω
3. 1.8V と 3V 両方のロジック・レベルで JEDEC 規格に準拠
4. 16 ピン、 $2\text{mm} \times 2\text{mm}$ LGA

目次

特長.....	1	ピン配置およびピン機能の説明.....	11
アプリケーション.....	1	代表的な性能特性.....	12
概要.....	1	テスト回路.....	20
機能ブロック図.....	1	用語の定義.....	23
製品のハイライト.....	1	動作原理.....	25
仕様.....	3	スイッチ・アーキテクチャ.....	25
動作電源電圧.....	3	V _L による柔軟性.....	25
+5V 単電源.....	3	3V および 1.8V JEDEC 準拠.....	25
+3V 単電源.....	4	アプリケーション情報.....	26
+1.8V 単電源.....	5	データ・アキュイジション・システムのキャリブレーション.....	26
±2.5V 両電源.....	7	電源レール.....	26
チャンネルごとの連続電流（SX または DX）.....	9	電源の推奨事項.....	26
絶対最大定格.....	10	出力負荷によるオーバーシュート低減.....	26
熱抵抗.....	10	外形寸法.....	27
静電放電（ESD）定格.....	10	オーダー・ガイド.....	27
ESD に関する注意.....	10	評価用ボード.....	27

改訂履歴

9/2025—Revision 0: Initial Version

仕様

動作電源電圧

表 1. 動作電圧範囲

Supply Voltage	Min	Max	Unit
Dual Supply	±1.08	±2.75	V
Single Supply	+1.08	+5.5	V

+5V 単電源

特に指定のない限り、 $V_{DD} = 5V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_L = 1.65V \sim 3.6V$ 。

表 2. +5V 単電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V_{SS} to V_{DD}			V	$V_{DD} = +4.5V$, $V_{SS} = 0V$
On Resistance, R_{ON}	2.4			Ω typ	Source voltage (V_S) = 0 to V_{DD} , source current (I_S) = -10mA, see Figure 50
	3.2	3.8	4.2	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.01			Ω typ	$V_S = 0$ to V_{DD} , $I_S = -10mA$
	0.12	0.13	0.3	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.56			Ω typ	$V_S = 0$ to V_{DD} , $I_S = -10mA$
	1.0	1.05	1.1	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	±0.1 ±0.54	±2.1	±5.7	nA typ nA max	$V_{DD} = +5.5V$ $V_S = 4.5V/1V$, drain voltage (V_D) = 1V/4.5V, see Figure 51
Drain Off Leakage, I_D (Off)	±0.2 ±1.08	±4.2	±11.4	nA typ nA max	$V_S = 4.5V/1V$, $V_D = 1V/4.5V$, see Figure 51
Channel On Leakage, I_D , I_S (On)	±0.11 ±0.58	±2.16	±6	nA typ nA max	$V_S = V_D = 1V$ or 4.5V, see Figure 52
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65V$ to 1.95V
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65V$ to 1.95V
Input High Voltage, V_{INH}			2.0	V min	$V_L = 2.7V$ to 3.6V
Input Low Voltage, V_{INL}			0.8	V max	$V_L = 2.7V$ to 3.6V
Input Current, I_{INH} or I_{INL}	0.02			μA typ	$V_{INx} = 0V$ or V_L
			0.8	μA max	
Digital-Input Capacitance, C_{IN}	5			pF typ	
Enable Low Voltage, V_{ENL}			0.18	V max	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON} (EN)	71			ns typ	Load resistance (R_L) = 300 Ω , load capacitance (C_L) = 35pF, $V_S = 3V$, $V_L = 1.8V$, see Figure 57
	85	95	100	ns max	
Off Time, t_{OFF} (EN)	110			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 3V$, $V_L = 1.8V$, see Figure 57
	130	137	142	ns max	
Transition Time ($t_{TRANSITION}$)	35			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 3V$, $V_L = 1.8V$, see Figure 58
	41.9	43.6	45.9	ns max	
Break-Before-Make Time Delay (t_D)	11			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 3V$, $V_L = 1.8V$, see Figure 59
	8.4	7.7	7.7	ns min	
Charge Injection, Q_{INJ}	4			pC typ	$V_S = 2.5V$, $R_S = 0\Omega$, $C_L = 1nF$, $V_L = 1.8V$, see Figure 60

仕様

表 2. +5V 単電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Off Isolation	-68			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, frequency (f) = 1MHz, see Figure 53
	-48			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 10MHz
Channel-to-Channel Crosstalk	-74			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 1MHz, see Figure 54
	-54			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 10MHz
Total Harmonic Distortion, THD	-93			dB typ	$R_L = 10\text{k}\Omega$, 3V p-p, f = 20kHz, see Figure 56
	-91			dB typ	$R_L = 10\text{k}\Omega$, 3V p-p, f = 100kHz, see Figure 56
	-87			dB typ	$R_L = 10\text{k}\Omega$, 3V p-p, f = 200kHz, see Figure 56
Total Harmonic Distortion + Noise, THD + N	0.0026			% typ	$R_L = 10\text{k}\Omega$, 3V p-p, f = 20Hz to 20kHz, see Figure 56
-3dB Bandwidth	300			MHz typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, see Figure 55
Insertion Loss	-0.1			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 1MHz, see Figure 55
Source Off Capacitance, C_S (Off)	6			pF typ	$V_S = 2.5\text{V}$, f = 1MHz
Drain Off Capacitance, C_D (Off)	12			pF typ	$V_S = 2.5\text{V}$, f = 1MHz
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	18			pF typ	$V_S = 2.5\text{V}$, f = 1MHz
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	1.0			μA typ	$V_{DD} = +5.5\text{V}$, $V_{SS} = 0\text{V}$, $V_L = 1.8\text{V}$ Digital inputs = 0V or V_L V
	1.4	1.62	1.62	μA max	
Negative Supply Current, I_{SS}	0.64			nA typ	Digital inputs = 0V or V_L V
	10	11	91	nA max	
Digital Supply Current, I_L	0.05			nA typ	Digital inputs = 0V or V_L V
	1.5	3.0	20	nA max	

+3V 単電源

特に指定のない限り、 $V_{DD} = +2.7\text{V} \sim 3.6\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $\text{GND} = 0\text{V}$ 、 $V_L = 1.65\text{V} \sim 3.6\text{V}$ 。

表 3. +3V 単電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V_{SS} to V_{DD}			V	$V_{DD} = 2.7\text{V}$, $V_{SS} = 0\text{V}$
On Resistance, R_{ON}	3.9			Ω typ	$V_S = 0$ to V_{DD} , $I_S = -10\text{mA}$, see Figure 50
	6.8	7.6	8.0	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.02			Ω typ	$V_S = 0$ to $V_{DD} = -10\text{mA}$
	0.21	0.25	0.3	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.1			Ω typ	$V_S = 0$ to $V_{DD} = -10\text{mA}$
	2.1	2.3	2.4	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.01			nA typ	$V_{DD} = 3.6\text{V}$, $V_{SS} = 0\text{V}$ $V_S = 3.3\text{V}/1\text{V}$, $V_D = 1\text{V}/3.3\text{V}$, see Figure 51
	± 0.032	± 0.08	± 0.5	nA max	
Drain Off Leakage, I_D (Off)	± 0.02			nA typ	$V_S = 3.3\text{V}/1\text{V}$, $V_D = 1\text{V}/3.3\text{V}$, see Figure 51
	± 0.064	± 0.16	± 1	nA max	
Channel On Leakage, I_D , I_S (On)	± 0.02			nA typ	$V_S = V_D = 3.3\text{V}$ or 1V, see Figure 52
	± 0.072	± 0.16	± 0.77	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65\text{V}$ to 1.95V
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65\text{V}$ to 1.95V
Input High Voltage, V_{INH}			2.0	V min	$V_L = 2.7\text{V}$ to 3.6V
Input Low Voltage, V_{INL}			0.8	V max	$V_L = 2.7\text{V}$ to 3.6V

仕様

表 3. +3V 単電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Input High Current, I_{INH} or I_{NL}	0.02		0.8	μA typ μA max	$V_{INx} = 0V$ or V_L
Digital-Input Capacitance, C_{IN}	5			pF typ	
Enable Low Voltage, V_{ENL}			0.18	V max	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON} (EN)	109			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 57
Off Time, t_{OFF} (EN)	128	145	155	ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 57
	228			ns typ	
Transition Time ($t_{TRANSITION}$)	267	284	293	ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 58
	42			ns typ	
Break-Before-Make Time Delay (t_D)	51	55	57	ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 59
	15			ns typ	
Charge Injection, Q_{INJ}	11	10	10	ns min	$V_S = 1.5V$, $R_S = 0\Omega$, $C_L = 1nF$, $V_L = 1.8V$, see Figure 60
	1.99			pC typ	
Off Isolation	-68			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, frequency (f) = 1MHz, see Figure 53
	-48				
Channel-to-Channel Crosstalk	-74			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 54
	-54			dB typ	
Total Harmonic Distortion, THD	-87			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 10MHz
	-86			dB typ	$R_L = 10k\Omega$, 1.5V p-p, f = 20kHz, see Figure 56
	-83			dB typ	$R_L = 10k\Omega$, 1.5V p-p, f = 100kHz, see Figure 56
				dB typ	$R_L = 10k\Omega$, 1.5V p-p, f = 200kHz, see Figure 56
Total Harmonic Distortion + Noise, THD + N	0.005			% typ	$R_L = 10k\Omega$, 1.5V p-p, f = 20Hz to 20kHz, see Figure 56
-3dB Bandwidth	320			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, see Figure 55
Insertion Loss	-0.3			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 55
Source Off Capacitance, C_S (Off)	6			pF typ	$V_S = 1.5V$, f = 1MHz
Drain Off Capacitance, C_D (Off)	12			pF typ	$V_S = 1.5V$, f = 1MHz
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	18			pF typ	$V_S = 1.5V$, f = 1MHz
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.17			μA typ	$V_{DD} = 3.6V$, $V_{SS} = 0V$, $V_L = 1.8V$
	0.26	0.31	0.31	μA max	Digital inputs = 0V or V_L V
Negative Supply Current, I_{SS}	0.64			nA typ	Digital inputs = 0V or V_L V
	10	11	91	nA max	
Digital Supply Current, I_L	0.05			nA typ	Digital inputs = 0V or V_L V
	1.5	3.0	20	nA max	

+1.8V 単電源

特に指定のない限り、 $V_{DD} = 1.71V \sim 1.95V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_L = 1.65V \sim 3.6V$ 。

表 4. +1.8V 単電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V_{SS} to V_{DD}			V	$V_{DD} = 1.71V$, $V_{SS} = 0V$
On Resistance, R_{ON}	19.2			Ω typ	$V_S = 0$ to V_{DD} , $I_S = -10mA$, see Figure 50

仕様

表 4. +1.8V 単電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
On-Resistance Match Between Channels, ΔR_{ON}	63 0.16	77	77	Ω max Ω typ	$V_S = 0$ to $V_{DD} = -10\text{mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.8 14.5 56	1.11 72	1.11 72	Ω max Ω typ Ω max	$V_S = 0$ to $V_{DD} = -10\text{mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.01 ± 0.032	± 0.08	± 0.5	nA typ nA max	$V_{DD} = 1.95\text{V}$, $V_{SS} = 0\text{V}$ $V_S = 0.6\text{V}/1.65\text{V}$, $V_D = 1.65\text{V}/0.6\text{V}$, see Figure 51
Drain Off Leakage, I_D (Off)	± 0.02 ± 0.064	± 0.16	± 1	nA typ nA max	$V_S = 1.65\text{V}/0.6\text{V}$, $V_D = 0.6\text{V}/1.65\text{V}$, see Figure 51
Channel On Leakage, I_D , I_S (On)	± 0.02 ± 0.072	± 0.16	± 0.77	nA typ nA max	$V_S = V_D = 0.6\text{V}$ or 1.65V , see Figure 52
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65\text{V}$ to 1.95V
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65\text{V}$ to 1.95V
Input High Voltage, V_{INH}			2.0	V min	$V_L = 2.7\text{V}$ to 3.6V
Input Low Voltage, V_{INL}			0.8	V max	$V_L = 2.7\text{V}$ to 3.6V
Input High Current, I_{INH} or I_{INL}	0.02			μA typ μA max	$V_{INx} = 0\text{V}$ or V_L
Digital-Input Capacitance, C_{IN}	5		0.8	pF typ	
Enable Low Voltage, V_{ENL}			0.18	V max	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON} (EN)	215 254	297	292	ns typ ns max	$R_L = 300\Omega$, $C_L = 35\text{pF}$, $V_S = 1\text{V}$, $V_L = 1.8\text{V}$, see Figure 57
Off Time, t_{OFF} (EN)	514 599	628	636	ns typ ns max	$R_L = 300\Omega$, $C_L = 35\text{pF}$, $V_S = 1\text{V}$, $V_L = 1.8\text{V}$, see Figure 57
Transition Time ($t_{TRANSITION}$)	70 88	92	94	ns typ ns max	$R_L = 300\Omega$, $C_L = 35\text{pF}$, $V_S = 1\text{V}$, $V_L = 1.8\text{V}$, see Figure 58
Break-Before-Make Time Delay (t_D)	32 24	22	22	ns typ ns min	$R_L = 300\Omega$, $C_L = 35\text{pF}$, $V_S = 1\text{V}$, $V_L = 1.8\text{V}$, see Figure 59
Charge Injection, Q_{INJ}	0.85			pC typ	$V_S = 0.9\text{V}$, $R_S = 0\Omega$, $C_L = 1\text{nF}$, $V_L = 1.8\text{V}$, see Figure 60
Off Isolation	-68 -48			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, frequency (f) = 1MHz, see Figure 53 $R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 10MHz
Channel-to-Channel Crosstalk	-74 -54			dB typ dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 1MHz, see Figure 54 $R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 10MHz
Total Harmonic Distortion, THD	-66 -63 -59			dB typ dB typ dB typ	$R_L = 10\text{k}\Omega$, 1.5V p-p, f = 20kHz, see Figure 56 $R_L = 10\text{k}\Omega$, 1.5V p-p, f = 100kHz, see Figure 56 $R_L = 10\text{k}\Omega$, 1.5V p-p, f = 200kHz, see Figure 56
Total Harmonic Distortion + Noise, THD + N	0.05			% typ	$R_L = 10\text{k}\Omega$, 1.5V p-p, f = 20Hz to 20kHz, see Figure 56
-3dB Bandwidth	400			MHz typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, see Figure 55
Insertion Loss	-1.1			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 1MHz, see Figure 55
Source Off Capacitance, C_S (Off)	6			pF typ	$V_S = 0.9\text{V}$, f = 1MHz
Drain Off Capacitance, C_D (Off)	12			pF typ	$V_S = 0.9\text{V}$, f = 1MHz
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	18			pF typ	$V_S = 0.9\text{V}$, f = 1MHz
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.01 0.26	0.31	0.31	nA typ μA max	$V_{DD} = 1.95\text{V}$, $V_{SS} = 0\text{V}$, $V_L = 1.8\text{V}$ Digital inputs = 0V or V_L V

仕様

表 4. +1.8V 単電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Negative Supply Current, I_{SS}	0.64			nA typ	Digital inputs = 0V or V_L V
	10	11	91	nA max	
Digital Supply Current, I_L	0.05			nA typ	Digital inputs = 0V or V_L V
	1.5	3.0	20	nA max	

±2.5V 両電源

特に指定のない限り、 $V_{DD} = +2.5V \pm 10\%$ 、 $V_{SS} = -2.5V \pm 10\%$ 、 $GND = 0V$ 、 $V_L = 1.65V \sim 1.95V$ 。

表 5. ±2.5V 両電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V_{SS} to V_{DD}			V	$V_{DD} = +2.25V$, $V_{SS} = -2.25V$
On Resistance, R_{ON}	2.4			Ω typ	$V_S = V_{SS}$ to V_{DD} , $I_S = -10mA$, see Figure 50
	3.2	3.8	4.2	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.01			Ω typ	$V_S = V_{SS}$ to $V_{DD} = -10mA$
	0.12	0.13	0.3	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.56			Ω typ	$V_S = V_{SS}$ to $V_{DD} = -10mA$
	1.0	1.05	1.1	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.3			nA typ	$V_{DD} = +2.75V$, $V_{SS} = -2.75V$
	± 0.54	± 2.1	± 5.7	nA max	$V_S = +2.25V/-2.25V$, $V_D = -2.25V/+2.25V$, see Figure 51
Drain Off Leakage, I_D (Off)	± 0.6			nA typ	$V_S = +2.25V/-2.25V$, $V_D = -2.25V/+2.25V$, see Figure 51
	± 1.08	± 4.2	± 11.4	nA max	
Channel On Leakage, I_D , I_S (On)	± 0.31			nA typ	$V_S = V_D = -2.25V$ or $+1.25V$, see Figure 52
	± 0.58	± 2.16	± 6	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65V$ to $1.95V$
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65V$ to $1.95V$
Input High Current, I_{INH} or I_{INL}	0.02			μA typ	$V_{INx} = 0V$ or V_L
			0.8	μA max	
Digital-Input Capacitance, C_{IN}	5			pF typ	
Enable Low Voltage, V_{ENL}			0.18	V max	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON} (EN)	125			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 57
	147	166	177	ns max	
Off Time, t_{OFF} (EN)	306			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 57
	358	381	393	ns max	
Transition Time ($t_{TRANSITION}$)	36			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 58
	43	47	49	ns max	
Break-Before-Make Time Delay (t_D)	12			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 59
	9.6	8.8	8.8	ns min	
Charge Injection, Q_{INJ}	3.5			pC typ	$V_S = 0V$, $R_S = 0\Omega$, $C_L = 1nF$, $V_L = 1.8V$, see Figure 60
Off Isolation	-68			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, frequency (f) = 1MHz, see Figure 53
	-48				$R_L = 50\Omega$, $C_L = 5pF$, f = 10MHz
Channel-to-Channel Crosstalk	-74			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 54
	-54			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 10MHz

仕様

表 5. $\pm 2.5\text{V}$ 両電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Total Harmonic Distortion, THD	-99			dB typ	$R_L = 10\text{k}\Omega$, 3V p-p, $f = 20\text{kHz}$, see Figure 56
	-95			dB typ	$R_L = 10\text{k}\Omega$, 3V p-p, $f = 100\text{kHz}$, see Figure 56
	-90			dB typ	$R_L = 10\text{k}\Omega$, 3V p-p, $f = 200\text{kHz}$, see Figure 56
Total Harmonic Distortion + Noise, THD + N	0.002			% typ	$R_L = 10\text{k}\Omega$, 3V p-p, $f = 20\text{Hz}$ to 20kHz , see Figure 56
-3dB Bandwidth	300			MHz typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, see Figure 55
Insertion Loss	-0.1			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, $f = 1\text{MHz}$, see Figure 55
Source Off Capacitance, C_S (Off)	6			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$
Source Off Capacitance, C_D (Off)	12			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	18			pF typ	$V_S = 0\text{V}$, $f = 1\text{MHz}$
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.013			μA typ	$V_{DD} = +2.75\text{V}$, $V_{SS} = -2.75\text{V}$, $V_L = 1.8\text{V}$
	0.26	0.31	0.31	μA max	Digital inputs = 0V or V_L
Negative Supply Current, I_{SS}	0.06			nA typ	Digital inputs = 0V or V_L
	10	13	105	nA max	
Digital Supply Current, I_L	0.05			μA typ	Digital inputs = 0V or V_L
	1.5	3.0	20	nA max	

仕様

チャンネルごとの連続電流（SX または DX）

表 6. 1 つのチャンネルをオン、チャンネルごとの仕様

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, SxA, SxB, or Dx ¹ ($\theta_{JA} = 150\text{ }^{\circ}\text{C/W.}$)				
$V_{DD} = +5V, V_{SS} = 0V$	254	111	44	mA maximum
$V_{DD} = +3V, V_{SS} = 0V$	196	97	43	mA maximum
$V_{DD} = 1.8V, V_{SS} = 0V$	123	73	39	mA maximum
$V_{DD} = 2.5V, V_{SS} = -2.5V$	239	108	44	mA maximum

¹ SxA は S1A/S2A ピン、SxB は S1B/S2B ピン、Dx は D1/D2 ピンを表します。

表 7. 2 つのチャンネルをオン、チャンネルごとの仕様

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, SxA, SxB, or Dx ¹ ($\theta_{JA} = 150\text{ }^{\circ}\text{C/W.}$)				
$V_{DD} = +5V, V_{SS} = 0V$	194	97	43	mA maximum
$V_{DD} = +3V, V_{SS} = 0V$	149	83	41	mA maximum
$V_{DD} = 1.8V, V_{SS} = 0V$	93	60	36	mA maximum
$V_{DD} = 2.5V, V_{SS} = -2.5V$	182	94	43	mA maximum

¹ SxA は S1A/S2A ピン、SxB は S1B/S2B ピン、Dx は D1/D2 ピンを表します。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 8. 絶対最大定格

Parameter	Rating
V_{DD} to V_{SS}	6V
V_{DD} to GND	-0.3V to +6V
V_{SS} to GND	+0.3V to -6V
V_L to GND	-0.3V to +6V
V_L to V_{SS}	6V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30mA, whichever occurs first
Digital Inputs ²	GND - 0.3V to V_{SS} or 30mA, whichever occurs first
Peak Current, SxA, SxB, or Dx Pins ³	682mA (pulsed at 1ms, 10% duty-cycle maximum)
Continuous Current, SxA/SxB or Dx Pins ³	Data Table 6 and Table 7 + 15%
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Reflow Soldering Peak, Pb-Free	As per JEDEC J-STD-020

¹ INx, SxA/SxB, Dx の各ピンでの過電圧は、内部ダイオードによりクランプされます。電流は所定の最大定格に制限する必要があります。

² デジタル入力ピン INx での過電圧は、内部ダイオードによりクランプされます。

³ SxA は S1A ピンと S2A ピン、SxB は S1B ピンと S2B ピン、Dx は D1 ピンと D2 ピンを表します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JCB} は、ジャンクションとケース底面の間の熱抵抗です。

表 9. 熱抵抗

Package Type	θ_{JA}	θ_{JCB}	Unit
CC-16-10 ¹	150	74.8	$^\circ\text{C/W}$

¹ 熱抵抗のシミュレーション値は、サーマル・ピアのない JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADG1736 の ESD 定格

表 10. ADG1736、16 ピン LGA

ESD Model	Withstand Threshold (V)	Class
HBM ¹	± 4000	3A
FICDM	± 1250	C3

¹ 入出力ポートから電源、入出力ポートから入出力ポート、およびその他すべての入力における値です。

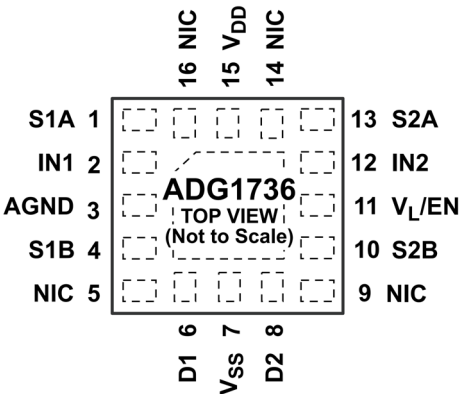
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
- 1. EXPOSED PAD TIED TO SUBSTRATE, V_{SS} .
 - 2. NIC = NOT INTERNALLY CONNECTED.

図 2. ピン配置

表 11. ピン機能の説明

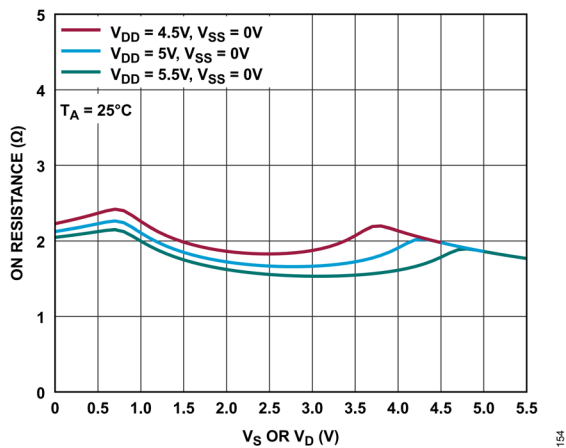
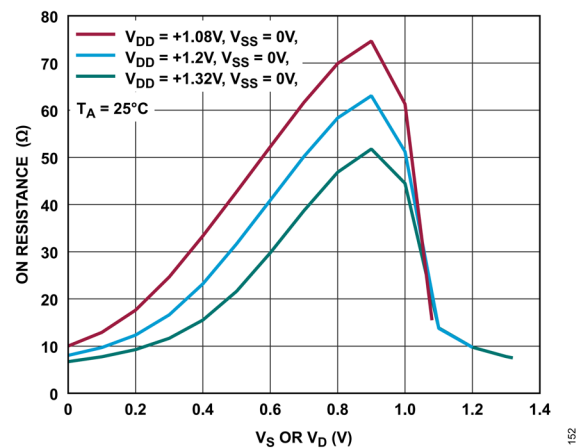
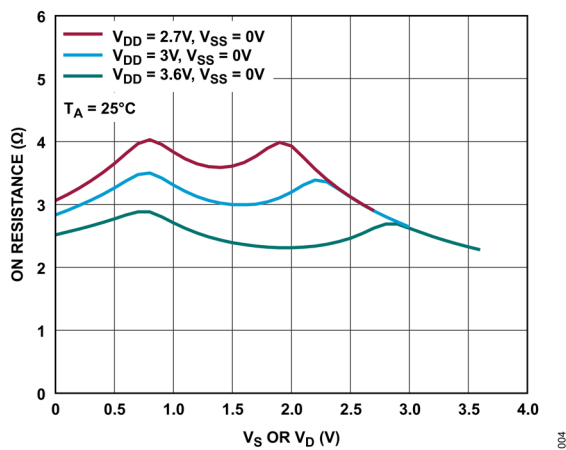
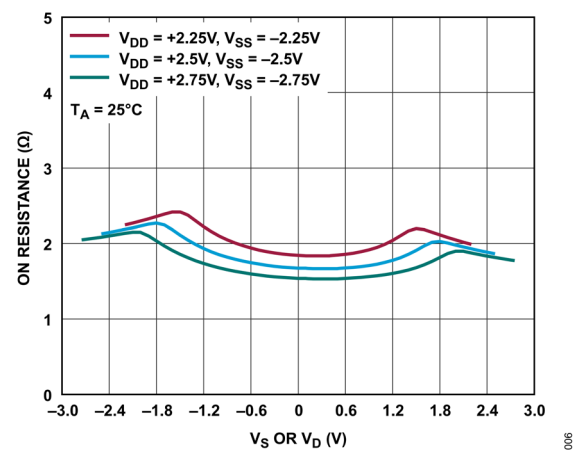
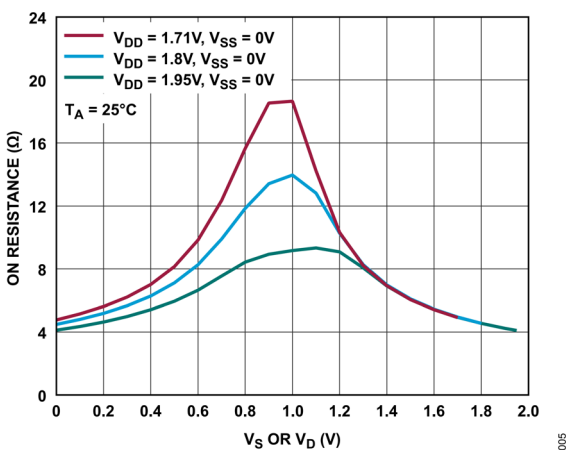
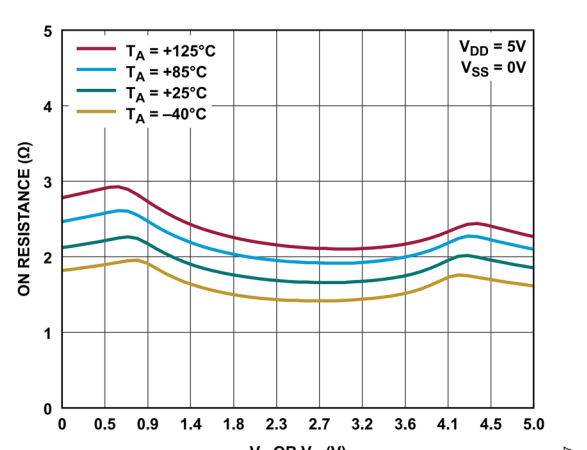
ピン番号	記号	説明
1	S1A	ソース端子 1A。このピンは、入力または出力に設定できます。
2	IN1	デジタル制御入力。ロジック状態がスイッチ S1x~D1 のステータスを制御します。
3	AGND	グラウンド (0V) リファレンス。
4	S1B	ソース端子 1B。このピンは、入力または出力に設定できます。
5, 9, 14, 16	NIC	内部接続なし。
6	D1	ドレイン端子 1。このピンは、入力または出力に設定できます。
7	V_{SS}	負電源の電位。 V_{SS} ピンは、0.1 μ F のコンデンサで GND とデカップリングします。
8	D2	ドレイン端子 2。このピンは、入力または出力に設定できます。
10	S2B	ソース端子 2B。このピンは、入力または出力に設定できます。
11	V_L/EN	デジタル・ロジック電源もしくはアクティブ・ハイのデジタル入力。EN ピンがロー・レベルになると、デバイス動作は無効化され、すべてのスイッチがオフになります。EN ピンがハイ・レベルになると、INx ロジック入力によってオンになるチャンネルが決まります。
12	IN2	デジタル制御入力。ロジック状態がスイッチ S2x~D2 のステータスを制御します。
13	S2A	ソース端子 2。このピンは、入力または出力に設定できます。
15	V_{DD}	正電源の電位。 V_{DD} ピンは、0.1 μ F のコンデンサで GND とデカップリングします。
EP	Exposed Pad	露出パッドは内部接続されています。半田接続の信頼性と熱性能を向上させるため、このパッドを基板の V_{SS} に半田付けすることを推奨します。

表 12. ADG1736 の真理値表

EN	INx	SxA	SxB
0	X ¹	Off	Off
1	0	Off	On
1	1	On	Off

¹ X はドント・ケア。

代表的な性能特性

図 3. 5V 単電源でのオン抵抗と V_S または V_D の関係図 6. 1.2V 単電源でのオン抵抗と V_S または V_D の関係図 4. 3V 単電源でのオン抵抗と V_S または V_D の関係図 7. 2.5V 両電源でのオン抵抗と V_S または V_D の関係図 5. 1.8V 単電源でのオン抵抗と V_S または V_D の関係図 8. 様々な温度でのオン抵抗と V_S または V_D の関係、
+5V 単電源

代表的な性能特性

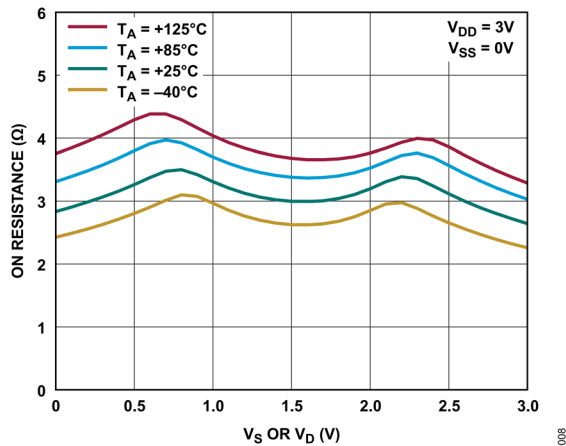


図 9. 様々な温度でのオン抵抗と V_S または V_D の関係、+3V 単電源

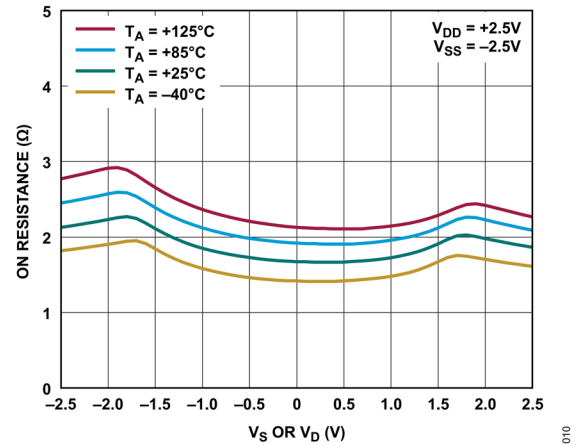


図 12. 様々な温度でのオン抵抗と V_S または V_D の関係、2.5V 両電源

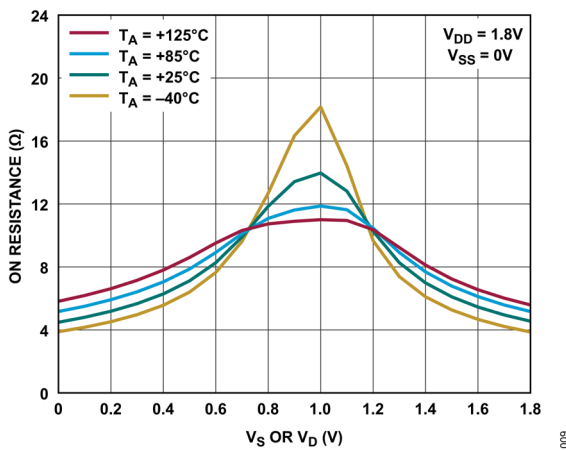


図 10. 様々な温度でのオン抵抗と V_S または V_D の関係、+1.8V 単電源

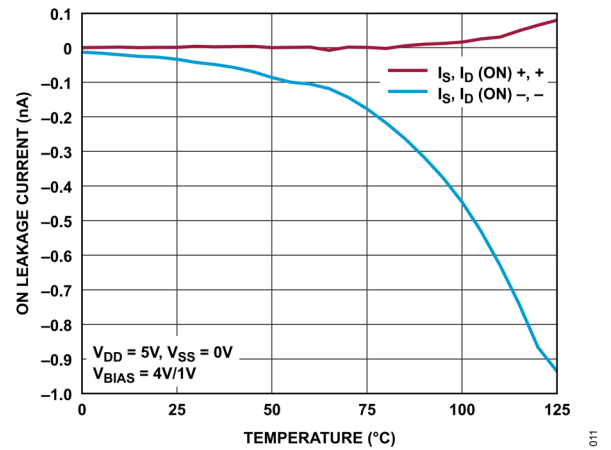


図 13. オン・リーク電流の温度特性、+5V 単電源

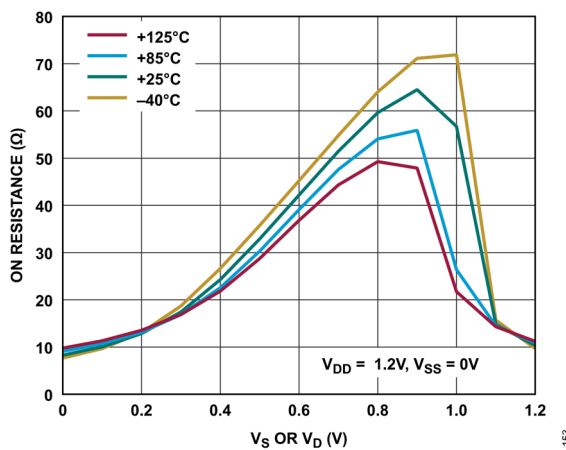


図 11. 様々な温度でのオン抵抗と V_S または V_D の関係、+1.2V 単電源

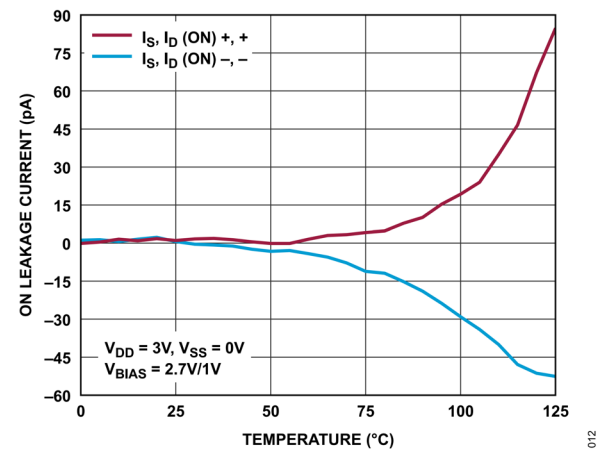


図 14. オン・リーク電流の温度特性、+3V 単電源

代表的な性能特性

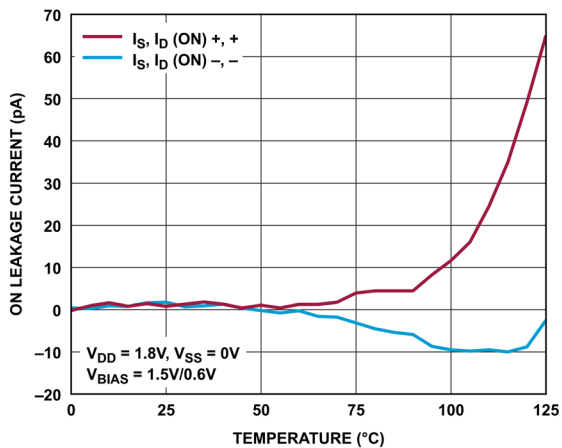


図 15. オン・リーク電流の温度特性、+1.8V 単電源

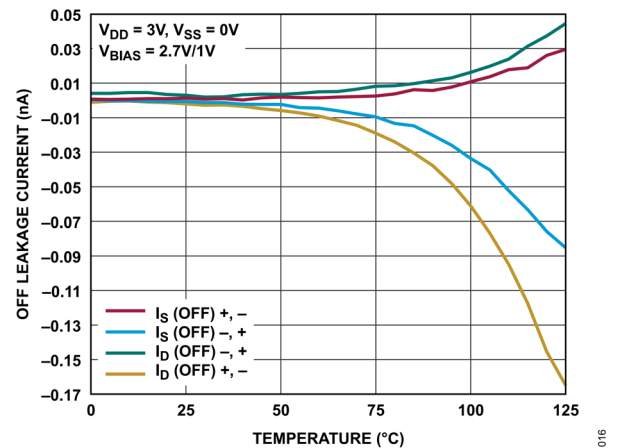


図 18. オフ・リーク電流と温度の関係、+3V 単電源

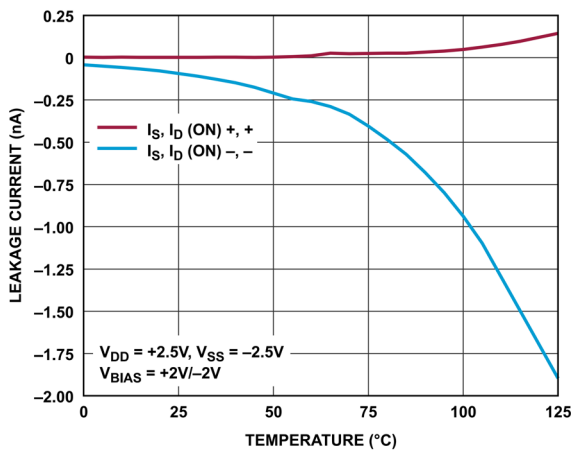


図 16. リーク電流の温度特性、±2.5V の両電源

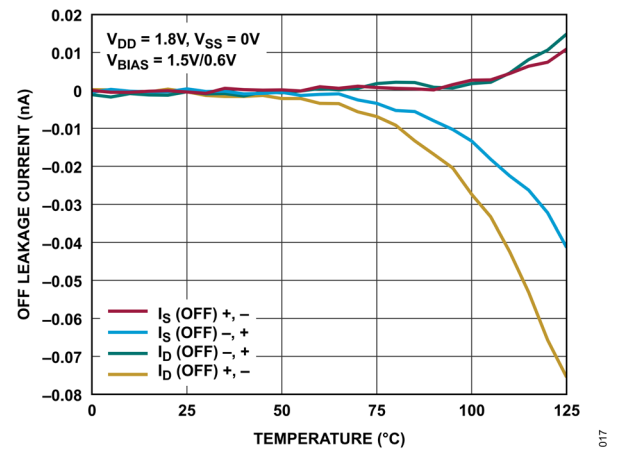


図 19. オフ・リーク電流と温度の関係、+1.8V 単電源

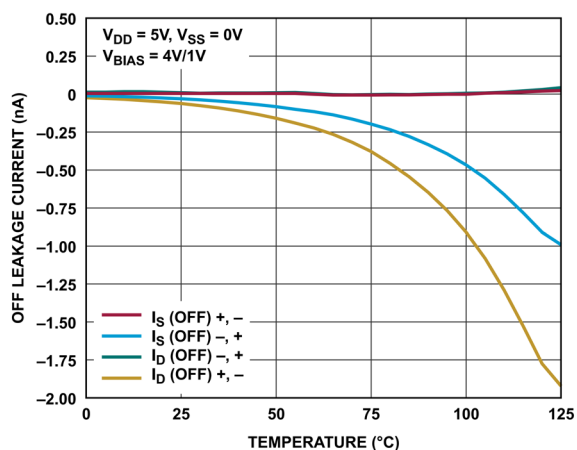


図 17. オフ・リーク電流と温度の関係、+5V 単電源

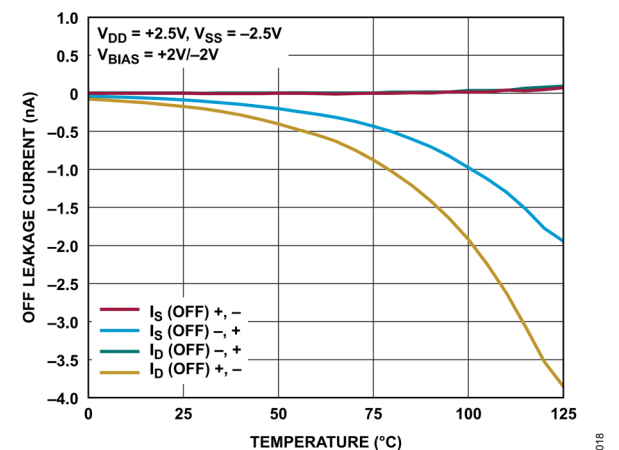


図 20. オフ・リーク電流と温度の関係、±2.5V 両電源

代表的な性能特性

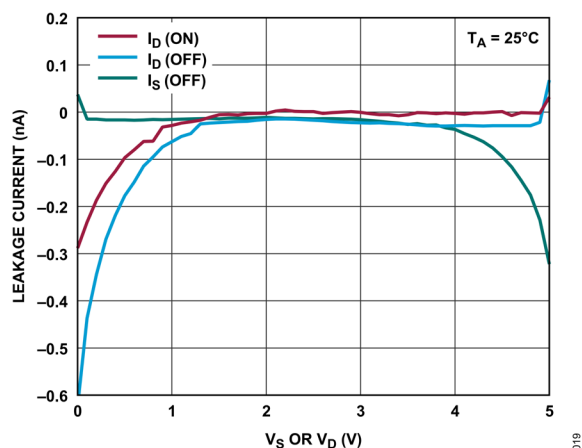


図 21. リーク電流と V_S (V_D) の関係、+5V 単電源、25°C

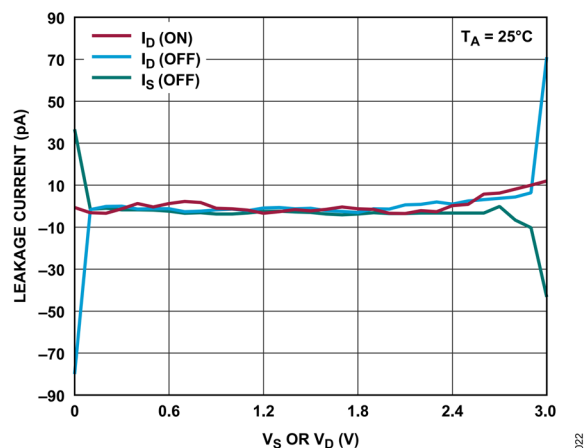


図 24. リーク電流と V_S (V_D) の関係、+3V 単電源、25°C

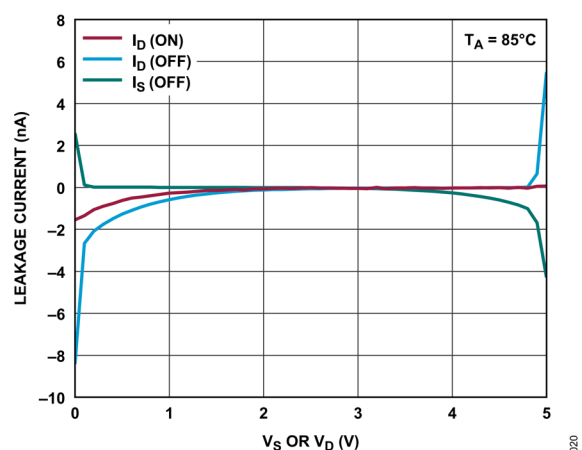


図 22. リーク電流と V_S (V_D) の関係、+5V 単電源、85°C

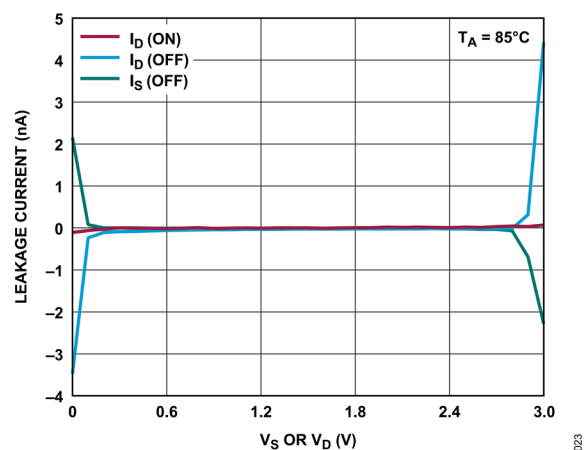


図 25. リーク電流と V_S (V_D) の関係、+3V 単電源、85°C

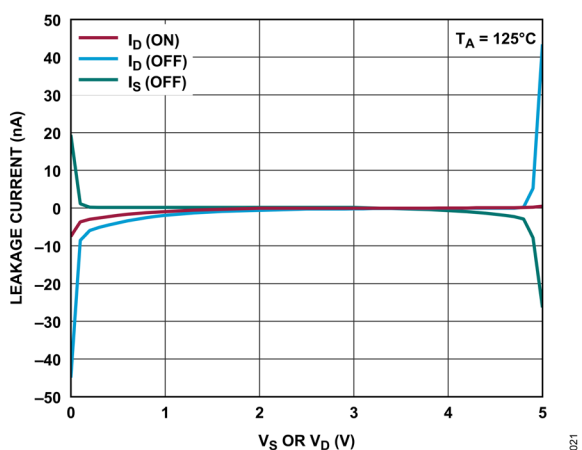


図 23. リーク電流と V_S (V_D) の関係、+5V 単電源、125°C

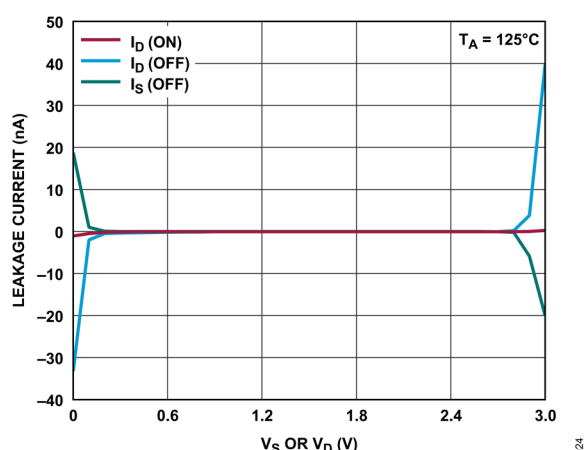
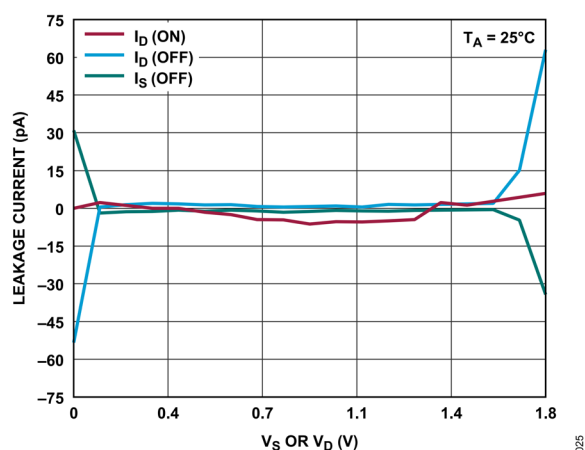
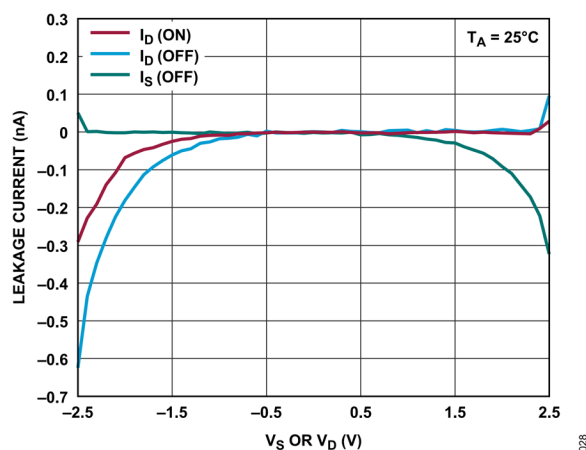
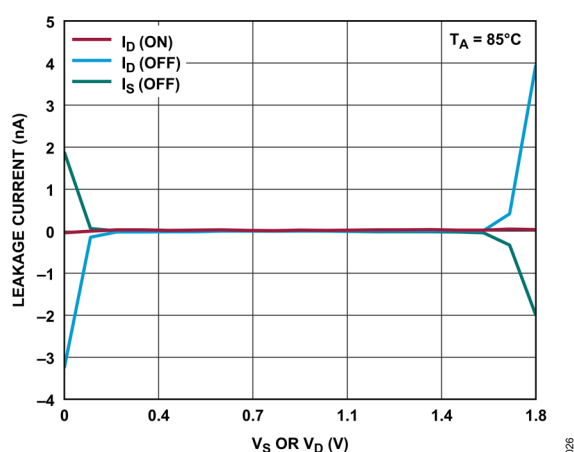
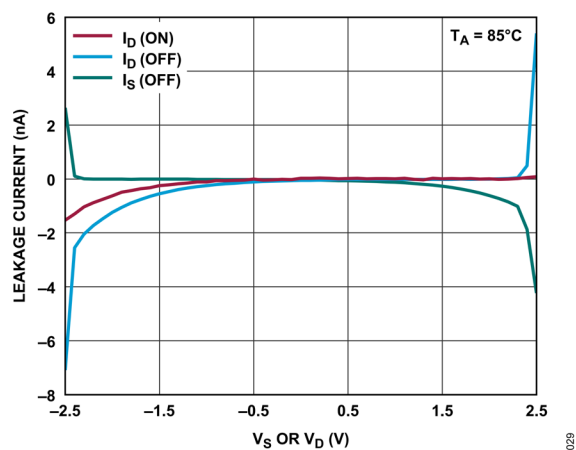
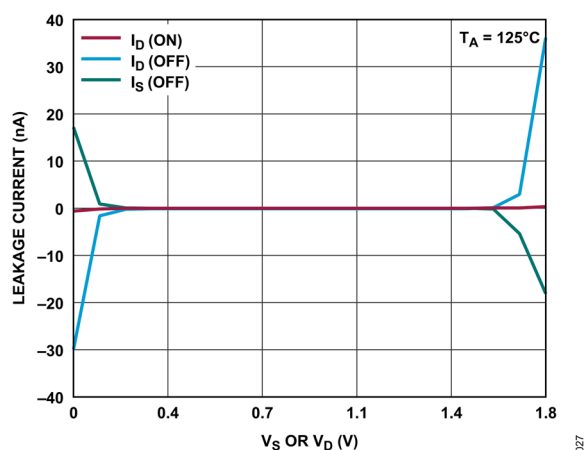
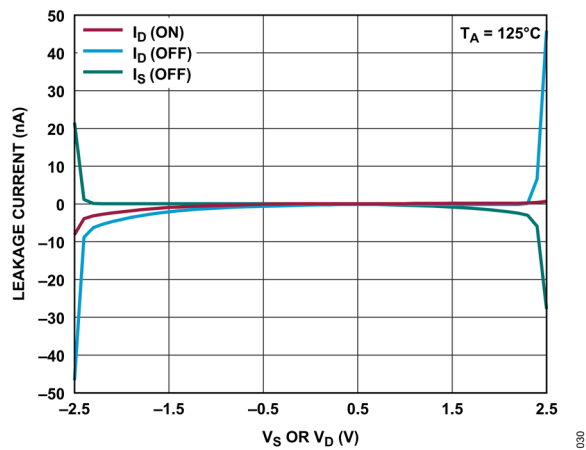


図 26. リーク電流と V_S (V_D) の関係、+3V 単電源、125°C

代表的な性能特性

図 27. リーク電流と V_S (V_D) の関係、+1.8V 単電源、25°C図 30. リーク電流と V_S (V_D) の関係、±2.5V 両電源、25°C図 28. リーク電流と V_S (V_D) の関係、+1.8V 単電源、85°C図 31. リーク電流と V_S (V_D) の関係、±2.5V 両電源、85°C図 29. リーク電流と V_S (V_D) の関係、+1.8V 単電源、125°C図 32. リーク電流と V_S (V_D) の関係、±2.5V 両電源、125°C

代表的な性能特性

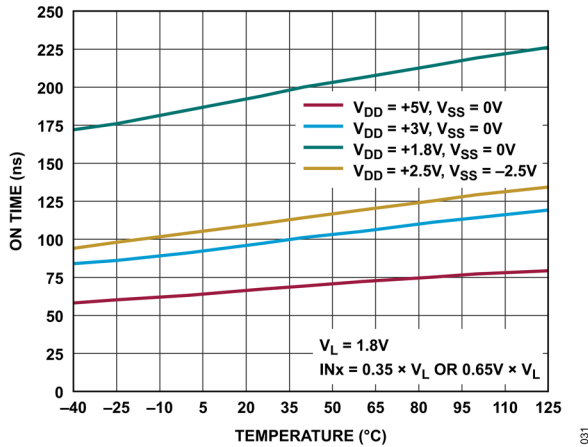


図 33. オン時間と温度の関係、単電源 (SS) と両電源 (DS)

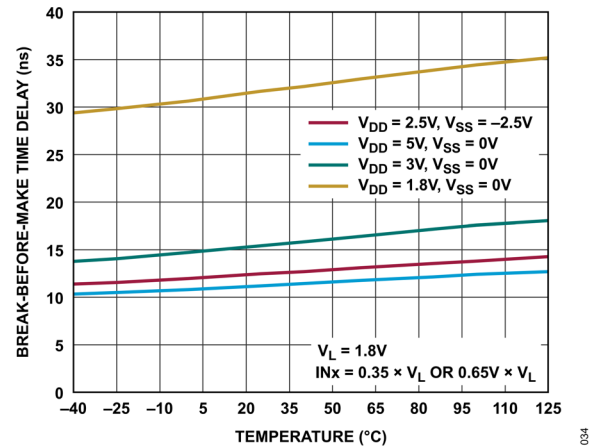


図 36. ブレーク・ビフォア・メイクの遅延時間と温度の関係、単電源 (SS) と両電源 (DS)

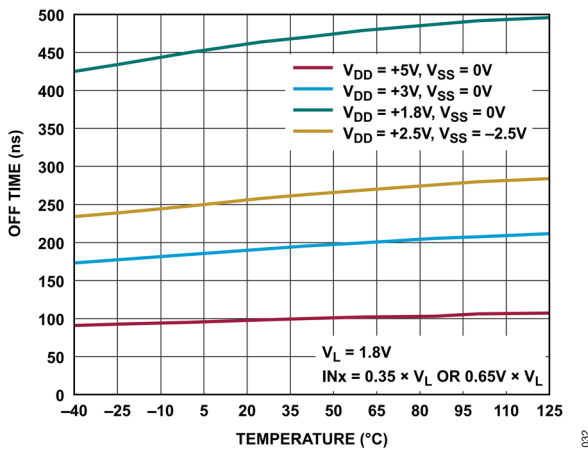


図 34. オフ時間と温度の関係、単電源 (SS) と両電源 (DS)

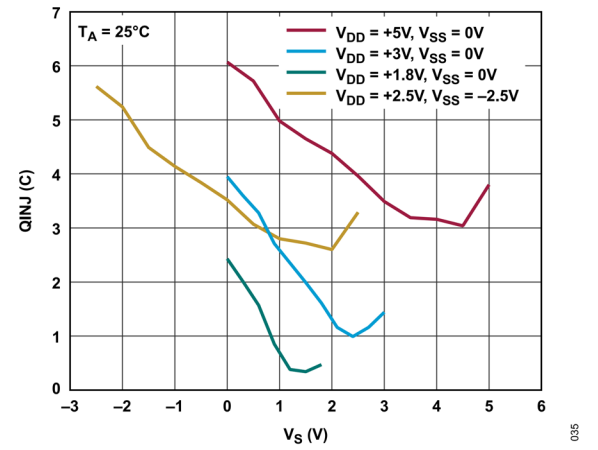
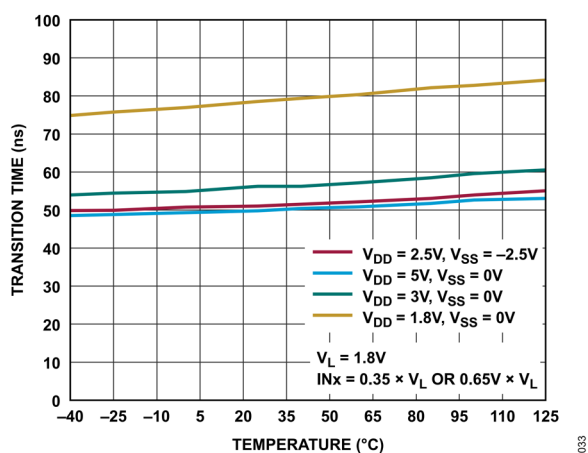
図 37. チャージ・インジェクション (QINJ) と V_S の関係

図 35. 遷移時間と温度の関係、単電源 (SS) と両電源 (DS)

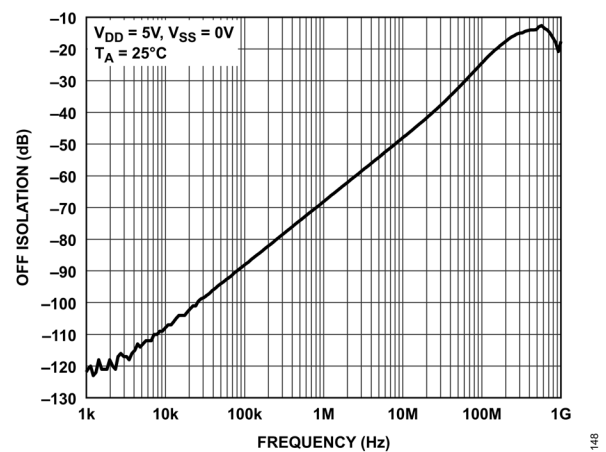


図 38. オフ・アイソレーションと周波数の関係、+5V 単電源

代表的な性能特性

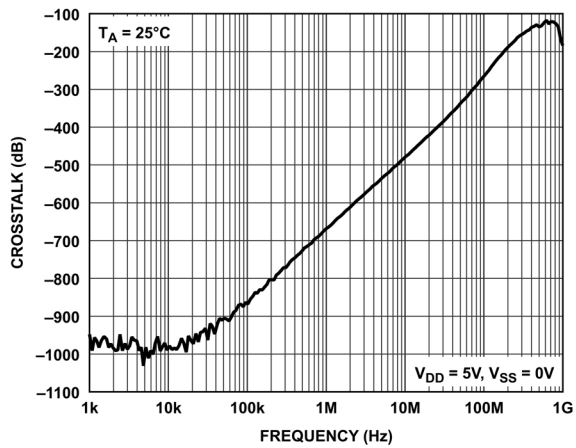


図 39. クロストークと周波数の関係、+5V 単電源

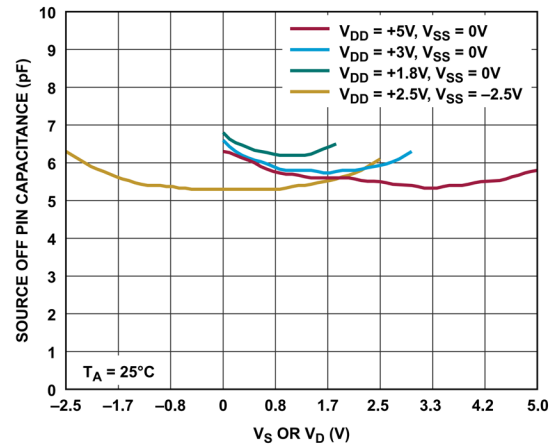


図 42. ソース・オフ容量と V_S の関係

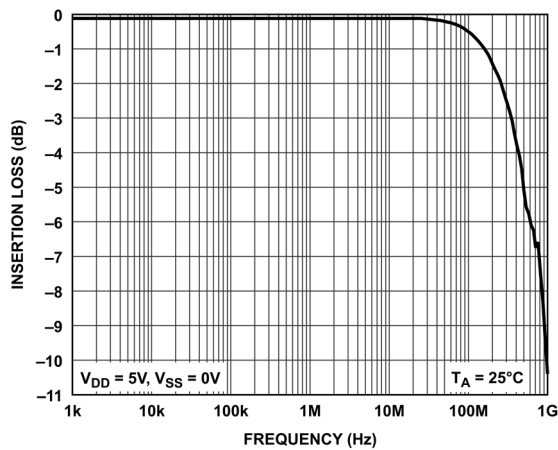


図 40. 挿入損失と周波数の関係、+5V 単電源

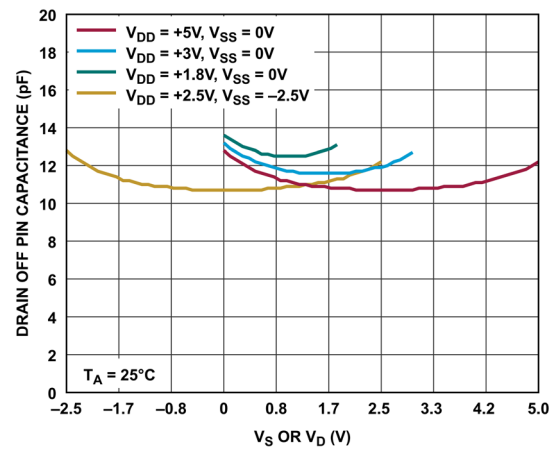


図 43. ドレイン・オフ容量と V_S の関係

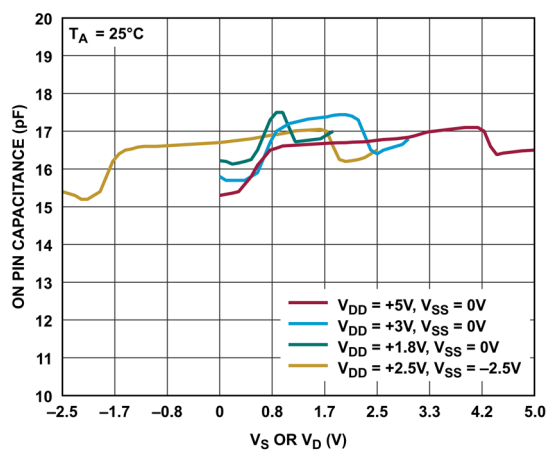


図 41. オン容量と V_S の関係

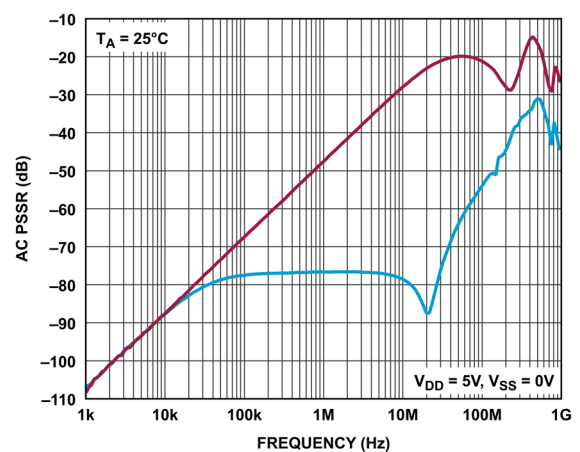


図 44. AC 電源電圧変動除去比 (PSRR) と周波数の関係、+5V 単電源

代表的な性能特性

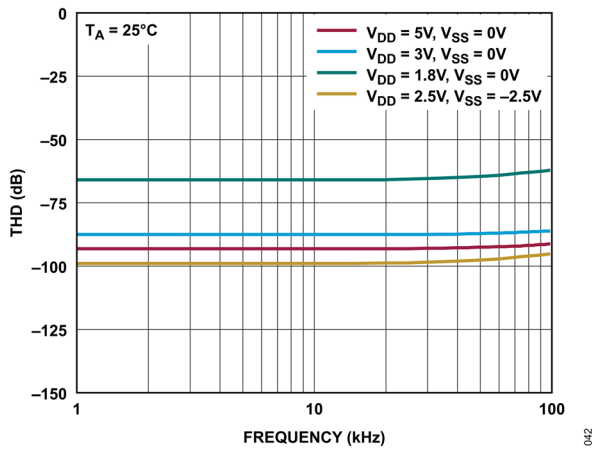


図 45. THD と周波数の関係

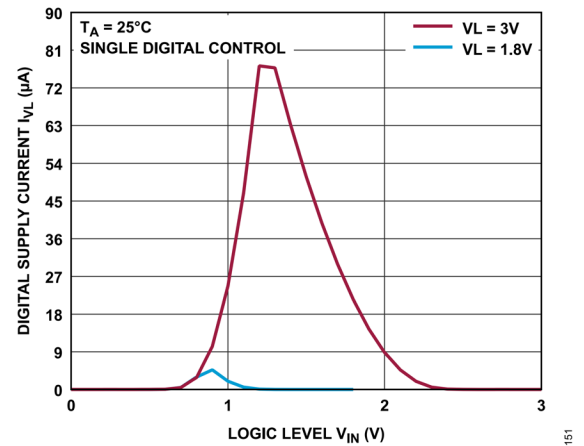


図 48. デジタル電源電流とロジック・レベルの関係

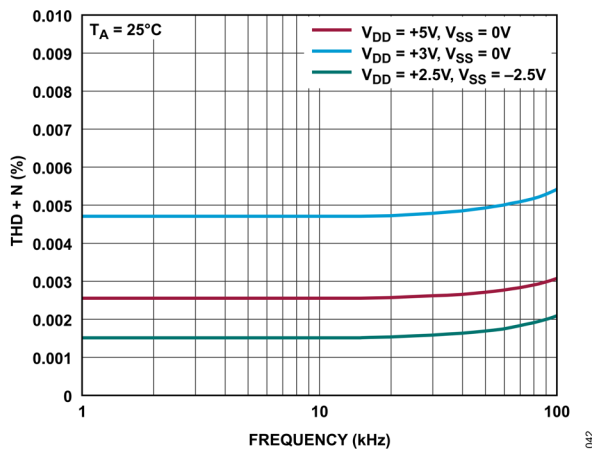


図 46. THD + N と周波数の関係

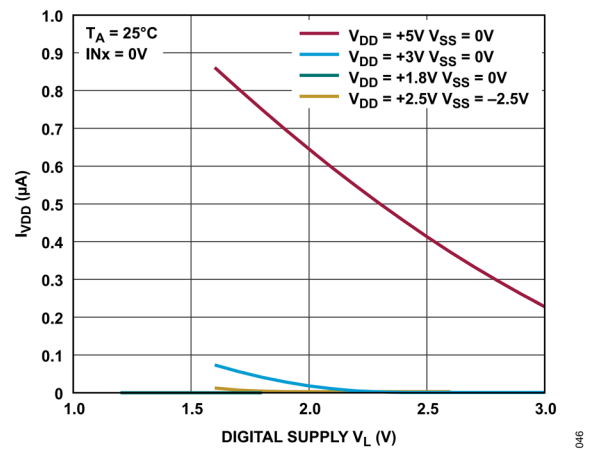


図 49. 正電源電流とデジタル電源の関係

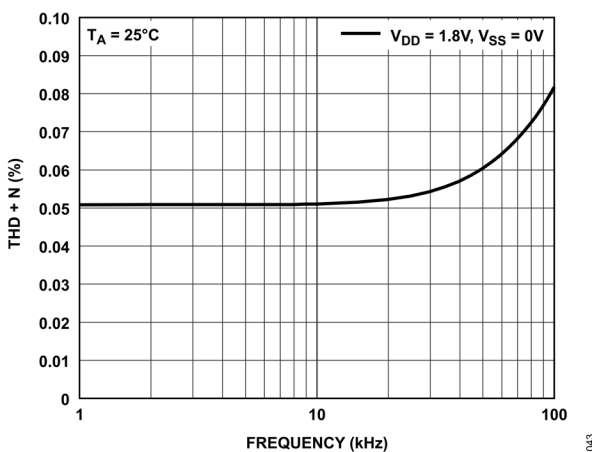


図 47. THD + N と周波数の関係、+1.8V 単電源

テスト回路

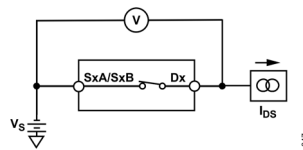


図 50. オン抵抗

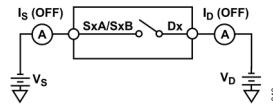


図 51. オフ・リーク電流

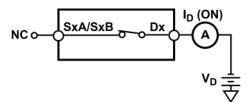


図 52. オン・リーク電流

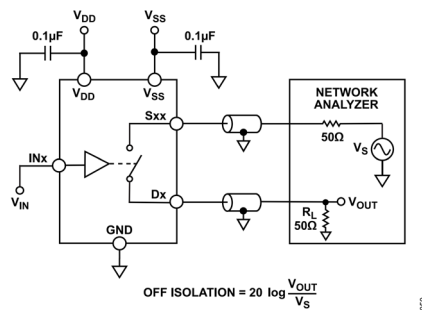


図 53. オフ・アイソレーション

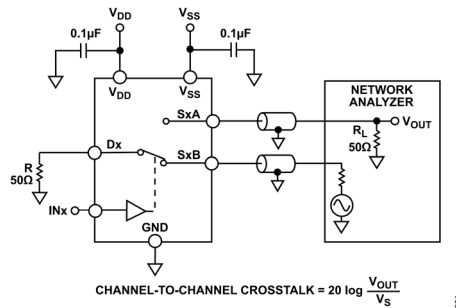


図 54. チャンネル間クロストーク

テスト回路

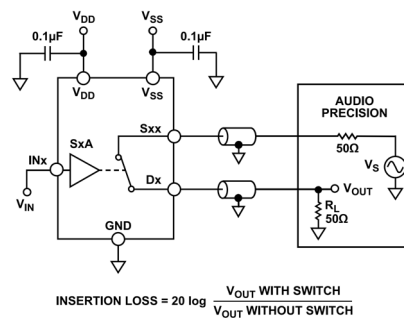


図 55. 帯域幅

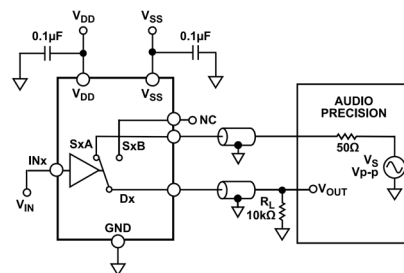


図 56. THD + ノイズ

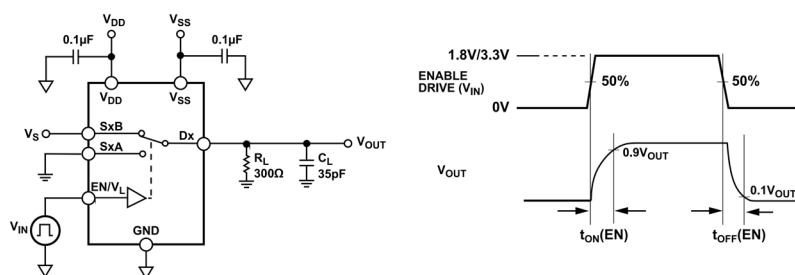


図 57. イネーブル遅延、 $t_{\text{ON}}(\text{EN})$ および $t_{\text{OFF}}(\text{EN})$

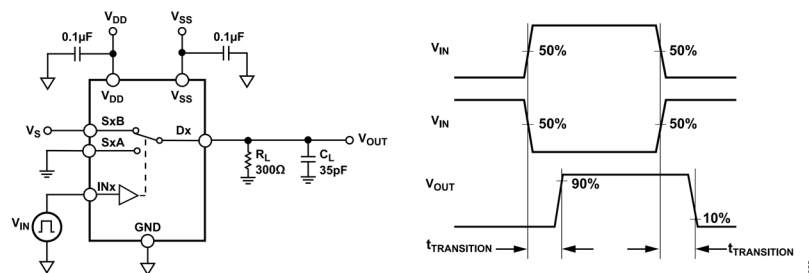


図 58. スイッチング時間

テスト回路

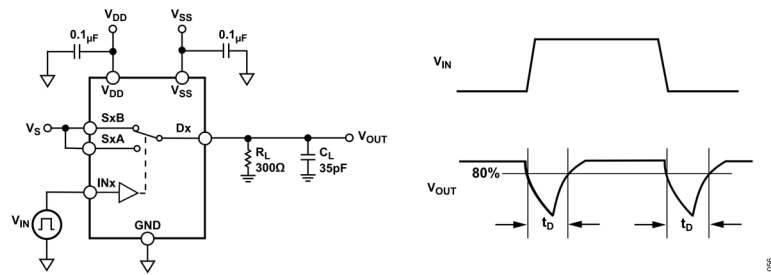


図 59. ブレーク・ビフォア・メーカーの遅延時間、 t_D

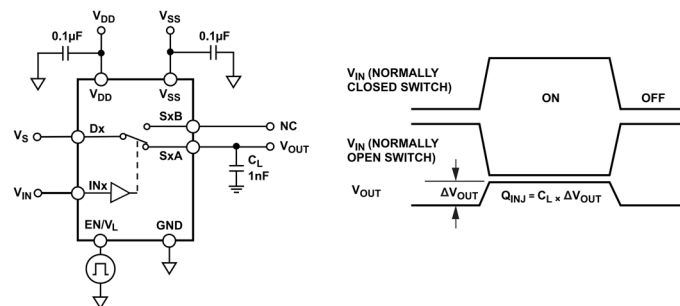
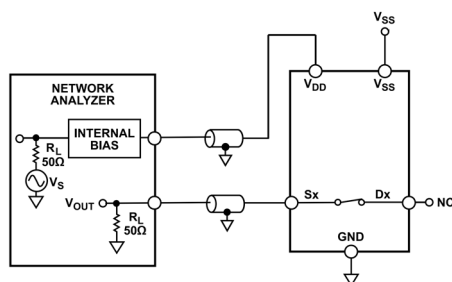


図 60. チャージ・インJECTION



$$AC\ PSRR = 20 \log \frac{V_{OUT}}{V_S}$$

- NOTES
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE AC PSRR MEASUREMENT.
 2. NC = NO CONNECT.

図 61. AC PSRR

用語の定義

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

I_{VL}

デジタル電源電流。

V_D および V_S

端子 D と端子 S のアナログ電圧。

R_{ON}

端子 D と端子 S の間の抵抗。

R_{FLAT(ON)}

仕様規定されたアナログ信号範囲における、オン抵抗の最大値と最小値の差として表現される抵抗値の平坦性。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

I_S Off

スイッチ・オフ時のソース・リーク電流。

I_D Off

スイッチ・オフ時のドレイン・リーク電流。

I_D I_S On

スイッチ・オン時のチャンネル・リーク電流。

V_D および V_S

端子 D と端子 S のアナログ電圧。

V_{ENL}

スイッチ・チャンネルが確実にオフになる最大イネーブル電圧。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

ハイまたはローのときのデジタル入力電流。

C_S(Off) および C_D(Off)

スイッチ・オフ時のソース容量およびドレイン容量、グラウンドを基準として測定。

C_D(On) および C_S(On)

スイッチ・オン時のドレイン容量およびソース容量、グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル制御入力の 50%ポイントから出力スイッチ・オンの 90%ポイントまでの遅延。

t_{OFF}

デジタル制御入力の 50%ポイントから出力スイッチ・オフの 10%ポイントまでの遅延。

t_{Transition}

あるアドレスから別のアドレスに切り替わる時の、デジタル入力が 50%変化してからスイッチ・オン状態の 90%に達するまでの遅延時間。

t_D

あるアドレス状態から別のアドレス状態へ切り替わる時、両方のスイッチの 80%ポイント間で測定されるオフ時間。

チャージ・インジェクション

スイッチング中にデジタル入力からアナログ出力に転送されるグリッチ・インパルス大きさ。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャンネル間クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

帯域幅

出力が 3dB 減衰する周波数。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み (THD)

THD は、基本周波数の電力に対する、すべての高調波成分の電力合計値の比率です。

全高調波歪み+ノイズ (THD + N)

基本波成分に対する全高調波成分+信号ノイズの比。

用語の定義

AC 電源電圧変動除去比 (AC PSRR)

電源電圧ピンに現れるカップリング・ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧は、0.62V_{p-p} のサイン波で変調されます。変調振幅に対する出力信号振幅の比が AC PSRR です。

動作原理

スイッチ・アーキテクチャ

ADG1736 は、独立して選択可能な 2 つの SPDT スイッチで構成されるアナログ・マルチプレクサであり、これらのスイッチは広範な電源電圧に対応できます。

ADG1736 は、サイズとチャンネル密度が優先される高精度のアプリケーション用に設計されています。ADG1736 は、2mm × 2mm と非常に小さい LGA パッケージで低オン抵抗（代表値 2.4Ω）と低リーク電流（代表値 0.01nA）の最適なバランスを実現し、幅広いユーザー・アプリケーションに対応します。

V_L による柔軟性

デジタル制御入力ピン（IN_x）の絶対最大電圧定格は、単電源動作では -0.3V ~ 6V、両電源動作では V_{SS} です。デジタル制御入力には、外部 V_L 電源や V_{DD} だけに限られているわけではありません。したがって V_L 電源なしでもデジタル入力電圧の供給は可能で、ADG1736 の 4 つのスイッチ・チャンネルすべてで V_L ピンをイネーブル・ピンとして使用できます。デジタル入力ピンの入力電圧に関わらず、V_L = 0V の場合はすべてのスイッチ・チャンネルがオフになります。この柔軟性により、必要な場合は V_L 電圧を V_{DD} より高くすることも可能ですが、V_L と V_{SS} 間の最大電圧定格である 6V を越えないようにする必要があります。

3V および 1.8V JEDEC 準拠

外部 V_L 電源を使用することで、低ロジック・レベルにも柔軟に対応できます。スイッチを動作させるには、3V と 1.8V のロジック動作のそれぞれにおいて以下の V_L 条件を満足する必要があります。

- ▶ 3V ロジック : V_L = 2.7V ~ 3.6V
- ▶ 1.8V ロジック : V_L = 1.65V ~ 1.95V

アプリケーション情報

データ・アキュイジション・システムのキャリブレーション

ADG1736 は広範なアプリケーションに使用可能で、高精度アナログ信号、デジタル信号、および低電圧電源の低電圧スイッチングを必要とするシステムに、柔軟性と各種の設定を追加できます。データ・アキュイジション・システムへの差動アナログ入力に ADG1736 を使用する代表的なアプリケーションを図 62 に示します。ADG1736 の小さいパッケージ・サイズは面積が制限されたアプリケーションに適しており、その柔軟な電源電圧によって ADG1736 を既存のシステム電源範囲に適合させることが可能です。

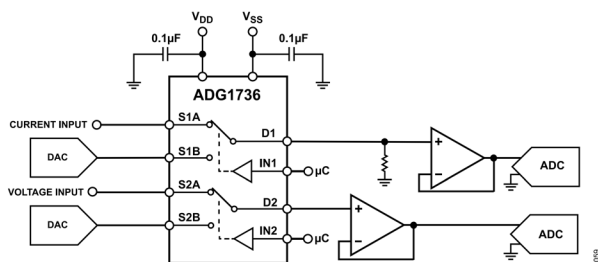


図 62. 代表的なアプリケーション

電源レール

ADG1736 を正常に動作させるには、 V_{DD} 、 V_{SS} 、および V_L 電源ピンに $0.1\mu\text{F}$ のデカップリング・コンデンサを接続する必要があります。

ADG1736 は、 $+1.08\text{V} \sim +5.5\text{V}$ の単電源と $\pm 1.08\text{V} \sim \pm 2.75\text{V}$ の両電源で動作可能です。 V_{DD} の電源と V_{SS} の電源が非対称である必要はありません。ただし、表 1 に示すように V_{DD} と V_{SS} の電圧差が 5.5V を超えないようにしなければなりません。

電源の推奨事項

アナログ・デバイセズでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

3V 単電源ソリューションの例を図 63 に示します。超低自己消費電流の 150mA CMOS リニア・レギュレータである ADP162 は、標準的なシグナル・チェーン内の ADG1736 や、アンプあるいは高精度コンバータといったその他のコンポーネント向けに、正の電源レールを生成します。

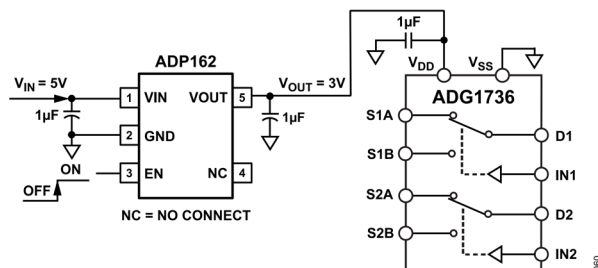


図 63. 電源に関する推奨事項

出力負荷によるオーバーシュート低減

ADG1736 は非常に高速でトグルできます。 $T_{ON}(EN)$ の代表値は 71ns 、 $T_{OFF}(EN)$ の代表値は 110ns です。高速デジタル回路や通信システムなどでは、これらの非常に高いスイッチング速度が利点となります。しかし、スイッチ回路の出力負荷によっては、この非常に高速のスイッチング動作によって電圧オーバーシュートが生じる可能性があります。スイッチの電源電圧とスイッチを通過する信号の電圧レベルによっては、オーバーシュートによってスイッチの出力電圧が ADG1736 の絶対定格値を超えてしまうおそれもあります。これらのオーバーシュートを減らす実用的な対策は、負荷容量を追加して出力電圧を安全な範囲に抑えることです。

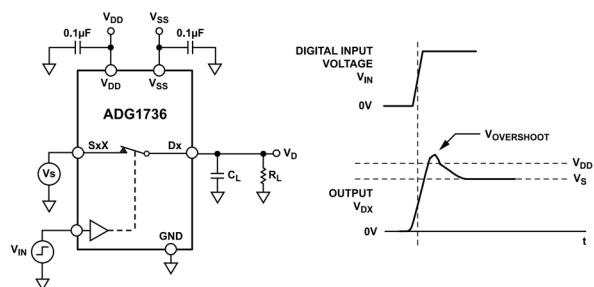


図 64. ADG1736 のオーバーシュート

外形寸法

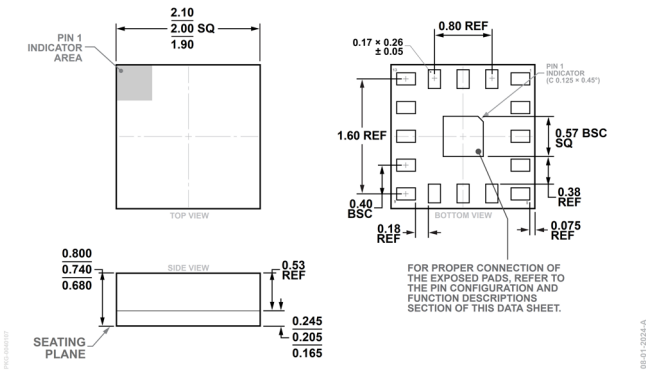


図 65. 16 端子ランド・グリッド・アレイ [LGA]
2mm × 2mm ボディ、0.74mm パッケージ高
(CC-16-10)
寸法：mm

オーダー・ガイド

Model ¹	Temperature	Package Description	Package Option	Package Quantity
ADG1736BCCZ-RL7	-40°C to +125°C	16-Terminal Land Grid Array [LGA]	CC-16-10	Reel, 1500

¹ Z = RoHS 適合製品。

評価用ボード

Model ¹	Description
EVAL-ADG1736ARDZ	Evaluation Board

¹ Z = RoHS 適合製品。