

低電圧、 2.4Ω のクワッド SPST スイッチ

特長

- ▶ 両電源： $\pm 1.08\text{V} \sim \pm 2.75\text{V}$
- ▶ 単電源： $+1.08\text{V} \sim +5.5\text{V}$
- ▶ 低オン抵抗： 2.4Ω
- ▶ 16 ピン、 $2\text{mm} \times 2\text{mm}$ LGA
- ▶ 1.8V および 3V の JEDEC 準拠ロジック
- ▶ $\pm 5\text{V}$ 、 $+3.3\text{V}$ 、 $+1.8\text{V}$ 、 $\pm 2.5\text{V}$ ですべての仕様を規定
- ▶ レール to レールの信号範囲
- ▶ 動作温度範囲： $-40^\circ\text{C} \sim +125^\circ\text{C}$

アプリケーション

- ▶ ATE（自動試験装置）
- ▶ データ・アキュイジション・システム
- ▶ 医療機器
- ▶ FPGA およびマイクロコントローラ・システム
- ▶ オーディオおよびビデオ信号ルーティング
- ▶ 通信システム
- ▶ リレー部品の置き換え

概要

ADG1712 は 4 個の独立した単極単投（SPST）スイッチを内蔵し、 $+1.08\text{V} \sim +5.5\text{V}$ の低電圧単電源範囲または $\pm 1.08\text{V} \sim \pm 2.75\text{V}$ の両電源範囲で動作します。

ADG1712 は、性能面で妥協をすることなく小型化を実現しています。 $2\text{mm} \times 2\text{mm}$ のランド・グリッド・アレイ（LGA）パッケージは、面積が重視される各種アプリケーションに最適です。

ADG1712 はオン抵抗が 2.4Ω と小さく、入力信号範囲もレール to レールです。オンにしたときの各スイッチの導通は両方向共に良好です。スイッチは、対応するデジタル制御ラインへのロジック 1 入力でオンになります。デジタル制御入力は、マイクロコントローラやフィールド・プログラマブル・ロジック・アレイ（FPGA）と容易に使用できるように、1.8V と 3V の JEDEC 準拠です。

機能ブロック図

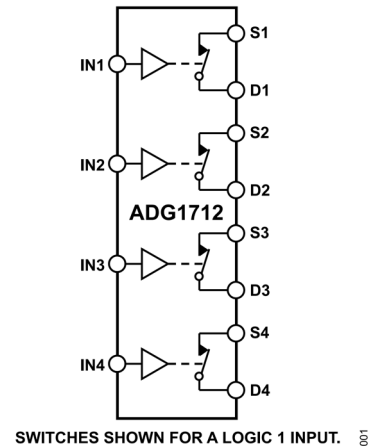


図 1. 機能ブロック図

製品のハイライト

1. 広い電源電圧範囲： $1.08\text{V} \sim 5.5\text{V}$
2. 低オン抵抗： 2.4Ω
3. 1.8V と 3V 両方のロジック・レベルで JEDEC 規格に準拠
4. 16 ピン、 $2\text{mm} \times 2\text{mm}$ LGA

目次

特長.....	1	ピン配置およびピン機能の説明.....	10
アプリケーション.....	1	代表的な性能特性.....	11
概要.....	1	テスト回路.....	19
機能ブロック図.....	1	用語の定義.....	21
製品のハイライト.....	1	動作原理.....	22
仕様.....	3	スイッチ・アーキテクチャ.....	22
動作電源電圧.....	3	3V および 1.8V JEDEC 準拠.....	22
5V 単電源.....	3	V _L による柔軟性.....	22
+3V 単電源.....	4	アプリケーション情報.....	23
+1.8V 単電源.....	5	データ・アクイジション・システムのキャリブレーション.....	23
±2.5V 両電源.....	6	オーバーシュートを小さくする出力負荷.....	23
チャンネルごとの連続電流（SX または DX）.....	8	電源レール.....	23
絶対最大定格.....	9	電源に関する推奨事項.....	23
熱抵抗.....	9	外形寸法.....	24
静電放電（ESD）定格.....	9	オーダー・ガイド.....	24
ESD に関する注意.....	9	評価用ボード.....	24

改訂履歴

7/2025—Revision 0: Initial Version

仕様

動作電源電圧

表 1. 動作電圧範囲

Supply Voltage	Min	Max	Unit
Dual Supply	±1.08	±2.75	V
Single Supply	+1.08	+5.5	V

5V 単電源

特に指定のない限り、 $V_{DD} = 5V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_L = 1.65V \sim 3.6V$ 。

表 2. +5V 単電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V_{SS} to V_{DD}			V	$V_{DD} = +4.5V$, $V_{SS} = 0V$
On Resistance, R_{ON}	2.4			Ω typ	Source voltage (V_S) = 0 to V_{DD} , source current (I_S) = -10mA, see Figure 49
	3.2	3.8	4.2	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.01			Ω typ	$V_S = 0$ to V_{DD} , $I_S = -10mA$
	0.1	0.11	0.3	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.56			Ω typ	$V_S = 0$ to V_{DD} , $I_S = -10mA$
	1.0	1.0	1.0	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	±0.1			nA typ	$V_{DD} = +5.5V$
	±0.54	±2.1	±5.7	nA max	$V_S = 4.5V/1V$, drain voltage (V_D) = 1V/4.5V, see Figure 50
Drain Off Leakage, I_D (Off)	±0.1			nA typ	$V_S = 4.5V/1V$, $V_D = 1V/4.5V$, see Figure 50
	±0.54	±2.1	±5.7	nA max	
Channel On Leakage, I_D , I_S (On)	±0.01			nA typ	$V_S = V_D = 1V$ or 4.5V, see Figure 51
	±0.04	±0.06	±0.3	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65V$ to 1.95V
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65V$ to 1.95V
Input High Voltage, V_{INH}			2.0	V min	$V_L = 2.7V$ to 3.6V
Input Low Voltage, V_{INL}			0.8	V max	$V_L = 2.7V$ to 3.6V
Input Current, I_{INH} or I_{INL}	0.02			μA typ	$V_{INX} = 0V$ or V_L
			0.8	μA max	
Digital-Input Capacitance, C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	21			ns typ	Load resistance (R_L) = 300 Ω , load capacitance (C_L) = 35pF, $V_S = 3V$, $V_L = 1.8V$, see Figure 56
	26	27	27	ns max	
Off Time, t_{OFF}	52			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 3V$, $V_L = 1.8V$, see Figure 56
	64	65	65	ns max	
Charge Injection, Q_{INJ}	3			pC typ	$V_S = 2.5V$, $R_S = 0\Omega$, $C_L = 1nF$, $V_L = 1.8V$, see Figure 57
Off Isolation	-68			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, frequency (f) = 1MHz, see Figure 52
	-48			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 10MHz
Channel-to-Channel Crosstalk	-118			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 53
	-103			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 10MHz
Total Harmonic Distortion, THD	-93			dB typ	$R_L = 10k\Omega$, 3V p-p, f = 20kHz, see Figure 55

仕様

表 2. +5V 単電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Total Harmonic Distortion + Noise, THD + N	-91			dB typ	$R_L = 10k\Omega$, 3V p-p, $f = 100kHz$, see Figure 55
-3dB Bandwidth	-87			dB typ	$R_L = 10k\Omega$, 3V p-p, $f = 200kHz$, see Figure 55
Insertion Loss	0.0026			% typ	$R_L = 10k\Omega$, 3V p-p, $f = 20Hz$ to $20kHz$, see Figure 55
Source Off Capacitance, C_S (Off)	410			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, see Figure 54
Drain Off Capacitance, C_D (Off)	-0.1			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 1MHz$, see Figure 54
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	6			pF typ	$V_S = 2.5V$, $f = 1MHz$
	6			pF typ	$V_S = 2.5V$, $f = 1MHz$
	12			pF typ	$V_S = 2.5V$, $f = 1MHz$
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	1.0			μA typ	$V_{DD} = +5.5V$, $V_{SS} = 0V$, $V_L = 1.8V$ Digital inputs = 0V or V_L V
	1.4	1.62	1.62	μA max	
Negative Supply Current, I_{SS}	0.64			nA typ	Digital inputs = 0V or V_L V
	1.8	11	91	nA max	
Digital Supply Current, I_L	0.05			nA typ	Digital inputs = 0V or V_L V
	1.5	3.0	20	nA max	

+3V 単電源

特に指定のない限り、 $V_{DD} = +2.7V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_L = 1.65V \sim 3.6V$ 。

表 3. +3V 単電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V_{SS} to V_{DD}			V	$V_{DD} = 2.7V$, $V_{SS} = 0V$
On Resistance, R_{ON}	3.9			Ω typ	$V_S = 0$ to V_{DD} , $I_S = -10mA$, see Figure 49
	6.8	7.6	8.0	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.02			Ω typ	$V_S = 0$ to $V_{DD} = -10mA$
	0.12	0.14	0.3	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.1			Ω typ	$V_S = 0$ to $V_{DD} = -10mA$
	2.1	2.3	2.4	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.01			nA typ	$V_{DD} = 3.6V$, $V_{SS} = 0V$ $V_S = 3.3V/1V$, $V_D = 1V/3.3V$, see Figure 50
	± 0.032	± 0.08	± 0.5	nA max	
Drain Off Leakage, I_D (Off)	± 0.01			nA typ	$V_S = 3.3V/1V$, $V_D = 1V/3.3V$, see Figure 50
	± 0.032	± 0.08	± 0.5	nA max	
Channel On Leakage, I_D , I_S (On)	± 0.01			nA typ	$V_S = V_D = 3.3V$ or $1V$, see Figure 51
	± 0.04	± 0.05	± 0.27	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65V$ to $1.95V$
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65V$ to $1.95V$
Input High Voltage, V_{INH}			2.0	V min	$V_L = 2.7V$ to $3.6V$
Input Low Voltage, V_{INL}			0.8	V max	$V_L = 2.7V$ to $3.6V$
Input High Current, I_{INH} or I_{INL}	0.02			μA typ	$V_{INx} = 0V$ or V_L
			0.8	μA max	
Digital-Input Capacitance, C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					

仕様

表 3. +3V 単電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
On Time, t_{ON}	23			ns typ	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 56
Off Time, t_{OFF}	28	30	30	ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1.5V$, $V_L = 1.8V$, see Figure 56
	51			ns typ	
Charge Injection, Q_{INJ}	63	65	65	ns max	$V_S = 1.5V$, $R_S = 0\Omega$, $C_L = 1nF$, $V_L = 1.8V$, see Figure 57
	1.5			pC typ	
Off Isolation	-68			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, frequency (f) = 1MHz, see Figure 52
	-48				
Channel-to-Channel Crosstalk	-118			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 53
	-103			dB typ	
Total Harmonic Distortion, THD	-87			dB typ	$R_L = 10k\Omega$, 1.5V p-p, f = 20kHz, see Figure 55
	-86			dB typ	$R_L = 10k\Omega$, 1.5V p-p, f = 100kHz, see Figure 55
	-83			dB typ	$R_L = 10k\Omega$, 1.5V p-p, f = 200kHz, see Figure 55
	0.005			% typ	$R_L = 10k\Omega$, 1.5V p-p, f = 20Hz to 20kHz, see Figure 55
-3dB Bandwidth	535			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, see Figure 54
Insertion Loss	-0.3			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 54
Source Off Capacitance, C_S (Off)	6			pF typ	$V_S = 1.5V$, f = 1MHz
Drain Off Capacitance, C_D (Off)	6			pF typ	$V_S = 1.5V$, f = 1MHz
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	12			pF typ	$V_S = 1.5V$, f = 1MHz
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.17	0.31	0.31	μA typ	$V_{DD} = 3.6V$, $V_{SS} = 0V$, $V_L = 1.8V$
	0.26			μA max	Digital inputs = 0V or V_L V
Negative Supply Current, I_{SS}	0.64	11	91	nA typ	Digital inputs = 0V or V_L V
	1.8			nA max	
Digital Supply Current, I_L	0.05	3.0	20	nA typ	Digital inputs = 0V or V_L V
	1.5			nA max	

+1.8V 単電源

特に指定のない限り、 $V_{DD} = 1.71V \sim 1.95V$ 、 $V_{SS} = 0V$ 、 $GND = 0V$ 、 $V_L = 1.65V \sim 3.6V$ 。

表 4. +1.8V 単電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V _{SS} to V _{DD}			V	V _{DD} = 1.71V, V _{SS} = 0V
On Resistance, R _{ON}	19.2 63	77	77	Ω typ Ω max	V _S = 0 to V _{DD} , I _S = -10mA, see Figure 49
On-Resistance Match Between Channels, ΔR _{ON}	0.16			Ω typ	V _S = 0 to V _{DD} = -10mA
On-Resistance Flatness, R _{FLAT(ON)}	0.8	0.95	0.95	Ω max	V _S = 0 to V _{DD} = -10mA
	14.5			Ω typ	
	56	72	72	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I _S (Off)	±0.01 ±0.032	±0.08	±0.5	nA typ nA max	V _{DD} = 1.95V, V _{SS} = 0V V _S = 0.6V/1.65V, V _D = 1.65V/0.6 V, see Figure 50
	±0.01 ±0.032			nA typ nA max	V _S = 1.65V/0.6V, V _D = 0.6V/1.65 V, see Figure 50

仕様

表 4. +1.8V 単電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Channel On Leakage, I_D , I_S (On)	± 0.01 ± 0.04	± 0.05	± 0.27	nA typ nA max	$V_S = V_D = 0.6V$ or $1.65V$, see Figure 51
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65V$ to $1.95V$
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65V$ to $1.95V$
Input High Voltage, V_{INH}			2.0	V min	$V_L = 2.7V$ to $3.6V$
Input Low Voltage, V_{INL}			0.8	V max	$V_L = 2.7V$ to $3.6V$
Input High Current, I_{INH} or I_{INL}	0.02			μA typ μA max	$V_{INx} = 0V$ or V_L
Digital-Input Capacitance, C_{IN}	5		0.8	pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	38 47	48	48	ns typ ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1V$, $V_L = 1.8V$, see Figure 56
Off Time, t_{OFF}	53 64	67	67	ns typ ns max	$R_L = 300\Omega$, $C_L = 35pF$, $V_S = 1V$, $V_L = 1.8V$, see Figure 56
Charge Injection, Q_{INJ}	0.7			pC typ	$V_S = 0.9V$, $R_S = 0\Omega$, $C_L = 1nF$, $V_L = 1.8V$, see Figure 57
Off Isolation	-68 -48			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, frequency (f) = 1MHz, see Figure 52 $R_L = 50\Omega$, $C_L = 5pF$, f = 10MHz
Channel-to-Channel Crosstalk	-118 -103			dB typ dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 53 $R_L = 50\Omega$, $C_L = 5pF$, f = 10MHz
Total Harmonic Distortion, THD	-66 -62 -58			dB typ dB typ dB typ	$R_L = 10k\Omega$, 1.5V p-p, f = 20kHz, see Figure 55 $R_L = 10k\Omega$, 1.5V p-p, f = 100kHz, see Figure 55 $R_L = 10k\Omega$, 1.5V p-p, f = 200kHz, see Figure 55
Total Harmonic Distortion + Noise, THD + N	0.05			% typ	$R_L = 10k\Omega$, 1.5V p-p, f = 20Hz to 20kHz, see Figure 55
-3dB Bandwidth	450			MHz typ	$R_L = 50\Omega$, $C_L = 5pF$, see Figure 54
Insertion Loss	-1.1			dB typ	$R_L = 50\Omega$, $C_L = 5pF$, f = 1MHz, see Figure 54
Source Off Capacitance, C_S (Off)	6			pF typ	$V_S = 0.9V$, f = 1MHz
Drain Off Capacitance, C_D (Off)	6			pF typ	$V_S = 0.9V$, f = 1MHz
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	12			pF typ	$V_S = 0.9V$, f = 1MHz
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.01 0.26	0.31	0.31	nA typ μA max	$V_{DD} = 1.95V$, $V_{SS} = 0V$, $V_L = 1.8V$ Digital inputs = 0V or V_L V
Negative Supply Current, I_{SS}	0.64 1.8	11	91	nA typ nA max	Digital inputs = 0V or V_L V
Digital Supply Current, I_L	0.05 1.5	3.0	20	nA typ nA max	Digital inputs = 0V or V_L V

±2.5V 両電源

特に指定のない限り、 $V_{DD} = +2.5V \pm 10\%$ 、 $V_{SS} = -2.5V \pm 10\%$ 、 $GND = 0V$ 、 $V_L = 1.65V \sim 1.95V$ 。

表 5. ±2.5V 両電源での仕様

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range	V_{SS} to V_{DD}			V	$V_{DD} = +2.25V$, $V_{SS} = -2.25V$
On Resistance, R_{ON}	2.4 3.2	3.8	4.2	Ω typ Ω max	$V_S = V_{SS}$ to V_{DD} , $I_S = -10mA$, see Figure 49

仕様

表 5. $\pm 2.5\text{V}$ 両電源での仕様（続き）

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
On-Resistance Match Between Channels, ΔR_{ON}	0.01			Ω typ	$V_S = V_{SS}$ to $V_{DD} = -10\text{mA}$
On-Resistance Flatness, $R_{\text{FLAT(ON)}}$	0.1 0.56 1.0	0.11 1.0	0.3 1.0	Ω max Ω typ Ω max	$V_S = V_{SS}$ to $V_{DD} = -10\text{mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.3 ± 0.54	± 2.1	± 5.7	nA typ nA max	$V_{DD} = +2.75\text{V}$, $V_{SS} = -2.75\text{V}$ $V_S = +2.25\text{V}/-2.25\text{V}$, $V_D = -2.25\text{V}/+2.25\text{V}$, see Figure 50
Drain Off Leakage, I_D (Off)	± 0.3 ± 0.54	± 2.1	± 5.7	nA typ nA max	$V_S = +2.25\text{V}/-2.25\text{V}$, $V_D = -2.25\text{V}/+2.25\text{V}$, see Figure 50
Channel On Leakage, I_D , I_S (On)	± 0.01 ± 0.04	± 0.06	± 0.3	nA typ nA max	$V_S = V_D = -2.25\text{V}$ or $+1.25\text{V}$, see Figure 51
DIGITAL INPUTS					
Input High Voltage, V_{INH}			$0.65 \times V_L$	V min	$V_L = 1.65\text{V}$ to 1.95V
Input Low Voltage, V_{INL}			$0.35 \times V_L$	V max	$V_L = 1.65\text{V}$ to 1.95V
Input High Current, I_{INH} or I_{INL}	0.02		0.8	μA typ μA max	$V_{\text{INX}} = 0\text{V}$ or V_L
Digital-Input Capacitance, C_{IN}	5			pF typ	
DYNAMIC CHARACTERISTICS					
On Time, t_{ON}	22 26 51	27	27	ns typ ns max ns typ	$R_L = 300\Omega$, $C_L = 35\text{pF}$, $V_S = 1.5\text{V}$, $V_L = 1.8\text{V}$, see Figure 56
Off Time, t_{OFF}	63 3	64	64	ns max pC typ	$R_L = 300\Omega$, $C_L = 35\text{pF}$, $V_S = 1.5\text{V}$, $V_L = 1.8\text{V}$, see Figure 56
Charge Injection, Q_{INJ}	3			pC typ	$V_S = 0\text{V}$, $R_S = 0\Omega$, $C_L = 1\text{nF}$, $V_L = 1.8\text{V}$, see Figure 57
Off Isolation	-68 -48			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, frequency (f) = 1MHz, see Figure 52
Channel-to-Channel Crosstalk	-118 -103			dB typ dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 10MHz $R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 10MHz
Total Harmonic Distortion, THD	-99 -95 -90			dB typ dB typ dB typ	$R_L = 10\text{k}\Omega$, 3V p-p, f = 20kHz, see Figure 55 $R_L = 10\text{k}\Omega$, 3V p-p, f = 100kHz, see Figure 55 $R_L = 10\text{k}\Omega$, 3V p-p, f = 200kHz, see Figure 55
Total Harmonic Distortion + Noise, THD + N	0.002			% typ	$R_L = 10\text{k}\Omega$, 3V p-p, f = 20Hz to 20kHz, see Figure 55
-3dB Bandwidth	405			MHz typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, see Figure 54
Insertion Loss	-0.1			dB typ	$R_L = 50\Omega$, $C_L = 5\text{pF}$, f = 1MHz, see Figure 54
Source Off Capacitance, C_S (Off)	6			pF typ	$V_S = 0\text{V}$, f = 1MHz
Source Off Capacitance, C_D (Off)	6			pF typ	$V_S = 0\text{V}$, f = 1MHz
Drain On Capacitance, C_D (On), Source On Capacitance, C_S (On)	12			pF typ	$V_S = 0\text{V}$, f = 1MHz
POWER REQUIREMENTS					
Positive Supply Current, I_{DD}	0.013 0.26	0.31	0.31	μA typ μA max	$V_{DD} = +2.75\text{V}$, $V_{SS} = -2.75\text{V}$, $V_L = 1.8\text{V}$ Digital inputs = 0V or V_L
Negative Supply Current, I_{SS}	0.06 1.9	13	105	nA typ nA max	Digital inputs = 0V or V_L
Digital Supply Current, I_L	0.05 1.5	3.0	20	μA typ nA max	Digital inputs = 0V or V_L

仕様

チャンネルごとの連続電流 (SX または DX)

表 6. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹ ($\theta_{JA} = 150^\circ\text{C/W.}$)				
$V_{DD} = +5\text{ V}, V_{SS} = 0\text{ V}$	254	111	44	mA maximum
$V_{DD} = +3\text{ V}, V_{SS} = 0\text{ V}$	196	97	43	mA maximum
$V_{DD} = 1.8\text{ V}, V_{SS} = 0\text{ V}$	123	73	39	mA maximum
$V_{DD} = 2.5\text{ V}, V_{SS} = -2.5\text{ V}$	239	108	44	mA maximum

¹ Sx は S1~S4 ピン、Dx は D1~D4 ピンを表します。

表 7. 4 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx ¹ ($\theta_{JA} = 150^\circ\text{C/W.}$)				
$V_{DD} = +5\text{ V}, V_{SS} = 0\text{ V}$	146	81	40	mA maximum
$V_{DD} = +3\text{ V}, V_{SS} = 0\text{ V}$	112	68	37	mA maximum
$V_{DD} = 1.8\text{ V}, V_{SS} = 0\text{ V}$	70	47	31	mA maximum
$V_{DD} = 2.5\text{ V}, V_{SS} = -2.5\text{ V}$	137	78	40	mA maximum

¹ Sx は S1~S4 ピン、Dx は D1~D4 ピンを表します。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 8. 絶対最大定格

Parameter	Rating
V_{DD} to V_{SS}	6V
V_{DD} to GND	-0.3V to +6V
V_{SS} to GND	+0.3V to -6V
V_L to GND	-0.3V to +6V
V_L to V_{SS}	6V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30mA, whichever occurs first
Digital Inputs ²	GND - 0.3V to 6V or 30mA, whichever occurs first
Peak Current, Sx or Dx Pins ³	682mA (pulsed at 1ms, 10% duty-cycle maximum)
Continuous Current, Sx or Dx Pins ³	Data Table 6 and Table 7 + 15%
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Reflow Soldering Peak, Pb-Free	As per JEDEC J-STD-020

¹ INx、Sx および Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は所定の最大定格に制限する必要があります。

² デジタル入力ピン INx での過電圧は、内部ダイオードによりクランプされます。

³ Sx は S1～S4 ピン、Dx は D1～D4 ピンを表します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JCB} は、ジャンクションとケース底面の間の熱抵抗です。

表 9. 熱抵抗

Package Type	θ_{JA}	θ_{JCB}	Unit
CC-16-10 ¹	150	74.8	°C/W

¹ 熱抵抗のシミュレーション値は、サーマル・ビアのない JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADG1712 の ESD 定格

表 10. ADG1712、16 ピン LGA

ESD Model	Withstand Threshold (V)	Class
HBM ¹	±4000	3A
FICDM	±1250	C3

¹ 入出力ポートから電源、入出力ポートから入出力ポート、およびその他すべての入力における値です。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

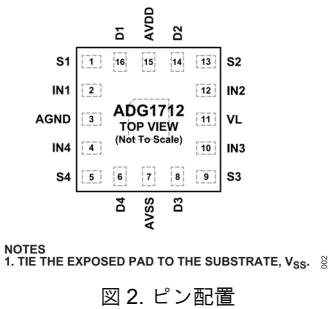


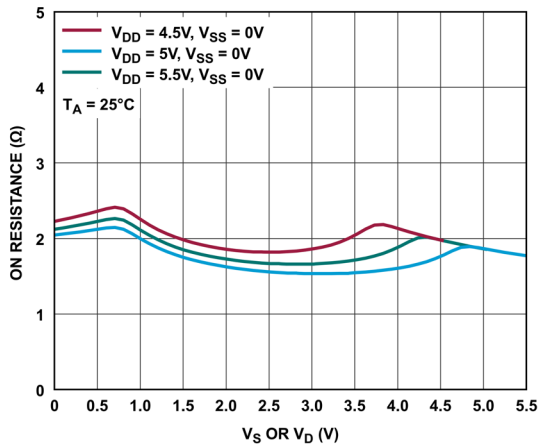
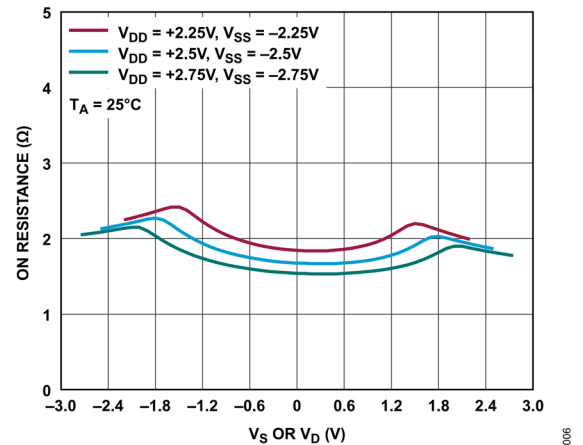
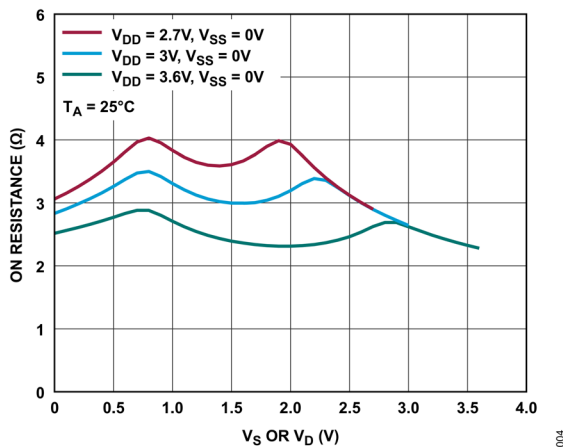
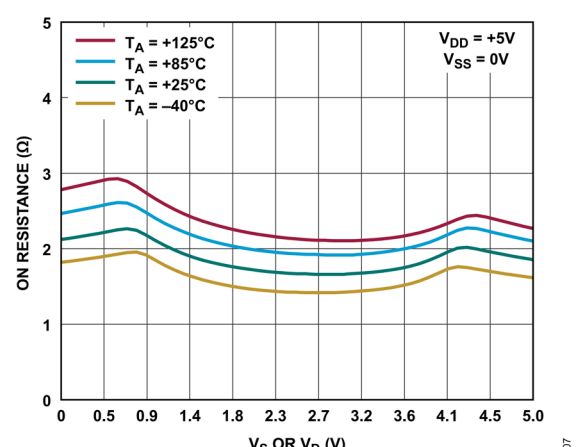
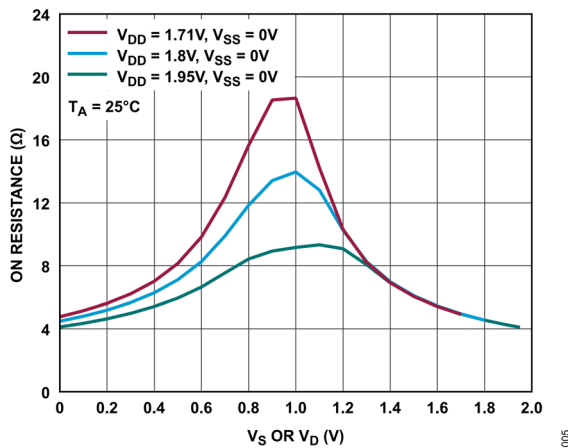
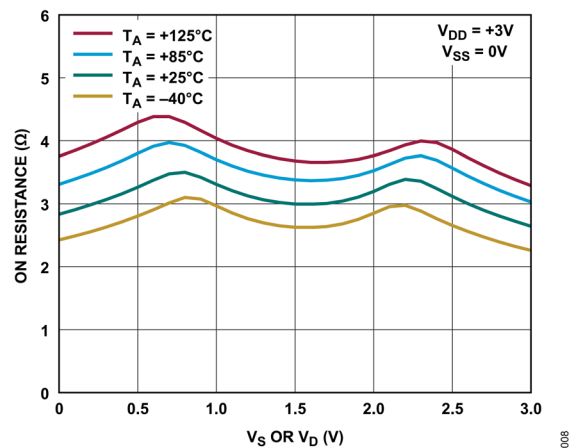
表 11.ピン機能の説明

ピン番号	記号	説明
1	S1	ソース端子 1。このピンは、入力または出力に設定できます。
2	IN1	デジタル制御入力。ロジック状態がスイッチ S1～D1 のステータスを制御します。
3	AGND	グラウンド（0V）リファレンス。
4	IN4	デジタル制御入力。ロジック状態がスイッチ S4～D4 のステータスを制御します。
5	S4	ソース端子 4。このピンは、入力または出力に設定できます。
6	D4	ドレイン端子 4。このピンは、入力または出力に設定できます。
7	V _{SS}	負電源の電位。V _{SS} ピンは、0.1μF のコンデンサで GND からデカップリングします。
8	D3	ドレイン端子 3。このピンは、入力または出力に設定できます。
9	S3	ソース端子 3。このピンは、入力または出力に設定できます。
10	IN3	デジタル制御入力。ロジック状態がスイッチ S3～D3 のステータスを制御します。
11	V _L	デジタル・ロジック電源。
12	IN2	デジタル制御入力。ロジック状態がスイッチ S2～D2 のステータスを制御します。
13	S2	ソース端子 2。このピンは、入力または出力に設定できます。
14	D2	ドレイン端子 2。このピンは、入力または出力に設定できます。
15	V _{DD}	正電源の電位。V _{DD} ピンは、0.1μF のコンデンサで GND からデカップリングします。
16	D1	ドレイン端子 1。このピンは、入力または出力に設定できます。
EP	Exposed Pad	露出パッドは内部接続されています。ハンダ接続の信頼性と熱性能を向上させるために、このパッドを基板の VSS にハンダ付けすることを推奨します。

表 12. ADG1712 の真理値表

INx	Switch Condition
0	Off
1	On

代表的な性能特性

図 3. 5V 単電源でのオン抵抗と V_S または V_D の関係図 6. 2.5V 両電源でのオン抵抗と V_S または V_D の関係図 4. 3V 単電源でのオン抵抗と V_S または V_D の関係図 7. 様々な温度でのオン抵抗と V_S または V_D の関係、
+5V 単電源図 5. 1.8V 単電源でのオン抵抗と V_S または V_D の関係図 8. 様々な温度でのオン抵抗と V_S または V_D の関係、
+3V 単電源

代表的な性能特性

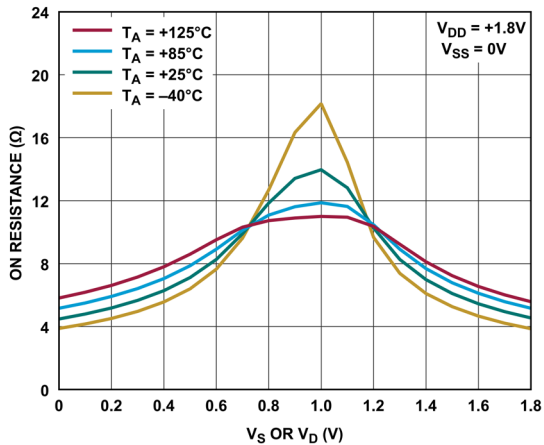


図 9. 様々な温度でのオン抵抗と V_S または V_D の関係、+1.8V 単電源

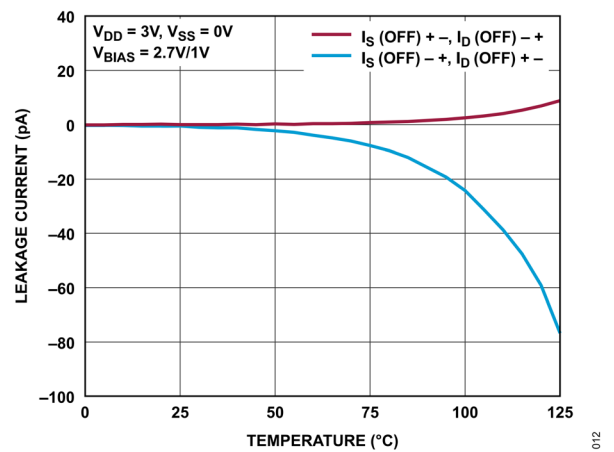


図 12. オフ・リーク電流と温度の関係、+3V 単電源

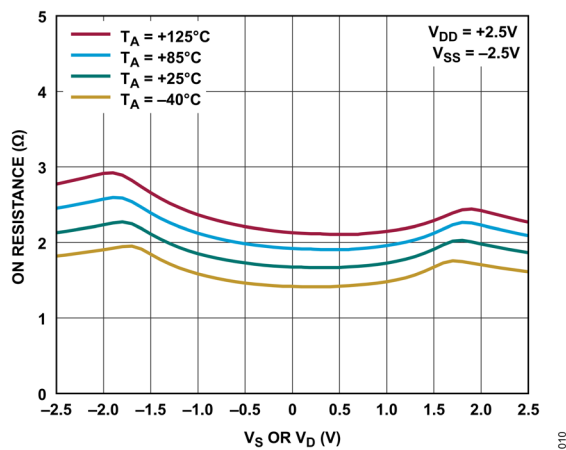


図 10. 様々な温度でのオン抵抗と V_S または V_D の関係、±2.5V 両電源

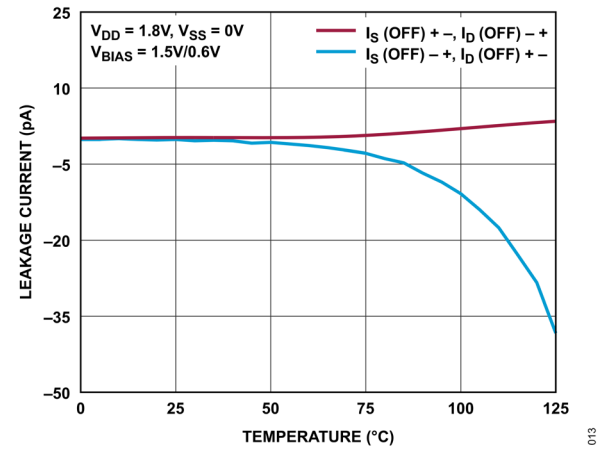


図 13. オフ・リーク電流と温度の関係、+1.8V 単電源

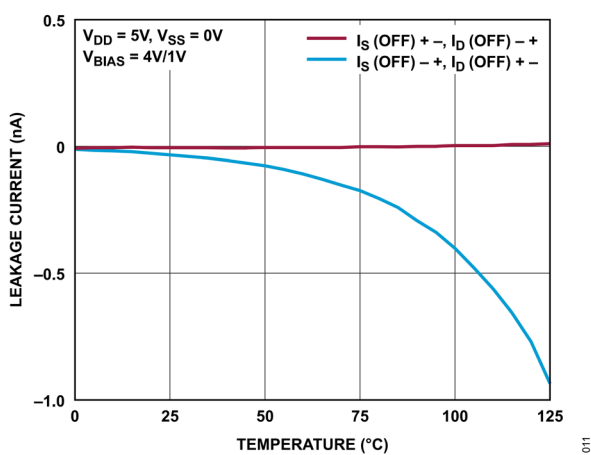


図 11. オフ・リーク電流と温度の関係、+5V 単電源

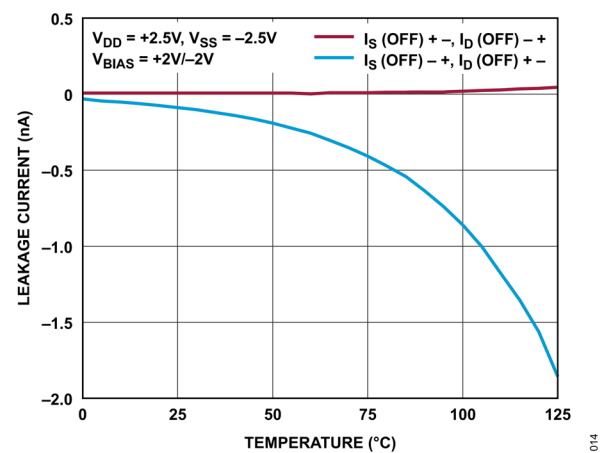


図 14. オフ・リーク電流と温度の関係、±2.5V 両電源

代表的な性能特性

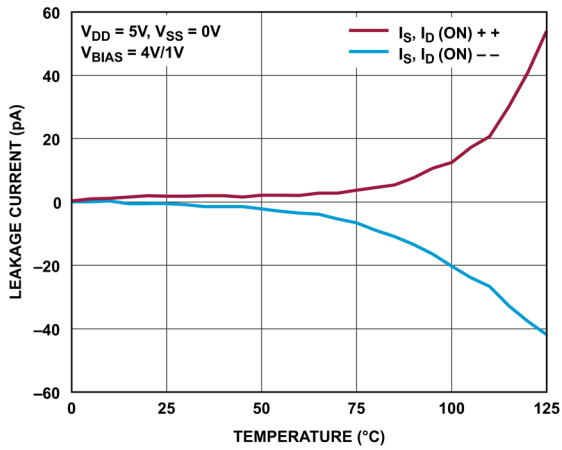


図 15. オン・リーク電流と温度の関係、+5V 単電源

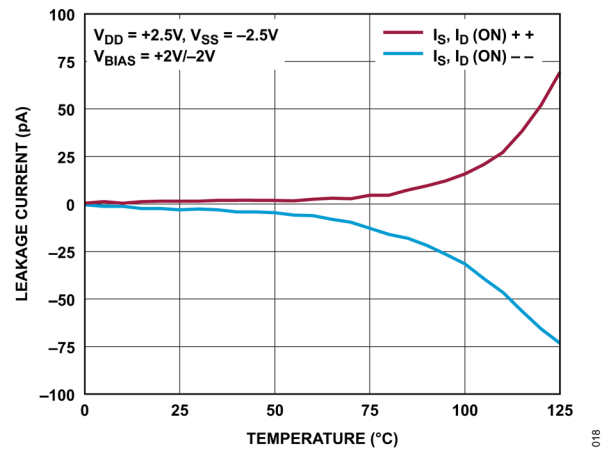


図 18. オン・リーク電流と温度の関係、±2.5V 両電源

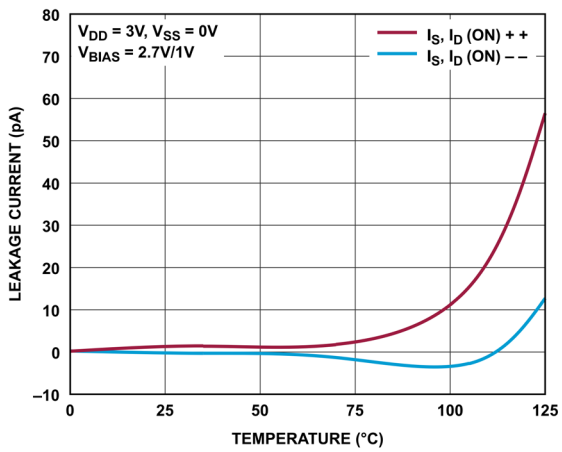


図 16. オン・リーク電流と温度の関係、+3V 単電源

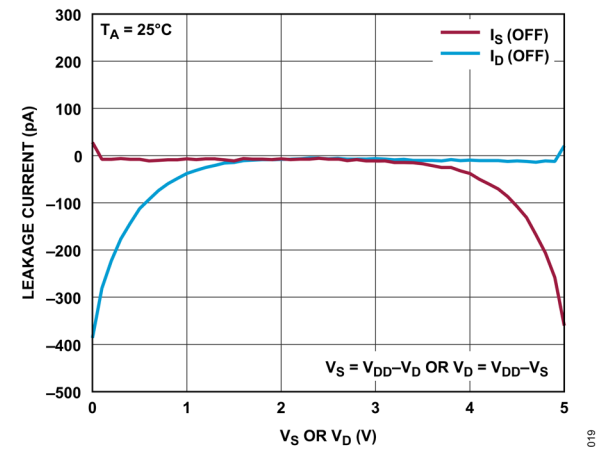


図 19. オフ・リーク電流と V_S または V_D の関係、25°C、5V 単電源

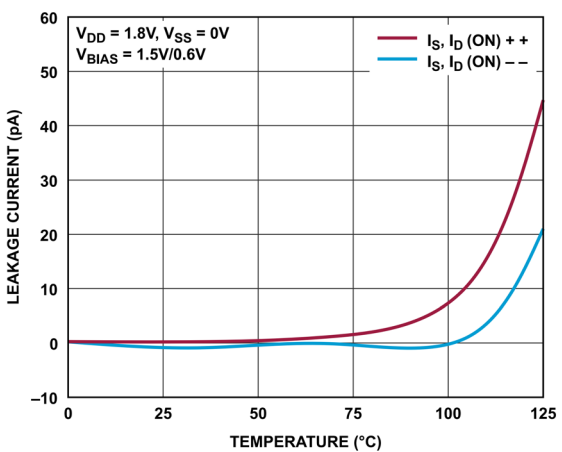


図 17. オン・リーク電流と温度の関係、+1.8V 単電源

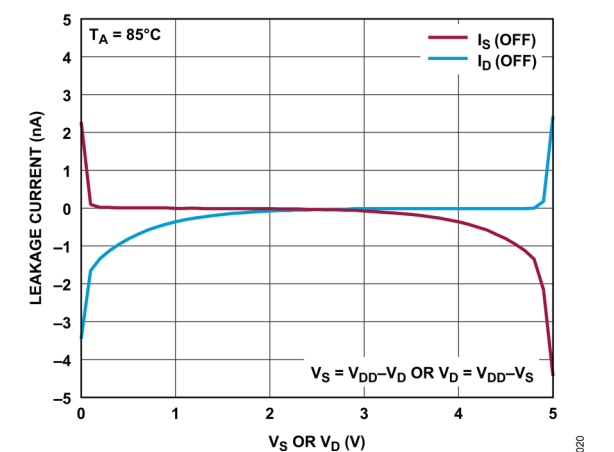


図 20. オフ・リーク電流と V_S または V_D の関係、85°C、5V 単電源

代表的な性能特性

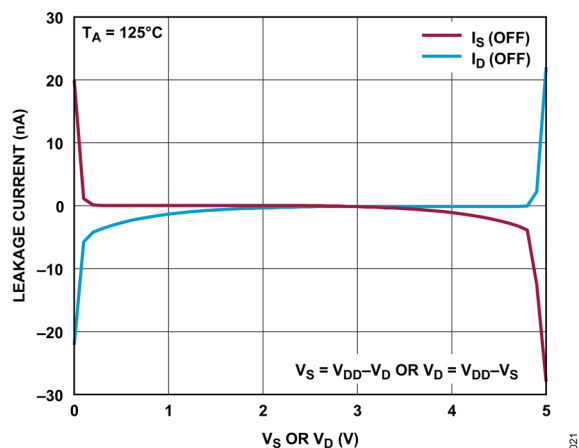


図 21. オフ・リーク電流と V_S または V_D の関係、 125°C 、5V 単電源

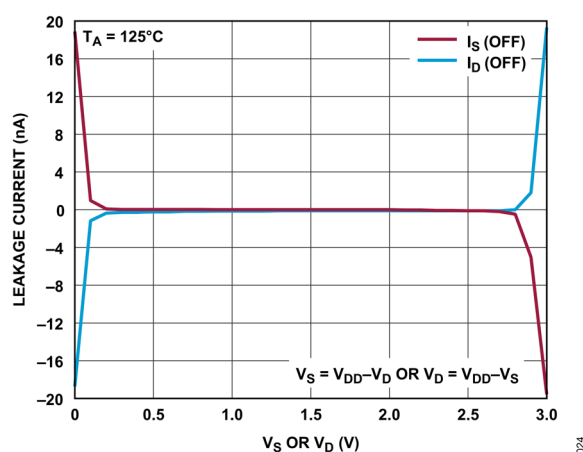


図 24. オフ・リーク電流と V_S または V_D の関係、 125°C 、3V 単電源

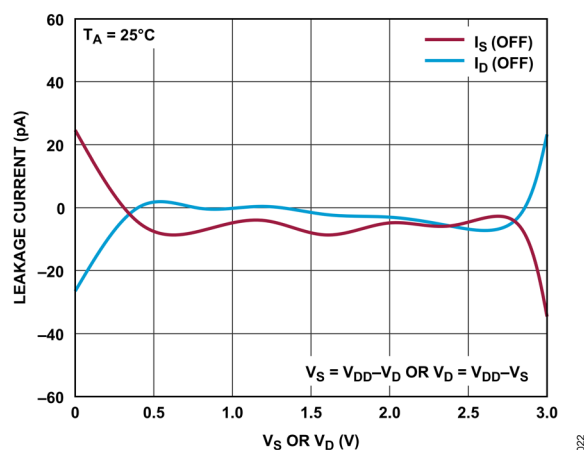


図 22. オフ・リーク電流と V_S または V_D の関係、 25°C 、3V 単電源

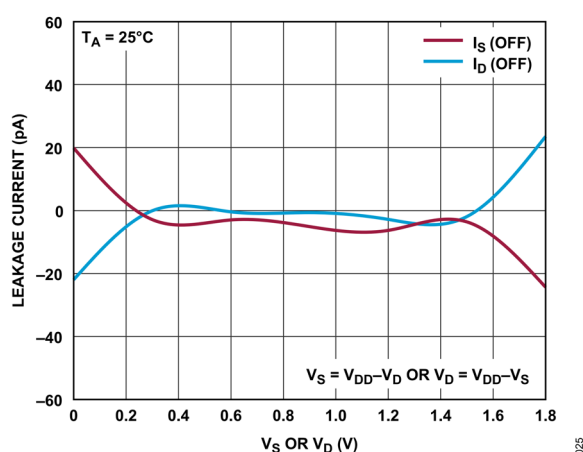


図 25. オフ・リーク電流と V_S または V_D の関係、 25°C 、1.8V 単電源

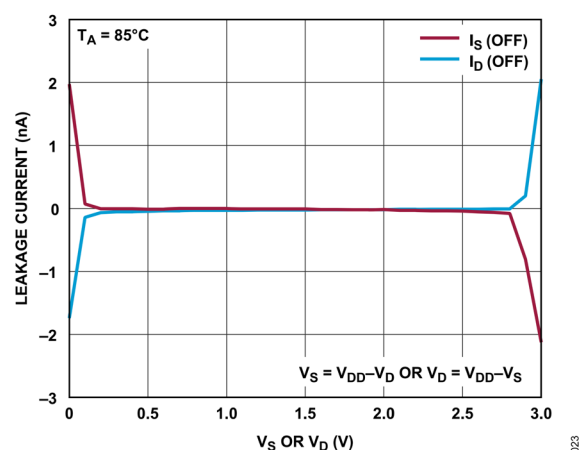


図 23. オフ・リーク電流と V_S または V_D の関係、 85°C 、3V 単電源

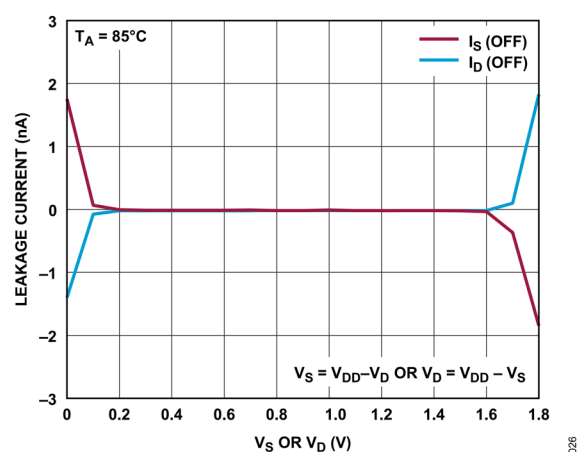


図 26. オフ・リーク電流と V_S または V_D の関係、 85°C 、1.8V 単電源

代表的な性能特性

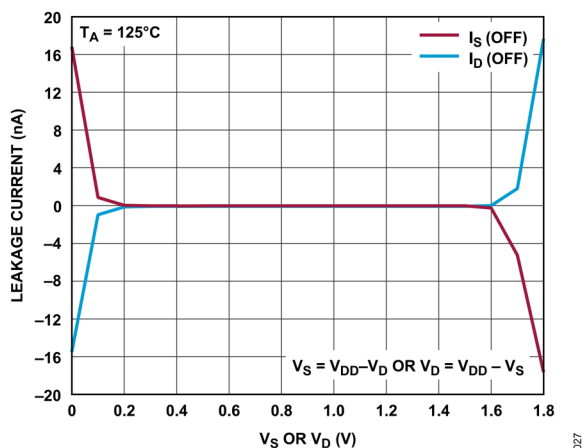


図 27. オフ・リーク電流と V_S または V_D の関係、 125°C 、1.8V 単電源

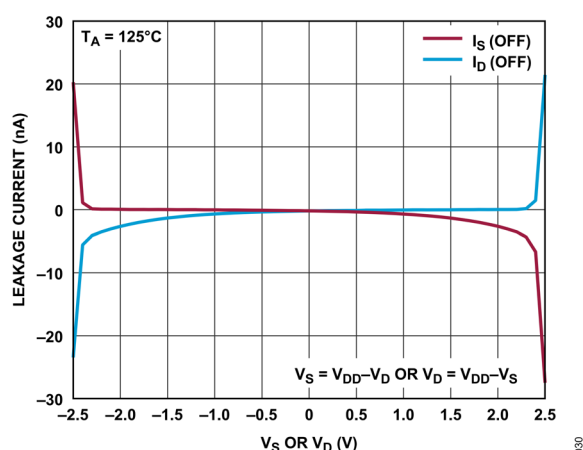


図 30. オフ・リーク電流と V_S または V_D の関係、 125°C 、2.5V 両電源

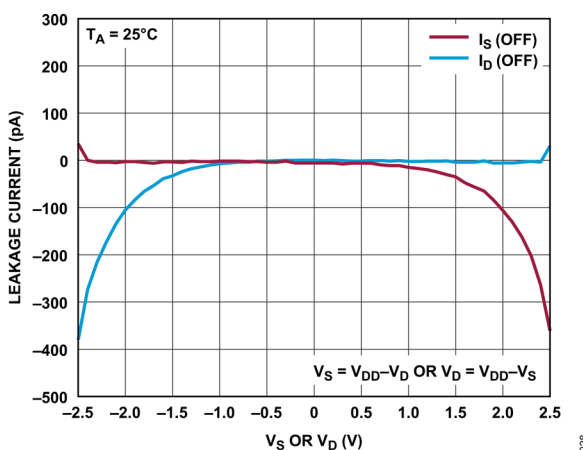


図 28. オフ・リーク電流と V_S または V_D の関係、 25°C 、2.5V 両電源

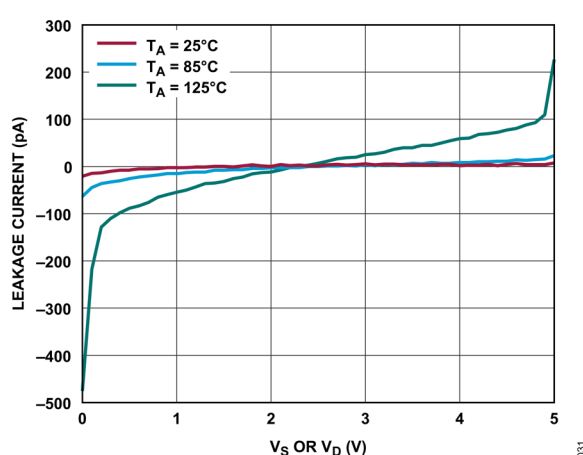


図 31. オン・リーク電流と V_S または V_D の関係、5V 単電源

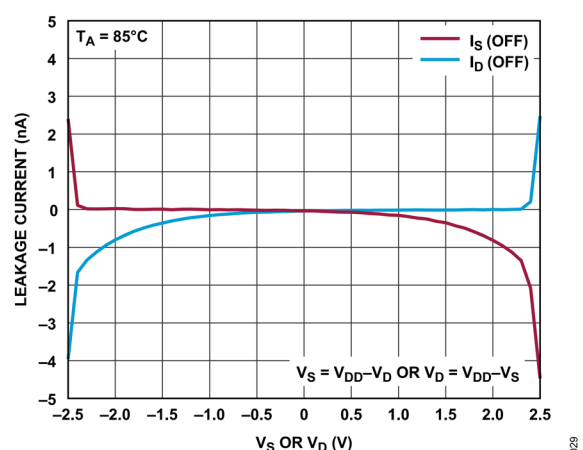


図 29. オフ・リーク電流と V_S または V_D の関係、 85°C 、2.5V 両電源

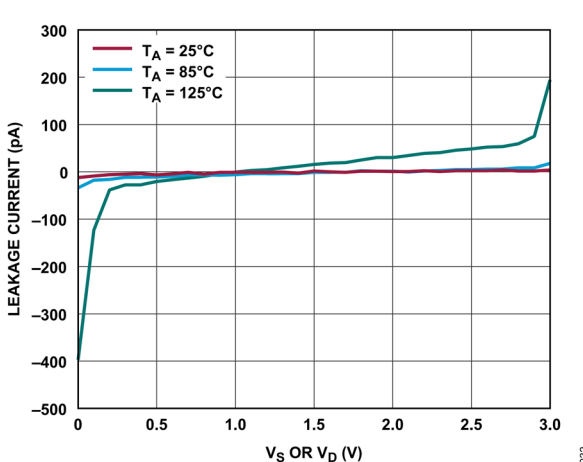


図 32. オン・リーク電流と V_S または V_D の関係、3V 単電源

代表的な性能特性

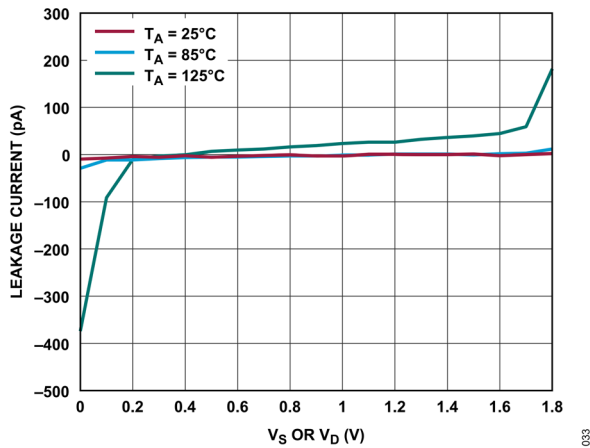


図 33. オン・リーク電流と V_S または V_D の関係、1.8V 単電源

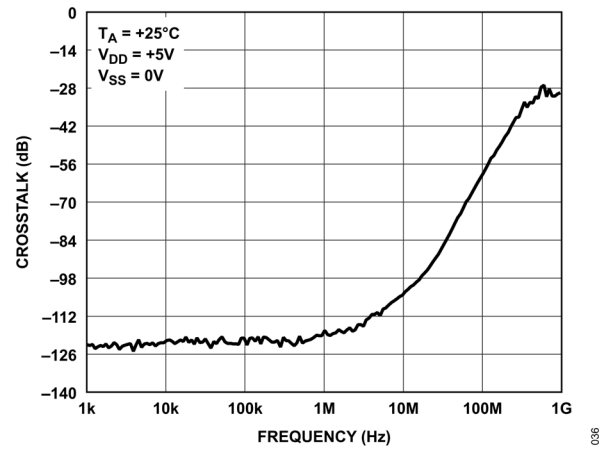


図 36. クロストークと周波数の関係、5V 単電源

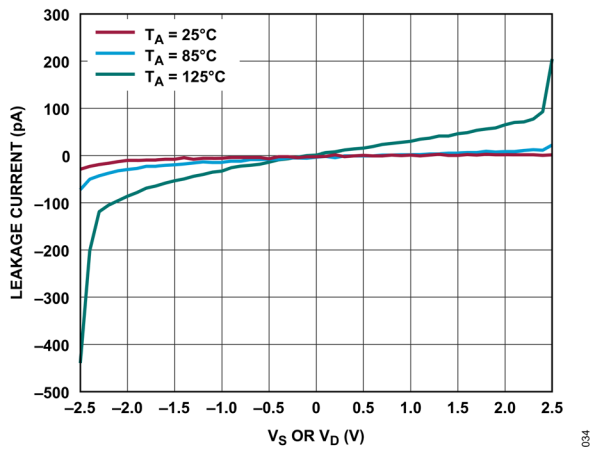


図 34. オン・リーク電流と V_S または V_D の関係、2.5V 両電源

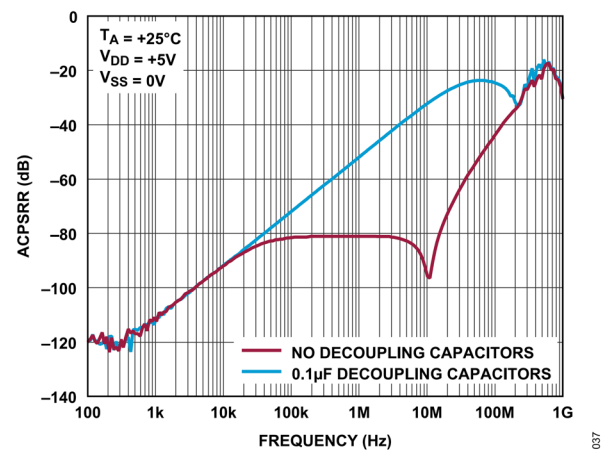


図 37. AC PSRR と周波数の関係、5V 単電源

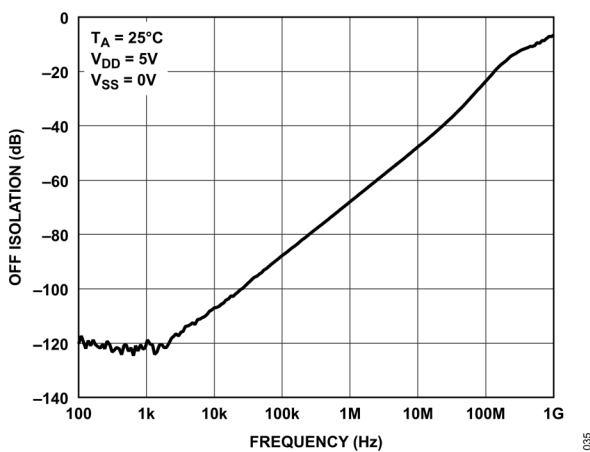


図 35. オフ・アイソレーションと周波数の関係、5V 単電源

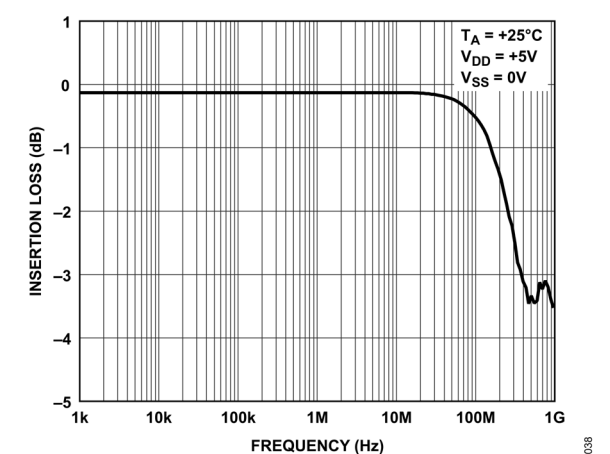


図 38. 挿入損失と周波数の関係、5V 単電源

代表的な性能特性

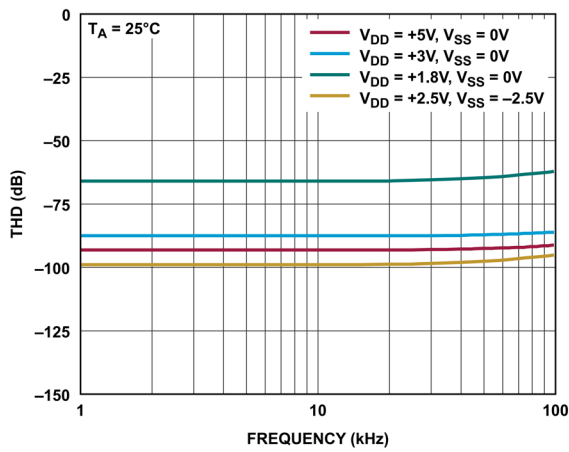


図 39. THD と周波数の関係

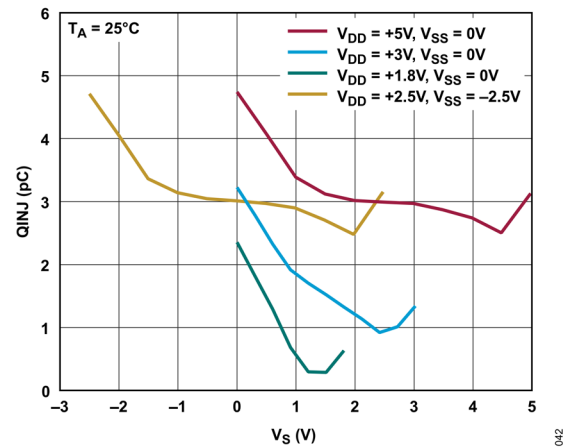


図 42. チャージ・インジェクション (QINJ) と V_S の関係

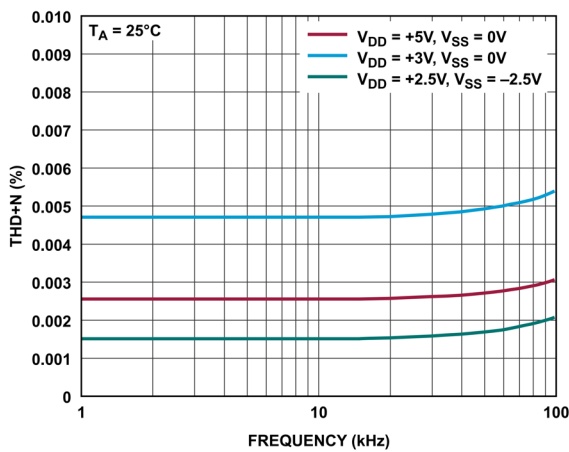


図 40. THD + N と周波数の関係

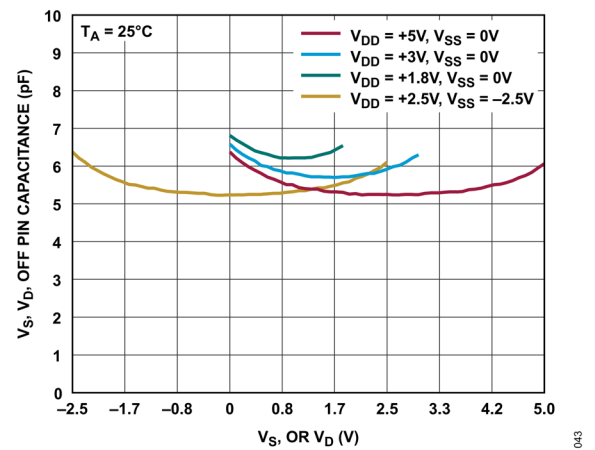


図 43. オフ・ピン容量と V_S の関係

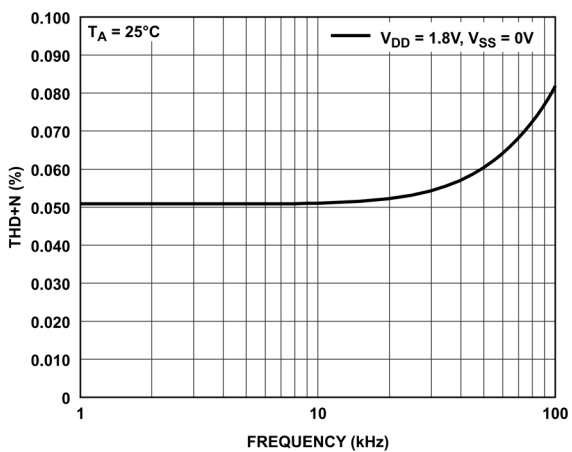


図 41. THD + N と周波数の関係、1.8V 単電源

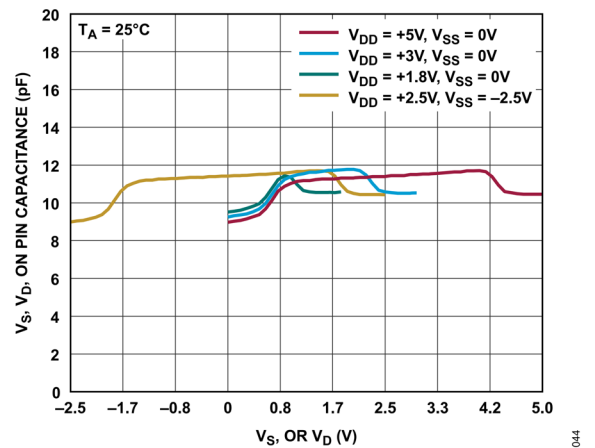


図 44. オン・ピン容量と V_S の関係

代表的な性能特性

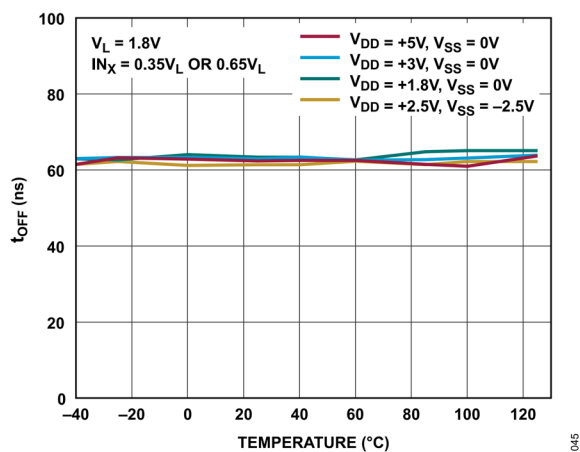
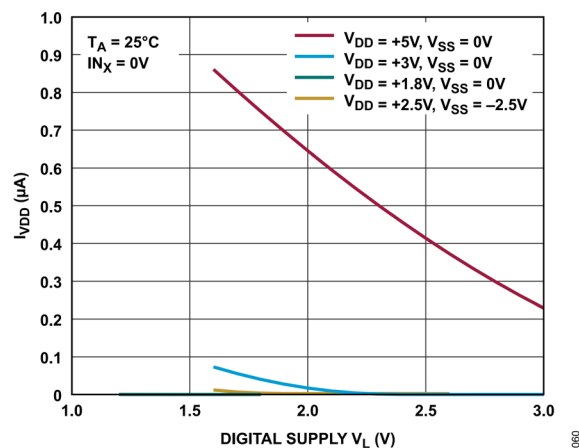
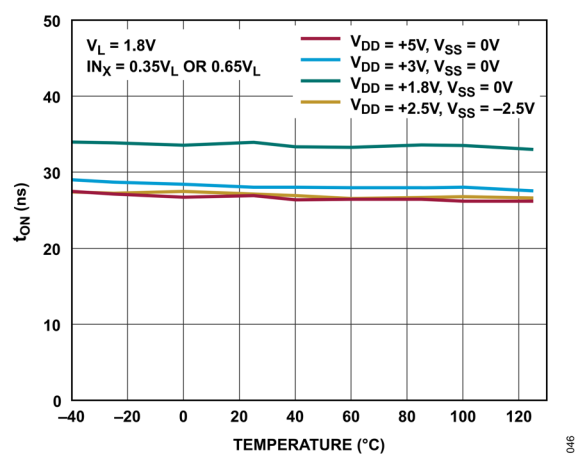
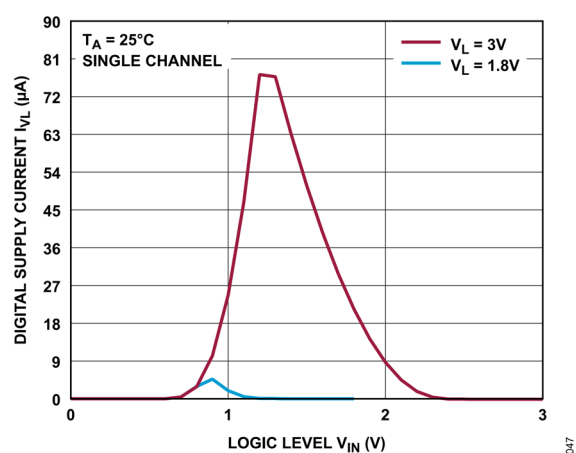
図 45. t_{OFF} 時間と温度の関係図 48. 正電源電流 (I_{VDD}) とデジタル電源 (V_L) の関係図 46. t_{ON} 時間と温度の関係

図 47. デジタル電源電流とロジック・レベルの関係

テスト回路

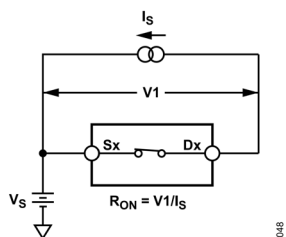


図 49. オン抵抗

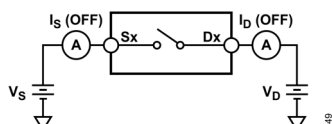


図 50. オフ・リーク電流

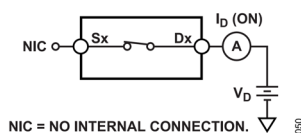


図 51. オン・リーク電流

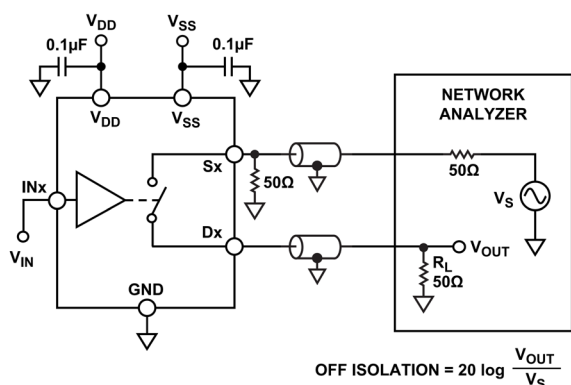


図 52. オフ・アイソレーション

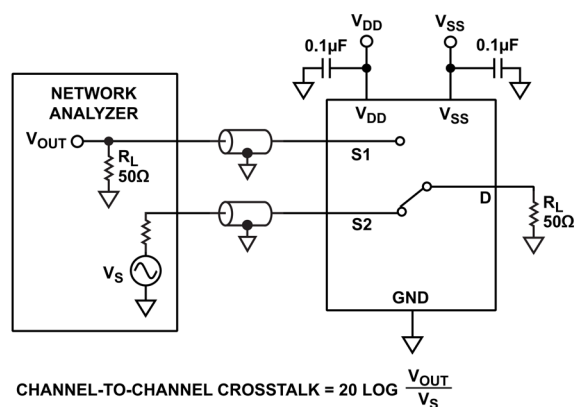


図 53. チャンネル間クロストーク

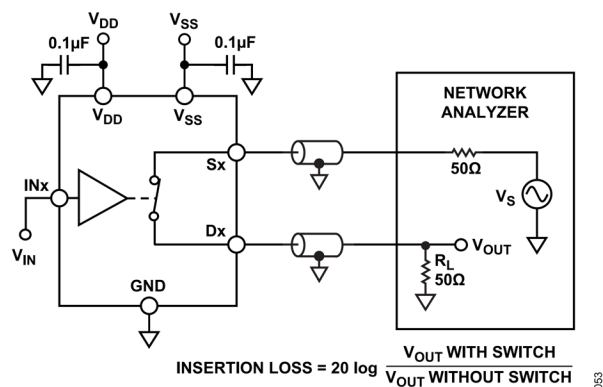


図 54. 帯域幅

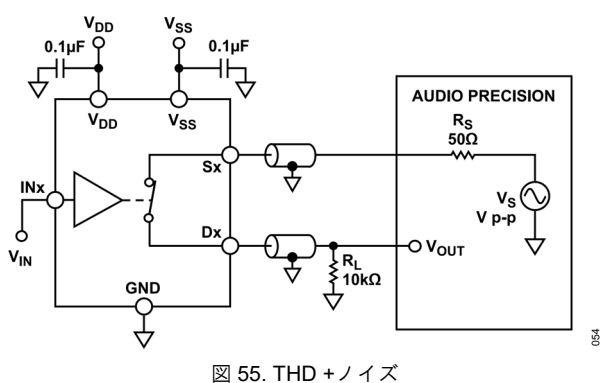


図 55. THD + ノイズ

テスト回路

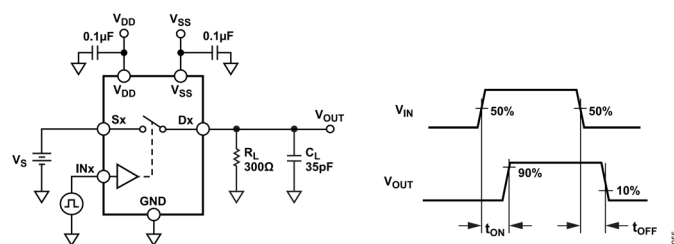


図 56. スイッチング時間

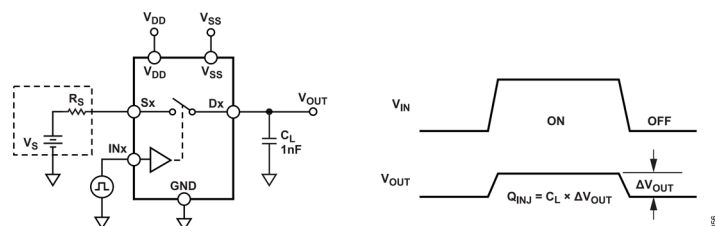


図 57. チャージ・インJECTION

用語の定義

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

I_{VL}

デジタル電源電流。

V_D および V_S

端子 D と端子 S のアナログ電圧。

R_{ON}

端子 D と端子 S の間の抵抗。

R_{FLAT(ON)}

仕様規定されたアナログ信号範囲における、オン抵抗の最大値と最小値の差として表現される抵抗値の平坦性。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

I_S Off

スイッチ・オフ時のソース・リーク電流。

I_D Off

スイッチ・オフ時のドレイン・リーク電流。

I_D I_S On

スイッチ・オン時のチャンネル・リーク電流。

V_D および V_S

端子 D と端子 S のアナログ電圧。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

ハイまたはローのときのデジタル入力電流。

C_S(Off) および C_D(Off)

スイッチ・オフ時のソース容量およびドレイン容量、グラウンドを基準として測定。

C_D(On) および C_S(On)

スイッチ・オン時のドレイン容量およびソース容量、グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル制御入力の 50%ポイントから出力スイッチ・オンの 90%ポイントまでの遅延。

t_{OFF}

デジタル制御入力の 50%ポイントから出力スイッチ・オフの 10%ポイントまでの遅延。

チャージ・インジェクション

スイッチング中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャンネル間クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

帯域幅

出力が 3dB 減衰する周波数。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み (THD)

THD は、基本周波数の電力に対する全高調波成分の電力合計値の比率です。

全高調波歪み+ノイズ (THD + N)

基本波成分に対する全高調波成分+信号ノイズの比。

AC 電源電圧変動除去比 (AC PSRR)

電源電圧ピンに現れるカップリング・ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧は、0.62V p-p のサイン波で変調されます。変調振幅に対する出力信号振幅の比が AC PSRR です。

動作原理

スイッチ・アーキテクチャ

ADG1712 は、広範な電源電圧に対応できる、一式の低電圧 CMOS クラウド SPST スイッチで構成されています。

ADG1712 は、サイズとチャンネル密度が優先される高精度のアプリケーション用に設計されています。ADG1712 は 2mm × 2mm LGA という小さいパッケージで、低オン抵抗（代表値 2.4Ω）と低リーク電流（代表値 0.01nA）の最適なバランスを実現します。

3V および 1.8V JEDEC 準拠

外部 V_L 電源を使用することで、低ロジック・レベルにも柔軟に対応できます。スイッチを動作させるには、3V と 1.8V のロジック動作のそれぞれにおいて以下の V_L 条件を満足する必要があります。

- ▶ 3V ロジック : $V_L = 2.7V \sim 3.6V$
- ▶ 1.8V ロジック : $V_L = 1.65V \sim 1.95V$

V_L による柔軟性

デジタル制御入力ピン（INx）の最大電圧定格は -0.3V ~ 6V です。デジタル制御入力は、外部 V_L 電源や V_{DD} だけに限られているわけではありません。したがって V_L 電源なしでもデジタル入力電圧の供給は可能で、ADG1712 の 4 つのスイッチ・チャンネルすべてで V_L ピンをイネーブル・ピンとして使用できます。デジタル入力ピンの入力電圧に関わらず、 $V_L = 0V$ の場合はすべてのスイッチ・チャンネルがオフになります。この柔軟性により、必要な場合は V_L 電圧を V_{DD} より高くすることも可能ですが、 V_L と V_{SS} 間の最大電圧定格である 6V を越えないようにする必要があります。

アプリケーション情報

データ・アキュイジション・システムのキャリブレーション

ADG1712 は広範なアプリケーションに使用可能で、高精度アナログ信号、デジタル信号、および低電圧電源の低電圧スイッチングを必要とするシステムに、柔軟性と各種の設定を追加できます。データ・アキュイジション・システムへの差動アナログ入力に ADG1712 を使用する代表的なアプリケーションを図 58 に示します。この代表的なシステムでシステム・キャリブレーションを行うには、差動入力を互いに短絡させる必要があります。ADG1712 の小さいパッケージ・サイズは面積が制限されたアプリケーションに適しており、その柔軟な電源電圧によって ADG1712 を既存のシステム電源範囲に適合させることが可能です。

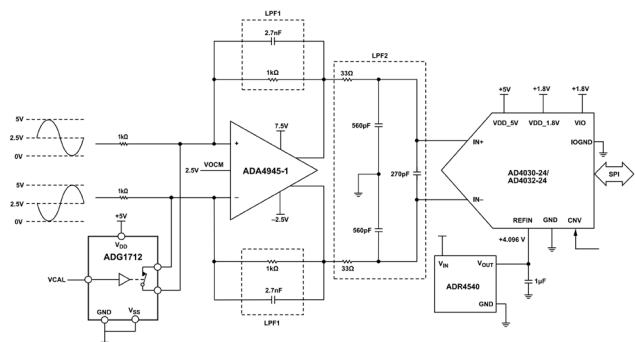


図 58. 代表的なアプリケーション

オーバーシュートを小さくする出力負荷

ADG1712 の各チャンネルは非常に高速でトグルできます。T_{ON} の代表値は 21ns、T_{OFF} の代表値は 52ns です。高速デジタル回路や通信システムなどでは、これらの非常に高いスイッチング速度が利点となります。しかし、スイッチ回路の出力負荷によっては、この非常に高速のスイッチング動作によって電圧オーバーシュートが生じる可能性があります。スイッチの電源電圧とスイッチを通過する信号の電圧レベルによっては、オーバーシュートによってスイッチの出力電圧が ADG1712 の絶対定格値を超えてしまうおそれもあります。これらのオーバーシュートを減らす実用的な対策は、負荷容量を追加して出力電圧を安全な範囲に抑えることです。

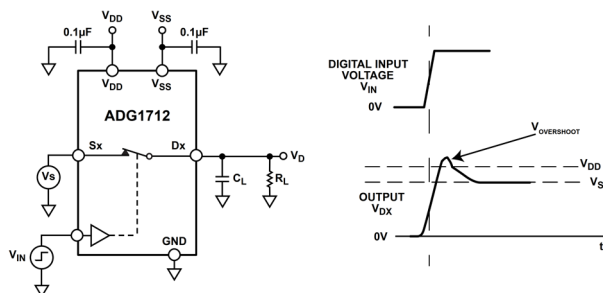


図 59. ADG1712 のオーバーシュート

電源レール

ADG1712 を正常に動作させるには、V_{DD}、V_{SS}、および V_L 電源ピンに 0.1μF のデカップリング・コンデンサを接続する必要があります。

ADG1712 は、+1.08V~+5.5V の単電源と±1.08V~±2.75V の両電源で動作可能です。V_{DD} の電源と V_{SS} の電源が非対称である必要はありません。ただし、表 1 に示すように V_{DD} と V_{SS} の電圧差が 5.5V を超えないようにしなければなりません。

電源に関する推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

3V 単電源ソリューションの例を図 60 に示します。超低自己消費電流の 150mA CMOS リニア・レギュレータである ADP162 は、標準的なシグナル・チェーン内の ADG1712 や、アンプあるいは高精度コンバータといったその他のコンポーネント向けに、正の電源レールを生成します。

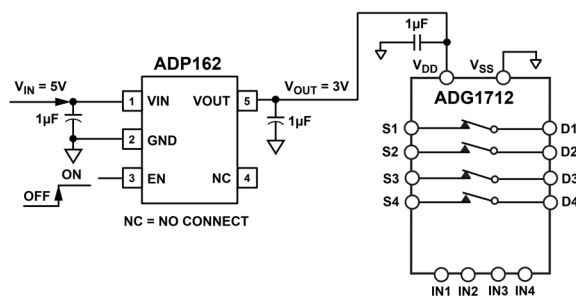


図 60. 電源に関する推奨事項

外形寸法

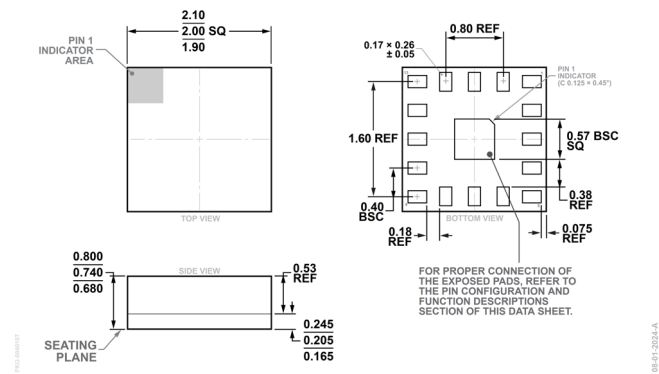


図 61. 16 端子ランド・グリッド・アレイ (LGA)、
2mm × 2mm ボディ、0.74mm パッケージ高
(CC-16-10)
寸法：mm

オーダー・ガイド

Model ¹	Temperature	Package Description	Package Option	Package Quantity
ADG1712BCCZ-RL7	-40°C to +125°C	16-Terminal Land Grid Array [LGA]	CC-16-10	Reel, 1500

¹ Z = RoHS 適合製品。

評価用ボード

Model ¹	Description
EVAL-ADG1712ARDZ	Evaluation Board

¹ Z = RoHS 適合製品。