

## VCO 内蔵マイクロ波広帯域シンセサイザ

### 特長

- ▶ RFOUT 出力周波数範囲 : 7300MHz~8500MHz
- ▶ PDIV\_OUT および NDIV\_OUT の周波数範囲 : 57MHz~8500MHz
- ▶ フラクショナル N シンセサイザ・モードおよびインテジャー N シンセサイザ・モード
- ▶ PFD スプリアス (代表値) : -105dBc 未満
- ▶ 積分帯域幅 1kHz~100MHz での積分 RMS ジッタ : 40fs 未満
- ▶ 正規化された帯域内位相ノイズ・フロア FOM
  - ▶ インテジャー・モード : -232dBc/Hz
  - ▶ フラクショナル・モード : -229dBc/Hz
- ▶ -40°C~+105°C の範囲で周波数ロックを維持 (常時ロック)
- ▶ 低いオープンループ VCO 位相ノイズ
  - ▶ 100kHz オフセット (7.3GHz RFOUT) で -115dBc/Hz (代表値)
- ▶ RFOUT 電力レベル (代表値) : 6dBm
- ▶ プログラマブルな出力分周比 : 1、2、4、8、16、32、64、128
- ▶ プログラマブルな出力電力レベル
- ▶ 消費電力 (代表値) : 1W
- ▶ 48 端子、7mm × 7mm LGA パッケージ : 49mm<sup>2</sup>

### アプリケーション

- ▶ 軍事および防衛
- ▶ 試験装置
- ▶ クロック生成
- ▶ ワイヤレス・インフラストラクチャ
- ▶ 衛星および超小型地球局 (VSAT)
- ▶ マイクロ波無線

### 機能ブロック図

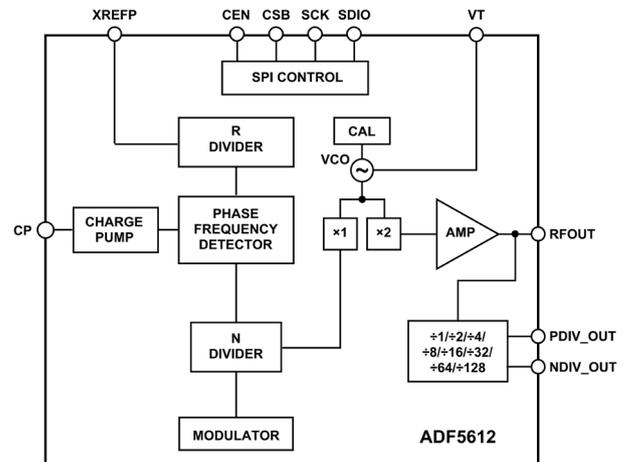


図 1. 機能ブロック図

### 概要

ADF5612 を外部ループ・フィルタおよび外部リファレンス源と併用することで、フラクショナル N 型またはインテジャー N 型のフェーズ・ロック・ループ (PLL) 周波数シンセサイザを実現できます。広帯域マイクロ波電圧制御発振器 (VCO) の設計により、単一の RF 出力で 7300MHz~8500MHz の周波数動作が可能です。差動周波数出力で一連の周波数分周器を使用すると、57MHz~8500MHz の動作が可能になります。PLL 回路用のアナログ電源とデジタル電源の電圧範囲は 3.15V~3.45V で、VCO 電源の電圧範囲は 4.75V~5.25V です。

ADF5612 には、基本周波数 3650MHz~7300MHz の VCO が内蔵されています。これらの周波数は内部で 2 倍になり、RFOUT ピンに送られます。追加の差動出力により、2 倍になった VCO 周波数を 1、2、4、8、16、32、64、または 128 で分周することで、最小 57MHz の RF 出力周波数を生成できます。シンプルな 3 線式または 4 線式のシリアル・ポート・インターフェース (SPI) を介して、すべてのチップ内蔵レジスタを制御できます。この分周器ブロックが不要な場合は、SPI を介してディスエーブルにすることで消費電力を抑えられます。同様に、シングルエンド出力と差動出力のどちらについても出力電力を設定できます。

最大 100MHz で動作可能な内蔵の位相検出器と  $\Sigma$ - $\Delta$  変調器により、-105dBc (代表値) というスプリアス・レベルで広いループ帯域幅と高速周波数チューニングが可能になります。

100kHz オフセットでの VCO オープンループ位相ノイズが -115dBc/Hz (7.3GHz RFOUT) である ADF5612 は、ブロックの影響を最小限に抑え、レーザ感度とトランスミッタのスペクトル純度を高めるように設計されています。位相ノイズ・フロアが小さいため、トランスミッタのアプリケーションで変調器/ミキサのノイズ・フロアに影響を与えません。

## 目次

特長.....	1	動作原理.....	17
アプリケーション.....	1	はじめに.....	17
機能ブロック図.....	1	出力周波数.....	17
概要.....	1	回路の説明.....	18
仕様.....	3	アプリケーション情報.....	24
SPI タイミング特性.....	7	パワーアップと初期化のシーケンス.....	24
SPI のタイミング図.....	7	ループ・フィルタの設計.....	25
絶対最大定格.....	8	VCO.....	26
熱抵抗.....	8	VCO キャリブレーション.....	27
トランジスタ数.....	8	レジスタ・マップ.....	29
静電放電 (ESD) 定格.....	8	レジスタの詳細.....	31
ESD に関する注意.....	8	外形寸法.....	48
ピン配置およびピン機能の説明.....	9	オーダー・ガイド.....	48
代表的な性能特性.....	11	評価用ボード.....	48

## 改訂履歴

2/2025—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$ の温度範囲での最小値と最大値の仕様は、 $\text{AVDD} = \text{DVDD} = 3.3\text{V} \pm 5\%$ 、 $\text{VDDL5}$ 、 $\text{VPPCP}$ 、 $\text{RVDD}$ 、 $\text{VCCPD}$ 、 $\text{VCCPS}$ 、 $\text{VCCHF} = 3.3\text{V} \pm 5\%$ 、 $\text{VDD1}$ 、 $\text{VDD2}$ 、 $\text{VDD3} = 3.3\text{V} \pm 5\%$ 、 $\text{VCOVCC} = 5.0\text{V} \pm 5\%$ 、 $\text{GND} = 0\text{V}$ で規定。

表 1. 仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
RF OUTPUT CHARACTERISTICS						
RFOUT Frequency	$f_{\text{OUT}}$	7300		8500	MHz	
VCO Frequency at PLL Input	$f_{\text{VCO}}$	3650		7300	MHz	
PDIV_OUT and NDIV_OUT Frequency Range	$f_{\text{OUT\_DIV}}$	57		8500	MHz	
OUTPUT POWER						
RFOUT Power	$P_{\text{RFOUT}}$		6		dBm	7300MHz to 8500MHz, RFOUT_PWR = 3
RFOUT Power Control Range			3		dB	Power range from RFOUT_PWR = 0 to 3
RFOUT Power Variation vs. Temperature			$\pm 1$		dB	
RFOUT Power Variation vs. Frequency			$\pm 2$		dB	
PDIV_OUT and NDIV_OUT Power	$P_{\text{O\_DIV}}$		3		dBm	Single-ended, DIV_PWR = 3
			6		dBm	Differential, DIV_PWR = 3
PDIV_OUT and NDIV_OUT Control Range			9		dB	Single-ended, power range from DIV_PWR = 0 to 3
			9		dB	Differential, power range from DIV_PWR = 0 to 3
HARMONICS (RFOUT)						
1/2 Harmonic			-38		dBc	
1.5 Harmonic			-32		dBc	
Second Harmonic			-30		dBc	
2.5 Harmonic			-45		dBc	
Third Harmonic			-32		dBc	
HARMONICS (PDIV_OUT and NDIV_OUT)						
Single-Ended						
1/2 Harmonic			-35		dBc	Fundamental feed through
Second Harmonic			-32		dBc	Push-push feed through
Third Harmonic			-16		dBc	
Differential						
1/2 Harmonic			-35		dBc	Fundamental feed through
			-97		dBc	Push-push feed through
Second Harmonic			-38		dBc	
Third Harmonic			-12		dBc	
VCO Supply Pushing ( $\text{VDD1}$ ) <sup>1</sup>			67		MHz/V	RFOUT (VT = 1.65V)
VCO Supply Pushing ( $\text{VCOVCC}$ ) <sup>1</sup>			1.0		MHz/V	RFOUT (VT = 1.65V)
VCO Load Pulling (2.0:1) <sup>2</sup>			1.0		MHz p-p	RFOUT (VT = 1.65V)
VCO Frequency Drift			0.54		MHz/ $^{\circ}\text{C}$	RFOUT (VT = 1.65V), operating at 7.3GHz
REFERENCE INPUT CHARACTERISTICS						
XREFP Input Frequency	$f_{\text{REF}}$	10	50	350	MHz	Refer to the <a href="#">Reference Input</a> section
XREFP Input Level		0.4		3.5	V p-p	Refer to the <a href="#">Reference Input</a> section
XREFP Input Capacitance			6.9		pF	
14-Bit R Divider Range	$R_{\text{DIV}}$	1		16,383		All integers included
Input Current			150		$\mu\text{A}$	

## 仕様

表 1. 仕様 (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
PHASE DETECTOR						
Input Frequency	$f_{\text{PFD}}$					
Fractional Mode <sup>3</sup>				100	MHz	
Integer Mode				100	MHz	
CHARGE PUMP						
Output Current	$I_{\text{CP}}$		0.2 to 3.2		mA	Set by the CP_I bit fields, see Table 50
Charge Pump Gain Step Size			200		$\mu\text{A}$	
LOGIC INPUTS (CSB, SCK, AND SDIO)						
Input High Voltage	$V_{\text{INH}}$	1.2			V	
Input Low Voltage	$V_{\text{INL}}$			0.6	V	
Input Current	$I_{\text{IH}}/I_{\text{IL}}$			$\pm 1$	$\mu\text{A}$	
Input Capacitance	$C_{\text{IN}}$		2		pF	
LOGIC INPUT (CE)						
Input High Voltage	$V_{\text{INH-3V}}$	1.8			V	
Input Low Voltage	$V_{\text{INL-3V}}$			0.8	V	
Input Current	$I_{\text{IH-3V}}/I_{\text{IL-3V}}$			$\pm 1$	$\mu\text{A}$	
Input Capacitance	$C_{\text{IN-3V}}$		1		pF	
LOGIC OUTPUT (SDO AND SDIO)						
Output High Voltage (1.8V Mode)	$V_{\text{OH}}$	1.5	1.8		V	Output high current ( $I_{\text{OH}}$ ) = 500 $\mu\text{A}$ , 1.8V output selected (default setting)
Output High Voltage (3.3V Mode)	$V_{\text{OH-3V}}$	$V_{3.3\text{V}} - 0.4$			V	$I_{\text{OH}} = 500\mu\text{A}$ , 3.3V output selected, set by the voltage on the DVDD pin
Output Low Voltage	$V_{\text{OL}}$			0.4	V	Output low current ( $I_{\text{OL}}$ ) = 500 $\mu\text{A}$
SDO High-Z Leakage	$I_{\text{ZH}}/I_{\text{ZL}}$			$\pm 1$	$\mu\text{A}$	
POWER SUPPLY VOLTAGES						
3.3 V Supplies		3.15	3.3	3.45	V	AVDD, VCCHF, VCCPS, VCCPD, RVDD, DVDD, VPPCP, VDDL5, VDD1, VDD2, and VDD3
5.0 V Supplies		4.75	5.0	5.25	V	VCOVCC
POWER DISSIPATION						
Typical Power Dissipation	$P_{\text{DIS}}$		1		W	$f_{\text{REF}} = f_{\text{PFD}} = 100\text{MHz}$ , R_DIV = 1, $I_{\text{CP}} = 3.2\text{mA}$ , RFOUT_PWR = 3, DIV_PWR = 3, RFOUT_DIV = divide by 128
POWER SUPPLY CURRENTS						
AVDD			1		$\mu\text{A}$	$f_{\text{REF}} = f_{\text{PFD}} = 100\text{MHz}$ , R_DIV = 1, $I_{\text{CP}} = 3.2\text{mA}$ , RFOUT_PWR = 3, DIV_PWR = 0
RVDD			3		mA	3.3V
VCCHF			<1		$\mu\text{A}$	3.3V
VCCPS			27		mA	3.3V
VCCPD			4		mA	3.3V
DVDD			3		mA	3.3V
VPPCP and VDDL5			3		mA	3.3V, grouped supply current for VPPCP and VDDL5
VDD1			6		mA	3.3V
VDD2			1		mA	3.3V

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
VDD3			58		mA	Divide by 1
			71		mA	Divide by 2
			77		mA	Divide by 4
			81		mA	Divide by 8
			86		mA	Divide by 16
			88		mA	Divide by 32
			90		mA	Divide by 64
			92		mA	Divide by 128
VCOVCC			92		mA	5.0V
Power-Down PLL <sup>4</sup>			2.3		μA	Power down via the SPI and the PD_RDIV, PD_NDIV, PD_LD, PD_PFDNCLK, and PD_PFDNCLK bits, see <a href="#">Table 56</a> and <a href="#">Table 57</a>
VCOVCC <sup>5</sup>			13		mA	Power down via the SPI and the PD_VCO and PD_ADC bits, see <a href="#">Table 56</a>
Divider <sup>5</sup>			202		μA	Power down via the SPI and the PD_ODIV bit, see <a href="#">Table 57</a>
VCO OPEN-LOOP PHASE NOISE RFOUT at 7.3GHz						
10kHz Offset			-92		dBc/Hz	
100kHz Offset			-115		dBc/Hz	
1MHz Offset			-135		dBc/Hz	
10MHz Offset			-155		dBc/Hz	
100MHz Offset			-168		dBc/Hz	
PLL						
Integer Boundary Spurs			-55		dBc	LOCKED bit = 1, $f_{REF} = f_{PFD} = 100\text{MHz}$ , $R_{DIV} = 1$ , see <a href="#">Figure 29</a>
Phase Frequency Detector (PFD) Spurs			-105		dBc	LOCKED bit = 1, $f_{REF} = 200\text{MHz}$ , $f_{PFD} = 100\text{MHz}$ , $R_{DIV} = 2$ , see <a href="#">Figure 30</a>
Reference Spurs			-100		dBc	LOCKED bit = 1, $f_{REF} = f_{PFD} = 100\text{MHz}$ , $R_{DIV} = 1$ , see <a href="#">Figure 31</a>
Normalized Inband Phase Noise Floor Figure of Merit (FOM)	$L_{NORM}$					Normalized to 1Hz
Floor Integer Mode	$L_{NORM\_INT}$		-232		dBc/Hz	
Floor Fractional Mode	$L_{NORM\_FRAC}$		-229		dBc/Hz	
Normalized 1/f Phase Noise Floor (Integer and Fractional Mode)	$L_{1/f}$		-268		dBc/Hz	
Integrated RMS Jitter			<40		fs	Integration bandwidth from 1kHz to 100MHz
VCO CHARACTERISTICS						
Tuning Sensitivity (RFOUT)	$K_{VCO}$		95 to 125		MHz/V	7300MHz to 8500MHz
Tune Port Capacitance			155		pF	
Auto Calibration Time			100		μs	Refer to the <a href="#">Total Autocalibration Time</a> section
VCO OUTPUT DIVIDER						
VCO RF Divider Range		1		128		1, 2, 4, 6, 8, 16, 32, 64, or 128
VCO Supply Pushing (VCOVCC) <sup>1</sup>			0.7		MHz/V	PDIV_OUT and NDIV_OUT, divide by 1, $V_T = 1.65\text{V}$
VCO Supply Pushing (VDD1) <sup>5</sup>			67		MHz/V	PDIV_OUT and NDIV_OUT, divide by 1, $V_T = 1.65\text{V}$
Divided Reference Clock (DIV_RCLK) VCO Calibration Frequency				50	MHz	

## 仕様

表 1. 仕様（続き）

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
TEMPERATURE SENSOR ADC Clock Frequency			400		kHz	
RETURN LOSS RFOUT			5		dB	
PDIV_OUT (N > 1)			14		dB	
NDIV_OUT (N > 1)			14		dB	

<sup>1</sup> 「Pushing」は、電源電圧の変化に起因する VCO 周波数の変化です。他の分周比での値を求めるには、公称値を分周比で割ります。

<sup>2</sup> 「Pulling」は、負荷インピーダンスの変化に起因する VCO 周波数の変化です。

<sup>3</sup> この最大位相検出器周波数は、N の値が最小であるときに得られます。例えば、フラクショナル・モードの場合、最大位相検出器周波数は、 $f_{vco}/20$  または 100MHz のいずれか小さい方です。

<sup>4</sup> リファレンスの接続なし。

<sup>5</sup> 一部回路は動作を継続。

仕様

SPI タイミング特性

特に指定のない限り、AVDD = DVDD = 3.3V ± 5%、VCOVCC = 5V ± 5%、すべての電圧は GND 基準、TA = TMIN ~ TMAX、EPAD = 0V。

表 2. SPI タイミング特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SERIAL INTERFACE (CSB, SCK, SDIO, AND SDO)						
SCK Frequency	f <sub>SCK</sub>			65	MHz	See Figure 2, Figure 3, and Figure 4 f <sub>SCK</sub> = 1/t <sub>SCK</sub>
SCK Pulse Width High	t <sub>HIGH</sub>	7.6			ns	
SCK Pulse Width Low	t <sub>LOW</sub>	7.6			ns	
SDIO Setup Time	t <sub>DS</sub>	3			ns	
SDIO Hold Time	t <sub>DH</sub>	3			ns	
SCK Fall Edge to SDIO Valid Prop Delay	t <sub>ACCESS_SDIO</sub>	7.6			ns	
SCK Fall Edge to SDO Valid Prop Delay	t <sub>ACCESS_SDO</sub>	7.6			ns	
CSB Rising Edge to SDIO High-Z	t <sub>Z</sub>	7.6			ns	
CSB Falling Edge to SCLK Rise Setup Time	t <sub>S</sub>	3			ns	
SCK Rising Edge to CSB Rise Hold Time	t <sub>H</sub>	3			ns	

SPI のタイミング図

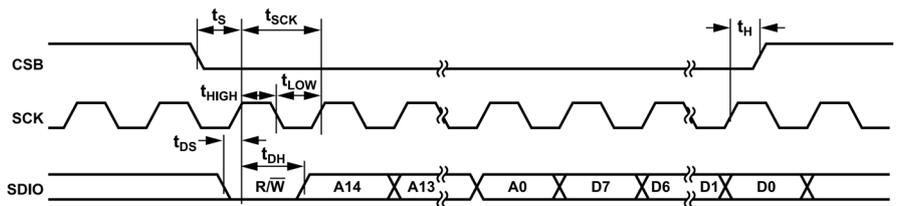


図 2. 書込みのタイミング図

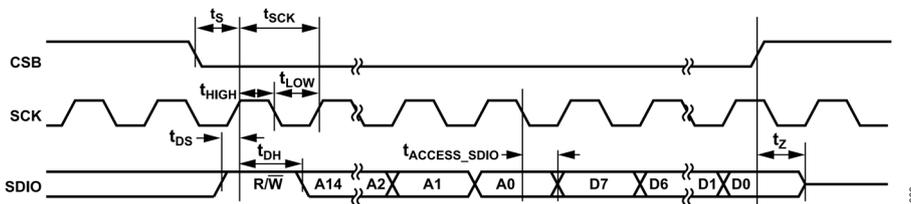


図 3. 3 線式読出しのタイミング図 (SDO\_ACTIVE = 0)

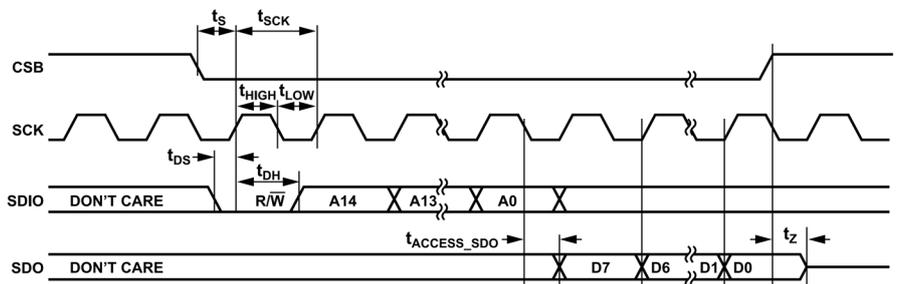


図 4. 4 線式読出しのタイミング図 (SDO\_ACTIVE = 1)

## 絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
V <sub>3.3V</sub> (AVDD, RVDD, VCCHF, VCCPS, VCCPD, DVDD, VPPCP, VDDL, VDD1, VDD2, and VDD3) to GND	-0.3V to +3.6V
VCOVCC	-0.3V to +5.5V
XREFP	-0.3V to AVDD + 0.3V
Voltage on All Other Pins	-0.3V to V <sub>3.3V</sub> + 0.3V
Digital Outputs (SDO and SDIO)	5mA
Temperature	
Operating Range	-40°C to +105°C
Storage Range	-55°C to +150°C
Maximum Junction	150°C
Reflow Soldering	
Peak	260°C
Time at Peak	30sec

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

$\theta_{JA}$  は最も厳しい条件で仕様規定されています。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で仕様規定されています。 $\theta_{JC-TOP}$  と  $\theta_{JC-BOTTOM}$  は、ジャンクションとケースの上面および下面の間の熱抵抗です。

表 4. 熱抵抗

Package Type <sup>1</sup>	$\theta_{JA}$	$\theta_{JC-TOP}$	$\theta_{JC-BOTTOM}$	Unit
CC-48-14	27.17	13.32	6.67	°C/W

<sup>1</sup> 熱抵抗のシミュレーション値は、熱抵抗パドルをグランド・プレーンにハンダ付けした 4 層 PCB を使用して測定しています。

## トランジスタ数

ADF5612 のトランジスタ数は、2,300 (バイポーラ) および 140,270 (相補型金属酸化膜半導体 (CMOS)) です。

## 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠のデバイス放電モデル (CDM)。

## ADF5612 の ESD 定格

表 5. ADF5612、48 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM	1500	1C
CDM	1000	C3

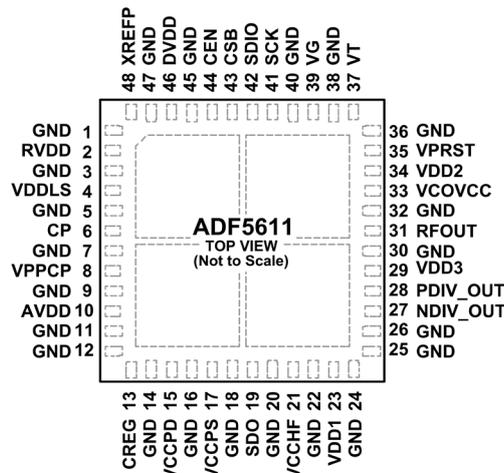
## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. THE EXPOSED PAD OR GROUND PADDLE ON THE BACKSIDE OF THE PACKAGE MUST BE TIED TO DC GROUND FOR ELECTRICAL, MECHANICAL, AND THERMAL REASONS. NOTE THAT RF GROUND AND DC GROUND ARE THE SAME IN THIS CASE.

005

図 5. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 3, 5, 7, 9, 11, 12, 14, 16, 18, 20, 22, 24 to 26, 30, 32, 36, 38, 40, 45, 47	GND	負側電源（グラウンド）。GND ピンはグラウンド・パッドに直接接続します。
2	RVDD	リファレンス回路用の 3.3V ± 5% 正側電源。RVDD ピンは 3.3V 電源グループ内の他のピンに短絡します。
4	VDDLs	チャージ・ポンプ・デジタル部用の代表値 3.3V ± 5% の電源。VDDLs は VPPCP と等しいことが必要です。
6	CP	チャージ・ポンプ出力。イネーブル時には、この出力から外付けのループ・フィルタに向けて大きさが (±I <sub>CP</sub> ) の正方向と負方向の出力電流が流れます。ループ・フィルタの出力は VT ピンに接続され、内部 VCO を駆動します。ループ・フィルタの経路が電氣的に長ければ、ローパス・ループ・フィルタの最初の極を CP ピンの近くに配置します。
8	VPPCP	チャージ・ポンプ用の代表値 3.3V ± 5% の電源。VPPCP は VDDLs と等しいことが必要です。
10	AVDD	3.3V ± 5% のアナログ電源。AVDD は DVDD と等しいことが必要です。
13	CREG	オンチップ・レギュレータの出力。220nF の外付けバイパス・デカップリング・コンデンサを接続します。
15	VCCPD	3.3V ± 5% の位相検出器電源。
17	VCCPS	3.3V ± 5% のプリスケアラ電源。
19	SDO	シリアル・データ出力。内蔵マルチプレクサを介して多様な機能を使用できます。3 線式モード（デフォルト・モード）の場合、このスリーステート CMOS ピンは高インピーダンス状態を維持します。4 線式リードバック・モードの場合、SDO ピンは読み出し通信バーストの間に SPI からのデータを出力します。CSB がデアサートされると、SDO は高インピーダンスに戻ります。オプションで、1kΩ より高い値の抵抗を接続して、出力がフロート状態にならないようにできます。詳細については MUXOUT のセクションを参照してください。
21	VCCHF	PLL RF 部用の 3.3V ± 5% 電源。デカップリング・コンデンサをこのピンのできるだけ近くに配置します。
23	VDD1	VCO デジタル・ロジック用の 3.3V ± 5% バイアス。
27	NDIV_OUT	差動周波数分周器の相補出力。N = 1, 2, 4, 8, 16, 32, 64, 128 のいずれか。DC ブロックが必要で、広帯域の 100nF コンデンサを推奨します。起動時にはピンはディスエーブルされています。
28	PDIV_OUT	差動周波数分周器の主出力。N = 1, 2, 4, 8, 16, 32, 64, 128 のいずれか。DC ブロックが必要で、広帯域の 100nF コンデンサを推奨します。起動時にはピンはディスエーブルされています。
29	VDD3	3.3V ± 5% の差動出力分周器の電源。
31	RFOUT	RF 出力 (7300MHz ~ 8500MHz)。RFOUT には内蔵の DC ブロックがあり、100nF のコンデンサを使用した外付けの DC ブロックも必要です。
33	VCOVCC	5.0V ± 5% の VCO 電源。
34	VDD2	3.3V ± 5% の VCO キャリブレーション DAC 電源。
35	VPRST	温度に依存したキャリブレーション・プリセット。VPRST は 470nF のコンデンサでデカップリングします。
37	VT	VCO チューニング・ポート。ループ・フィルタの経路が電氣的に長ければ、ローパス・フィルタによる除去が行われたチャージ・ポンプ出力の最後の極をこのピンの近くに配置します。
39	VG	ゲート電圧バイパス。等価直列抵抗 (ESR) が低い 10μF のコンデンサで、VG と GND の間をデカップリングします。
41	SCK	シリアル・ポート・クロック。この CMOS 入力、立上がりエッジでシリアル・ポート入力データをクロック同期します。

## ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	説明
42	SDIO	シリアル・データ入出力。CMOS 入出力。入力に設定された場合、SPI はデータにこの CMOS 入力を使用します。3 線式モード（デフォルト・モード）の場合、読み出し通信バーストの間に SPI からデータを SDIO ピンから出力します。
43	CSB	シリアル・ポート・チップ・セレクト。この CMOS 入力は、ローに駆動されると SPI 通信のバーストを開始し、再度ハイに駆動されるとバーストを終了します。
44	CEN	チップ・イネーブル。この CMOS 入力がハイに駆動されるとデバイスをイネーブルします。ロジック・ローになるとデバイスをディスエーブルし、デバイスは完全なパワーダウン状態になり、レジスタがリセットされます。
46	DVDD	3.3V ± 5% デジタル電源。PLL をパワーダウンするときにバイアスを維持すると、PLL レジスタの内容を保持します。
48	XREFP	外部リファレンス入力。50Ω マッチングの場合には、XREFP ピンに低リアクタンスのコンデンサで AC 結合し、グラウンドとの間に 50Ω の抵抗を追加します。
	EPAD	露出パッド。電氣的、機械的、熱的観点から、パッケージ裏面の露出パッドあるいはグラウンド・パドルは、DC グラウンドに接続します。この場合は、RF グラウンドと DC グラウンドは同一です。

代表的な性能特性

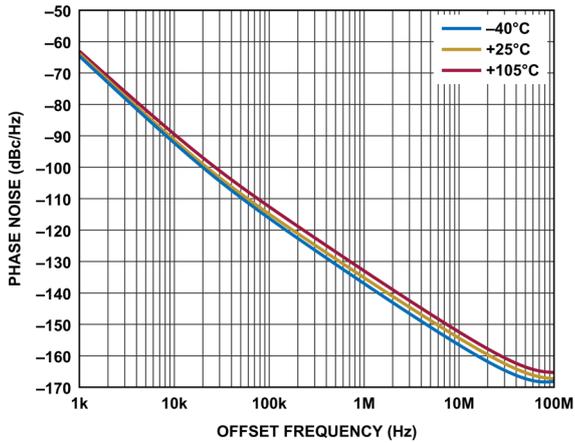


図 6. 様々な温度での 8GHz RFOUT のオープンループ VCO 位相ノイズとオフセット周波数の関係

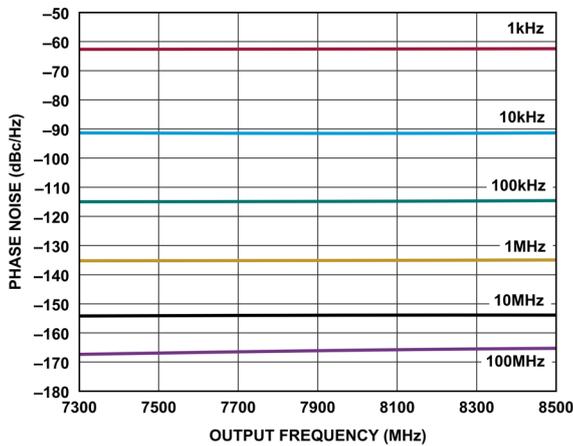


図 7. 様々なオフセット周波数でのオープンループ VCO 位相ノイズと出力周波数の関係

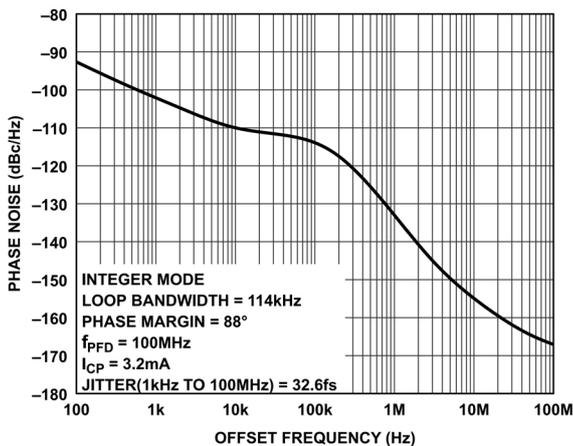


図 8. 8GHz RFOUT のクロズドループ位相ノイズとオフセット周波数の関係

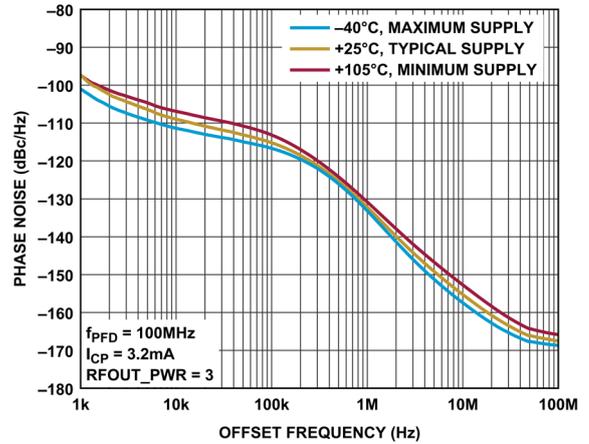


図 9. 様々な温度と電源での 7.3GHz RFOUT のクロズドループ位相ノイズと出力周波数の関係

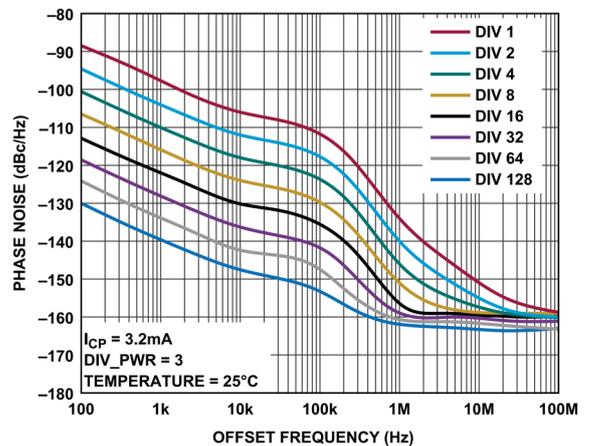


図 10. 7.3GHz の基本周波数と様々な出力分周設定でのクロズドループ位相ノイズとオフセット周波数の関係

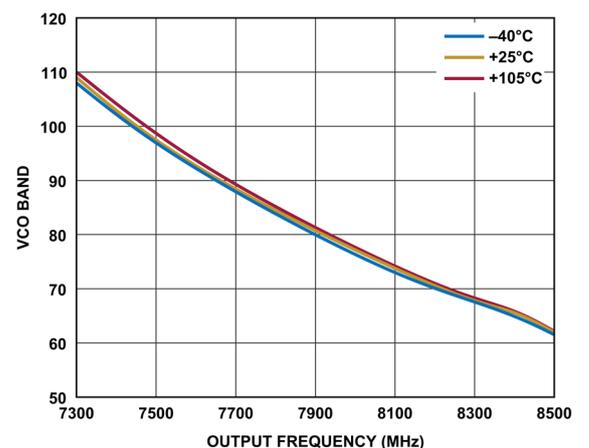


図 11. 様々な温度での VCO 帯域と出力周波数の関係、EN\_AUTOCAL イネーブル

代表的な性能特性

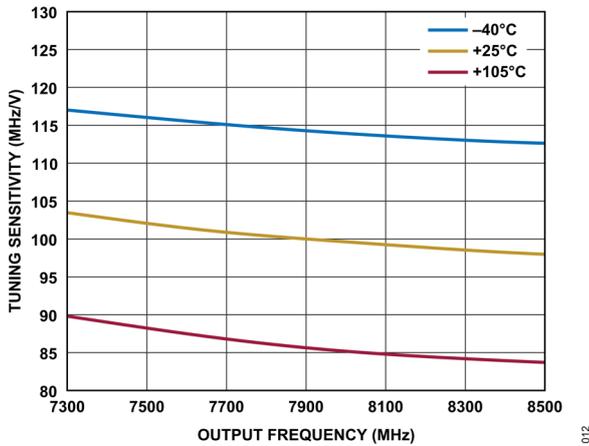


図 12. 様々な温度でのチューニング感度と出力周波数の関係

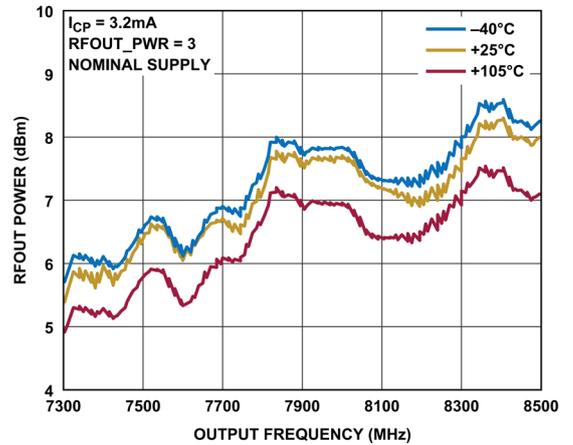


図 15. 様々な温度での RFOUT 電力と出力周波数の関係

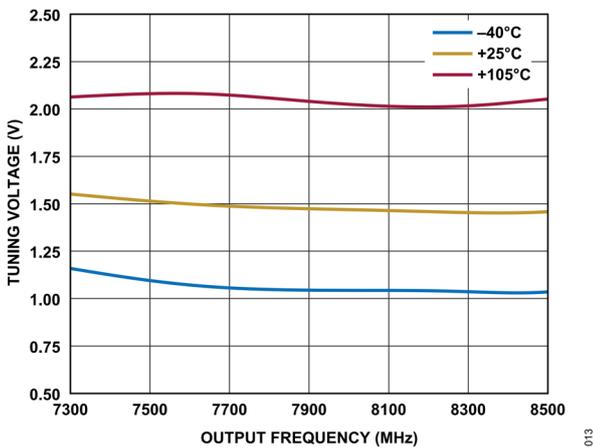


図 13. 様々な温度でのチューニング電圧とキャリブレーション後の出力周波数の関係

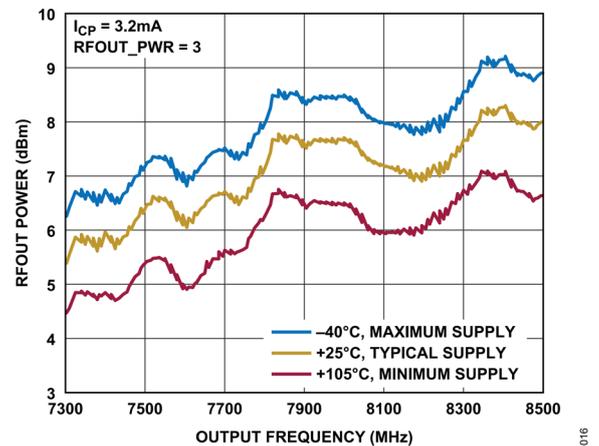


図 16. 様々な温度と電源での RFOUT 電力と出力周波数の関係

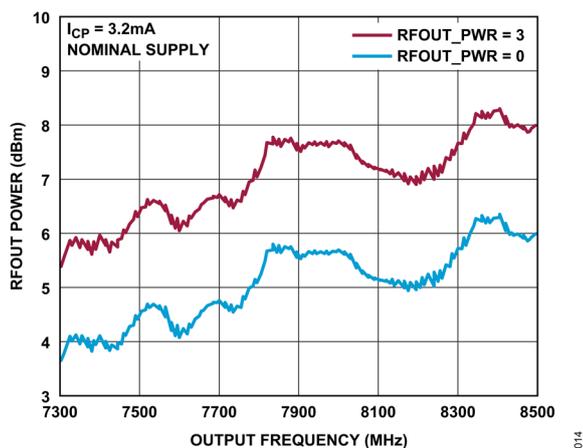


図 14. 異なる電源設定での RFOUT 電力と出力周波数の関係、25°C

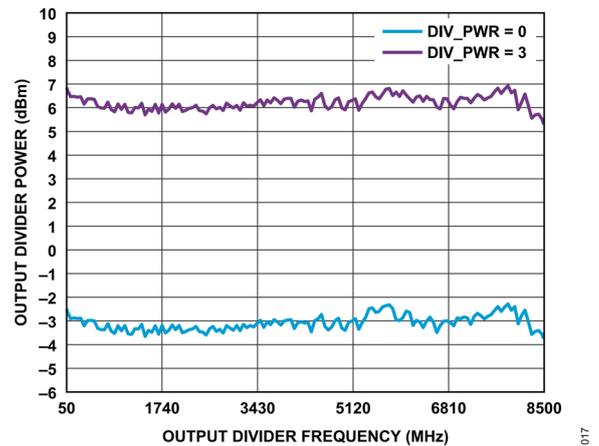


図 17. 異なる電源設定での差動出力分周電力と出力分周周波数の関係、25°C

代表的な性能特性

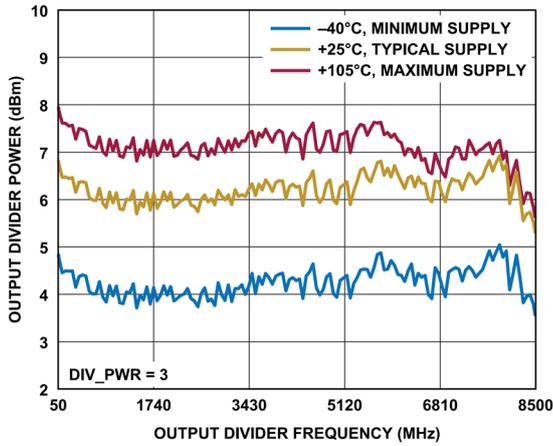


図 18. 様々な温度と電源での差動出力分周電力と出力分周周波数の関係

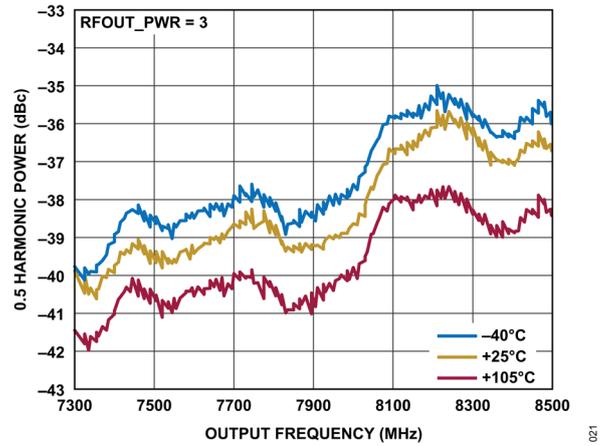


図 21. 様々な温度での 0.5 次高調波電力と出力周波数の関係

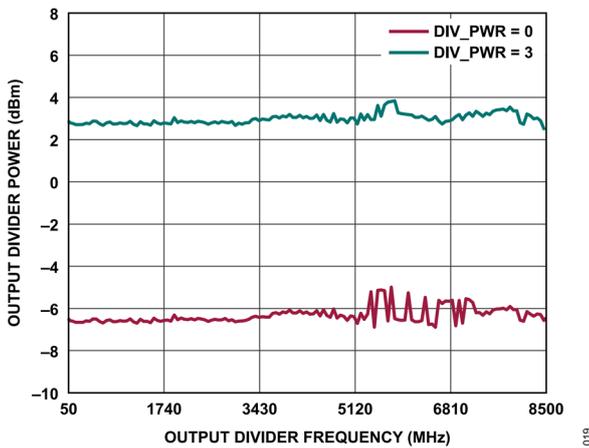


図 19. 異なる電源設定でのシングルエンド出力分周電力と出力分周周波数の関係、25°C

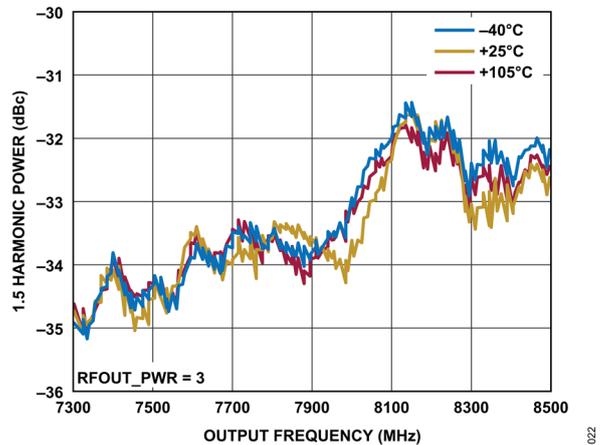


図 22. 様々な温度での 1.5 次高調波電力と出力周波数の関係

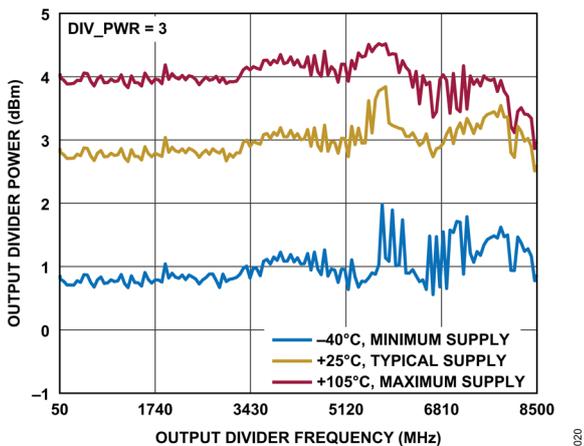


図 20. 様々な温度と電源でのシングルエンド出力分周電力と出力分周周波数の関係

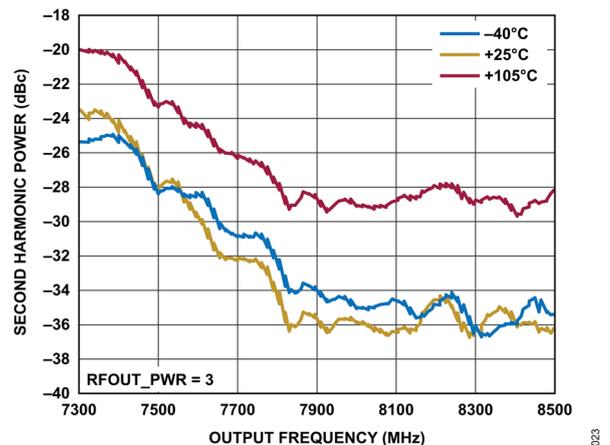


図 23. 様々な温度での 2 次高調波電力と出力周波数の関係

代表的な性能特性

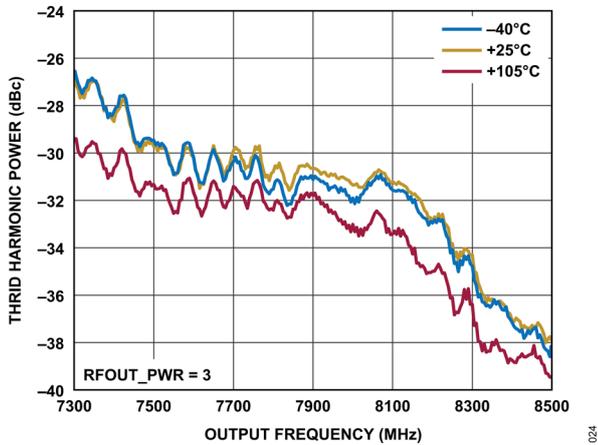


図 24. 様々な温度での 3 次高調波電力と出力周波数の関係

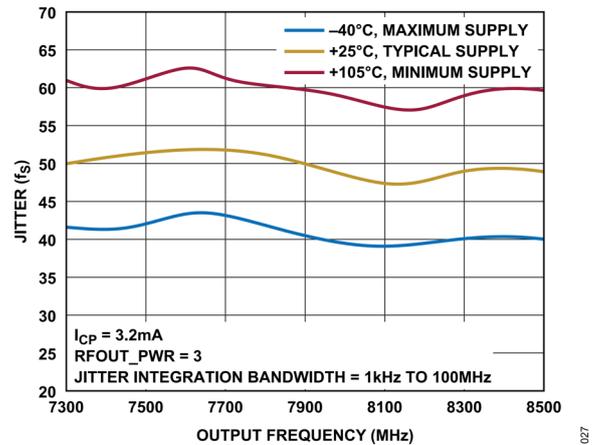


図 27. 様々な温度と電源でのジッタと出力周波数の関係、フラクショナル・モード

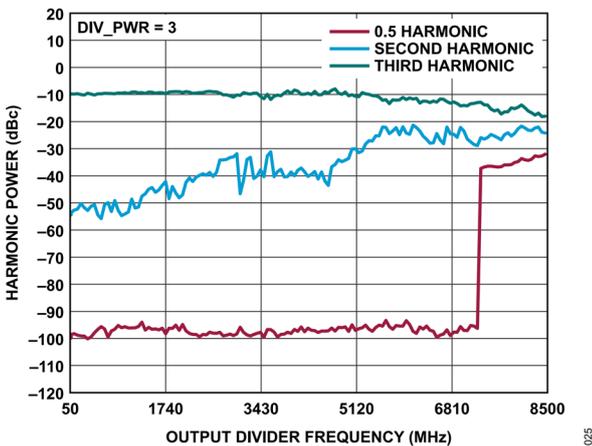


図 25. 高調波電力と出力分周周波数の関係、25°C

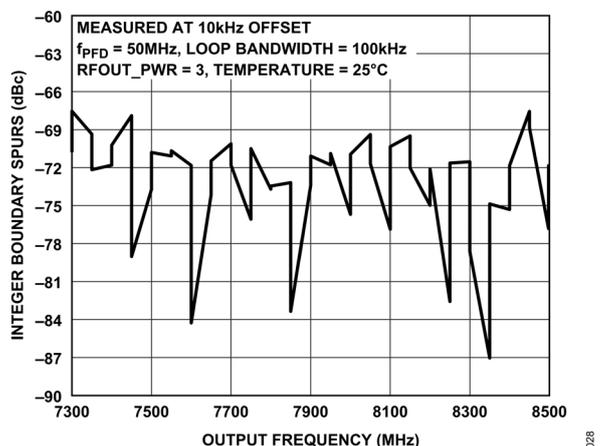


図 28. 10kHz オフセット時の整数境界スプリアスと出力周波数の関係

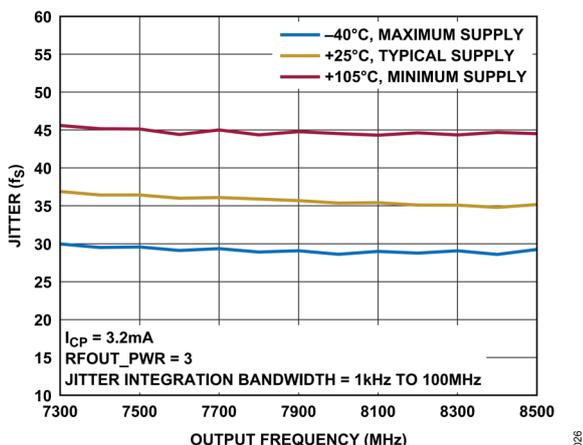


図 26. 様々な温度と電源でのジッタと出力周波数の関係、インテジャー・モード

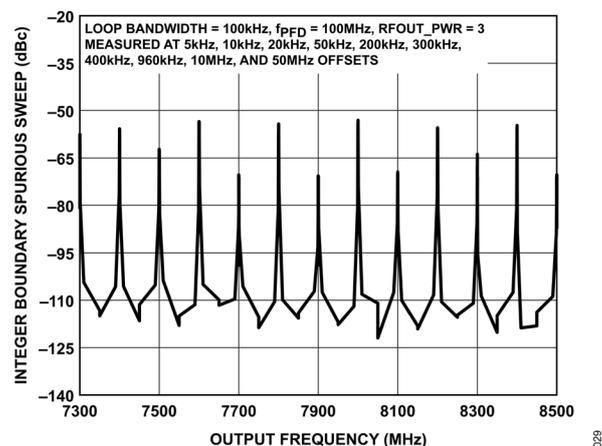


図 29. 最も厳しい条件の整数境界スプリアス・スイープと出力周波数の関係、25°C

代表的な性能特性

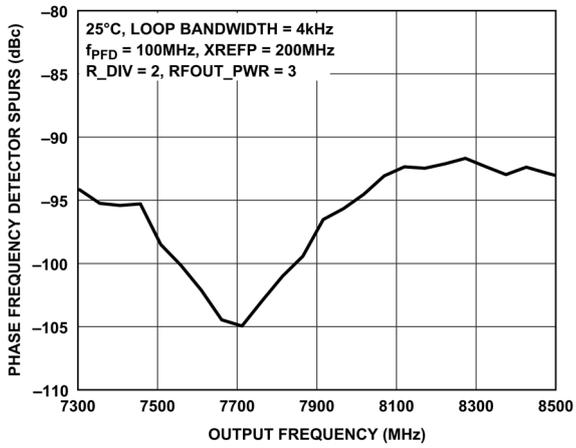


図 30. 位相周波数検出器スプリアスと出力周波数の関係

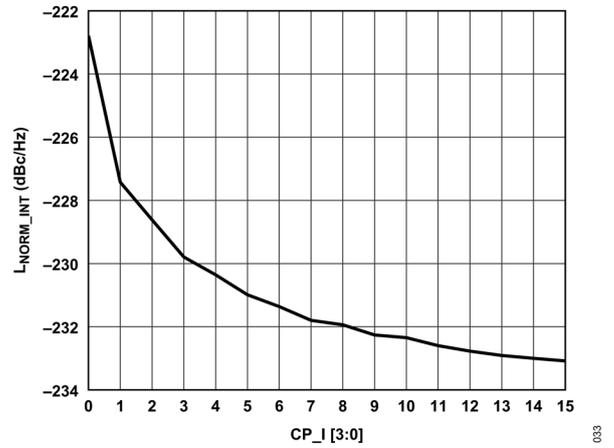


図 33. L<sub>NORM\_INT</sub>とCP\_I[3:0]設定の関係、25°C

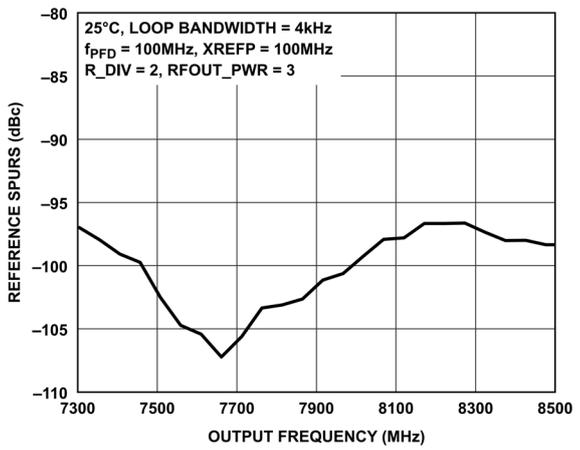


図 31. リファレンス・スプリアスと出力周波数の関係

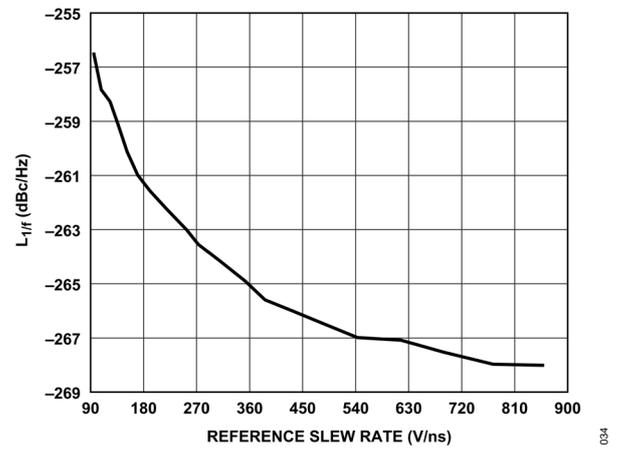


図 34. L<sub>1/f</sub>とリファレンス・スルー・レートの関係、25°C

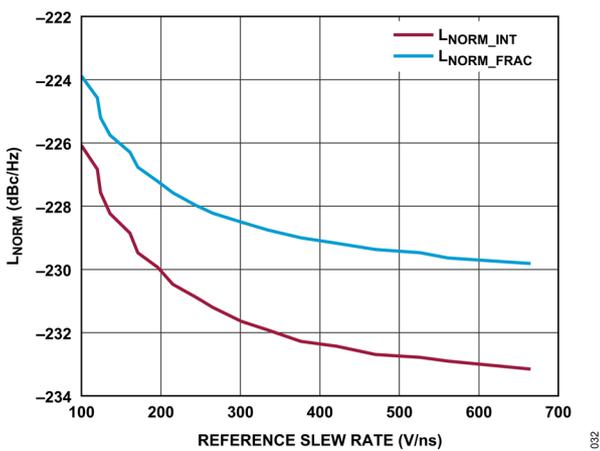


図 32. L<sub>NORM</sub>とリファレンス・スルー・レートの関係、25°C

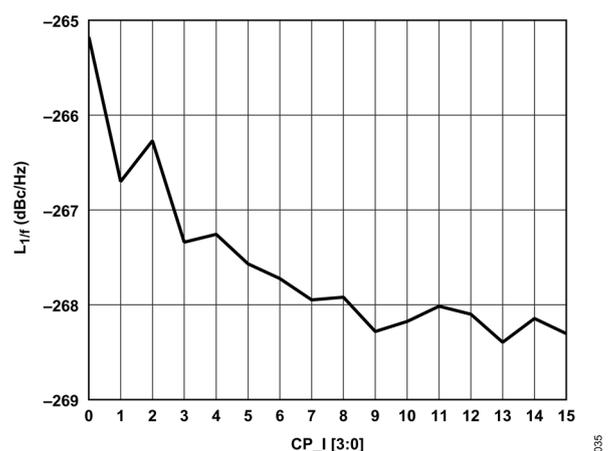


図 35. L<sub>1/f</sub>とCP\_I[3:0]設定の関係、25°C

代表的な性能特性

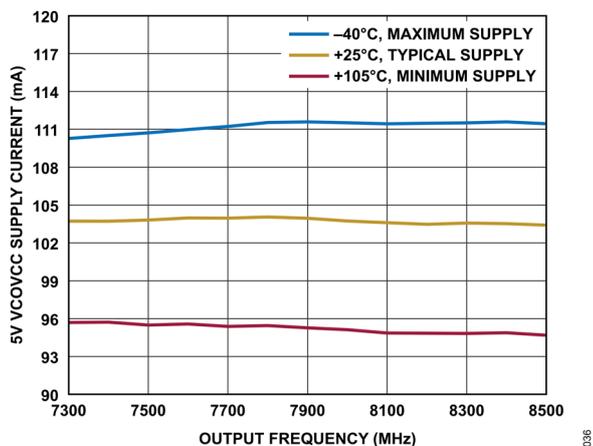


図 36. 様々な温度と電源での 5V VCOVCC 電源電流と出力周波数の関係

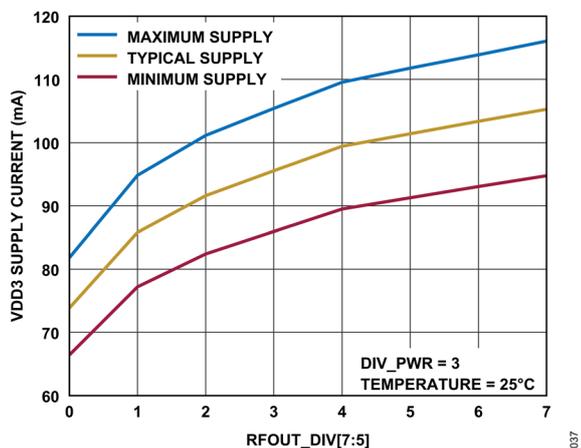


図 37. 様々な電源での 3V VDD3 電源電流と出力分周設定 (RFOUT\_DIV[7:5]) の関係

動作原理

はじめに

PLL は、概念的には周波数通倍器とみなせる、複合的な帰還システムです。このシステムは XREFP のリファレンス周波数入力を通倍し、より高い周波数を RFOUT (シングルエンド出力時) あるいは PDIV\_OUT または NDIV\_OUT (差動出力時) に出力します。PFD、チャージ・ポンプ、出力分周器、帰還分周器、VCO、外部ループ・フィルタが帰還ループを形成し、出力周波数を正確に制御します (図 38 参照)。インテグラー・モードでの動作時には、リファレンス分周器で周波数分解能が決まります。フラクショナル・モードでの動作時には、フラクショナル N 分周器で周波数分解能が決まります。

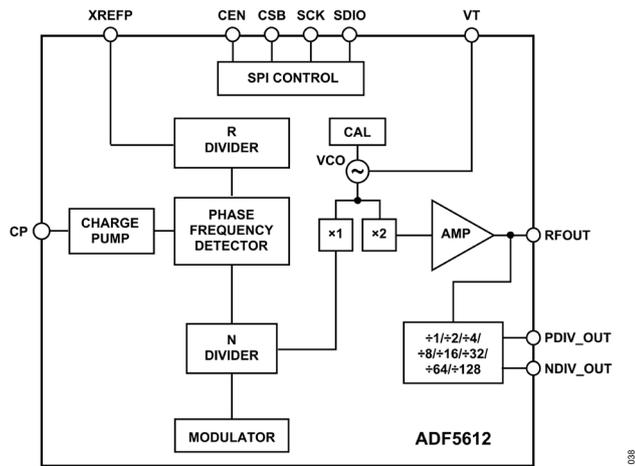


図 38. PLL ループの回路図

出力周波数

ループがロックしているとき、VCO の出力に現れる  $f_{VCO}$  (Hz) は、リファレンス周波数 ( $f_{REF}$ )、リファレンス分周係数 ( $R\_DIV$ )、N の値から、次式により決定します。

$$f_{VCO} = f_{PFD} \times N \tag{1}$$

ここで、フィードバック・カウンタ N は次式で得られます。

$$N = N_{INT} + \left( \frac{FRAC1WORD + \frac{FRAC2WORD}{MOD2WORD}}{MOD1WORD} \right) \tag{2}$$

ここで、

INT は 20 ビットの整数値。

FRAC1WORD は 1 次モジュラスの分子 (0~33554431)。

FRAC2WORD は 24 ビット補助モジュラスの分子 (0~16777215)。

MOD2WORD は、プログラマブルな 24 ビット補助フラクショナル・モジュラス (2~16777215)。

MOD1WORD は、 $2^{25} = 33554432$  の固定値を持つ 25 ビットの 1 次モジュラス。

$f_{PFD}$  は次式で表現されます。

$$f_{PFD} = \frac{f_{REF}}{R_{DIV}} \tag{3}$$

出力チャンネル RFOUT に現れる出力周波数 ( $f_{RFOUT}$ ) は、次式で得られます。

$$f_{RFOUT} = 2 \times f_{VCO} \tag{4}$$

一方、PDIV\_OUT と NDIV\_OUT に現れる差動出力周波数  $f_{DIVOUT}$  は、次式で表現されます。

$$f_{DIVOUT} = \frac{2 \times f_{VCO}}{2^{RFOUT\_DIV}} \tag{5}$$

RFOUT\_DIV はクロック出力分周比であり、1~128 の範囲で 2 の階乗の数列に従って RFOUT を分周します。RF 出力分周器のセクションを参照してください。

出力周波数の計算手順

以下に示すのは、出力周波数のセクションの式を使用したフラクショナル・モードでの  $f_{RFOUT}$  の計算例です。

$f_{RFOUT} = 7.954\text{GHz}$  でチャンネル間隔 ( $f_{CHSP}$ ) が 1Hz のとき、 $f_{REF} = f_{PFD} = 100\text{MHz}$  でリファレンス分周器が 1 分周 ( $R\_DIV = 1$ ) に設定されていれば、出力周波数は基本 VCO 周波数範囲 ( $f_{VCO}$ ) になります。

N 分周器の全成分の値を計算する手順を以下で概説します。

1. 与えられた  $f_{RFOUT}$  と  $f_{PFD}$  から次式のように必要な全体の N 値を計算します。

$$N = \frac{f_{RFOUT}}{2 \times f_{PFD}} \tag{6}$$

$$N = \frac{7.954\text{GHz}}{2 \times 100\text{MHz}} = 39.77 \tag{7}$$

2.  $N_{INT}$  と  $N_{FRAC}$  の成分を次のように分離します。

$$N_{INT} = \text{INT}(N) = 39 \tag{8}$$

$$N_{FRAC} = N - N_{INT} = 0.77 \tag{9}$$

3. FRAC1WORD を次式で計算します。

$$N_{FRAC1WORD} = N_{FRAC} \times MOD1WORD \tag{10}$$

ここで MOD1WORD は  $2^{25} = 33554432$  の固定値です。

$$N_{FRAC1WORD} = 0.77 \times 33554432 = 25836912.64 \tag{11}$$

$$\begin{aligned} \text{FRAC1WORD} &= \\ \text{INT}(N_{FRAC1WORD}) &= 25836912 \end{aligned} \tag{12}$$

動作原理

FRAC2WORD と MOD2WORD は、N<sub>FRAC1WORD</sub> が整数値でないときにのみ必要です。N<sub>FRAC1WORD</sub> が整数であれば、この先の計算は不要です。その場合は、VAR\_MOD\_EN を 0 に設定して FRAC2WORD と MOD2WORD をディスエーブルします。

4. MOD2WORD を次式で計算します。

a. フラクショナル・ワードの残りの部分を決定します。

$$N_{\text{REMAINDER}} = N_{\text{FRAC1WORD}} - \text{FRAC1WORD} \quad (13)$$

$$N_{\text{REMAINDER}} = 25836912.64 - 25836912 = 0.64 \quad (14)$$

b. f<sub>PPD</sub> と MOD1WORD × f<sub>CHSP</sub> の最大公約数 (GCD) を求めます。

$$\text{GCD}(\text{MOD1WORD} \times f_{\text{CHSP}}, f_{\text{PPD}}) \quad (15)$$

$$\text{GCD}(2^{25} \times 1, 100\text{MHz}) = 256 \quad (16)$$

c. 初期の MOD2WORD を次式で計算します。

$$\text{MOD2WORD}_{\text{INITIAL}} = \frac{f_{\text{PPD}}}{\text{GCD}(\text{MOD1WORD} \times f_{\text{CHSP}}, f_{\text{PPD}})} \quad (17)$$

$$\text{MOD2WORD}_{\text{INITIAL}} = \frac{100\text{MHz}}{256} = 390625 \quad (18)$$

d. 最終の MOD2WORD を計算します。

周波数分解能を最大化するため、MOD2WORD の最終値は、次式のように、初期 MOD2WORD の整数倍で、MOD2WORD<sub>MAX</sub> 以内の最大の数として計算します。

$$\text{MOD2WORD} = \text{INT}\left(\frac{\text{MOD2WORD}_{\text{MAX}}}{\text{MOD2WORD}_{\text{INITIAL}}}\right) \times \text{MOD2WORD}_{\text{INITIAL}} \quad (19)$$

ここで MOD2WORD<sub>MAX</sub> は 2<sup>24</sup> - 1 = 16777215 の固定値です。

$$\text{MOD2WORD} = \text{INT}\left(\frac{16777215}{390625}\right) \times 390625 \quad (20)$$

$$\text{MOD2WORD} = 42 \times 390625 = 16406250 \quad (21)$$

5. FRAC2WORD を次式で計算します。

$$\text{FRAC2WORD} = \text{INT}(N_{\text{REMAINDER}} \times \text{MOD2WORD}) \quad (22)$$

$$\text{FRAC2WORD} = \text{INT}(0.64 \times 16406250) \quad (23)$$

$$\text{FRAC2WORD} = 10500000 \quad (24)$$

6. 元の式を使用して総合 N 値を次式のように計算します。

$$N = N_{\text{INT}} + \frac{\text{FRAC1WORD} + \frac{\text{FRAC2WORD}}{\text{MOD2WORD}}}{\text{MOD1WORD}} \quad (25)$$

$$N = 39 + \frac{25836912 + \frac{10500000}{16406250}}{33554432} = 39.77 \quad (26)$$

7. f<sub>RFOUT</sub> 周波数を次式で計算します。

$$f_{\text{VCO}} = f_{\text{PPD}} \times N \quad (27)$$

$$f_{\text{RFOUT}} = 2 \times f_{\text{VCO}} \quad (28)$$

$$f_{\text{RFOUT}} = 2 \times (f_{\text{PPD}} \times N) \quad (29)$$

$$f_{\text{RFOUT}} = 2 \times (100\text{MHz} \times 39.77) = 7.954\text{GHz} \quad (30)$$

回路の説明

RF 出力分周器

RFOUT\_DIV (レジスタ 0x022、ビット[7:5]) は 3 ビットの分周比設定であり、出力バッファの周波数の分周に使用します。分周比は 1、2、4、8、16、32、64、128 から設定できて、57MHz ~ 8500MHz の範囲の周波数が得られます。分周出力電力は、DIV\_PWR ビット (レジスタ 0x022、ビット[2:0]) で設定できます。RFOUT\_DIV と出力分周チャンネルの NDIV\_OUT と PDIV\_OUT は、使用しないときには PD\_ODIV ビット (レジスタ 0x028、ビット 1) でディスエーブルできます。

RF 出力分周チャンネルの NDIV\_OUT と PDIV\_OUT は、図 39 と図 40 に示すように、100Ω の差動抵抗で終端して AC カップリングまたは DC カップリングします。シングルエンド出力が必要な場合は、それぞれの出力側を個別に AC カップリングして 50Ω で終端する必要があります (図 41 参照)。AC カップリングのアプリケーションでは、図 42 に示すように、RFOUT、PDIV\_OUT、NDIV\_OUT のそれぞれのピンに 0.1μF のコンデンサを接続します。

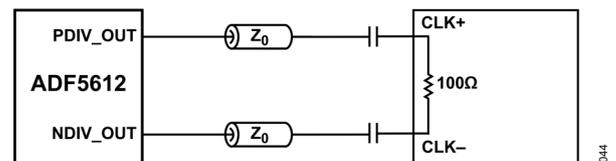


図 39. 一般的なクロック・インターフェース：終端付き差動クロック (Z<sub>0</sub> = 50Ω)、AC カップリング

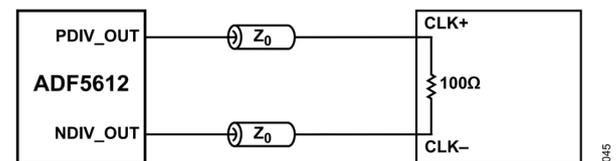


図 40. 一般的なクロック・インターフェース：終端付き差動クロック (Z<sub>0</sub> = 50Ω)、DC カップリング

動作原理

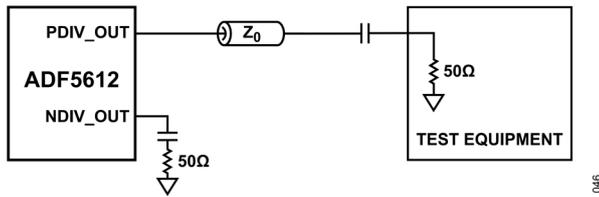


図 41. 一般的なクロック・インターフェース：  
終端付きシングルエンド・クロック ( $Z_0 = 50\Omega$ )

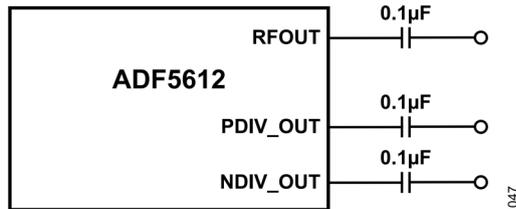


図 42. 出力インターフェース回路図

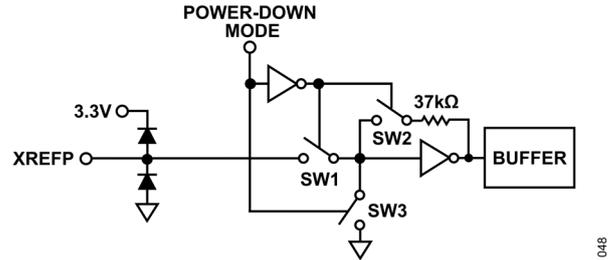
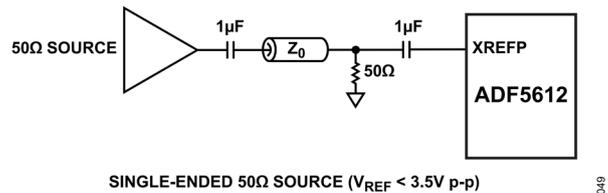


図 43. リファレンス入力段



SINGLE-ENDED 50Ω SOURCE ( $V_{REF} < 3.5V$  p-p)

図 44. リファレンス入力ソース

帰還分周器 (N)

帰還分周器により PLL 帰還パスの分周比を設定できます。分周比は、20 ビットの  $N\_INT$  (レジスタ 0x010~レジスタ 0x012)、25 ビットの  $FRAC1WORD$  (レジスタ 0x012~レジスタ 0x015)、24 ビットの  $FRAC2WORD$  (レジスタ 0x017~レジスタ 0x019)、24 ビットの  $MOD2WORD$  (レジスタ 0x01A~レジスタ 0x01C) の各ビット・フィールドで構成され、分周器が固定値のモジュラス  $MOD1WORD$  ( $2^{25}$ ) と組み合わせて使用します。

リファレンス入力

PLL のリファレンス信号は XREFP から入力され、この入力はシングルエンド入力として動作します。この高インピーダンス入力には自己バイアスがあり、ACカップリングが必要です (図 43 に示すリファレンス入力段の簡略回路図を参照してください)。XREFP のリファレンス信号入力は、 $PD\_RDIV$  ビット (レジスタ 0x027、ビット 6) を 0 に設定すると有効になります。この場合、SW1 と SW2 を閉じ、SW3 をオープンにします。

入力リファレンス信号のスルー・レートは性能に大きく影響します。このデバイスは  $0.4V$  p-p という低い振幅の信号でも機能します。しかし、ADF5612 の性能と、帯域内位相ノイズ性能を最適にするため、スルー・レートが  $500V/\mu s$  以上の連続したサイン波信号または方形波信号を印加してください。正弦波でこのスルー・レートを実現するには大きな振幅が必要であり、低周波数では不可能なことがあります。10MHz の周波数入力には方形波が必要です。最高の性能を実現するには、リファレンス入力信号としてスルー・レートの高い高品質の方形波信号を推奨します。リファレンス入力信号の要件とインターフェースについては、図 44 を参照してください。

リファレンス分周器

リファレンス・パスの R 分周器  $R\_DIV$  (それぞれレジスタ 0x01F、ビット [7:0] とレジスタ 0x20、ビット [5:0]) は、14 ビット・カウンタに基づいています。この分周器は PFD に現れる周波数を低減するために使用し、その分周比 (R) は  $1 \sim 16,383$  (両端含む) の整数に設定できます。 $R\_DIV$  ビットを使用して、R 分周比を直接設定します。

位相および周波数検出器 (PFD)

PFD は、チャージ・ポンプと共に機能して、リファレンス分周器またはリファレンス・ダブラの出力と帰還分周器の出力の位相差に比例した、ソース電流パルスおよびシンク電流パルスを生成します。この動作により、ループを位相ロックするのに必要なソース・パルスとシンク・パルスが生成され、PFD の入力での位相アライメントが得られます。PFD には、アンチバックラッシュ・パルスの幅を設定する固定の遅延要素が含まれています。このパルスは、PFD 伝達関数内での不感帯の発生を確実に防止し、リファレンス・スプリアス・レベルを一定にします。VCO が正の調整勾配であるため、このデバイスでは位相検出器の極性を正に設定します。PFD 入力の詳細回路図については、図 45 を参照してください。

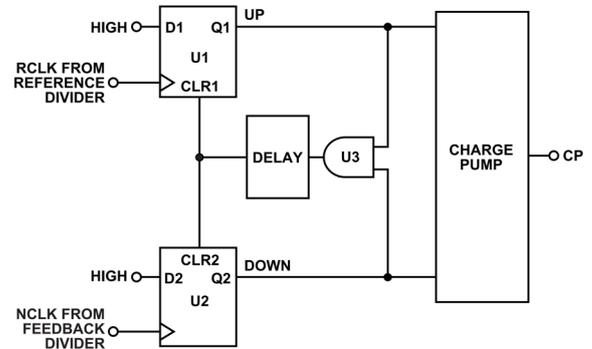


図 45. PFD の簡略化した回路図

動作原理

チャージ・ポンプ

チャージ・ポンプは、PFD によって制御され、シンク（ダウン）電流パルスまたはソース（アップ）電流パルスを CP ピンに発生させます。CP ピンは適切なループ・フィルタに接続する必要があります。チャージ・ポンプの簡略回路図については、図 46 を参照してください。

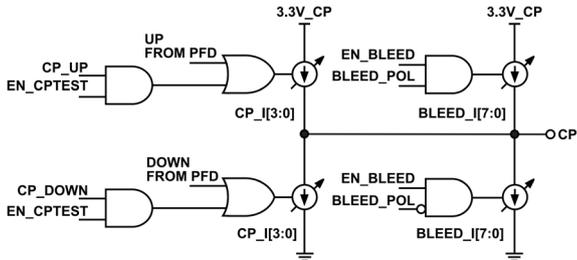


図 46. チャージ・ポンプの簡略化した回路図

出力電流の大きさ  $I_{CP}$  は CP\_I ビット（レジスタ 0x021、ビット [3:0]）を用いて 0.2mA~3.2mA の範囲で設定できます。 $I_{CP}$  を大きくすると、ループ・フィルタ部品が低インピーダンスであることから、帯域内ノイズが低減します。また  $I_{CP}$  を小さくすると、スプリアス性能が改善します。チャージ・ポンプのプログラム値については表 7 を参照してください。

表 7. CP のプログラミング

CP_I, Bits[3:0]	$I_{CP}$ (mA)
0	0.2
1	0.4
2	0.6
3	0.8
4	1
5	1.2
6	1.4
7	1.6
8	1.8
9	2
10	2.2
11	2.4
12	2.6
13	2.8
14	3
15	3.2

チャージ・ポンプ・テスト・モード

チャージ・ポンプ・テスト・モード EN\_CPTEST ビット（レジスタ 0x02B、ビット 2）が 1 にセットされると、CP\_UP ビットと CP\_DOWN ビット（レジスタ 0x02B のそれぞれビット 0 とビット 1）で、CP ピンに定常的な  $I_{CP}$  ソース電流またはシンク電流を強制的に流すことができます。これらのビットは、プロジェクトのハードウェアおよびソフトウェアの開発フェーズ時に、PLL に関する問題をデバッグする補助として使用できます。通常動作では EN\_CPTEST、CP\_UP、CP\_DOWN は 0 に設定します。使用可能なチャージ・ポンプ・テスト・モードについては表 8 を参照してください。

表 8. チャージ・ポンプ・テスト・モード

EN_CPTEST	CP_UP	CP_DOWN	CP Pin State	Debug Test
1	0	0	High-Z	VCO open loop
1	1	0	$\sim V_{3.3V\_CP}$	Charge pump output voltage verification
1	0	1	$\sim GND$	Charge pump output voltage verification
0	0	0	Normal operation	Not applicable

チャージ・ポンプ・ブリード電流の最適化

プログラマブルな一定の小さいチャージ・ポンプ電流は、ブリード電流として知られており、フラクショナル・モードでの位相ノイズとフラクショナル・スプリアス信号の最適化に使用できます。また、XREFP 入力ピンから RFOUT、PDIV\_OUT、NDIV\_OUT の各出力ピンへの伝播遅延を変更できます。

ブリード電流をイネーブルするには、EN\_BLEED ビット（レジスタ 0x01E、ビット 6）を 1 にセットします。BLEED\_POL ビット（レジスタ 0x01E、ビット 0）が 1 に設定されている場合、一定のソース電流が CP ピンに印加されます。BLEED\_POL ビットが 0 に設定されている場合には、一定のシンク電流が CP ピンに印加されます。

8 ビットの BLEED\_I ビット（レジスタ 0x01D、ビット [7:0]）を使用して、ADF5612 のスプリアス性能を最適化します。ブリード電流 BLEED\_I は、与えられた VCO 周波数、 $I_{CP}$ 、 $f_{PFD}$  における目的のブリード時間 ( $t_{BLEED}$ ) に基づいて、次式に示すように計算して設定します。

$$t_{BLEED} = \frac{4}{2 \times VCO}$$

$$I_{BLEED} = t_{BLEED} \times f_{PFD} \times I_{CP}$$

$$BLEED\_I = \frac{I_{BLEED}}{3.125\mu A}$$

ロック検出器

ロック検出器は、図 45 に示すように、PFD からの内部信号を用いて、リファレンス分周器の出力信号（RCLK）と帰還分周器の出力信号（NCLK）の間の位相差を測定します。この検出器は、PD\_LD ビット（レジスタ 0x027、ビット 3）を 0 に設定し、EN\_LOL ビットと EN\_LDWIN ビット（レジスタ 0x02A、それぞれビット 5 とビット 4）の両方を 1 に設定するとイネーブルされます。ロック検出器の出力にアクセスするには、LOCKED ビット（レジスタ 0x048、ビット 0）を使用するか、EN\_MUXOUT ビット（レジスタ 0x02B、ビット 3）を 1 にセットし MUXOUT ビット（レジスタ 0x02B、ビット [7:4]）を 1（LKDET）にプログラムして SDO ピン（ピン 19）からアクセスします。

PLL がロックされたことをロック検出器出力が示すまでには、PFD の RCLK と NCLK の位相差が、設定された PFD サイクル数に対する位相差ロック・ウィンドウ時間 ( $t_{LDWIN}$ ) より小さくなる必要があります。ロック検出の精度と速度のどちらを重視するかにより、必要な PFD サイクル数は変わります。LD\_COUNT ビット（レジスタ 0x029、ビット [4:0]）での目的の PFD サイクル数の設定については、表 9 を参照してください。次式に示すように、必要な PFD サイクル数の初期概算値として、ループ・フィルタ時定数の 5 倍を用いることができます。

動作原理

$$\text{PFD Cycles} = \left( \frac{5}{2 \times \pi \times \text{LFBW}} \right) \times f_{\text{PFD}}$$

ここで、

LFBW はループ・フィルタの帯域幅

$f_{\text{PFD}}$  は PFD 周波数

表 9. LD\_COUNT の設定

LD_COUNT[4:0]	PFD Cycles
0	27
1	35
2	51
3	67
4	99
5	131
6	195
7	259
8	387
9	515
10	771
11	1027
12	1539
13	2051
14	3075
15	4099
16	6147
17	8195
18	12291
19	16387
20	24579
21	32771

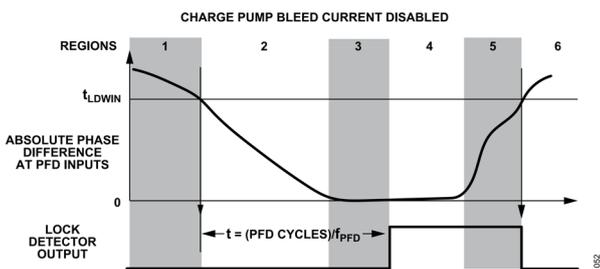


図 47. ロック検出器のタイミング (ブリード電流をディスエーブル)

表 10. ロック検出器のタイミング (ブリード電流をディスエーブル)

Region	Absolute Phase Difference at PFD	Lock Detector State
1	$>t_{\text{LDWIN}}$	Low
2	$<t_{\text{LDWIN}}$	Low, counts PFD cycles
3	$\sim 0$	Low, counts PFD cycles

表 10. ロック検出器のタイミング (ブリード電流をディスエーブル) (続き)

Region	Absolute Phase Difference at PFD	Lock Detector State
4	$\sim 0$	High, greater than or equal to the desired PFD cycle count
5	$<t_{\text{LDWIN}}$	High
6	$>t_{\text{LDWIN}}$	Low (immediately)

チャージ・ポンプのブリード電流がイネーブルされている場合、PFD 入力に位相オフセットが加わります。この位相オフセット  $t_{\text{IDEL}}$  は、ブリード電流の量に比例します。図 47 と図 48 の領域 3 と領域 4 は、それぞれチャージ・ポンプ・ブリード電流がディスエーブルの場合とイネーブルの場合に PLL がセトリングする PFD 位相差を強調したものです。

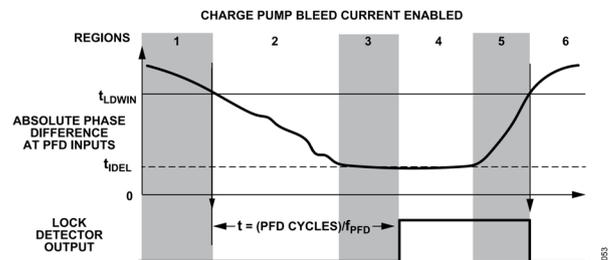


図 48. ロック検出器のタイミング (ブリード電流をイネーブル)

ロック検出器の適切な動作を確保するには、 $t_{\text{IDEL}}$  の絶対値が  $t_{\text{LDWIN}}$  未満であることが必要です。LDWIN\_PW ビット (レジスタ 0x029、ビット[7:5]) で、有効なロック条件に対する位相差ロック・ウィンドウ時間 ( $t_{\text{LDWIN}}$ ) を設定できます。LDWIN\_PW ビットを 1 に設定するとインテジャー・モード、3 に設定するとフラクショナル・モードになります。これ以外のビット・フィールドの組み合わせは使用できません。

表 11. LDWIN\_PW の設定

LDWIN_PW [7:5]	Mode of Operation
001	Integer mode, 100MHz maximum PFD
011	Fractional mode, 100MHz maximum PFD, $\text{RF} \geq 3.65\text{GHz}$

MUXOUT

MUXOUT ビット (レジスタ 0x02B、ビット[7:4]) により様々な内部ノードにアクセスできます。MUXOUT ビットの一般的な用途は、追加のロック状態出力として使用するためか、プロジェクトのハードウェアおよびソフトウェア開発フェーズで PLL 関連の問題をデバッグするためです。MUXOUT ビットと SDO ピンには、SDO ピン (ピン 19) での共有機能があります。SDO ピンで MUXOUT ビットにアクセスするには、表 12 を参照してください。3 線式モード ( $\text{SDO\_ACTIVE} = 0$ ) では、EN\_MUXOUT (レジスタ 0x2B、ビット 3) を 1 にセットすると MUXOUT のデータが出力されます。4 線式モード ( $\text{SDO\_ACTIVE} = 1$ ) では、EN\_MUXOUT を 0 に設定すると、SPI 読出し動作中にデバイスから SPI データを読み出せます。CMOS\_OV ビット (レジスタ 0x035、ビット 5) によって、SDO ピンまたは SDIO ピンの論理ハイ・レベルが 3.3V であるか 1.8V であるかが決まります。様々な SDO ピンの構成については表 12 を参照してください。

## 動作原理

表 12. SDO ピンの状態

SDO_ACTIVE, Register 0x000, Bit 3	EN_MUXOUT	SDO Pin State
0	0	SDO pin inactive
0	1	MUXOUT signal
1	0	SDO data
1	1	MUXOUT signal

## 温度センサー

温度センサーは、8 ビット ADC で構成されており、バンドギャップのリファレンス電圧 (VREF) を基準とする絶対温度 (PTAT) に比例した電圧を測定します。温度センサーの目的はダイ温度の変化を測定することであり、絶対ジャンクション温度の測定ではありません。ADC クロックはリファレンス・クロック (通常動作時) または SCK (テスト・モード) から生成でき、ADC\_CLK\_TEST\_SEL ビット (レジスタ 0x037、ビット 0) で設定します。ADC\_CLK\_TEST\_SEL を 1 (SCK) に設定すると、他のブロックをすべてディスエーブルして ADC 変換を実行できます。この設定では、チップの温度は ADC からのみ影響を受けます。通常動作時は ADC\_CLK\_TEST\_SEL を 0 に設定します。最大 ADC クロック周波数は 400kHz で、ADC\_CLK\_DIV レジスタ (レジスタ 0x036、ビット [7:0]) を使用して ADC に実際に伝送される実クロックを分周する分周係数を設定します。

ADC 測定を初期化するため、ADF5612 のレジスタを表 13 に示すようにプログラムします。1 回の ADC 変換が完了するには、17 クロック・サイクルが必要です。ADC\_BUSY リードバック・ビット (レジスタ 0x048、ビット 2) で変換ステータスをモニタできます。変換中は ADC\_BUSY で 1 が読み出され、変換が終了すると ADC\_BUSY で 0 が読み出されます。計測結果は 8 ビットの CHIP\_TEMP レジスタ・ビット・フィールド (レジスタ 0x04A、ビット [7:0]) とレジスタ 0x04B、ビット 0) に記録されます。レジスタ 0x04A で読み出される値は、°C 単位のジャンクション温度を示します。レジスタ 0x04B にある MSB (ビット 8) は、温度が正か負かを示します。すなわち、ビット 8 = 1 であれば温度のリード・バックは負です。

表 13. ADC レジスタ・セットアップ

Bit Fields	Value
EN_DNCLK, EN_ADC	1
EN_ADC_CLK, ADC_ST_CNV, and EN_ADC_CNV	1
PD_ADC	0

## ダブル・バッファ機能

ダブル・バッファ機能は、表 14 に示すビット・フィールドのメインとサブの構成を指します。

サブ・ビット・フィールドのみが、ADF5612 の実際の状態を制御します。あるビット・フィールドに対しダブル・バッファ機能が有効化されている場合、SPI は、メイン・ビット・フィールドにのみ書き込みます。サブ・ビット・フィールドは、レジスタ書き込みがレジスタ 0x010 に送られるまで、以前の値を保持します。レジスタ 0x010 への書き込み後、すべてのメイン・ビット・フィールドが、それぞれ対応するサブ・ビット・フィールドに自動的に読み込まれます。レジスタ 0x010 への書き込みで、VCO の自動キャリブレーションも開始します (標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーションのセクションを参照)。これにより ADF5612 の出力周波数を変化させるいくつかのビット・フィールドの更新ができるようになり、同じレジスタ書き込みで新しい VCO キャリブレーションが開始されます。ダブル・バッファ機能が無効化されている場合、SPI インターフェースは、サブ・ビット・フィールドに直接書き込みを行います。

表 14. ダブル・バッファが有効なビット・フィールド

Double Buffer Enabler Bits	Double Buffered Bit Fields
Not Applicable, Always Enabled	N_INT, R_DIV, FRAC1WORD, FRAC2WORD, MOD2WORD, CP_I
RFODIV_DB (Register 0x02C, Bit 7)	RFOUT_DIV
O_VCO_DB (Register 0x031, Bit 7)	M_VCO_CORE, M_VCO_BAND, M_VCO_BIAS
DEL_CTRL_DB (Register 0x033, Bit 7)	BLEED_I, BLEED_POL

動作原理

シリアル・ポート

SPI 互換のシリアル・ポートには制御とモニタリングの機能があります。CMOS\_OV ビット (レジスタ 0x035、ビット 5) によって、SDO 出力ピンと SDIO SPI 出力ピンの論理ハイ・レベルが 3.3V であるか 1.8V であるかが決まります。SPI は、レジスタ 0x000 とレジスタ 0x001 で、いくつかの異なる構成をサポートするよう設定できます。SDO\_ACTIVE ビット (レジスタ 0x000、ビット 3) は、シリアル・ポートの構成が 3 線式 SPI か 4 線式 SPI かを決定します (図 2、図 3、図 4 のタイミング図を参照)。

SPI レジスタ・マップは、図 49 および図 50 に示す単一命令、あるいは、図 51 に示すストリーミング・モードによりプログラムできます。ストリーミング・モードを用いると、複数のレジスタに対するデータ転送の読出しや書込みのサイクルが効率的になります。ストリーミング・モードでは、命令ヘッダの 1 つのレジスタ・アドレスとそのレジスタ・アドレス用のデータ、更に、後続のレジスタ・アドレスのデータで構成されるビット・ストリームを、ユーザがプログラムできます。ADDRESS\_ASCENSION ビット (レジスタ 0x000、ビット 2) で、後続のレジスタ・アドレスがインクリメントされるかデクリメントされるかを指定します。ストリーミング・モードではレジスタ・アドレスをデクリメントすることを推奨します (ADDRESS\_ASCENSION=0)。その理由は、REG0010 が VCO

キャリブレーションとすべてのダブル・バッファの読み込みをトリガするため、これを最後の SPI レジスタ書込みにする必要があるためです。SINGLE\_INSTRUCTION ビット (レジスタ 0x001、ビット 7) を 1 にセットすると、ストリーミング・モードは無効になります。SINGLE\_INSTRUCTION を 0 にセットすると、ストリーミング・モードは有効化されます。

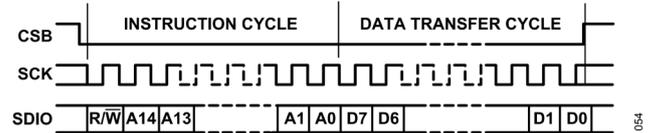


図 49. シリアル・インターフェース、MSB ファースト (LSB\_FIRST = 0)

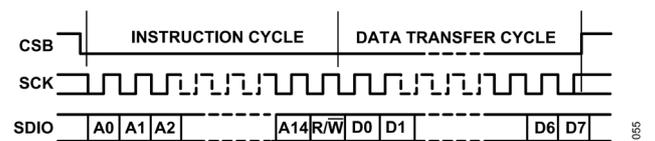


図 50. シリアル・インターフェース、LSB ファースト (LSB\_FIRST = 1)

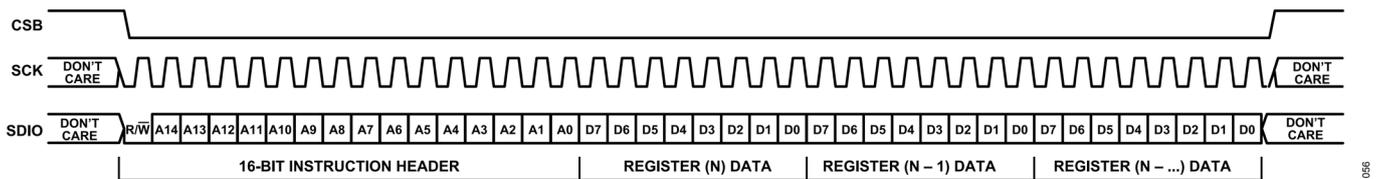


図 51. シリアル・インターフェース、レジスタをデクリメントする (ADDRESS\_ASCENSION = 0) 推奨ストリーミング・モード (SINGLE\_INSTRUCTION = 0)

アプリケーション情報

パワーアップと初期化のシーケンス

次の手順は、ADF5612 のパワーアップと初期化の推奨シーケンスです。

1. 指定電圧を 5V と 3.3V の電源ピンに印加します。ADF5612 はこの時点では完全なパワーダウン・モードで、SPI のプログラミングはできません。
2. CEN ピン (ピン 44) をロジック・ハイに設定します。
3. すべての SPI レジスタがパワーオン・リセット (POR) 状態に安定するまで 200 $\mu$ s 以上待機した後、SPI をプログラミングして ADF5612 を目的の状態に設定します。以下に、推奨する SPI プログラミング・シーケンスを示します。
  - a. SDO\_ACTIVE ビット (レジスタ 0x000、ビット 3) と CMOS\_OV ビット (レジスタ 0d035、ビット 5) を、後にリードバック操作で使用する目的の状態に設定します。
  - b. 必要なレジスタ・アドレスをすべてプログラムします。レジスタ 0x010 を最後のレジスタ書き込みにするのを除けば、プログラミングの順番は関係ありません。いくつかのレジスタ・フィールドについて必要な事前設定値を表 16 に示します。これらは、適切なデバイス動作のために必要です。
4. PD\_ALL ビット (レジスタ 0x027、ビット 7) が 0 に設定されるまで、ADF5612 はパワーダウン・モードを維持します。
5. レジスタ 0x010 に書き込みを行うと VCO の自動キャリブレーションが始まります。この時点で、ADF5612 は完全に動作可能となり、新しい周波数を必要に応じて何度でも設定できます。以降の手順は PD\_ALL ビットと CEN ピンに関する情報です。
6. PD\_ALL を 1 に設定すると ADF5612 がパワーダウンしますが、最後に行われた SPI 設定と全 SPI プログラミング機能は保持されます。
7. PD\_ALL の状態だけが手順 6 で変更されたのであれば、PD\_ALL を 0 に設定すると、ADF5612 は手順 5 で設定された周波数に戻ります。10 $\mu$ s の待機後、すべての回路ブロックは内部で完全にパワーアップされます。この 10 $\mu$ s の待機には、ループ・フィルタの帯域幅に関する周波数セトリング時間は含まれません。
8. CE ピンのレベルを切り替えると、ADF5612 は完全なパワーダウン・モードに戻り、SPI レジスタは POR 状態に戻ります (手順 2 および手順 3 を参照)。

プログラミング手順

ADF5612 をパワーアップするには、2 つの方法があります。最も一般的に用いられる方法は、標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーションのセクションで示すもので、最初のデバイス・パワーアップ時には必須です。

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定のセクションに示す方法は、最初のパワーアップ後にオプションで使用するパワーアップ手順です。

標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーション

次の標準的なパワーアップと初期化シーケンスは、ADF5612 をパワーアップしプログラミングするための推奨手順です。

1. パワーアップと初期化のシーケンスのセクションの手順 1〜手順 5 を実行します。
2. オプションで、VCO キャリブレーション・ビット、ADC\_BUSY、FSM\_BUSY (レジスタ 0x048 のそれぞれビット 2 とビット 1) の状態をモニタします。ADC\_BUSY がハイからローに遷移し、次いで FSM\_BUSY がハイからローに遷移すると、VCO のキャリブレーションは終了しています。
3. VCO のキャリブレーションが終了したら、EN\_DNCLK (レジスタ 0x01E、ビット 4) = EN\_ADC\_CLK (レジスタ 0x02C、ビット 3) = 0 に設定して VCO キャリブレーション・クロックをディスエーブルします。VCO キャリブレーション・クロックをディスエーブルすると、不要なスプリアス成分を低減できます。
4. ロック検出器が LOCKED ビット (レジスタ 0x48、ビット 0) をハイに設定すると、PLL がロックされます。
5. 周波数を変更する場合は、次の手順を実行します。
  - a. 変更するレジスタのみをプログラムします。
  - b. レジスタ 0x010 に書き込みを行い、変更の有無に関わりなく、最終手順として新しい VCO 自動キャリブレーションを開始します。

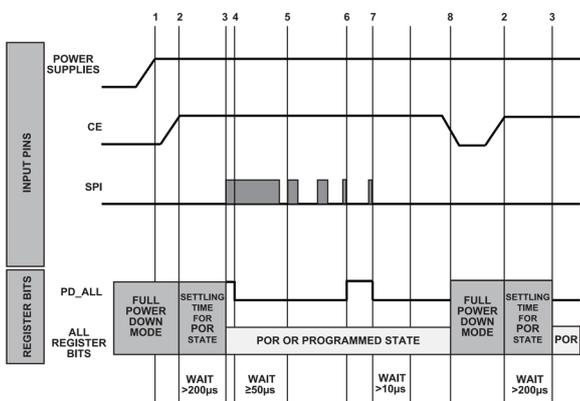


図 52. パワーアップと初期化

アプリケーション情報

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定

高速周波数ホッピング・アプリケーションでは、ロック時間を大幅に短くする必要があります。ADF5612 は事前設定のキャリブレーション値に手動で設定することができ、VCO キャリブレーションをバイパスして全体的なロック時間を短縮できます。そのキャリブレーション値は、自動キャリブレーションを実施し、所定の周波数に対する帯域、コア、バイアスの値を読み出すことによって得られます。以降のデバイス初期化で、その値を ADF5612 に手動プログラムできます。プロセスの変動により、リードバック値はデバイスごとに異なります。

以降の手順は初期化後に手動の VCO キャリブレーションを行う処理を示します。

1. 目的とする周波数で自動キャリブレーションを実施します。
2. VCO\_CORE (レジスタ 0x04D、ビット 7)、VCO\_BAND (レジスタ 0x04D、[6:0])、VCO\_BIAS (レジスタ 0x049、ビット[2:0]) を記録します。
3. 以降のパワーアップと初期化のシーケンスで、表 15 の記載の通り、オーバーライド (O\_VCO\_CORE、O\_VCO\_BAND、O\_VCO\_BIAS、それぞれレジスタ 0x02D、ビット 0、ビット 1、ビット 2) と手動 VCO ビット (M\_VCO\_CORE (レジスタ 0x016、ビット 0)、M\_VCO\_BAND (レジスタ 0x016、ビット[7:1])、M\_VCO\_BIAS (レジスタ 0x015、ビット[7:5])) をプログラムします。
4. 必要に応じて、フラクショナル N 分周器ビット・フィールド値をプログラムします。計算法については出力周波数のセクションを参照してください。
5. N\_INT 値 (レジスタ 0x010) をプログラムして、手動キャリブレーション値を有効化します。
6. 目的の周波数ごとにこのシーケンスを繰り返します。

表 15. 手動プログラミングによる VCO キャリブレーション設定

ビット・フィールド	値	説明
O_VCO_DB	0x1	手動キャリブレーション値を N_INT のプログラムによりダブル・バッファする。
EN_AUTOCAL	0x0	自動キャリブレーションを無効化。
EN_DNCLK	0x0	デジタル・ブロックへの DIV_NCLK をディスエーブル。
EN_ADC_CLK	0x0	ADC クロックをディスエーブル。
O_VCO_CORE	0x1	VCO コアを M_VCO_CORE の値でオーバーライド。
O_VCO_BAND	0x1	VCO 帯域を M_VCO_BAND でオーバーライド。
O_VCO_BIAS	0x1	VCO バイアスを M_VCO_BIAS でオーバーライド。
M_VCO_CORE	Program with recorded values	O_VCO_CORE = 1 の場合の VCO コアを選択。
M_VCO_BAND	Program with recorded values	O_VCO_BAND = 1 の場合のコア内帯域を選択。
M_VCO_BIAS	Program with recorded values	O_VCO_BIAS = 1 の場合に用いるバイアス値を選択。

表 15. 手動プログラミングによる VCO キャリブレーション設定 (続き)

ビット・フィールド	値	説明
Configure Frequency Parameters	Target Program RFOUT	対応する N_INT、FRAC1WORD、FRAC2WORD、MOD2WORD を設定。レジスタ 0x10 を最後の書き込みコマンドとしてください。

ループ・フィルタの設計

安定なループ・フィルタを設計するために、ADF5612 のループ・フィルタ部品を選択するには注意が必要です。ループ・フィルタの設計とシミュレーションには ADIsimPLL をダウンロードしてインストールすることを推奨します。ADIsimPLL には、初めて使うユーザのためのチュートリアルが含まれており、より複雑なトピックに関するヘルプ・マニュアルも備わっています。ADIsimPLL のウェブページには、いくつかの ADIsimPLL トレーニング・ビデオも用意されています。ループ・フィルタの設計とシミュレーションを終了した後は、ADF5612 評価用ハードウェアを用いて新しいループ・フィルタを検証することを推奨します。ループ・フィルタ設計の完全なチュートリアルは、このデータシートの範囲を超えています。しかし、いくつかのベスト・プラクティスを以下に示します。ADIsimPLL はこれらのパラメータの定義とシミュレーションの助けとなるものです。これらの項目を大幅に変更すると、新たなループ・フィルタの設計が必要になります。

安定したループ・フィルタは次の条件を満たす必要があります。

- ▶ ループ・フィルタの位相マージン > 45°
- ▶ ループ・フィルタの帯域幅 < f<sub>PFD</sub> ÷ 10

必要なループ・フィルタの帯域幅は、ADF5612 の次の主要な性能パラメータによって決まります。

- ▶ I<sub>CP</sub>
- ▶ K<sub>VCO</sub>
- ▶ PFD 周波数
- ▶ リファレンス入力位相ノイズ
- ▶ ジッタの最小化とセトリング時間のトレードオフ

VT ピンには GND との間に 155pF のコンデンサが内蔵されており、これをループ・フィルタの設計に含める必要があります。ADIsimPLL ではこの内部コンデンサを自動的に考慮します。

## アプリケーション情報

## ループ・フィルタのレイアウトに関する考慮事項

PCB 上のループ・フィルタの信号経路のレイアウトを設計する際は、設計の最適化とスプリアス信号の低減のために、以下の設計上の考慮事項を適用します。ループ・フィルタの最適化されたレイアウト・フットプリント例については、EVADF5612SD1Z の PCB 設計を参照してください。このボードのデフォルトのループ・フィルタは、 $f_{\text{PFD}} = 61.44\text{MHz}$  のインテグラー・モードの性能に向けて設計されています。

1. チャージ・ポンプまたは VT 電圧 ( $V_{\text{VT}}$ ) の信号に直接接続するコンデンサを、デバイスの対応するピンにできるだけ近づけて配置し、グラウンド信号がデバイスのグラウンドと近くなるようにします。
2. チャージ・ポンプと電源のデカップリング・コンデンサを CP ピンにできるだけ近くに接続します。レイアウト・スペースの制約のため、チャージ・ポンプと電源のデカップリング・コンデンサは、評価ボードの下面に配置することができます。
3. 最適なグラウンドの接続を得るため、シャント・コンデンサのグラウンド・パッドにグラウンド・ビアを挿入します。
4. ループ・フィルタの経路長を短くして、ループ・フィルタ部品がデバイスに近く、グラウンド・パッドがデバイスのグラウンドに近くなるようにします。

## VCO

VCO サブシステムは、スイッチト・キャパシタ、ステップ・チューン VCO、出力段から成ります。この VCO のトポロジにより、基本周波数と 2 倍の周波数の出力が可能になります。この構成では、発振器の低い方の周波数である基本周波数が PLL の入力に接続されていて、PLL の N カウンタが 2 分の 1 に低減されます。N カウンタの低減により、近接位相ノイズが 3dB 改善するのに加えて、10MHz を超えるオフセットでの残留位相ノイズの劣化が防止されます。VCO のチューニングは、帯域選択と微調整の 2 段階の手順です。通常動作時には、自動キャリブレーションがイネーブルされ (EN\_AUTOCAL、レジスタ 0x1E、ビット 7)、PLL の有限ステート・マシン (FSM) が VCO 帯域のバイナリ・サーチを実施します (帯域選択)。適切な帯域が特定されれば、PLL のチャージ・ポンプ出力が VCO のチューニング・ポート (VT) を制御するようになり、適切な基本周波数を調整し (ファイン・チューン)、PLL が位相ロックします。

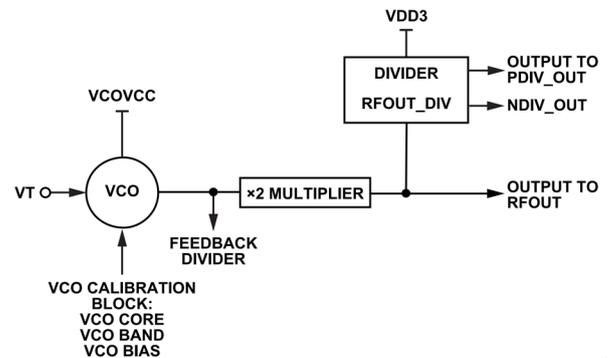


図 53. VCO とクロック出力

アプリケーション情報

VCO キャリブレーション

特定の VCO 周波数に対し適切な VCO コア、VCO 帯域、VCO バイアス設定値を選択するには、VCO のキャリブレーションが必要です。この手順は、デバイスがパワーアップされており、必要なリファレンス周波数が XREFP ピンに入力され、その他すべてのレジスタが正しく設定されていることを前提としています。この手順を図 54 および図 55 に視覚的に示します。

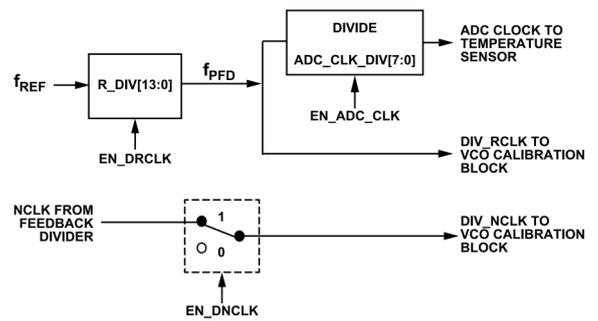


図 54. VCO キャリブレーション分周器

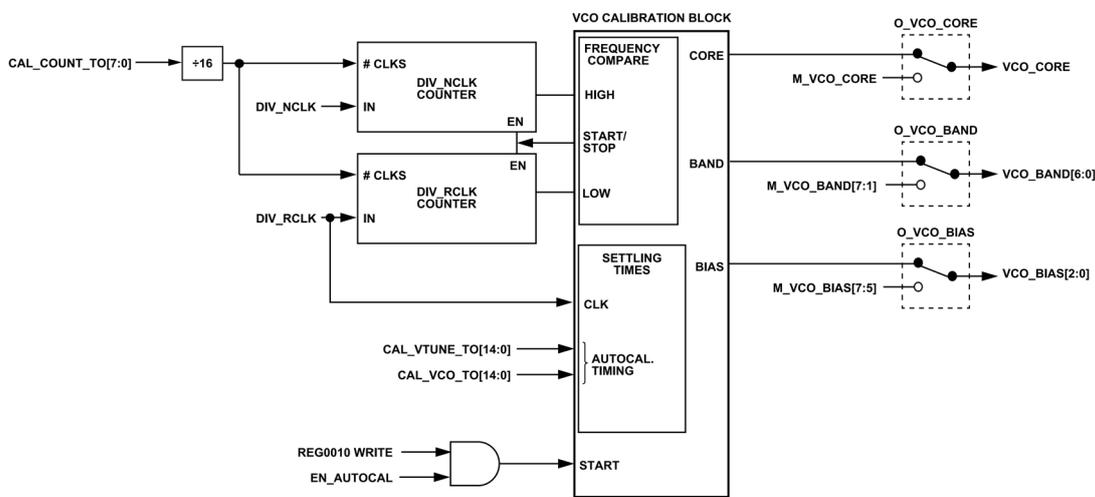


図 55. VCO キャリブレーション・ブロック

## アプリケーション情報

自動キャリブレーションを行うには、以下のキャリブレーション・タイムアウト・ビット・フィールドをプログラムする必要があります。

- ▶ CAL\_VTUNE\_TO (レジスタ 0x030、ビット[7:0]とレジスタ 0x031、ビット[6:0]) : キャリブレーションの最初には、VT を VPRST ピンに接続し、VCO キャリブレーション中に VT にマルチプレックスします。CAL\_VTUNE\_TO を次式のように計算します。

$$\text{CAL\_VTUNE\_TO} = \text{ceil}(\text{VTUNE\_CAL\_TIMEOUT} \times f_{\text{PFD}}) \quad (31)$$

ここで VTUNE\_CAL\_TIMEOUT は 1μs の固定値です。これは VTUNE CAL が安定するまでにかかる時間です。

- ▶ CAL\_COUNT\_TO (レジスタ 0x02F、ビット[7:0]) : このビット・フィールドは、目的帯域の判定タイムアウトの計算に使用します。自動キャリブレーション中には、選択した周波数に対する最終の動作帯域を選択するために 8 回の帯域判定を行います。CAL\_COUNT\_TO を使用して、各帯域判定にかかる時間をプログラムします。この時間はキャリブレーションの精度に影響します。各帯域の判定時間を設定するには、次式を使用します。

$$\text{CAL\_COUNT\_TO} \times 16 = \text{ceil}(\text{VCO\_BIT\_CAL\_TIMEOUT} \times f_{\text{PFD}}) \quad (32)$$

ここで VCO\_BIT\_CAL\_TIMEOUT は 8μs の固定値です。VCO コアと帯域の判定に使用する時間です。

- ▶ CAL\_VCO\_TO (レジスタ 0x032、ビット[7:0]とレジスタ 0x033、ビット[6:0]) : このビットは、各帯域判定後に、目的の VCO 周波数へのセトリング・タイムアウトを設定するために使用します。この時間の設定には次式を使用します。

$$\text{CAL\_VCO\_TO} = \text{ceil}(\text{VCO\_CAL\_TIMEOUT} \times f_{\text{PFD}}) \quad (33)$$

ここで VCO\_CAL\_TIMEOUT は 2μs の固定値です。帯域と VCO を変更した後、周波数が安定するまでにかかる時間です。

VCO キャリブレーションを実行するには、いくつかのレジスタを次の手順に概説するように設定します。

1. DCLK\_MODE を設定します。
2. CAL\_VTUNE\_TO、CAL\_VCO\_TO、CAL\_COUNT\_TO の必要最小値を、このセクションで前述の対応する式に沿って計算し、設定します。
3. 最後にレジスタ 0x010 にプログラムして、N\_INT、RFOUT\_DIV、R\_DIV のビットを設定します。レジスタ 0x010 に何らかの書込みを行うと VCO の自動キャリブレーションが開始されます。
4. FSM\_BUSY ビット (レジスタ 0x048、ビット 3) を監視します。キャリブレーションが終了すると FSM\_BUSY がハイからローに遷移します。
5. VCO のキャリブレーションが完了したら、EN\_ADC\_CLK = EN\_DNCLK = 0 に設定してキャリブレーション・クロックをディスエーブルし、不要なスプリアス成分を制限します。

## 総合自動キャリブレーション時間

キャリブレーション・タイムアウト時間の各値を使用して、次式のように統合自動キャリブレーション時間を計算します。

$$\text{Total Autocalibration Time} = \frac{\text{CAL\_VTUNE\_TO} + \text{No. of Cal Decisions} \times ((\text{CAL\_COUNT\_TO} \times 16) + \text{CAL\_VCO\_TO})}{f_{\text{PFD}}} \quad (34)$$

ここで、「No. of Cal Decisions (キャリブレーション判定数)」は固定値 8 で、VCO の判定 1 回と帯域判定 7 回からなります。

CAL\_VTUNE\_TO、CAL\_COUNT\_TO、CAL\_VCO\_TO の計算については、VCO キャリブレーションのセクションを参照してください。

## レジスタ・マップ

表 16. ADF5612 のレジスタ・マップ

Reg	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x000	SOFT_RESET_R	LSB_FIRST_R	ADDRESS_AS_CENSION_R	SDO_ACTIVE_R	SDO_ACTIVE	ADDRESS_AS_CENSION	LSB_FIRST	SOFT_RESET	0x00	R/W	
0x001	SINGLE_INSTRUCTION	CSB_STALLING	MASTER_READBACK_CONTROL	RESERVED					0x00	R/W	
0x002	RESERVED								0x00	R/W	
0x003	RESERVED				CHIP_TYPE				0x00	R	
0x004	PRODUCT_ID[7:0]								0x00	R	
0x005	PRODUCT_ID[15:8]								0x00	R	
0x006	RESERVED								0x00	R/W	
0x007	RESERVED								0x00	R/W	
0x008	RESERVED								0x00	R/W	
0x009	RESERVED								0x00	R/W	
0x00A	SCRATCHPAD								0x00	R/W	
0x00B	SPI_REVISION								0x00	R	
0x00C	VENDOR_ID[7:0]								0x56	R	
0x00D	VENDOR_ID[15:8]								0x04	R	
0x00E	RESERVED								0x00	R/W	
0x00F	RESERVED								0x00	R/W	
0x010	N_INT[7:0]								0x80	R/W	
0x011	N_INT[15:8]								0x00	R/W	
0x012	FRAC1WORD[3:0]				N_INT[19:16]				0x00	R/W	
0x013	FRAC1WORD[11:4]								0x00	R/W	
0x014	FRAC1WORD[19:12]								0x00	R/W	
0x015	M_VCO_BIAS				FRAC1WORD[24:20]				0x00	R/W	
0x016	M_VCO_BAND				M_VCO_CORE				0x00	R/W	
0x017	FRAC2WORD[7:0]								0x00	R/W	
0x018	FRAC2WORD[15:8]								0x00	R/W	
0x019	FRAC2WORD[23:16]								0x00	R/W	
0x01A	MOD2WORD[7:0]								0x01	R/W	
0x01B	MOD2WORD[15:8]								0x00	R/W	
0x01C	MOD2WORD[23:16]								0x00	R/W	
0x01D	BLEED_I								0x00	R/W	
0x01E	EN_AUTOCAL	EN_BLEED	DCLK_MODE	EN_DNCLK	RESERVED		1	BLEED_POL	0x00	R/W	
0x01F	R_DIV[7:0]								0x01	R/W	
0x020	RESERVED				R_DIV[13:8]				0x00	R/W	
0x021	RESERVED	INT_MODE	RESERVED	EN_RCNTR	CP_I				0x00	R/W	
0x022	RFOUT_DIV			RFOUT_PWR			DIV_PWR			0x00	R/W
0x023	1	1	1	1	1	1	1	1	0x00	R/W	
0x024	1	1	1	1	1	1	1	1	0x00	R/W	
0x025	0	1	1	1	1	1	1	1	0x00	R/W	
0x026	RESERVED		VAR_MOD_EN	DITHER1_SCALE			EN_DITHER2	EN_DITHER1	0x00	R/W	
0x027	PD_ALL	PD_RDIV	PD_NDIV	PD_VCO	PD_LD	PD_PFDPCP	PD_ADC	PD_CALGEN	0x80	R/W	
0x028	RESERVED						PD_PFDNCLK	PD_ODIV	0x01	R/W	
0x029	LDWIN_PW			LD_COUNT						0x00	R/W
0x02A	0	1	EN_LOL	EN_LDWIN	RESERVED	RST_LD	ABPW_WD	RESERVED	0x00	R/W	
0x02B	MUXOUT				EN_MUXOUT	EN_CPTTEST	CP_DOWN	CP_UP	0x04	R/W	

## レジスタ・マップ

表 16. ADF5612 のレジスタ・マップ (続き)

Reg	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x02C	RFODIV_DB	RESERVED	RESERVED	RST_SYS	EN_ADC_CLK	RESERVED	CAL_CT_SEL	RESERVED	0x00	R/W	
0x02D	RESERVED					O_VCO_BIAS	O_VCO_BAND	O_VCO_CORE	0x00	R/W	
0x02E	RESERVED								0x00	R/W	
0x02F	CAL_COUNT_TO								0x00	R/W	
0x030	CAL_VTUNE_TO[7:0]								0x00	R/W	
0x031	O_VCO_DB	CAL_VTUNE_TO[14:8]								0x00	R/W
0x032	CAL_VCO_TO[7:0]								0x00	R/W	
0x033	DEL_CTRL_D B	CAL_VCO_TO[14:8]								0x00	R/W
0x034	RESERVED								0x00	R/W	
0x035	RESERVED		CMOS_OV	RESERVED					0x00	R/W	
0x036	ADC_CLK_DIV								0x00	R/W	
0x037	EN_ADC_CNV	RESERVED					EN_ADC	ADC_CLK_TE ST_SEL	0x00	R/W	
0x038	RESERVED	1	0	0	1	1	1	0	0x00	R/W	
0x039	RESERVED	0	1	0	0	0	1	0	0x00	R/W	
0x03A	RESERVED								0x00	R/W	
0x03B	RESERVED								0x00	R/W	
0x03C	RESERVED								0x00	R/W	
0x03D	RESERVED								0x00	R/W	
0x03E	RESERVED								0x00	R/W	
0x03F	0	1	0	1	0	1	0	0	0x00	R/W	
0x040	RESERVED		1	0	1	0	1	1	0x00	R/W	
0x041	RESERVED								0x00	R/W	
0x042	RESERVED								0x00	R/W	
0x043	RESERVED								0x00	R/W	
0x044	RESERVED							ADC_ST_CNV	0x00	R/W	
0x045	RESERVED								0x00	R/W	
0x046	RESERVED								0x00	R/W	
0x047	RESERVED								0x00	R/W	
0x048	RESERVED					ADC_BUSY	FSM_BUSY	LOCKED	0x00	R	
0x049	RESERVED					VCO_BIAS			0x00	R	
0x04A	CHIP_TEMP[7:0]								0x00	R	
0x04B	RESERVED							CHIP_TEMP[8]	0x00	R	
0x04C	RESERVED								0x00	R	
0x04D	VCO_CORE	VCO_BAND								0x00	R
0x04E	RESERVED								0x00	R	
0x04F	VERSION								0x00	R	
0x100	RESERVED		0	0	0	0	0	0	0x00	R/W	
0x101	RESERVED		0	0	0	0	0	0	0x00	R/W	
0x102	RESERVED		0	0	0	0	0	0	0x00	R/W	
0x103	RESERVED		0	0	0	0	0	0	0x00	R/W	
0x104	RESERVED		1	0	0	1	0	0	0x00	R/W	
0x105	RESERVED		1	0	0	1	0	0	0x00	R/W	
0x106	RESERVED		1	0	0	1	0	0	0x00	R/W	
0x107	RESERVED		1	0	0	1	0	0	0x00	R/W	

## レジスタの詳細

アドレス : 0x000、リセット : 0x00、レジスタ名 : REG0000

表 17. REG0000 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFT_RESET_R	SOFT_RESET の繰返し。	0x0	R/W
6	LSB_FIRST_R	LSB_FIRST の繰返し。	0x0	R/W
5	ADDRESS_ASCENSION_R	ADDRESS_ASCENSION の繰返し。	0x0	R/W
4	SDO_ACTIVE_R	SDO_ACTIVE の繰返し。	0x0	R/W
3	SDO_ACTIVE	3線式動作か4線式動作かの選択。 0: 3線式。 1: 4線式 SPI (SDO がイネーブルされ SDIO は入力専用になります)。	0x0	R/W
2	ADDRESS_ASCENSION	ストリーミング時のアドレス・アセンション。 0: ストリーミング時アドレスは自動でデクリメント。 1: ストリーミング時アドレスは自動でインクリメント。	0x0	R/W
1	LSB_FIRST	I/O データは LSB ファーストを指向。 0: MSB ファースト。 1: LSB ファースト。	0x0	R/W
0	SOFT_RESET	REG0000 以外の SPI レジスタを POR 状態にリセット。自動クリアのリセット。 0: 通常動作。 1: ソフト・リセット。	0x0	R/W

アドレス : 0x001、リセット : 0x00、レジスタ名 : REG0001

表 18. REG0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。 0: SPI ストリーミングをイネーブル。 1: SPI ストリーミングをディスエーブル。	0x0	R/W
6	CSB_STALLING	CSB 停止。	0x0	R/W
5	MAIN_READBACK_CONTROL	メイン/サブ・リードバック制御。 0: ダブル・バッファのビット・フィールド、読み出しサブ・レジスタ。 1: ダブル・バッファのビット・フィールド、読み出しメイン・レジスタ。	0x0	R/W
[4:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x002、リセット : 0x00、レジスタ名 : REG0002

表 19. REG0002 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x003、リセット : 0x00、レジスタ名 : REG0003

表 20. REG0003 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	チップ・タイプ = 0x06。	0x0	R

## レジスタの詳細

アドレス : 0x004、リセット : 0x00、レジスタ名 : REG0004

表 21. REG0004 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID = 0x000B。	0x0	R

アドレス : 0x005、リセット : 0x00、レジスタ名 : REG0005

表 22. REG0005 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID = 0x0000。	0x0	R

アドレス : 0x006、リセット : 0x00、レジスタ名 : REG0006

表 23. REG0006 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x007、リセット : 0x00、レジスタ名 : REG0007

表 24. REG0007 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x008、リセット : 0x00、レジスタ名 : REG0008

表 25. REG0008 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x009、リセット : 0x00、レジスタ名 : REG0009

表 26. REG0009 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x00A、リセット : 0x00、レジスタ名 : REG000A

表 27. REG000A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	SPI の SCRATCHPAD。	0x0	R/W

アドレス : 0x00B、リセット : 0x00、レジスタ名 : REG000B

表 28. REG000B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REVISION	SPI リビジョン = 0x01。	0x0	R

アドレス : 0x00C、リセット : 0x56、レジスタ名 : REG000C

表 29. REG000C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ ID = 0x0456。	0x56	R

## レジスタの詳細

アドレス : 0x00D、リセット : 0x04、レジスタ名 : REG000D

表 30. REG000D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID = 0x0456。	0x4	R

アドレス : 0x00E、リセット : 0x00、レジスタ名 : REG000E

表 31. REG000E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x00F、リセット : 0x00、レジスタ名 : REG000F

表 32. REG000F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x010、リセット : 0x80、レジスタ名 : REG0010

表 33. REG0010 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	N_INT[7:0]	20 ビットのインテジャー・ワード。N のインテジャー値を設定。FRAC1、FRAC2、MOD2 などの PLL N カウンタへの更新を行います。ダブル・バッファ機能は常に有効です。	0x80	R/W

アドレス : 0x011、リセット : 0x00、レジスタ名 : REG0011

表 34. REG0011 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	N_INT[15:8]	20 ビットのインテジャー・ワード。N のインテジャー値を設定。FRAC1、FRAC2、MOD2 などの PLL N カウンタへの更新を行います。ダブル・バッファ機能は常に有効です。	0x0	R/W

アドレス : 0x012、リセット : 0x00、レジスタ名 : REG0012

表 35. REG0012 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	FRAC1WORD[3:0]	25 ビットの FRAC1 ワード。FRAC1 値を設定します。	0x0	R/W
[3:0]	N_INT[19:16]	20 ビットのインテジャー・ワード。N のインテジャー値を設定。FRAC1、FRAC2、MOD2 などの PLL N カウンタへの更新を行います。ダブル・バッファ機能は常に有効です。	0x0	R/W

アドレス : 0x013、リセット : 0x00、レジスタ名 : REG0013

表 36. REG0013 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD[11:4]	25 ビットの FRAC1 ワード。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x014、リセット : 0x00、レジスタ名 : REG0014

表 37. REG0014 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD[19:12]	25 ビットの FRAC1 ワード。FRAC1 値を設定します。	0x0	R/W

## レジスタの詳細

アドレス : 0x015、リセット : 0x00、レジスタ名 : REG0015

表 38. REG0015 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	M_VCO_BIAS	O_VCO_BIAS = 1 の場合に用いるバイアス値を選択。手動 VCO キャリブレーションで M_VCO_BAND および M_VCO_CORE と共に使用。	0x0	R/W
[4:0]	FRAC1WORD[24:20]	25 ビットの FRAC1 ワード。FRAC1 値を設定します。	0x0	R/W

アドレス : 0x016、リセット : 0x00、レジスタ名 : REG0016

表 39. REG0016 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	M_VCO_BAND	O_VCO_BAND = 1 の場合のコア内の帯域を選択。手動 VCO キャリブレーションで M_VCO_BIAS および M_VCO_CORE と共に使用。127 = 最低周波数、0 = 最高周波数。	0x0	R/W
0	M_VCO_CORE	O_VCO_CORE = 1 の場合に VCO コアを選択。手動 VCO キャリブレーションで M_VCO_BAND および M_VCO_BIAS と共に使用。 0 : VCO 0 最高周波数。 1 : VCO 1 最低周波数。	0x0	R/W

アドレス : 0x017、リセット : 0x00、レジスタ名 : REG0017

表 40. REG0017 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD[7:0]	24 ビットの FRAC2 ワード。FRAC2 値を設定します。	0x0	R/W

アドレス : 0x018、リセット : 0x00、レジスタ名 : REG0018

表 41. REG0018 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD[15:8]	24 ビットの FRAC2 ワード。FRAC2 値を設定します。	0x0	R/W

アドレス : 0x019、リセット : 0x00、レジスタ名 : REG0019

表 42. REG0019 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD[23:16]	24 ビットの FRAC2 ワード。FRAC2 値を設定します。	0x0	R/W

アドレス : 0x01A、リセット : 0x01、レジスタ名 : REG001A

表 43. REG001A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD[7:0]	24 ビットの MOD2 ワード。MDO2 値を設定します。	0x1	R/W

アドレス : 0x01B、リセット : 0x00、レジスタ名 : REG001B

表 44. REG001B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD[15:8]	24 ビットの MOD2 ワード。MDO2 値を設定します。	0x0	R/W

## レジスタの詳細

アドレス : 0x01C、リセット : 0x00、レジスタ名 : REG001C

表 45. REG001C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD[23:16]	24 ビットの MOD2 ワード。MDO2 値を設定します。	0x0	R/W

アドレス : 0x01D、リセット : 0x00、レジスタ名 : REG001D

表 46. REG001D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BLEED_I	ブリード電流 = BLEED_I × 3.125μA。	0x0	R/W

アドレス : 0x01E、リセット : 0x00、レジスタ名 : REG001E

表 47. REG001E のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_AUTOCAL	VCO キャリブレーションのイネーブル。 0 : VCO キャリブレーションをディスエーブル。 1 : VCO キャリブレーションをイネーブル。	0x0	R/W
6	EN_BLEED	ブリード電流のイネーブル。 0 : ブリード電流をディスエーブル。 1 : ブリード電流をイネーブル。	0x0	R/W
5	DCLK_MODE	VCO キャリブレーション中に RCLK と NCLK の周波数を 2 分周。 0 : 周波数低減をディスエーブル。 1 : 周波数低減をイネーブル。	0x0	R/W
4	EN_DNCLK	デジタル・ブロックへの DIV_NCLK のイネーブル。 0 : DIV_NCLK オフ。 1 : DIV_NCLK オン。	0x0	R/W
[3:2]	RESERVED	予約済み。	0x0	R/W
1	REG1E_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	BLEED_POL	ブリードの極性。 0 : 電流シンク。 1 : 電流ソース。	0x0	R/W

アドレス : 0x01F、リセット : 0x01、レジスタ名 : REG001F

表 48. REG001F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R_DIV[7:0]	14 ビットの R 分周器。	0x1	R/W

アドレス : 0x020、リセット : 0x00、レジスタ名 : REG0020

表 49. REG0020 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R/W
[5:0]	R_DIV[13:8]	14 ビットの R 分周器。	0x0	R/W

アドレス : 0x021、リセット : 0x00、レジスタ名 : REG0021

表 50. REG0021 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W

## レジスタの詳細

表 50. REG0021 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
6	INT_MODE	インテジャー・モードのイネーブラ。 0: フラクショナル・モード。 1: インテジャー・モード。	0x0	R/W
5	RESERVED	予約済み。	0x0	R/W
4	EN_RCNTR	デジタル部のリファレンス・クロックをイネーブル。 0: RCNTR をディスエーブル。 1: RCNTR をイネーブル。	0x0	R/W
[3:0]	CP_I	チャージ・ポンプの電流。 0000: 0.2mA。 0001: 0.4mA。 0010: 0.6mA。 0011: 0.8mA。 0100: 1mA。 0101: 1.2mA。 0110: 1.4mA。 0111: 1.6mA。 1000: 1.8mA。 1001: 2mA。 1010: 2.2mA。 1011: 2.4mA。 1100: 2.6mA。 1101: 2.8mA。 1110: 3mA。 1111: 3.2mA。	0x0	R/W

アドレス: 0x022、リセット: 0x00、レジスタ名: REG0022

表 51. REG0022 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RFOUT_DIV	RF 出力分周器。 000: 1 分周。 001: 2 分周。 010: 4 分周。 011: 8 分周。 100: 16 分周。 101: 32 分周。 110: 64 分周。 111: 128 分周。	0x0	R/W
[4:3]	RFOUT_PWR	RFOUT の出力電力レベルを設定。	0x0	R/W
[2:0]	DIV_PWR	RFOUT_DIV の出力電力レベルを設定。	0x0	R/W

アドレス: 0x023、リセット: 0x00、レジスタ名: REG0023

表 52. REG0023 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG23_RSV7	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
6	REG23_RSV6	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
5	REG23_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

## レジスタの詳細

表 52. REG0023 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
4	REG23_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG23_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG23_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG23_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG23_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x024、リセット : 0x00、レジスタ名 : REG0024

表 53. REG0024 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG24_RSV7	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
6	REG24_RSV6	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
5	REG24_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG24_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG24_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG24_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG24_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG24_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x025、リセット : 0x00、レジスタ名 : REG0025

表 54. REG0025 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG25_RSV7	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
6	REG25_RSV6	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
5	REG25_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG25_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG25_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG25_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG25_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG25_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x026、リセット : 0x00、レジスタ名 : REG0026

表 55. REG0026 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R/W
5	VAR_MOD_EN	補助 $\Sigma$ - $\Delta$ 変調器をイネーブル。 0 : 通常動作。 1 : 補助 $\Sigma$ - $\Delta$ 変調器をイネーブル。	0x0	R/W
[4:2]	DITHER1_SCALE	ディザ 1 の LSB のポジションを選択。	0x0	R/W
1	EN_DITHER2	ディザを第 2 アキュムレータに適用。	0x0	R/W
0	EN_DITHER1	ディザを第 1 アキュムレータに適用。	0x0	R/W

## レジスタの詳細

アドレス : 0x027、リセット : 0x80、レジスタ名 : REG0027

表 56. REG0027 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	PD_ALL	メイン電源のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x1	R/W
6	PD_RDIV	R 分周器のパワーダウン。 0 : 通常動作。 1 : R 分周器をパワーダウン。	0x0	R/W
5	PD_NDIV	N 分周器のパワーダウン。 0 : 通常動作。 1 : N 分周器をパワーダウン。	0x0	R/W
4	PD_VCO	VCO のパワーダウン。 0 : 通常動作。 1 : VCO をパワーダウン。	0x0	R/W
3	PD_LD	ロック検出器のパワーダウン。 0 : 通常動作。 1 : ロック検出器をパワーダウン。	0x0	R/W
2	PD_PFDPCP	PFD チャージ・ポンプのパワーダウン。 0 : 通常動作。 1 : PDF チャージ・ポンプをパワーダウン。	0x0	R/W
1	PD_ADC	温度 ADC のパワーダウン。 0 : 通常動作。 1 : ADC をパワーダウン。	0x0	R/W
0	PD_CALGEN	VTUNE キャリブレーション DAC のパワーダウン。 0 : 通常動作。 1 : VTUNE キャリブレーション DAC をパワーダウン。	0x0	R/W

アドレス : 0x028、リセット : 0x01、レジスタ名 : REG0028

表 57. REG0028 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R/W
1	PD_PFDNCLK	PFD に印加される NCLK のパワーダウン。 0 : NCLK をディスエーブル。 1 : NCLK をイネーブル。	0x0	R/W
0	PD_ODIV	出力分周器のパワーダウン。 0 : RFOUT_DIV をイネーブル。 1 : RFOUT_DIV をディスエーブル。	0x1	R/W

アドレス : 0x029、リセット : 0x00、レジスタ名 : REG0029

表 58. REG0029 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	LDWIN_PW	ロック検出器のパルス・ウィンドウ幅。 001 : インテジャー PLL、100MHz の最高設定 PFD。 011 : フラクショナル PLL、100MHz の最高設定 PFD、RF >= 3.65GHz。	0x0	R/W
[4:0]	LD_COUNT	LD がハイになるまでの PFD サイクル数。	0x0	R/W

## レジスタの詳細

アドレス : 0x02A、リセット : 0x00、レジスタ名 : REG002A

表 59. REG002A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG2A_RSV7	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
6	REG2A_RSV6	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
5	EN_LOL	ロック喪失検出器のイネーブル。 0 : ロック喪失検出器をディスエーブル。 1 : ロック喪失検出器をイネーブル。	0x0	R/W
4	EN_LDWIN	ロック検出器のパルス・ウィンドウのイネーブル。 0 : ロック検出器のパルス・ウィンドウをディスエーブル。 1 : ロック検出器のパルス・ウィンドウをイネーブル。	0x0	R/W
3	RESERVED	予約済み。	0x0	R/W
2	RST_LD	ロック検出器をアンロック状態にリセット。 0 : リセットで非アクティブ。 1 : リセットでアクティブ。	0x0	R/W
1	ABPW_WD	PFD のバックラッシュ防止パルス幅。	0x0	R/W
0	RESERVED	予約済み。	0x0	R/W

アドレス : 0x02B、リセット : 0x04、レジスタ名 : REG002B

表 60. REG002B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	MUXOUT	MUXOUT のテスト信号の選択。 0000 : 高インピーダンス。 0001 : LKDET。 0010 : 低。 0011 : SDMCLK/2。 0100 : RCLK/2。 0101 : NCLK/2。 0110 : ADC_BUSY。 0111 : 低。 1000 : 高。 1001 : VCOCAL RBAND/2。 1010 : VCOCAL NBAND/2。 1011 : 高。 1100 : 高。 1101 : 高。 1110 : 高。 1111 : アナログ・テスト。	0x0	R/W
3	EN_MUXOUT	SDO への MUXOUT のイネーブル。 0 : MUXOUT をディスエーブル。 1 : MUXOUT をイネーブル。	0x0	R/W
2	EN_CPTEST	チャージ・ポンプ強制アップ/ダウン・テスト・モードのイネーブル。 0 : チャージ・ポンプ強制アップ/ダウン・テスト・モードをオフ (通常動作)。 1 : チャージ・ポンプ強制アップ/ダウン・テスト・モードをオン。	0x1	R/W
1	CP_DOWN	チャージ・ポンプ・テスト・モードでの強制ポンプ・ダウン。 0 : 強制ポンプ・ダウンをオフ。 1 : 強制ポンプ・ダウンをオン。	0x0	R/W
0	CP_UP	チャージ・ポンプ・テスト・モードでの強制ポンプ・アップ。 0 : 強制ポンプ・アップをオフ。 1 : 強制ポンプ・アップをオン。	0x0	R/W

## レジスタの詳細

アドレス : 0x02C、リセット : 0x00、レジスタ名 : REG002C

表 61. REG002C のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RFODIV_DB	RFOUT_DIV ビット・フィールドのダブル・バッファのイネーブル。 0 : RFOUT_DIV をダブル・バッファしない。 1 : RFOUT_DIV をダブル・バッファする。	0x0	R/W
6	RESERVED	予約済み。	0x0	R/W
5	RESERVED	予約済み。	0x0	R/W
4	RST_SYS	SPI 以外のデジタル部とレジスタを POR 状態にリセット。 0 : リセットで非アクティブ。 1 : リセットでアクティブ。	0x0	R/W
3	EN_ADC_CLK	ADC クロックのイネーブル。 0 : ADC クロックをディスエーブル。 1 : ADC クロックをイネーブル。	0x0	R/W
2	RESERVED	予約済み。	0x0	R/W
1	CAL_CT_SEL	VCO キャリブレーションで使用される DIV_RCLK サイクル数を 1 減少。	0x0	R/W
0	RESERVED	予約済み。	0x0	R/W

アドレス : 0x02D、リセット : 0x00、レジスタ名 : REG002D

表 62. REG002D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R/W
2	O_VCO_BIAS	VCO バイアスを M_VCO_BIAS でオーバーライド。 0 : VCO バイアスを VCO キャリブレーションのステート・マシン出力を選択。 1 : VCO バイアスを M_VCO_BIAS を選択。	0x0	R/W
1	O_VCO_BAND	VCO 帯域を M_VCO_BAND でオーバーライド。 0 : VCO 帯域コードに VCO キャリブレーションのステート・マシン出力を使用。 1 : VCO 帯域コードに M_VCO_BAND を使用。	0x0	R/W
0	O_VCO_CORE	VCO コアを M_VCO_CORE でオーバーライド。 0 : VCO コアに VCO キャリブレーションのステート・マシン出力を選択。 1 : VCO コアに M_VCO_CORE を選択。	0x0	R/W

アドレス : 0x02E、リセット : 0x00、レジスタ名 : REG002E

表 63. REG002E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x02F、リセット : 0x00、レジスタ名 : REG002F

表 64. REG002F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CAL_COUNT_TO	VCO キャリブレーションの各デジジョンあたりの時間。 $CAL\_COUNT\_TO = \text{ceil}(8\mu\text{s} \times f_{\text{PFD}})/16$ 。	0x0	R/W

## レジスタの詳細

アドレス : 0x030、リセット : 0x00、レジスタ名 : REG0030

表 65. REG0030 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CAL_VTUNE_TO[7:0]	VCO キャリブレーションの VTUNE CAL-DAC セトリングの時間。 $CAL\_VTUNE\_TO = \text{ceil}(1\mu\text{s} \times f_{\text{PFD}})$ 。	0x0	R/W

アドレス : 0x031、リセット : 0x00、レジスタ名 : REG0031

表 66. REG0031 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	O_VCO_DB	M_VCO_CORE、M_VCO_BAND、M_VCO_BIAS のダブル・バッファリング。 0 : コア、バイアス、帯域をダブル・バッファリングしない。 1 : コア、バイアス、帯域をダブル・バッファリングする。	0x0	R/W
[6:0]	CAL_VTUNE_TO[14:8]	VCO キャリブレーションの VTUNE CAL-DAC セトリングの時間。 $CAL\_VTUNE\_TO = \text{ceil}(1\mu\text{s} \times f_{\text{PFD}})$ 。	0x0	R/W

アドレス : 0x032、リセット : 0x00、レジスタ名 : REG0032

表 67. REG0032 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CAL_VCO_TO[7:0]	VCO キャリブレーションの帯域/コア・セトリングの時間。 $CAL\_VCO\_TO = \text{ceil}(2\mu\text{s} \times f_{\text{PFD}})$ 。	0x0	R/W

アドレス : 0x033、リセット : 0x00、レジスタ名 : REG0033

表 68. REG0033 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	DEL_CTRL_DB	遅延制御のダブル・バッファリング。BLEED_I、BLEED_POL のダブル・バッファリングの設定。 0 : ダブル・バッファリングしない。 1 : ダブル・バッファリングする。	0x0	R/W
[6:0]	CAL_VCO_TO[14:8]	VCO キャリブレーションの帯域/コア・セトリングの時間。 $CAL\_VCO\_TO = \text{ceil}(2\mu\text{s} \times f_{\text{PFD}})$ 。	0x0	R/W

アドレス : 0x034、リセット : 0x00、レジスタ名 : REG0034

表 69. REG0034 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED[7:0]	予約済み。	0x0	R/W

アドレス : 0x035、リセット : 0x00、レジスタ名 : REG0035

表 70. REG0035 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R/W
5	CMOS_OV	SDO、SDIO のロジック・ハイ電圧。 0 : 1.8V ロジック。 1 : 3.3V ロジック。	0x0	R/W
[4:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x036、リセット : 0x00、レジスタ名 : REG0036

表 71. REG0036 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_CLK_DIV	ADC CLK 周波数 = $f_{\text{PFD}} / ((\text{ADC\_CLK\_DIV} \times 4) + 2)$ 。	0x0	R/W

## レジスタの詳細

アドレス : 0x037、リセット : 0x00、レジスタ名 : REG0037

表 72. REG0037 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_ADC_CNV	ADC 変換のイネーブル。 0 : ADC 変換を実行しない。 1 : ADC がイネーブルの場合、R0x10 への書込みで ADC 変換を実行。	0x0	R/W
[6:2]	RESERVED	予約済み。	0x0	R/W
1	EN_ADC	ADC のイネーブル。 0 : ADC をディスエーブル。 1 : ADC をイネーブル。	0x0	R/W
0	ADC_CLK_TEST_SEL	ADC クロック源の選択。 0 : ADC クロック源として RCLK を使用。 1 : ADC クロック源として SPI SCK を使用。	0x0	R/W

アドレス : 0x038、リセット : 0x00、レジスタ名 : REG0038

表 73. REG0038 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
6	REG38_RSV6	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
5	REG38_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG38_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG38_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG38_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG38_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG38_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x039、リセット : 0x00、レジスタ名 : REG0039

表 74. REG0039 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
6	REG39_RSV6	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
5	REG39_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG39_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG39_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG39_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG39_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG39_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x03A、リセット : 0x00、レジスタ名 : REG003A

表 75. REG003A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x03B、リセット : 0x00、レジスタ名 : REG003B

表 76. REG003B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

## レジスタの詳細

アドレス : 0x03C、リセット : 0x00、レジスタ名 : REG003C

表 77. REG003C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x03D、リセット : 0x00、レジスタ名 : REG003D

表 78. REG003D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x03E、リセット : 0x00、レジスタ名 : REG003E

表 79. REG003E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x03F、リセット : 0x00、レジスタ名 : REG003F

表 80. REG003F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG3F_RSV7	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
6	REG3F_RSV6	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
5	REG3F_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG3F_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG3F_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG3F_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG3F_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG3F_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x040、リセット : 0x00、レジスタ名 : REG0040

表 81. REG0040 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R/W
5	REG40_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG40_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG40_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG40_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG40_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG40_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x041、リセット : 0x00、レジスタ名 : REG0041

表 82. REG0041 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

## レジスタの詳細

アドレス : 0x042、リセット : 0x00、レジスタ名 : REG0042

表 83. REG0042 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x043、リセット : 0x00、レジスタ名 : REG0043

表 84. REG0043 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x044、リセット : 0x00、レジスタ名 : REG0044

表 85. REG0044 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	ADC_ST_CNV	このビットに書込みを行うと、ADC 変換が開始します。	0x0	R/W

アドレス : 0x045、リセット : 0x00、レジスタ名 : REG0045

表 86. REG0045 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED[7:0]	予約済み。	0x0	R

アドレス : 0x046、リセット : 0x00、レジスタ名 : REG0046

表 87. REG0046 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED[15:8]	予約済み。	0x0	R

アドレス : 0x047、リセット : 0x00、レジスタ名 : REG0047

表 88. REG0047 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED[23:16]	予約済み。	0x0	R

アドレス : 0x048、リセット : 0x00、レジスタ名 : REG0048

表 89. REG0048 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	ADC_BUSY	1 = ADC 変換が進行中。	0x0	R
1	FSM_BUSY	1 = VCO キャリブレーションが進行中。	0x0	R
0	LOCKED	ロック検出器の出力。	0x0	R

アドレス : 0x049、リセット : 0x00、レジスタ名 : REG0049

表 90. REG0049 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
[2:0]	VCO_BIAS	VCO バイアスが選択されている。	0x0	R

## レジスタの詳細

アドレス : 0x04A、リセット : 0x00、レジスタ名 : REG004A

表 91. REG004A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIP_TEMP[7:0]	ADCが測定した温度。ビット[8] = 符号ビット、ビット[7:0] = 大きさ。	0x0	R

アドレス : 0x04B、リセット : 0x00、レジスタ名 : REG004B

表 92. REG004B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	CHIP_TEMP[8]	ADCが測定した温度。ビット[8] = 符号ビット、ビット[7:0] = 大きさ。	0x0	R

アドレス : 0x04C、リセット : 0x00、レジスタ名 : REG004C

表 93. REG004C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x04D、リセット : 0x00、レジスタ名 : REG004D

表 94. REG004D のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	VCO_CORE	VCO コアが選択されています。	0x0	R
[6:0]	VCO_BAND	VCO 帯域が選択されています。	0x0	R

アドレス : 0x04E、リセット : 0x00、レジスタ名 : REG004E

表 95. REG004E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予約済み。	0x0	R

アドレス : 0x04F、リセット : 0x00、レジスタ名 : REG004F

表 96. REG004F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VERSION	チップのバージョン。	0x0	R

アドレス : 0x100、リセット : 0x00、レジスタ名 : REG0100

表 97. REG0100 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG100_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG100_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG100_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG100_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG100_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG100_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

## レジスタの詳細

アドレス : 0x101、リセット : 0x00、レジスタ名 : REG0101

表 98. REG0101 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG101_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG101_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG101_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG101_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG101_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG101_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x102、リセット : 0x00、レジスタ名 : REG0102

表 99. REG0102 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG102_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG102_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG102_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG102_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG102_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG102_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x103、リセット : 0x00、レジスタ名 : REG0103

表 100. REG0103 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG103_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG103_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG103_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG103_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG103_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG103_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x104、リセット : 0x00、レジスタ名 : REG0104

表 101. REG0104 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG104_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG104_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG104_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG104_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG104_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG104_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

## レジスタの詳細

アドレス : 0x105、リセット : 0x00、レジスタ名 : REG0105

表 102. REG0105 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG105_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG105_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG105_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG105_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG105_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG105_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x106、リセット : 0x00、レジスタ名 : REG0106

表 103. REG0106 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG106_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG106_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG106_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG106_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG106_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG106_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

アドレス : 0x107、リセット : 0x00、レジスタ名 : REG0107

表 104. REG0107 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REG107_RSV5	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
4	REG107_RSV4	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
3	REG107_RSV3	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
2	REG107_RSV2	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
1	REG107_RSV1	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W
0	REG107_RSV0	予約済み。表 16 (レジスタ・マップ) に予約済みレジスタの設定を示しています。	0x0	R/W

外形寸法

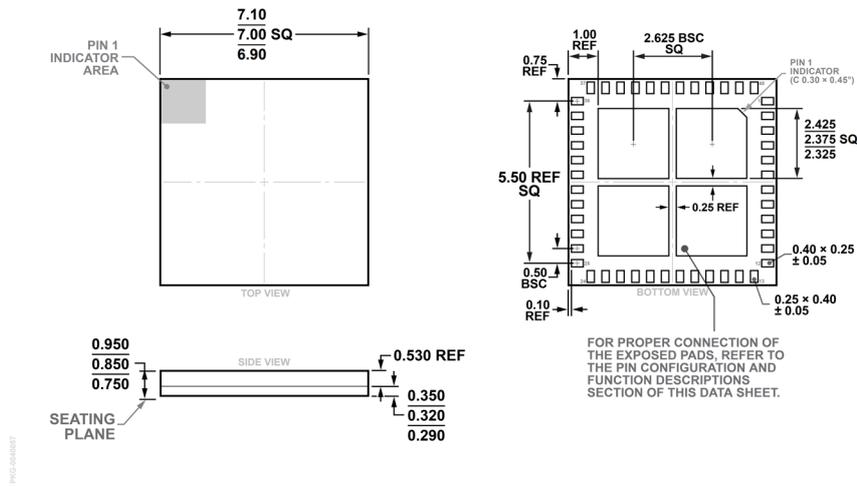


図 56. 48 端子のランド・グリッド・アレイ [LGA]  
(CC-48-14)  
寸法 : mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADF5612CCCZ	-40°C to +105°C	48-Terminal Land Grid Array [LGA]	Tray	CC-48-14
ADF5612CCCZ-RL7	-40°C to +105°C	48-Terminal Land Grid Array [LGA]	Reel	CC-48-14

<sup>1</sup> Z = RoHS 準拠製品。

評価用ボード

Model <sup>1</sup>	Description
EV-ADF5612SD1Z	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2025年7月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年7月17日

製品名： **ADF5612**

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所： 24頁、左の段、箇条書き3番aの最初の文

**【誤】**

「SDO\_ACTIVE ビット (レジスタ 0x000、ビット 3) と CMOS\_OV ビット (レジスタ 0d035、ビット 5) を、・・・」

**【正】**

「SDO\_ACTIVE ビット (レジスタ 0x000、ビット 3) と CMOS\_OV ビット (レジスタ 0x035、ビット 5) を、・・・」