

## VCO 内蔵マイクロ波広帯域シンセサイザ

### 特長

- ▶ 基本波 VCO の周波数範囲：10GHz~20GHz
- ▶ ADF4382 と比較して VCO の位相ノイズを最大 3dB 改善
- ▶ 20GHz での積分実効値ジッタ = 18fs (積分帯域幅：100Hz~100MHz)
- ▶ 20GHz での積分実効値ジッタ = 31fs (ADC SN 比法)
- ▶ VCO 高速キャリブレーション時間：<2 $\mu$ s
- ▶ VCO 自動キャリブレーション時間：<100 $\mu$ s
- ▶ 位相ノイズ・フロア：20GHz で-156dBc/Hz
- ▶ PLL 仕様
  - ▶ -239dBc/Hz：正規化された帯域内位相ノイズ・フロア (インテジャー・モード)
  - ▶ -287dBc/Hz：正規化された 1/f 位相ノイズ・フロア
  - ▶ 最大位相ノイズ検出器入力周波数：625MHz
  - ▶ リファレンス入力周波数：4.5GHz
  - ▶  $f_{PFD}$  のスプリアス (代表値)：-90dBc
- ▶ リファレンスと出力の間の遅延仕様
  - ▶ 伝搬遅延の温度係数：0.06ps/°C
  - ▶ 調整ステップ・サイズ：<1ps
- ▶ マルチチップ出力位相アライメント
- ▶ 3.3V および 5V の電源
- ▶ ADIsimPLL™ ループ・フィルタ設計ツールに対応
- ▶ 7mm × 7mm 48 端子 LGA
- ▶ 動作温度範囲：-40°C~+105°C

### アプリケーション

- ▶ 高性能データ・コンバータへのクロック供給
- ▶ ワイヤレス・インフラストラクチャ (MC-GSM、5G、6G)
- ▶ 試験および計測

### 機能ブロック図

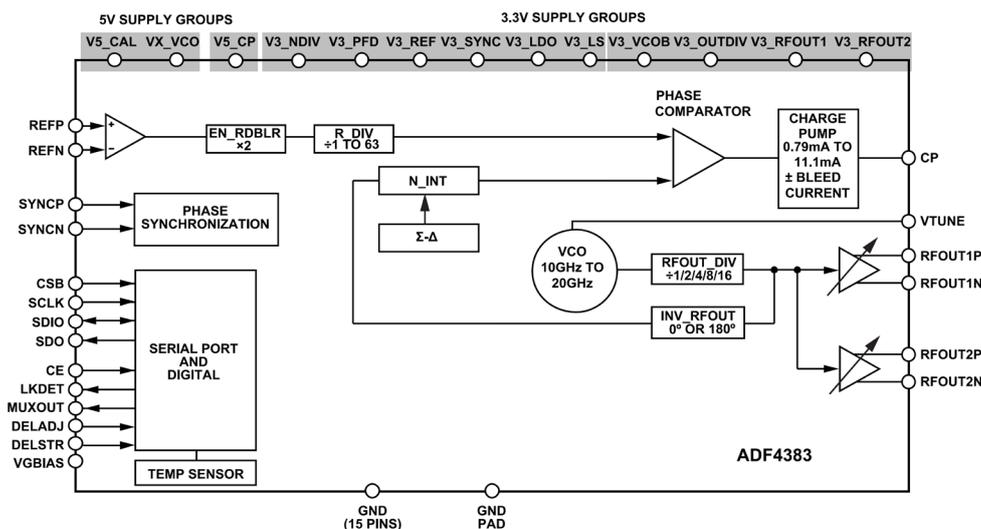


図 1. ADF4383 の機能ブロック図

### 概要

ADF4383 は、高性能、超低ジッタのフラクショナル N フェーズ・ロック・ループ (PLL) です。電圧制御発振器 (VCO) を内蔵しており、5G アプリケーションまたはデータ・コンバータ・クロック・アプリケーションの局所発振器 (LO) 生成に最適です。この高性能 PLL は、-239dBc/Hz の性能指数、低い 1/f ノイズ、および高い PFD 周波数 (インテジャー・モードで 625MHz) を備え、極めて小さい帯域内ノイズと積分ジッタを実現できます。ADF4383 は 10GHz~20GHz の基本オクターブ範囲で周波数を生成できるため、低調波フィルタが不要になります。ADF4383 の出力分周器は、625MHz~20GHz の出力周波数範囲全体を生成できます。

複数データ・コンバータ・クロックのアプリケーションの場合、ADF4383 は、PLL フィードバック・ループに出力分周器を含めることにより、入力リファレンス・エッジに合わせて出力を自動的に調整します。確定的遅延や遅延調整機能が必要なアプリケーションに対し、リファレンスと出力の間の遅延を 1ps 未満の分解能で設定できます。複数のデバイスや温度変化に対してリファレンスと出力の間の遅延が維持されるため、予測可能な高精度なマルチチップ・アライメントが可能です。

ADF4383 のブロック図はシンプルであるため、単純化されたシリアル・ペリフェラル・インターフェース (SPI) レジスタ・マップ、外部 SYNC 入力、インテジャー・モードとフラクショナル・モードの両方で繰り返し可能なマルチチップ・アライメントによって、開発時間を短縮できます。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	回路の説明.....	20
アプリケーション.....	1	アプリケーション情報.....	31
概要.....	1	パワーアップと初期化のシーケンス.....	31
機能ブロック図.....	1	ループ・フィルタの設計.....	33
仕様.....	3	リファレンス源に関する考慮事項.....	33
シリアル・インターフェースのタイミング特性.....	7	同期入力ネットワーク.....	34
位相調整 2 線式インターフェース.....	8	出力の位相ノイズ特性.....	34
絶対最大定格.....	9	複数の ADF4383 デバイスの出力位相同期.....	35
熱抵抗.....	9	位相同期の設定値.....	37
トランジスタ数.....	9	位相再同期.....	38
静電放電 (ESD) 定格.....	9	レジスタ・マップ.....	39
ESD に関する注意.....	9	レジスタの詳細.....	44
ピン配置およびピン機能の説明.....	10	外形寸法.....	80
代表的な性能特性.....	12	オーダー・ガイド.....	80
動作原理.....	19	評価用ボード.....	80
はじめに.....	19		
出力周波数.....	20		

## 改訂履歴

1/2025—Revision 0: Initial Version

仕様

特に指定のない限り、3.3V 電源グループ 1 ピン電圧 ( $V_{3.3V_1}$ ) = 3.3V 電源グループ 2 ピン電圧 ( $V_{3.3V_2}$ ) = 3.15V~3.45V、 $V5\_VCO$  電圧 ( $V_{5V\_VCO}$ ) = 5V\_CP 電圧 ( $V_{5V\_CP}$ ) = 5V\_CAL 電圧 ( $V_{5V\_CAL}$ ) = 4.75V~5.25V、全ての電圧は GND 基準、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ 、動作温度範囲。

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>REFERENCE INPUTS (REFP AND REFN)</b>						
Input Frequency	$f_{REF}$	10		4500	MHz	Refer to <a href="#">Figure 46</a>
Input Signal Level	$V_{REF}$	0.5		2.6	V p-p	
Minimum Input Slew Rate			100		V/ $\mu$ s	
Input Duty Cycle			50		%	
Self Bias Voltage			1.85		V	
Input Resistance			3		k $\Omega$	
Input Capacitance			1		pF	
Input Current			2		$\mu$ A	
<b>REFERENCE PEAK DETECTOR</b>						
Input Frequency		10		4500	MHz	$f_{REF} = 100$ MHz, single-ended sine wave
Minimum Input Signal Detected (REF_OK = 1)			200		mV p-p	
Maximum Input Signal Not Detected (REF_OK = 0)			160		mV p-p	
<b>REFERENCE DIVIDER</b>						
		1		63		All integers included
<b>REFERENCE DOUBLER</b>						
Input Frequency		10		2000	MHz	EN_RDBLR = 1
<b>PHASE/FREQUENCY DETECTOR (PFD)</b>						
Input Frequency	$f_{PFD}$					Integer mode, for all values of the N divider, excluding 15 and 28 to 31 For the N divider values 15 and 28 to 31 EFM3_MODE = 0 and EFM3_MODE = 4 EFM3_MODE = 5
Integer Mode		5.4		625	MHz	
		5.4		540	MHz	
Fractional Mode		5.4		250	MHz	
		5.4		220	MHz	
<b>SYNCHRONIZATION INPUTS (SYNCP AND SYNCN)</b>						
Input Signal Level	$V_{REF}$	0.4		2.6	V p-p	Low voltage differential signaling (LVDS) mode, differential
		0.5		2.6	V p-p	Current mode logic (CML) mode, differential
Self Bias Voltage			1.3		V	LVDS mode
			1.85		V	CML mode
Synchronization to Reference Setup Time		400			ps	Common-mode voltage ( $V_{CM}$ ) set to self bias voltage, $V_{CM} = 0.8$ V p-p
Synchronization to Reference Hold Time		600			ps	$V_{CM}$ set to self bias voltage, $V_{CM} = 0.8$ V p-p
Input Resistance			3		k $\Omega$	Differential
Input Capacitance			1		pF	Differential
Input Current			3		$\mu$ A	
<b>CHARGE PUMP (CP)</b>						
Output Current	$I_{CP}$					Set by the CP_I bit fields
Minimum			0.79		mA	
Maximum			11.1		mA	Set by the CP_I bit fields
Output Current Source and Sink						All setting, CP voltage ( $V_{CP}$ ) = $V_{CP}/2$
Accuracy			$\pm 2$		%	
Matching			$\pm 2$		%	All setting, $V_{CP} = V_{CP}/2$
Output Current vs. Output Voltage Sensitivity			0.2		% V/V	$V_{CP}^1$
Output Current vs. Temperature			280		ppm/C	$V_{CP} = V_{CP}/2$
Output High-Z Leakage Current			-0.01		$\mu$ A	Minimum $I_{CP}$ , $V_{CP}^1$
			-0.3		$\mu$ A	Maximum $I_{CP}$ , $V_{CP}^1$

## 仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>VCO</b>						
Fundamental Frequency Range	$f_{VCO}$	10		20	GHz	
VCO Autocalibration Time			100		$\mu$ s	
Tuning Sensitivity	$K_{VCO}$		50 to 150		MHz/V	$K_{VCO}^{2,3}$
Lock and Leave Temperature Range <sup>4</sup>		-40		+105	$^{\circ}$ C	Maintains lock without reprogramming the device
Divided Reference Clock (DIV_RCLK) VCO Calibration Frequency	$f_{DIV\_RCLK}$			125	MHz	Must set DCLK_MODE = 1, when $f_{DIV\_RCLK} > 80$ MHz
<b>FEEDBACK (N) AND OUTPUT DIVIDER (O)</b>						
N		4		4095		Integer mode
		19		4095		Fractional mode
O		1		16		1, 2, 4, 8, and 16
<b>RF OUTPUTS (RFOUT1P and RFOUT1N, RFOUT2P and RFOUT2N)</b>						
Output Frequency	$f_{OUT}$	10		20	GHz	Differential termination = 100 $\Omega$ for all RF output (RFOUT) specifications unless otherwise noted
Divide by 2		5		10	GHz	
Divide by 4		2.5		5	GHz	
Divide by 8		1.25		2.5	GHz	
Divide by 16		0.625		1.25	GHz	
Differential RF Output Power	$P_{RFOUT}$		10		dBm	RFOUT1_OPWR = RFOUT2_OPWR = 11, $f_{OUT} = 11$ GHz
			9		dBm	RFOUT1_OPWR = RFOUT2_OPWR = 11, $f_{OUT} = 14$ GHz
			5		dBm	RFOUT1_OPWR = RFOUT2_OPWR = 11, $f_{OUT} = 20$ GHz
Output Resistance			100		$\Omega$	Differential
Output Common Mode			$3.3 - V_{OD}^5$		V	
Output Rise Time	$t_R$		15		ps	20% to 80%, RFOUT1_OPWR = RFOUT2_OPWR = 1
Output Fall Time	$t_F$		15		ps	80% to 20%, RFOUT1_OPWR = RFOUT2_OPWR = 1
Output Duty Cycle			50		%	
Skew, RFOUT1 to RFOUT2			$\pm 3$		ps	
<b>REFERENCE INPUT TO OUTPUT DELAY</b>						
Propagation Delay	$t_{PD}$		190		ps	Device setup for all delay specifications unless noted as follows, measure rising reference edge at reference input to rising edge at RFOUT output
Propagation Delay Temperature Coefficient	$t_{PD-TC}$		0.06		ps/ $^{\circ}$ C	REF_SEL = 0 and REF_SEL = 1
						REF_SEL = 0
<b>LOGIC INPUTS (CSB, SCLK, SDIO, DELADJ and DELSTR)</b>						
Input High Voltage	$V_{INH}$	1.2			V	
Input Low Voltage	$V_{INL}$			0.6	V	
Input Current	$I_{IH}/I_{IL}$			$\pm 1$	$\mu$ A	
Input Capacitance	$C_{IN}$		3		pF	
<b>LOGIC INPUT (CE)</b>						
Input High Voltage	$V_{INH-3V}$	1.8			V	
Input Low Voltage	$V_{INL-3V}$			0.8	V	
Input Current	$I_{IH-3V}/I_{IL-3V}$			$\pm 1$	$\mu$ A	
Input Capacitance	$C_{IN-3V}$		3		pF	

仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
<b>LOGIC OUTPUTS (SDIO, SDO, LKDET, and MUXOUT)</b>						
Output High Voltage (1.8 V Mode)	$V_{OH-1.8V}$	1.5	1.8	2	V	Output high current ( $I_{OH}$ ) = 500 $\mu$ A, 1.8 V output selected (default setting)
Output High Voltage (3.3 V Mode)	$V_{OH-3V}$	$V_{3.3V} - 0.4$				$I_{OH}$ = 500 $\mu$ A, 3.3 V output selected, set by the voltage on the V3_LDO pin, and CMOS_OV can set to either 1.8 V or 3.3 V logic
Output Low Voltage	$V_{OL}$			0.4	V	Output low current ( $I_{OL}$ ) = 500 $\mu$ A
SDO High-Z Leakage	$I_{ZH}/I_{ZL}$			$\pm 1$	$\mu$ A	
<b>POWER SUPPLIES</b>						
V5_VCO Supply Range	$V_{V5\_VCO}$	4.75	5	5.25	V	Device Setup is default configuration for all Supply Current specifications unless noted below.  Group 1: V3_LS, V3_LDO, V3_REF, V3_PFD, V3_NDIV, and V3_SYNC Group 2: V3_RFOUT1, V3_RFOUT2, V3_VCO, and V3_OUTDIV $f_{OUT}$ = 10 GHz to 20 GHz, RFOUT_DIV = 0, maximum charge pump current  During VCO calibration $I_{CP}$ = 11.1 mA  PD_RFOUT1 = 0, PD_RFOUT2 = 0, RFOUT1_OPWR = 11, and RFOUT2_OPWR = 11 (maximum power) PD_RFOUT1 = 1, PD_RFOUT2 = 0, RFOUT1_OPWR = 11, and RFOUT2_OPWR = 11 (maximum power)
V5_CAL Supply Range	$V_{V5\_CAL}$	4.75	5	5.25	V	
V5_CP Supply Range	$V_{V5\_CP}$	4.75	5	5.25	V	
V <sub>3.3V_1</sub> Supply Range	$V_{3.3V\_1}$	3.15	3.3	3.45	V	
V <sub>3.3V_2</sub> Supply Range	$V_{3.3V\_2}$	3.15	3.3	3.45	V	
V5_VCO Supply Current	$I_{5V\_VCO}$		140	195	mA	
V5_CAL Supply Current	$I_{5V\_CAL}$		105	215	$\mu$ A	
V5_CP Supply Current	$I_{5V\_CP}$		60	70	mA	
V <sub>3.3V_1</sub> Supply Current	$I_{3.3V\_1}$		200	240	mA	
V <sub>3.3V_2</sub> Supply Current	$I_{3.3V\_2}$		310	340	mA	
Typical Power Dissipation	$P_{DIS}$		2.2 to 2.6			
Typical Power Down Current						
3.3 V			3.1		mA	PD_ALL = 1, $I_{3.3V\_1}$ + $I_{3.3V\_2}$
5 V			340		$\mu$ A	PD_ALL = 1, $I_{VCO-5V}$ + $I_{CAL-5V}$ + $I_{CP-5V}$
Typical Disable Current						
3.3 V Supplies			710		$\mu$ A	CE = low, $I_{3.3V\_1}$ + $I_{3.3V\_2}$
5 V Supplies			340		$\mu$ A	CE = low, $I_{VCO-5V}$ + $I_{CAL-5V}$ + $I_{CP-5V}$
<b>RF OUTPUT NOISE CHARACTERISTICS</b>						
RF Output = 20 GHz						
Phase Noise Floor			-156		dBc/Hz	VCO noise in open-loop conditions, and offset from 20 GHz carrier
100 KHz Offset			-106		dBc/Hz	
1 MHz Offset			-128		dBc/Hz	
10 MHz Offset			-147		dBc/Hz	
RF Output = 14 GHz						
Phase Noise Floor			-156		dBc/Hz	
100 KHz Offset			-108		dBc/Hz	
1 MHz Offset			-128		dBc/Hz	
10 MHz Offset			-148		dBc/Hz	

## 仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Normalized In-Band Phase Noise Floor <sup>6</sup>						
Integer Mode	L <sub>NORM-INT</sub>		-239		dBc/Hz	
Fractional Mode	L <sub>NORM-FRAC</sub>		-237		dBc/Hz	
Normalized 1/f Phase Noise Floor <sup>6, 7</sup>	L <sub>1/f</sub>		-287		dBc/Hz	Normalized to 1 Hz
Normalized 1/f Figure of Merit (FOM) <sup>7</sup>	L <sub>1/f_1G_10k</sub>					
Integer Mode	L <sub>1/f_1G_10k INT</sub>		-147		dBc/Hz	
Fractional Mode	L <sub>1/f_1G_10k FRAC</sub>		-143		dBc/Hz	
Integrated RMS Jitter						
Integration Bandwidth: 100 Hz to 100 MHz			18		fs	RFOUT = 20 GHz
ADC SNR Method			31		fs	RFOUT = 20 GHz
Spurious						
f <sub>REF</sub>			<-95		dBc	
f <sub>PFD</sub>			-90		dBc	
TEMPERATURE SENSOR (ANALOG-TO-DIGITAL CONVERTER (ADC))						
ADC Clock Frequency	f <sub>ADC_CLK</sub>			400	kHz	ADC clock divider output
ADC Clock Divider Frequency	f <sub>ADC_CLKDIV</sub>			125	MHz	ADC clock divider input
Resolution				8	Bits	

<sup>1</sup>  $0.9V < V_{CP} < V_{SV\_CP} - 0.9V$ .

<sup>2</sup> 電源再投入後またはソフトウェア・パワーオン・リセット後にキャリブレーションを行ったデバイスに対し  $1.60V \leq V_{TUNE} \leq 2.85V$  の範囲で有効です。

<sup>3</sup> 特性評価に基づきます。

<sup>4</sup> 温度範囲は自動化キャリブレーションの場合のみ適用できます。VCO 値を取得するために自動キャリブレーションを実行した場合には、手動キャリブレーションも全範囲で適用できます。

<sup>5</sup> V<sub>OD</sub> は出力差動電圧です。

<sup>6</sup> これらの値は ADIsimPLL でモデル化したものです。

<sup>7</sup> 積分範囲は 1kHz ~ f<sub>OUT</sub> です。

仕様

シリアル・インターフェースのタイミング特性

特に指定のない限り、 $V_{3.3V_1} = 3.3V$ 、 $V_{3.3V_2} = 3.15V \sim 3.45V$ 、 $V_{5V_VCO} = V_{5V_CP} = V_{5V_CAL} = 4.75V \sim 5.25V$ 、全ての電圧は GND 基準、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1. シリアル・インターフェースのタイミング特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SERIAL INTERFACE (CSB, SCLK, SDIO, SDO)						
SCLK Frequency	$f_{SCLK}$			75	MHz	See Figure 2, Figure 3, and Figure 4
SCLK Pulse Width High	$t_{HIGH}$	6			ns	
SCLK Pulse Width Low	$t_{LOW}$	6			ns	
SDIO Setup Time	$t_{DS}$	4			ns	
SDIO Hold Time	$t_{DH}$	2			ns	
SCLK Fall Edge to SDIO Valid Prop Delay	$t_{ACCESS\_SDIO}$	6			ns	
SCLK Fall Edge to SDO Valid Prop Delay	$t_{ACCESS\_SDO}$	6			ns	
CSB Rising Edge to SDIO High-Z	$t_z$	6			ns	
CSB Falling Edge to SCLK Rise Setup Time	$t_s$	2			ns	
SCLK Rising Edge to CSB Rise Hold Time	$t_H$	3			ns	

シリアル・インターフェースのタイミング図

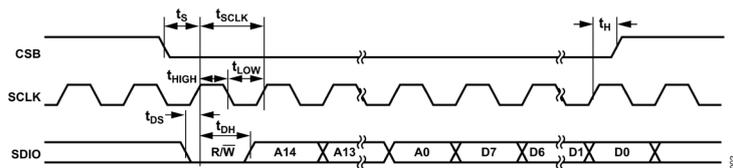


図 2. 書き込みのタイミング図

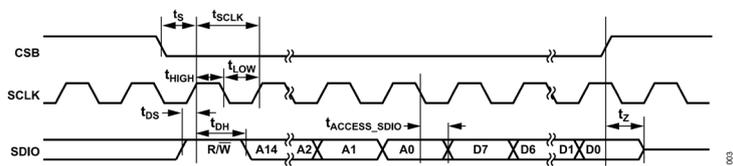


図 3. 3線式読出しのタイミング図 (SDO\_ACTIVE = 0)

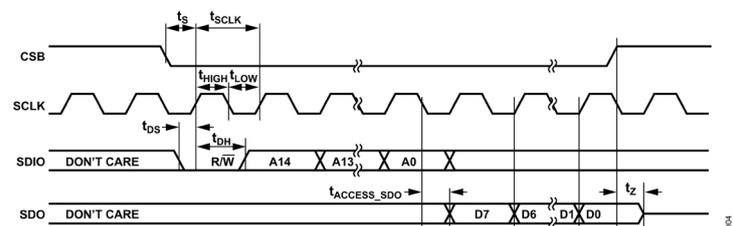


図 4. 4線式読出しのタイミング図 (SDO\_ACTIVE = 1)

仕様

位相調整 2 線式インターフェース

表 2. 位相調整 2 線式インターフェースの仕様

Parameter	Symbol	Min	Typ	Max	Unit
TIME					
Setup	$t_{SU}$	20			ns
Hold	$t_{HLD}$	20			ns
STROBE WIDTH	$t_{STR}$	10			ns

位相調整 2 線式インターフェースのタイミング図

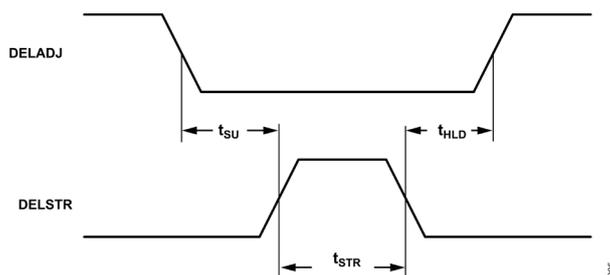


図 5. 2 線式位相調整のタイミング図

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

Parameter	Rating
$V_{3.3V_1}$ ( $V3\_LS$ , $V3\_LDO$ , $V3\_REF$ , $V3\_PFD$ , and $V3\_NDIV$ ) to GND	-0.3 V to +3.6 V
$V_{3.3V_2}$ ( $V3\_VCO$ , $V3\_OUTDIV$ , $V3\_RFOUT1$ , and $V3\_FOUT2$ ) to GND	-0.3 V to +3.6 V
$V_{V5\_CAL}$ , $V_{V5\_VCO}$ , and $V_{V5\_CP}$ to GND	-0.3 V to +5.5 V
Voltage on CP Pin	-0.3 V to $V_{V5\_CP} + 0.3$ V
Voltage on All Other Pins	-0.3 V to $V_{3.3V_1} + 0.3$ V
Digital Outputs (MUXOUT, LKDET, SDO, and SDIO)	5 mA
RFOUT1P/RFOUT1N and RFOUT2P/RFOUT2N	Maximum (GND - 0.3 V, $V_{3.3V_2} - 1.2$ V) to $V_{3.3V_2} + 0.3$ V
REFP and REFN	-0.65 V to $V_{3.3V_1} + 0.65$ V
Voltage on all Other Pins	-0.3 V to $V_{3.3V_1} + 0.3$ V
REFP to REFN and SYNCP to SYNCN	$\pm 1.35$ V
Temperature	
Operating Junction Range	-40°C to +125°C
Storage Range	-55°C to +150°C
Maximum Junction	150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	30 sec

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

$\theta_{JA}$  は最も厳しい条件で仕様規定されています。すなわち表面実装パッケージの回路ボードにデバイスをハンダ付けした状態で仕様規定されています。 $\theta_{JC-TOP}$  および  $\theta_{JC-BOTTOM}$  は、ジャンクションとケース上面およびジャンクションとケース底面との間の熱抵抗です。

表 4. 熱抵抗

Package Type <sup>1</sup>	$\theta_{JA}$	$\theta_{JC-TOP}$	$\theta_{JC-BOTTOM}$	Unit
CC-48-10	25.23	16.11	5.10	°C/W

<sup>1</sup> テスト条件 1: 熱抵抗のシミュレーション値は、熱抵抗パドルをグラウンド・プレーンにハンダ付けした 4 層 PCB を使用して測定していません。

## トランジスタ数

ADF4383 のトランジスタ数は 4700 (バイポーラ) および 385,400 (CMOS) です。

## 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠のデバイス放電モデル (CDM)。

## ADF4383 の ESD 定格

表 5. ADF4383、48 端子 LGA

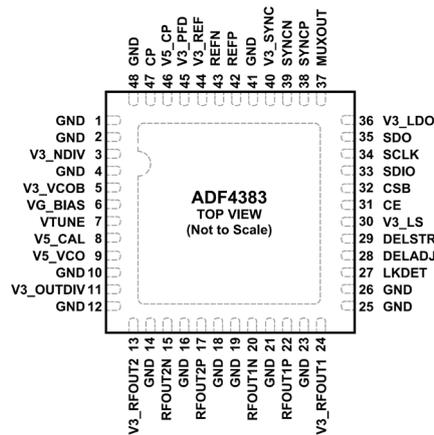
ESD Model	Withstand Threshold (V)	Class
HBM	4000	3A
CDM	1000	C3

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
1. THE LGA HAS AN EXPOSED PADDLE THAT MUST BE CONNECTED TO GND.

006

図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 2, 4, 10, 12, 14, 16, 18, 19, 21, 23, 25, 26, 41, 48	GND	負側電源（グラウンド）。GND ピンはグラウンド・パッドに直接接続します。
3	V3_NDIV	PLL 帰還分周器回路用の 3.15V~3.45V 正側電源ピン。V3_NDIV ピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
5	V3_VCOB	バイアス回路用および VCO のデジタル・ロジック制御部分用の 3.15V~3.45V 正側電源ピン。V3_VCOB ピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
6	VG_BIAS	バイアス・デカップリング・ピン。未実装の 0402 フットプリントの 0.1μF コンデンサを GND に接続します。
7	VTUNE	VCO チューニング入力。通常、この周波数制御ピンは外部ループ・フィルタに接続します。
8	V5_CAL	VCO キャリブレーション回路用の 4.75V~5.25V 正側電源ピン。V5_CAL ピンは、V5_VCO 電源プレーンに短絡できます。
9	V5_VCO	VCO 回路用の 4.75V~5.25V 正側電源ピン。
11	V3_OUTDIV	出力分周器回路用の 3.15V~3.45V 正側電源ピン。V3_OUTDIV ピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
13	V3_RFOUT2	RFOUT2 バッファ回路用の 3.15V~3.45V 正側電源ピン。V3_RFOUT2 ピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
15, 17	RFOUT2N, RFOUT2P	RF 出力 2 の出力信号。VCO 出力分周器はバッファされ、RFOUT2N ピンおよび RFOUT2P ピンに差動で印加されます。出力には、1つの側あたり 50Ω（代表値）の出力抵抗（100Ω の差動インピーダンス）があります。伝送線の他端は通常、出力間に 100Ω を接続して終端されます。出力振幅はシリアル・ポートを介して設定可能です。
20, 22	RFOUT1N, RFOUT1P	RF 出力 1 の出力信号。VCO 出力分周器はバッファされ、RFOUT1N ピンおよび RFOUT1P ピンに差動で印加されます。出力には、1つの側あたり 50Ω（代表値）の出力抵抗（100Ω の差動インピーダンス）があります。伝送線の他端は通常、出力間に 100Ω を接続して終端されます。出力振幅はシリアル・ポートを介して設定可能です。
24	V3_RFOUT1	RFOUT1 バッファ回路用の 3.15V~3.45V 正側電源ピン。V3_RFOUT1 ピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
27	LKDET	PLL ロック検出。この出力は、PLL のロック状態を表します。LKDET がロジック・ハイの場合、PLL はロックされています。
28	DELADJ	遅延調整入力信号。ロジック 0 にすると、RF 出力信号の遅延は DELSTR のアサート後に減少します。ロジック 1 にすると、RF 出力信号の遅延は DELSTR のアサート後に増加します。
29	DELSTR	遅延ストロブ入力信号。この信号の立ち上がりエッジは、調整が必要であることを示します。その後、立下がりエッジで調整が行われます。
30	V3_LS	内部レベル・シフト回路用の 3.15V~3.45V 正側電源ピン。V3_LS ピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
31	CE	チップ・イネーブル。3.3V の CMOS 入力です。1.8V の CMOS レベルには対応していません。この CMOS 入力は、ハイに駆動されるとデバイス動作を有効化します。ロジック・ローになるとデバイス動作を無効化し、デバイスが完全なパワーダウン状態になるため、レジスタがリセットされます。対照的に、PD_ALL ビットはデバイスをパワーダウンしますが、レジスタはリセットしません。

## ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	説明
32	CSB	シリアル・ポート・チップ・セレクト。この CMOS 入力は、ローに駆動されるとシリアル・ポート通信のバーストを開始し、再度ハイに駆動されるとバーストを終了します。
33	SDIO	シリアル・データ入出力。CMOS の入力および出力。入りに設定された場合、シリアル・ポートはデータにこの CMOS 入力を使用します。3 線式リードバック・モード（デフォルト・モード）の場合、SDIO ピンは読み出し通信バーストの間にシリアル・ポートからデータを出力します。
34	SCLK	シリアル・ポート・クロック。この CMOS 入力は、立上がりエッジでシリアル・ポート入力データをクロック同期します。
35	SDO	オプションのシリアル・データ出力。3 線式モード（デフォルト・モード）の場合、このリーステート CMOS ピンは高インピーダンス状態を維持します。4 線式リードバック・モードの場合、SDO ピンは読み出し通信バーストの間にシリアル・ポートからデータを出力します。CSB がデアサートされると、SDO は高インピーダンスに戻ります。オプションで、200kΩ より高い値の抵抗を接続して、出力がフロート状態にならないようにできます。
36	V3_LDO	内部低ドロップアウト（LDO）レギュレータ回路用の 3.15V~3.45V 正側電源ピン。V3_LDO ピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
37	MUXOUT	内部デバイス・マルチプレクサ出力。この出力ピンは、複数の内部ノードに接続して、工場出荷テストやデバッグのために使用できます。
38, 39	SYNCP, SYNCN	同期入力信号。どちらの RF 出力信号もこれらのピンの入力信号に同期できます。SYNCP および SYNCN は、マルチチップ位相同期に使用されます。この差動入力は、高コモンモード入力信号と低コモンモード入力信号のどちらも受容します（SPI のビット設定による）。
40	V3_SYNC	3.15V~3.45V の正側電源。V3_SYNC ピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
42, 43	REFP, REFN	リファレンス入力信号。これらの差動入力は、低ノイズアンプ（LNA）でバッファされ、高スルー・レートの場合（デフォルト・モード）に最適です。低スルー・レートのリファレンス入力信号の場合は、シリアル・ポートを介して代替りの LNA を選択できます。リファレンス入力は自己バイアスされており、1μF のコンデンサで AC カップリングする必要があります。リファレンス入力は、差動入力またはシングルエンド入力を受容します。詳細については、 <a href="#">リファレンス入力ネットワーク</a> のセクションを参照してください。
44	V3_REF	PLL リファレンス回路用の 3.15V~3.45V 正側電源ピン。V3_REF ピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
45	V3_PFD	PFD 回路用の 3.15V~3.45V 正側電源ピン。V3_PFD ピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
46	V5_CP	チャージ・ポンプ回路用の 4.75V~5.25V 正側電源ピン。V5_CP ピンは V5_VCO 電源プレーンから絶縁してください。
47	CP	チャージ・ポンプ出力。通常、この双方向電流出力は外部ループ・フィルタに接続します。
Exposed Pad	GND	負側電源（グラウンド）。パッケージの露出パッドは PCB ランドに直接ハンダ付けする必要があります。PCB ランド・パターンには、グラウンド・インダクタンスと熱抵抗の両方を低く抑えるために、グラウンド・プレーンへの複数のサーマル・ビアを設ける必要があります。

代表的な性能特性

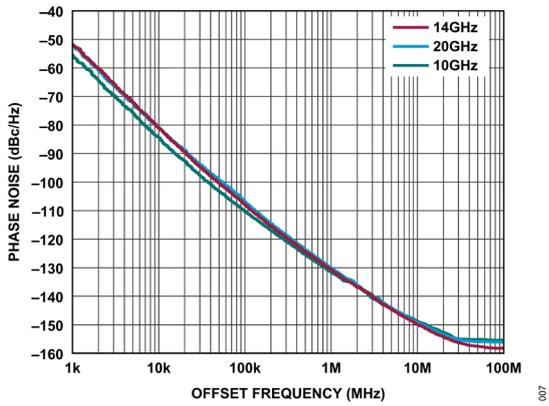


図 7. 異なる周波数でのオープンループ VCO の位相ノイズとオフセット周波数の関係

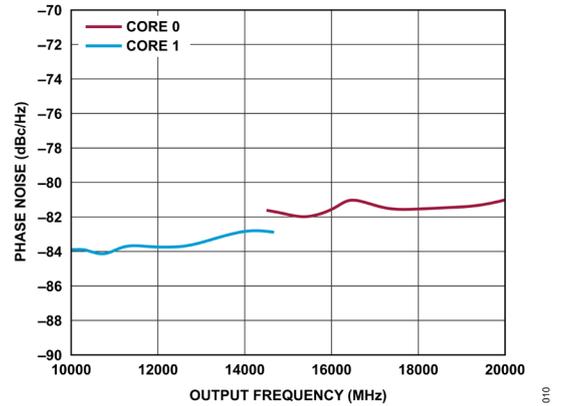


図 10. 10kHz オフセット時のオープンループ VCO の位相ノイズと出力周波数の関係

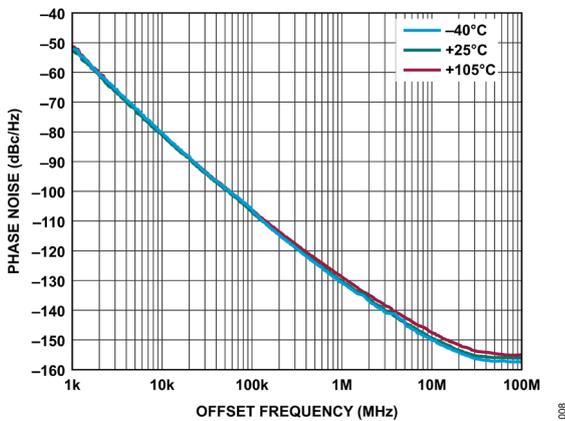


図 8. RFOUT = 20GHz 時の異なる温度でのオープンループ VCO の位相ノイズとオフセット周波数の関係

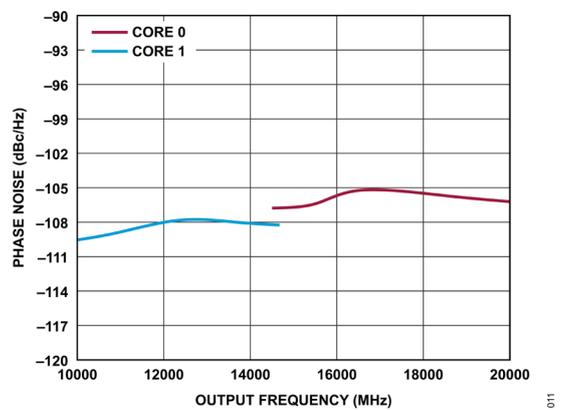


図 11. 100kHz オフセット時のオープンループ VCO の位相ノイズと出力周波数の関係

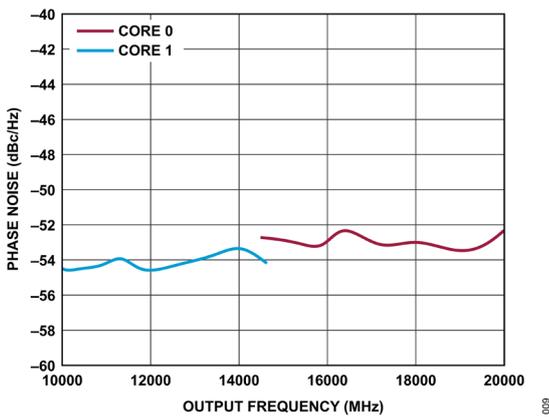


図 9. 1kHz オフセット時のオープンループ VCO の位相ノイズと出力周波数の関係

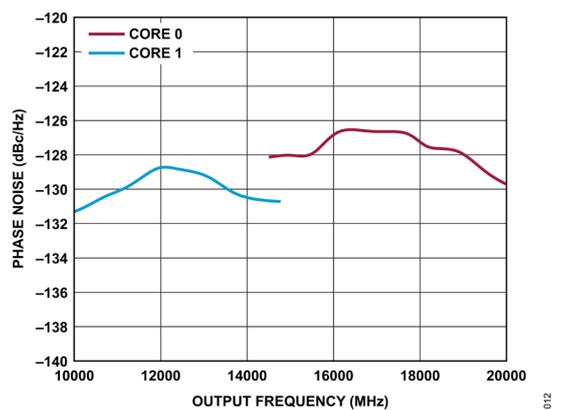


図 12. 1MHz オフセット時のオープンループ VCO の位相ノイズと出力周波数の関係

代表的な性能特性

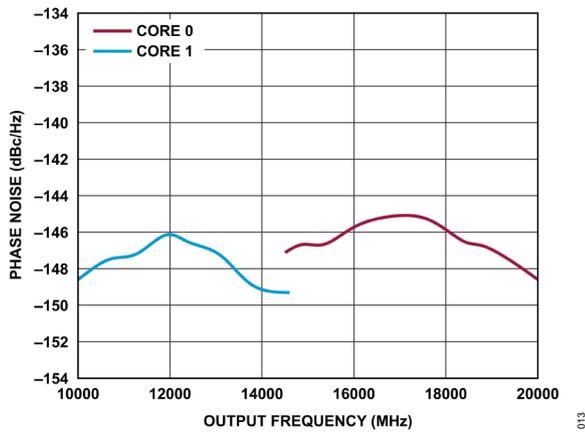


図 13. 10MHz オフセット時のオープンループ VCO の位相ノイズと出力周波数の関係

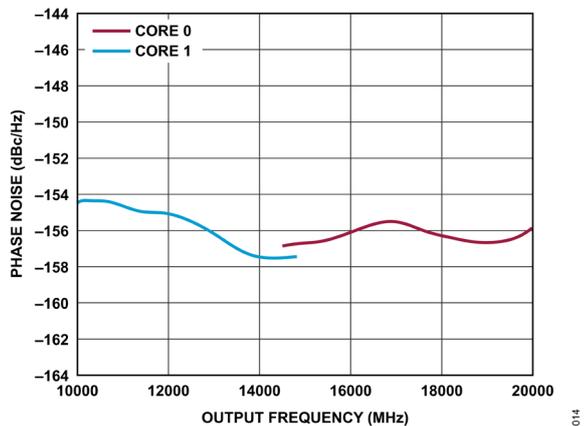


図 14. 100MHz オフセット時のオープンループ VCO の位相ノイズと出力周波数の関係

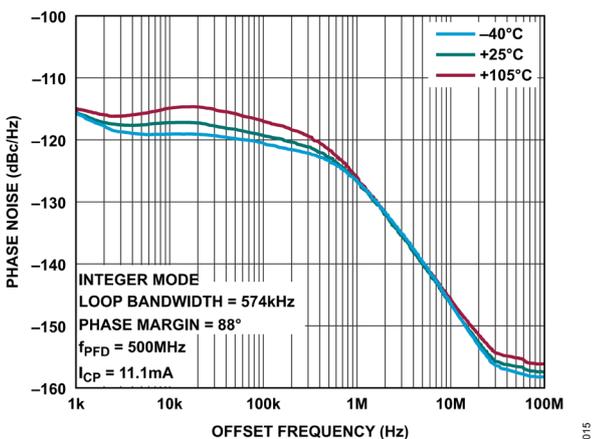


図 15. RFOUT = 14GHz 時の異なる温度でのクローズドループの位相ノイズとオフセット周波数の関係

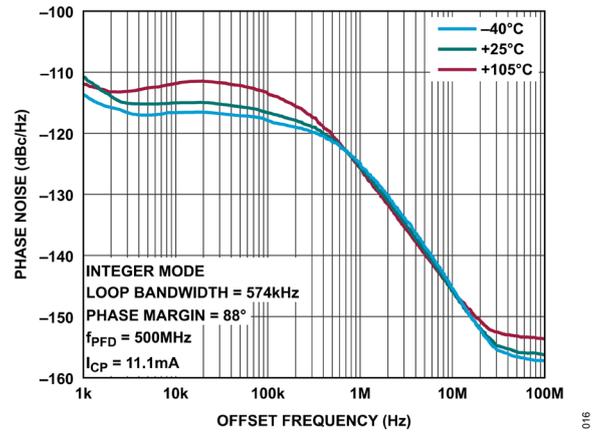


図 16. RFOUT が 20GHz の VCO 周波数である場合の異なる温度でのクローズドループ VCO の位相ノイズとオフセット周波数の関係

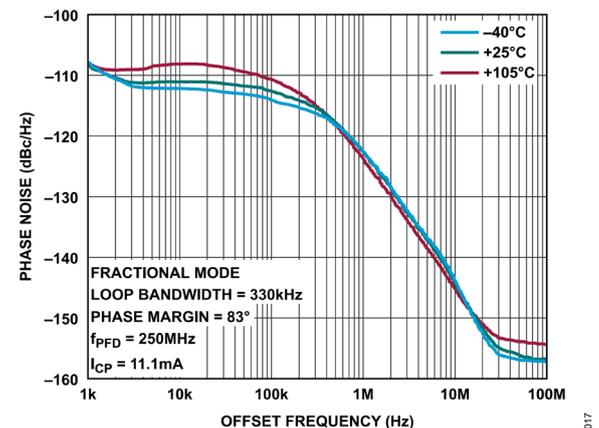


図 17. VCO 周波数が 19.9GHz である場合の異なる温度でのクローズドループ位相ノイズとオフセット周波数の関係

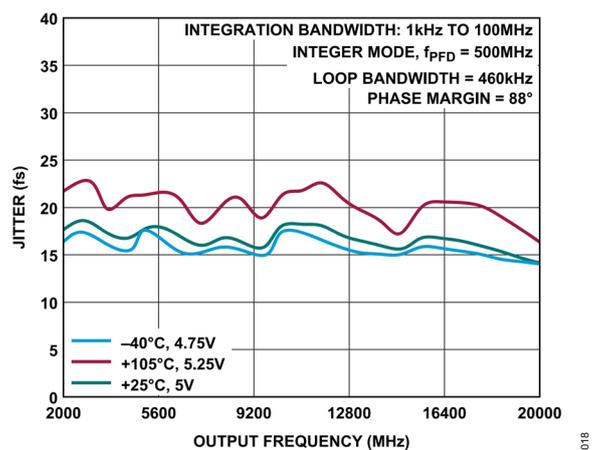


図 18. インテジャー・モードでの 1kHz~100MHz の積分ジッタ、 $f_{PFD} = 500\text{MHz}$

代表的な性能特性

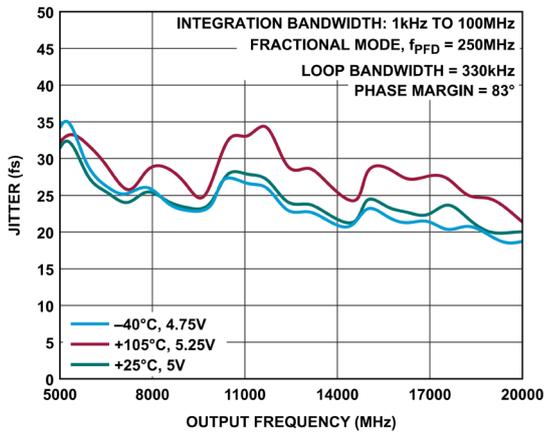


図 19. フラクショナル・モードでの 1kHz~100MHz の積分ジッタ、 $f_{PFD} = 250$  MHz

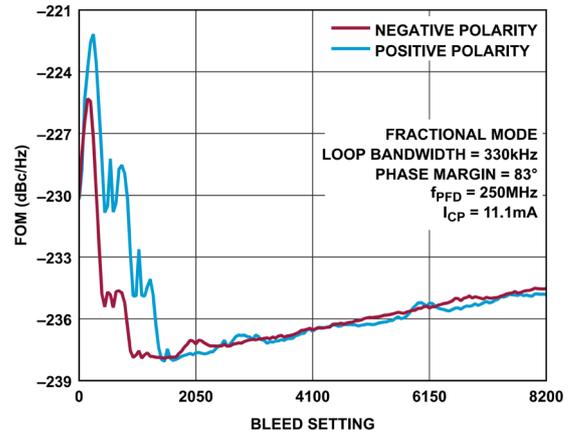


図 22. フラクショナル・モードの  $L_{NORM}$  の FOM とブリード設定の関係、 $f_{PFD} = 250$ MHz、 $R_{FOUT} = 19.9$ GHz

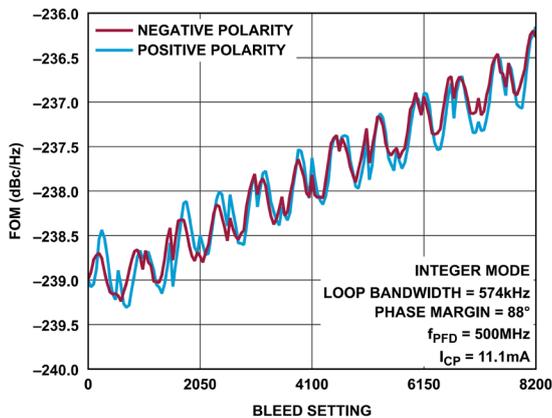


図 20. インテジャー・モードの  $L_{NORM}$  の FOM とブリード設定の関係、 $f_{PFD} = 500$ MHz、 $R_{FOUT} = 20$ GHz

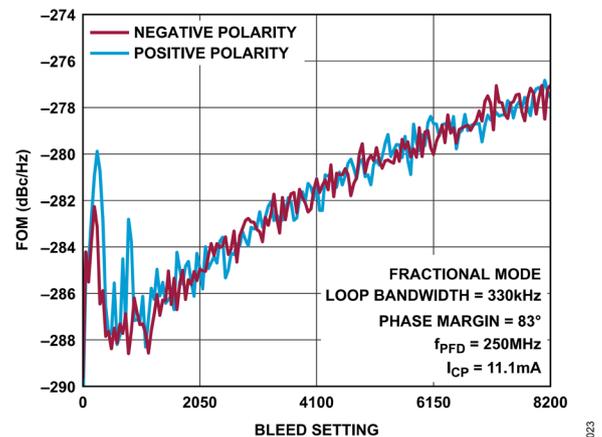


図 23. フラクショナル・モードの  $L_{1/f}$  の FOM とブリード設定の関係、 $f_{PFD} = 250$ MHz、 $R_{FOUT} = 19.9$ GHz

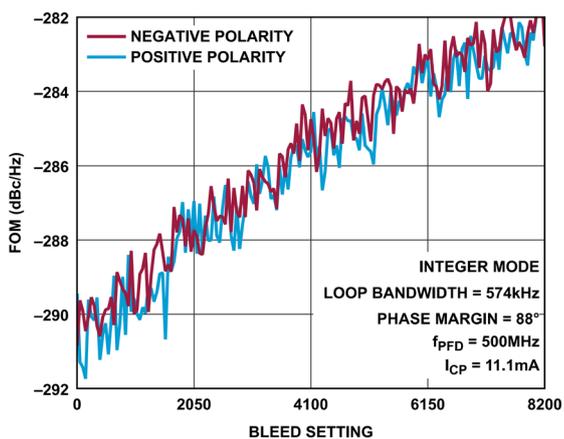


図 21. インテジャー・モードの  $L_{1/f}$  の FOM とブリード設定の関係、 $f_{PFD} = 500$ MHz、 $R_{FOUT} = 20$ GHz

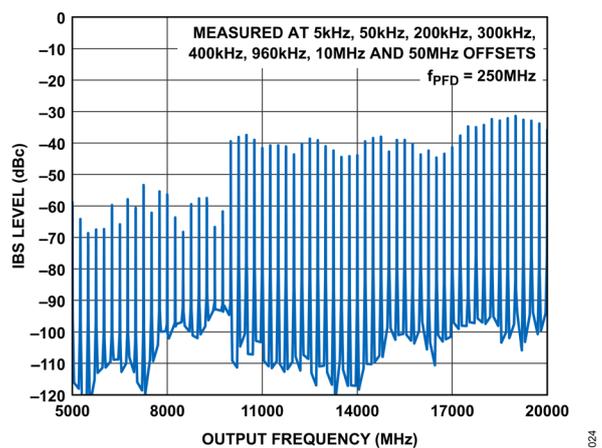


図 24. 最も厳しい場合の整数境界スプリアス (IBS) レベルと出力周波数の関係、 $f_{PFD} = 250$ MHz

代表的な性能特性

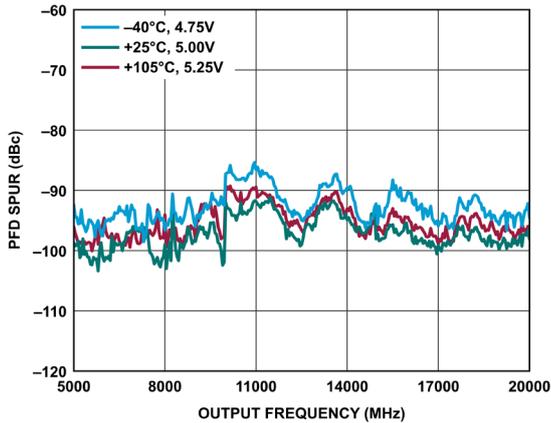


図 25. 異なる温度および電圧での PFD スプリアスと出力周波数の関係

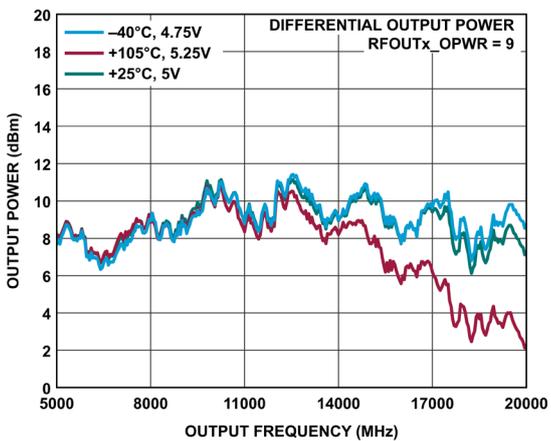


図 26. 異なる温度および電圧での差動出力電力と出力周波数の関係

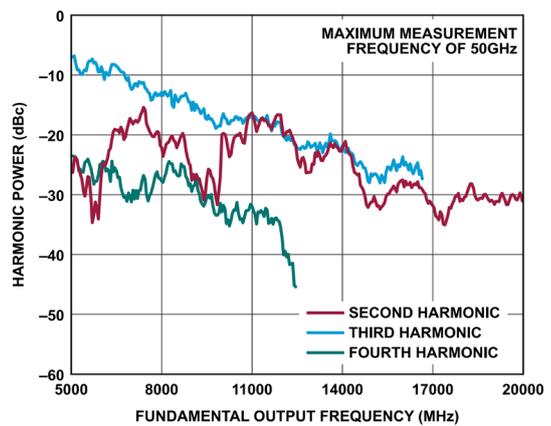


図 27. 高調波電力と基本出力周波数の関係

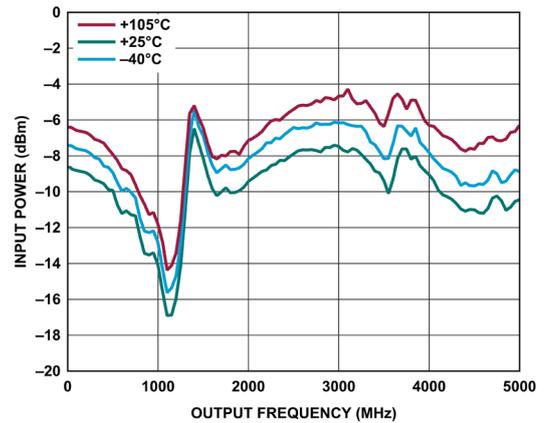


図 28. 異なる温度での遅延一致アンプ (DMA) バッファの REF\_OK = 1 とした場合の最小入力信号

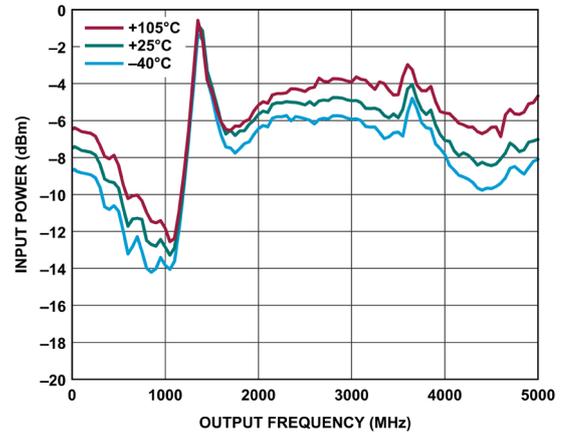


図 29. 異なる温度での LNA バッファの REF\_OK = 1 とした場合の最小入力信号

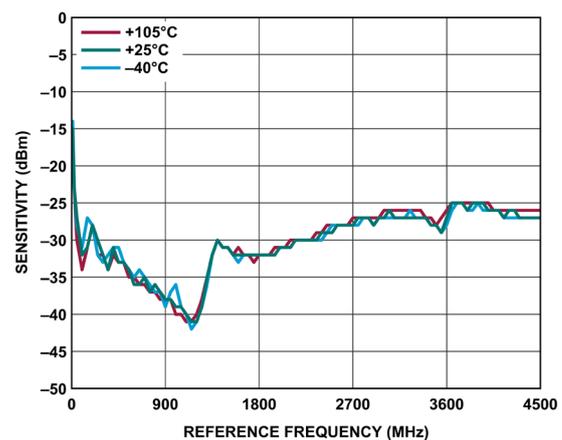


図 30. 異なる温度での DMA バッファのリファレンス感度

代表的な性能特性

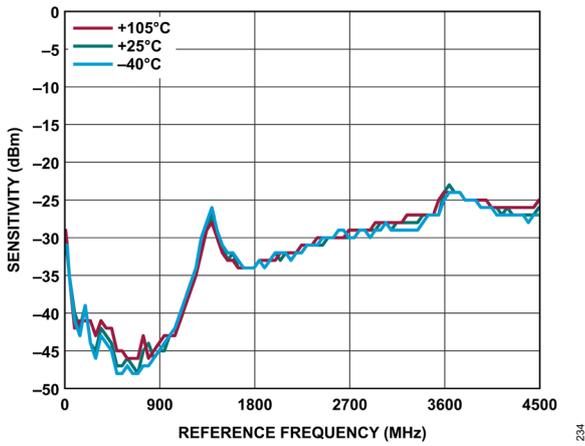


図 31. 異なる温度での LNA バッファのリファレンス感度

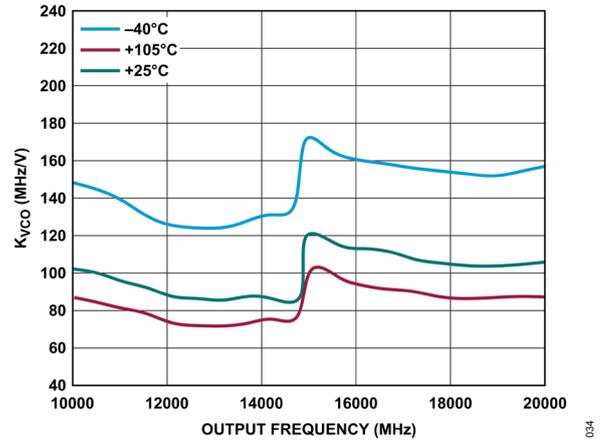


図 34. 異なる温度での  $K_{VCO}$  と出力周波数の関係

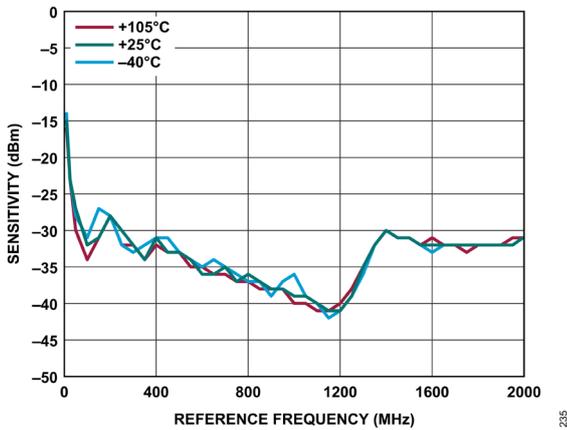


図 32. 異なる温度での DMA バッファのリファレンス・ダブル感度

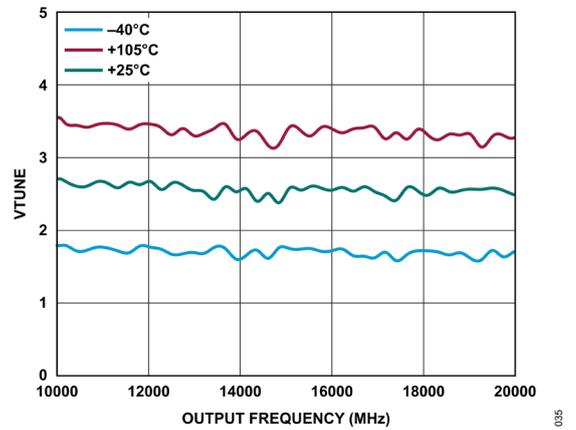


図 35. 異なる温度での VTUNE と出力周波数の関係

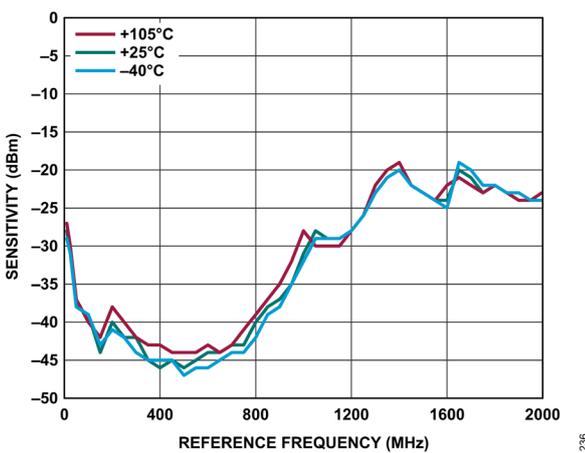


図 33. 異なる温度での LNA バッファのリファレンス・ダブル感度

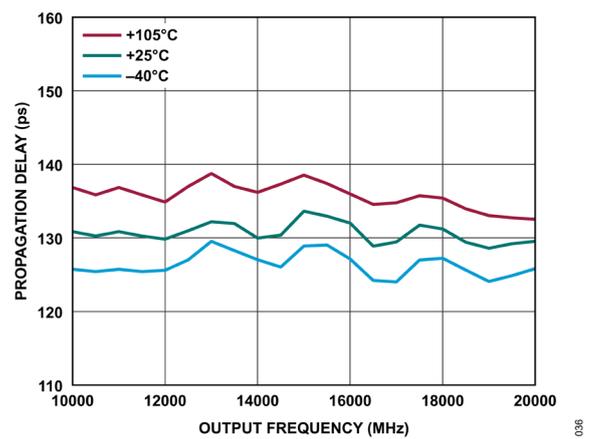


図 36. 異なる温度での伝搬遅延と出力周波数の関係

代表的な性能特性

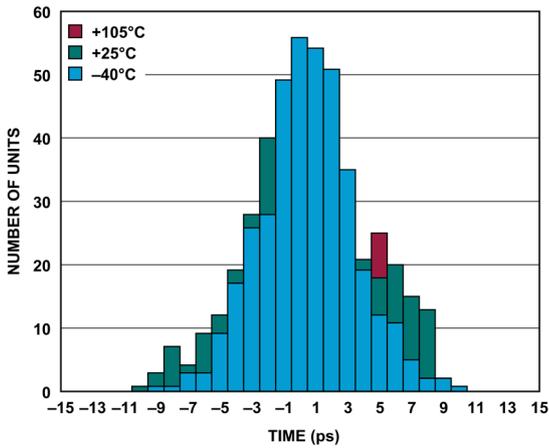


図 37. 正規化伝搬遅延 ( $t_{pD}$ ) のヒストグラム

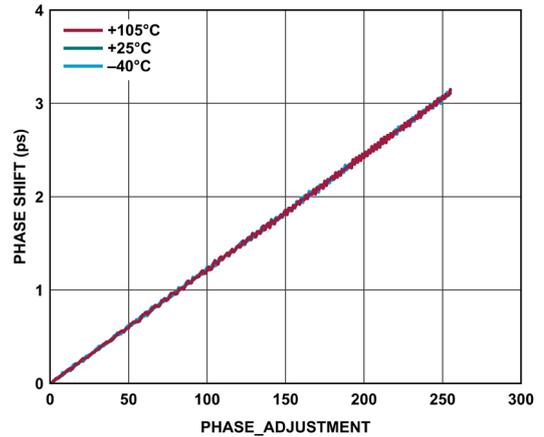


図 40. 異なる温度での位相シフトと PHASE\_ADJUSTMENT の関係

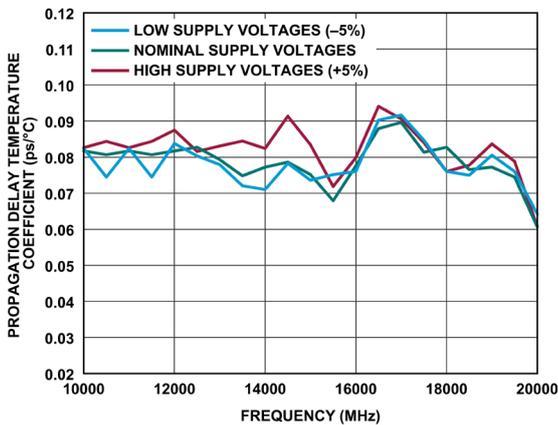


図 38. 伝搬遅延温度係数と周波数の関係

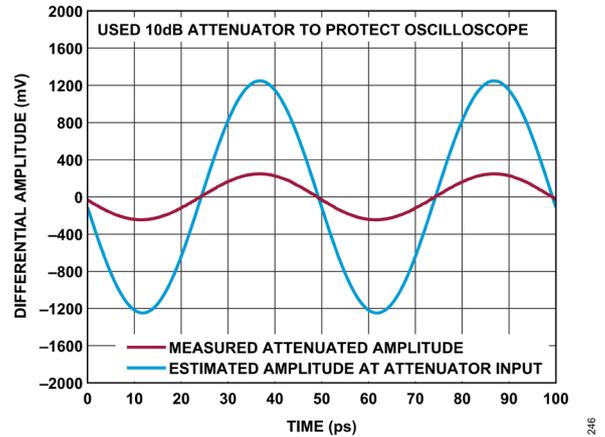


図 41. 差動振幅と時間の関係、RFOUT = 20GHz

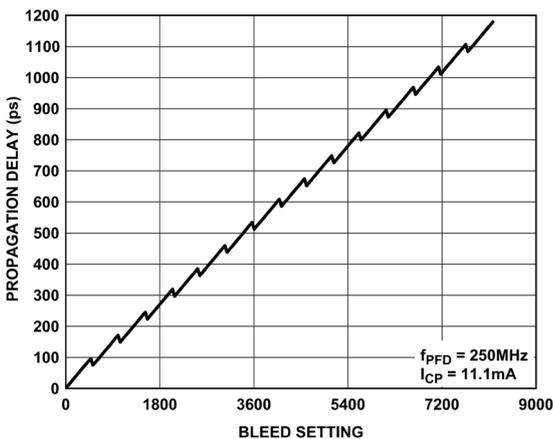


図 39. 伝搬遅延とブリード設定値の関係

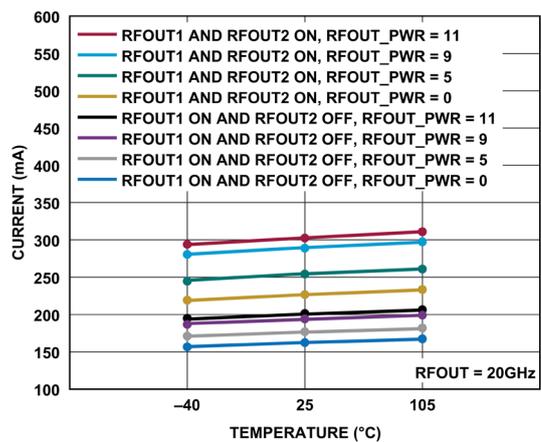


図 42. 様々な出力設定での 3.3V 電源グループ 2 の電流と温度の関係

代表的な性能特性

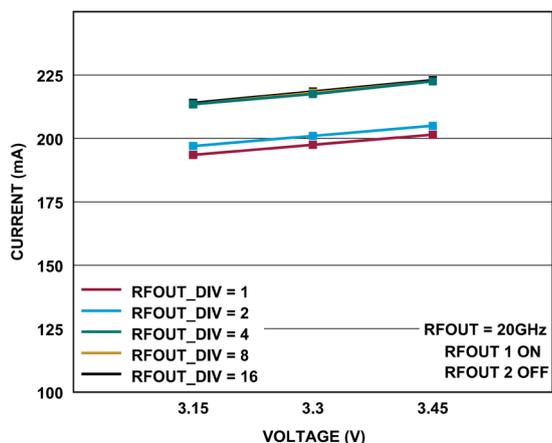


図 43. 様々な電源電圧および RFOUT\_DIV 設定での 3.3V 電源グループ 2 の電流

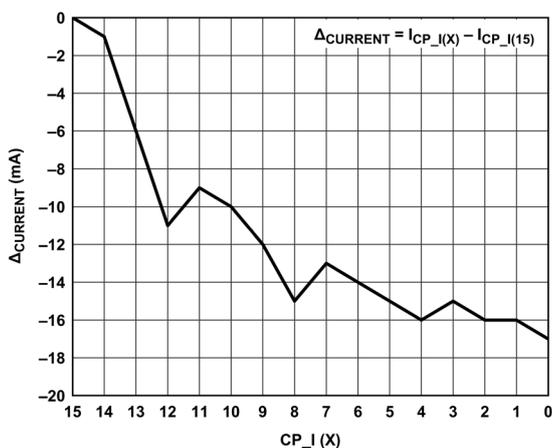


図 44. 異なる CP\_I 設定での 5V 電源電流差 (ΔCURRENT)

動作原理

はじめに

PLL は、概念的には周波数通倍器とみなせる、複合的な帰還システムです。このシステムは、REFP/REFN での周波数入力を通倍し、高くなった周波数を RFOUTxP/RFOUTxN に出力します。PFD、チャージ・ポンプ、出力分周器、帰還分周器、VCO、外部ループ・フィルタが帰還ループを形成し、出力周波数を正確

に制御します (図 45 参照)。インテジャー・モードでの動作時には、リファレンス分周器またはリファレンス・ダブラによって周波数分解能が決まります。フラクショナル・モードでの動作時には、フラクショナル N 分周器によって周波数分解能が決まります。

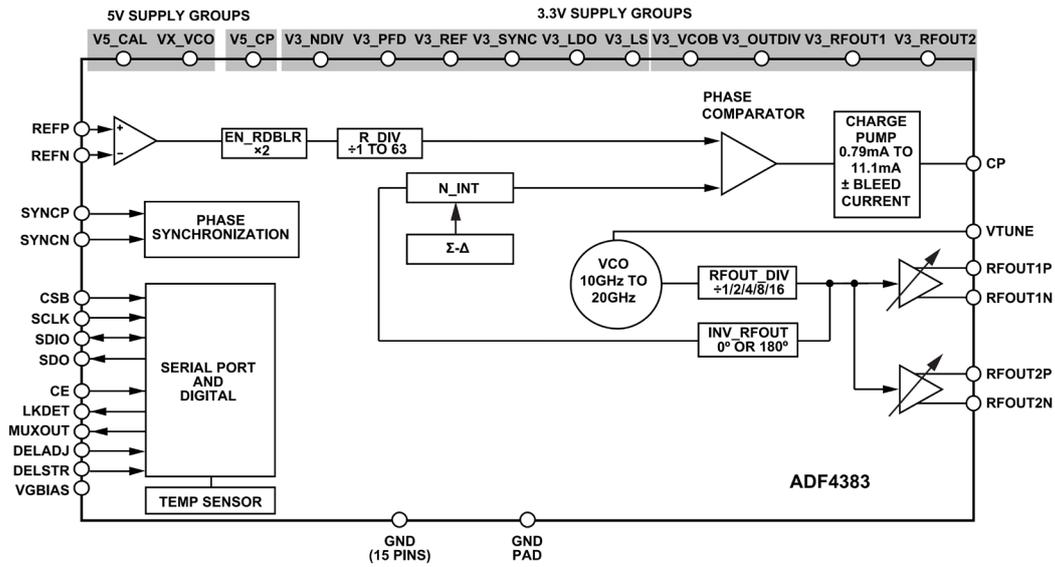


図 45. PLL ループの回路図

動作原理

出力周波数

ループがロックされている場合、VCO の出力に現れる  $f_{VCO}$  (Hz) は、 $f_{REF}$ 、および次式で与えられる O、R、N の各値によって決まります。

$$f_{VCO} = f_{REF} \times \frac{D \times N \times O}{R} \tag{1}$$

ここで、

$f_{REF}$  はリファレンス周波数。

D はリファレンス・ダブラ。

R はリファレンス分周器。

O は出力分周器。

$f_{PFD}$  は、次式で与えられます。

$$f_{PFD} = \frac{f_{REF} \times D}{R} \tag{2}$$

そのため、 $f_{VCO}$  は、次のように表すこともできます。

$$f_{VCO} = f_{PFD} \times N \times O \tag{3}$$

出力分周器の出力に現れる出力周波数  $f_{RFOUT}$  は、次式で与えられます。

$$f_{RFOUT} = \frac{f_{VCO}}{O} \tag{4}$$

N は帰還分周器で、次式で与えられます。

$$N = N_{INT} + \frac{FRAC1WORD + \frac{FRAC2WORD}{MOD2WORD}}{MOD1WORD} \tag{5}$$

回路の説明

リファレンス入力バッファ

PLL のリファレンス周波数は REFP ピンと REFN ピンに差動で印加されます。これらの高インピーダンス入力は自己バイアスされており、1 $\mu$ F のコンデンサで AC カップリングする必要があります (簡略化した回路図については図 46 を参照)。あるいは、これらの入力をシングルエンドとして使用することもできます。そのためには、REFP にリファレンス周波数を印加し、REFN は 1 $\mu$ F のコンデンサで GND にバイパスします。

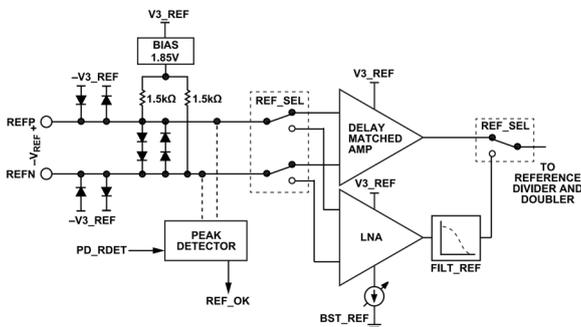


図 46. リファレンス入力段

REFP 入力と REFN 入力には高品質の信号を印加する必要があります。これらの入力が PLL 全体に周波数リファレンスを提供しているためです。ADF4383 の帯域内位相ノイズ性能を実現するには、スルー・レートが 1000V/ $\mu$ s 以上の連続波信号または方形波を印加してください。リファレンス入力信号の要件およびインターフェース処理の詳細については、[リファレンス源に関する考慮事項](#)のセクションを参照してください。

REF\_SEL ビット (レジスタ 0x030 のビット 5) は、CML リファレンス入力、またはサイン波あるいは低スロー・レートのリファレンス入力のいずれかによって設定できます。REF\_SEL が 0 に設定されている場合、遅延一致アンプ (DMA) バッファが選択されます。DMA は、方形波や高周波数で大振幅のサイン波などの、高スロー・レート信号に対し最適化されています。DMA では、リファレンス入力からクロック出力への伝搬遅延が制御されるため、広い温度範囲にわたり時間ゼロのマルチチップ・クロック・アライメントが容易に可能です。

REF\_SEL ビットを 1 に設定すると、LNA が選択されます。LNA は、低周波数または小振幅のサイン波などの低スロー・レート信号用に最適化されています。

帯域内ノイズ性能と伝搬遅延  $t_{PD}$  を最適化するため、REF\_SEL ビットは適切に設定する必要があります。推奨設定については、[表 7](#) を参照してください。

表 7. REF\_SEL の設定

REF_SEL	Sine Wave Slew Rate (V/ $\mu$ s)	Square Wave	Optimized $t_{PD}$
0	$\geq 1000$	Preferred	Yes
1	$< 1000$	Not applicable	Not applicable

サイン波のスロー・レートを計算するには、次式を用います。

$$Slew Rate = 2 \times \pi \times f \times V \tag{6}$$

ここで、

f はサイン波の周波数。

V はサイン波の振幅 (V peak)

FILT\_REF ビット (レジスタ 0x02F のビット 6) は、リファレンス入力の LNA の LPF を制御するものであり、リファレンスの広帯域ノイズを制限するために 20MHz 未満のサイン波信号に限定して設定する必要があります。この FILT\_REF ビットは、正規化された帯域内位相ノイズ・フロア ( $L_{NORM}$ ) に達するよう適切に設定する必要があります。方形波を入力する場合は、FILT\_REF を 0 に設定します。[表 8](#) に推奨設定を示します。

表 8. FILT\_REF の設定

FILT_REF	Sine Wave $f_{REF}$ (MHz)	Square Wave $f_{REF}$
0	$\geq 20$	All $f_{REF}$
1	$< 20$	Not applicable

LNA のリファレンス入力バッファが飽和しないよう、BST\_REF ビット (レジスタ 0x02F のビット 7) は入力信号レベルに基づいて設定する必要があります。BST\_REF の設定は、入力がサイン波か方形波かによらず同じです。推奨設定については、[表 9](#) を参照してください。

動作原理

表 9. BST\_REF の設定

BST_REF	Sine Wave $f_{REF}$ (Vref)
0	$\geq 1.4$ V p-p
1	$< 1.4$ V p-p

リファレンス・ピーク検出器

REFP入力およびREFN入力にはリファレンス入力ピーク検出回路があり、リファレンス信号の存在を検出し、REF\_OK ステータス・フラグを発生します。これは、レジスタ 0x058 のビット 3 を通じて読み出せます。検出閾値付近で REF\_OK フラグが不安定になるのを防ぐため、回路にはヒステリシスが設けられています。

このピーク検出器は実効値検出器に近い動作をするため、サイン波入力と方形波入力では検出閾値が $4\pi$ の比で異なります。REF\_OK の検出値については、表 10 を参照してください。

表 10. REF\_OK のステータス出力とリファレンス入力の関係

REF_OK	Sine Wave $f_{REF}$ (mV p-p)	Square Wave $f_{REF}$ (mV p-p)
1	$\geq 200$	$\geq 155$
0	$< 180$	$< 140$

リファレンス分周器 (R) とダブラ (D)

EN\_RDBLR ビット (レジスタ 0x020 のビット 6) が 1 に設定されている場合、周波数乗倍器によって周波数が 2 倍にされてリファレンス分周器に送られます。リファレンス・ダブラと直列に接続された 6 ビット分周器 R\_DIV (レジスタ 0x020 のビット[5:0]) を用いて、PFD に入力される周波数を低減します。その分周比 R は、1~63 の任意の整数値に設定できます。R の分周比を直接設定するには、R\_DIV ビットを用います。R および D と、 $f_{REF}$ 、 $f_{PFD}$ 、 $f_{VCO}$ 、 $f_{RFOUT}$  の各周波数との関係については、出力周波数のセクションを参照してください。

リファレンス・ダブラを用いる場合、最適なジッタ性能を得るために用いる必要のあるビット・フィールド設定については、表 11 を参照してください。Target Reference Frequency (ターゲット・リファレンス周波数) とは、ダブラ段の後のリファレンス周波数のことです。

表 11. リファレンス・ダブラの設定

Target Reference Frequency	RDBLR_DEL_SEL	RDBLR_DC	INV_RDBLR
$< 1$ GHz	1	0	0
$\leq 1.6$ GHz	3	7	1
1.6 GHz to 4.5 GHz	1	0	1

位相／周波数検出器 (PFD)

PFD は、チャージ・ポンプと共に、リファレンス分周器またはリファレンス・ダブラの出力と帰還分周器の出力の位相差に比例した、ソース電流パルスおよびシンク電流パルスを生成します。これらのソース・パルスおよびシンク・パルスは、ループを位相ロックし、位相を PFD の入力と揃えるために必要です。PFD の簡略化した回路図については、図 47 を参照してください。

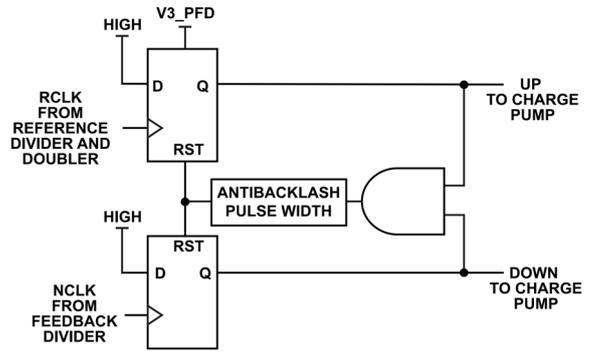


図 47. PFD の簡略化した回路図

チャージ・ポンプ

チャージ・ポンプは、PFD によって制御され、シンク (ダウン) 電流パルスまたはソース (アップ) 電流パルスを CP ピンに発生させます。CP ピンは適切なループ・フィルタに接続する必要があります。チャージ・ポンプの簡略化した回路図については、図 48 を参照してください。

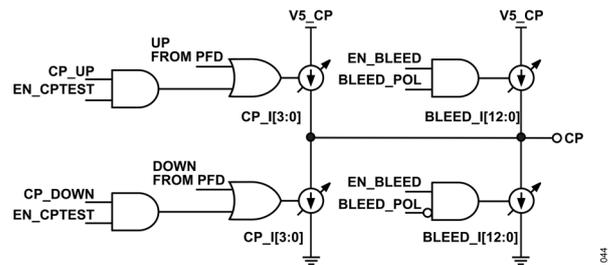


図 48. チャージ・ポンプの簡略化した回路図

出力電流の大きさ  $I_{CP}$  は、CP\_I ビット (レジスタ 0x001F のビット [3:0]) を用いて  $0.79\text{mA} \sim 11.1\text{mA}$  の範囲で設定できます。 $I_{CP}$  を大きくすると、ループ・フィルタ部品のインピーダンスが低くなり、帯域内ノイズが低下します。一方、 $I_{CP}$  を小さくすると、スプリアス性能が向上します。チャージ・ポンプのプログラミング値については、表 12 を参照してください。

表 12. CP プログラミング

CP_I, Bits[3:0]	$I_{CP}$ (mA)
0	0.79
1	0.99
2	1.19
3	1.38
4	1.59
5	1.98
6	2.39
7	2.79
8	3.18
9	3.97
10	4.77
11	5.57
12	6.33
13	7.91

## 動作原理

表 12. CP の設定 (続き)

CP_I, Bits[3:0]	I <sub>CP</sub> (mA)
14	9.51
15	11.1

## チャージ・ポンプ・テスト・モード

EN\_CPTEST ビット (レジスタ 0x02E のビット 2) が 1 に設定されている場合、CP ピンで一定の I<sub>CP</sub> ソース電流やシンク電流となるよう、それぞれ CP\_UP ビット (ビット 1) および CP\_DOWN ビット (ビット 0) を設定できます。ループをロックできるようにするには、EN\_CPTEST または CP\_UP および CP\_DOWN の各ビットを 0 に設定する必要があります。これらのビットは、プロジェクトのハードウェアおよびソフトウェアの開発フェーズ時に PLL 関連の問題をデバッグするための補助として使用されます。通常動作では EN\_CPTEST、CP\_UP、CP\_DOWN は 0 に設定します。

表 13. チャージ・ポンプ・テスト・モード

EN_CPTEST	CP_UP	CP_DOWN	CP Pin State	Debug Test
1	0	0	High-Z	VCO open loop
1	1	0	~V <sub>5_CP</sub>	Charge pump output voltage verification
1	0	1	~GND	Charge pump output voltage verification
0	0	0	Normal operation	Not applicable

## チャージ・ポンプ・ブリード電流の最適化

プログラマブルな一定の小チャージ・ポンプ電流は、ブリード電流と呼ばれ、フラクショナル・モードでの位相ノイズおよびフラクショナル・スプリアス信号を最適化するために用いることができます。また、これによって、REFP および REFN 入力ピンから RFOUTP および RFOUTN 出力ピンへの伝搬遅延 (t<sub>BLEED</sub>) も変化します。フラクショナル・モードでは、最高性能が得られるようブリード電流を設定した後、出力は位相ワードを用いてシフトできます。このワードは Σ-Δ 変調器 (SDM) で効果的に用いられます。インテジャ・モードでは、ブリード電流を使用して、両方向に出力をシフトできます。

ブリード電流を有効化するには、EN\_BLEED ビットを 1 に設定します。BLEED\_POL ビットが 1 に設定されている場合、一定のわずかなソース電流が CP ピンに印加されます。BLEED\_POL ビットが 0 に設定されている場合、一定のわずかなシンク電流が CP ピンに印加されます。

13 ビットのビット・フィールド BLEED\_I (レジスタ 0x01D のビット [7:0] およびレジスタ 0x01E のビット [4:0]) を用いて、ブリード電流を選択できます。このビット・フィールドは、粗ブリード値および精細ブリード値の両方で構成されています。次式に示すように、4 個の MSB を用いて粗ブリード電流を計算でき、9 個の LSB を用いて精細ブリード電流を計算できます。

$$I_{COARSE BLEED} = COARSE\_BLEED \times 202 \mu\text{A} \quad (7)$$

$$I_{FINE BLEED} = FINE\_BLEED \times 567 \text{ nA} \quad (8)$$

$$I_{TOTAL BLEED} = I_{COARSE BLEED} + I_{FINE BLEED} \quad (9)$$

出力周波数の伝搬遅延は、次式のように I<sub>TOTAL BLEED</sub> に対応します。

$$t_{BLEED} = \frac{I_{TOTAL BLEED}}{I_{CP}} \times t_{PFD} \quad (10)$$

ここで、

I<sub>COARSE BLEED</sub> は、粗ブリード電流。

COARSE\_BLEED は、BLEED\_I ビット・フィールドの上位 4 個の MSB。

I<sub>FINE BLEED</sub> は、精細ブリード電流。

FINE\_BLEED は、BLEED\_I ビット・フィールドの下位 9 個の LSB。

I<sub>CP</sub> は、選択したチャージ・ポンプ電流値。

動作原理

ブリード電流モード

ADF4383 のスプリアス性能は、動作周波数に基づいて  $t_{BLEED}$  設定値をプログラミングすることにより、最適化できます。各 SDM モードの RFOUT の動作周波数に対して推奨する  $t_{BLEED}$  を、表 14 に示します。

ブリード電流の特定の  $t_{BLEED}$  に必要な BLEED\_I 設定値を計算するには、チャージ・ポンプ・ブリード電流の最適化のセクションを参照してください。図 49 に、様々なチャージ・ポンプ設定値および  $f_{PFD}$  周波数に対する遅延ステップ・サイズの早見図を示します。

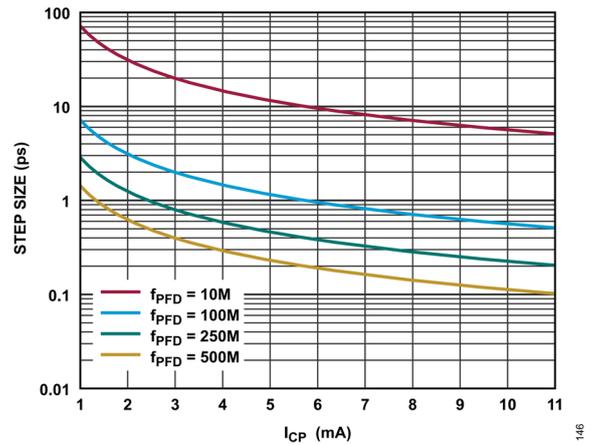


図 49. ブリード電流遅延のステップ・サイズ

表 14. SDM モードごとのブリード設定値と周波数の関係

RFOUT	$t_{BLEED}$ (ps)		
	SDM Mode 0	SDM Mode 4	SDM Mode 5
RFOUT ≥ 10 GHz	300	510	720
3.996 GHz ≤ RFOUT < 10 GHz	625	625 + (2/RFOUT)	900 + (1.7/RFOUT)
1.8 GHz ≤ RFOUT < 3.996 GHz	1000	1350	1400 + (4/RFOUT)
RFOUT < 1.8 GHz	3600	3600	3600 + (4/RFOUT)

動作原理

ロック検出器

ロック検出器は、PFDからの内部信号を用いて、図47に示すリファレンス分周器およびダブラの出力信号（RCLK）と帰還分周器の出力信号（NCLK）の間の位相差を測定します。この検出器は、EN\_LOLビット（レジスタ0x02Dのビット5）およびEN\_LDWINビット（レジスタ0x02Dのビット4）の両方を1に設定することで有効化され、その出力はLKDETピン（27番ピン）およびLOCKEDビット（レジスタ0x58のビット0）で読み出せます。ロック検出器の出力は、MUXOUTピン（37番ピン。レジスタ0x2Eのビット[7:4]のMUXOUTビットをb0001にプログラミングすることによって使用可能）で読み出すこともできます。

ロック検出器出力がPLLのロック状態を示すには、PFDのRCLKとNCLKの位相差が、設定されたPFDサイクル数にわたり、位相差ロック・ウィンドウ時間 $t_{LDWIN}$ より小さくなっているければなりません。ロック検出の精度を重視するか速度を重視するかで、必要なPFDサイクル数は変わります。次式に示すように、必要なPFDサイクル数の初期推定値として、5個のループ・フィルタ時定数を用いることができます。

$$PFD\ Cycles = \frac{5}{2 \times \pi \times LFBW} \times f_{PFD} \quad (11)$$

ここで、LFBWはループ・フィルタの帯域幅です。

なお、LD\_COUNTビット（レジスタ0x02Cのビット[4:0]）を用いることにより、必要なPFDサイクル数を選択できます。必要なPFDサイクル数に対するLD\_COUNT値を選択するには、表15を用います。

表 15. LD\_COUNT の設定

LD_COUNT[4:0]	PFD Cycles
0	27
1	35
2	51
3	67
4	99
5	131
6	195
7	259
8	387
9	515
10	771
11	1027
12	1539
13	2051
14	3075
15	4099
16	6147
17	8195
18	12291
19	16387
20	24579
21	32771
22	49155

表 15. LD\_COUNT の設定（続き）

LD_COUNT[4:0]	PFD Cycles
23	65539
24	98307
25	131075
26	196611
27	262147
28	393219
29	524291
30	786345
31	1048579

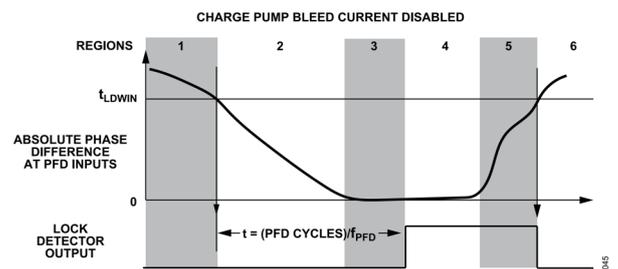


図 50. ロック検出器のタイミング（ブリード電流を無効化）

表 16. ロック検出器のタイミング（ブリード電流を無効化）

Region	Absolute Phase Difference at PFD	Lock Detector State
1	$>t_{LDWIN}$	Low
2	$<t_{LDWIN}$	Low, counts PFD cycles
3	$\sim 0$	Low, counts PFD cycles
4	$\sim 0$	High, greater than or equal to the desired PFD cycle count
5	$<t_{LDWIN}$	High
6	$>t_{LDWIN}$	Low (immediately)

チャージ・ポンプのブリード電流が有効化されている場合、PFD入力に位相オフセットが加わります。この位相オフセット $t_{IDEL}$ は、ブリード電流の量に比例します。図50および図51の領域3と領域4は、それぞれチャージ・ポンプのブリード電流が無効の場合と有効の場合にPLLがセトリングするPFD位相差に焦点を合わせたものです。

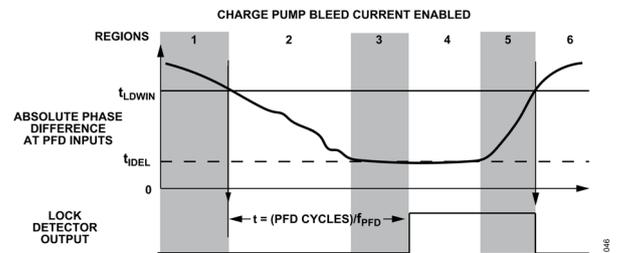


図 51. ロック検出器のタイミング（ブリード電流を有効化）

ロック検出器の適切な動作を確保するには、 $t_{IDEL}$ の絶対値が $t_{LDWIN}$ 未満であることが必要です。ユーザは、LDWIN\_PWビット・フィールド（レジスタ0x02Cのビット[7:5]）で、有効なロック条件に対する位相差ロック・ウィンドウ時間（ $t_{LDWIN}$ ）を設定できます。

動作原理

表 17. LDWIN\_PW の設定

LDWIN_PW [7:5]	Mode of Operation
000	Integer mode, 500 MHz maximum PFD with bleed $\leq 85$ ps
001	Integer mode, 500 MHz maximum PFD with bleed $> 85$ ps
010	Fractional mode, 250 MHz maximum PFD, RFOUT $\geq 6.4$ GHz
011	Fractional mode, 250 MHz maximum PFD, RFOUT $\geq 5$ GHz
100	Fractional PLL, 200 MHz maximum PFD, RFOUT $\geq 4$ GHz
101	Fractional PLL, 100 MHz maximum PFD, RFOUT $\geq 2$ GHz
110	Fractional PLL, 50 MHz maximum PFD, RFOUT $\geq 1$ GHz
111	Fractional PLL, 40 MHz maximum PFD, RFOUT $\geq 800$ MHz

MUXOUT

MUXOUT ピンの状態は MUXOUT ビット (レジスタ 0x02E のビット [7:4]) によって決められ、ユーザはこれを用いて様々な内部ノードにアクセスできます。MUXOUT ピンと MUXOUT ビットは一般に、追加のロック状態出力として用いられるか、プロジェクトのハードウェアおよびソフトウェア開発フェーズ時に PLL 関連の問題をデバッグするために用いられます。CMOS\_OV ビット (レジスタ 0x03D のビット 5) は、MUXOUT ピン、LKDET ピン、SDO ピン、SDIO ピンのロジック・ハイ・レベルが 3.3V か 1.8V かを決定します。

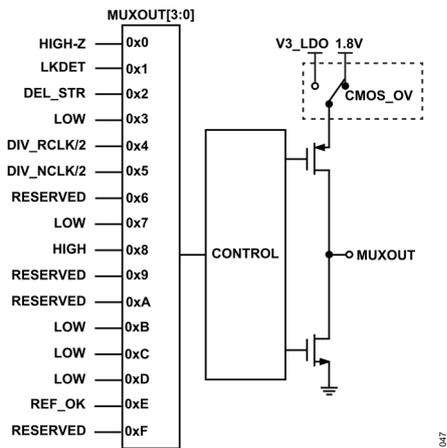


図 52. MUXOUT

温度センサー

温度センサーは、バンドギャップのリファレンス電圧 (VREF) を基準として絶対温度 (PTAT) に比例した電圧を測定する、8 ビット ADC で構成されています。温度センサーの目的は、絶対ジャンクション温度ではなく、ダイ温度の変化を測定することです。ADC クロック周波数の最大値は 400kHz です。ADC クロックは RCLK から生成されます。

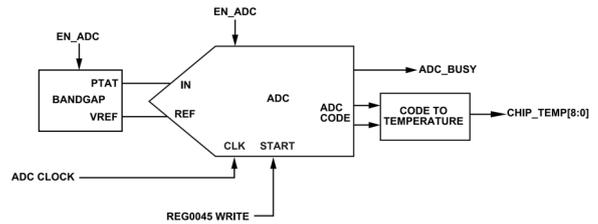


図 53. 温度センサー

ADC 測定が始まる前に、表 18 に示すように ADF4383 のレジスタを設定します。

表 18. ADC のレジスタ・セットアップ

Bit Fields	Value
EN_DRCLK, EN_DNCLK, EN_ADC_CNV	1
ADC_ST_CNV, EN_ADC, EN_ADC_CLK	1
PD_ADC	0

表 18 のビットを設定し終わったら、ADC\_ST\_CNV = 1 に設定するレジスタ 0x054 へのレジスタ書き込みを行って、ADC 変換を開始します。ADC 変換の完了までには、17 クロック・サイクルが必要です。レジスタ 0x058 のビット 2 である ADC\_BUSY ビットが変換ステータスをモニタします。変換時、ADC\_BUSY は 1 に設定され、変換が終了すると ADC\_BUSY は 0 に設定されます。測定は、レジスタ 0x05B およびレジスタ 0x05C の CHIP\_TEMP ビット・フィールドのビット [8:0] に記録されます。リードバックされた値は、ジャンクション温度 (°C) を表します。MSB (ビット 8) は、温度が正か負かを示します。つまり、ビット 8 が 1 の場合はリードバックされた温度は負の値です。

ダブル・バッファ機能

ダブル・バッファ機能は、表 19 に示すビット・フィールドの上位および下位の設定を参照します。

下位のビット・フィールドのみが、ADF4383 の実際の状態を制御します。1 つのビット・フィールドに対しダブル・バッファ機能が有効化されている場合、シリアル・インターフェースは、上位のビット・フィールドにのみ書き込みを行います。レジスタ書き込みが 0x010 に送られるまで、下位のビット・フィールドは以前の値を保持します。レジスタ 0x010 への書き込み後、全ての上位のビット・フィールドは、それぞれの下位のビット・フィールドに自動的に読み込まれます。レジスタ 0x010 に書き込むと、VCO の自動キャリブレーションも開始されます (標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーションのセクションを参照)。これにより、ユーザは ADF4383 の出力周波数を変更するいくつかのビット・フィールドを更新でき、同じレジスタ書き込みで新しい VCO キャリブレーションが開始されます。ダブル・バッファ機能が無効化されている場合、SPI は、下位のビット・フィールドに直接書き込みを行います。

表 19. ダブル・バッファ有効化ビット・フィールド

Double Buffer Enabled Bits	Double Buffered Bit Fields
Not Applicable, Always Enabled	N_INT, R_DIV, EN_RDBLR, CP_I
RFOUTODIV_DB	RFOUT_DIV
DCLK_DIV_DB	DCLK_DIV1

動作原理

表 19. ダブル・バッファ有効化ビット・フィールド (続き)

Double Buffer Enabled Bits	Double Buffered Bit Fields
DEL_CTRL_DB	INV_RFOUT, BLEED_I, BLEED_POL

シリアル・ポート

SPI 互換のシリアル・ポートには制御とモニタリングの機能があります。CMOS\_OV ビット (レジスタ 0x03D のビット 5) は、SDO および SDIO の SPI 出力ピンのロジック・ハイ・レベルが 3.3V か 1.8V かを決定します。また、CMOS\_OV ビットは、MUXOUT ピンおよび LKDET ピンの出力レベルも設定します。

シリアル・ポートは、レジスタ 0x000 およびレジスタ 0x001 のいくつかの異なる設定をサポートするよう設定できます。

SDO\_ACTIVE ビット (レジスタ 0x000 のビット 3) は、シリアル・ポートを 3 線式シリアル・インターフェースに設定するか 4 線式シリアル・インターフェースに設定するかを決定します (図 2、図 3、図 4 のタイミング図を参照)。

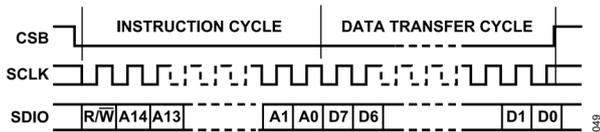


図 54. シリアル・インターフェース、MSB ファースト (LSB\_FIRST = 0)

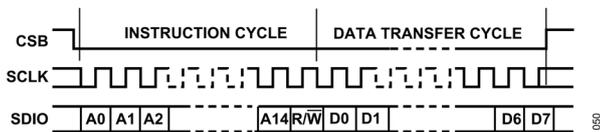


図 55. シリアル・インターフェース、LSB ファースト (LSB\_FIRST = 1)

SPI レジスタ・マップは、図 54 および図 55 に示すように単一命令で、あるいは、ストリーミング・モードでプログラムできます。ストリーミング・モードを用いると、複数のレジスタに対しデータ転送の効率的な読み出しや書き込みが可能で、ストリーミング・モードでは、命令ヘッダの 1 つのレジスタ・アドレスとそのレジスタ・アドレス用のデータ、更に、後続のレジスタ・アドレスのデータで構成されるビット・ストリームを、ユーザがプログラムできます。

VCO

VCO コアは 2 個の独立した VCO で構成され、そのどちらも 512 個の重なり合った帯域を使用しているため、デバイスは高い VCO チューニング感度 (K<sub>vco</sub>) を必要とせずに広い周波数範囲に対応できます。出力周波数は出力分周器を用いることで更に拡張できます。

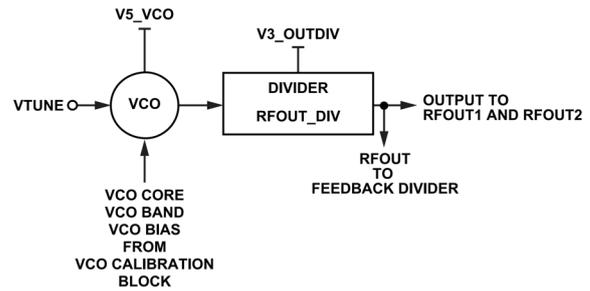


図 56. VCO およびクロック出力分周器

VCO のキャリブレーションを実行することにより、適切な VCO コア、帯域、バイアスが自動的に選択されます。VCO のキャリブレーションを特定の周波数に対して実行した後、VCO コア、帯域、バイアスの各値をその特定のデバイス用に記録できます。これらの値は、その後同じデバイスおよび周波数を用いる場合に手動でプログラムできます。そのため、VCO のキャリブレーション時間を節約できます。

VCO のキャリブレーション

特定の VCO 周波数に対し適切な VCO コア、帯域、バイアス設定値を選択するには、VCO のキャリブレーションが必要です。この手順は、デバイスがパワーアップされており、必要なリファレンス周波数が REFP ピンと REFN ピンに入力され、その他全てのレジスタが正しく設定されていることを前提としています。この手順を図 57 および図 58 に視覚的に示します。

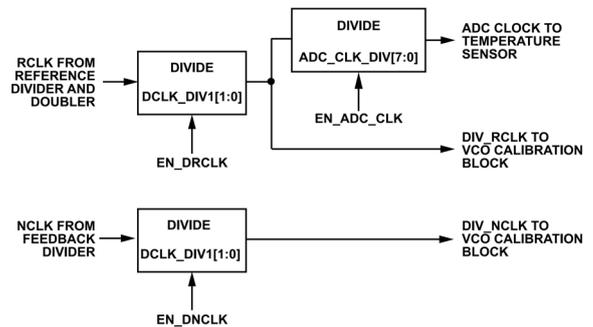


図 57. VCO キャリブレーション分周器

動作原理

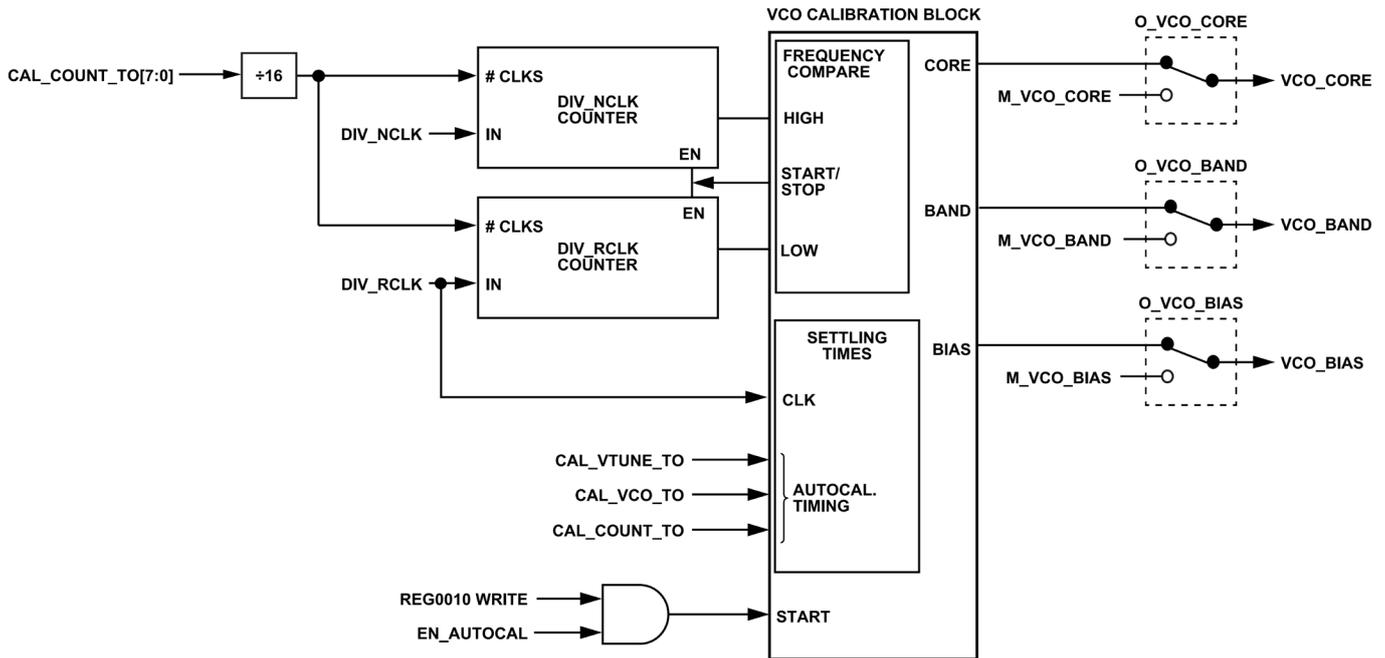


図 58. VCO キャリブレーション・ブロック

自動キャリブレーションを実行するには、以下のキャリブレーション・タイムアウト・ビット・フィールドをプログラムする必要があります。

- ▶ CAL\_VTUNE\_TO : キャリブレーションの開始時、VTUNE が、動作温度に依存する公称電圧にプリチャージされます。CAL\_VTUNE\_TO は、次式に従ってプリチャージ時間を設定します。

$$CAL\_VTUNE\_TO = Ceiling \left( \frac{CAL\_VTUNE\_TO \text{ Time} \times f_{PFD}}{2^{DCLK\_DIV1}} \right) \quad (12)$$

ループ・フィルタの中で値が最も大きいコンデンサが、VTUNE のプリチャージに要する時間に直接影響します。必要な CAL\_VTUNE\_TO の時間を計算するには、[キャリブレーションの時間対効果に関する考慮事項](#)のセクションを参照してください。この時間は、目標 VTUNE キャリブレーション・タイムアウトとして用いられます。

- ▶ CAL\_COUNT\_TO : これは、目標帯域決定タイムアウトを計算するのに用いられます。自動キャリブレーション中、選択した周波数に対する最終的な動作帯域を選択するために、9 つの帯域が決定されます。各帯域の決定を行う時間をプログラムするには、CAL\_COUNT\_TO が用いられます。この時間はキャリブレーション精度に影響します。推奨 CAL\_COUNT\_TO 時間については表 21 を参照してください。各帯域の決定時間を設定するには次式を用います。

$$CAL\_COUNT\_TO = Ceiling \left( \frac{CAL\_COUNT\_TO \text{ Time} \times f_{PFD}}{2^{DCLK\_DIV1} \times 16} \right) \quad (13)$$

- ▶ CAL\_VCO\_TO : このビット・フィールドは、各帯域を決定した後の目標 VCO 周波数のセtringのタイムアウトを設定するために用います。表 21 に従い、推奨 CAL\_VCO\_TO 時間は 1μs です。この時間を設定するには、次式を用います。

$$CAL\_VCO\_TO = Ceiling \left( \frac{CAL\_VCO\_TO \text{ Time} \times f_{PFD}}{2^{DCLK\_DIV1}} \right) \quad (14)$$

次の手順に示すように、VCO キャリブレーションを実行するには、以下のいくつかのレジスタを設定します。

1. DCLK\_DIV1 および DCLK\_MODE を表 20 に示す値に設定し、後の使用のため f<sub>DIV\_RCLK</sub> を記録しておきます。
2. このセクションで先述した対応する式に従い、CAL\_VTUNE\_TO、CAL\_VCO\_TO、CAL\_COUNT\_TO に必要な最小値を計算し設定します。
3. レジスタ 0x010 を最後にプログラミングして、N\_INT、RFOUT\_DIV、R\_DIV、EN\_RDBLR の各ビットを設定します。レジスタ 0x010 に何らかの書き込みを行うと VCO の自動キャリブレーションが開始されます。
4. ADC\_BUSY ビット (レジスタ 0x058 のビット 2) および FSM\_BUSY ビット (レジスタ 0x058 のビット 3) をモニタします。ADC\_BUSY がハイからローに遷移し、次いで FSM\_BUSY がハイからローに遷移すると、キャリブレーションは終了します。
5. VCO のキャリブレーションが終了したら、EN\_DRCLK = EN\_DNCLK = 0 に設定してキャリブレーション・クロックを無効化し、不要なスプリアス成分を制限します。

表 20. DCLK\_DIV1 および DCLK\_MODE のセットアップ

f <sub>PFD</sub> (MHz)	DCLK_DIV1	DCLK_MODE	f <sub>DIV_RCLK</sub> (MHz)
≤11	0	0	f <sub>PFD</sub>
>11 and ≤160	0	1	f <sub>PFD</sub> /2
>160 and ≤320	1	1	f <sub>PFD</sub> /4
>320	2	1	f <sub>PFD</sub> /8

動作原理

自動キャリブレーションの合計時間

自動キャリブレーションの合計時間を計算するには、以下のよう  
にそれぞれのキャリブレーション・タイムアウト値を使用し  
ます。

$$\text{Total Autocalibration Time} = \text{CAL\_VTUNE\_TO Time} + \left(\frac{2}{f_{DIV\_RCLK}}\right) + (10 \times \text{VCO Band Decision Time}) + \text{VCAL Time} \tag{15}$$

ここで、

$$\text{VCO Band Decision Time} = \text{CAL\_VCO\_TO Time} + \text{CAL\_COUNT\_TO Time} + \left(\frac{5}{f_{DIV\_RCLK}}\right) \tag{16}$$

$$f_{DIV\_RCLK} = \frac{f_{PFD}}{2^{DCLK\_DIV1} + DCLK\_MODE} \tag{17}$$

$$\text{VCAL Time} = \frac{2}{f_{DIV\_RCLK}} \tag{18}$$

キャリブレーションの時間対効果に関する考慮事項

VCO のキャリブレーションのセクションに従って VCO のキャリブレーション時間をプログラミングする場合、全体的なキャリブレーション時間によってジッタ性能が影響を受ける可能性があります。例えば固定周波数アプリケーションなど、キャリブレーションに長い時間を費やすことが問題にはならないアプリケーションでは、ジッタと位相ノイズの性能を最適化するために、自動キャリブレーション時間を 250µs にプログラムすることを推奨します。自動キャリブレーション時間および全体的なロック時間を短くすることが必要なその他のアプリケーションでは、100µs の自動キャリブレーション時間を使用できます。ただし、この時間を用いた場合、-40°C~+105°C の全動作温度範囲にわたる温度変化があると、ジッタ性能が低下する可能性があります。

表 21. 推奨キャリブレーション時間

Autocalibration Time (µs)	CAL_VTUNE_TO Time	CAL_COUNT_TO Time (µs)	CAL_VCO_TO Time (µs)
100	Determined by the largest loop filter capacitor	8.5	1
250	Determined by the largest loop filter capacitor	23.5	1

コア・バイアス・テーブル

初期化プロセスの一部として、レジスタ・マップのセクションに示した事前定義済みの値でコア・バイアス・テーブルをプログラムする必要があります (レジスタ 0x100~レジスタ 0x111)。様々な動作周波数帯に応じて、特別に最適化された VCO バイアス値があります。デバイスの初期化後、VCO バイアス・レジスタは、その後にパワーオン・リセットが実行されるまで、再度プログラムされることはありません。

RF 出力分周器 (O)

3 ビット分周器 RFOUT\_DIV (レジスタ 11 のビット[7:5]) を用いると、出力バッファおよび帰還分周器に出力される周波数を分周できます。分周比は 1、2、4、8、16 に設定可能です。分周比の詳細については、表 22 を参照してください。RFOUT\_DIV は、PLL 内に置かれています。そのため、RFOUT\_DIV に変更を加えるには、N\_INT ビット・フィールド (レジスタ 0x010 のビット[7:0]およびレジスタ 0x011 のビット[3:0]) を変更し、f<sub>PFD</sub> を同じ値に保つことが必要です。また、これを行うと、PLL のロックが数ループ時定数の間、失われます。

表 22. RFOUT\_DIV のプログラミング

RFOUT_DIV	Divisor	Output Frequency Range (GHz)
0	1	10 ≤ RFOUT ≤ 20
1	2	5 ≤ RFOUT < 10
2	4	2.5 ≤ RFOUT < 5
3	8	1.25 ≤ RFOUT < 2.5
4	16	0.625 ≤ RFOUT < 1.25

出力反転 (INV\_RFOUT)

出力反転 INV\_RFOUT (レジスタ 0x011、ビット 4) を用いると、出力信号を 180°シフトできます。INV\_RFOUT は PLL 内にあり、INV\_RFOUT に何らかの変更を加えると、わずかなループ時定数の間、PLL のロックが失われます。

帰還分周器 (N)

帰還分周器により、PLL 帰還経路の分周比を設定できます。分周比は、N\_INT (レジスタ 0x011 のビット[3:0]およびレジスタ 0x010 のビット[7:0])、FRAC1WORD (レジスタ 0x15 のビット 0、レジスタ 0x14 のビット[23:16]、レジスタ 0x013 のビット [15:8]、レジスタ 0x012 のビット[7:0])、FRAC2WORD (レジスタ 0x19 のビット[23:16]、レジスタ 0x18 のビット[15:8]、レジスタ 0x17 のビット[7:0])、MOD2WORD (レジスタ 0x1C のビット[23:16]、レジスタ 0x1B のビット[15:8]、レジスタ 0x1A のビット[7:0]) の各ビット・フィールド値で構成され、帰還分周器は固定モジュラス MOD1WORD (225) と共にこれらの値を含みます。N\_INT、FRAC1WORD、MOD1WORD、FRAC2WORD、MOD2WORD、RFOUT\_DIV、R、D と、f<sub>REF</sub>、f<sub>PFD</sub>、f<sub>VCO</sub>、f<sub>OUT</sub> の各周波数の関係については、出力周波数のセクションを参照してください。

位相調整

次の 2 つの方法のいずれかを用いて、RFOUT 信号の位相調整を、その初期位相を基準として行うことができます。

- ▶ ブリード電流モード
- ▶ Σ-Δ モード

ブリード電流モードを有効化するには、DEL\_MODE = 0 に設定します。Σ-Δ モードを有効化するには、DEL\_MODE = 1 に設定します。

## 動作原理

## ブリード電流による位相調整

プログラマブルな一定の小チャージ・ポンプ電流はブリード電流と呼ばれ、チャージ・ポンプに印加することで位相を調整できます。ブリード電流による位相調整は、インテジャー・モードで用いられます。ブリード電流は、性能を最適化するために、フラクショナル・モードでも適用できます（詳細については、[チャージ・ポンプ・ブリード電流の最適化](#)のセクションを参照）。LSBのステップ・サイズは、RFOUT 周波数に依存します。PHASE\_ADJ\_POL が位相調整の方向を決定します。PHASE\_ADJ\_POL = 0 の場合、位相値は減少します。PHASE\_ADJ\_POL = 1 の場合、位相値は増加します。ブリード電流による調整を有効化するには、以下に従いビット・フィールドをプログラムしてください。

1. EN\_BLEED = 1 に設定します。
2. EN\_PHASE\_RESYNC = 1 に設定します。
3. DEL\_MODE = 0 に設定します。
4. 位相の調整量を決定するには、以下のように PHASE\_ADJUSTMENT を用います。

$$\text{PHASE\_ADJUSTMENT} = \left( \frac{\text{Phase in Degrees} \times 511}{250 \mu\text{A}} \right) \times I_{CP} \times \frac{f_{\text{PFD}}}{360 \times \text{RFOUT}} \quad (19)$$

ブリード電流法を用いた場合の最大調整時間は、 $t_{\text{RFOUT}}$  です。

印加ブリード電流は、DEL\_CNT でリードバックできます。

## Σ-Δ 変調器による位相調整

Σ-Δ 変調器を使用し、オフセット値を加えることにより、RFOUT 信号の位相を調整できます。フラクショナル周波数を用いる場合でも、インテジャー周波数を用いる場合でも、デバイスをフラクショナル・モードで使用して、Σ-Δ 変調器を調整する必要があります。なお、帯域内の性能指数は、インテジャー・モードを用いた場合に比べ 2dB 低下します。更に、最大  $f_{\text{PFD}}$  は、フラクショナル・モードの場合、250MHz ですが、インテジャー・モードでは 625MHz です。

位相調整にフラクショナル・モードを用いる利点は、範囲が無限であることです。これは、位相調整を実行するたびに、PHASE\_ADJUSTMENT ビット（レジスタ 0x033 のビット[7:0]）に保存されている値だけ位相がインクリメントしますが、これが行われる回数には制限がないことを意味します。

Σ-Δ による位相調整を有効化するには、以下に従いビット・フィールドをプログラムしてください。

1. EN\_PHASE\_RESYNC = 1 に設定します。
2. DEL\_MODE = 1 に設定します。
3. Σ-Δ 変調器の位相の調整量を決定するには、以下のように PHASE\_ADJUSTMENT を用います。

$$\text{PHASE\_ADJUSTMENT} = \left( \frac{\text{Phase in Degrees}}{360} \right) \times 2^{12} \quad (20)$$

PHASE\_ADJ\_POL は調整の方向を選択します。PHASE\_ADJ\_POL = 0 の場合は正、PHASE\_ADJ\_POL = 1 の場合は負です。現在適用されている PHASE\_ADJUSTMENT 値は、CUM\_PHASE\_ADJ ビット（レジスタ 0x061 のビット[7:0]）でリードバックできます。最大値は 8192（10 進数）です。この値を超えると、値はオーバーフローし、0 に戻ります。

必要な位相オフセット値がデバイスの初期化前に分かっている場合は、このセクションで示した同じ PHASE\_ADJUSTMENT の式を用いて、PHASE\_WORD ビットで初期位相オフセットをプログラムできます。

## 位相調整ピン

ADF4383 は、位相を外部制御できる、2 線式デジタル・インターフェース・バス・プロトコルを備えています。このバスは、DELSTR（29 番ピン）および DELADJ（28 番ピン）で構成されます。信号は 1.8V ロジックの CMOS 出力信号です。このインターフェースは、ブリード電流および Σ-Δ モードのどちらの位相調整でも使用できます。2 線式インターフェースを有効化するには、EN\_AUTO\_ALIGN = 1 に設定します。

DELSTR は、位相調整をアサートするために用いられる、アクティブ・ハイの信号です。位相調整の量は、PHASE\_ADJUSTMENT で設定されます。位相は信号の立下がりエッジで調整されます。

DELADJ は、調整の方向を制御するアクティブ・ハイの信号です。DELSTR がハイの間に信号が 0 に設定されると、RFOUT 信号の位相は、もとの位相のタイミングより遅れます。DELSTR がハイの間に信号が 1 に設定されると、RF 出力信号は、もとの位相のタイミングより進みます。

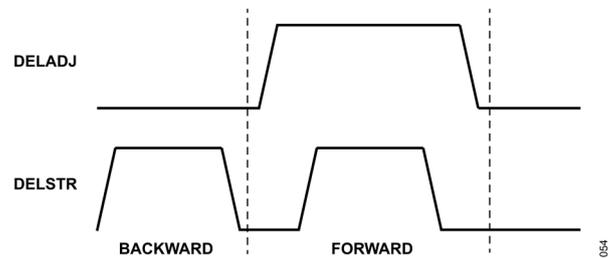


図 59. DELSTR および DELADJ のタイミング図

## RF 出力バッファ

図 60 の低ノイズ差動出力バッファは、差動出力電圧を生成します。出力振幅レベルおよびコモンモード電圧は、RFOUT1\_OPWR（レジスタ 0x029 のビット[3:0]）および RFOUT2\_OPWR（レジスタ 0x029 のビット[7:4]）の各ビットでプログラムできます。各出力は AC カップリングまたは DC カップリングでき、100Ω の差動インピーダンスで終端されます。シングルエンド出力が必要な場合は、それぞれの出力側を 50Ω で個別に AC カップリングまたは DC カップリングする必要があります。出力電力をこれより高くするには外部インダクタが必要です。1.4nH で 0402 サイズのプルアップ・インダクタを RFOUTx 3.3V 電源（V3\_RFOUTx）と RFOUTx ピンの間に接続する必要があります。更に、図 61 に示すように、100nF のコンデンサを RFOUTx ピンに直列に接続する必要があります。

動作原理

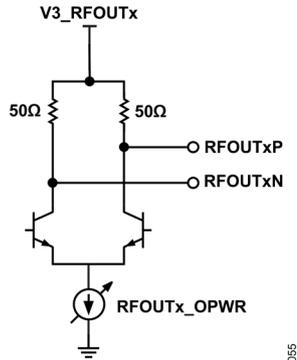


図 60. RF 出力バッファの簡略化したブロック図

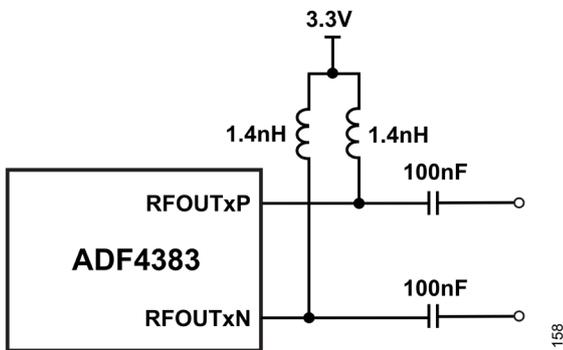


図 61. RFOUT ピンのインターフェース回路図

RF 出力のミュート

RFOUTxP ピンおよび RFOUTxN ピンは、MUTE\_RFOUTx ビット・フィールド（それぞれレジスタ 0x40 のビット[5:3]および Bits[2:0]）を用いてミュートできます。

表 23. MUTE\_RFOUTx（ビット 0～ビット 7）の制御

MUTE_RFOUTx のビット	機能
0	通常動作
1	ミュートをローにし、エミッタ・フォロワ・ドライバを無効化
2	ミュートをハイにし、エミッタ・フォロワ・ドライバを無効化
3	ミュートをローにし、エミッタ・フォロワ・ドライバをオンに保持
4	ミュートをローにし、キャリブレーション中にエミッタ・フォロワ・ドライバを無効化
5	ミュートをローにし、キャリブレーション中にエミッタ・フォロワの動作を継続
6	ミュートをローにし、LOCKED = 0 の場合にエミッタ・フォロワ・ドライバを無効化
7	ミュートをローにし、LOCKED = 0 の場合にエミッタ・フォロワの動作を継続

電流の変動を最小限に抑えるには、エミッタ・フォロワをオンのままにするオプションを使用することを推奨します。

## アプリケーション情報

## パワーアップと初期化のシーケンス

次の手順は、ADF4383 のパワーアップと初期化の推奨シーケンスです。

- 仕様規定された電圧を  $V_{5V}$ 、 $V_{3.3V_1}$ 、 $V_{3.3V_2}$  の電源グループに印加します。ADF4383 はこの時点では完全にパワーダウン・モードで、SPI のプログラミングはできません。
- CE ピンをロジック・ハイに設定します。プルアップ抵抗を介して CE ピンを  $V_{3\_LDO}$  ピンに接続しても構いません。そのため、手順 1 と手順 2 は同時に実行します。
- 全ての SPI レジスタ・ビットがパワーオン・リセット (POR) 状態に安定するまで  $200\mu\text{s}$  以上待機した後、SPI をプログラミングして ADF4383 を目的の状態に設定します。以下に、推奨する SPI プログラミング・シーケンスを示します。
  - 今後のリードバック動作のために、 $\text{SDO\_ACTIVE}$  ビットおよび  $\text{CMOS\_OV}$  ビットを目的の状態に設定します。
  - 必要な全てのレジスタ・アドレスをプログラムします。プログラミングの順番は重要ではありません。ただし、必ずレジスタ  $0x010$  を最後のレジスタ書込みにしてください。いくつかのレジスタ・フィールドについて必要な事前設定値をレジスタ・マップに示します。これらは、適切なデバイス動作のために必要です。
- $\text{PD\_ALL}$  ビットが 0 に設定されるまで、ADF4383 はパワーダウン・モードを維持します。 $\text{PD\_ALL}$  が無効化された後、VTUNE がループ・フィルタ内でプリチャージされ、VCO のキャリブレーション時間を削減します。VCO のキャリブレーションを開始するまでに必要なプリチャージ時間は、ループ・フィルタ内のコンデンサの最大値に依存します。待機時間は、 $750 \times C_{\text{MAX}}$  です。ここで、 $C_{\text{MAX}}$  はループ・フィルタ内のコンデンサの最大値です。最小プリチャージ時間は  $50\mu\text{s}$  です。
- レジスタ  $0x010$  に書込みを行うと、VCO の自動キャリブレーションが始まります。この時点で、ADF4383 は完全に動作可能となり、新しい周波数を必要に応じて何度でも設定できます。以降の手順は、 $\text{PD\_ALL}$  ビットと CE ピンに関する情報です。
- $\text{PD\_ALL}$  を 1 に設定すると ADF4383 がパワーダウンしますが、最後に行われた SPI 設定と完全な SPI プログラミング機能は保持されます。
- $\text{PD\_ALL}$  の状態だけが手順 6 で変更されたのであれば、 $\text{PD\_ALL}$  を 0 に設定すると、ADF4383 は手順 5 で設定された周波数に戻ります。 $10\mu\text{s}$  の待機後、全ての回路ブロックは内部で完全にパワーアップされます。この  $10\mu\text{s}$  の待機には、ループ・フィルタの帯域幅に関する周波数セトリング・タイムは含まれません。
- CE ピンのレベルを切り替えると、ADF4383 は完全なパワーダウン・モードに戻り、SPI レジスタは POR 状態に戻ります (手順 2 および手順 3 を参照)。

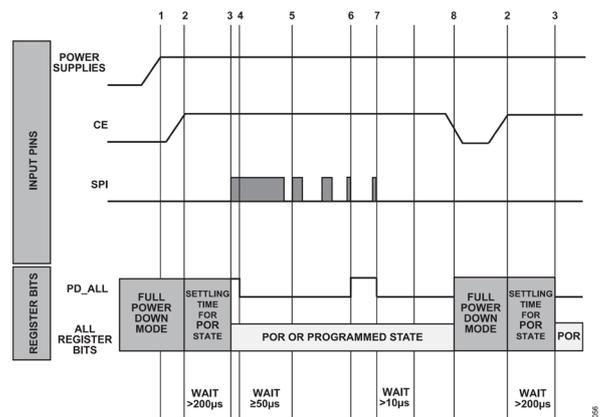


図 62. パワーアップと初期化

## プログラミング手順

ADF4383 をパワーアップするには、2 種類の方法があります。標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーションのセクションで示す最も一般的に用いられる方法は、最初のデバイス・パワーアップ時には必須です。

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定のセクションに示す方法は、最初のパワーアップ後にオプションで使用するパワーアップ手順です。

アプリケーション情報

標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーション

次の標準的なパワーアップと初期化シーケンスは、ADF4383 をパワーアップしプログラミングするための推奨手順です。

1. **パワーアップと初期化のシーケンス**のセクションの手順 1～手順 5 を実行します。
2. オプションで、VCO キャリブレーション・ビット、ADC\_BUSY、FSM\_BUSY（それぞれレジスタ 0x058 のビット 2 およびビット 1）のステータスをモニタできます。ADC\_BUSY がハイからローに遷移し、次いで FSM\_BUSY がハイからローに遷移すると、VCO のキャリブレーションは終了します。
3. VCO のキャリブレーションが終了したら、EN\_DRCLK = EN\_DNCLK = EN\_ADC\_CLK = 0 に設定して VCO キャリブレーション・クロックを無効化します。VCO キャリブレーション・クロックを無効化すると、不要なスプリアス成分を低減できます。
4. ロック検出器が LKDET ピン（27 番ピン）および LOCKED ビット（レジスタ 0x58 のビット 0）をハイに設定すると、PLL がロックされます。
5. 周波数を変更する場合は、次の手順を実行します。
  - a. 変更されるレジスタのみをプログラムします。
  - b. レジスタ 0x010 に書き込みを行うと、変更の有無に関わりなく、最終ステップとして新しい VCO 自動キャリブレーションを開始します。

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定

高速の周波数ホッピング・アプリケーションでは、ロック時間をこれより大幅に短くする必要があります。ADF4383 は、VCO のキャリブレーションをバイパスすることによって全体的なロック時間を減少するよう、事前設定されたキャリブレーション値を使って手動でプログラムできます。キャリブレーション値は、まず自動キャリブレーションを実行し、所定の周波数に対応する帯域、コア、バイアス値をリードバックすることによって取得されます。次にこれらの値は、後続のデバイス初期化において ADF4383 に手動でプログラムできます。プロセスの変動があるため、リードバック値は、デバイスごとに異なります。

次に示すステップは、初期化後の手動 VCO キャリブレーションを実行するための手順の概要です。

1. 必要な目標周波数で自動キャリブレーションを実行します。
2. VCO\_CORE および VCO\_BAND をリードバックして記録します。
3. VCO\_CORE = 0 の場合、VCO0\_BIAS\_RDBK から VCO バイアス値を読み出します。VCO\_CORE = 1 の場合、VCO1\_BIAS\_RDBK から VCO バイアス値を読み出します。読み出した値は M\_VCO\_BIAS 値として用いられます。
4. その後のパワーアップと初期化のシーケンスにおいて、オーバーライド (O\_VCO\_CORE、O\_VCO\_BAND、O\_VCO\_BIAS) および手動 VCO ビット (M\_VCO\_CORE、M\_VCO\_BAND、M\_VCO\_BIAS) を表 24 に示すようにプログラムします。
5. 必要に応じてフラクショナル N 分周器のビット・フィールド値をプログラムします。計算については、出力周波数のセクションを参照してください。

6. N\_INT 値（レジスタ 0x010）をプログラムして、手動キャリブレーション値を全てプログラムします。
7. 目標周波数ごとにこのシーケンスを繰り返します。

注：N\_INT レジスタに書き込んだ後に、インテジャーからフラクショナル（またはフラクショナルからインテジャー）に RF 出力周波数を移行する場合は、MUTE\_NCLK を 1 に設定した後、0 に設定する必要があります。

表 24. 手動プログラミングによる VCO キャリブレーション設定

ビット・フィールド	値	説明
O_VCO_DB	0x1	N_INT をプログラムすることによって、手動キャリブレーション値がダブル・バッファされます。
EN_AUTOCAL	0x0	自動キャリブレーションを無効化します。
EN_DRCLK	0x0	デジタル・ブロックへの DIV_RCLK を無効化します。
EN_DNCLK	0x0	デジタル・ブロックへの DIV_NCLK を無効化します。
EN_ADC_CLK	0x0	ADC クロックを無効化します。
O_VCO_CORE	0x1	VCO コアを M_VCO_CORE の値でオーバーライドします。
O_VCO_BAND	0x1	VCO の帯域を M_VCO_BAND でオーバーライドします。
O_VCO_BIAS	0x1	VCO バイアスを M_VCO_BIAS でオーバーライドします。
M_VCO_CORE	Program with recorded values	O_VCO_CORE = 1 の場合に VCO コアを選択します。
M_VCO_BAND	Program with recorded values	O_VCO_BAND = 1 の場合にコア内の帯域を選択します。
M_VCO_BIAS	Program with recorded values	O_VCO_BIAS = 1 の場合に使用するバイアス値を選択します。
N_INT	N-divider integer word	ダブル・バッファされた手動キャリブレーション値を書込み時にプログラムします。
MUTE_NCLK	0x1	N 分周器ブロックから PFD へのクロック信号をミュートにします。インテジャーからフラクショナル周波数、またはフラクショナルからインテジャー周波数に移行する場合にのみ、MUTE_NCLK を 1 に設定した後 0 に設定する必要があります。

アプリケーション情報

高速キャリブレーション

高速キャリブレーション機能により、出力周波数を変更するたびに VCO キャリブレーション時間を 2μs 未満にできます。これを行うには、ADF4383 のオクターブ範囲にわたり、32 個の VCO コア、帯域、バイアス値を個別に保存します。高速キャリブレーションは、デバイスの初期化の間に開始できます。高速キャリブレーションが開始されると、ADF4383 のオクターブ出力周波数範囲にわたり、32 個の出力周波数で自動キャリブレーションが実行されます。デバイスのレジスタ・マップのオンチップ・ルックアップ・テーブルを用いて、各出力周波数の対応する VCO コア、帯域、バイアス値が保存されます。

初期化後、それ以降の出力周波数変更は、それ以前に保存されたルックアップ・テーブルを用い、最適な VCO キャリブレーション値を補間によって決定します。高速キャリブレーションは、メモリ・ストレージを備えた外部マイクロコントローラが必要な手動プログラミングによる VCO キャリブレーション設定に対する効果的な代替ソリューションです。これは、手動書込みに比べ、出力周波数ごとに必要な SPI 書込みの数も減らします。この機能は、多くの周波数ホップが必要なアプリケーションにおいて特に有用です。

ループ・フィルタの設計

安定なループ・フィルタを設計するために、ADF4383 のループ・フィルタ部品を選択する際には注意が必要です。ループ・フィルタの設計とシミュレーションには ADIsimPLL をダウンロードしてインストールすることを推奨します。ADIsimPLL には、初めて使うユーザのためにチュートリアルが含まれており、また、より複雑なトピックに対するヘルプ・マニュアルも備わっています。ADIsimPLL のウェブ・ページには、いくつかの ADIsimPLL トレーニング・ビデオも用意されています。ループ・フィルタの設計とシミュレーションを終了した後は、ADF4383 評価用ハードウェアを用いて新しいループ・フィルタを検証することを推奨します。ループ・フィルタ設計の完全なチュートリアルは、このデータシートの範囲を超えています。しかし、いくつかのベスト・プラクティスを以下に示します。ADIsimPLL はこれらのパラメータの定義とシミュレーションの助けとなるものです。これらの項目を大幅に変更すると、新たなループ・フィルタの設計が必要になります。

安定なループ・フィルタは次の条件を満たす必要があります。

- ▶ ループ・フィルタの位相マージン > 45°
- ▶ ループ・フィルタの帯域幅 < f<sub>PD</sub> ÷ 10

必要なループ・フィルタの帯域幅は、ADF4383 の次の主要な性能パラメータによって決まります。

- ▶ I<sub>CP</sub>
- ▶ K<sub>VCO</sub>
- ▶ PFD 周波数
- ▶ リファレンス入力の位相ノイズ (リファレンスの位相ノイズのセクションを参照)
- ▶ ジッタを最小化することと、セトリング・タイムを最小化することとのトレードオフ

VTUNE ピンには GND との間に 54pF のコンデンサが内蔵されており、これをループ・フィルタの設計に含める必要があります。ADIsimPLL ではこの内部コンデンサを自動的に考慮します。

ループ・フィルタ部品を選択する際のもう 1 つの考慮事項は、ループ・フィルタ設計における最大コンデンサ値です。これは、VCO キャリブレーション前の最小 VTUNE プリチャージ時間に直接影響するためです。最小プリチャージ時間は次式で計算されます。

$$t_{PRECHARGE} = \frac{C \times V}{I} \tag{21}$$

ここで、

I は、VCO キャリブレーションのジェネレータ電流 (6mA)。  
 C は、ループ・フィルタ最大容量。  
 V は、公称チャージ・ポンプ電圧。

例えば、使用する容量値が 10nF でチャージ・ポンプ電圧が 3.6V の場合、以下ようになります。

$$t_{PRECHARGE} = \frac{10 \text{ nF} \times 3.6 \text{ V}}{6 \text{ mA}} = 6 \mu\text{s}$$

プリチャージ時間に依存するビット・フィールドのプログラミングについては、VCO のキャリブレーションのセクションを参照してください。

リファレンス源に関する考慮事項

リファレンス入力ネットワーク

図 46 に示す ADF4383 のリファレンス入力バッファは、差動周波数源にもシングルエンド周波数源にも柔軟にインターフェースできます。図 63~図 68 に、様々なリファレンス信号タイプに対して推奨されるインターフェースを示します。全ての特性インピーダンス (Z<sub>0</sub>) 信号パターンは、50Ω の伝送線です。

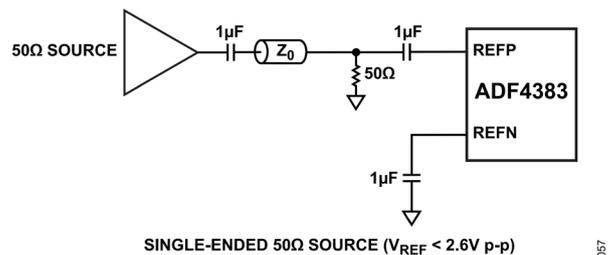


図 63. シングルエンド 50Ω ソース (V<sub>REF</sub> < 2.6V p-p)

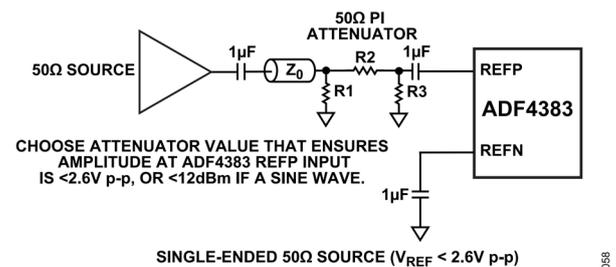
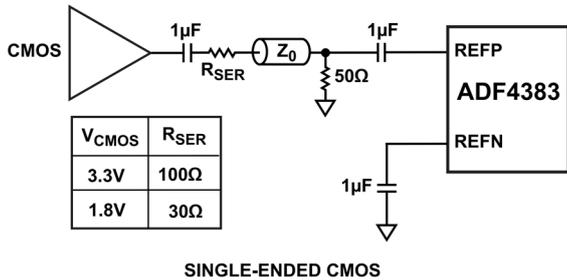


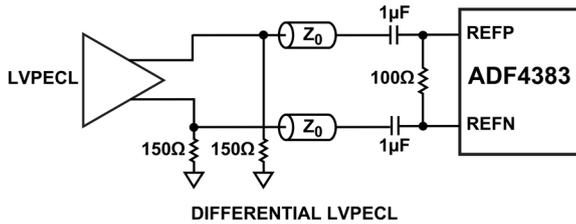
図 64. シングルエンド 50Ω ソース (V<sub>REF</sub> < 2.6V p-p)

アプリケーション情報



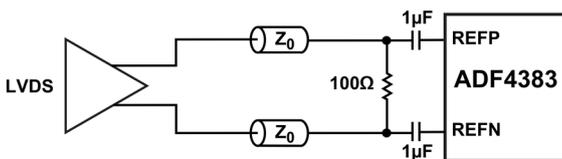
SINGLE-ENDED CMOS

図 65. シングルエンド CMOS (R<sub>SER</sub>は直列抵抗)



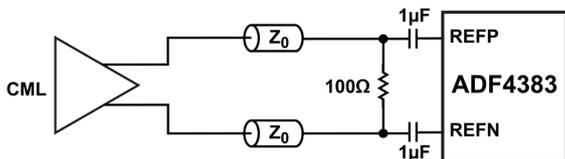
DIFFERENTIAL LVPECL

図 66. 差動、低電圧、正エミッタ結合ロジック (LVPECL)



DIFFERENTIAL LVDS

図 67. 差動 LVDS



DIFFERENTIAL CML

図 68. 差動 CML

リファレンスの位相ノイズ

ADF4383 では、インテジャー・モードで L<sub>NORM</sub> = -239dBc/Hz、フラクショナル・モードで L<sub>NORM</sub> = -237dBc/Hz の正規化された帯域内位相ノイズ・フロアを実現します。

入力換算位相ノイズ・フロア (L<sub>IN</sub>) を計算するには、次式を用います。

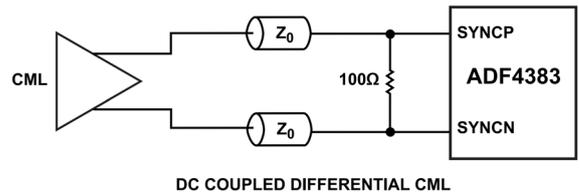
$$L_{IN} = L_{NORM} + 10 \times \log_{10}(f_{REF}) \quad (22)$$

例えば、リファレンス入力周波数が 100MHz では、フラクショナル・モードでの L<sub>IN</sub> は、-157dBc/Hz となります。リファレンス周波数源の位相ノイズは、全体的なシステム位相ノイズに影響しこれを増加させることのないよう、L<sub>IN</sub> を少なくとも 6dB 下回る必要があります。

代表的な L<sub>NORM</sub> 性能を維持するために、入力リファレンス信号のタイプと振幅に応じて最適な REF\_SEL (レジスタ 0x030 のビット 5) の設定を選択するための基準を、表 7 に示します。

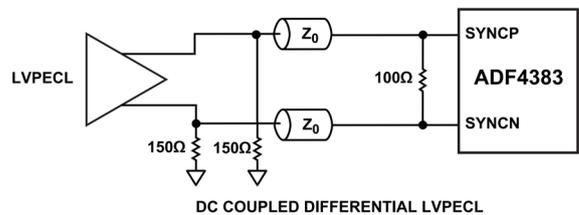
同期入力ネットワーク

SYNC 入力ピンは、入力 SYNC 信号レベルの範囲に対応できるように、SYNC\_SEL ビットを用いて CML/LVPECL インターフェース、または LVDS インターフェース用に設定できます。図 69 ~ 図 72 に SYNC 入力ピンへの推奨入力ネットワークを示します。



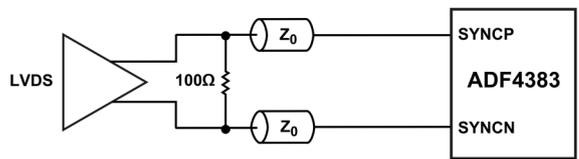
DC COUPLED DIFFERENTIAL CML

図 69. DC 結合差動 CML (SYNC\_SEL = 0 に設定)



DC COUPLED DIFFERENTIAL LVPECL

図 70. DC 結合差動 LVPECL (SYNC\_SEL = 0 に設定)



DC COUPLED DIFFERENTIAL LVDS

図 71. DC 結合差動 LVDS (SYNC\_SEL = 1 に設定)

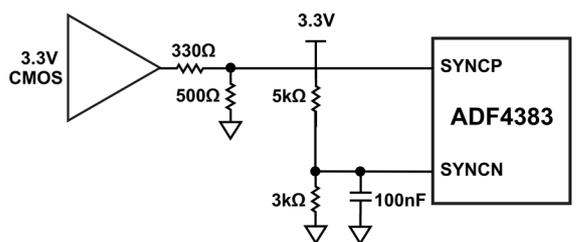


図 72. LVDS 入力への DC 結合 3.3V シングルエンド・ロジック (SYNC\_SEL = 1 に設定)

出力の位相ノイズ特性

帯域内出力位相ノイズ

f<sub>OUT</sub> で発生する帯域内位相ノイズ・フロア (L<sub>OUT</sub>) を計算するには、次式を用います。

アプリケーション情報

$$L_{OUT} = L_{NORM} + 10 \times \log_{10}(f_{PFD}) + 20 \times \log_{10}\left(\frac{f_{OUT}}{f_{PFD}}\right) \quad (23)$$

または

$$L_{OUT} = L_{NORM} + 10 \times \log_{10}(f_{PFD}) + 20 \times \log_{10}\left(\frac{N}{O}\right) \quad (24)$$

1/f ノイズによる出力位相ノイズ

オフセット周波数が低い場合の帯域内位相ノイズは、 $f_{PFD}$  に応じて、ADF4383 の 1/f の影響を受ける可能性があります。所定の周波数オフセット ( $f_{OFFSET}$ ) で出力される 1/f 位相ノイズを次式から概算するには、正規化された帯域内 1/f ノイズ ( $L_{1/f}$ ) を  $-287\text{dBc/Hz}$  とします。

$$L_{OUT(1/f)} = L_{1/f} + 20 \times \log_{10}(f_{OUT}) - 10 \times \log_{10}(f_{OFFSET}) \quad (25)$$

帯域内ノイズ・フロア ( $L_{OUT}$ ) とは異なり、1/f ノイズ ( $L_{OUT(1/f)}$ ) は、 $f_{PFD}$  によって変化はしませんが、オフセット周波数に対して一定というわけではありません。インテグラー・モードで  $f_{PFD}$  が 100MHz および 500MHz の場合の帯域内位相ノイズの例を、図 73 に示します。合計位相ノイズは  $L_{OUT}$  と  $L_{OUT(1/f)}$  の和であり、次式で計算できます。

$$L_{OUT(TOTAL)} = 10 \times \log_{10}\left(10^{L_{OUT}/10} + 10^{L_{OUT(1/f)}/10}\right) \quad (26)$$

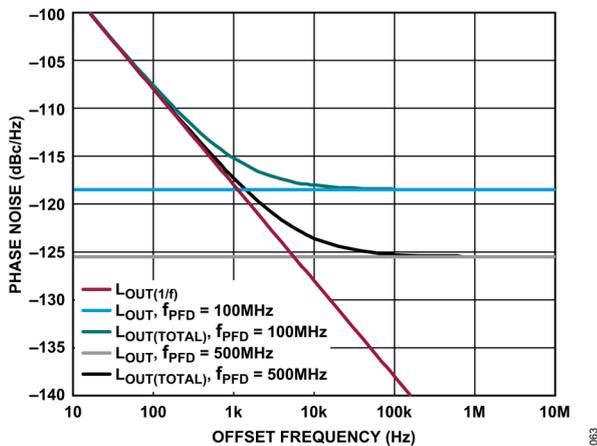


図 73. 理論的な帯域内位相ノイズ ( $f_{OUT} = 10\text{GHz}$ )

複数の ADF4383 デバイスの出力位相同期

複数の ADF4383 デバイスを同期するには、以下の 2 つの方法のいずれかを使用します。

▶ EZSync™ 法。これは、SPI レジスタ書き込みを用いて同期を行います。

▶ タイミング同期法。これは、ADF4383 の SYNCx ピンを用いて同期を行います。

EZSync 法

EZSync 同期法では、複数のデバイスの出力位相を別々の同期信号を必要とすることなく同期できるため、複数の ADF4383 デバイスを用いるシステムにおいて、PCB レイアウトの複雑さを軽減できるという利点があります。

EZSync では、SYNC ピンを用いる代わりに、SW\_SYNC=1 に設定することによって SPI を通じて同期要求を送信します。SPI を通じて要求を送信する際の問題点は、SPI が低速のプロトコルであることと、時間精度がないことです。別の課題として、同じリファレンス周期で要求を送信することが挙げられます。これは、多くの ADF4383 デバイスを用いる場合には不可能となります。EZSync では、DC カップリングされたリファレンス信号をグリッチなく開始および停止し、SPI を通じて要求を送信する際のセットアップ時間およびホールド時間をなくすことで、これらの問題を解決します。リファレンス信号は、正確に、かつグリッチやラント・パルスを生じることなく、停止および開始を行う必要があります。EZSync に対応していることから、HMC7044B などのアナログ・デバイセズのクロック生成および分配デバイスが推奨されます。

以下に説明するステップは、2 個の ADF4383 デバイスを使用して EZSync を実行するための手順の概略です (ハードウェアは図 74 に従ってセットアップされていることを仮定)。

1. 以下に従い、HMC7044B を EZSync 設定用にセットアップします。
  - a. ADF4383 に対するリファレンスとして用いるチャンネルを動的モードに設定します。例えば、チャンネル 0 の場合、レジスタ 0x00C8 を 0xFF に設定します。
  - b. チャンネルの出力ドライバ・モードを LVPECL または CML に設定し、チャンネルのミュート・セレクトを 0 に設定します。例えば、レジスタ 0x00D0 = 0x89 に設定します。
  - c. レジスタ 0x005A を 0x07 に設定することにより、パルス発生モード選択を連続モードに設定します。
  - d. リファレンスを開始するには、リシード要求を送信します。そのためには、レジスタ 0x001 を 0x80 に設定してから 0x00 に設定し、リシード要求を 1 に設定してから 0 に設定します。
2. 次のように、各 ADF4383 をセットアップします。
  - a. デフォルトの初期化設定値で ADF4383 を初期化します。
  - b. TIMED\_SYNC = 0 に設定します。
  - c. EN\_REF\_RST = 1 に設定します。
  - d. EN\_PHASE\_RESYNC = 1 に設定します。
  - e. SYNC\_SEL = 1 に設定します。
3. 両方の ADF4383 がロックされていることを確認します。
4. 両方の ADF4383 の RFOUT 信号を同期させます。
  - a. まず、オシロスコープで、両方の ADF4383 デバイスが同期していないことを確認します。
  - b. 各 ADF4383 に対し、SW\_SYNC = 1 に設定します。
  - c. パルス発生器モード選択を 0 に設定して、HMC7044B のリファレンスを停止します (レジスタ 0x005A を 0x00 に設定)。

アプリケーション情報

- d. HMC7044B のパルス発生器モード選択を 7 に設定します (レジスタ 0x005A を 0x07 に設定)。
  - e. レジスタ 0x0001 を 0x04 に設定してから 0x0 に設定することにより、パルス要求を送信し、リファレンスを再開します。
  - f. 各 ADF4383 に対し、SW\_SYNC = 0 に設定します。
5. オシロスコープで、両方の ADF4383 デバイスからの出力が同期していることを確認します (ケーブルのミスマッチによるものを除く)。

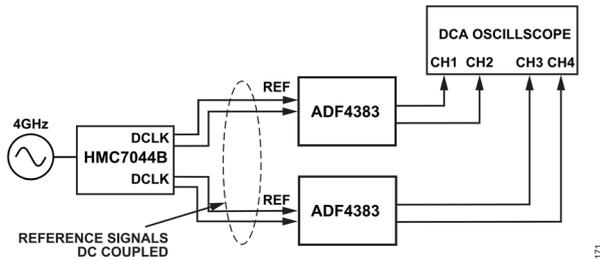


図 74. EZSync の構成

タイミング同期法

タイミング同期法は、外部同期信号を用いて複数の ADF4383 デバイスを同期します。こちらの方が、より伝統的なデバイス同期方法です。この方法は、同期信号を提供するために、クロック分配デバイスから外部信号を追加する必要があります。出力位相を正確に一致させるために、各同期信号が一致する必要があります。ADF4383 の SYNC ピンで同期パルスの立上がりエッジが同期プロセスの開始をトリガし、それによってデバイスはリセット状態に置かれます。同期パルスの立下がりエッジで、各 ADF4383 の RFOUT 信号の位相が、リファレンスの位相を基準とする既知の位相に揃えられます。

以下に説明するステップは、図 75 に示す構成で、2 個の ADF4383 デバイスのタイミングを同期する手順の概略です。

1. 次のように、HMC7044B をセットアップします。
- a. ADF4383 へのリファレンスとして用いるチャンネルを非同期モードに設定します (例えば、チャンネル 0 の場合レジスタ 0x00C8 を 0xF3 に設定)。
  - b. リファレンス・チャンネルの分周比を 16 に設定し、リファレンス周波数を 250MHz にします (例えば、チャンネル 0 の場合レジスタ 0x00C9 を設定)。
  - c. ADF4383 への SYNC 信号として用いるチャンネルを動的モードに設定します (例えば、レジスタ 0x00D2 を 0xFF に設定)。
  - d. SYNC チャンネルの分周比を 8 に設定します。
  - e. HMC7044B の SYSREF タイマー (レジスタ 0x005B およびレジスタ 0x005C) の値を、SYNC チャンネルの分周器と同じ値に設定します。
  - f. パルス・モード選択をパルスに設定します (レジスタ 0x005A を 0x01 に設定)。

- g. リファレンスを開始するには、リシード要求を送信します。そのためには、レジスタ 0x001 を 0x80 に設定してから 0x00 に設定し、リシード要求を 1 に設定してから 0 に設定します。
2. 次のように、ADF4383 をセットアップします。
- a. TIMED\_SYNC (レジスタ 0x01E のビット 5) = 1 に設定します。
  - b. EN\_REF\_RST (レジスタ 0x01E のビット 6) = 1 に設定します。
  - c. EN\_PHASE\_RESYNC (レジスタ 0x01E のビット 7) = 1 に設定します。
  - d. SYNC\_SEL (レジスタ 0x053 のビット 5) = 0 に設定します。
  - e. R\_DIV (レジスタ 0x020 のビット[5:0]) = 4 に設定します。
  - f. EN\_DRCLK (レジスタ 0x02D のビット 6) = 1 に設定します。
  - g. ADF4383 デバイスがロックされていることを確認します。
3. 両方の ADF4383 デバイスを次のように同期します。
- a. 両方の ADF4383 の出力が同期していないことを確認します。
  - b. レジスタ 0x001 のデータを 0x04 から 0x00 にトグルすることにより、HMC7044B にパルス・ジェネレータ要求を送信します。
  - c. 両方の ADF4383 デバイスで両方の出力の位相が同期していることを確認します。

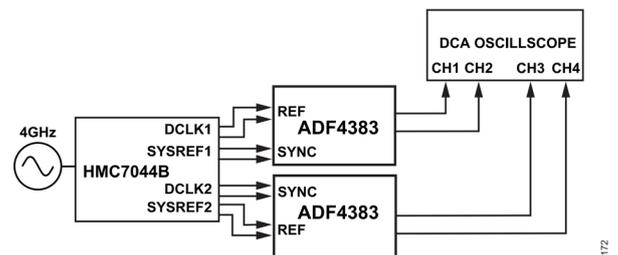


図 75. タイミング同期の構成

## アプリケーション情報

## 位相同期の設定値

ADF4383 の位相ノイズおよびスプリアス性能を最適化するために、使用する  $f_{\text{PFD}}$  に基づいてプログラムしなくてはならない

ビット・フィールドがいくつかあります。表 25 に、位相同期のために最適な設定値を示します。

表 25. 位相同期の設定値

PFD Frequency	RDIV = 3, 6, 12, 14, 15, 24, 26 to 31, 46, 48 to 63			RDIV = 1, 2, 4, 5, 7 to 11, 13, 16 to 23, 25, 32 to 45, 47		
	REF_CK_FALL	REF_DC_SEL	xx_DEL <sup>1</sup>	REF_CK_FALL	REF_DC_SEL	xx_DEL <sup>1</sup>
$f_{\text{PFD}} \geq 225 \text{ MHz}$	0	0	3	0	0	3
$200 \text{ MHz} \leq f_{\text{PFD}} < 225 \text{ MHz}$	0	0	4	0	0	4
$148 \text{ MHz} \leq f_{\text{PFD}} < 200 \text{ MHz}$	1	3	1	1	3	0
$130 \text{ MHz} \leq f_{\text{PFD}} < 148 \text{ MHz}$	1	3	3	1	3	1
$85 \text{ MHz} \leq f_{\text{PFD}} < 130 \text{ MHz}$	1	3	4	1	3	1
$f_{\text{PFD}} < 85 \text{ MHz}$	1	2	0	1	2	1

<sup>1</sup> xx\_DEL は、SYNC\_DEL、DNCLK\_DEL、DRCLK\_DEL を表します。

## アプリケーション情報

## 位相再同期

位相再同期は、出力周波数ごとに、入力リファレンスに対して RFOUT 信号の位相を整合させることのできる機能です。これは、複数の ADF4383 デバイスを同期させることが必要なアプリケーションにおいて有用です。複数のデバイスの同期後は、更に（例えば周波数の変更後に）再同期を行う必要はありません。位相再同期を用いる場合、MOD2WORDMAX の最大値は、 $2^{17} - 1 = 131071$  です。MOD2WORDMAX の計算については、[出力周波数](#)のセクションを参照してください。

次のシーケンスが、位相再同期法の手順です。

1. ADF4383 デバイスをパワーアップして初期化します。
2. 全ての ADF4383 デバイスを同じ周波数に設定します。
3. 初期同期を行います（詳細については、[タイミング同期法](#)のセクションおよび [EZSync 法](#)のセクションを参照）。
4. 以下のステップを実行することにより、位相再同期モードを有効にします。
  - a. DEL\_MODE (レジスタ 0x032 のビット 5) = 1 に設定します。
  - b. EN\_PHASE\_RESYNC (レジスタ 0x01E のビット 7) = 1 に設定します。
  - c. EN\_REF\_RST (レジスタ 0x01E のビット 6) = 0 に設定します。
  - d. EN\_DRCLK (レジスタ 0x02D のビット 6) = 1 に設定します。
  - e. 以下の式により、 $t_{RESYNC}$  のデフォルトを  $100\mu\text{s}$  に設定します。

$$t_{RESYNC} = \frac{RESYNC\_WAIT}{f_{PFD}} \quad (27)$$

ここで、 $f_{PFD} = 250\text{MHz}$ 、 $t_{RESYNC} = 25,000$  です。

なお、高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定を用いる場合（[高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定](#)のセクションを参照）、インテジャーからフラクショナル（またはその逆）の RF 出力周波数に移行した後、MUTE\_NCLK を 1 に設定する必要があります。この場合、周波数変更後に MUTE\_NCLK を 1 に設定するたびに、位相再同期は維持されなくなります。

レジスタ・マップ

表 26. ADF4383 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x000	REG0000	[7:0]	SOFT_RES ET_R	LSB_FIRST _R	ADDRESS_ ASCENSIO N_R	SDO_ACTIV E_R	SDO_ACTIV E	ADDRESS_ ASCENSIO N	LSB_FIRST	SOFT_RES ET	0x00	R/W
0x001	REG0001	[7:0]	SINGLE_IN STRUCTION	0	MAIN_READ BACK_CON TROL	0	RESERVED	0	0	RESERVED	0x00	R/W
0x003	REG0003	[7:0]	RESERVED				CHIP_TYPE				0x00	R
0x004	REG0004	[7:0]	PRODUCT_ID[7:0]				0x00				R	
0x005	REG0005	[7:0]	PRODUCT_ID[15:8]				0x00				R	
0x00A	REG000A	[7:0]	SCRATCHPAD				0x00				R/W	
0x00C	REG000C	[7:0]	VENDOR_ID[7:0]				0x56				R	
0x00D	REG000D	[7:0]	VENDOR_ID[15:8]				0x04				R	
0x010	REG0010	[7:0]	N_INT[7:0]				0x80				R/W	
0x011	REG0011	[7:0]	RFOUT_DIV		INV_RFOUT	N_INT[11:8]				0x00	R/W	
0x012	REG0012	[7:0]	FRAC1WORD[7:0]				0x00				R/W	
0x013	REG0013	[7:0]	FRAC1WORD[15:8]				0x00				R/W	
0x014	REG0014	[7:0]	FRAC1WORD[23:16]				0x00				R/W	
0x015	REG0015	[7:0]	M_VCO_BA ND[0]	M_VCO_CO RE	RESERVED		INT_MODE	PFD_POL	FRAC1WOR D[24]		0x00	R/W
0x016	REG0016	[7:0]	M_VCO_BAND[8:1]				0x00				R/W	
0x017	REG0017	[7:0]	FRAC2WORD[7:0]				0x00				R/W	
0x018	REG0018	[7:0]	FRAC2WORD[15:8]				0x00				R/W	
0x019	REG0019	[7:0]	FRAC2WORD[23:16]				0x00				R/W	
0x01A	REG001A	[7:0]	MOD2WORD[7:0]				0x00				R/W	
0x01B	REG001B	[7:0]	MOD2WORD[15:8]				0x00				R/W	
0x01C	REG001C	[7:0]	MOD2WORD[23:16]				0x00				R/W	
0x01D	REG001D	[7:0]	BLEED_I[7:0]				0x00				R/W	
0x01E	REG001E	[7:0]	EN_PHASE RESYNC	EN_REF_R ST	TIMED_SYN C	BLEED_I[12:8]				0x00	R/W	
0x01F	REG001F	[7:0]	SW_SYNC	RESERVED	BLEED_POL	EN_BLEED	CP_I				0x00	R/W
0x020	REG0020	[7:0]	EN_AUTOC AL	EN_RDBLR	R_DIV				0x01		R/W	
0x021	REG0021	[7:0]	PHASE_WORD[7:0]				0x00				R/W	
0x022	REG0022	[7:0]	PHASE_WORD[15:8]				0x00				R/W	
0x023	REG0023	[7:0]	PHASE_WORD[23:16]				0x00				R/W	
0x024	REG0024	[7:0]	REF_CK_FA LL	REF_DC_SEL		DCLK_DIV_ SEL	DNCLK_DIV1	DCLK_DIV1		0x00	R/W	
0x025	REG0025	[7:0]	RESYNC_WAIT[7:0]				0x00				R/W	
0x026	REG0026	[7:0]	RESYNC_WAIT[15:8]				0x00				R/W	
0x027	REG0027	[7:0]	0xF				0x0				0x00	R/W
0x028	REG0028	[7:0]	PHASE_RE SYNC_RB_ SEL	LSB_P1	VAR_MOD_ EN	DITHER1_SCALE		EN_DITHER 2	EN_DITHER 1	0x00	R/W	
0x029	REG0029	[7:0]	RFOUT2_OPWR				RFOUT1_OPWR				0x00	R/W
0x02A	REG002A	[7:0]	0	0	1	PD_SYNC	0	PD_RDET	PD_ADC	0	0x04	R/W
0x02B	REG002B	[7:0]	PD_ALL	PD_RDIV	PD_NDIV	PD_VCO	PD_LD	PD_PFDPCP	PD_RFOUT 1	PD_RFOUT 2	0x83	R/W
0x02C	REG002C	[7:0]	LDWIN_PW				LD_COUNT				0x00	R/W
0x02D	REG002D	[7:0]	EN_DNCLK	EN_DRCLK	EN_LOL	EN_LDWIN	0	RST_LD	0	1	0x00	R/W

レジスタ・マップ

表 26. ADF4383 のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x02E	REG002E	[7:0]	MUXOUT				RESERVED	EN_CPTES T	CP_DOWN	CP_UP	0x00	R/W	
0x02F	REG002F	[7:0]	BST_REF	FILT_REF	RDBLR_DC						0x00	R/W	
0x030	REG0030	[7:0]	MUTE_NCL K	RESERVED	REF_SEL	INV_RDBLR	RDBLR_DEL_SEL				0x00	R/W	
0x031	REG0031	[7:0]	SYNC_DEL			RST_SYS	EN_ADC_C LK	RESERVED	1	DCLK_MOD E	0x00	R/W	
0x032	REG0032	[7:0]	RESERVED	1	DEL_MODE	EN_AUTO_ ALIGN	PHASE_ADJ _POL	EFM3_MODE			0x00	R/W	
0x033	REG0033	[7:0]	PHASE_ADJUSTMENT								0x00	R/W	
0x034	REG0034	[7:0]	PHASE_ADJ	DRCLK_DEL			DNCLK_DEL			RST_CNTR	0x00	R/W	
0x035	REG0035	[7:0]	RESERVED				M_VCO_BIAS					0x00	R/W
0x036	REG0036	[7:0]	RFOUTODIV _DB	DCLK_DIV_ DB	RESERVED				EN_LUT_GE N	EN_LUT_CA L	0x00	R/W	
0x037	REG0037	[7:0]	CAL_COUNT_TO								0x00	R/W	
0x038	REG0038	[7:0]	CAL_VTUNE_TO[7:0]								0x00	R/W	
0x039	REG0039	[7:0]	O_VCO_DB	CAL_VTUNE_TO[14:8]							0x00	R/W	
0x03A	REG003A	[7:0]	CAL_VCO_TO[7:0]								0x00	R/W	
0x03B	REG003B	[7:0]	DEL_CTRL_ DB	CAL_VCO_TO[14:8]							0x00	R/W	
0x03C	REG003C	[7:0]	0x0								0x00	R/W	
0x03D	REG003D	[7:0]	RESERVED	0	CMOS_OV	0	0				0x00	R/W	
0x03E	REG003E	[7:0]	ADC_CLK_DIV								0x00	R/W	
0x03F	REG003F	[7:0]	1	0	0	0	0	0	EN_ADC	0	0x00	R/W	
0x040	REG0040	[7:0]	0	0	MUTE_RFOUT2			MUTE_RFOUT1			0x00	R/W	
0x041	REG0041	[7:0]	0			0	0	0	0	0	0x00	R/W	
0x042	REG0042	[7:0]	0x1								0x00	R/W	
0x043	REG0043	[7:0]	0xB8								0x00	R/W	
0x044	REG0044	[7:0]	VCAL_ZER O	0x2E							0x00	R/W	
0x045	REG0045	[7:0]	RESERVED	0x52							0x00	R/W	
0x04B	REG004B	[7:0]	0x5D								0x00	R/W	
0x04C	REG004C	[7:0]	RESERVED				0x2B				0x00	R/W	
0x04D	REG004D	[7:0]	RESERVED						O_VCO_BIA S	O_VCO_BA ND	O_VCO_CO RE	0x00	R/W
0x04F	REG004F	[7:0]	LUT_SCALE								0x00	R/W	
0x053	REG0053	[7:0]	RESERVED	PD_SYNC_ MON	SYNC_SEL	RST_SYNC_ MON	0x5				0x00	R/W	
0x054	REG0054	[7:0]	RESERVED								ADC_ST_C NV	0x00	R/W
0x055	REG0055	[7:0]	COUNTER_READBACK[7:0]								0x00	R	
0x056	REG0056	[7:0]	COUNTER_READBACK[15:8]								0x00	R	
0x057	REG0057	[7:0]	COUNTER_READBACK[23:16]								0x00	R	
0x058	REG0058	[7:0]	LUT_BUSY	SYNC_OK	DEL_STR	DEL_ADJ	REF_OK	ADC_BUSY	FSM_BUSY	LOCKED	0x00	R	
0x059	REG0059	[7:0]	RESERVED				VCO0_BIAS_RDBK				0x00	R	
0x05A	REG005A	[7:0]	RESERVED				VCO1_BIAS_RDBK				0x00	R	
0x05B	REG005B	[7:0]	CHIP_TEMP[7:0]								0x00	R	
0x05C	REG005C	[7:0]	RESERVED								CHIP_TEM P[8]	0x00	R

## レジスタ・マップ

表 26. ADF4383 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x05E	REG005E	[7:0]	VCO_BAND[7:0]								0x00	R	
0x05F	REG005F	[7:0]	RESERVED						VCO_CORE	VCO_BAND[8]	0x00	R	
0x061	REG0061	[7:0]	CUM_PHASE_ADJ[7:0]								0x00	R	
0x062	REG0062	[7:0]	CUM_PHASE_ADJ[15:8]								0x00	R	
0x063	REG0063	[7:0]	RESERVED						CUM_PHASE_ADJ[16]		0x00	R	
0x064	REG0064	[7:0]	DEL_CNT[7:0]								0x00	R	
0x065	REG0065	[7:0]	DEL_CNT[15:8]								0x00	R	
0x066	REG0066	[7:0]	FIRST_PASS_VCO_BAND								0x00	R	
0x067	REG0067	[7:0]	VERSION								0x00	R	
0x100	REG0100	[7:0]	RESERVED							0x3	0x00	R/W	
0x101	REG0101	[7:0]	RESERVED							0x7	0x00	R/W	
0x102	REG0102	[7:0]	RESERVED							0x3F	0x00	R/W	
0x103	REG0103	[7:0]	RESERVED							0x3F	0x00	R/W	
0x104	REG0104	[7:0]	RESERVED							0x3F	0x00	R/W	
0x105	REG0105	[7:0]	RESERVED							0x3F	0x00	R/W	
0x106	REG0106	[7:0]	RESERVED							0x7	0x00	R/W	
0x107	REG0107	[7:0]	RESERVED							0x7	0x00	R/W	
0x108	REG0108	[7:0]	RESERVED							0x7	0x00	R/W	
0x109	REG0109	[7:0]	RESERVED							0x3F	0x00	R/W	
0x10A	REG010A	[7:0]	RESERVED							0x3F	0x00	R/W	
0x10B	REG010B	[7:0]	RESERVED							0x3F	0x00	R/W	
0x10C	REG010C	[7:0]	RESERVED							0x3F	0x00	R/W	
0x10D	REG010D	[7:0]	RESERVED							0x3F	0x00	R/W	
0x10E	REG010E	[7:0]	RESERVED							0x3F	0x00	R/W	
0x10F	REG010F	[7:0]	RESERVED							0x3F	0x00	R/W	
0x110	REG0110	[7:0]	RESERVED							0x3F	0x00	R/W	
0x111	REG0111	[7:0]	RESERVED							0x3F	0x00	R/W	
0x200	REG0200	[7:0]	RESERVED	LUT_WR_ADDR						O_VCO_LUT	0x00	R/W	
0x201	REG0201	[7:0]	M_LUT_BAND[7:0]								0x00	R/W	
0x202	REG0202	[7:0]	M_LUT_N[5:0]						M_LUT_CORE	M_LUT_BAND[8]	0x00	R/W	
0x203	REG0203	[7:0]	RESERVED	M_LUT_N[11:6]								0x00	R/W
0x204	REG0204	[7:0]	LUT_BAND_0[7:0]								0x00	R	
0x205	REG0205	[7:0]	RESERVED						LUT_CORE[0]	LUT_BAND_0[8]	0x00	R	
0x206	REG0206	[7:0]	LUT_BAND_1[7:0]								0x00	R	
0x207	REG0207	[7:0]	RESERVED						LUT_CORE[1]	LUT_BAND_1[8]	0x00	R	
0x208	REG0208	[7:0]	LUT_BAND_2[7:0]								0x00	R	
0x209	REG0209	[7:0]	RESERVED						LUT_CORE[2]	LUT_BAND_2[8]	0x00	R	
0x20A	REG020A	[7:0]	LUT_BAND_3[7:0]								0x00	R	
0x20B	REG020B	[7:0]	RESERVED						LUT_CORE[3]	LUT_BAND_3[8]	0x00	R	
0x20C	REG020C	[7:0]	LUT_BAND_4[7:0]								0x00	R	

## レジスタ・マップ

表 26. ADF4383 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x20D	REG020D	[7:0]				RESERVED			LUT_CORE[4]	LUT_BAND_4[8]	0x00	R
0x20E	REG020E	[7:0]				LUT_BAND_5[7:0]					0x00	R
0x20F	REG020F	[7:0]				RESERVED			LUT_CORE[5]	LUT_BAND_5[8]	0x00	R
0x210	REG0210	[7:0]				LUT_BAND_6[7:0]					0x00	R
0x211	REG0211	[7:0]				RESERVED			LUT_CORE[6]	LUT_BAND_6[8]	0x00	R
0x212	REG0212	[7:0]				LUT_BAND_7[7:0]					0x00	R
0x213	REG0213	[7:0]				RESERVED			LUT_CORE[7]	LUT_BAND_7[8]	0x00	R
0x214	REG0214	[7:0]				LUT_BAND_8[7:0]					0x00	R
0x215	REG0215	[7:0]				RESERVED			LUT_CORE[8]	LUT_BAND_8[8]	0x00	R
0x216	REG0216	[7:0]				LUT_BAND_9[7:0]					0x00	R
0x217	REG0217	[7:0]				RESERVED			LUT_CORE[9]	LUT_BAND_9[8]	0x00	R
0x218	REG0218	[7:0]				LUT_BAND_10[7:0]					0x00	R
0x219	REG0219	[7:0]				RESERVED			LUT_CORE[10]	LUT_BAND_10[8]	0x00	R
0x21A	REG021A	[7:0]				LUT_BAND_11[7:0]					0x00	R
0x21B	REG021B	[7:0]				RESERVED			LUT_CORE[11]	LUT_BAND_11[8]	0x00	R
0x21C	REG021C	[7:0]				LUT_BAND_12[7:0]					0x00	R
0x21D	REG021D	[7:0]				RESERVED			LUT_CORE[12]	LUT_BAND_12[8]	0x00	R
0x21E	REG021E	[7:0]				LUT_BAND_13[7:0]					0x00	R
0x21F	REG021F	[7:0]				RESERVED			LUT_CORE[13]	LUT_BAND_13[8]	0x00	R
0x220	REG0220	[7:0]				LUT_BAND_14[7:0]					0x00	R
0x221	REG0221	[7:0]				RESERVED			LUT_CORE[14]	LUT_BAND_14[8]	0x00	R
0x222	REG0222	[7:0]				LUT_BAND_15[7:0]					0x00	R
0x223	REG0223	[7:0]				RESERVED			LUT_CORE[15]	LUT_BAND_15[8]	0x00	R
0x224	REG0224	[7:0]				LUT_BAND_16[7:0]					0x00	R
0x225	REG0225	[7:0]				RESERVED			LUT_CORE[16]	LUT_BAND_16[8]	0x00	R
0x226	REG0226	[7:0]				LUT_BAND_17[7:0]					0x00	R
0x227	REG0227	[7:0]				RESERVED			LUT_CORE[17]	LUT_BAND_17[8]	0x00	R
0x228	REG0228	[7:0]				LUT_BAND_18[7:0]					0x00	R
0x229	REG0229	[7:0]				RESERVED			LUT_CORE[18]	LUT_BAND_18[8]	0x00	R
0x22A	REG022A	[7:0]				LUT_BAND_19[7:0]					0x00	R
0x22B	REG022B	[7:0]				RESERVED			LUT_CORE[19]	LUT_BAND_19[8]	0x00	R
0x22C	REG022C	[7:0]				LUT_BAND_20[7:0]					0x00	R
0x22D	REG022D	[7:0]				RESERVED			LUT_CORE[20]	LUT_BAND_20[8]	0x00	R

## レジスタ・マップ

表 26. ADF4383 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x22E	REG022E	[7:0]	LUT_BAND_21[7:0]								0x00	R
0x22F	REG022F	[7:0]	RESERVED						LUT_CORE[21]	LUT_BAND_21[8]	0x00	R
0x230	REG0230	[7:0]	LUT_BAND_22[7:0]								0x00	R
0x231	REG0231	[7:0]	RESERVED						LUT_CORE[22]	LUT_BAND_22[8]	0x00	R
0x232	REG0232	[7:0]	LUT_BAND_23[7:0]								0x00	R
0x233	REG0233	[7:0]	RESERVED						LUT_CORE[23]	LUT_BAND_23[8]	0x00	R
0x234	REG0234	[7:0]	LUT_BAND_24[7:0]								0x00	R
0x235	REG0235	[7:0]	RESERVED						LUT_CORE[24]	LUT_BAND_24[8]	0x00	R
0x236	REG0236	[7:0]	LUT_BAND_25[7:0]								0x00	R
0x237	REG0237	[7:0]	RESERVED						LUT_CORE[25]	LUT_BAND_25[8]	0x00	R
0x238	REG0238	[7:0]	LUT_BAND_26[7:0]								0x00	R
0x239	REG0239	[7:0]	RESERVED						LUT_CORE[26]	LUT_BAND_26[8]	0x00	R
0x23A	REG023A	[7:0]	LUT_BAND_27[7:0]								0x00	R
0x23B	REG023B	[7:0]	RESERVED						LUT_CORE[27]	LUT_BAND_27[8]	0x00	R
0x23C	REG023C	[7:0]	LUT_BAND_28[7:0]								0x00	R
0x23D	REG023D	[7:0]	RESERVED						LUT_CORE[28]	LUT_BAND_28[8]	0x00	R
0x23E	REG023E	[7:0]	LUT_BAND_29[7:0]								0x00	R
0x23F	REG023F	[7:0]	RESERVED						LUT_CORE[29]	LUT_BAND_29[8]	0x00	R
0x240	REG0240	[7:0]	LUT_BAND_30[7:0]								0x00	R
0x241	REG0241	[7:0]	RESERVED						LUT_CORE[30]	LUT_BAND_30[8]	0x00	R
0x242	REG0242	[7:0]	LUT_BAND_31[7:0]								0x00	R
0x243	REG0243	[7:0]	RESERVED						LUT_CORE[31]	LUT_BAND_31[8]	0x00	R
0x244	REG0244	[7:0]	LUT_N_0[7:0]								0x00	R
0x245	REG0245	[7:0]	LUT_N_1[3:0]			LUT_N_0[11:8]					0x00	R
0x246	REG0246	[7:0]	LUT_N_1[11:4]								0x00	R
0x247	REG0247	[7:0]	LUT_N_2[7:0]								0x00	R
0x248	REG0248	[7:0]	LUT_N_3[3:0]			LUT_N_2[11:8]					0x00	R
0x249	REG0249	[7:0]	LUT_N_3[11:4]								0x00	R
0x24A	REG024A	[7:0]	LUT_N_4[7:0]								0x00	R
0x24B	REG024B	[7:0]	LUT_N_5[3:0]			LUT_N_4[11:8]					0x00	R
0x24C	REG024C	[7:0]	LUT_N_5[11:4]								0x00	R
0x24D	REG024D	[7:0]	LUT_N_6[7:0]								0x00	R
0x24E	REG024E	[7:0]	LUT_N_7[3:0]			LUT_N_6[11:8]					0x00	R
0x24F	REG024F	[7:0]	LUT_N_7[11:4]								0x00	R
0x250	REG0250	[7:0]	LUT_N_8[7:0]								0x00	R
0x251	REG0251	[7:0]	LUT_N_9[3:0]			LUT_N_8[11:8]					0x00	R
0x252	REG0252	[7:0]	LUT_N_9[11:4]								0x00	R
0x253	REG0253	[7:0]	LUT_N_10[7:0]								0x00	R

## レジスタ・マップ

表 26. ADF4383 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x254	REG0254	[7:0]		LUT_N_11[3:0]				LUT_N_10[11:8]			0x00	R
0x255	REG0255	[7:0]				LUT_N_11[11:4]					0x00	R
0x256	REG0256	[7:0]				LUT_N_12[7:0]					0x00	R
0x257	REG0257	[7:0]		LUT_N_13[3:0]				LUT_N_12[11:8]			0x00	R
0x258	REG0258	[7:0]				LUT_N_13[11:4]					0x00	R
0x259	REG0259	[7:0]				LUT_N_14[7:0]					0x00	R
0x25A	REG025A	[7:0]		LUT_N_15[3:0]				LUT_N_14[11:8]			0x00	R
0x25B	REG025B	[7:0]				LUT_N_15[11:4]					0x00	R
0x25C	REG025C	[7:0]				LUT_N_16[7:0]					0x00	R
0x25D	REG025D	[7:0]		LUT_N_17[3:0]				LUT_N_16[11:8]			0x00	R
0x25E	REG025E	[7:0]				LUT_N_17[11:4]					0x00	R
0x25F	REG025F	[7:0]				LUT_N_18[7:0]					0x00	R
0x260	REG0260	[7:0]		LUT_N_19[3:0]				LUT_N_18[11:8]			0x00	R
0x261	REG0261	[7:0]				LUT_N_19[11:4]					0x00	R
0x262	REG0262	[7:0]				LUT_N_20[7:0]					0x00	R
0x263	REG0263	[7:0]		LUT_N_21[3:0]				LUT_N_20[11:8]			0x00	R
0x264	REG0264	[7:0]				LUT_N_21[11:4]					0x00	R
0x265	REG0265	[7:0]				LUT_N_22[7:0]					0x00	R
0x266	REG0266	[7:0]		LUT_N_23[3:0]				LUT_N_22[11:8]			0x00	R
0x267	REG0267	[7:0]				LUT_N_23[11:4]					0x00	R
0x268	REG0268	[7:0]				LUT_N_24[7:0]					0x00	R
0x269	REG0269	[7:0]		LUT_N_25[3:0]				LUT_N_24[11:8]			0x00	R
0x26A	REG026A	[7:0]				LUT_N_25[11:4]					0x00	R
0x26B	REG026B	[7:0]				LUT_N_26[7:0]					0x00	R
0x26C	REG026C	[7:0]		LUT_N_27[3:0]				LUT_N_26[11:8]			0x00	R
0x26D	REG026D	[7:0]				LUT_N_27[11:4]					0x00	R
0x26E	REG026E	[7:0]				LUT_N_28[7:0]					0x00	R
0x26F	REG026F	[7:0]		LUT_N_29[3:0]				LUT_N_28[11:8]			0x00	R
0x270	REG0270	[7:0]				LUT_N_29[11:4]					0x00	R
0x271	REG0271	[7:0]				LUT_N_30[7:0]					0x00	R
0x272	REG0272	[7:0]		LUT_N_31[3:0]				LUT_N_30[11:8]			0x00	R
0x273	REG0273	[7:0]				LUT_N_31[11:4]					0x00	R

## レジスタの詳細

アドレス : 0x000、リセット : 0x00、レジスタ名 : REG0000

表 27. REG0000 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFT_RESET_R	SOFT_RESET の繰り返し。	0x0	R/W
6	LSB_FIRST_R	LSB_FIRST の繰り返し。	0x0	R/W
5	ADDRESS_ASCENSION_R	ADDRESS_ASCENSION の繰り返し。	0x0	R/W
4	SDO_ACTIVE_R	SDO_ACTIVE の繰り返し。	0x0	R/W
3	SDO_ACTIVE	3 線式動作か 4 線式動作かの選択。 0 : 3 線式。 1 : 4 線式 SPI (SDO が有効化され、SDIO は入力専用になります)。	0x0	R/W
2	ADDRESS_ASCENSION	ストリーミング時のアドレス・アセンション 0 : ストリーミング時アドレスは自動でデクリメント。 1 : ストリーミング時アドレスは自動でインクリメント。	0x0	R/W

## レジスタ・マップ

表 27. REG0000 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
1	LSB_FIRST	I/O データは LSB ファーストを指向。 0: MSB ファースト。 1: LSB ファースト。	0x0	R/W
0	SOFT_RESET	REG0000 以外の SPI レジスタを POR 状態にリセット。自動クリアのリセット 0: 通常動作。 1: ソフト・リセット。	0x0	R/W

アドレス : 0x001、リセット : 0x00、レジスタ名 : REG0001

表 28. REG0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。 0: SPI ストリーミングを有効化。 1: SPI ストリーミングを無効化。	0x0	R/W
6	REG01_RSV6	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
5	MAIN_READBACK_CONTROL	上位/下位リードバック制御 0: ダブル・バッファされたビット・フィールドが下位のレジスタをリードバックする場合。 1: ダブル・バッファされたビット・フィールドが上位のレジスタをリードバックする場合。	0x0	R/W
4	REG01_RSV4	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
3	RESERVED	予約済み。	0x0	R
2	REG01_RSV1	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
1	REG01_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
0	RESERVED	予約済み。	0x0	R

アドレス : 0x003、リセット : 0x00、レジスタ名 : REG0003

表 29. REG0003 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	チップ・タイプ = 0x06。	0x0	R

アドレス : 0x004、リセット : 0x00、レジスタ名 : REG0004

表 30. REG0004 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID = 0x0008。	0x0	R

アドレス : 0x005、リセット : 0x00、レジスタ名 : REG0005

表 31. REG0005 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID = 0x0008。	0x0	R

## レジスタ・マップ

アドレス : 0x00A、リセット : 0x00、レジスタ名 : REG000A

表 32. REG000A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	SPI の SCRATCHPAD。	0x0	R/W

アドレス : 0x00C、リセット : 0x56、レジスタ名 : REG000C

表 33. REG000C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ ID = 0x0456。	0x56	R

アドレス : 0x00D、リセット : 0x04、レジスタ名 : REG000D

表 34. REG000D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID = 0x0456。	0x4	R

アドレス : 0x010、リセット : 0x80、レジスタ名 : REG0010

表 35. REG0010 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	N_INT[7:0]	N 分周器用の 12 ビット・インテジャー・ワード。EN_AUTOCAL = 1 の場合にレジスタ 0x10 に書き込みを行うと、自動キャリブレーションがトリガされます。	0x80	R/W

アドレス : 0x011、リセット : 0x00、レジスタ名 : REG0011

表 36. REG0011 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RFOUT_DIV	RFOUT 分周器。 000 : 1 分周。 001 : 2 分周。 010 : 4 分周。 011 : 8 分周。 100 : 16 分周。	0x0	R/W
4	INV_RFOUT	RFOUT1 および RFOUT2 の反転。 0 : RFOUT1 および RFOUT2 を反転しない。 1 : RFOUT1 および RFOUT2 を反転。	0x0	R/W
[3:0]	N_INT[11:8]	N 分周器用の 12 ビット・インテジャー・ワード。EN_AUTOCAL = 1 の場合にレジスタ 0x10 に書き込みを行うと、自動キャリブレーションがトリガされます。	0x0	R/W

アドレス : 0x012、リセット : 0x00、レジスタ名 : REG0012

表 37. REG0012 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD[7:0]	25 ビットの N 分周器 Frac1 ワード。	0x0	R/W

アドレス : 0x013、リセット : 0x00、レジスタ名 : REG0013

表 38. REG0013 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD[15:8]	25 ビットの N 分周器 Frac1 ワード。	0x0	R/W

## レジスタ・マップ

アドレス : 0x014、リセット : 0x00、レジスタ名 : REG0014

表 39. REG0014 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1WORD[23:16]	25 ビットの N 分周器 Frac1 ワード。	0x0	R/W

アドレス : 0x015、リセット : 0x00、レジスタ名 : REG0015

表 40. REG0015 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	M_VCO_BAND[0]	O_VCO_BAND = 1 の場合のコア内の帯域を選択。	0x0	R/W
6	M_VCO_CORE	O_VCO_CORE = 1 の場合に VCO コアを選択。 0 : VCO 0 最高周波数。 1 : VCO 1 最低周波数。	0x0	R/W
[5:3]	RESERVED	予約済み。	0x0	R/W
2	INT_MODE	インテジャー・モードのイネーブラ。 0 : フラクショナル・モード。 1 : インテジャー・モード。	0x0	R/W
1	PFD_POL	チャージ・ポンプの PFD 極性ビット。	0x0	R/W
0	FRAC1WORD[24]	25 ビットの N 分周器 Frac1 ワード。	0x0	R/W

アドレス : 0x016、リセット : 0x00、レジスタ名 : REG0016

表 41. REG0016 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	M_VCO_BAND[8:1]	O_VCO_BAND = 1 の場合のコア内の帯域を選択。	0x0	R/W

アドレス : 0x017、リセット : 0x00、レジスタ名 : REG0017

表 42. REG0017 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD[7:0]	24 ビットの N 分周器 Frac2 ワード。	0x0	R/W

アドレス : 0x018、リセット : 0x00、レジスタ名 : REG0018

表 43. REG0018 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD[15:8]	24 ビットの N 分周器 Frac2 ワード。	0x0	R/W

アドレス : 0x019、リセット : 0x00、レジスタ名 : REG0019

表 44. REG0019 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2WORD[23:16]	24 ビットの N 分周器 Frac2 ワード。	0x0	R/W

アドレス : 0x01A、リセット : 0x00、レジスタ名 : REG001A

表 45. REG001A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD[7:0]	24 ビットの N 分周器 Mod2 ワード。	0x0	R/W

## レジスタ・マップ

アドレス : 0x01B、リセット : 0x00、レジスタ名 : REG001B

表 46. REG001B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD[15:8]	24 ビットの N 分周器 Mod2 ワード。	0x0	R/W

アドレス : 0x01C、リセット : 0x00、レジスタ名 : REG001C

表 47. REG001C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2WORD[23:16]	24 ビットの N 分周器 Mod2 ワード。	0x0	R/W

アドレス : 0x01D、リセット : 0x00、レジスタ名 : REG001D

表 48. REG001D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BLEED_I[7:0]	チャージ・ポンプ・ブリード電流の最適化のセクションを参照してください。	0x0	R/W

アドレス : 0x01E、リセット : 0x00、レジスタ名 : REG001E

表 49. REG001E のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_PHASE_RESYNC	位相再同期モードを有効化。位相再同期のセクションを参照してください。	0x0	R/W
6	EN_REF_RST	1 の場合、SW_SYNC ピンまたは SYNC ピンが RDIV および REF カウンタをリセットします。	0x0	R/W
5	TIMED_SYNC	リファレンス入カクロックを使用して同期信号をリタイミング。 0 : RDIV およびリファレンス・カウンタは非同期にリセットされます。 1 : 同期信号はリファレンス入カクロックでリタイミングされます。	0x0	R/W
[4:0]	BLEED_I[12:8]	チャージ・ポンプ・ブリード電流の最適化のセクションを参照してください。	0x0	R/W

アドレス : 0x01F、リセット : 0x00、レジスタ名 : REG001F

表 50. REG001F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_SYNC	ソフトウェア SYNC 要求。	0x0	R/W
6	RESERVED	予約済み。	0x0	R/W
5	BLEED_POL	ブリードの極性。 0 : 電流シンク。 1 : 電流ソース。	0x0	R/W
4	EN_BLEED	ブリード電流の有効化。 0 : ブリード電流を無効化。 1 : ブリード電流を有効化。	0x0	R/W
[3:0]	CP_I	チャージ・ポンプの電流。 0000 : 0.79mA。 0001 : 0.99mA。 0010 : 1.19mA。 0011 : 1.38mA。 0100 : 1.59mA。 0101 : 1.98mA。 0110 : 2.39mA。 0111 : 2.79mA。 1000 : 3.18mA。 1001 : 3.97mA。 1010 : 4.77mA。 1011 : 5.57mA。 1100 : 6.33mA。 1101 : 7.91mA。 1110 : 9.51mA。 1111 : 11.1mA。	0x0	R/W

## レジスタ・マップ

アドレス : 0x020、リセット : 0x01、レジスタ名 : REG0020

表 51. REG0020 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_AUTOCAL	VCO キャリブレーションの有効化。 0 : VCO のキャリブレーションを無効化。 1 : VCO のキャリブレーションを有効化。	0x0	R/W
6	EN_RDBLR	リファレンス・ダブラの有効化。 0 : ダブラを無効化。 1 : ダブラを有効化。	0x0	R/W
[5:0]	R_DIV	6 ビットのリファレンス周波数分周器。	0x1	R/W

アドレス : 0x021、リセット : 0x00、レジスタ名 : REG0021

表 52. REG0021 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_WORD[7:0]	24 ビットの位相ワード。	0x0	R/W

アドレス : 0x022、リセット : 0x00、レジスタ名 : REG0022

表 53. REG0022 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_WORD[15:8]	24 ビットの位相ワード。	0x0	R/W

アドレス : 0x023、リセット : 0x00、レジスタ名 : REG0023

表 54. REG0023 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_WORD[23:16]	24 ビットの位相ワード。	0x0	R/W

アドレス : 0x024、リセット : 0x00、レジスタ名 : REG0024

表 55. REG0024 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REF_CK_FALL	PFD RCLK の立上がりエッジまたは立下がりエッジからのタイミング。表 25 を参照してください。 0 : DRCLK は、PFD RCLK の立上がりエッジで休止します。 1 : DRCLK は、PFD RCLK の立下がりエッジで休止します。	0x0	R/W
[6:5]	REF_DC_SEL	リタイミング前の RDIV 出力の極性の設定。表 25 を参照してください。 00 : 反転しない (標準モード)。 01 : 常時反転。 10 : 50%~67% の間の高デューティ・サイクルを自動的に維持。 11 : 33%~50% の間の高デューティ・サイクルを自動的に維持。	0x0	R/W

## レジスタ・マップ

表 55. REG0024 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
4	DCLK_DIV_SEL	DIV_NCLK 分周器 1 を制御するビット・フィールドを選択します。 0 : DIV_NCLK_DIVIDER1 は DCLK_DIV1 によって制御 (通常動作モード)。 1 : DIV_NCLK_DIVIDER1 は DNCLK_DIV1 によって制御。	0x0	R/W
[3:2]	DNCLK_DIV1	DCLK_DIV_SEL = 1 の場合の DIV_NCLK 分周器 1 を制御します。 00 : 1 分周。 01 : 2 分周。 10 : 4 分周。 11 : 8 分周。	0x0	R/W
[1:0]	DCLK_DIV1	DIV_RCLK Div1 を制御します。DCLK_DIV_SEL = 0 の場合、DIV_NCLK 分周器 1 も制御します。VCO のキャリブレーションのセクションを参照してください。 00 : 1 分周。 01 : 2 分周。 10 : 4 分周。 11 : 8 分周。	0x0	R/W

アドレス : 0x025、リセット : 0x00、レジスタ名 : REG0025

表 56. REG0025 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESYNC_WAIT[7:0]	キャリブレーションおよび同期パルス後、再同期が適用されるまでの待機時間を設定します。位相再同期のセクションを参照してください。	0x0	R/W

アドレス : 0x026、リセット : 0x00、レジスタ名 : REG0026

表 57. REG0026 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESYNC_WAIT[15:8]	キャリブレーションおよび同期パルス後、再同期が適用されるまでの待機時間を設定します。位相再同期のセクションを参照してください。	0x0	R/W

アドレス : 0x027、リセット : 0x00、レジスタ名 : REG0027

表 58. REG0027 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	REG027_RSV1	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
[3:0]	REG027_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x028、リセット : 0x00、レジスタ名 : REG0028

表 59. REG0028 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	PHASE_RESYNC_RB_SEL	位相再同期リセット・セクタ。	0x0	R/W
6	LSB_P1	$\Sigma$ - $\Delta$ の LSB への 1 の追加のイネーブル/ディスエーブル。	0x0	R/W
5	VAR_MOD_EN	補助 $\Sigma$ - $\Delta$ 変調器の動作を有効化。	0x0	R/W
[4:2]	DITHER1_SCALE	ディザ 1 の LSB のポジションを選択。	0x0	R/W
1	EN_DITHER2	第 2 アキュムレータに印加されるディザ。	0x0	R/W
0	EN_DITHER1	第 1 アキュムレータに印加されるディザ。	0x0	R/W

## レジスタ・マップ

アドレス : 0x029、リセット : 0x00、レジスタ名 : REG0029

表 60. REG0029 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RFOUT2_OPWR	RFOUT2 の出力振幅を選択。	0x0	R/W
[3:0]	RFOUT1_OPWR	RFOUT1 の出力振幅を選択。	0x0	R/W

アドレス : 0x02A、リセット : 0x04、レジスタ名 : REG002A

表 61. REG002A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG2A_RSV7	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
6	REG2A_RSV6	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
5	REG2A_RSV5	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
4	PD_SYNC	同期のパワーダウン。	0x0	R/W
3	REG2A_RSV3	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
2	PD_RDET	リファレンス検出器のパワーダウン。 0 : 通常動作。 1 : リファレンス検出器をパワーダウン。	0x1	R/W
1	PD_ADC	温度 ADC のパワーダウン。	0x0	R/W
0	REG2A_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x02B、リセット : 0x83、レジスタ名 : REG002B

表 62. REG002B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	PD_ALL	メイン電源のパワーダウン。 0 : 通常動作。 1 : パワーダウン。	0x1	R/W
6	PD_RDIV	R 分周器のパワーダウン。 0 : 通常動作。 1 : R 分周器をパワーダウン。	0x0	R/W
5	PD_NDIV	N 分周器のパワーダウン。 0 : 通常動作。 1 : N 分周器をパワーダウン。	0x0	R/W
4	PD_VCO	VCO のパワーダウン。 0 : 通常動作。 1 : VCO をパワーダウン。	0x0	R/W
3	PD_LD	ロック検出器のパワーダウン。 0 : 通常動作。 1 : ロック検出器をパワーダウン。	0x0	R/W
2	PD_PFDPCP	PFD チャージ・ポンプのパワーダウン。 0 : 通常動作。 1 : PFD チャージ・ポンプをパワーダウン。	0x0	R/W
1	PD_RFOUT1	RFOUT1 出力バッファのパワーダウン。 0 : 通常動作。 1 : RFOUT1 出力をパワーダウン。	0x1	R/W
0	PD_RFOUT2	RFOUT2 出力バッファのパワーダウン。 0 : 通常動作。 1 : RFOUT2 出力をパワーダウン。	0x1	R/W

## レジスタ・マップ

アドレス : 0x02C、リセット : 0x00、レジスタ名 : REG002C

表 63. REG002C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	LDWIN_PW	ロック検出器のパルス・ウィンドウ幅。	0x0	R/W
[4:0]	LD_COUNT	ロック検出器が高になるまでの PFD サイクル数。ロック検出器のセクションを参照してください。	0x0	R/W

アドレス : 0x02D、リセット : 0x00、レジスタ名 : REG002D

表 64. REG002D のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_DNCLK	デジタル・ブロックへの DIV_NCLK の有効化。 0 : DIV_NCLK オフ。 1 : DIV_NCLK オン。	0x0	R/W
6	EN_DRCLK	デジタル・ブロックへの DIV_RCLK の有効化。 0 : DIV_RCLK オフ。 1 : DIV_RCLK オン。	0x0	R/W
5	EN_LOL	ロック喪失検出器の有効化。 0 : ロック喪失検出器を無効化。 1 : ロック喪失検出器を有効化。	0x0	R/W
4	EN_LDWIN	ロック検出器のパルス・ウィンドウの有効化。 0 : ロック検出器のパルス・ウィンドウを無効化。 1 : ロック検出器のパルス・ウィンドウを有効化。	0x0	R/W
3	REG2D_RSV3	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
2	RST_LD	ロック検出器をアンロック状態にリセット。 0 : リセット無効。 1 : リセット有効。	0x0	R/W
1	REG2D_RSV1	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
0	REG2D_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x02E、リセット : 0x00、レジスタ名 : REG002E

表 65. REG002E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	MUXOUT	MUXOUT のテスト信号を選択。 0000 : 高インピーダンス。 0001 : ロック検出器の出力。 0100 : $f_{DIV\_RCLK}/2$ 。 0101 : $f_{DIV\_NCLK}/2$ 。 0111 : ロジック・ロー。 1000 : ロジック・ハイ。	0x0	R/W
3	RESERVED	予約済み。	0x0	R/W
2	EN_CPTEST	チャージ・ポンプ強制アップまたはダウン・テスト・モードの有効化。 0 : チャージ・ポンプ強制アップ/ダウン・テスト・モードをオフ (通常動作)。 1 : チャージ・ポンプ強制アップ/ダウン・テスト・モードをオン。	0x0	R/W
1	CP_DOWN	強制ポンプ・ダウンのチャージ・ポンプ・テスト・モード。 0 : 強制ポンプ・ダウンをオフ。 1 : 強制ポンプ・ダウンをオン。	0x0	R/W
0	CP_UP	強制ポンプ・アップのチャージ・ポンプ・テスト・モード。 0 : 強制ポンプ・アップをオフ。 1 : 強制ポンプ・アップをオン。	0x0	R/W

## レジスタ・マップ

アドレス : 0x02F、リセット : 0x00、レジスタ名 : REG002F

表 66. REG002F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BST_REF	小振幅のサイン波リファレンス入力のゲイン・ブースト (REF_SEL = 1)。 0 : REF_SEL = 1 でリファレンス入力信号が 8dBm より大きい場合に使用。 1 : REF_SEL = 1 でリファレンス入力信号が 8dBm より小さい場合に使用。	0x0	R/W
6	FILT_REF	サイン波リファレンス入力パッファのノイズ・フィルタの選択。 0 : ノイズ・フィルタをオフ。 1 : ノイズ・フィルタをオン。	0x0	R/W
[5:0]	RDBLR_DC	リファレンス・ダブラの出力デューティ・サイクル。表 11 を参照してください。	0x0	R/W

アドレス : 0x030、リセット : 0x00、レジスタ名 : REG0030

表 67. REG0030 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MUTE_NCLK	デジタル・ブロックへの N 分周器出力をミュート。通常動作では 0 に設定します。	0x0	R/W
6	RESERVED	予約済み。	0x0	R/W
5	REF_SEL	CML リファレンス入力またはサイン波/低スルー・レート・リファレンス入力の選択。 0 : CML リファレンス入力。 1 : サイン波または低スルー・レート・リファレンス入力。	0x0	R/W
4	INV_RDBLR	リファレンス・ダブラ出力の反転。表 11 を参照してください。 0 : ダブラ出力を反転しない。 1 : ダブラ出力を反転。	0x0	R/W
[3:0]	RDBLR_DEL_SEL	ダブラのパルス幅の設定。表 11 を参照してください。	0x0	R/W

アドレス : 0x031、リセット : 0x00、レジスタ名 : REG0031

表 68. REG0031 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	SYNC_DEL	同期経路用のプログラマブルな入力遅延を設定。表 25 を参照してください。	0x0	R/W
4	RST_SYS	SPI 以外のデジタルおよびレジスタを POR 状態にリセット。 0 : リセット無効。 1 : リセット有効。	0x0	R/W
3	EN_ADC_CLK	ADC クロックの有効化。 0 : ADC クロックを無効化。 1 : ADC クロックを有効化。	0x0	R/W
2	RESERVED	予約済み。	0x0	R/W
1	REG31_RSV1	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
0	DCCLK_MODE	VCO のキャリブレーション時に RCLK および NCLK の周波数を 2 分の 1 に分周。 0 : 周波数の分周を無効化。 1 : 周波数の分周を有効化。	0x0	R/W

アドレス : 0x032、リセット : 0x00、レジスタ名 : REG0032

表 69. REG0032 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
6	REG32_RSV6	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
5	DEL_MODE	使用する調整モードの選択。 0 : チャージ・ポンプ・ブリード・モード。 1 : $\Sigma$ - $\Delta$ モード。	0x0	R/W

## レジスタ・マップ

表 69. REG0032 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
4	EN_AUTO_ALIGN	クロック・アライン・モードの有効化。 0: 位相調整は、PHASE_ADJ を設定することにより、SPI 書き込みを用いて行われます。 1: 位相調整は、DEL_STR ピンおよび DEL_ADJ ピンを用いて行われます。	0x0	R/W
3	PHASE_ADJ_POL	位相調整の極性を決定。 0: 選択した位相値を減算。 1: 選択した位相値を加算。	0x0	R/W
[2:0]	EFM3_MODE	Σ-Δ 変調器最適化モードのセクションを参照してください。	0x0	R/W

アドレス : 0x033、リセット : 0x00、レジスタ名 : REG0033

表 70. REG0033 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PHASE_ADJUSTMENT	位相調整のセクションを参照してください。	0x0	R/W

アドレス : 0x034、リセット : 0x00、レジスタ名 : REG0034

表 71. REG0034 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	PHASE_ADJ	PHASE_ADJUSTMENT で設定された位相調整値を適用します。	0x0	R/W
[6:4]	DRCLK_DEL	デジタル RCLK 経路用のプログラマブルな入力遅延を設定します。表 25 を参照してください。	0x0	R/W
[3:1]	DNCLK_DEL	デジタル NCLK 経路用のプログラマブルな入力遅延を設定します。表 25 を参照してください。	0x0	R/W
0	RST_CNTR	周波数カウンタ・テスト・モードにリセットします。	0x0	R/W

アドレス : 0x035、リセット : 0x00、レジスタ名 : REG0035

表 72. REG0035 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R/W
[5:0]	M_VCO_BIAS	O_VCO_BIAS = 1 の場合に使用するバイアス値を選択します。	0x0	R/W

アドレス : 0x036、リセット : 0x00、レジスタ名 : REG0036

表 73. REG0036 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RFOUTODIV_DB	RFOUTO_DIV のダブル・バッファリング。	0x0	R/W
6	DCLK_DIV_DB	DCLK_DIV1 および DNCLK_DIV1 のダブル・バッファリング。	0x0	R/W
[5:2]	RESERVED	予約済み。	0x0	R/W
1	EN_LUT_GEN	LUT ジェネレータの有効化。	0x0	R/W
0	EN_LUT_CAL	キャリブレーション用にルックアップ・テーブルの使用を有効化。	0x0	R/W

アドレス : 0x037、リセット : 0x00、レジスタ名 : REG0037

表 74. REG0037 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CAL_COUNT_TO	VCO キャリブレーションの決定ごとのタイムアウト値。VCO のキャリブレーションのセクションを参照してください。	0x0	R/W

## レジスタ・マップ

アドレス : 0x038、リセット : 0x00、レジスタ名 : REG0038

表 75. REG0038 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CAL_VTUNE_TO[7:0]	VCO の VTUNE セットリングのタイムアウト値。VCO のキャリブレーションのセクションを参照してください。	0x0	R/W

アドレス : 0x039、リセット : 0x00、レジスタ名 : REG0039

表 76. REG0039 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	O_VCO_DB	M_VCO_CORE、M_VCO_BAND、M_VCO_BIAS のダブル・バッファリング。VCO のキャリブレーションのセクションを参照してください。 0 : コア、バイアス、帯域をダブル・バッファリングしない。 1 : コア、バイアス、帯域をダブル・バッファリング。	0x0	R/W
[6:0]	CAL_VTUNE_TO[14:8]	VCO の VTUNE セットリングのタイムアウト値。VCO のキャリブレーションのセクションを参照してください。	0x0	R/W

アドレス : 0x03A、リセット : 0x00、レジスタ名 : REG003A

表 77. REG003A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CAL_VCO_TO[7:0]	VCO キャリブレーションの帯域およびコアのセットリングのタイムアウト値。VCO のキャリブレーションのセクションを参照してください。	0x0	R/W

アドレス : 0x03B、リセット : 0x00、レジスタ名 : REG003B

表 78. REG003B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	DEL_CTRL_DB	遅延制御のダブル・バッファリング。 0 : ダブル・バッファリングしない。 1 : ダブル・バッファリングする。	0x0	R/W
[6:0]	CAL_VCO_TO[14:8]	VCO キャリブレーションの帯域およびコアのセットリングのタイムアウト値。VCO のキャリブレーションのセクションを参照してください。	0x0	R/W

アドレス : 0x03C、リセット : 0x00、レジスタ名 : REG003C

表 79. REG003C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	REG3C_RSVO	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x03D、リセット : 0x00、レジスタ名 : REG003D

表 80. REG003D のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
6	REG3C_RSVO	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
5	CMOS_OV	MUXOUT、LKDET、SDO、SDIO のロジック・ハイ電圧。 0 : 1.8V ロジック。 1 : 3.3V ロジック。	0x0	R/W
4	REG3D_RSVO	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
[3:0]	REG3D_RSVO	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

## レジスタ・マップ

アドレス : 0x03E、リセット : 0x00、レジスタ名 : REG003E

表 81. REG003E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_CLK_DIV	ADC クロック周波数 = (DIV_RCLK 周波数) / ((ADC_CLK_DIV × 4) + 2)	0x0	R/W

アドレス : 0x03F、リセット : 0x00、レジスタ名 : REG003F

表 82. REG003F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG3F_RSV7	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
6	REG3F_RSV6	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
5	REG3F_RSV5	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
4	REG3F_RSV4	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
3	REG3F_RSV3	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
2	REG3F_RSV2	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
1	EN_ADC	ADC の有効化。 0 : ADC を無効化。 1 : ADC を有効化。	0x0	R/W
0	REG3F_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x040、リセット : 0x00、レジスタ名 : REG0040

表 83. REG0040 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	REG40_RSV7	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
6	REG40_RSV6	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
[5:3]	MUTE_RFOUT2	RFOUT2パッファのミュート制御。RF出力のミュートのセクションを参照してください。	0x0	R/W
[2:0]	MUTE_RFOUT1	RFOUT1パッファのミュート制御。RF出力のミュートのセクションを参照してください。	0x0	R/W

アドレス : 0x041、リセット : 0x00、レジスタ名 : REG0041

表 84. REG0041 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	REG41_RSV5	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
4	REG41_RSV4	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
3	REG41_RSV3	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
2	REG41_RSV2	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
1	REG41_RSV1	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W
0	REG41_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x042、リセット : 0x00、レジスタ名 : REG0042

表 85. REG0042 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	REG42_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x043、リセット : 0x00、レジスタ名 : REG0043

表 86. REG0043 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	REG43_RSV0	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

## レジスタ・マップ

アドレス : 0x044、リセット : 0x00、レジスタ名 : REG0044

表 87. REG0044 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	VCAL_ZERO	VTUNE を駆動する VCAL 生成アンプが安定化するループ・フィルタ構成部品値の範囲を拡張します。	0x0	R/W
[6:0]	REG44_RSVO	VCAL の温度成分に伴うプログラマブルな増加。	0x0	R/W

アドレス : 0x045、リセット : 0x00、レジスタ名 : REG0045

表 88. REG0045 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
[6:0]	REG45_RSVO	VCAL の温度成分に伴うプログラマブルな減少。	0x0	R/W

アドレス : 0x04B、リセット : 0x00、レジスタ名 : REG004B

表 89. REG004B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	REG4B_RSVO	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x04C、リセット : 0x00、レジスタ名 : REG004C

表 90. REG004C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R/W
[5:0]	REG4C_RSVO	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x04D、リセット : 0x00、レジスタ名 : REG004D

表 91. REG004D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R/W
2	O_VCO_BIAS	M_VCO_BIAS で VCO バイアスをオーバーライド。	0x0	R/W
1	O_VCO_BAND	M_VCO_BAND で VCO 帯域をオーバーライド。 0 : VCO キャリブレーションのステート・マシンに基づく VCO 帯域コード。 1 : M_VCO_BAND に基づく VCO 帯域コード。	0x0	R/W
0	O_VCO_CORE	M_VCO_CORE で VCO コアをオーバーライド。 0 : VCO キャリブレーションのステート・マシンに基づく VCO コアの選択。 1 : M_VCO_CORE に基づく VCO コアの選択。	0x0	R/W

アドレス : 0x04F、リセット : 0x00、レジスタ名 : REG004F

表 92. REG004F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_SCALE	LUT を使用するためのスケーリング・ファクタを設定します。 $LUT\_SCALE = (f_{PFD}/PFD \text{ LUT 周波数 } (f_{PFDLUT})) \times 8$ 00 : LUT を 0.0625 倍にスケーリングします。 01 : LUT を 1 倍にスケーリングします。 10 : LUT を 15.9375 倍にスケーリングします。	0x0	R/W

## レジスタ・マップ

アドレス : 0x053、リセット : 0x00、レジスタ名 : REG0053

表 93. REG0053 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
6	PD_SYNC_MON	SYNC セットアップ/ホールド・モニタのパワーダウン。 0 : 通常動作。 1 : SYNC セットアップ/ホールド・モニタをパワーダウン。	0x0	R/W
5	SYNC_SEL	CML/PECL 入力または LVDS 入力の同期。 0 : CML/PECL 入力。 1 : LVDS 入力。	0x0	R/W
4	RST_SYNC_MON	セットアップ/ホールド・モニタの出力ラッチのクリア。 0 : リセット無効。 1 : リセット有効。	0x0	R/W
[3:0]	REG53_RSVO	予約済み。ADF4383 のレジスタ・マップに、予約済みレジスタの設定が示されています。	0x0	R/W

アドレス : 0x054、リセット : 0x00、レジスタ名 : REG0054

表 94. REG0054 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	ADC_ST_CNV	ADC 変換を開始。	0x0	R/W

アドレス : 0x055、リセット : 0x00、レジスタ名 : REG0055

表 95. REG0055 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	COUNTER_READBACK[7:0]	周波数カウンタの出力。	0x0	R

アドレス : 0x056、リセット : 0x00、レジスタ名 : REG0056

表 96. REG0056 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	COUNTER_READBACK[15:8]	周波数カウンタの出力。	0x0	R

アドレス : 0x057、リセット : 0x00、レジスタ名 : REG0057

表 97. REG0057 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	COUNTER_READBACK[23:16]	周波数カウンタの出力。	0x0	R

アドレス : 0x058、リセット : 0x00、レジスタ名 : REG0058

表 98. REG0058 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LUT_BUSY	VCO LUT の生成ステータス。	0x0	R
6	SYNC_OK	SYNC は、リファレンス・インジケータに対するセットアップ/ホールド時間。 0 : SYNC はリファレンスに対する適切なセットアップ/ホールド状態になっていません。 1 : SYNC はリファレンスに対する適切なセットアップ/ホールド状態になっています。	0x0	R
5	DEL_STR	遅延ストロープ・インジケータ。	0x0	R
4	DEL_ADJ	遅延調整方向インジケータ。 0 : 負の位相調整。 1 : 正の位相調整。	0x0	R

## レジスタ・マップ

表 98. REG0058 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
3	REF_OK	リファレンス入力振幅閾値インジケータ。 0: リファレンス入力の振幅は閾値を下回っています。 1: リファレンス入力の振幅は閾値を超えています。	0x0	R
2	ADC_BUSY	ADC 変換のステータス。 0: ADC の変換が進行中ではありません。 1: ADC の変換が進行中です。	0x0	R
1	FSM_BUSY	VCO キャリブレーションのステータス。 0: VCO のキャリブレーションが進行中ではありません。 1: VCO のキャリブレーションが進行中です。	0x0	R
0	LOCKED	ロック検出器の出力。 0: ロックされていません。 1: ロックされています。	0x0	R

アドレス : 0x059、リセット : 0x00、レジスタ名 : REG0059

表 99. REG0059 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	VCO0_BIAS_RDBK	コア 0 用に選択された VCO バイアス。	0x0	R

アドレス : 0x05A、リセット : 0x00、レジスタ名 : REG005A

表 100. REG005A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	VCO1_BIAS_RDBK	コア 1 用に選択された VCO バイアス。	0x0	R

アドレス : 0x05B、リセット : 0x00、レジスタ名 : REG005B

表 101. REG005B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIP_TEMP[7:0]	ADC が測定した温度 (°C)。ビット 8 = 符号、ビット[7:0] = 大きさ。	0x0	R

アドレス : 0x05C、リセット : 0x00、レジスタ名 : REG005C

表 102. REG005C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	CHIP_TEMP[8]	ADC が測定した温度 (°C)。ビット 8 = 符号、ビット[7:0] = 大きさ。	0x0	R

アドレス : 0x05E、リセット : 0x00、レジスタ名 : REG005E

表 103. REG005E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND[7:0]	選択した VCO 帯域。	0x0	R

## レジスタ・マップ

アドレス : 0x05F、リセット : 0x00、レジスタ名 : REG005F

表 104. REG005F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	VCO_CORE	選択した VCO コア。	0x0	R
0	VCO_BAND[8]	選択した VCO 帯域。	0x0	R

アドレス : 0x061、リセット : 0x00、レジスタ名 : REG0061

表 105. REG0061 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CUM_PHASE_ADJ[7:0]	<a href="#">位相調整</a> のセクションを参照してください。	0x0	R

アドレス : 0x062、リセット : 0x00、レジスタ名 : REG0062

表 106. REG0062 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CUM_PHASE_ADJ[15:8]	<a href="#">位相調整</a> のセクションを参照してください。	0x0	R

アドレス : 0x063、リセット : 0x00、レジスタ名 : REG0063

表 107. REG0063 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	CUM_PHASE_ADJ[16]	<a href="#">位相調整</a> のセクションを参照してください。	0x0	R

アドレス : 0x064、リセット : 0x00、レジスタ名 : REG0064

表 108. REG0064 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DEL_CNT[7:0]	チャージ・ポンプに送信されたブリード・コード。	0x0	R

アドレス : 0x065、リセット : 0x00、レジスタ名 : REG0065

表 109. REG0065 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	DEL_CNT[15:8]	チャージ・ポンプに送信されたブリード・コード。	0x0	R

アドレス : 0x066、リセット : 0x00、レジスタ名 : REG0066

表 110. REG0066 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FIRST_PASS_VCO_BAND	VCO のキャリブレーションの最初の合格時に選択された帯域。	0x0	R

アドレス : 0x067、リセット : 0x00、レジスタ名 : REG0067

表 111. REG0067 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VERSION	チップのバージョン。	0x0	R

## レジスタ・マップ

アドレス : 0x100、リセット : 0x00、レジスタ名 : REG0100

表 112. REG0100 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_0	16 > 帯域 > = 0 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x101、リセット : 0x00、レジスタ名 : REG0101

表 113. REG0101 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_1	32 > 帯域 > = 16 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x102、リセット : 0x00、レジスタ名 : REG0102

表 114. REG0102 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_2	64 > 帯域 > = 32 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x103、リセット : 0x00、レジスタ名 : REG0103

表 115. REG0103 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_3	128 > 帯域 > = 64 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x104、リセット : 0x00、レジスタ名 : REG0104

表 116. REG0104 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_4	192 > 帯域 > = 128 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x105、リセット : 0x00、レジスタ名 : REG0105

表 117. REG0105 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_5	256 > 帯域 > = 192 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x106、リセット : 0x00、レジスタ名 : REG0106

表 118. REG0106 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R

## レジスタ・マップ

表 118. REG0106 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[5:0]	CORE0_BIAS_TABLE_6	320 > 帯域 > = 256 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x107、リセット : 0x00、レジスタ名 : REG0107

表 119. REG0107 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_7	416 > 帯域 > = 320 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x108、リセット : 0x00、レジスタ名 : REG0108

表 120. REG0108 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE0_BIAS_TABLE_8	512 > 帯域 > = 416 およびコア = 0 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x109、リセット : 0x00、レジスタ名 : REG0109

表 121. REG0109 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_0	16 > 帯域 > = 0 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x10A、リセット : 0x00、レジスタ名 : REG010A

表 122. REG010A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_1	32 > 帯域 > = 16 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x10B、リセット : 0x00、レジスタ名 : REG010B

表 123. REG010B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_2	64 > 帯域 > = 32 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x10C、リセット : 0x00、レジスタ名 : REG010C

表 124. REG010C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_3	128 > 帯域 > = 64 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

## レジスタ・マップ

アドレス : 0x10D、リセット : 0x00、レジスタ名 : REG010D

表 125. REG010D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_4	192 > 帯域 > = 128 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x10E、リセット : 0x00、レジスタ名 : REG010E

表 126. REG010E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_5	256 > 帯域 > = 192 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x10F、リセット : 0x00、レジスタ名 : REG010F

表 127. REG010F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_6	320 > 帯域 > = 256 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x110、リセット : 0x00、レジスタ名 : REG0110

表 128. REG0110 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_7	416 > 帯域 > = 320 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x111、リセット : 0x00、レジスタ名 : REG0111

表 129. REG0111 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	CORE1_BIAS_TABLE_8	512 > 帯域 > = 416 およびコア = 1 の場合のバイアス・コードの自動値。ADF4383 のレジスタ・マップに、レジスタの設定が示されています。	0x0	R/W

アドレス : 0x200、リセット : 0x00、レジスタ名 : REG0200

表 130. REG0200 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:1]	LUT_WR_ADDR	帯域、コア、n を書き込むための LUT アドレスを選択します。	0x0	R/W
0	O_VCO_LUT	LUT のキャリブレーションのオーバーライドを有効化します。	0x0	R/W

## レジスタ・マップ

アドレス：0x201、リセット：0x00、レジスタ名：REG0201

表 131. REG0201 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	M_LUT_BAND[7:0]	O_VCO_LUT = 1 での LUT の帯域の LUT_WR_ADDR 値を選択します。	0x0	R/W

アドレス：0x202、リセット：0x00、レジスタ名：REG0202

表 132. REG0202 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	M_LUT_N[5:0]	O_VCO_LUT = 1 での LUT の N 値の LUT_WR_ADDR 値を選択します。	0x0	R/W
1	M_LUT_CORE	O_VCO_LUT = 1 での LUT のコアの LUT_WR_ADDR 値を選択します。	0x0	R/W
0	M_LUT_BAND[8]	O_VCO_LUT = 1 での LUT の帯域の LUT_WR_ADDR 値を選択します。	0x0	R/W

アドレス：0x203、リセット：0x00、レジスタ名：REG0203

表 133. REG0203 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	M_LUT_N[11:6]	O_VCO_LUT = 1 での LUT の N 値の LUT_WR_ADDR 値を選択します。	0x0	R/W

アドレス：0x204、リセット：0x00、レジスタ名：REG0204

表 134. REG0204 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_0[7:0]	LUT によって選択される帯域 0。	0x0	R

アドレス：0x205、リセット：0x00、レジスタ名：REG0205

表 135. REG0205 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[0]	LUT によって選択されるコア。	0x0	R
0	LUT_BAND_0[8]	LUT によって選択される帯域 0。	0x0	R

アドレス：0x206、リセット：0x00、レジスタ名：REG0206

表 136. REG0206 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_1[7:0]	LUT によって選択される帯域 1。	0x0	R

アドレス：0x207、リセット：0x00、レジスタ名：REG0207

表 137. REG0207 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[1]	LUT によって選択されるコア。	0x0	R
0	LUT_BAND_1[8]	LUT によって選択される帯域 1。	0x0	R

## レジスタ・マップ

アドレス : 0x208、リセット : 0x00、レジスタ名 : REG0208

表 138. REG0208 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_2[7:0]	LUTによって選択される帯域2。	0x0	R

アドレス : 0x209、リセット : 0x00、レジスタ名 : REG0209

表 139. REG0209 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[2]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_2[8]	LUTによって選択される帯域2。	0x0	R

アドレス : 0x20A、リセット : 0x00、レジスタ名 : REG020A

表 140. REG020A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_3[7:0]	LUTによって選択される帯域3。	0x0	R

アドレス : 0x20B、リセット : 0x00、レジスタ名 : REG020B

表 141. REG020B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[3]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_3[8]	LUTによって選択される帯域3。	0x0	R

アドレス : 0x20C、リセット : 0x00、レジスタ名 : REG020C

表 142. REG020C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_4[7:0]	LUTによって選択される帯域4。	0x0	R

アドレス : 0x20D、リセット : 0x00、レジスタ名 : REG020D

表 143. REG020D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[4]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_4[8]	LUTによって選択される帯域4。	0x0	R

アドレス : 0x20E、リセット : 0x00、レジスタ名 : REG020E

表 144. REG020E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_5[7:0]	LUTによって選択される帯域5。	0x0	R

## レジスタ・マップ

アドレス : 0x20F、リセット : 0x00、レジスタ名 : REG020F

表 145. REG020F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[5]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_5[8]	LUTによって選択される帯域 5。	0x0	R

アドレス : 0x210、リセット : 0x00、レジスタ名 : REG0210

表 146. REG0210 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_6[7:0]	LUTによって選択される帯域 6。	0x0	R

アドレス : 0x211、リセット : 0x00、レジスタ名 : REG0211

表 147. REG0211 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[6]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_6[8]	LUTによって選択される帯域 6。	0x0	R

アドレス : 0x212、リセット : 0x00、レジスタ名 : REG0212

表 148. REG0212 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_7[7:0]	LUTによって選択される帯域 7。	0x0	R

アドレス : 0x213、リセット : 0x00、レジスタ名 : REG0213

表 149. REG0213 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[7]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_7[8]	LUTによって選択される帯域 7。	0x0	R

アドレス : 0x214、リセット : 0x00、レジスタ名 : REG0214

表 150. REG0214 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_8[7:0]	LUTによって選択される帯域 8。	0x0	R

アドレス : 0x215、リセット : 0x00、レジスタ名 : REG0215

表 151. REG0215 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[8]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_8[8]	LUTによって選択される帯域 8。	0x0	R

## レジスタ・マップ

アドレス : 0x216、リセット : 0x00、レジスタ名 : REG0216

表 152. REG0216 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_9[7:0]	LUTによって選択される帯域 9。	0x0	R

アドレス : 0x217、リセット : 0x00、レジスタ名 : REG0217

表 153. REG0217 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[9]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_9[8]	LUTによって選択される帯域 9。	0x0	R

アドレス : 0x218、リセット : 0x00、レジスタ名 : REG0218

表 154. REG0218 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_10[7:0]	LUTによって選択される帯域 10。	0x0	R

アドレス : 0x219、リセット : 0x00、レジスタ名 : REG0219

表 155. REG0219 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[10]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_10[8]	LUTによって選択される帯域 10。	0x0	R

アドレス : 0x21A、リセット : 0x00、レジスタ名 : REG021A

表 156. REG021A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_11[7:0]	LUTによって選択される帯域 11。	0x0	R

アドレス : 0x21B、リセット : 0x00、レジスタ名 : REG021B

表 157. REG021B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[11]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_11[8]	LUTによって選択される帯域 11。	0x0	R

アドレス : 0x21C、リセット : 0x00、レジスタ名 : REG021C

表 158. REG021C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_12[7:0]	LUTによって選択される帯域 12。	0x0	R

## レジスタ・マップ

アドレス : 0x21D、リセット : 0x00、レジスタ名 : REG021D

表 159. REG021D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[12]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_12[8]	LUTによって選択される帯域 12。	0x0	R

アドレス : 0x21E、リセット : 0x00、レジスタ名 : REG021E

表 160. REG021E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_13[7:0]	LUTによって選択される帯域 13。	0x0	R

アドレス : 0x21F、リセット : 0x00、レジスタ名 : REG021F

表 161. REG021F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[13]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_13[8]	LUTによって選択される帯域 13。	0x0	R

アドレス : 0x220、リセット : 0x00、レジスタ名 : REG0220

表 162. REG0220 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_14[7:0]	LUTによって選択される帯域 14。	0x0	R

アドレス : 0x221、リセット : 0x00、レジスタ名 : REG0221

表 163. REG0221 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[14]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_14[8]	LUTによって選択される帯域 14。	0x0	R

アドレス : 0x222、リセット : 0x00、レジスタ名 : REG0222

表 164. REG0222 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_15[7:0]	LUTによって選択される帯域 15。	0x0	R

アドレス : 0x223、リセット : 0x00、レジスタ名 : REG0223

表 165. REG0223 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[15]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_15[8]	LUTによって選択される帯域 15。	0x0	R

## レジスタ・マップ

アドレス : 0x224、リセット : 0x00、レジスタ名 : REG0224

表 166. REG0224 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_16[7:0]	LUTによって選択される帯域 16。	0x0	R

アドレス : 0x225、リセット : 0x00、レジスタ名 : REG0225

表 167. REG0225 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[16]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_16[8]	LUTによって選択される帯域 16。	0x0	R

アドレス : 0x226、リセット : 0x00、レジスタ名 : REG0226

表 168. REG0226 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_17[7:0]	LUTによって選択される帯域 17。	0x0	R

アドレス : 0x227、リセット : 0x00、レジスタ名 : REG0227

表 169. REG0227 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[17]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_17[8]	LUTによって選択される帯域 17。	0x0	R

アドレス : 0x228、リセット : 0x00、レジスタ名 : REG0228

表 170. REG0228 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_18[7:0]	LUTによって選択される帯域 18。	0x0	R

アドレス : 0x229、リセット : 0x00、レジスタ名 : REG0229

表 171. REG0229 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[18]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_18[8]	LUTによって選択される帯域 18。	0x0	R

アドレス : 0x22A、リセット : 0x00、レジスタ名 : REG022A

表 172. REG022A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_19[7:0]	LUTによって選択される帯域 19。	0x0	R

## レジスタ・マップ

アドレス : 0x22B、リセット : 0x00、レジスタ名 : REG022B

表 173. REG022B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[19]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_19[8]	LUTによって選択される帯域 19。	0x0	R

アドレス : 0x22C、リセット : 0x00、レジスタ名 : REG022C

表 174. REG022C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_20[7:0]	LUTによって選択される帯域 20。	0x0	R

アドレス : 0x22D、リセット : 0x00、レジスタ名 : REG022D

表 175. REG022D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[20]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_20[8]	LUTによって選択される帯域 20。	0x0	R

アドレス : 0x22E、リセット : 0x00、レジスタ名 : REG022E

表 176. REG022E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_21[7:0]	LUTによって選択される帯域 21。	0x0	R

アドレス : 0x22F、リセット : 0x00、レジスタ名 : REG022F

表 177. REG022F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[21]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_21[8]	LUTによって選択される帯域 21。	0x0	R

アドレス : 0x230、リセット : 0x00、レジスタ名 : REG0230

表 178. REG0230 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_22[7:0]	LUTによって選択される帯域 22。	0x0	R

アドレス : 0x231、リセット : 0x00、レジスタ名 : REG0231

表 179. REG0231 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[22]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_22[8]	LUTによって選択される帯域 22。	0x0	R

## レジスタ・マップ

アドレス : 0x232、リセット : 0x00、レジスタ名 : REG0232

表 180. REG0232 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_23[7:0]	LUTによって選択される帯域 23。	0x0	R

アドレス : 0x233、リセット : 0x00、レジスタ名 : REG0233

表 181. REG0233 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[23]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_23[8]	LUTによって選択される帯域 23。	0x0	R

アドレス : 0x234、リセット : 0x00、レジスタ名 : REG0234

表 182. REG0234 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_24[7:0]	LUTによって選択される帯域 24。	0x0	R

アドレス : 0x235、リセット : 0x00、レジスタ名 : REG0235

表 183. REG0235 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[24]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_24[8]	LUTによって選択される帯域 24。	0x0	R

アドレス : 0x236、リセット : 0x00、レジスタ名 : REG0236

表 184. REG0236 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_25[7:0]	LUTによって選択される帯域 25。	0x0	R

アドレス : 0x237、リセット : 0x00、レジスタ名 : REG0237

表 185. REG0237 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[25]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_25[8]	LUTによって選択される帯域 25。	0x0	R

アドレス : 0x238、リセット : 0x00、レジスタ名 : REG0238

表 186. REG0238 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_26[7:0]	LUTによって選択される帯域 26。	0x0	R

## レジスタ・マップ

アドレス : 0x239、リセット : 0x00、レジスタ名 : REG0239

表 187. REG0239 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[26]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_26[8]	LUTによって選択される帯域 26。	0x0	R

アドレス : 0x23A、リセット : 0x00、レジスタ名 : REG023A

表 188. REG023A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_27[7:0]	LUTによって選択される帯域 27。	0x0	R

アドレス : 0x23B、リセット : 0x00、レジスタ名 : REG023B

表 189. REG023B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[27]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_27[8]	LUTによって選択される帯域 27。	0x0	R

アドレス : 0x23C、リセット : 0x00、レジスタ名 : REG023C

表 190. REG023C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_28[7:0]	LUTによって選択される帯域 28。	0x0	R

アドレス : 0x23D、リセット : 0x00、レジスタ名 : REG023D

表 191. REG023D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[28]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_28[8]	LUTによって選択される帯域 28。	0x0	R

アドレス : 0x23E、リセット : 0x00、レジスタ名 : REG023E

表 192. REG023E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_29[7:0]	LUTによって選択される帯域 29。	0x0	R

アドレス : 0x23F、リセット : 0x00、レジスタ名 : REG023F

表 193. REG023F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[29]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_29[8]	LUTによって選択される帯域 29。	0x0	R

## レジスタ・マップ

アドレス : 0x240、リセット : 0x00、レジスタ名 : REG0240

表 194. REG0240 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_30[7:0]	LUTによって選択される帯域 30。	0x0	R

アドレス : 0x241、リセット : 0x00、レジスタ名 : REG0241

表 195. REG0241 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[30]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_30[8]	LUTによって選択される帯域 30。	0x0	R

アドレス : 0x242、リセット : 0x00、レジスタ名 : REG0242

表 196. REG0242 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_BAND_31[7:0]	LUTによって選択される帯域 31。	0x0	R

アドレス : 0x243、リセット : 0x00、レジスタ名 : REG0243

表 197. REG0243 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	LUT_CORE[31]	LUTによって選択されるコア。	0x0	R
0	LUT_BAND_31[8]	LUTによって選択される帯域 31。	0x0	R

アドレス : 0x244、リセット : 0x00、レジスタ名 : REG0244

表 198. REG0244 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_0[7:0]	LUTによって選択される N 閾値 0。	0x0	R

アドレス : 0x245、リセット : 0x00、レジスタ名 : REG0245

表 199. REG0245 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_1[3:0]	LUTによって選択される N 閾値 1。	0x0	R
[3:0]	LUT_N_0[11:8]	LUTによって選択される N 閾値 0。	0x0	R

アドレス : 0x246、リセット : 0x00、レジスタ名 : REG0246

表 200. REG0246 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_1[11:4]	LUTによって選択される N 閾値 1。	0x0	R

アドレス : 0x247、リセット : 0x00、レジスタ名 : REG0247

表 201. REG0247 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_2[7:0]	LUTによって選択される N 閾値 2。	0x0	R

## レジスタ・マップ

アドレス : 0x248、リセット : 0x00、レジスタ名 : REG0248

表 202. REG0248 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_3[3:0]	LUTによって選択される N 閾値 3。	0x0	R
[3:0]	LUT_N_2[11:8]	LUTによって選択される N 閾値 2。	0x0	R

アドレス : 0x249、リセット : 0x00、レジスタ名 : REG0249

表 203. REG0249 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_3[11:4]	LUTによって選択される N 閾値 3。	0x0	R

アドレス : 0x24A、リセット : 0x00、レジスタ名 : REG024A

表 204. REG024A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_4[7:0]	LUTによって選択される N 閾値 4。	0x0	R

アドレス : 0x24B、リセット : 0x00、レジスタ名 : REG024B

表 205. REG024B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_5[3:0]	LUTによって選択される N 閾値 5。	0x0	R
[3:0]	LUT_N_4[11:8]	LUTによって選択される N 閾値 4。	0x0	R

アドレス : 0x24C、リセット : 0x00、レジスタ名 : REG024C

表 206. REG024C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_5[11:4]	LUTによって選択される N 閾値 5。	0x0	R

アドレス : 0x24D、リセット : 0x00、レジスタ名 : REG024D

表 207. REG024D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_6[7:0]	LUTによって選択される N 閾値 6。	0x0	R

アドレス : 0x24E、リセット : 0x00、レジスタ名 : REG024E

表 208. REG024E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_7[3:0]	LUTによって選択される N 閾値 7。	0x0	R
[3:0]	LUT_N_6[11:8]	LUTによって選択される N 閾値 6。	0x0	R

アドレス : 0x24F、リセット : 0x00、レジスタ名 : REG024F

表 209. REG024F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_7[11:4]	LUTによって選択される N 閾値 7。	0x0	R

## レジスタ・マップ

アドレス : 0x250、リセット : 0x00、レジスタ名 : REG0250

表 210. REG0250 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_8[7:0]	LUTによって選択される N 閾値 8。	0x0	R

アドレス : 0x251、リセット : 0x00、レジスタ名 : REG0251

表 211. REG0251 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_9[3:0]	LUTによって選択される N 閾値 9。	0x0	R
[3:0]	LUT_N_8[11:8]	LUTによって選択される N 閾値 8。	0x0	R

アドレス : 0x252、リセット : 0x00、レジスタ名 : REG0252

表 212. REG0252 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_9[11:4]	LUTによって選択される N 閾値 9。	0x0	R

アドレス : 0x253、リセット : 0x00、レジスタ名 : REG0253

表 213. REG0253 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_10[7:0]	LUTによって選択される N 閾値 10。	0x0	R

アドレス : 0x254、リセット : 0x00、レジスタ名 : REG0254

表 214. REG0254 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_11[3:0]	LUTによって選択される N 閾値 11。	0x0	R
[3:0]	LUT_N_10[11:8]	LUTによって選択される N 閾値 10。	0x0	R

アドレス : 0x255、リセット : 0x00、レジスタ名 : REG0255

表 215. REG0255 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_11[11:4]	LUTによって選択される N 閾値 11。	0x0	R

アドレス : 0x256、リセット : 0x00、レジスタ名 : REG0256

表 216. REG0256 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_12[7:0]	LUTによって選択される N 閾値 12。	0x0	R

アドレス : 0x257、リセット : 0x00、レジスタ名 : REG0257

表 217. REG0257 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_13[3:0]	LUTによって選択される N 閾値 13。	0x0	R
[3:0]	LUT_N_12[11:8]	LUTによって選択される N 閾値 12。	0x0	R

## レジスタ・マップ

アドレス : 0x258、リセット : 0x00、レジスタ名 : REG0258

表 218. REG0258 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_13[11:4]	LUTによって選択される N 閾値 13。	0x0	R

アドレス : 0x259、リセット : 0x00、レジスタ名 : REG0259

表 219. REG0259 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_14[7:0]	LUTによって選択される N 閾値 14。	0x0	R

アドレス : 0x25A、リセット : 0x00、レジスタ名 : REG025A

表 220. REG025A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_15[3:0]	LUTによって選択される N 閾値 15。	0x0	R
[3:0]	LUT_N_14[11:8]	LUTによって選択される N 閾値 14。	0x0	R

アドレス : 0x25B、リセット : 0x00、レジスタ名 : REG025B

表 221. REG025B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_15[11:4]	LUTによって選択される N 閾値 15。	0x0	R

アドレス : 0x25C、リセット : 0x00、レジスタ名 : REG025C

表 222. REG025C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_16[7:0]	LUTによって選択される N 閾値 16。	0x0	R

アドレス : 0x25D、リセット : 0x00、レジスタ名 : REG025D

表 223. REG025D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_17[3:0]	LUTによって選択される N 閾値 17。	0x0	R
[3:0]	LUT_N_16[11:8]	LUTによって選択される N 閾値 16。	0x0	R

アドレス : 0x25E、リセット : 0x00、レジスタ名 : REG025E

表 224. REG025E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_17[11:4]	LUTによって選択される N 閾値 17。	0x0	R

アドレス : 0x25F、リセット : 0x00、レジスタ名 : REG025F

表 225. REG025F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_18[7:0]	LUTによって選択される N 閾値 18。	0x0	R

## レジスタ・マップ

アドレス : 0x260、リセット : 0x00、レジスタ名 : REG0260

表 226. REG0260 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_19[3:0]	LUTによって選択される N 閾値 19。	0x0	R
[3:0]	LUT_N_18[11:8]	LUTによって選択される N 閾値 18。	0x0	R

アドレス : 0x261、リセット : 0x00、レジスタ名 : REG0261

表 227. REG0261 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_19[11:4]	LUTによって選択される N 閾値 19。	0x0	R

アドレス : 0x262、リセット : 0x00、レジスタ名 : REG0262

表 228. REG0262 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_20[7:0]	LUTによって選択される N 閾値 20。	0x0	R

アドレス : 0x263、リセット : 0x00、レジスタ名 : REG0263

表 229. REG0263 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_21[3:0]	LUTによって選択される N 閾値 21。	0x0	R
[3:0]	LUT_N_20[11:8]	LUTによって選択される N 閾値 20。	0x0	R

アドレス : 0x264、リセット : 0x00、レジスタ名 : REG0264

表 230. REG0264 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_21[11:4]	LUTによって選択される N 閾値 21。	0x0	R

アドレス : 0x265、リセット : 0x00、レジスタ名 : REG0265

表 231. REG0265 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_22[7:0]	LUTによって選択される N 閾値 22。	0x0	R

アドレス : 0x266、リセット : 0x00、レジスタ名 : REG0266

表 232. REG0266 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_23[3:0]	LUTによって選択される N 閾値 23。	0x0	R
[3:0]	LUT_N_22[11:8]	LUTによって選択される N 閾値 22。	0x0	R

アドレス : 0x267、リセット : 0x00、レジスタ名 : REG0267

表 233. REG0267 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_23[11:4]	LUTによって選択される N 閾値 23。	0x0	R

## レジスタ・マップ

アドレス : 0x268、リセット : 0x00、レジスタ名 : REG0268

表 234. REG0268 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_24[7:0]	LUTによって選択される N 閾値 24。	0x0	R

アドレス : 0x269、リセット : 0x00、レジスタ名 : REG0269

表 235. REG0269 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_25[3:0]	LUTによって選択される N 閾値 25。	0x0	R
[3:0]	LUT_N_24[11:8]	LUTによって選択される N 閾値 24。	0x0	R

アドレス : 0x26A、リセット : 0x00、レジスタ名 : REG026A

表 236. REG026A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_25[11:4]	LUTによって選択される N 閾値 25。	0x0	R

アドレス : 0x26B、リセット : 0x00、レジスタ名 : REG026B

表 237. REG026B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_26[7:0]	LUTによって選択される N 閾値 26。	0x0	R

アドレス : 0x26C、リセット : 0x00、レジスタ名 : REG026C

表 238. REG026C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_27[3:0]	LUTによって選択される N 閾値 27。	0x0	R
[3:0]	LUT_N_26[11:8]	LUTによって選択される N 閾値 26。	0x0	R

アドレス : 0x26D、リセット : 0x00、レジスタ名 : REG026D

表 239. REG026D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_27[11:4]	LUTによって選択される N 閾値 27。	0x0	R

アドレス : 0x26E、リセット : 0x00、レジスタ名 : REG026E

表 240. REG026E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_28[7:0]	LUTによって選択される N 閾値 28。	0x0	R

アドレス : 0x26F、リセット : 0x00、レジスタ名 : REG026F

表 241. REG026F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_29[3:0]	LUTによって選択される N 閾値 29。	0x0	R
[3:0]	LUT_N_28[11:8]	LUTによって選択される N 閾値 28。	0x0	R

## レジスタ・マップ

アドレス : 0x270、リセット : 0x00、レジスタ名 : REG0270

表 242. REG0270 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_29[11:4]	LUTによって選択される N 閾値 29。	0x0	R

アドレス : 0x271、リセット : 0x00、レジスタ名 : REG0271

表 243. REG0271 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_30[7:0]	LUTによって選択される N 閾値 30。	0x0	R

アドレス : 0x272、リセット : 0x00、レジスタ名 : REG0272

表 244. REG0272 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LUT_N_31[3:0]	LUTによって選択される N 閾値 31。	0x0	R
[3:0]	LUT_N_30[11:8]	LUTによって選択される N 閾値 30。	0x0	R

アドレス : 0x273、リセット : 0x00、レジスタ名 : REG0273

表 245. REG0273 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LUT_N_31[11:4]	LUTによって選択される N 閾値 31。	0x0	R

## 外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-48-10	LGA	48-Terminal Land Grid Array Package

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

更新：2024年2月21日

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADF4383BCCZ	-40°C to +105°C	48-Terminal Land Grid Array Package [LGA]	Tray, 260	CC-48-10
ADF4383BCCZ-RL7	-40°C to +105°C	48-Terminal Land Grid Array Package [LGA]	Reel, 500	CC-48-10

<sup>1</sup> Z = RoHS 準拠製品。

## 評価用ボード

Model <sup>1</sup>	Description
EV-ADF4383SD1Z	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2025年7月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025年7月17日

製品名： **ADF4383**

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 38頁、左の段、箇条書き4のe、式27の下の説明

**【誤】**

「ここで、 $f_{\text{PPFD}} = 250\text{MHz}$ 、 $t_{\text{RESYNC}} = 25,000$  です。」

**【正】**

「ここで、 $f_{\text{PPFD}} = 250\text{MHz}$ 、 $t_{\text{RESYNC\_WAIT}} = 25,000$  です。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2025年7月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年7月17日

製品名： **ADF4383**

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所： 54頁、表 69、Bit [2.0]の説明

**【誤】**

「EFM3\_MODE」の説明欄のリンク先がありません。

**【正】**

「EFM3\_MODE」の説明

**$\Sigma$ - $\Delta$  MODULATOR OPTIMIZATION MODES**

**analog.com Rev. 0 | 41 of 83**

The ADF4383 can be configured in three different  $\Sigma$ - $\Delta$  modulator modes for performance optimization. A different  $\Sigma$ - $\Delta$  modulator mode can be configured to optimize for either phase jitter or spurious performance by configuring the EFM3\_MODE bits (Register 0x032, Bits [2:0]) to select SDM mode. A common feature used in fractional spur reduction known as dithering can be incorporated in addition to the  $\Sigma$ - $\Delta$  modulator optimization. This dithering involves reducing spurs by applying a randomization to the fractional N-divider feedback value. EN\_DITHER1, DITHER1\_SCALE, and EN\_DITHER2 control the amount of dithering that is applied. Some common fractional spur mechanisms that can be reduced with  $\Sigma$ - $\Delta$  modulator optimization are as follows:

- ▶ FRAC1WORD multiples of 8192.
- ▶ Fractional values close to 2N. These values increase in level towards the upper region of each core.
- ▶ Fractional values of multiples 1/1000.

**アナログ・デバイセズ株式会社**

本社 / 〒105-7323 東京都港区東新橋 1-9-1  
東京汐留ビルディング 23F  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36  
新大阪トラストタワー 10F  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島 6-1  
名古屋ルーセントタワー 40F

Table 27. SDM Mode Optimization

EFM3_MODE	Minimum N Divider	Optimization	Description
0	10	Best jitter performance	This is the default mode used, and fractional spurs are present. These spurs can be reduced by using dithering.
4	23	Best spurious performance	This setting removes the fractional spur mechanism while degrading jitter performance as compared with EFM3_MODE = 0 performance.
5	27	Phase noise profile optimization	The phase noise profile can appear more linear and up to 1 dB of phase noise improvement at frequency offsets $\geq 10$ MHz. Dither can be applied to further reduce fractional spurs.