



データシート ADEMA124/ADEMA127

SPI を備えた同時サンプリング 4 チャンネル／7 チャンネル ΣΔ ADC

特長

- ▶ 4 チャンネルまたは 7 チャンネルの高性能同時サンプリング Σ-Δ ADC
 - ▶ SN 比 : 最大 105dB
 - ▶ プログラマブルなサンプリング・レート : 最大 64kSPS
 - ▶ 広い入力電圧範囲 : $\pm 1.2V_{PK}$ 、848mVRMS フルスケール
 - ▶ 高インピーダンス、差動入力
- ▶ 内部電圧リファレンス温度係数 : 5ppm/ $^{\circ}C$ (代表値)
- ▶ ロゴスキー・コイル用のデジタル積分器およびハイパス・フィルタを内蔵
- ▶ 高速スタートアップ : 有効な電源供給後 0.5ms 以内に初回サンプリングを実行
- ▶ 改ざん検知モード、バッテリ・バックアップに適した低消費電力
- ▶ 双方向巡回冗長検査 (CRC) およびデイジーチェーン機能を備えた 4 線式 SPI
- ▶ 複数の ADC デバイスのシンプルな同期
- ▶ チャンネルごとにゲイン、位相、オフセットを補償
- ▶ SPI 読出し可能な一意の部品 ID レジスタ
- ▶ 消費電力 : 7 チャンネル ADC でわずか 18mW
- ▶ 広い動作温度範囲 : -40°C ~ +125°C
- ▶ 小型の 32 ピン、5mm × 5mm LFCSP

アプリケーション

- ▶ 多相電力量計
- ▶ 単相 3 線電力量計
- ▶ 分岐回路モニタリング
- ▶ 配電ユニット
- ▶ 電力品質モニタリング
- ▶ サーキット・ブレーカ
- ▶ 保護リレー
- ▶ 電気自動車用電源装置

概要

ADEMA124/ADEMA127 は、4 チャンネルおよび 7 チャンネルの同時サンプリング 24 ビット・シグマ・デルタ A/D コンバータ (ADC) であり、多相または単相 3 線式の電力量計アプリケーションに最適です。ADEMA124/ADEMA127 は、分圧器やシャント、およびカレント・トランス (CT) やロゴスキー・コイルなどの絶縁型電流センサーと互換性があります。

ADEMA124/ADEMA127 には、ADC チャンネルごとにゲイン、位相、オフセット補償を可能にする、独立したハードウェア・フィルタおよび DSP (デジタル信号処理) フィルタが内蔵されています。また、ADEMA124/ADEMA127 は、積分器や 2 次ハイパス・フィルタなど、ロゴスキー・センサーの合理的な実装を可能にする専用の補償機能およびデジタル信号処理機能も備えています。一般的な使用事例に対応した DSP フィルタ係数は自動的に読み込まれ、フィルタ特性のカスタマイズに利用可能です。

sinc 補償、LPF、および DSP のデシメーション率 2 の機能により、所定の出力サンプル・レートで使用可能なアナログ帯域幅が最大で 70% 拡張されます。帯域幅が広いため、ADEMA124/ADEMA127 は、IEC 61000-4-30 電力品質クラス A およびクラス S のメータに適しています。ADEMA124/ADEMA127 は、IEC 62053-21、IEC 62053-22、OIML R46ANSI、C12.20 の有効電力量規格、および IEC 62053-23、IEC 62053-24、EN 50470-3 の無効電力量規格に適合したシステムで使用できます。0.5ms の高速スタートアップ時間により、特にロゴスキー・センサーと組み合わせて、サーキット・ブレーカや保護リレーにも使用可能です。

ADEMA124/ADEMA127 は、設定およびデータ取得を行うための柔軟な SPI インターフェースを備えています。デイジーチェーン SPI インターフェースにより、互換性のある複数の ADC を单一の SPI ポートで同時に処理できるため、ホスト・マイクロコントローラ上のピン数を大幅に節約できます。更に、SPI ポートには 2 チャンネルおよび 3 チャンネルの絶縁型 ADC (ADE9112/ADE9113) をデイジーチェーン接続できます。ADC の波形データの整合性を維持するために、独立した巡回冗長検査 (CRC) を使用して、SPI パケットの送受信時のエラーや、設定レジスタの偶発的な変更を検出することができます。

表 1. 製品比較

Model	24-Bit ADC Channels
ADEMA124	4
ADEMA127	7

目次

特長	1	SPI 互換通信	24
アプリケーション	1	データバス設定	32
概要	1	設定プロセッサ	38
機能ブロック図	3	ステータス・レジスタおよび IRQ	39
仕様	4	CRC 保護	40
帯域幅およびパスバンド平坦性	7	センサーと ADC のインターフェース	42
タイミング仕様	8	水晶発振器／外部クロック	43
絶対最大定格	9	複数デバイスの同期	44
熱抵抗	9	消費電力	45
ESD に関する注意	9	多相電力量計	46
ピン配置およびピン機能の説明	10	単相 3 線電力量計	48
代表的な性能特性	12	ハードウェア識別子	49
テスト回路	17	SPI でアクセス可能なアドレス	50
用語の定義	18	レジスタの一覧	51
動作原理	19	レジスタの詳細	54
ゲインおよびオフセットの補正	19	DSP RAM の一覧	69
クイック・スタート・ガイド	19	DSP RAM の詳細	72
アプリケーション情報	20	外形寸法	77
スタートアップのシーケンスおよびタイミング	20	オーダー・ガイド	77
動作モード	21	評価用ボード	77

改訂履歴

7/2025—Revision 0: Initial Version

機能ブロック図

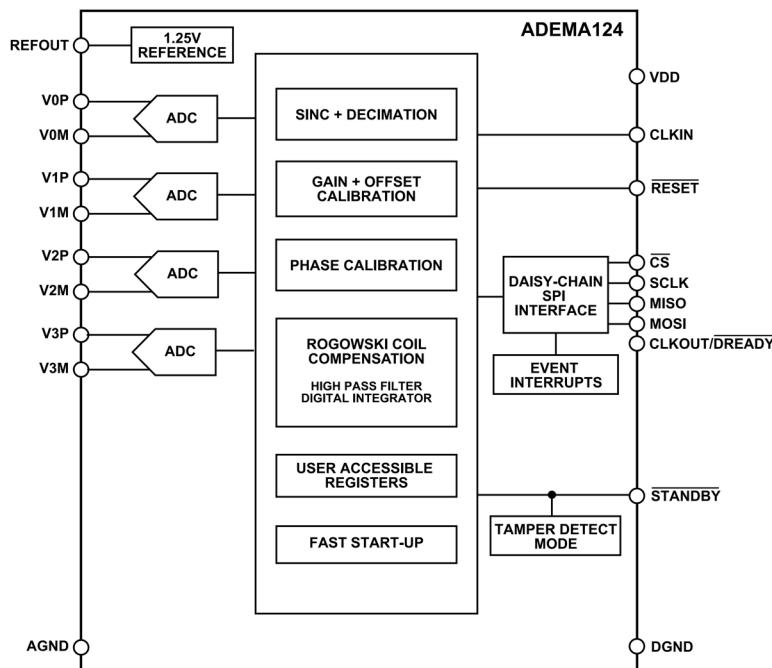


図 1. ADEMA124 の機能ブロック図

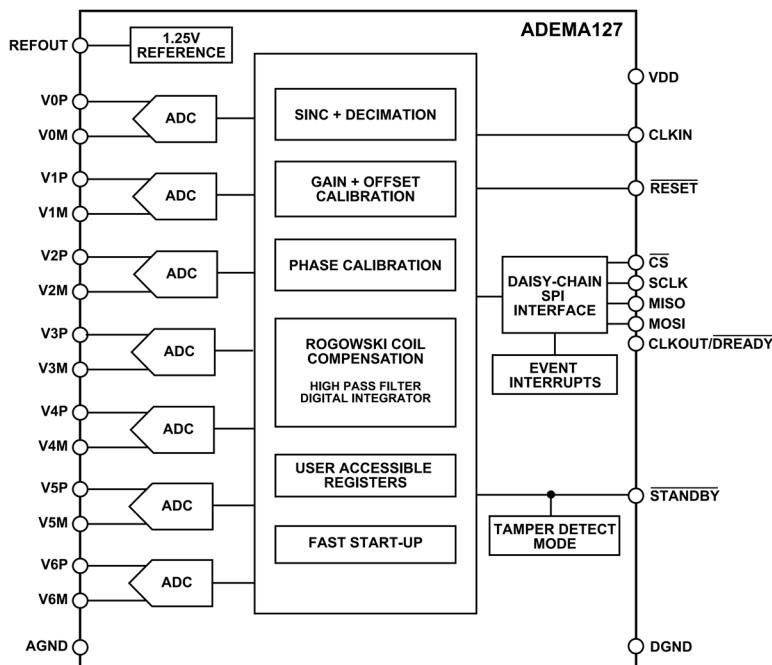


図 2. ADEMA127 の機能ブロック図

仕様

$V_{DD} = 3.3V \pm 10\%$ 、 $GND = 0V$ 、内蔵リファレンス、 $f_{XTALIN} = 16.384MHz$ 、 $T_{MIN} \sim T_{MAX} = -40^\circ C \sim +125^\circ C$ 、 $T_A = 25^\circ C$ （代表値の場合）。出力レート 4kHz。特に指定のない限り、各値はフル性能モード（ $ADC_POWER_MODE = 11$ ）でのものです。

表 2. 電気的特性

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY					
Start-Up Inrush ¹		55		mA	Includes required decoupling capacitors
ADEMA124					
High Resolution		9.9	11.2	mA	All DSP filters enabled, $f_{XTALIN} = 16.384MHz$, $f_{MOD} = 2.048MHz$, $f_s = 64kSPS$
Default Configuration		4.2	4.9	mA	No DSP filters enabled, $f_{XTALIN} = 16.384MHz$, $f_{MOD} = 2.048MHz$, $f_s = 32kSPS$
Low Power		1.8	2.3	mA	$f_{XTALIN} = 2.048MHz$, $f_{MOD} = 256kHz$, DSP off, $f_s = 1kSPS$, $ADC_POWER_MODE = 0x0$
Standby/Reset Mode		4		μW	
Tamper Detect Mode		11.25		mW	2 ADC channels active
ADEMA127					
High Resolution		11.5	13.1	mA	All DSP filters enabled, $f_{XTALIN} = 16.384MHz$, $f_{MOD} = 2.048MHz$, $f_s = 64kSPS$
Default Configuration		5.4	6.3	mA	DSP off, $f_{XTALIN} = 16.384MHz$, $f_{MOD} = 2.048MHz$, $f_s = 32kSPS$
Low Power		2.2	2.8	mA	$f_{XTALIN} = 2.048MHz$, $f_{MOD} = 256kHz$, DSP off, $f_s = 1kSPS$, $ADC_POWER_MODE = 0x0$
Standby/Reset Mode		4		μW	
Tamper Detect Mode		12.5		mW	4 ADC channels active
INTERNAL VOLTAGE REFERENCE ²					
Voltage Reference		1.25		V	V_{REF}
Temperature Coefficient		5	15	$ppm/\text{ }^\circ C$	
EXTERNAL VOLTAGE REFERENCE					
Input Voltage (REFOUT)		1.25		V	V_{REF}
Input Impedance (REFOUT)		20		k Ω	
TEMPERATURE RANGE					
Operating Range	-40		+125	$^\circ C$	
ANALOG INPUTS					
Differential Voltage Range					$V_{xP} - V_{xN}$
1x Gain	-1.2		+1.2	V	$ADC_GAIN_CHx = 0$
2x Gain	-0.6		+0.6	V	$ADC_GAIN_CHx = 1$
Common-Mode Range					$(V_{xP} + V_{xN})/2$
$ADC_CMI_CHx = 0$	-0.1		+0.1	V	Input from CT or voltage divider
$ADC_CMI_CHx = 1$	0.9		1.2	V	Input from preamplifier with DC offset
Single-Ended Voltage Range					Pseudodifferential connection, voltage on the pin with respect to AGND (AGND = DGND)
1x Gain	-0.6		+0.6	V	Full-scale without clipping, $ADC_CMI_CHx = 0$, $ADC_GAIN_CHx = 0$
2x Gain	-0.3		+0.3	V	Full-scale without clipping, $ADC_CMI_CHx = 0$, $ADC_GAIN_CHx = 1$
Crosstalk					Aggressor channels at full-scale
1x Gain			-120	dB	
2x Gain			-120	dB	

仕様

表 2. 電気的特性（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Differential Input Impedance					
1x Gain		150		kΩ	
2x Gain		75		kΩ	
ADC Offset Error					
1x Gain	-150	±20	150	µV	
2x Gain	-150	±45	150	µV	
ADC Offset Drift over Temperature			150	nV/°C	
ADC Gain Error	-2.0	±0.1	+2.0	%	Not including anti-aliasing filter
ADC Gain Drift over Temperature		5		ppm/°C	Without internal reference
ADC Gain Drift over Temperature		2	10	ppm/°C	With internal reference
ADC Transfer Function					1.25V internal reference
1x Gain		4,772,275		codes/V	
2x Gain		9,543,472		codes/V	
Tamper Detect Mode					
Total Unadjusted Error (TUE)	-2		+2	%FSR	
POWER-SUPPLY REJECTION RATIO (PSRR)/ COMMON-MODE REJECTION RATIO (CMRR)					
PSRR		120		dB	120mV _{RMS} 50Hz contaminated VDD
CMRR					
1x Gain		110		dB	ADC_CMI_CHx = 0
1x Gain		95		dB	ADC_CMI_CHx = 1
2x Gain		110		dB	ADC_CMI_CHx = 0
ADC PERFORMANCE					f _{MOD} = 2.048MHz
32kSPS					
Signal-to-Noise Ratio (SNR)					
1x Gain		97		dBFS	Figure 25, Figure 27
2x Gain		97		dBFS	
Signal-to-Noise and Distortion Ratio (SINAD)					
1x Gain		95		dBFS	
2x Gain		87		dBFS	
Total Harmonic Distortion (THD)					
1x Gain		-98		dBFS	Figure 26, Figure 28
2x Gain		-88		dBFS	
Spurious-Free Dynamic Range (SFDR)					
1x Gain		100		dBFS	
2x Gain		89		dBFS	
4kSPS					
SNR					
1x Gain		102		dBFS	
2x Gain		101		dBFS	
SINAD					
1x Gain		98		dBFS	
2x Gain		90		dBFS	
THD					
1x Gain		-101		dBFS	
2x Gain		-90		dBFS	
SFDR					
1x Gain		104		dBFS	
2x Gain		92		dBFS	

仕様

表 2. 電気的特性（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CRYSTAL OSCILLATOR					
Nominal Crystal Frequency	12.288		16.384	MHz	
Internal Capacitance on CLKIN, CLKOUT		3.5		pF	
Internal Feedback Resistance between CLKIN and CLKOUT		2.5		MΩ	
Transconductance (g_m)	6	8		mA/V	
EXTERNAL CLOCK INPUT					
Input Clock Frequency	0.3	16.384	16.547	MHz	
XTALIN Duty Cycle	45		55	%	
With XTALOUT Routed to Other Devices	47.5		52.5	%	
XTALIN Pulse Width	28			ns	
CLOCK OUTPUT					
XTALIN to CLKOUT Propagation Delay		6		ns	CLKOUT_EN = 1 ADC_POWER_MODE = 0b11
OUTPUT SAMPLE RATE			2.048	MHz	
ΣΔ Modulator Frequency (f_{MOD})			64	kSPS	
DSP Frequency (f_{DSP})					
LOGIC INPUTS - XTALIN Pin					
Input High Voltage, V_{INH}	1.2			V	
Input Low Voltage, V_{INL}		0.5		V	
LOGIC INPUTS - MOSI, SCLK, CS, STDBY, and RESET Pins					
Input High Voltage, V_{INH}	2.0			V	
Input Low Voltage, V_{INL}		0.8		V	
Input Current, I_{IN} (MOSI, SCLK, CS)		8		μA	Integrated pull-up
Input Current, I_{IN} (STDBY, and RESET)		200		nA	
LOGIC OUTPUTS - CLKOUT/DREADY, and MISO Pins					
Output High Voltage, V_{OH}	2.4				Source current (I_{SOURCE}) = 3.5mA
Output Low Voltage, V_{OL}		0.4			Sink current (I_{SINK}) = 3.5mA
LOW DROPOUT REGULATORS (LDOs)					
ALDOOUT		1.9		V	
VLDOOUT		1.9		V	
UNDERVOLTAGE LOCKOUT ¹					
Positive VDD Threshold		2.8		V	UVLO Rising supply voltage enable threshold, V_{UVLO+}
Negative VDD Threshold	2.2			V	Falling supply voltage lockout threshold, V_{UVLO-}
VDD Hysteresis		14		mV	UVLO hysteresis, V_{UVLO_HYS}

¹ 設計により裏付けられています。製品テストは実施していません。² リファレンス温度係数は、チャンネル・ゲインを最適化するために、製品テスト時に調整しています。

仕様

帯域幅およびパスバンド平坦性

すべての仕様は、 $f_{XTALIN} = 16.384\text{MHz}$ およびデフォルト DSP フィルタ係数に対する代表値です。

表 3. 帯域幅およびパスバンド平坦性特性

Parameter	Sinc Decimation Only	Sinc Compensation	Sinc Compensation and LPF	Sinc Compensation, LPF, and DSP Decimate-by-2	Comment
Output Bandwidth (-3dB)					
64kSPS	17,000	21,000	14,500	N/A ¹	ADC Output Bandwidth Figure 7
32kSPS	8,400	9,300	7,150	14,500	Figure 10
16kSPS	4,200	5,300	3,650	7,200	Figure 8
8kSPS	2,100	3,400	1,850	3,650	Figure 11
4kSPS	1,050	1,600	920	1,850	Figure 9
2kSPS	740	> $f_s/2$	465	920	Figure 12
1kSPS	420	410	250	465	Figure 13
500SPS	225	> $f_s/2$	125	230	Figure 15
250SPS	120	> $f_s/2$	58	115	Figure 14
Pass-Band Flatness (-0.1dB)					ADC Pass-Band Flatness
64kSPS	3,100	10,000	11,000	N/A ¹	Figure 7
32kSPS	1,600	4,800	4,600	11,000	Figure 10
16kSPS	800	2,900	2,950	4,600	Figure 8
8kSPS	400	1,800	1,700	3,300	Figure 11
4kSPS	200	850	850	1,650	Figure 9
2kSPS	150	700	385	760	Figure 12
1kSPS	94	180	180	420	Figure 13
500SPS	70	185	104	115	Figure 15
250SPS	55	80	31 ²	95	Figure 14

¹ N/A は該当なしを意味します。これは有効な設定ではありません。

² 10Hz を基準としています。

仕様

タイミング仕様

特に指定のない限り、 $V_{DD} = 3.3V \pm 10\%$ 、 $AGND = 0V$ 、 $DGND = 0V$ 、内蔵リファレンス、 $f_{XTALIN} = 16.384MHz$ 、 $T_{MIN} \sim T_{MAX} = -40^{\circ}C \sim +125^{\circ}C$ 。

表 4. SPI インターフェースのタイミング・パラメータ

Parameter ¹	Symbol	Min	Max	Unit
\overline{CS} to SCLK Positive Edge	t_{SS}	10		ns
SCLK Frequency ²	f_{SCLK}	250	22,000	kHz
SCLK Duty Cycle		40	60	%
SCLK Low Pulse Width	t_{SL}	20		ns
SCLK High Pulse Width	t_{SH}	20		ns
Data Output Valid After \overline{CS} Edge	t_{DAVFB}		20	ns
Subsequent Data Output Valid after SCLK Edge	t_{DAVSB}		20	ns
Data Input Setup Time before SCLK Edge	t_{DSU}	10		ns
Data Input Hold Time after SCLK Edge	t_{DHD}	10		ns
Data Output Fall Time	t_{DF}		10	ns
Data Output Rise Time	t_{DR}		10	ns
SCLK Rise Time	t_{SR}		5	ns
SCLK Fall Time	t_{SF}		5	ns
MISO Disable after \overline{CS} Rising Edge	t_{DIS}		20	ns
\overline{CS} High after SCLK Edge	t_{SFS}		10	ns
\overline{CS} High Time between SPI Transactions ³	t_{CH}	400		ns

¹ 仕様は、設計および特性評価により裏付けられていますが、製品テストは実施していません。

² f_{SCLK} は $1.4 \times f_{XTALIN}$ 未満であることが必要です。

³ $f_{XTALIN} < 16.384MHz$ の場合、 t_{CH} は $6/f_{XTALIN}$ より長いことが必要です。詳細については、SPI 互換通信のセクションを参照してください。

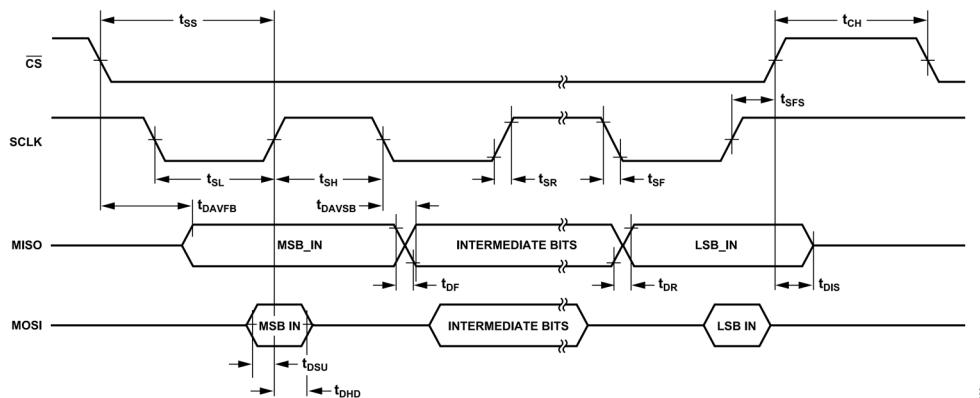


図 3. SPI のタイミング、SPI モード 3 (CPOL = 1 および CHPA = 1)

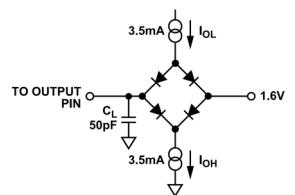


図 4. タイミング仕様評価用の負荷回路

絶対最大定格

表 5. ADEMA124/ADEMA127 の絶対最大定格

Parameter	Rating
V_{DD} to DGND	-0.3V to +3.7V
Analog Input Voltage	
V_{0P} and V_{0M} to DGND	-1.7V to +2V
V_{1P} and V_{1M} to DGND	-1.7V to +2V
V_{2P} and V_{2M} to DGND	-1.7V to +2V
V_{3P} and V_{3M} to DGND	-1.7V to +2V
V_{4P} and V_{4M} to DGND	-1.7V to +2V
V_{5P} and V_{5M} to DGND	-1.7V to +2V
V_{6P} and V_{6M} to DGND	-1.7V to +2V
Digital Input Voltage	
MOSI, SCLK, CS, XTALIN, STDBY, RESET to DGND	-0.3V to V_{DD} + 0.3V
Digital Output Voltage	
CLKOUT/DREADY, MISO, XTALOUT to DGND	-0.3V to V_{DD} + 0.3V
Reference Voltage	
REFOUT to DGND	-0.3V to +2.2V
Temperature	
Operating	-40°C to +125°C
Storage Range	-65°C to +150°C
Lead (Soldering, 10sec) ¹	260°C
Moisture Sensitivity Level	MSL 3

¹ RoHS適合デバイスのハンダ付け処理に使用するリフロー・プロファイルは、JEDECのJ-STD-020D.1に従うことを推奨します。この規格の最新版については、JEDECを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意を払う必要があります。

θ_{JA} は、1立方フィートの密閉容器内で測定された、自然流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 6. 热抵抗

Package Type ¹	θ_{JA}	θ_{JC}	Unit
CP-32-20	31.73	25.60	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、2S2P JEDEC PCB の使用によって決定します。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

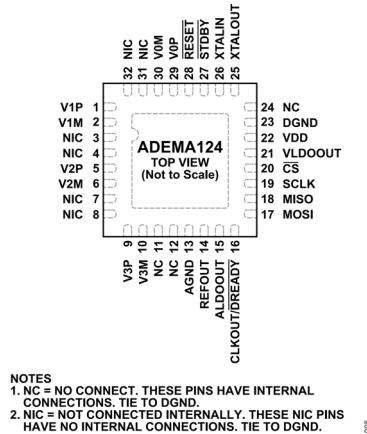


図 5. ADEMA124 のピン配置

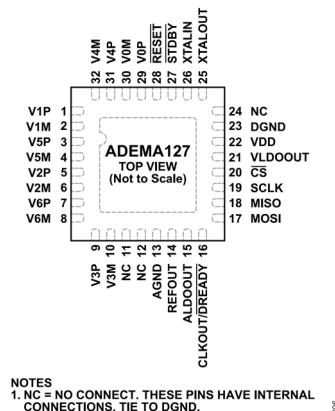


図 6. ADEMA127 のピン配置

表 7. ピン機能の説明

ピン番号			
ADEMA124	ADEMA127	記号	説明
1, 2	1, 2	V1P, V1M	ADC チャンネル 1 用のアナログ入力。
3, 4, 7, 8, 31, 32		NIC	内部接続されていません。これらの NIC ピンは内部接続されていません。DGND に接続します。
	3, 4	V5P, V5M	ADC チャンネル 5 用のアナログ入力。
5, 6	5, 6	V2P, V2M	ADC チャンネル 2 用のアナログ入力。
	7, 8	V6P, V6M	ADC チャンネル 6 用のアナログ入力。
9, 10	9, 10	V3P, V3M	ADC チャンネル 3 用のアナログ入力。
11, 12	11, 12	NC	接続なし。これらのピンは内部接続されています。DGND に接続します。
13	13	AGND	アナログ・グラウンド・リファレンス。DGND に接続します。
14	14	REFOUT	このピンから内蔵電圧リファレンスにアクセスできます。内蔵リファレンスの公称値は 1.25V です。REFOUT ピンは、0.1μF のコンデンサと 2.2μF のコンデンサを用いて DGND とデカップリングします。これらのコンデンサはできるだけ近付けて配置します。 外部回路で内蔵電圧リファレンスを使用するには、バッファが必要です。 外部電圧リファレンスをこのピンに接続することもできます。詳細については、 電圧リファレンス のセクションを参照してください。
15	15	ALDOOUT	アナログ低ドロップアウト (LDO) レギュレータの 1.9V 出力。 このピンは 0.22μF のコンデンサで DGND とデカップリングします。ALDOOUT ピンには外部負荷回路を接続しないでください。

ピン配置およびピン機能の説明

表 7. ピン機能の説明（続き）

ピン番号			
ADEMA124	ADEMA127	記号	説明
16	16	CLKOUT/DREADY	<p>データ・レディ、アクティブ・ロー ($\overline{\text{DREADY}}$)。$\overline{\text{DREADY}}$ピンは、新しいADCサンプルが読み出し可能であることを示すアクティブ・ローの信号を発生し、また、ADC出力周波数に同期しています。この信号を用いるとADC出力の読み出しを同期できます。</p> <p>$\overline{\text{DREADY}}$がこのピンのデフォルト機能です。リセット後の最初の立ち上がりエッジで、SPIポートがコマンドに対する準備ができていることを通知します。立ち下がりエッジは、ADCサンプルがCCMで読み出し可能であることを示します。図 38を参照してください。</p> <p>ADEMA124/ADEMA127がTDMで動作している場合、$\overline{\text{DREADY}}$を割込みピンとして設定できます。詳細については、改ざん検知モードのセクションを参照してください。</p> <p>クロック出力 (CLKOUT)。CLKOUT_ENビットによって設定されるピン機能です。CLKOUT機能が選択された場合、ADEMA124/ADEMA127はXTALINピンのコントローラ・クロックに同期したデジタル信号を発生します。他のデバイスにクロックを供給するには、CLKOUTを使用します。</p>
17	17	MOSI	SPIポートのデータ入力。
18	18	MISO	SPIポートのデータ出力。
19	19	SCLK	SPIポートのシリアル・クロック入力。すべてのシリアル・データ転送は、このクロックに同期します。
20	20	$\overline{\text{CS}}$	SPIポートのチップ・セレクト。
21	21	VLDOOUT	デジタル低ドロップアウト (LDO) レギュレータの1.9V出力。 このピンは0.22 μF のコンデンサでDGNDとデカッピングします。VLDOOUTピンには外部負荷回路を接続しないでください。
22	22	VDD	電源電圧、3.3V \pm 10%。このピンは0.1 μF のコンデンサと2.2 μF のコンデンサでDGNDとデカッピングします。
23	23	DGND	デジタル・グラウンド・リファレンス。
24	24	NC	接続なし。このピンは、内部接続されています。DGNDに接続します。
25	25	XTALOUT	クリスタル出力。 表 2 に示すトランスクンダクタンス (g_m)に基づいてクリスタルを選択してください。クリスタルをXTALINピンとXTALOUTピンの間に接続すると、ADEMA124/ADEMA127にクロック源を供給できます。 XTALOUTピンを使用しない場合は、フローティング状態にする必要があります。
26	26	XTALIN	コントローラ・クロック入力。 他のデバイスから供給されるCLKOUT信号などの外部クロックは、このロジック入力に供給できます。 あるいは、XTALINピンとXTALOUTピンの間にクリスタルを接続することもできます。
27	27	$\overline{\text{STDBY}}$	アクティブ・ローのスタンバイ入力。このピンには外部プルアップが必要であり、使用しない場合はVDDに接続する必要があります。詳細については、 スタンバイ・モード のセクションを参照してください。
28	28	$\overline{\text{RESET}}$	アクティブ・ローのリセット入力。このピンには外部プルアップが必要であり、使用しない場合はVDDに接続する必要があります。
29, 30	29, 30 31, 32	V0P, V0M V4P, V4M EPAD	ADCチャンネル0用のアナログ入力。 ADCチャンネル4用のアナログ入力。 露出パッド (EP)。露出パッドはDGNDに接続する必要があります。

代表的な性能特性

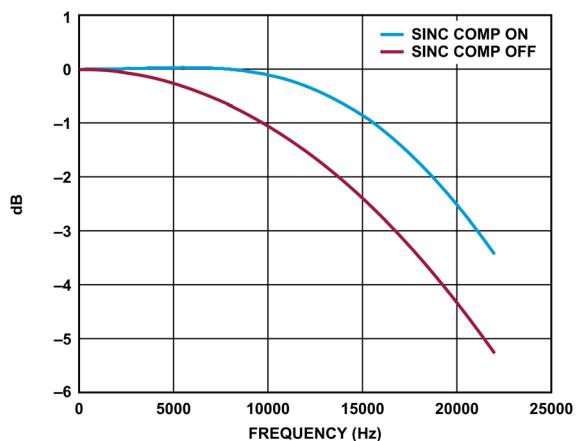


図 7. 64kSPS での帯域幅

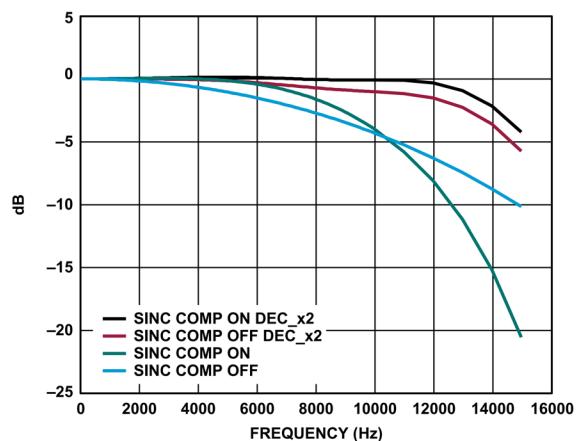


図 10. 32kSPS での帯域幅

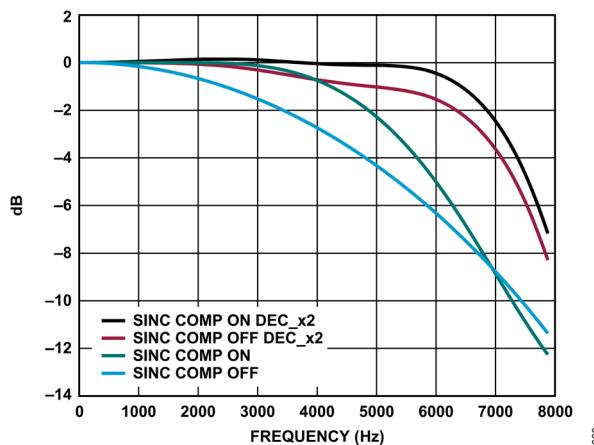


図 8. 16kSPS での帯域幅

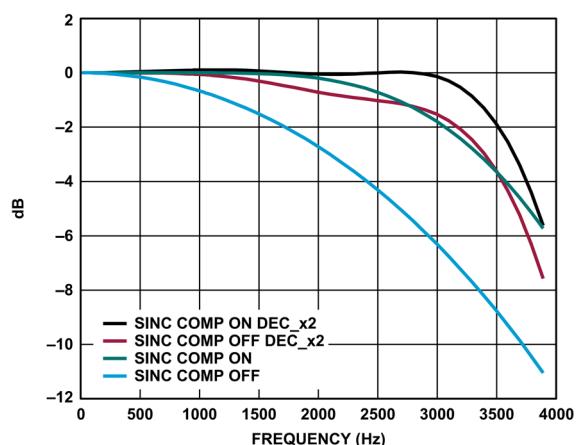


図 11. 8kSPS での帯域幅

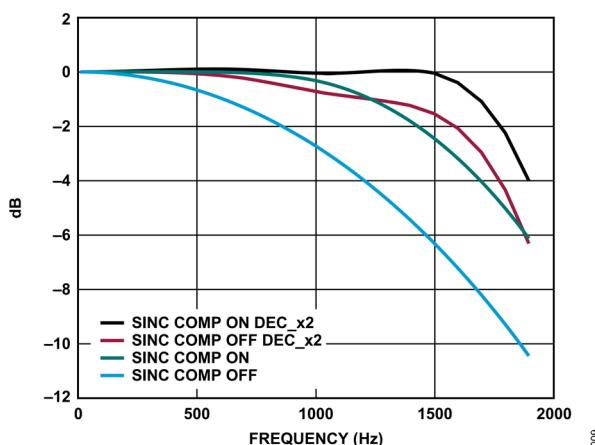


図 9. 4kSPS での帯域幅

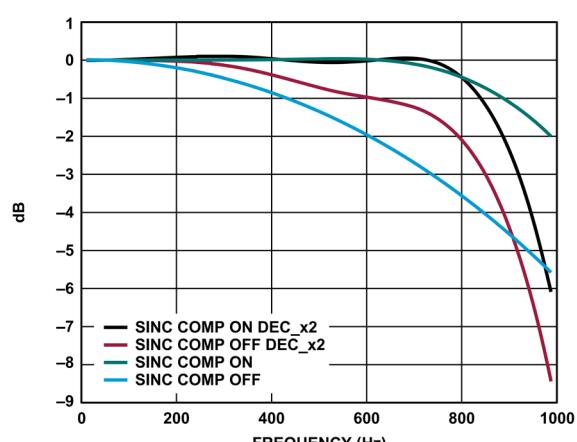


図 12. 2kSPS での帯域幅

代表的な性能特性

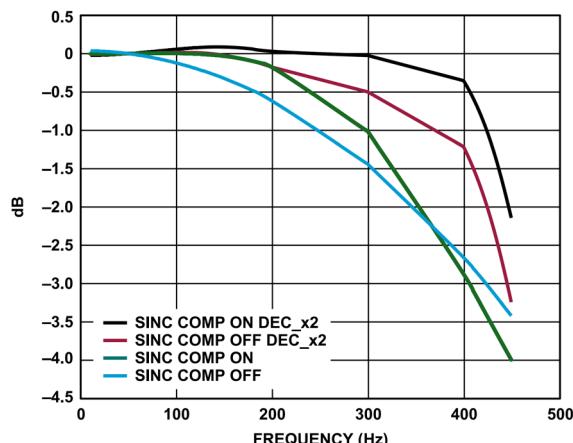


図 13. 1kSPS での帯域幅

013

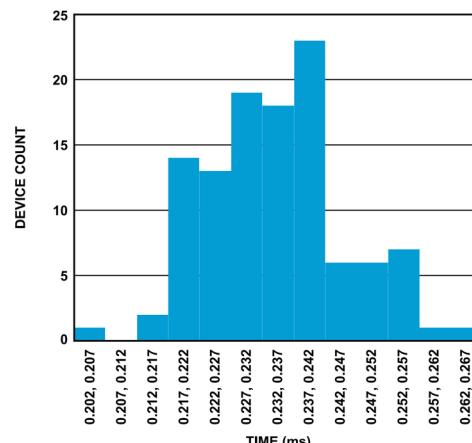


図 16. 高速スタートアップ時間のヒストグラム

016

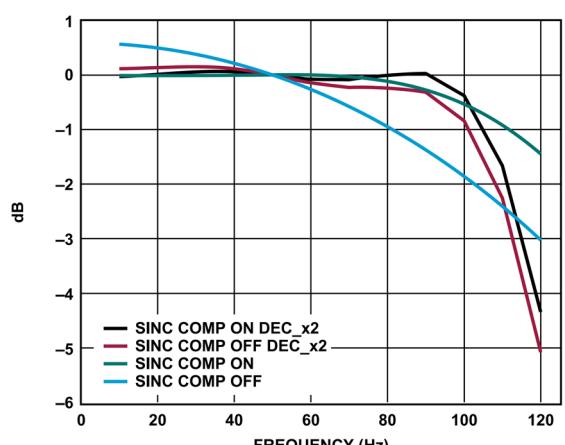


図 14. 250kSPS での帯域幅

014

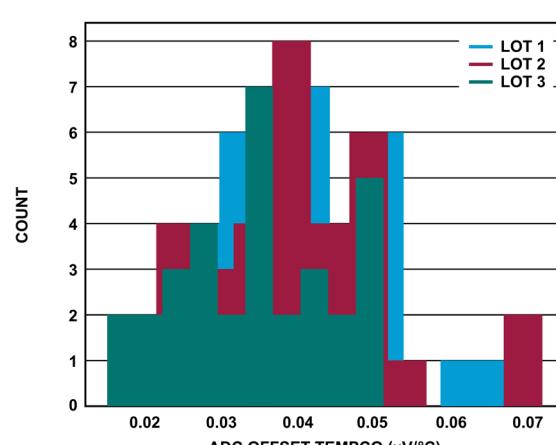


図 17. 入力オフセット電圧と温度のヒストグラム

017

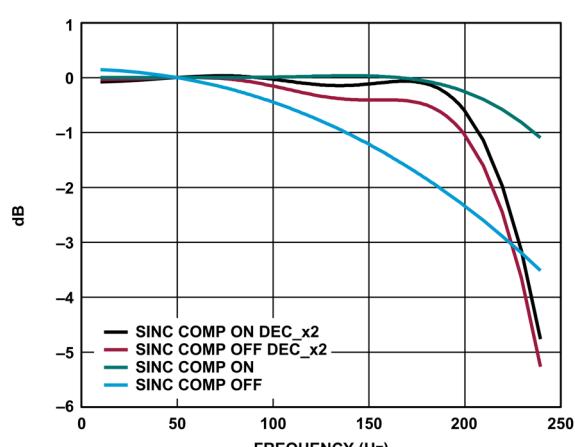


図 15. 500kSPS での帯域幅

015

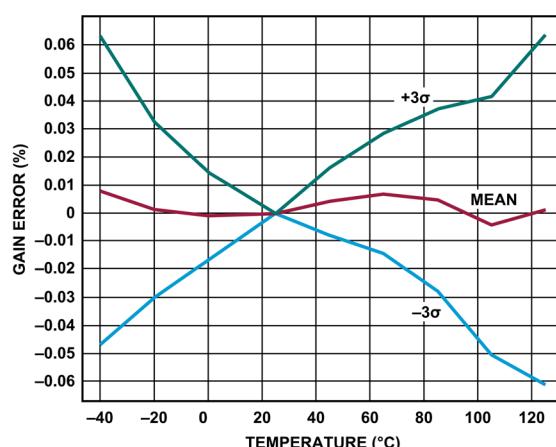


図 18. ゲイン誤差と温度の関係

018

代表的な性能特性

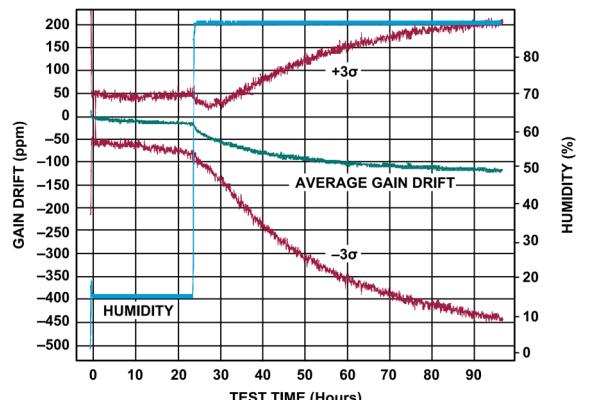
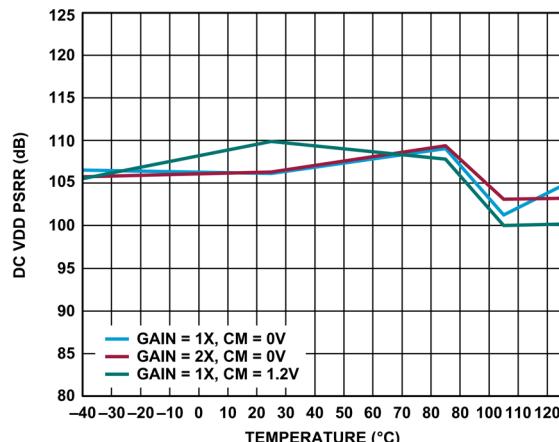
図 19. ゲイン・ドリフトと湿度の関係、平均値および $\pm 3\sigma$ 

図 22. DC VDD PSRR と温度の関係、フルパワー動作モード

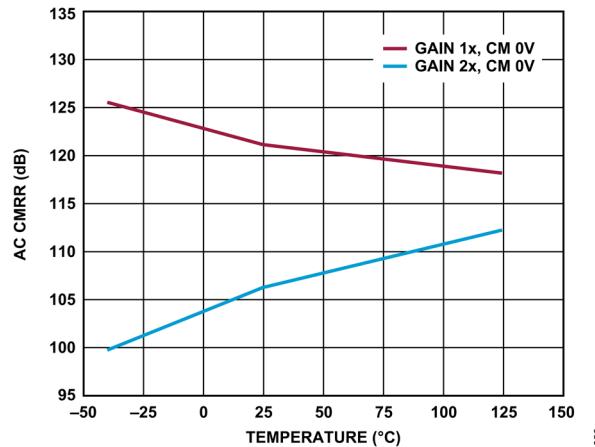
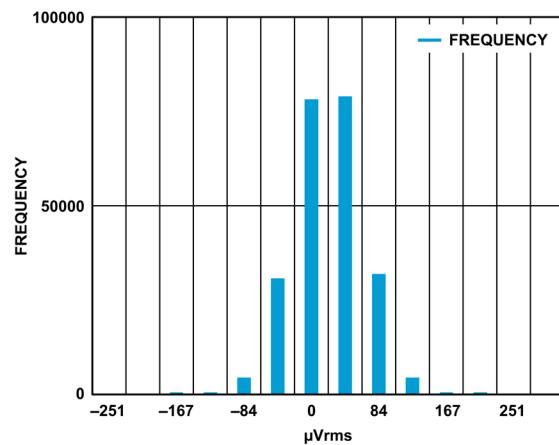
図 20. AC CMRR と VDD の関係、50Hz、 $V_{DD} = 3.3V$ 、フルパワー動作モード

図 23. シングル・デバイスのノイズ・ヒストグラム、32kSPS、入力短絡、ゲイン = 1

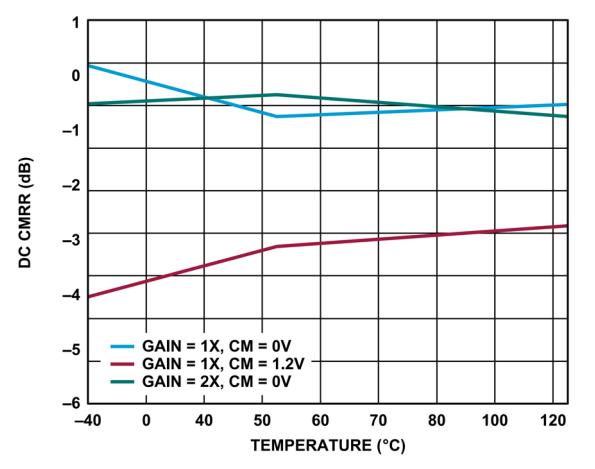


図 21. DC CMRR と温度の関係、フルパワー動作モード

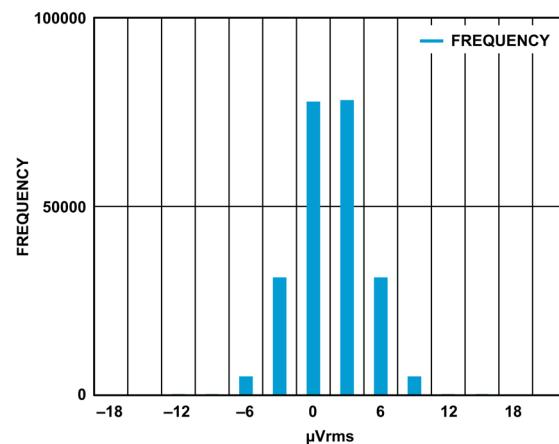


図 24. シングル・デバイスのノイズ・ヒストグラム、4kSPS、ADC 入力短絡、ゲイン = 1

代表的な性能特性

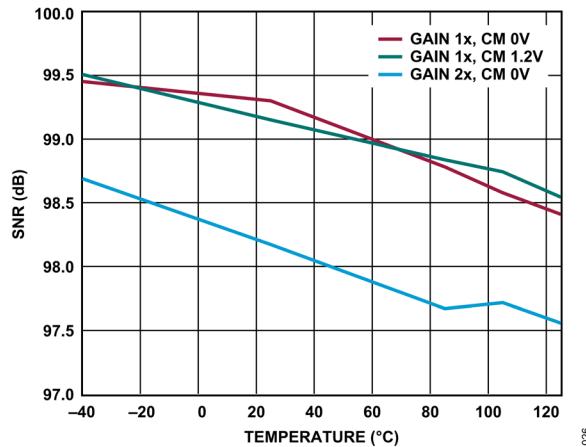


図 25. SNR と温度の関係、32kSPS

026

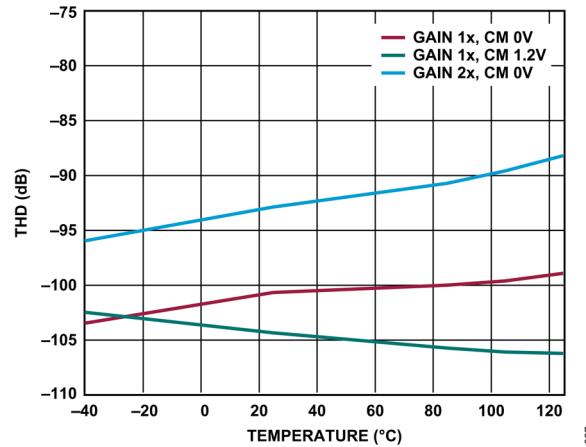


図 26. THD と温度の関係、32kSPS

027

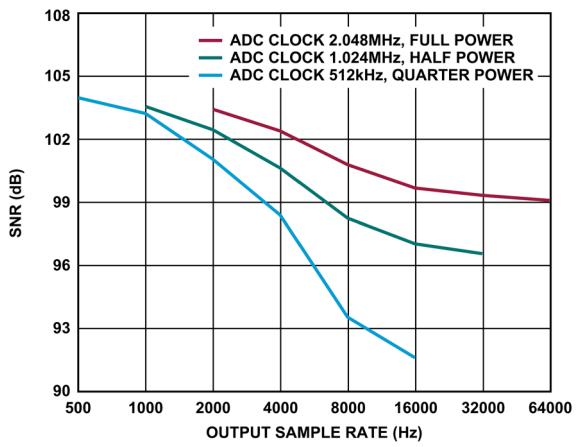


図 27. SNR と OSR の関係、ゲイン = 1

028

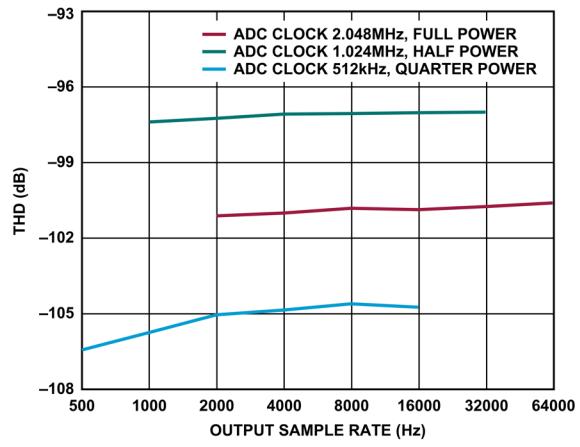
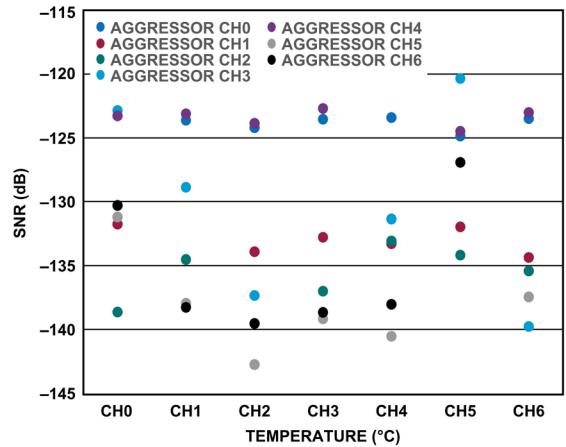
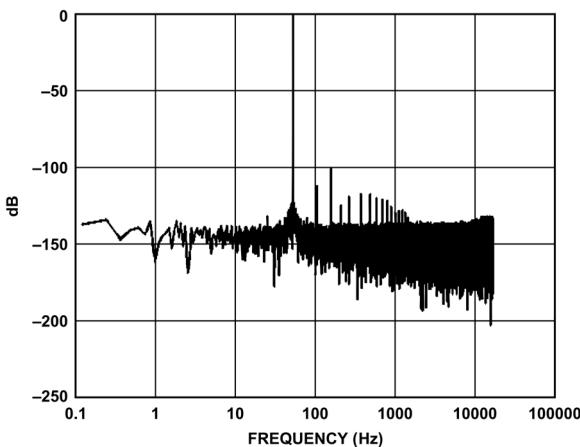


図 28. THD と OSR の関係、ゲイン = 1

029

図 29. クロストークとチャンネルの関係、
ゲイン = 1x、コモンモード = 0V

030

図 30. 50Hz 入力、高速フーリエ変換 (FFT)、
32kSPS、sinc3のみ

031

代表的な性能特性

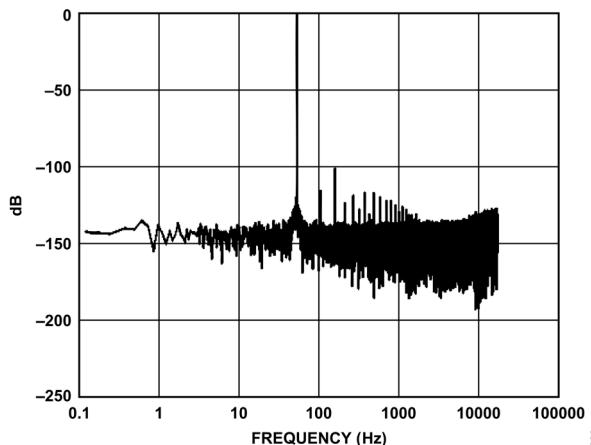


図 31. 50Hz 入力、FFT、32kSPS、DSP sinc 補償、
デジタル LPF、2 のデシメーションを有効化

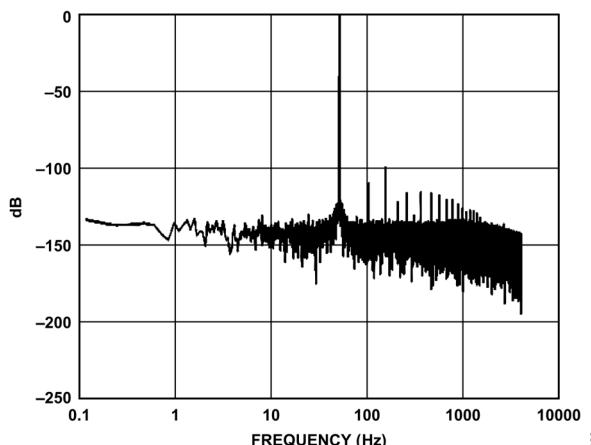


図 32. 50Hz 入力、FFT、8kSPS、sinc3 のみ

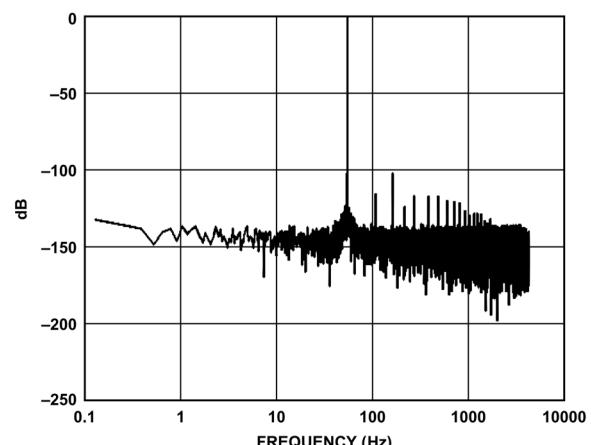


図 33. 50Hz 入力、FFT、8kSPS、DSP sinc 補償、
デジタル LPF、2 のデシメーションを有効化

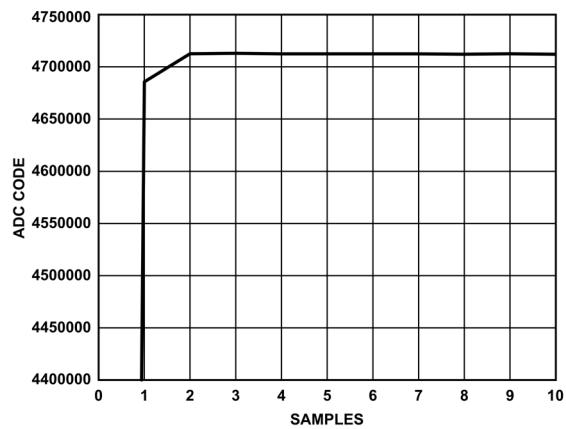


図 34. サンプル数の特定のゲイン誤差への収束、リセットから
CCM、 $f_{XTALIN} = 16.384\text{MHz}$ 、ゲイン=1x、1VDC 入力

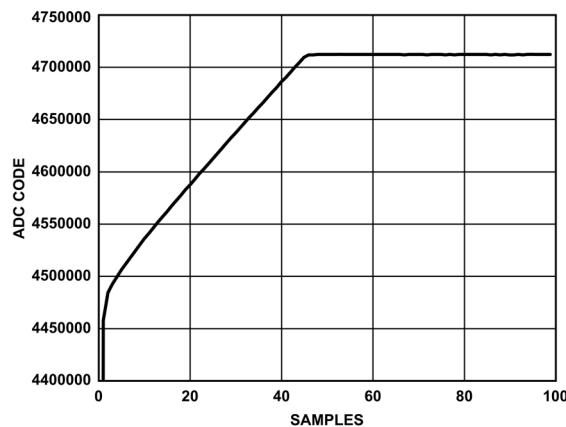
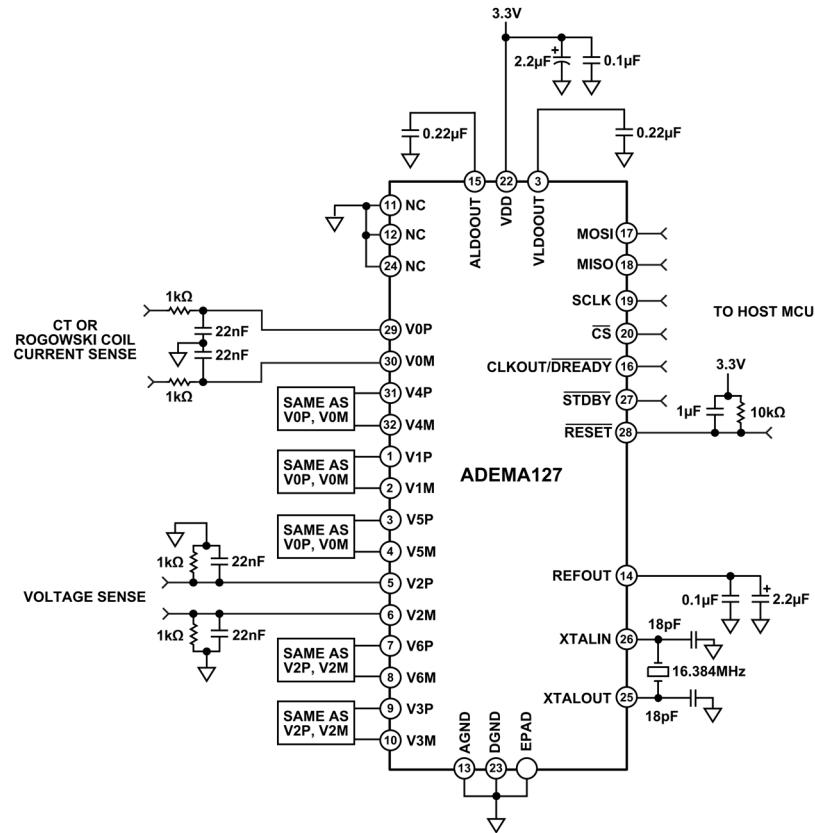


図 35. サンプル数の特定のゲイン誤差への収束、TDM から
CCM、 $f_{XTALIN} = 16.384\text{MHz}$ 、ゲイン=1x、1VDC 入力

テスト回路



047

図 36. ADEMA127 のテスト回路、3 相の電圧および電流

用語の定義

クロストーク

クロストークの測定は、1つのチャンネルを接地し、他のすべてのチャンネルにフルスケールの 50Hz 信号または 60Hz 信号を加えることによって行います。クロストークは、接地された ADC 出力値と、その ADC フルスケール出力値の比です。ADC 出力は 100 秒間取得されます。クロストークの単位はデシベルです。

差動入力インピーダンス (DC)

差動入力インピーダンスは、VxP と VxM のペア間のインピーダンスを表します。その値は、表 2 の差動入力インピーダンス仕様に示すように、ADC_GAIN_CHx のゲイン選択に応じて変化します。

ADC オフセット誤差

ADC オフセット誤差は、両方の入力を AGND に接続した状態で測定した ADC 出力コードの平均と、理想 ADC 出力コード 0 の差です。ADC オフセットの単位は、 μV です。

温度に対する ADC オフセット・ドリフト

ADC オフセット・ドリフトは、温度に対するオフセットの変化量です。オフセット値を -40°C 、 $+25^\circ\text{C}$ 、 $+125^\circ\text{C}$ で測定し、次式に従って温度に対するオフセット・ドリフトを計算します。

$$\text{Drift} = \max\left(\left|\frac{\text{Offset}(-40^\circ\text{C}) - \text{Offset}(+25^\circ\text{C})}{(-40^\circ\text{C} - +25^\circ\text{C})}\right|, \left|\frac{\text{Offset}(+125^\circ\text{C}) - \text{Offset}(+25^\circ\text{C})}{(+125^\circ\text{C} - +25^\circ\text{C})}\right|\right) \quad (1)$$

オフセット・ドリフトの単位は $\text{nV}/^\circ\text{C}$ です。

ADC ゲイン誤差

ADC のゲイン誤差は、外部電圧リファレンスに 1.25V を使用したときの、測定 ADC 出力コード（からオフセットを引いた値）と理想出力コードの差を表します。この差はコード理想値のパーセンテージとして表されます。1つのチャンネルの総合ゲイン誤差を表します。

温度に対する ADC ゲイン・ドリフト

この温度係数には、外部電圧リファレンスに 1.25V を使用した場合の ADC ゲインの温度に対する変化が含まれます。この係数は、1つの電流または電圧チャンネルの総合温度係数を表します。1.25V の外部電圧リファレンス使用時は、 -40°C 、 $+25^\circ\text{C}$ 、 $+125^\circ\text{C}$ における ADC ゲインを測定し、次式に従って温度係数を計算します。

$$\text{Drift} = \max\left(\left|\frac{\text{Gain}(-40^\circ\text{C}) - \text{Gain}(+25^\circ\text{C})}{\text{Gain}(+25^\circ\text{C}) \times (-40^\circ\text{C} - +25^\circ\text{C})}\right|, \left|\frac{\text{Gain}(+125^\circ\text{C}) - \text{Gain}(+25^\circ\text{C})}{\text{Gain}(+25^\circ\text{C}) \times (+125^\circ\text{C} - +25^\circ\text{C})}\right|\right) \quad (2)$$

ゲイン・ドリフトの単位は $\text{ppm}/^\circ\text{C}$ です。

AC 電源電圧変動除去比 (PSRR)

AC PSRR は、DC 電源電圧を公称値 (V_{NOM}) にして AC 変調を行い、入力を接地した場合の測定誤差を、指示値に対するパーセンテージとして定量化するものです。AC PSRR を測定するには、公称電源電圧 3.3V (V_1) で 20 秒間サンプルを収集し、別の AC 信号 (50Hz で 120mV_{rms}) を電源に加えて、2 セット目 (V_2) を収集します。以上より、PSRR は、 $\text{PSRR} = 20\log_{10}(V_2/V_1)$ で表されます。

SN 比 (SNR)

SN 比は、50Hz 信号を入力することによって計算され、また、サンプルは 8 秒間取得されます。表 1 に ADC 出力帯域幅 (-3dB) として示されている帯域幅までの各周波数の振幅が計算されます。SN 比を決定するには、50Hz での信号を他のすべての周波数における電力の合計と比較し、その高調波からの電力を除去します。SN 比の値はデシベル単位で表されます。

信号ノイズ + 歪み (SINAD)

SINAD は、50Hz 信号を入力することによって計算され、また、サンプルは 8 秒間取得されます。SINAD を決定するには、50Hz での信号を他のすべての周波数における電力の合計と比較します。SINAD の単位はデシベル (dB) です。

全高調波歪み (THD)

THD は、50Hz 信号を入力することによって計算され、また、サンプルは 8 秒間にわたり取得されます。THD を決定するには、この帯域幅までの 50Hz 高調波の振幅の 2 乗和平方根を取ります。THD の単位はデシベル (dB) です。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、50Hz 信号を入力することによって計算され、また、サンプルは 8 秒間にわたり取得されます。SFDR を決定するには、50Hz の高調波ではない最大信号の振幅を記録します。SFDR の単位はデシベル (dB) です。

ADC パスバンド平坦性

ADC の出力が 50Hz のリファレンス信号入力の 0.1dB 以内に収まる帯域幅。

ADC 出力帯域幅

ADC 出力帯域幅は -3dB 以下の帯域幅で、sinc3 のデジタル・フィルタリングおよび DSP 機能を有効化することによって得られます。

動作原理

正確な測定、リアルタイム・モニタリング、電力量の流れの包括的な管理は、配電ネットワーク全体にわたって必要とされます。ADEMA124 と ADEMA127 は、特に電力量計に最適な機能を持つよう設計された、4 チャンネルおよび 7 チャンネルの同時サンプリング ADC です。すべての ADC チャンネルに、完全差動入力、同一のダイナミック・レンジ、プログラマブル・ゲイン、独立した 24 ビット・シグマ・デルタ ADC が備わっています。ADEMA124/ADEMA127 の各 ADC チャンネルは、シャントおよびカレント・トランス (CT) を直接サポートでき、デジタル積分器、HPF、ロゴスキュー・センサーを内蔵しています。

ADEMA124/ADEMA127 ADC は、電力量計システムにおける、柔軟でスケーラブルな部品です。デイジーチェーン通信インターフェースによってシステムのアーキテクチャが簡素化され、また、このインターフェースによってマイクロコントローラが一連の ADEMA124/ADEMA127 を、それらが 1 つのデバイスであるかのように処理できます。複数の ADC の同期は簡素化され、各 ADC の SYNC_SNAP レジスタへの 1 回の SPI 書込みとそれに続く CS ピンの同時アサートを行うだけで済みます。内蔵のゲイン、位相、オフセット補償機能やその他の DSP 機能によって、ホスト・マイクロコントローラの処理リソースが低減され、また、処理された ADC 波形サンプルが直ちにシステムで使用できるようになります。

DSP のデシメーション率 2 の機能によってより広い帯域幅が可能となり、高調波を高い信頼性で測定できるようになります。そのため、再生可能エネルギー・リソースに対する優れた電力品質分析、グリッドを介したより効率的な配電、デバイスの長寿命化が実現できます。

ゲインおよびオフセットの補正

ゲインおよびオフセットの補正是、計量システムにおいて、広く必要とされるものです。ADEMA124/ADEMA127 は、各 ADC チャンネルに対しゲインおよびオフセット・キャリブレーションのビット・フィールドを備えているため、ホスト・マイクロコントローラに必要となる処理負荷を軽減します。

クイック・スタート・ガイド

ADEMA124/ADEMA127 に 3.3V の電源とクロックが供給されると、ADC は直ちに図 38 に示すデフォルト設定に従ってサンプルの生成を開始します。ADEMA124/ADEMA127 との通信はすべて、SPI ポートを介して行われます。詳細については、[高速スタートアップ](#) のセクションを参照してください。

代表的な使用事例では、有効な電源とクロックを供給し、データバスを設定し、その設定を書込みロックし、その後 DREADY ピンがローに遷移するのに呼応して ADC 波形データを収集します。ADC 波形サンプルはロング・フォーマットの SPI 操作で取得するのが効率的です。CRC チェックサム、STATUS0 レジスタ、STATUS1 レジスタが、すべてのチャンネルからロング・フォーマット SPI 応答で ADC 波形データと共に返されます。推奨する繰り返しコマンドは、STATUS2 レジスタのロング・フォーマット SPI 読出しです。それによって、ADEMA124/ADEMA127 のすべてのステータス情報がマイクロコントローラへ継続的に返されます。

DATAPATH_CONFIG_LOCK および DSP_MEM_ACCESS_REQ には複数の機能がありますが、どちらのビットも、デフォルトでその空間を保護する SPI 書込みロックです。これらのビットの機能の詳細は、[設定ロックおよびアクセス・ビット](#) のセクションで説明します。ADEMA124/ADEMA127 には、SCRATCH と呼ばれる 8 ビットのレジスタがあります。これは、書き込み保護がされておらず、テスト SPI 書込みやテスト SPI 読出しに使用できます。[通信デバッグ機能](#) のセクションで説明するように、24 ビット ADC 波形サンプルを検証するためのデバッグ機能があり、波形はシステムによって高い信頼度で取得されます。

DSP RAM のすべての値は、MMR になんらかの設定が行われると上書きされます。ADEMA124/ADEMA127 を設定するには、MMR のアドレスを DSP RAM のアドレスよりも前に設定する必要があります。DSP RAM に読み込まれるすべてのデフォルト DSP フィルタ係数は、通常 16.384MHz の fXTALIN に基づいています。この DSP 係数は変更できます。

ロック・キーを WR_LOCK に書き込むことで、ADEMA124/ADEMA127 設定レジスタへの意図しない SPI 書込みが行われるのを防ぐことができます。設定が変更されると STATUS0 の CRC_CHG ビットがハイにセットされ、マイクロコントローラによってモニタできます。

アプリケーション情報

スタートアップのシーケンスおよびタイミング 高速スタートアップ

ADEMA124/ADEMA127 は、有効な電源が与えられると直ちに、サンプリングと波形データ生成を開始します。ADC は、有効なクロック入力信号が供給されるか、外付けクリスタルが用いられ、**RESET**ピンと**STDBY**ピンのどちらもアサートされていない必要があります。

スタートアップを図 37 に示します。高速スタートアップ時間は、VDD 電源が最小有効供給レベルに達してから最初のデータ・サンプルが出来可能になるまでの時間として定義されます。**DREADY**ピンのローからハイへの最初の遷移は、SPI ポートが通信に使用できることを示します。**DREADY**ピンのハイからローへの最初の遷移は、最初の ADC サンプル・セットが出力可

能になったことを示します。最初の SPI 読出しは、どの ADC 波形データでも 0x00 を返します。最初の ADC サンプル・セットが必要な場合、**DREADY**ピンの最初の立上がりエッジで SPI ポートを読み出してください。その後、ADC サンプルの最初のセットは、**DREADY**ピンのハイからローへの最初の変換時に出力され読み出せます。データ・セットからの最初の 2 つの ADC 波形は、デシメーション係数が 64 で、レイテンシのより小さい sinc1 フィルタを通過します。

ADEMA124/ADEMA127 は、外部クロックを供給した場合、VDD が 90% になったときから 0.5ms 以内 ($t_{START-UP}$) に有効な ADC サンプルを生成します。有効な ADC サンプルは 15ms で生成されますが、このとき、外部クリスタルからクロックを発生するために、ADEMA124/ADEMA127 は水晶発振器回路を最初に始動しなくてはなりません。

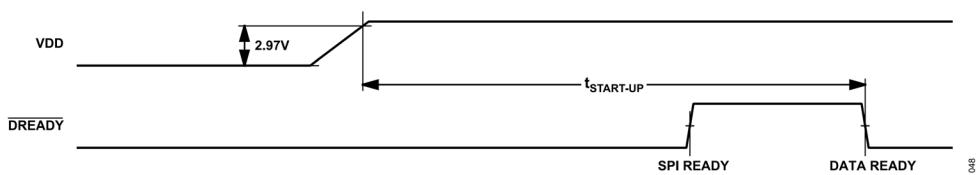


図 37. 高速スタートアップのタイミング

アプリケーション情報

動作モード

ADEMA124/ADEMA127 には、連続変換モード（CCM）、スタンバイ・モード、改ざん検知モード（TDM）の 3 つの動作モードがあります。CCM は、パワーアップ後またはリセット後に ADEMA124/ADEMA127 が入るデフォルト・モードです。SPI 通信はアクティブになり、ADC サンプルは CCM で設定されたサンプリング・レートで出力可能です。CCM の詳細については、[連続変換モード](#)のセクションを参照してください。

STDBY ピンをローにセットすることによって、CCM からスタンバイ・モードに入ることができます。このモードでは、SPI 通信は利用できませんが、ADEMA124/ADEMA127 の消費電力は大幅に低減します。スタンバイ・モードの詳細については、[スタンバイ・モード](#)のセクションを参照してください。

TDM には、スタンバイ・モードからのみ入ることができます。TDM は、CCM にフルパワーを投じることなく、設定可能閾値を超える信号の存在をチェックする手段を提供します。TDM の詳細については、[改ざん検知モード](#)のセクションを参照してください。

DREADY ピンの 2 つの動作モードを、それぞれ図 38 と図 39 に示します。ノイズの多い環境での EMC 対策として **DREADY** ピンの配線パターンに抵抗を配置する必要がある場合は、プルダウン抵抗を使用してください。**DREADY** ピンにプルアップ抵抗は配置しないでください。

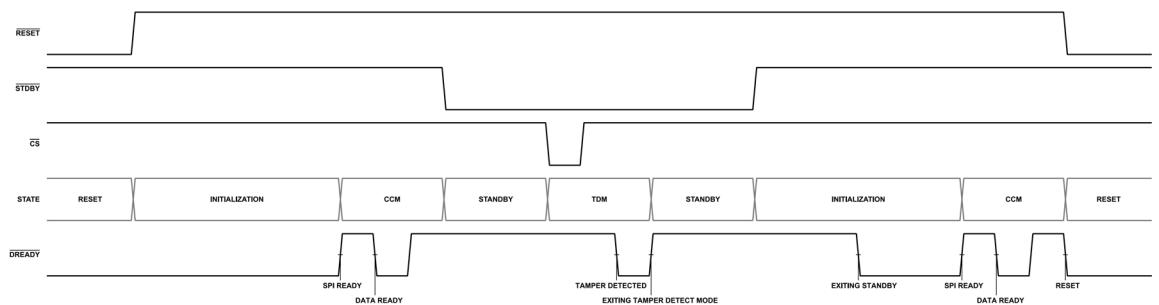


図 38. **DREADY** ピンのデフォルト動作 (**TDM_DREADYB_EN** = 1)

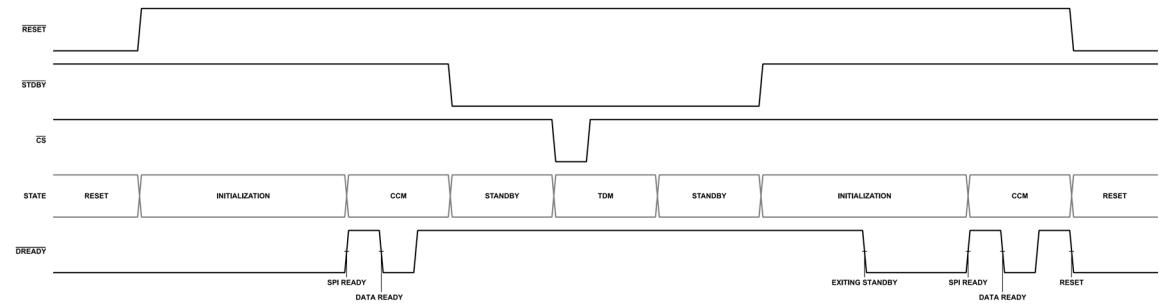


図 39. **DREADY** ピンの動作 (**TDM_DREADYB_EN** = 0)

アプリケーション情報

連続変換モード

VDD 電源が有効であり、RESET ピンと STDBY ピンのどちらもアサートされていない場合、CCM が、ADEMA124/ADEMA127 のデフォルトの動作モードです。

SPI ポートは CCM でのみ有効です。図 38 および図 39 に示すように、ADEMA124/ADEMA127 は、CCM に入ったこと SPI ポートが使用可能であることを DREADY ピンの最初の立上がりエッジで通知します。

スタンバイ・モード

スタンバイ・モードは低消費電力のアイドル状態です。STDBY ピンをローにセットすることで、ADEMA124/ADEMA127 は CCM からスタンバイ・モードに入ります。スタンバイ・モードを終了するには STDBY ピンをハイにセットします。

ADEMA124/ADEMA127 がスタンバイ・モードになっている間、SPI ポートは使用できません。ADEMA124/ADEMA127 がスタンバイ・モードかどうかによらず、表 27 に示すレジスタの設定はすべて、保持されます。表 28 に示すレジスタは、スタンバイ・モードの終了時にデフォルト値にリセットされ、再設定が必要になります。

改ざん検知モード

TDM は、システムが著しく低いパワー・バジェットの下で動作している間の負荷電流の検出を可能にします。ADC_PD レジスタでアクティブに設定された ADC チャンネルは、ADEMA124/ADEMA127 が TDM になっている間、設定可能デジタル入力として動作します。設定された条件が満たされると、TAMPER_DETECTED ビット・フィールドがセットされ、オプションで DREADY ピンを用いてシステムに割込みを送信することができます。

TDM サイクルの継続時間は TDM_LEN ビット・フィールドで設定されます。TDM では、ADEMA124/ADEMA127 のサンプル・レートは 7.227kS/s に固定されます。TDM サイクルの間、サンプル・クロックは内部で生成されます。クリスタルや外部クロックの信号は無視されます。TDM では外部電圧リファレンスは使用しないでください。

入力閾値は、12 ビットの TDM_THRSH ビット・フィールドで設定されます。TDM_THRSH の値は、11 ビット左にシフトされ、

24 ビットの ADC データ値の絶対値と比較されます。TDM_THRSH の設定値は全チャンネルで共有され、絶対検出レベルを設定します。入力閾値を超えるサンプルがカウントされ、連続的に TDM_NUM 設定値と比較されます。各チャンネルは、入力閾値を超える固有のサンプル数を保持しており、TDM_NUM 設定値に合致すると内部フラグをセットします。これらのフラグは、TDM_ALLCH ビットの設定に従って論理 AND または論理 OR にルーティングされ、改ざん検知をトリガします。

改ざん検知は常に TAMPER_DETECTED ビットに書き込まれます。この設定値は、ビットが SPI 書込みによってクリアされるか、ADEMA124/ADEMA127 がリセットされるまで継続されます。TDM_DREADYB_EN ビットは、図 40 に示すように、ADEMA124/ADEMA127 が DREADY ピンをローにセットすることによって同時にシステムに通知するよう設定します。改ざん検知が最後のサンプルでトリガされると、DREADY ピンは 6μs 以上の間ローを保持し、TDM サイクルの最後にハイに遷移します。

ADEMA124/ADEMA127 は、スタンバイ・モードからのみ TDM サイクルに入ります。TDM の設定は、ADEMA124/ADEMA127 がスタンバイ・モードになる前に完了しておく必要があります。STDBY ピンがローになっている状態で、CS ピンを 10μs 以上アサートすると TDM サイクルへの移行がトリガされます。

ADEMA124/ADEMA127 が TDM サイクルを終了したとき、CS ピンと STDBY ピンのどちらもローのままである場合、新しい TDM サイクルが開始されます。新しい TDM サイクルは、スタンバイ・モードの間に新たに CS をアサートすることによっても開始できます。STDBY ピンの状態、CS ピンの状態、あるいは改ざんが検知されたかどうかに関わらず、TDM サイクルはその全体が完了するまで続行されます。

ADC_PD、TDM_LEN、TDM_THRSH、TDM_NUM、TDM_ALLCH の各ビット・フィールドの設定値を表 29 に示します。

TDM では、外付けの REFOUT コンデンサは放電されます。図 35 に、ADEMA124/ADEMA127 が TDM サイクルを終了した後直ちに CCM に移行する場合の、充電中の REFOUT コンデンサの様子および指定されたゲイン精度への収束の様子を示します。

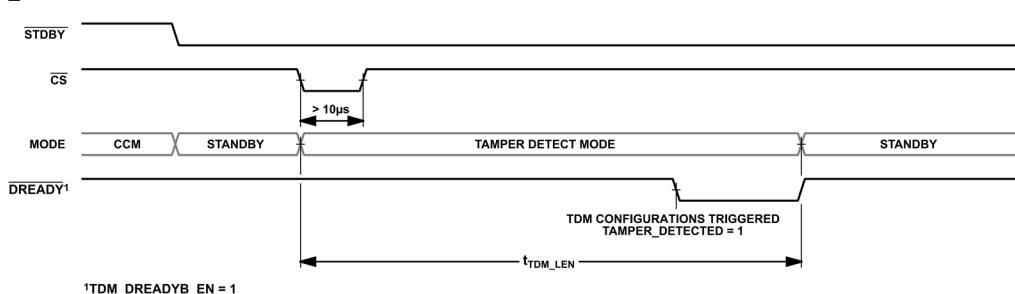


図 40. TDM への移行とイベント検出

アプリケーション情報

ソフトウェア・リセット

SWRST レジスタは、ソフトウェア・リセット機能を管理します。このレジスタが 0xD6 のソフトウェア・リセット・コマンド値にセットされている場合、ADEMA124/ADEMA127 はソフトウェア・リセット状態になります。この状態では、すべてのレジスタがデフォルト値にリセットされます。ソフトウェア・リセットが終了すると、SWRST レジスタは自動的にクリアされ、STATUS0 レジスタの RESET_DONE ビットがセットされます。WR_LOCK レジスタのロック・キーがセットされている場合、SWRST レジスタは書き込み保護されています。ソフトウェア・リセットを開始する前にまずこのレジスタのロックを解除してください。WR_LOCK の詳細については、[完全設定ロック](#)のセクションを参照してください。

SPI ポートが準備できている（レディになっている）ことが DREADY ピンによって示されるまで、SPI コマンドを書き込まないでください。SPI レディを [図 38](#) に示します。ソフトウェア・リセット処理中に後続の SPI コマンドを開始しようとすると、SPI トランザクションに問題が生じます。ADEMA124/ADEMA127 では、制御ブロック、レギュレータ、リファレンスはソフトウェア・リセットの影響を受けません。

ソフトウェア・リセット後、[スタートアップのシーケンスおよびタイミング](#)のセクションに示した手順の 1 つを実行して ADEMA124/ADEMA127 を初期化する必要があります。リセットされると、デフォルトの保持 MMR および MMR 値が復元されます。DSP フィルタが有効化され DATAPATH_CONFIG_LOCK ビットがサイクル動作している場合、DSP RAM の値はデフォルト値に再初期化されます。

ハードウェア・リセット

RESET ピンがローになると、ADEMA124/ADEMA127 はリセット状態に移行します。デバイスがリセット状態を終了すると、保持 MMR および MMR レジスタはすべて、デフォルト値に初期化されます。DSP フィルタが有効化されると、DSP RAM 値が初期化されます。

アプリケーション情報

SPI 互換通信

SPI ポートは、SCLK、MOSI、MISO、 \overline{CS} の各ピン、および一般的には ADC 波形データを取得するために呼び出す DREADY ピンで構成されています。すべての設定と ADC 波形データ取得動作は、SPI ポートを通じて行われます。

ADEMA124/ADEMA127 は、SPI モード 3、つまり、CPOL = 1 および CPHA = 1 でのみ動作します。すべてのデータ転送動作は、SCLK ピンにルーティングされるシリアル・クロック信号に同期します。SPI ポートがサポートするシリアル・クロック周波数の最大値および最小値は、表 4 に示す SCLK 周波数 f_{SCLK} のパラメータで仕様規定されています。

ADEMA124/ADEMA127 の SPI ポートとの間で行われるデータ伝送の完全性は、双方用 CRC によって保護されます。ADEMA124/ADEMA127 に送信されるコマンドは常に 32 ビットであり、8 ビットの CRC が含まれます。受信 SPI コマンドの CRC がそのコマンドに対し計算した値と一致しない限り、コマンドは実行されません。コマンド応答は、次の SPI フレームで返され、その応答から計算された 16 ビットの CRC で終了します。8 ビット CRC が一致しない場合にはアラートも含まれます。通信エラー検出スキームはデフォルトで有効化されていますが、無効化することも無視することもできます。CRC の計算および使用法の詳細については、CRC 保護のセクションを参照してください。

インターフェースが柔軟であるため、このデバイスは、個別対応のセクションで示すようにマイクロコントローラに接続することも、デイジーチェーンのセクションで示すようにデイジーチェーンで接続することもできます。デイジーチェーン構成では、複数のデバイスをマイクロコントローラによって 1 つのデバイスのように処理できます。各 ADEMA124/ADEMA127 デバイスが個別対応されているか、デイジーチェーンの 1 メンバーとなっているかを示すのに必要な設定はありません。

DREADY ピンは、ADEMA124/ADEMA127 とマイクロコントローラとの間の効率的な SPI 通信を可能にします。パワーアップ時、DREADY ピンの最初の立上がりエッジは、SPI ポートに

SPI コマンドの受信準備ができていることを示します。その後、DREADY の立下がりエッジで、マイクロコントローラによって取得される新たな ADC サンプル・セットを出力できることが示されます。標準的な 16.384MHz のクロック周波数で動作する場合、DREADY は 15ns の間、ローのままになります。DREADY ピンのデフォルト動作を図 39 に示します。

\overline{CS} ピンがハイからローに遷移すると、ADC 波形データを含む SPI 応答パケットは、バッファにラッピングされ、SCLK に合わせてシフト・アウトされます。DREADY ピンが次にハイからローへ遷移するまでに転送が開始されていない ADC 波形データは、上書きされます。

コマンドおよび応答

ADEMA124/ADEMA127 の通信スキームは、全 2 重通信が可能です。図 41 に示すように、以前のコマンドに対する応答がシフト・アウトされている間に、新しいコマンドが ADEMA124/ADEMA127 デバイスにシフト・インされます。最初に SPI フレームの最上位ビットが ADEMA124/ADEMA127 MOSI ピンで受信されます。

\overline{CS} ピンがローからハイに遷移すると SPI コマンドが実行されます。SPI コマンド・ビット・フィールドは、 \overline{CS} ピンの遷移前に受信した最後の 32 ビットとして解釈されます。SPI コマンドの構成要素のビット・フィールドを図 42 に、詳細を表 8 に示します。

SPI コマンド応答は、直後の SPI フレームで送信されます。SPI コマンド・エコーのビット・フィールドは、各応答の最初のバイトを補うものです。この 8 ビットのコマンド・エコーは、その前のコマンドが正しく解釈されたことを確認するために使用できます。SPI コマンド・エコーの構成要素のビット・フィールドを図 43 に、詳細を表 9 に示します。

その他のコマンド応答は、ADEMA124/ADEMA127 に発せられた個々のコマンドに応じて異なります。表 10 にコマンド応答をまとめます。すべての応答フレームは、応答フレームから計算された 16 ビットの CRC で終了します。

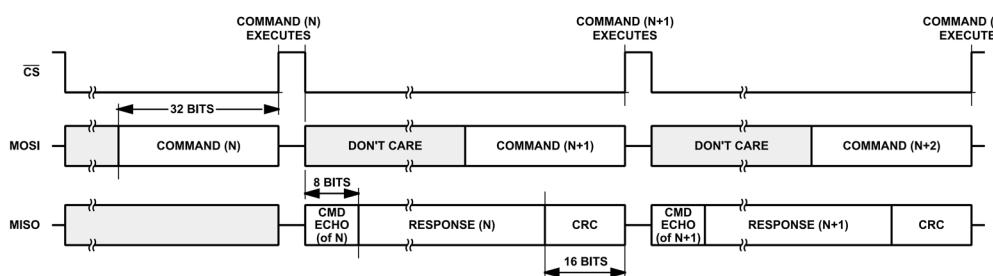
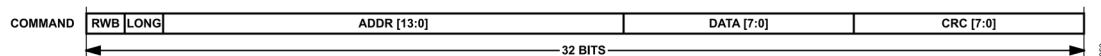
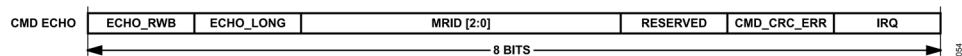


図 41. シングル・デバイスとの全 2 重通信



652

図 42. SPI コマンドのビット・フィールド



653

図 43. SPI コマンド・エコーのビット・フィールド

アプリケーション情報

表 8. SPI コマンドのビット・フィールド

ビット・フィールド位置	ビット・フィールド名	説明
31	RWB	SPI 読出し動作を実行する場合、このビットを 1 にセットします。 SPI 書込み動作を実行する場合は、このビットを 0 にクリアします。
30	LONG	ロング・フレーム構造の場合は、このビットを 1 にセットします。 ショート・フレーム構造の場合は、このビットを 0 にクリアします。デイジーチェーン接続されたデバイスに対しては、ショート・フレームはサポートされません。
[29:16]	ADDR[13:0]	読み出しまだ書込みされるレジスタの 14 ビットのアドレス。
[15:8]	DATA[7:0]	書込み動作が実行された場合のデータ・ペイロード。
[7:0]	CRC[7:0]	コマンド・フレーム・コンテンツの 8 ビット CRC による保護。詳細については、 SPI コマンドの CRC のセクション を参照してください。

表 9. SPI コマンド・エコーのビット・フィールド

ビット・フィールド位置	ビット・フィールド名	説明
7	ECHO_RWB	最後に発せられたコマンドのエコー。SPI 読出し動作の場合は 1。 SPI 書込み動作の場合は 0。
6	ECHO_LONG	要求されたコマンドのエコーのフォーマット。 ロング・フォーマットの場合は 1。 ショート・フォーマットの場合は 0。
[5:3]	MRID[2:0]	要求されたアドレスのあるメモリ領域を示します。 レジスタ・マップ (0x0000~0x00FF) の場合は 000。 DSP RAM (0x0400~0x07FF) の場合は 001。 010 予約済み。 011 予約済み。 100 予約済み。 101 予約済み。 111 予約済み。
2	RSRVD	予約済み。このビットは 0 にセットされます。
1	CMD_CRC_ERR	対応するコマンド・フレームに対する CRC チェック。 0 は、コマンド・フレーム CRC チェックに合格したことを示します。 1 は、コマンド・フレーム CRC チェックに不合格であることを示します。詳細については、 SPI コマンド応答の CRC のセクション を参照してください。
0	IRQ	コマンド応答割込みビット。 0 は、生起された割込みがないことを示します。 1 は、マスク不能な割込みまたは設定された割込みが生起されたことを示します。詳細については、 ステータス・レジスタおよび IRQ のセクション を参照してください。

表 10. 応答フレームの種類

応答の種類	説明
デフォルト応答	PoR リリースと MCLK オンの間で送信。
ロング読出し応答	デバイスの全 ADC チャンネルの 24 ビット波形サンプルに加え、アドレスおよびアドレス+1 のレジスタのリードバック値。詳細については、 ロング・フォーマット動作 のセクションを参照してください。
ロング書き込み応答	デバイスの全 ADC チャンネルの 24 ビット波形サンプルに加え、書き込みアドレスのエコーおよびそのアドレスのレジスタのリードバック値。詳細については、 ロング・フォーマット動作 のセクションを参照してください。
ショート読出し応答	アドレスおよびアドレス+1 のレジスタのリードバック値。詳細については、 ショート・フォーマット動作 のセクションを参照してください。
チャンネル・データのショート読出し	選択したチャンネルからの 24 ビット波形サンプル。詳細については、 ショート・フォーマット動作 のセクションを参照してください。
ショート書き込み応答	書き込みアドレスのエコーおよびそのレジスタのリードバック値。詳細については、 ショート・フォーマット動作 のセクションを参照してください。
コマンド・エラー応答	コマンド・フレームが無効であることが判明した場合に送信。詳細については、 SPI コマンド・エラー応答フレーム のセクションを参照してください。

アプリケーション情報

ロング・フォーマット動作

すべてのロング・フォーマット応答には、すべての ADC チャンネルからの 24 ビット波形データ・レジスタと、STATUS0 レジスタおよび STATUS1 レジスタの内容が含まれています。ADC 波形データは、24 ビットの 2 の補数表示です。ADC 波形レジスタからのバイトが、リトルエンディアン・フォーマットで Vx_WAV_LO、Vx_WAV_MD、Vx_WAV_HI に伝送されます。標準的な CCM 動作には、STATUS2 のロング・フォーマット読出しが推奨 SPI トランザクションです。すべての ADC データとステータス情報が返されるためです。

ADEMA127 は、256 ビットのロング・フォーマット応答が可能です。ADEMA124 のロング・フォーマット応答は 160 ビットです。デイジーチェーン接続された ADEMA124/ADEMA127 デバイスは、ロング・フォーマット動作でのみ通信する必要があります。

ADEMA127 のロング読み出し応答フレームの構造を以下の図 45 に示します。ADEMA127 のロング書き込み応答フレームの構造を図 46 に示します。

ADEMA124 のロング・フォーマット・コマンドおよび応答を図 47 に示します。ADEMA124 のロング読み出し応答フレームの構造を図 48 に示します。ADEMA124 のロング書き込み応答フレームの構造を図 49 に示します。

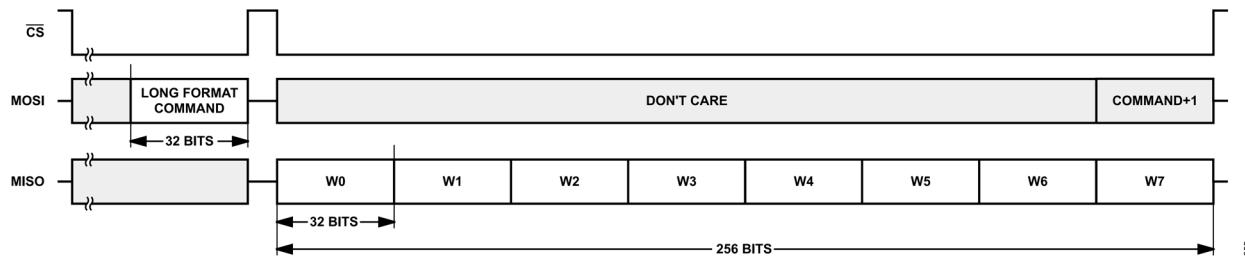


図 44. ADEMA127 のロング・フォーマット

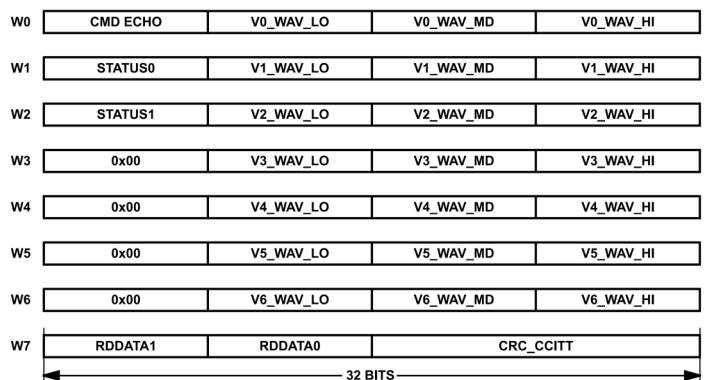


図 45. ADEMA127 のロング・フォーマット読み出し応答パケット

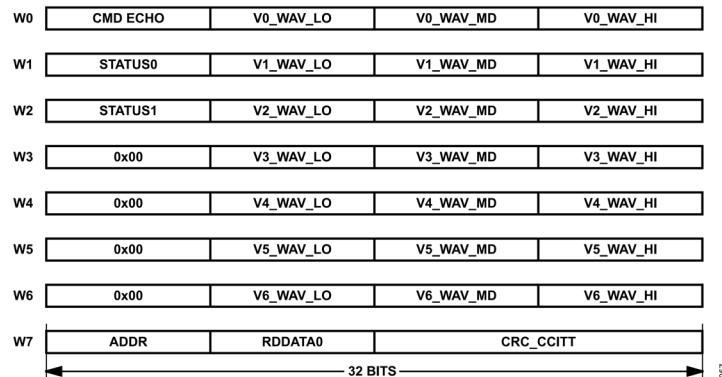


図 46. ADEMA127 のロング・フォーマット書き込み応答パケット

アプリケーション情報

表 11. ADEMA127 のロング・フォーマット応答のビット・フィールド

Bit Field Location	Long Read Bit Field Name	Long Write Bit Field Name	Description
[255:248]	CMD ECHO [7:0]	CMD ECHO [7:0]	For more details, see Figure 43 and Table 9 .
[247:224]	ADC V0 Waveform Data [23:0]	ADC V0 Waveform Data [23:0]	
[223:216]	STATUS0 [7:0]	STATUS0 [7:0]	For more details, see Table 30 .
[215:192]	ADC V1 Waveform Data [23:0]	ADC V1 Waveform Data [23:0]	
[191:184]	STATUS1 [7:0]	STATUS1 [7:0]	For more details, see Table 30 .
[183:160]	ADC V2 Waveform Data [23:0]	ADC V2 Waveform Data [23:0]	
[159:152]	RESERVED [7:0]	RESERVED [7:0]	0x00 is transmitted.
[151:128]	ADC V3 Waveform Data [23:0]	ADC V3 Waveform Data [23:0]	
[127:120]	RESERVED [7:0]	RESERVED [7:0]	0x00 is transmitted.
[119:96]	ADC V4 Waveform Data [23:0]	ADC V4 Waveform Data [23:0]	
[95:88]	RESERVED [7:0]	RESERVED [7:0]	0x00 is transmitted.
[87:64]	ADC V5 Waveform Data [23:0]	ADC V5 Waveform Data [23:0]	
[63:56]	RESERVED [7:0]	RESERVED [7:0]	0x00 is transmitted.
[55:32]	ADC V6 Waveform Data [23:0]	ADC V6 Waveform Data [23:0]	
[31:24]	RDDATA1 [7:0]	-	Readback value at the requested address+1.
	-	ADDR [7:0]	LSB of requested write address echoed back.
[23:16]	RDDATA0 [7:0]	RDDATA0 [7:0]	Readback value at the requested address.
[15:0]	CRC_CCITT [15:0]	CRC_CCITT [15:0]	For more details, see the SPI Command Response CRC section .

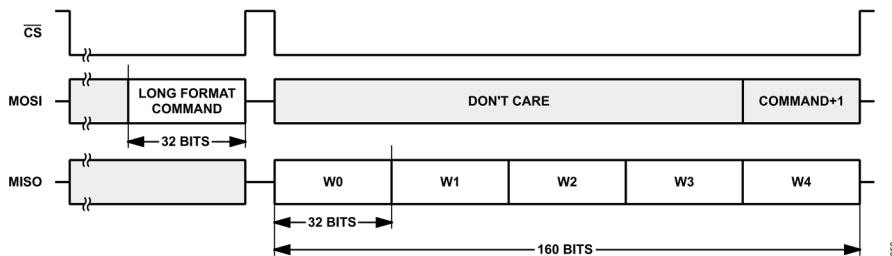


図 47. ADEMA124 のロング・フォーマット

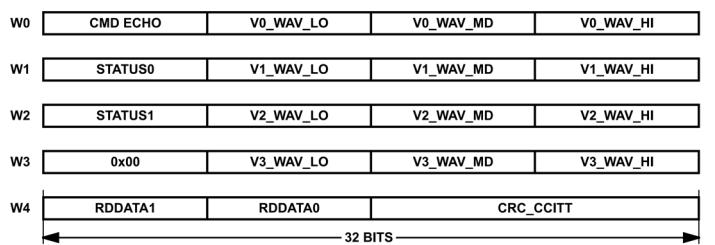


図 48. ADEMA124 のロング・フォーマット読出し応答パケット

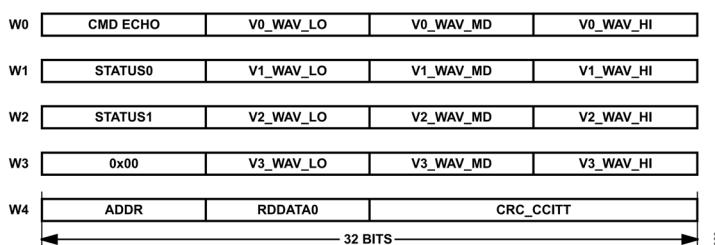


図 49. ADEMA124 のロング・フォーマット書き込み応答パケット

アプリケーション情報

表 12. ADEMA124 のロング・フォーマット応答のビット・フィールド

Bit Field Location	Long Read Bit Field Name	Long Write Bit Field Name	Description
[159:152]	CMD ECHO [7:0]	CMD ECHO [7:0]	For more details, see Figure 43 and Table 9 .
[151:128]	ADC V0 Waveform Data [23:0]	ADC V0 Waveform Data [23:0]	
[127:120]	STATUS0 [7:0]	STATUS0 [7:0]	For more details, see Table 30 .
[119:96]	ADC V1 Waveform Data [23:0]	ADC V1 Waveform Data [23:0]	
[95:88]	STATUS1 [7:0]	STATUS1 [7:0]	For more details, see Table 30 .
[87:64]	ADC V2 Waveform Data [23:0]	ADC V2 Waveform Data [23:0]	
[63:56]	RESERVED [7:0]	RESERVED [7:0]	0x00 is transmitted.
[55:32]	ADC V3 Waveform Data [23:0]	ADC V3 Waveform Data [23:0]	
[31:24]	RDDATA1 [7:0]	-	
	-	ADDR [7:0]	LSB of requested write address echoed back.
[23:16]	RDDATA0 [7:0]	RDDATA0 [7:0]	
[15:0]	CRC_CCIT [15:0]	CRC_CCIT [15:0]	For more details, see the SPI Command Response CRC section.

アプリケーション情報

ショート・フォーマット動作

ショート応答のフレームは、ADEMA124 と ADEMA127 のどちらのデバイスについても 48 ビットです。ショート・フレーム応答は、すべての ADC チャンネルからの ADC 波形データを伝搬するわけではなく、シングル・デバイスのデバイス設定やステータス・クエリをより迅速に行うために用いられます。

ショート・フォーマット動作は、[個別対応](#)のセクションに示すように、個別に対応するデバイスに対してのみ使用可能であり、デイジーチェーン接続のデバイスに対してはサポートしていません。

ショート書込み応答パケットに対する CRC_CCITT は、ビット [47:16]について計算されます。

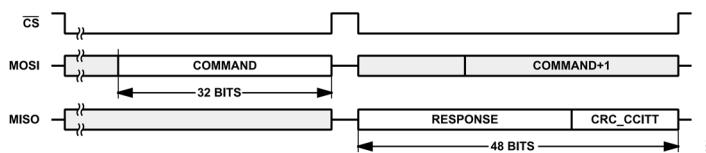


図 50. ショート・フォーマット

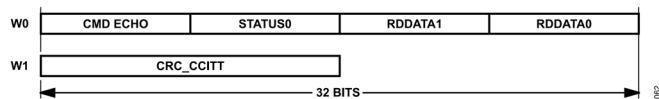


図 51. ショート読出し応答パケット

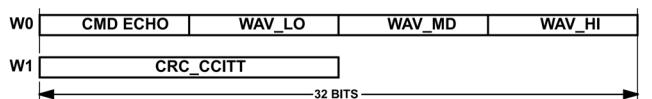


図 52. ADC 波形レジスタのショート読出し応答パケット

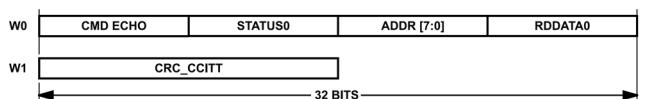


図 53. ショート書込み応答パケット

SPI コマンド・エラー応答フレーム

ADEMA124/ADEMA127 が SPI コマンドに CRC ミスマッチがあることを検出した場合、コマンド・エラー応答フレームがその後のフレームで送信されます。コマンド・エラー応答はロング・フォーマット・フレームです。[図 43](#) および[表 9](#) に示すように、CRC 割込みビットがコマンド応答内にセットされます。

なお、次に要求された SPI フレームがショート・フォーマット・フレームの場合、マイクロコントローラは、ショート・フォーマット応答の受信を予想して、エラー応答を 48 ビットの断片に縮小する可能性があります。ショート・フォーマット応答でも、ロング・フォーマット応答でも、最初の 8 ビットは、コマンド・エコーであり、ここに CMD_CRC_ERR ビットが含まれます。CMD_CRC_ERR ビットがセットされている場合、ホストは、残りのパケットを破棄する必要があります。

アプリケーション情報

通信デバッグ機能

ADEMA124/ADEMA127 には、専用の SCRATCH レジスタがあり、これを用いることでテスト書き込み動作およびテスト読み出し動作が可能です。ハードウェア・リセット、ソフトウェア・リセット、あるいはスタンバイ・モードへの移行によってデフォルト値にリセットされない限り、各レジスタの内容が、ADEMA124/ADEMA127 によって変更されることはありません。

ADEMA124/ADEMA127 には、ADC データの取得のデバッグに役立つ、スタティック・モードとカウント・モードの 2 つのモードがあります。スタティック・モードとカウント・モードは、CONFIG0 レジスタの STREAM_DBG ビットに書き込みを行うことで有効化できます。これらのモードは、SPI ロング・フォーマットと SPI ショート・フォーマットのどちらの動作にも使用できます。

スタティック・モードが有効な場合、ADC 波形レジスタは、ADEMA124/ADEMA127 の DSP チャンネルによって更新されることはありません。ADC 波形レジスタは、SPI コマンドによって値が上書きされるまで、最後の ADC サンプルを保持します。このモードは、ホスト・ファームウェアによりデータ・ストリームから ADC サンプルが正しく引き出されていることを検証するのに用います。

ADC 波形レジスタに値を書き込んで保持するには、以下の手順を実行します。

1. STREAM_DBG をスタティック・モードに設定します。
2. DREADYピンがローになるまで待機します。
3. 必要な値を ADC 波形データ・レジスタに書き込みます。
4. 設定されたサンプル・レートに従ってDREADYがアサートされます。

カウント・モードでは、ADC 波形レジスタをそのレジスタの最後の値からインクリメントし始めます。カウント・モードを用いるのは、直後の ADC サンプルがホスト・ファームウェアによってキャプチャされ、失われたり複製されたりしていないことを確認するためです。なお、連続的な波形を ADC 波形レジスタに書き込む場合、予期せぬインクリメントを防ぐために、DREADY信号に同期させるよう注意してください。

ADC 波形レジスタに値を書き込んでインクリメントを開始するには、以下の手順を実行します。

1. STREAM_DBG をスタティック・モードに設定します。
2. DREADYピンがローになるまで待機します。
3. 必要な値を ADC 波形データ・レジスタに書き込みます。
4. STREAM_DBG をカウント・モードに設定します。
5. 設定されたサンプル・レートに従ってDREADYがアサートされます。DREADYのアサートごとに、すべての ADC 波形レジスタは 1 ずつインクリメントします。

STREAM_DBG を通常動作モードにするか ADEMA124/ADEMA127 をリセットして、デバッグ・モードを終了します。

表 13. STREAM_DBG ビットの構成

STREAM_DBG	Data Mode
0b00	Normal Mode
0b01	Static Mode
0b10	Count Mode

アプリケーション情報

デイジーチェーン

双方向のシリアル・ポート・インターフェース (SPI) は、デイジーチェーン接続に対応しており、必要なマイクロコントローラのピン数を減らしながら、すべてのレジスタにアクセスできます。SPIデイジーチェーン構成の場合、接続されているすべてのデバイスからのCS信号が共有されます。

デイジーチェーン・デバイスは、逐次シフト・レジスタとして機能します。図 54 の構成例では、データは、マイクロコントローラから ADEMA127、次いで ADEMA124、そして最終的に ADE9113 へとシフト・アウトされます。CSがローからハイに遷移すると直ちに、各デバイスのシフト・レジスタに含まれている SPI フレームの一部が解釈されます。図 55 に示す通信ビット・ストリームの例は、図 54 の回路例に対応しています。

ADEMA124/ADEMA127 レジスタ設定は、デイジーチェーン接続されたデバイスには不要です。しかし、ロング・フォーマット動作のセクションに示した SPI ロング・フレーム・フォーマットを通信用に用いる必要があります。デイジーチェーン接続デバイスの SPI フレーム全体は、デイジーチェーンで接続されている全デバイスの全ロング・フォーマット・パケットの合計でなくてはなりません。

デイジーチェーン接続デバイスは、同じクロック・ソースで動作する必要があります。クロック・ソースは外付けでも、ADEMA124/ADEMA127 により発生され CLKOUT ピンで共有されるものでも構いません。処理を要求するためにデイジーチェーンに必要なのは 1 つのDREADYピンのみです。サンプリングの同期の詳細については、複数デバイスの同期のセクションを参照してください。

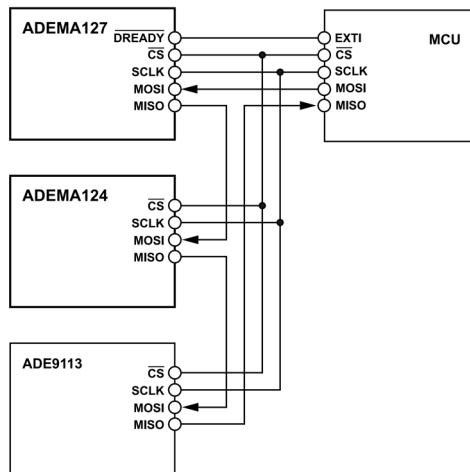


図 54. デイジーチェーン接続デバイスの例

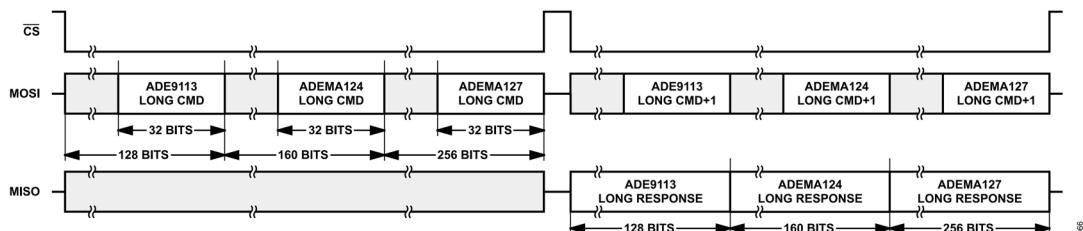


図 55. デイジーチェーン通信の例

個別対応

個別対応デバイスには、ショート・フォーマット・コマンドおよびロング・フォーマット・コマンドの両方を発することができます。

アプリケーション情報

データパス設定

ADEMA124 および ADEMA127 の ADC チャンネルはすべて、電気的特性および設定オプションが同じです。入力クロック・ソース、クロック・プリスケーラ、デシメーション・レート設定値は、すべての ADC チャンネルで共有されます。各 ADC チャンネルには、個別にハードウェア・フィルタと DSP フィルタがあり、これらは別々に設定できます。すべてのフィルタは、任意の設定出力サンプル・レートで使用できます。

標準的な 16.384MHz のクロック入力が使用できる場合、ADEMA124/ADEMA127 はパワーアップ後直ちに、32kSPS でサンプリングと ADC 波形データの生成を開始します。最初の 2 つの ADC 波形データ・セットは、図 56 に示すように、低レイテンシの sinc1 フィルタによって生成されます。スタートアップの詳細については、[高速スタートアップ](#)のセクションを参照してください。

ADEMA124/ADEMA127 のデータパスは SPI ポートを介して設定できます。設定ビット・フィールドは MMR にあり、DSP フィルタが有効な場合は DSP RAM もあります。設定ビット・フィールドは、デフォルトでは書き込みロックされています。詳細については、[設定ロックおよびアクセス・ビット](#)のセクションおよび[完全設定ロック](#)のセクションを参照してください。

DSP RAM の設定は、データパス設定レジスタ書き込みの後に行う必要があります。SPI アクセス可能レジスタおよび DSP RAM アドレスへの書き込みを行うためのプロセスを、[設定プロセッサ](#)のセクションに順を追って示します。レジスタの更なる詳細については、[レジスタの詳細](#)のセクションを参照してください。DSP RAM の詳細については、[DSP RAM の詳細](#)のセクションを参照してください。

複数デバイスの同期については、[複数デバイスの同期](#)のセクションで説明します。

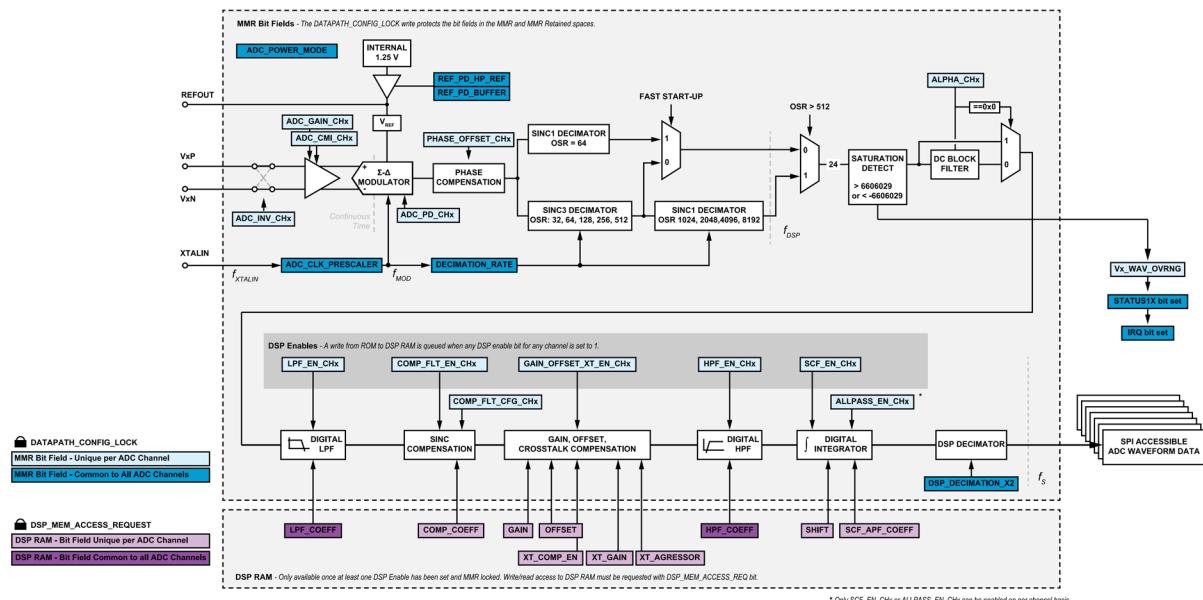


図 56. ADEMA124/ADEMA127 のデータパス

アプリケーション情報

アナログ入力

ADEMA124/ADEMA127の各チャンネルには、独立した2次の同時サンプリングΣ-Δコンバータがあります。各ADCチャンネルは、完全差動および擬似差動の入力構成に対応しており、それぞれがAGNDより高い電圧も低い電圧も可能です。

センサーの接続や外部回路についての一般的なガイダンスは、[センサーとADCのインターフェース](#)のセクションで説明します。

選択可能ゲイン

各ADCは1または2のゲインを個別に選択可能であり、これはADC_GAINレジスタで対応するADC_GAIN_CHxビットを設定することで行います。差動電圧範囲とシングルエンド電圧範囲は、選択したゲイン設定に基づいて同時に調整されます。仕様については、[表2](#)の差動電圧範囲とシングルエンド電圧範囲を参照してください。

ADC入力がオーバーレンジになると、フルスケール・コードが飽和します。オーバーラップや符号の変化はありません。オーバーレンジにより、そのイベントが発生したADCチャンネルに対応するVx_WAV_OVRNGビットがセットされます。オーバーレンジ指示の詳細については、[図56](#)および[図59](#)を参照してください。

コモンモード

各ADCチャンネルには、独立したコモンモード電圧範囲設定ビットADC_CMI_CHxがADC_CMIレジスタ内にあります。AC測定システムの標準的なCTおよび分圧器センサーは、AGND/DGNDを中心に振動し、コモンモード・オフセットは必要ありません。これがデフォルト設定です。

この機能により、外部アンプを1.2Vのコモンモード・オフセットで使用できるため、ブリアンプを必要とするロゴスキーコイル・センサーとのより良いインターフェースが可能になります。この機能は、チャンネル・ゲインが1の場合にのみ使用できます。所定チャンネルのADC_GAIN_CHxとADC_CMI_CHxをどちらも1に設定すると、無効な設定になります。

反転

ADC入力を反転することで、意図しない誤配線を容易に修正したり、設計の選択肢の1つとして用いることでPCBレイアウトをやりやすいものにしたりできます。各ADCチャンネルの反転は、ゲイン補償で負のゲイン値を設定することや、ADC_INVレジスタで対応するビットをセットすることで可能です。ADC_INV_CHxビットをセットすると、DSPフィルタを有効化するのに伴って消費電力が増加することなく、ADCチャンネルを反転できます。関連するGAIN[23:0]ビット・フィールドを-1に設定するのではなく、ADCチャンネルのADC_INV_CHxビットを用いることを推奨します。

ゲイン補償の詳細については、[ゲイン、オフセット、クロストークの補償](#)のセクションを参照してください。ADC_INVレジスタのビット・フィールド設定値を[表29](#)に示します。

電圧リファレンス

ADEMA124/ADEMA127には、低ノイズ、低ドリフトの内部バンドギャップ・リファレンスが内蔵されています。ADEMA124/ADEMA127の内部リファレンス電圧は、1.25Vとなるよう製造時に調整されています。ADEMA124/ADEMA127では、すべてのADCチャンネルの電圧リファレンス(V_{REF})として、デフォルトで1.25Vの内部電圧リファレンスが有効化されています。

外部電圧リファレンスをREFOUTピンに配線することもできます。内部リファレンスを無効化して内部電圧リファレンスと外部電圧リファレンスの競合を防止するには、CONFIG0レジスタのREF_PD_HP_REFビットとREF_PD_BUFFERビットのどちらも0にセットする必要があります。

REFOUTピンの入力インピーダンスを[表2](#)に示します。

アプリケーション情報

設定ロックおよびアクセス・ビット

ビット・フィールドは、3つのメモリ領域、つまり、保持 MMR、MMR、DSP RAM に明確に区切られています。保持 MMR 空間および MMR 空間の設定ビット・フィールドの場合、DATAPATH_CONFIG_LOCK ビットは、SPI 書込み保護されています。DSP RAM の設定ビット・フィールドの場合、DSP_MEM_ACCESS_REQ が SPI 書込み保護されています。どちらのビットもデフォルトでそれぞれの空間への SPI 書込みを防止します。各ビット・フィールドの具体的なメモリ位置を、図 56 に示します。

表 14 と表 15 に示すように、DATAPATH_CONFIG_LOCK および DSP_MEM_ACCESS_REQ のどちらにも、その他の機能があります。

表 14. DATAPATH_CONFIG_LOCK の機能

DATAPATH_CONFIG_LOCK State	Action
1	SPI write protect for the datapath configuration bit fields in Retained MMR and MMR active. SPI read operations in Retained MMR and MMR always allowed.
1->0	ADC conversion process halted.
0	SPI writes to configuration bit fields in Retained MMR and MMR allowed.
0->1	1. If any LPF_EN_CHx, COMP_FILT_EN_CHx, GAIN_OFFSET_SET_XT_EN_CHx, HPF_EN_CHx, or SCF_EN_CHx bit is high, DSP RAM is activated. a. Once DSP RAM activated, a ROM to DSP RAM write of all DSP RAM bit fields is initiated. The specific values written to DSP RAM are determined by the DATA-RATE bit field and the individual channel configurations of the ALLPASS_EN_CHx, SCF_EN_CHx and COMP_FILT_CFG_CHx bits ¹ . 2. ADC conversion process begins.

¹ DSP RAM に読み込まれるデフォルトの DSP フィルタ係数はすべて、16.384MHz の fXTALIN を基準としています。

表 15. DSP_MEM_ACCESS_REQ の機能

DSP_MEM_ACCESS_REQ State	Action
0	SPI write protect for the datapath configuration bit fields in DSP RAM active. SPI read operations in DSP RAM not allowed. Read attempts return 0x00 regardless of bit field content.
0->1	-
1	SPI writes to configuration bit fields in DSP RAM allowed. SPI read operations in DSP RAM allowed.
1->0	-

設定プロセスの順を追った詳細な説明については、[設定プロセス](#)のセクションを参照してください。

設定の完了後、ビット・フィールドのより大きなグループを WR_LOCK ビットでロックすることもできます。詳細については、[完全設定ロック](#)のセクションを参照してください。

ADC の伝達関数

高精度な測定を行うにはキャリブレーションが必要です。ADC のゲイン誤差、オフセット誤差、ゲイン・ドリフト、オフセット・ドリフトは測定に影響します。出力コードは、ゲイン設定が 1 の場合は式 3、ゲイン設定が 2 の場合は式 4 の ADC 伝達関数で近似できます。ADC_INV_CHx をセットするとチャンネル入力が反転します。ADC の伝達関数は、データパス・フィルタの影響を除去するために DC 入力を仮定しています。

$$\begin{aligned} \text{Typical Output Code, Gain of } 1 = & \frac{7}{8} \\ & \times \frac{V_{xP} - V_{xM}}{V_{REF}} \times 2^{23} \end{aligned} \quad (3)$$

$$\begin{aligned} \text{Typical Output Code, Gain of } 2 = & \frac{7}{4} \\ & \times \frac{V_{xP} - V_{xM}}{V_{REF}} \times 2^{23} \end{aligned} \quad (4)$$

図 56 に示すように、コードが 6606029 より大きいか→6606029 より小さい場合、飽和が検知されると Vx_WAV_OVRNG ビットがラッ奇されます。STATUS1 レジスタ・ビットがクリアされるまで、Vx_WAV_OVRNG ビットはラッ奇されたままになります。

出力サンプル・レート

出力サンプル・レート (f_s) は、外部クロック・ソースおよび DATARATE レジスタのビット・フィールド設定値によって設定されます。有効な f_s の設定は、式 5 を満たすと共に、式 6 と式 7 のタイミング制約条件を満たします。ADC_POWER_MODE をデフォルト設定値とは異なる値に設定すると、有効な最大 fMOD 周波数が減少します。

$$\begin{aligned} & 5 + \text{ADC_CLK_PRESCALER} \\ & + \text{DECIMATION_RATE} \\ & + \text{DSP_DECIMATION_X2} \leq 16 \end{aligned} \quad (5)$$

アプリケーション情報

ADC_CLK_PRESCALER、DECIMATION_RATE、
DSP_DECIMATION_X2 のビット・フィールドの値は、式 5 の計算を行うために直接引き出されます。

$$f_{MOD} \leq 2.048MHz \quad (6)$$

$$f_{DSP} \leq 64MHz \quad (7)$$

ADEMA124/ADEMA127 の f_s は、式 8 です。

$$f_s = \frac{f_{XTALIN}}{2^x} \quad (8)$$

ここで、

$$x = 5 + \text{ADC_CLK_PRESCALER} + \text{DECIMATION_RATE} + \text{DSP_DECIMATION_X2}$$

計算例：DATARATE レジスタ設定値がデフォルト値、ADC クロック・プリスケーラが 8 (ADC_CLK_PRESCALER = 0x3)、デシメーション・レートが 64 (DECIMATION_RATE = 0x1)、DSP デシメーションをオフ (DSP_DECIMATION_X2 = 0x0) の場合、出力サンプル・レートは 32kSPS になります。

$$f_s = \frac{16.384MHz}{2^{5+0x3+0x1+0x0}} = 32kSPS \quad (9)$$

表 16 に示すように、16.384MHz のデフォルト入力クロック周波数は、推奨設定値の下で、64kSPS、32kSPS、16kSPS、8kSPS、4kSPS、2kSPS、1kSPS、500SPS、250SPS の出力サンプル・レートを生成できます。中間的な出力サンプル・レート、あるいは更に低いサンプル・レートの場合、より低い入力クロック周波数を供給する必要があります。使用可能な設定値と詳細については、表 30 の DATARATE レジスタを参照してください。

デシメーション率 2 の機能 (DSP_DECIMATION_X2=1) を用いるには、すべてのアクティブな ADC チャンネルの LPF_EN_CHx ビットを 1 にセットして、ナイキスト周波数を超える周波数からのフォールドバックを防止する必要があります。

表 16. フル性能モードに推奨される DATARATE 設定値

f_s , when $f_{XTALIN} = 16.384MHz$	DATARATE Setting	DSP Decimate-by-2	Over Sample Rate
64kSPS	0x30	-	32
32kSPS	0x31 (default)	-	64
16kSPS	0x32	-	128
8kSPS	0x33	-	256
4kSPS	0x34	-	512
2kSPS	0x35	-	1,024
1kSPS	0x36	-	2,048
500SPS	0x37	-	4,096
250SPS	0x38	-	8,192
32kSPS	0xB0	Enabled	64
16kSPS	0xB1	Enabled	128
8kSPS	0xB2	Enabled	256
4kSPS	0xB3	Enabled	512
2kSPS	0xB4	Enabled	1,024
1kSPS	0xB5	Enabled	2,048
500SPS	0xB6	Enabled	4,096

表 16. フル性能モードに推奨される DATARATE 設定値（続き）

f_s , when $f_{XTALIN} = 16.384MHz$	DATARATE Setting	DSP Decimate-by-2	Over Sample Rate
250SPS	0xB7	Enabled	8,192

位相補償

ADEMA124/ADEMA127 のデータパスは、チャンネル間の不均等な位相誤差およびデータバス・レイテンシを補償できます。

ADEMA124/ADEMA127 は、ADC 波形データを生成するために用いられる ADC サンプル・セットの開始を調整することによって、チャンネル間の位相遅延とレイテンシの差を補償します。ADC サンプル周期 ($1/f_s$) の整数倍の位相遅延差は、ADEMA124/ADEMA127 を処理するマイクロコントローラによって容易に分類できます。すべてのチャンネルは、チャンネルが最大位相遅延と正確に一致するか、サンプル周期差 ($1/f_s$) の整数倍となるように調整できます。

目標位相遅延は、式 10 に従って PHASE_OFFSET_CHx で設定されます。

$$\text{Fine Phase Offset} = \frac{\text{PHASE_OFFSET_CHx}[12:0]}{f_s \times 8192} \quad (10)$$

位相オフセットの分解能は、 f_{MOD} と位相インターポレータによって決まります。ADEMA124/ADEMA127 のすべてのアクティブな ADC チャンネルは、すべての動作条件で同時にサンプリングを行います。位相インターポレータは、実際のシグマ・デルタ・モジュレータのサンプル間に 1/4 ステップで仮想サンプルを生成します。

$$\text{PHASE_OFFSET Resolution} = \frac{1}{f_{MOD} \times 4} \quad (11)$$

目標位相遅延設定値が、その分解能で均等に分割できない場合、そのチャンネルの位相遅延は分解能の整数倍になるよう端数が切り捨てられます。

位相遅延は、式 12 によって、所定周波数での角度に変換できます。

$$\begin{aligned} \text{phase_delay}(\circ) &= 360^\circ \\ &\times \frac{\text{PHASE_OFFSET_CHx}[12:0]}{f_{MOD} \times 8192} \times \text{decimation_rate} \\ &\times f_{LINE} \end{aligned} \quad (12)$$

sinc デシメーション・フィルタ

SΔ モジュレータからの 3 ビットのサンプルは、sinc デシメーション・フィルタにおいて 24 ビットの波形データにダウンサンプリングされます。フィルタは、3 次の櫛形カスケード積分器 (CIC) フィルタとその後段の 1 次 CIC フィルタで構成され、1024 を超えるオーバー・サンプル・レートに対応できます。

ADEMA124/ADEMA127 は、パワーアップ後直ちに 64 のオーバー・サンプル・レートでサンプリングを開始します。出力のセッティング・タイムを減少するために、最初の 2 つのサンプルは sinc1 フィルタによって生成されます。3 番目以降のサンプルは sinc3 フィルタによって生成されます。

アプリケーション情報

表 17. フル性能モードおよび $f_{XTALIN} = 16.384\text{MHz}$ に推奨される DATARATE 設定値

DECIMATION_RATE Setting	Sinc3 OSR	Sinc1 OSR	Over Sample Rate	Latency	Latency ¹ (μs)
0000	32	-	32	$48.5/f_{MOD}$	23.7
0001	64	-	64	$96.5/f_{MOD}$	47.1
0010	128	-	128	$192.5/f_{MOD}$	94.0
0011	256	-	256	$384.5/f_{MOD}$	188
0100	512	-	512	$768.5/f_{MOD}$	375
0101	512	2	1,024	$1,024.5/f_{MOD}$	500
0110	512	4	2,048	$1,536.5/f_{MOD}$	750
0111	512	8	4,096	$2,560.5/f_{MOD}$	1,250
1000	512	16	8,192	$4,608.5/f_{MOD}$	2,250

1 $f_{XTALIN} = 16.384\text{MHz}$, $f_{MOD} = 2.048\text{MHz}$ 。

DC ブロック・フィルタ

DC ブロッキング・フィルタのブロック図を、図 57 に示します。伝達関数のアルファの値は、 ALPHA_CHx レジスタで設定され、

アルファ = $2 - (2 \times \text{ALPHA_CHx})$ です。デフォルトおよび ALPHA_CHx ビット・フィールドが 0x0 にセットされている場合、DC ブロック・フィルタは、バイパスされます。

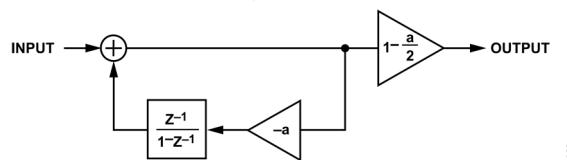


図 57. DC ブロック・フィルタの伝達関数

表 18. DC ブロックの特性

f_s	ALPHA_CHx	Pass-Band Attenuation (50Hz)	Pass-Band Attenuation (60Hz)	-3dB Corner
32kSPS	1/4	29.28	27.70	1,453.90
	1/16	16.45	14.91	328.29
	1/64	5.52	4.45	80.32
	1/128	2.14	1.59	39.99
	1/512	0.16	0.11	9.97
	1/4,096	0.00	0.00	1.25
	1/32,768	-0.01	-0.01	0.19
16kSPS	1/4	23.27	21.70	719.61
	1/16	10.71	9.29	162.76
	1/64	2.15	1.60	40.15
	1/128	0.64	0.45	23.16
	1/512	0.04	0.02	4.98
	1/4,096	0.00	0.00	0.62
	1/32,768	-0.01	-0.01	0.14
4kSPS	1/4	11.52	10.07	184.34
	1/16	2.23	1.66	41.00
	1/64	0.17	0.11	9.57
	1/128	0.04	0.02	4.98
	1/512	0.00	0.00	1.25
	1/4,096	-0.01	-0.01	0.16
	1/32,768	-0.01	-0.01	0.15

アプリケーション情報

デジタル・ローパス・フィルタ (LPF)

各ADCチャンネルには、DATAPATH_CONFIG_CHx レジスタに独立したイネーブル・ビット LPF_EN_CHx があり、デジタル・ローパス・フィルタを個別に使用できます。ただし、DSP のデシメーション率 2 の機能を用いてデジタル LPF を用いると、所定の fs に対する信号帯域幅が大きくなります。

LPF_COEFF_B1～LPF_COEFF_B17 のビット・フィールドを設定することにより、デジタル・ローパス・フィルタを調整できます。

$$H[Z] = B0 \cdot Z^{-0} + B1 \cdot Z^{-1} + B2 \cdot Z^{-2} + B3 \cdot Z^{-3} \dots + B17 \cdot Z^{-17} \quad (13)$$

sinc 補償フィルタ

sinc 補償フィルタは、ゲインを加えることによってより高い周波数でのロール・オフを補正し、周波数応答を平坦化します。sinc 補償フィルタをオンにした場合とない場合のパスバンド平坦性を、[帯域幅およびパスバンド平坦性](#)のセクションに示します。

各チャンネルの補償フィルタは、対応する COMP_FLT_EN_CHx ビットを 1 に設定することによって有効化されます。DATAPATH_CONFIG_LOCK が 1 にセットされている場合、設定ビットとデシメーション・レートに基づき、一組の DSP フィルタ係数が ROM から COMP_COEFF_B0～COMP_COEFF_B6 のアドレスの RAM に読み込まれます。

設定ビット COMP_FLT_CFG_CHx は、フィルタの特性を設定します。COMP_FLT_CFG_CHx=0 に設定すると sinc のドープルのみを補償し、COMP_FLT_CFG_CHx=1 に設定すると sinc のドープルと、外部の 8kHz 帯域制限フィルタによって生じる歪みを補償します。

$$H[Z] = B0 \cdot Z^{-0} + B1 \cdot Z^{-1} + B2 \cdot Z^{-2} + B3 \cdot Z^{-3} + B4 \cdot Z^{-4} \quad (14)$$

ゲイン、オフセット、クロストークの補償

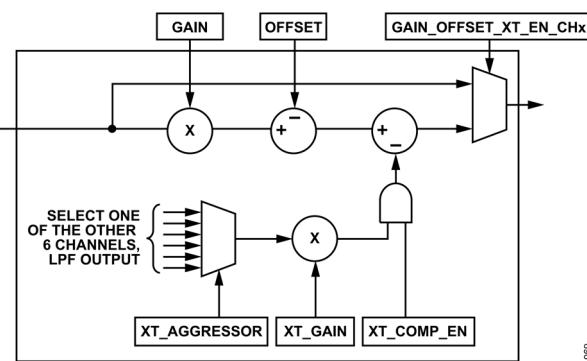


図 58. ゲイン、オフセット、クロストークの補償

DATAPATH_CONFIG_CHx レジスタの GAIN_OFFSET_XT_CHx ビットをセットすることにより、チャンネルごとにゲイン、オフセット、クロストークを補償できます。

ゲイン設定値は、DSP RAM にある各 ADC チャンネルの個別の GAIN[23:0] ビット・フィールドに書き込まれます。受信データ・ストリームは、このレジスタの値だけ乗算されます。負のゲイン補償値を入力すると、波形データが反転します。負のゲイン補償値を用いると、アッセンブリ時の誤配線を補正することができます。設計の選択肢を増やすことができます。

GAIN の範囲は ± 2 です。ゲインの値は、符号付き 2.22 フォーマットで入力されます。2.22 とは、式 15 に示すように、22 ビット分右にシフトされた 24 ビットの 2 の補数フォーマットという意味です。

$$\text{ADC Channel Gain} = \frac{\text{GAIN}[23:0]}{2^{22}} \quad (15)$$

表 19. 2.22 フォーマットの例

GAIN_HI	GAIN_MD	GAIN_LO	Decimal Gain Value Equivalent
00.11 1110	1000 0000	0000 0000	0.9765625
01.00 0000	0000 0000	0000 0000	1
11.00 0000	0000 0000	0000 0000	-1
10.11 0001	0000 0000	0000 0000	-1.234375

オフセット設定値は、DSP RAM にある各 ADC チャンネルの個別の OFFSET[23:0] ビット・フィールドに書き込まれます。これらの値は、ADC コードの 2 の補数表記であり、ADC 波形レジスタと同じフォーマットです。機能するオフセット範囲は、 $\pm 1.5V$ です。負のオフセット値は、正のオフセットを発生し、同様に正のオフセット値は負のオフセットを発生します。図 58 に従い、オフセット補償の前にゲイン補償が適用される点に注意してください。

各 ADC チャンネルの GAIN[23:0] および OFFSET[23:0] に対する DSP RAM アドレスを、表 33 に示します。

クロストーク補償

クロストーク補償を用いると、1 つの ADC チャンネルからのサンプルを別のサンプルから差し引くことができます。アグレッサ・チャンネルのタップがそれぞれのチャンネルの LPF 出力から取られます。LPF は有効化することも無効化することもできます。

ゲイン設定値は、DSP RAM にある各 ADC チャンネルの個別の XT_GAIN[23:0] ビット・フィールドに書き込まれます。アグレッサ・チャンネルのゲインの値は、符号付き 2.22 フォーマットで入力されます。

デジタル・ハイパス・フィルタ (HPF)

ハイパス・フィルタは、正確な実効値および電力量計測のために DC オフセットを除去します。デジタル HPF は、デフォルトでは無効化されています。DATAPATH_CONFIG_CHx レジスタの HPF_EN_CHx ビット・フィールドをセットすることによって、ADC チャンネルごとにデジタル HPF を有効化できます。fXTALIN = 16.384MHz の場合、デジタル HPF のコーナ一周波数は、10Hz に設定されます。

HPF フィルタが有効な場合に HPF_COEFF_B0、HPF_COEFF_B1、HPF_COEFF_B2、HPF_COEFF_A1、HPF_COEFF_A2 に読み込まれる HPF 係数の値は、DECIMATION_RATE の設定値によって決まります。フィルタの特性は調整可能です。詳細については、式 16 の HPF フィルタ伝達関数と、[設定プロシージャ](#) のセクションを参照してください。

アプリケーション情報

$$H(z) = \frac{B0 + B1 \cdot z^{-1} + B2 \cdot z^{-2}}{1 + A1 \cdot z^{-1} + A2 \cdot z^{-2}} \quad (16)$$

表 20. デジタル・ハイパス・フィルタの位相応答

Output Sample Rate (SPS)	Phase Response at 50Hz (°)	Amplitude Response at 50Hz (dB)
64,000	16.407043	-0.005443
32,000	16.408815	-0.005181
16,000	16.408806	-0.004744
8,000	16.411425	-0.002658
4,000	16.405784	-0.002284
2,000	16.381072	-0.002178
1,000	16.281255	-0.002187
500	15.879128	-0.002052
250	14.226326	-0.001711

デジタル積分器およびオールパス・フィルタ

ADEMA124/ADEMA127 のユーザ・プログラマブルな積分器は、ロゴスキー・コイル・センサーの補償専用に設計されています。漏れ積分器フィルタは、1 次の IIR フィルタであり、 $\frac{d}{dt}$ 電流センサーとのシームレスな互換性を可能にします。ロゴスキー・コイル・センサー出力は、周波数範囲全域で 1 ディケードあたり 20dB の割合で増加します。この増加を補償するために、デジタル積分器は、1 ディケードあたり -20dB のゲインを約 -90° の位相シフトで適用します。

各 ADC チャンネルには、DATAPATH_CONFIG_CHx レジスタにおいて、デジタル積分器用に SCF_EN_CHx、オールパス・フィルタ用に ALLPASS_EN_CHx のイネーブル・ビットが個別に備わっています。各チャンネルのフィルタの選択は、相互に排他的であるため、同じチャンネルでデジタル積分器とオールパス・フィルタを同時に有効化することはできません。

DATAPATH_CONFIG_LOCK が 1 にセットされている場合、DECIMATION_RATE レジスタの設定に基づき、また、ADC チャンネルごとに SCF_EN_CHx と ALLPASS_EN_CHx の設定に基づき、デフォルトの DSP 係数が、DSP RAM 内の SCF_APF_COEFF_B0[23:0]、SCF_APF_COEFF_B1[23:0]、SCF_APF_COEFF_A1[23:0] のアドレスに読み込まれます。

式 17 に SCF の伝達関数を示します。

$$H(z) = \frac{B0 + B1 \cdot z^{-1}}{1 + A1 \cdot z^{-1}} \quad (17)$$

SHIFT 関数は、積分器の前のわずかな入力信号を左にシフトさせ、小信号に伴って発生する量子化ノイズを低減します。

チャンネルのレイテンシを調整するために、オールパス・フィルタを使用できます。このフィルタは、sinc フィルタおよび帯域制限フィルタからの予測可能な位相誤差と振幅誤差を補正することによって、非ロゴスキー信号経路がより高い計測精度クラスを満たすのをサポートします。

様々なデータバス・オプションを有効にした ADEMA124/ADEMA127 のレイテンシの詳細については、変換のレイテンシのセクションを参照してください。

ALLPASS_EN_CHx イネーブル・ビットは DSP を有効化しません。また、オールパス・フィルタがアクティブになるためには、いずれかの DATAPATH_CONFIG_CHx レジスタにおいて少なくとも 1 つの LPF_EN_CHx、COMP_FLT_EN_CHx、GAIN_OFFSET_XT_EN_CHx、HPF_EN_CHx または SCF_EN_CHx ビットがハイにセットされることが必要です。

完全設定ロック

設定ロック機能は、ADEMA124/ADEMA127 の設定が変更されるのを防ぎます。設定ロック機能が有効化されている場合、書き込み可能な設定レジスタを変更することはできません。この機能を有効にするには、ロック・キーを WR_LOCK レジスタに書き込みます。この機能を無効にするには、アンロック・キーを書き込みます。詳細については、表 30 の WR_LOCK の行を参照してください。

設定プロシージャ

いずれかのデータバス設定レジスタに書き込みが行われている間、アナログ・デジタル変換プロセスは停止する必要があります。DATAPATH_CONFIG_LOCK ビットは、安全に停止を行い、新たなレジスタ設定が適用されるとデータ変換を再開するための機構です。レジスタ値を設定するのに必要なのは以下の手順のみです。

1. データバスをアンロックします。
DATAPATH_CONFIG_LOCK = 0 に設定します。
2. データバス設定レジスタをすべて変更します。
3. データバスをロックします。DATAPATH_CONFIG_LOCK = 1 に設定します。
4. DREADY ピンがローにセットされるまで待機します。
DREADY ピンがローに遷移することで、ADC 動作が再開し、内蔵 ROM から DSP RAM への書き込みがすべて完了したことが示されます。このプロセスには約 40μs を要します。プロセスが完了するまで、SPI トランザクションを実行しないでください。

いずれかの DSP RAM アドレスを書き込むには追加のステップが必要であり、これが ADEMA124/ADEMA127 設定の最終ステップでなくしてはなりません。いずれかの DATAPATH_CONFIG_CHx レジスタで DSP フィルタが有効化されている場合、DATAPATH_CONFIG_LOCK = 1 に設定すると、DSP 係数が ROM から SPI アクセス可能なすべての DSP RAM アドレスに読み込まれます。この動作によって、DSP RAM に保存されたすべての値が上書きされることに注意してください。DSP RAM に書き込みを行うには、DSP_MEM_ACCESS_REQ ビットを用いたメモリ・アクセス要求が必要です。

レジスタ値と DSP RAM 値の両方を書き込むには、以下の手順を正確に実行して、DSP RAM への変更が有効になるようにしてください。

1. データバスをアンロックします。
DATAPATH_CONFIG_LOCK = 0 に設定します。
2. データバス設定レジスタをすべて変更します。
3. データバスをロックします。DATAPATH_CONFIG_LOCK = 1 に設定します。
4. DREADY ピンがローにセットされるまで待機します。
DREADY ピンがローに遷移することで、ADC 動作が再開し、内蔵 ROM から DSP RAM への書き込みがすべて完了したことが示されます。このプロセスには約 40μs を要します。プロセスが完了するまで、SPI トランザクションを実行しないでください。

アプリケーション情報

5. DSP メモリ・アクセスを要求します。 **DSP_MEM_ACCESS_REQ=1** に設定します。
6. DSP の動作が停止するまで待機します。 **DSP_MEM_ACCESS_READY=1** となるまで、STATUS2 レジスタから読み出します。
7. 表 33 と表 34 の DSP 係数をすべて変更します。
8. **DSP_MEM_ACCESS_REQ=0** に設定します。
9. ADC 波形サンプルは直ちに有効になりますが、フィルタには、データパス設定に応じたセトリング・タイムがあります。

ステータス・レジスタおよび IRQ

IRQ ビットは、システム・イベントに応じて設定可能な割込みです。IRQ ビットをトリガするイベントは、MASK0、MASK1、MASK2 の各レジスタの対応するビットを 1 にセットすることによって設定されます。

IRQ ビットは、図 43 および表 9 に示すように、SPI 応答フレームごとにコマンド・エコー・ビット・フィールドの一部として返されます。SPI 動作は、表 21 に示すように、ステータス・レジスタの詳細を様々なレベルで返します。

表 21. SPI 動作別のステータス・レジスタおよび IRQ

SPI Response	IRQ	STATUS0	STATUS1	STATUS2
Error	✓			
Short Read	✓	✓		
Short Read, ADC	✓			
Waveform				
Short Write	✓	✓		
Long Read	✓	✓	✓	
Long Write	✓	✓	✓	

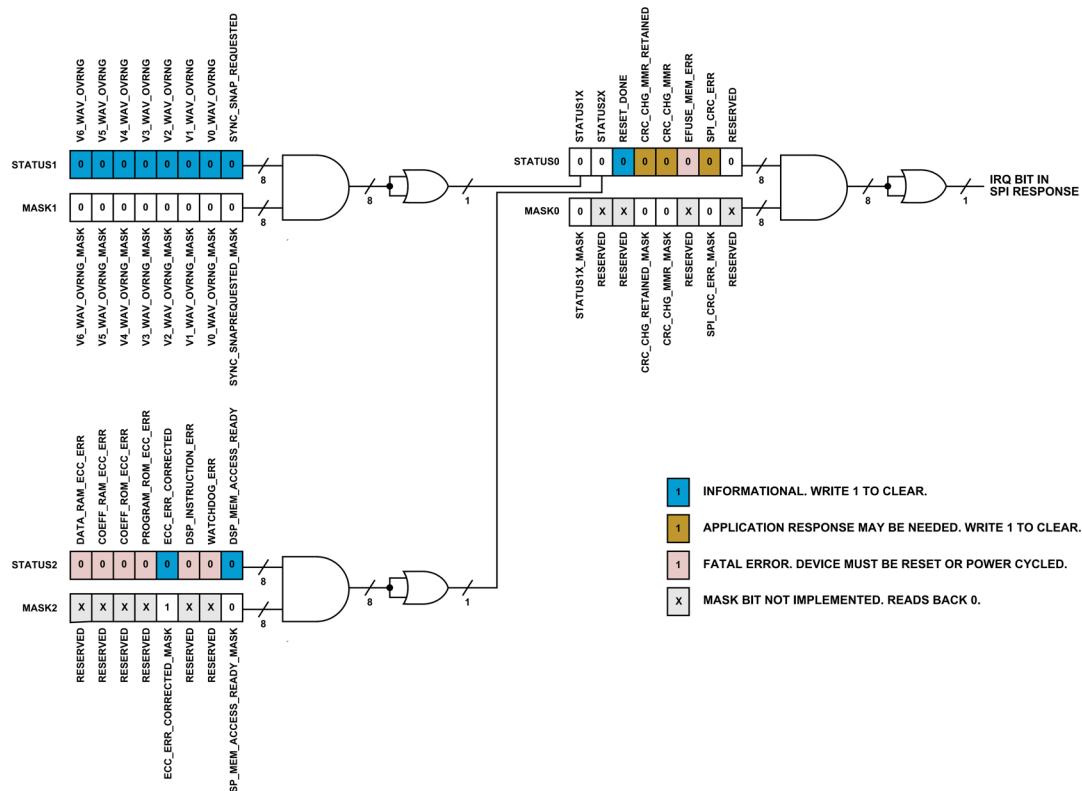


図 59. IRQ の生成

ADEMA124/ADEMA127 の STATUS0、STATUS1、STATUS2 の各レジスタ内のビットは、デバイスの状態を示します。STATUS0 レジスタおよび STATUS1 レジスタは、すべてのロング SPI トランザクションの一部としてリードバックされ、STATUS0 はほとんどのショート SPI トランザクションの一部としてリードバックされます。STATUS0 は、ショート・フォーマットの波形レジスタ読み出しの特別な場合には返されません。パワーアップ時、ADEMA124/ADEMA127 は、STATUS0 レジスタの RESET_DONE を 1 にセットすることによりリセット期間が終了したことを伝え、IC を設定する準備ができていることを示します。ADEMA124/ADEMA127 が受信したそれまでの SPI コマンドに CRC エラーが検出された場合、SPI_CRC_ERR が 1 にセットされます。

STATUS1 には、すべての ADC チャンネルのオーバーレンジ状態が含まれています。これらのビットは W1C です。ADC データを取得している間に STATUS1 レジスタへ連続的な書込みが行われた場合、サンプルが永続的に範囲外であることを示しています。

STATUS2 レジスタの DATA_RAM_ECC_ERR、COEFF_RAM_ECC_ERR、COEFF_ROM_ECC_ERR、PROGRAM_ROM_ECC_ERR、DSP_INSTRUCTION_ERR、WATCHDOG_ERR は、重大なフォルトがあることを示します。これらのエラーは、マスク不可能であり、STATUS0 レジスタの STATUS2X ビットと SPI コマンド応答の IRQ ビットの両方を

アプリケーション情報

セットします。これらのエラーが生じた場合、ADEMA124/ADEMA127のリセットが必要です。リセットの前にSTATUS2 レジスタを読み出すと、ADEMA124/ADEMA127 内のエラーの原因についての知見が得られます。

WATCHDOG_ERR ビットは、重大なフォルト状態の後にセットされる場合があります。このビットは、ハードウェア開発時にトリガされた場合、設定された ADC サンプル・レートに対して DSP がアンダーコロック状態であることを示します。

STATUS2 レジスタの DSP_MEM_ACCESS_READY ビットは、ACCESS_EXTENDED_MMAP レジスタの DSP_MEM_ACCESS_REQ ビットへのハンドシェイク応答です。これらのビットを用いる必要のある動作を、[設定プロシージャ](#) のセクションに示します。

CRC 保護

ADC の波形データの整合性を確保することは、電力量計アプリケーションにおいて極めて重要です。ADEMA124/ADEMA127 には、双方向 SPI 通信と、MMR における ADC 波形データに影響する設定を保護するための、4 つの独自な CRC があります。DSP RAM 空間はすべて ECC によって保護されています。

SPI コマンドの CRC

ADEMA124/ADEMA127 の SPI コマンドには、8 ビット CRC エラー検出スキームがあります。CRC はデフォルトで有効化されており、受信 SPI コマンド・フレームごとに計算されます。SPI コマンドが実行されるのは、受信 CRC が計算値に一致した場合のみです。CRC が一致しない場合、その SPI コマンドは無視され、SPI_CRC_ERR ビットがセットされます。また、それに応じて ADEMA124/ADEMA127 は SPI コマンド・エラー応答フレームを送信します。SPI_CRC_ERR ビットは W1C です。

コマンド・パケットで必要な 8 ビット CRC は、[表 8](#) の SPI コマンド・ビット[31:8]全体にわたり計算されます。[表 22](#) の多項式が用いられます。

表 22. SPI コマンドの CRC

Description	Characteristic
Polynomial	$x^8 + x^2 + x + 1$
Seed	0x00
XOR	0x55

SPI コマンドの CRC を無効化するには、CONFIG0 レジスタの CRC_EN_SPI_WRITE ビットをクリアします。CRC を無効化するショート・フォーマット・コマンドの 16 進数表示は、00 02 C0 31 です。ロング・フォーマットの無効化は、40 02 C0 B7 です。

アプリケーション情報

SPI コマンド応答の CRC

ADEMA124/ADEMA127からの各応答は、表 23 に示す 16 ビット CRC によって保護されます。初期値が 0xFFFF であるため、ゼロ入力に対し非ゼロの出力が確保されます。

表 23. SPI コマンド応答の CRC

Description	Characteristic
Polynomial	$x^{16} + x^{12} + x^5 + 1$
Seed	0xFFFF
XOR	None

ADEMA124 のロング読出し応答、ロング書き込み応答、コマンド・エラー応答パケットに対する CRC_CCITT は、ビット

[159:16]にわたって計算されます。ADEMA127 のロング読出し応答、ロング書き込み応答、コマンド・エラー応答パケットに対する CRC_CCITT は、ビット[255:16]にわたって計算されます。ショート・フォーマット応答パケットの CRC_CCITT は、ADEMA124 と ADEMA127 のどちらの場合もビット[47:16]にわたって計算されます。

マイクロコントローラは、ADEMA124/ADEMA127 が生成する 16 ビット CRC_CCITT を、無視することや取得しないことができます。SPI コマンド・ビット・フィールドの位置は、図 60 に示すように、CSピンがローからハイに遷移することによって示される点に注意してください。ショート・パケットの場合、それに合わせて SPI パケットがオンの長さを調整する必要があります。

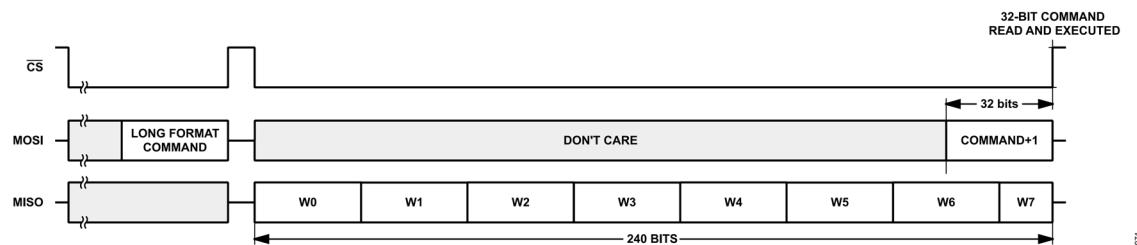


図 60. ADEMA127 のロング・フォーマット（16 ビット CRC_CCITT は不取得）

アプリケーション情報

設定レジスタのバックグラウンド CRC

約 8ms ごとに、2つの独立した 16 ビット CRC が、保持 MMR および MMR の設定ビット・フィールドについて計算されます。保持 MMR からの結果は CRC_RESULT_MMR_RETAINED ビット・フィールド、MMR の結果は CRC_RESULT_MMR ビット・フィールドに格納されます。CRC_RESULT_MMR_RETAINED ビットおよび CRC_RESULT_MMR ビットのデフォルト値は、デフォルト設定での CRC 結果です。CRC 結果に変化があった場合、STATUS0 内の CRC_CHG_MMR_RETAINED ビットまたは CRC_CHG_MMR ビットがセットされます。

設定レジスタの CRC 計算は、CRC_FORCE_MMR_RETAINED ビットまたは CRC_FORCE_MMR ビットに書き込むことによって、8ms ごとにスケジュールされた計算をバイパスして、コマンドで実行することもできます。CRC_FORCE ビットは計算が完了すると自動的にクリアされ、対応する CRC_DONE_MMR_RETAINED ビットまたは CRC_DONE_MMR ビットは計算が完了するとセットされます。

DSP RAM ECC

ECC は、外部環境の問題による個々のビット・エラーから保護します。

ECC は、DSP RAM の 3 連続バイトごとに計算されます。ECC の値は内部的なものであり、読み出すことはできません。DSP RAM でのエラーは、STATUS2 レジスタに報告されます。

センサーと ADC のインターフェース

ADEMA124/ADEMA127 のインピーダンスは、選択されたプログラマブル・ゲインによって異なります。入力信号の内部バッファ処理はありません。詳細については、表 2 の差動入力インピーダンス仕様を参照してください。

ADC の入力設定オプションの詳細については、[アナログ入力](#) のセクションを参照してください。

アンチエイリアシング・フィルタ

エイリアシングは、すべてのサンプル対象システムのアーキテクチャであり、アーキテクチャとは無関係です。エイリアシングは、入力信号のうち、出力サンプリング・レート f_s の半分より高い周波数成分を指します。これは、サンプリング・レートの半分未満の周波数でサンプリングされた信号に現れます。サンプリング周波数 $f_{Nyquist}$ の半分より高い周波数成分は、図 61 に示すように、イメージングまたはフォールドバックされます。

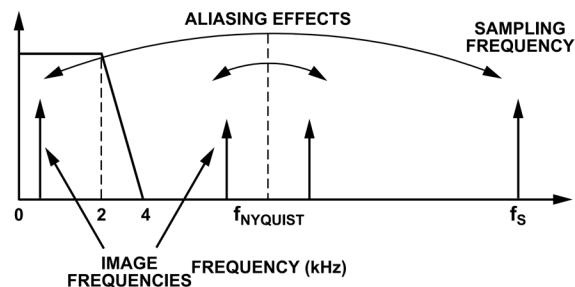


図 61. エイリアシングの影響

アンチエイリアシング・フィルタのカットオフ周波数 (f_c) の選択は、帯域外信号が十分に減衰するよう、出力サンプル・レートのナイキスト周波数に基づいて行います。信号間に位相誤差が生じるのを避けるため、同じカットオフ周波数が、電流センサーと電圧センサーの両方のすべての VxP ピンおよび VxM ピンに対して用いられます。フィルタ・コンデンサは、温度係数が低い NP0 または C0G のタイプであることが必要です。式 18 の R_{th} は、ADC 入力ピンとアンチエイリアシング・フィルタのコンデンサで共有されるノードでのテブナン等価抵抗です。

$$f_c = \frac{1}{2\pi \times R_{th} \times C} \quad (18)$$

電流センサーおよび電圧センサーとのインターフェース

図 62 に、ADC チャンネルへの擬似差動入力信号を生成する、メインの電圧を測定するためのインターフェース回路を示します。図 63 に示すように、負荷抵抗がセンター・タップにあるカント・トランジス (CT) が、ADC 入力に差動の逆相信号を発生します。図 64 に、ロゴスキー・コイル電流センサーに接続するための推奨回路を示します。

計量アプリケーションは、クリッピングすることなくすべてのシステム状態において正確に計量を行うために、電圧および電流センサーの出力に比例しなくてはなりません。公称システム電圧が印加された場合、電圧センサーは通常、ADC のフルスケール範囲 (FSR) の約 2/3 に比例します。電流センサー出力は通常、公称レベルの FSR の 1/2 に比例するだけで、正確な突入電流測定が可能です。各チャンネルの差動電圧範囲とコモンモード電圧範囲は、ゲイン設定によって異なります。ADC のアナログ入力範囲を表 2 に示します。

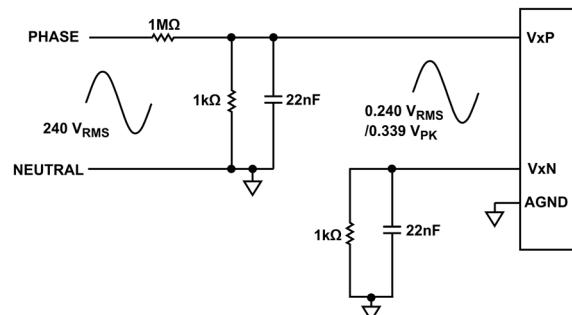


図 62. 抵抗分圧器を通じて検出される位相電圧
(1x のゲイン、擬似差動入力)

アプリケーション情報

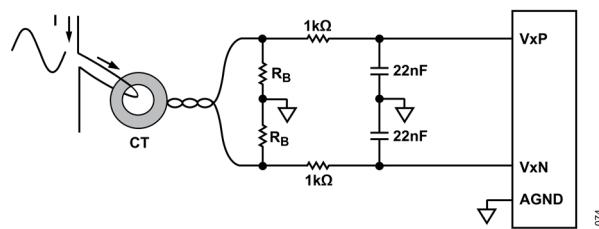


図 63. カレント・トランスの電流センサー・インターフェース回路

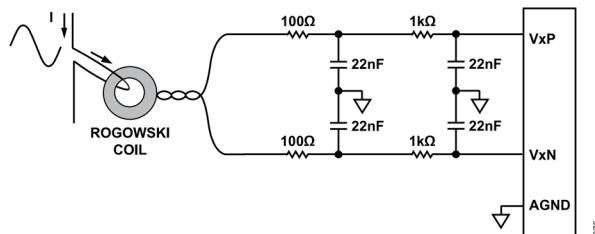
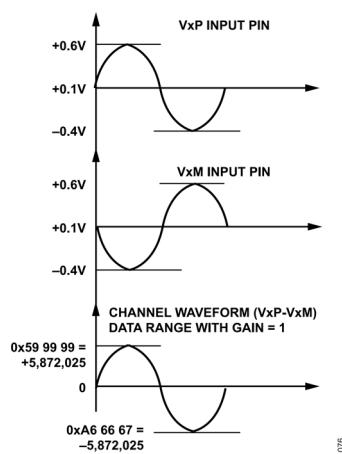
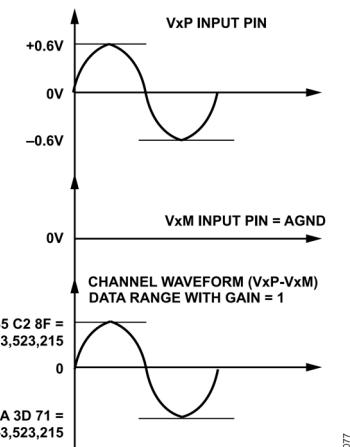


図 64. ロゴスキーコイルの電流センサー・インターフェース回路
なお、ロゴスキーコイル入力ネットワークには、2次のアンチエイリアシング・フィルタがあり、帯域外ノイズを更に減少させています。これは、ロゴスキーセンサーに1/f応答があるためです。

使用しないADCチャンネルは、フローティング状態のままにするか、AGNDに接続します。チャンネルを無効にするには、ADC_PDレジスタの対応するADC_PD_CHxビットをセットします。

完全差動入力

図 65 および図 66 に、電力量モニタリング・アプリケーション用の入力信号の代表的な2つのタイプを示します。図 65 には、差動逆相信号で許容される最大入力を示します。負荷抵抗がセンター・タップにあるカレント・トランスが、差動の逆相信号を発生します。図 66 に、擬似差動信号での最大入力信号を示します。これは、抵抗分圧器を通じてメインの電圧信号を計測する場合に得られるものと同じです。

図 65. 差動逆相入力での最大入力信号
(コモンモード電圧 = 0.1V、ゲイン = 1)図 66. 擬似差動入力での最大入力信号
(コモンモード電圧 = 0V、ゲイン = 1)

水晶発振器／外部クロック

ADEMA124/ADEMA127 が動作するには、外部デジタル・クロック信号またはクリスタルが必要です。

XTALIN ピンにデジタル・クロック信号を配線すると、ADEMA124/ADEMA127 にクロックを供給できます。XTALIN に外部デジタル・クロック・ソースが供給されている場合は、XTALOUT ピンをフローティング状態のままにします。外部デジタル・クロック・ソースの周波数、デューティ・サイクル、電圧レベルに対する要件を表 2 に示します。

クリスタルを ADEMA124/ADEMA127 のクロック・ソースとして用いる場合は、そのクリスタルとセラミック・コンデンサ（容量が C_1 および C_2 ）を図 67 に示すように取り付けます。クリスタルと並列に外部フィードバック抵抗を取り付けるのは推奨しません。

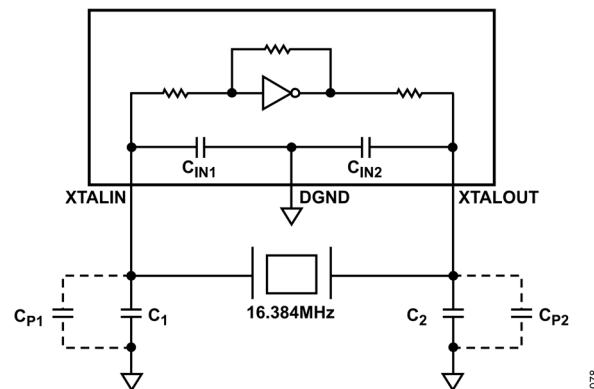


図 67. クリスタルのアプリケーション回路

クリスタルの選択

ADEMA124/ADEMA127 は、12.288MHz～16.384MHz のクリスタルに対応できます。代表的なアプリケーションでは、16.384MHz のクリスタルを用います。2のべき乗分の1で仕様規定されたサンプル・レートになるためです。

アプリケーション情報

最小トランスコンダクタンス仕様 (g_m 、表 2 参照) よりも 5 倍小さい臨界トランスコンダクタンス $g_{m\text{CRITICAL}}$ を有する 16.384MHz のクリスタルを、XTALIN ピンと XTALOUT ピンの間に接続して、ADEMA124/ADEMA127 にクロック・ソースを供給できます。式 19 の $g_{m\text{CRITICAL}}$ の項は、水晶発振器回路を起動するのに必要な最小ゲインとして定義され、単位は mA/V です。

$$g_{m\text{CRITICAL}} = 4 \times ESR_{MAX} \times 1000 \times (2\pi \times f_{CLK})^2 \times (C_0 + C_L)^2 \quad (19)$$

ここで

- ▶ ESR_{MAX} は最大 ESR で、単位は Ω 、
- ▶ f_{CLK} は 16.384MHz であり、Hz 単位で 16.384×10^6 、
- ▶ C_0 は最大シャント容量で、単位は F、
- ▶ C_L は負荷容量で、単位は F。

ESR_{MAX} 、 C_0 、 C_L の各値は、クリスタルのメーカーの部品データシートに記載されています。低 ESR で負荷容量の小さいクリスタルの方が $g_{m\text{CRITICAL}}$ が小さく駆動が容易です。

負荷コンデンサの計算

クリスタルのメーカーは、クリスタルをまたぐ合計負荷容量 C_L を仕様規定しています。クリスタルをまたぐ容量に寄与する要素は図 67 のように示され、以下のように説明できます。

- ▶ C_{P1} および C_{P2} : プリント回路基板 (PCB) の配線パターンによって形成される、クロック・ピンの寄生容量。
- ▶ C_{IN1} および C_{IN2} : それぞれ、XTALIN ピンおよび XTALOUT ピンの内部容量で、表 2 に記載。
- ▶ C_1 および C_2 : クリスタルに対する正確な合計 C_L が得られるよう選択された負荷容量。

XTALIN ピンおよび XTALOUT ピンにおける合計負荷容量 C_L は、以下のとおりです。

$$C_L = \frac{(C_1 + C_{P1} + C_{IN1}) \times (C_2 + C_{P2} + C_{IN2})}{C_1 + C_{P1} + C_{IN1} + C_2 + C_{P2} + C_{IN2}} \quad (20)$$

XTALIN ピンと XTALOUT ピンの両方の合計容量は等しくなるようにしてください。水晶発振回路のレイアウトは、 $C_{P1} = C_{P2}$ となるようにします。 $C_1 = C_2$ となるように負荷コンデンサを選択してください。

$$C_1 + C_{P1} + C_{IN1} = C_2 + C_{P2} + C_{IN2} \quad (21)$$

式 20 および式 21 を用いることで、 C_1 と C_2 の値が計算できます。

複数デバイスの同期

計量アプリケーションでは、電力を計算するために同時 ADC サンプリングが必要です。複数のデバイスから ADC の同時サンプリングを行うのに必要なのは、 f_{XTALIN} と f_s の周波数を共有することです。すべての ADEMA124/ADEMA127 デバイスを同じ DATARATE レジスタ設定値に設定し、それぞれに共有入力クロック・ソースを供給します。ADC サンプリングが同じ時点で行われる必要もあり、また、各デバイスは、波形データ取得の準備が同時にできている必要があります。

ADEMA124/ADEMA127 は、14 ビット・カウンタを基にすべての動作を連携させます。SNAPSHOT ビットは、複数のデバイス間で 14 ビット・カウンタが同期していることを検証するメカニズムを提供します。ALIGN ビットはカウンタを同期し、また、同期コマンドが実行される直前に 14 ビット・カウンタの値を報告します。ADEMA124/ADEMA127 が CCM になっているときは常に、どちらの動作も実行できます。

検証動作および同期動作は、どちらも 2 ステップのプロセッサです。図 68 および図 69 に示すように、デバイスは、検証の場合は SNAPSHOT = 1、同期の場合は ALIGN = 1 にセットすることにより、準備が行われ、次いで、 \overline{CS} ピンの次のハイからローへの遷移によってトリガれます。

\overline{CS} ピンをアサートすると、ADEMA124/ADEMA127 は、デバイスがデータをシフト・アウトする準備をする際に MISO を駆動します。ALIGN または SNAPSHOT のいずれかと共に PREP_BROADCAST = 1 にセットすると、 \overline{CS} ピンが次にアサートされている間、MISO 出力ピンは高インピーダンス状態になります。これによって、個別対応デバイスが PCB 上で 1 つの MISO 信号配線パターンを共有している場合に、MISO ピン出力ドライバ間で競合が生じるのを回避できます。デイジーチェーン接続デバイスは、信号配線パターンを共有せず、PREP_BROADCAST ビットは用いません。

14 ビット・カウンタ値は、 f_{XTALIN} の 1 周期の間に、SHAPSHOT_COUNT_HI レジスタと SHAPSHOT_COUNT_LO レジスタの SNAPSHOT_COUNT[13:0] に書き込まれます。14 ビット・カウンタは、表 24 に示す初期値 C_0 から 0 までデクリメントし、これを繰り返します。SNAPSHOT_COUNT_HI および SNAPSHOT_COUNT_LO の内容を図 70 に示します。次いで、ホスト・マイクロコントローラによってこれらの値が読み出され、比較されます。カウンタ値に ± 1 のカウント差が生じるのは、マイクロコントローラと ADC クロック・ソースの間の差に原因を帰すことができます。

表 24. DATARATE レジスタ設定の関数としてのカウンタ初期値

ADC Output Frequency (kHz) ¹	Counter C0 Initial Value
64	255
32	511
8	2,047
4	4,095
2	8,191
1	16,383

¹ XTALIN = 16.384MHz.

同期が開始されると、STATUS1 レジスタの SYNC_SNAP_REQUESTED ビットがセットされます。ADEMA124/ADEMA127 のアライメント検証メカニズムおよび同期メカニズムは、ADE9103/ADE9112/ADE9113 の各デバイスにも適合するものです。

同じ SPI 書込みで ALIGN = 1 および SNAPSHOT = 1 にセットすることは有効な操作ではありません。

アプリケーション情報

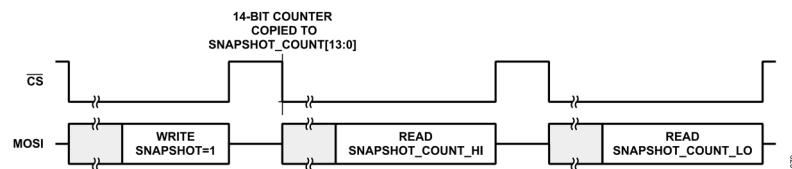


図 68. デイジーチェーン接続デバイスの SNAPSHOT ビットを使用するアライメント検証

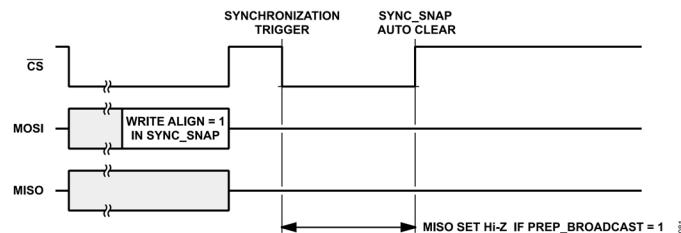


図 69. ALIGN ビットを使用する同期

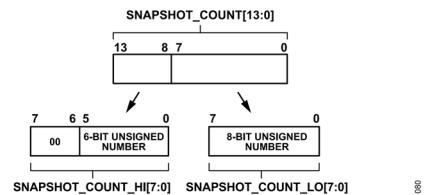


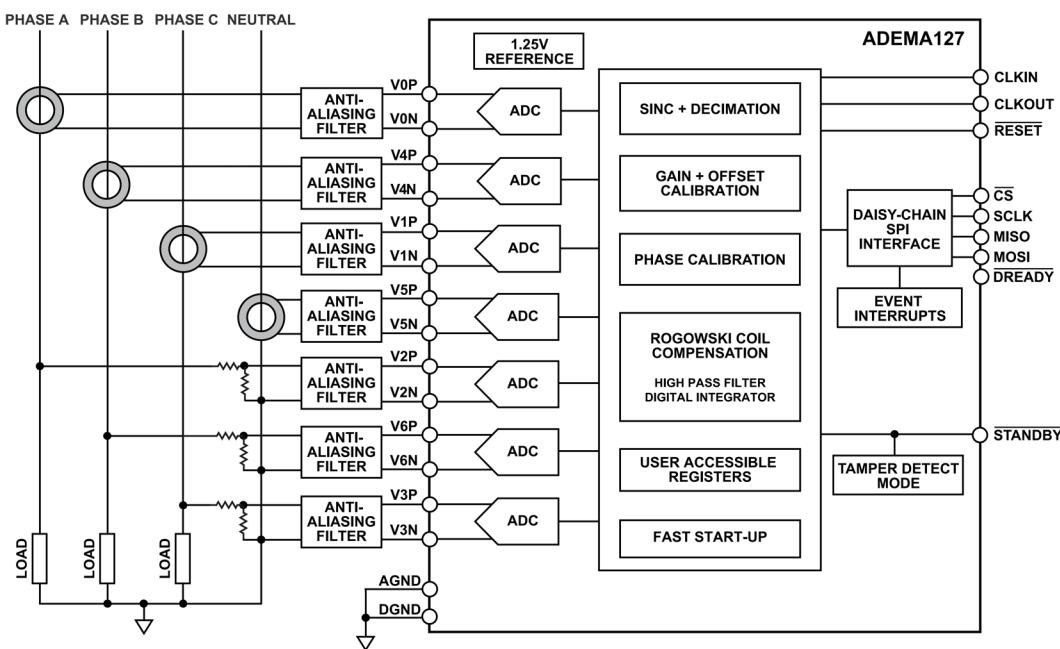
図 70. 14 ビット・カウンタ値

消費電力

XTALIN の周波数を下げる、OSR を下げる、DSP を無効化して動作させる、といった方法を用いることによって消費電力を低減できます。

アプリケーション情報

多相電力量計



082

図 71. 3 相電力量計

図 72 に、クロック信号を共有するデイジ接続デバイスを示します。

アプリケーション情報

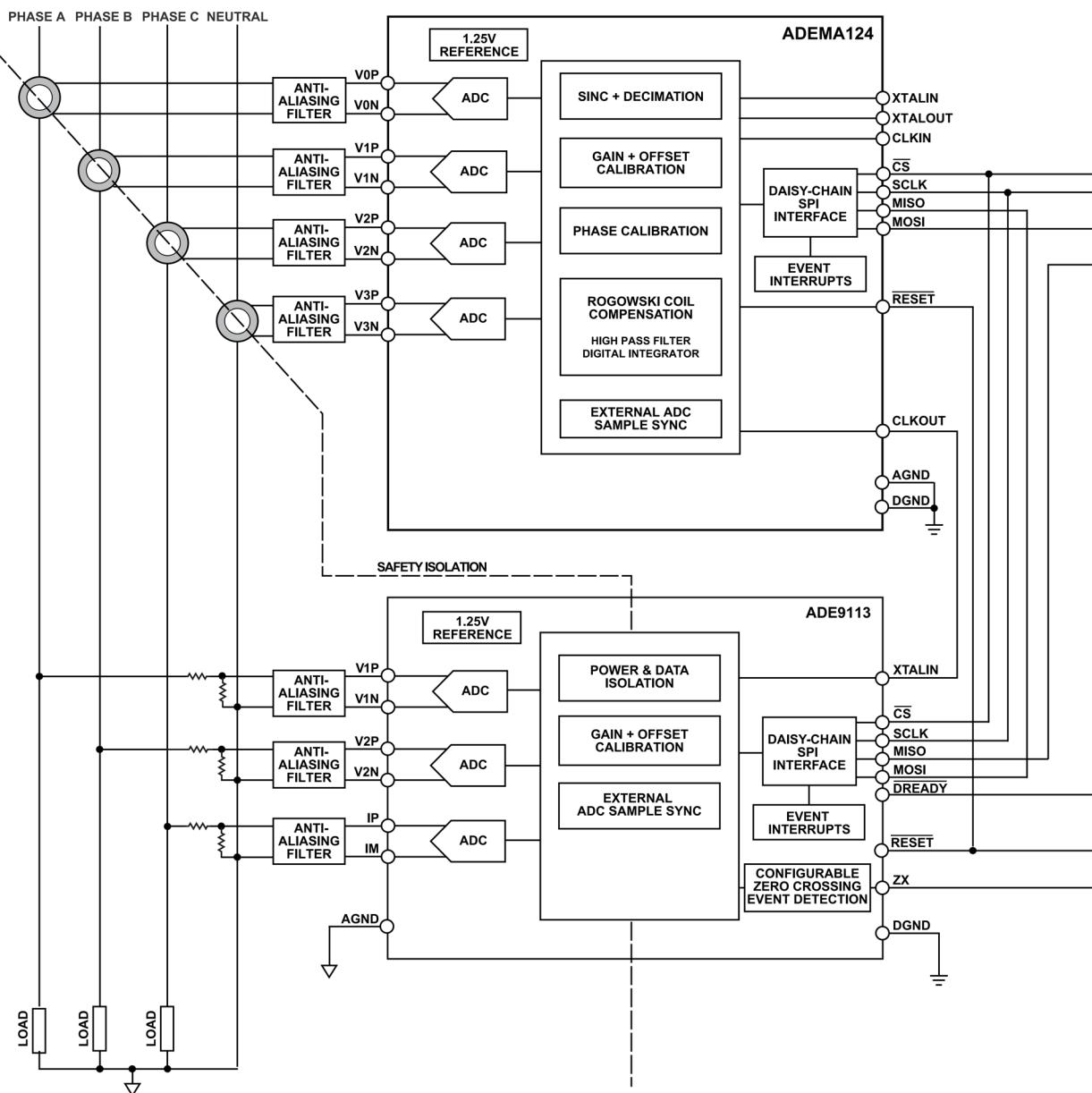


図 72. 絶縁型電圧検出機能を持つ 3 相電力量計

083

アプリケーション情報

単相 3 線電力量計

図 73 に、ADEMA124 を単相 3 線電力量計として用いた例を示します。

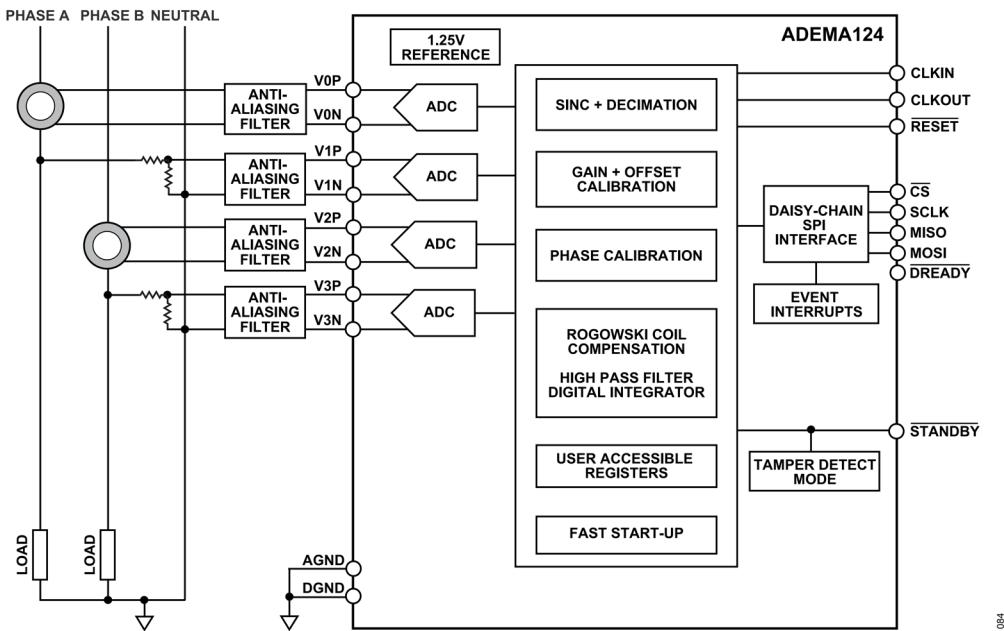


図 73. 単相 3 線電力量計

094

ハードウェア識別子

PRODUCT_ID レジスタは、ADEMA124/ADEMA127 デバイスを識別するものです。

SILICON_REVISION レジスタは、ADEMA124/ADEMA127 のバージョンを識別するものです。

UNIQUE_PART_ID_5~UNIQUE_PART_ID_0 のレジスタは、各デバイスの 48 ビットの一意の ID 番号であり、これらのデバイスが利用された後でも、すべてのデバイスのトレーサビリティを可能にします。

SPI でアクセス可能なアドレス

ADEMA124/ADEMA127 には、8 ビットの SPI アクセス可能レジスタおよび RAM アドレスがあります。

表 25. メモリ・マップ - レジスタ

14 ビット・アドレス範囲	説明	備考
0x001 - 0x00F	保持レジスタ。個々のレジスタ機能は表 29 に示されています。	ADEMA124/ADEMA127 がスタンバイ・モードに移行する場合やスタンバイ・モードを終了する場合、これらのレジスタの値は保持されます。ADC 設定レジスタは、DATAPATH_CONFIG_LOCK ビットによって書き込み保護されています。この空間の書き込み可能レジスタは WR_LOCK ビットの影響を受けます。詳細については、 設定ロックおよびアクセス・ビット のセクションを参照してください。
0x010 - 0x07E	レジスタ。個々のレジスタ機能は表 30 に示されています。	これらのレジスタの値は、ADEMA124/ADEMA127 がスタンバイ・モードになるとデフォルト値にリセットされます。ADC 設定レジスタは、DATAPATH_CONFIG_LOCK ビットによって書き込み保護されています。この空間の書き込み可能レジスタは WR_LOCK ビットの影響を受けます。詳細については、 設定ロックおよびアクセス・ビット のセクションを参照してください。

表 26. メモリ・マップ - DSP RAM

14 ビット・アドレス範囲	説明	備考
0x401 - 0x5BB	DSP RAM。ゲイン係数、オフセット係数、フィルタ係数をチャンネルごとに調整するための DSP が格納されています。個々のレジスタ機能は表 33 に示されています。	読み出し動作および書き込み動作は DSP_MEM_ACCESS_REQ ビットによって保護されています。詳細については、 設定ロックおよびアクセス・ビット のセクションを参照してください。この空間に値を書き込むには、特定の動作順序が必要です。 設定プロシージャ のセクションを参照してください。
0x5C1 - 0x623	DSP RAM。有効化されたすべての ADC チャンネルに共通の DSP フィルタ係数が格納されています。個々のレジスタ機能は表 34 に示されています。	読み出し動作および書き込み動作は DSP_MEM_ACCESS_REQ ビットによって保護されています。詳細については、 設定ロックおよびアクセス・ビット のセクションを参照してください。この空間に値を書き込むには、特定の動作順序が必要です。 設定プロシージャ のセクションを参照してください。

レジスタの一覧

表 27. 保持 MMR の一覧

14 ビット・アドレス	名称	説明	デフォルト値	アクセス
0x001	SWRST	ソフトウェア・リセット。	0x00	W
0x002	CONFIG0	ADC の設定。	0xC2	R/W
0x003	TDM_STATUS	改ざん検知のステータス。	0x00	R/W
0x004	ADC_PD	ADC のパワー・ダウン。	0x00	R/W
0x005	ADC_CMI	ADC の入力コモンモード設定。	0x00	R/W
0x006	ADC_GAIN	ADC のゲイン設定。	0x00	R/W
0x007	ADC_INV	ADC の入力反転。	0x00	R/W
0x008	CONFIG_CRC_MMR_RETAINED	バックグラウンド保持レジスタ・マップ CRC の設定。	0x00	R/W
0x009	TDM_CONFIG	改ざん検知の設定。	0x80	R/W
0x00A	TDM_THRSH_MSB	改ざん検知閾値の最上位ビット。	0x00	R/W
0x00B	TDM_THRSH_LSB	改ざん検知閾値の最下位ビット。	0x00	R/W
0x00E	CRC_RESULT_MMR_RETAINED_HI	バックグラウンド保持レジスタ・マップ CRC の最上位バイト。	0x22	R
0x00F	CRC_RESULT_MMR_RETAINED_LO	バックグラウンド保持レジスタ・マップ CRC の最下位バイト。	0xC7	R

表 28 のレジスタの値は、ADEMA124/ADEMA127 がスタンバイ・モードになるとデフォルト値にリセットされる点に注意してください。詳細については、[スタンバイ・モード](#)のセクションを参照してください。

表 28. MMR の一覧

14 ビット・アドレス	名称	説明	デフォルト値	アクセス
0x010	EFUSE_REFRESH	EFuse のリフレッシュ。	0x00	R/W
0x012	ACCESS_EXTENDED_MMAP	拡張メモリ・マップのアクセス制御。	0x00	R/W
0x013	SCRATCH	ソフトウェア・デバッグ・レジスタ。	0x00	R/W
0x014	SYNC_SNAP	ADC の同期制御。	0x00	R/W
0x017	SNAPSHOT_COUNT_HI	システム・タイミング・コントローラ・カウンタ。	0x00	R
0x018	SNAPSHOT_COUNT_LO	システム・タイミング・コントローラ・カウンタ。	0x00	R
0x019	MASK0	高優先度割込みマスク。	0x00	R/W
0x01A	MASK1	低優先度割込みマスク。	0x00	R/W
0x01B	MASK2	DSP 割込みマスク。	0x08	R/W
0x01F	WR_LOCK	設定ロック。	0x5E	R/W
0x020	STATUS0	高優先度割込みのラッチ状態。	0x00	R/W
0x021	STATUS1	低優先度割込みのラッチ状態。	0x00	R/W
0x022	STATUS2	DSP ステータス。	0x01	R/W
0x025	CONFIG_CRC_MMR	バックグラウンド・レジスタ・マップ CRC の設定。	0x00	R/W
0x026	V0_WAV_HI	ADC チャンネル 0 の波形データの最上位バイト。	0x00	R/W
0x027	V0_WAV_MD	ADC チャンネル 0 の波形データの中位バイト。	0x00	R/W
0x028	V0_WAV_LO	ADC チャンネル 0 の波形データの最下位バイト。	0x00	R/W
0x029	V1_WAV_HI	ADC チャンネル 1 の波形データの最上位バイト。	0x00	R/W
0x02A	V1_WAV_MD	ADC チャンネル 1 の波形データの中位バイト。	0x00	R/W
0x02B	V1_WAV_LO	ADC チャンネル 1 の波形データの最下位バイト。	0x00	R/W
0x02C	V2_WAV_HI	ADC チャンネル 2 の波形データの最上位バイト。	0x00	R/W
0x02D	V2_WAV_MD	ADC チャンネル 2 の波形データの中位バイト。	0x00	R/W
0x02E	V2_WAV_LO	ADC チャンネル 2 の波形データの最下位バイト。	0x00	R/W
0x02F	V3_WAV_HI	ADC チャンネル 3 の波形データの最上位バイト。	0x00	R/W
0x030	V3_WAV_MD	ADC チャンネル 3 の波形データの中位バイト。	0x00	R/W
0x031	V3_WAV_LO	ADC チャンネル 3 の波形データの最下位バイト。	0x00	R/W
0x032	V4_WAV_HI	ADC チャンネル 4 の波形データの最上位バイト。	0x00	R/W
0x033	V4_WAV_MD	ADC チャンネル 4 の波形データの中位バイト。	0x00	R/W

レジスタの一覧

表 28. MMR の一覧（続き）

14 ビット・アドレス	名称	説明	デフォルト値	アクセス
0x034	V4_WAV_LO	ADC チャンネル 4 の波形データの最下位バイト。	0x00	R/W
0x035	V5_WAV_HI	ADC チャンネル 5 の波形データの最上位バイト。	0x00	R/W
0x036	V5_WAV_MD	ADC チャンネル 5 の波形データの中位バイト。	0x00	R/W
0x037	V5_WAV_LO	ADC チャンネル 5 の波形データの最下位バイト。	0x00	R/W
0x038	V6_WAV_HI	ADC チャンネル 6 の波形データの最上位バイト。	0x00	R/W
0x039	V6_WAV_MD	ADC チャンネル 6 の波形データの中位バイト。	0x00	R/W
0x03A	V6_WAV_LO	ADC チャンネル 6 の波形データの最下位バイト。	0x00	R/W
0x03B	DATAPATH_CONFIG_LOCK	データパス設定ロック。	0x01	R/W
0x03C	DATARATE	ADC のサンプル・レートおよび出力データ・レートの設定。	0x31	R/W
0x03D	DATAPATH_ALPHA_CH0_1	ADC チャンネル 0 およびチャンネル 1 の DC ブロック・フィルタの設定。	0x00	R/W
0x03E	DATAPATH_ALPHA_CH2_3	ADC チャンネル 2 およびチャンネル 3 の DC ブロック・フィルタの設定。	0x00	R/W
0x03F	DATAPATH_ALPHA_CH4_5	ADC チャンネル 4 およびチャンネル 5 の DC ブロック・フィルタの設定。	0x00	R/W
0x040	DATAPATH_ALPHA_CH6	ADC チャンネル 6 の DC ブロック・フィルタの設定。	0x00	R/W
0x041	DATAPATH_CONFIG_CH0	ADC チャンネル 0 の DSP データバスの設定。	0x00	R/W
0x042	DATAPATH_CONFIG_CH1	ADC チャンネル 1 の DSP データバスの設定。	0x00	R/W
0x043	DATAPATH_CONFIG_CH2	ADC チャンネル 2 の DSP データバスの設定。	0x00	R/W
0x044	DATAPATH_CONFIG_CH3	ADC チャンネル 3 の DSP データバスの設定。	0x00	R/W
0x045	DATAPATH_CONFIG_CH4	ADC チャンネル 4 の DSP データバスの設定。	0x00	R/W
0x046	DATAPATH_CONFIG_CH5	ADC チャンネル 5 の DSP データバスの設定。	0x00	R/W
0x047	DATAPATH_CONFIG_CH6	ADC チャンネル 6 の DSP データバスの設定。	0x00	R/W
0x048	PHASE_OFFSET_CH0_HI	ADC チャンネル 0 の位相オフセットの最上位バイト。	0x00	R/W
0x049	PHASE_OFFSET_CH0_LO	ADC チャンネル 0 の位相オフセットの最下位バイト。	0x00	R/W
0x04A	PHASE_OFFSET_CH1_HI	ADC チャンネル 1 の位相オフセットの最上位バイト。	0x00	R/W
0x04B	PHASE_OFFSET_CH1_LO	ADC チャンネル 1 の位相オフセットの最下位バイト。	0x00	R/W
0x04C	PHASE_OFFSET_CH2_HI	ADC チャンネル 2 の位相オフセットの最上位バイト。	0x00	R/W
0x04D	PHASE_OFFSET_CH2_LO	ADC チャンネル 2 の位相オフセットの最下位バイト。	0x00	R/W
0x04E	PHASE_OFFSET_CH3_HI	ADC チャンネル 3 の位相オフセットの最上位バイト。	0x00	R/W
0x04F	PHASE_OFFSET_CH3_LO	ADC チャンネル 3 の位相オフセットの最下位バイト。	0x00	R/W
0x050	PHASE_OFFSET_CH4_HI	ADC チャンネル 4 の位相オフセットの最上位バイト。	0x00	R/W
0x051	PHASE_OFFSET_CH4_LO	ADC チャンネル 4 の位相オフセットの最下位バイト。	0x00	R/W
0x052	PHASE_OFFSET_CH5_HI	ADC チャンネル 5 の位相オフセットの最上位バイト。	0x00	R/W
0x053	PHASE_OFFSET_CH5_LO	ADC チャンネル 5 の位相オフセットの最下位バイト。	0x00	R/W
0x054	PHASE_OFFSET_CH6_HI	ADC チャンネル 6 の位相オフセットの最上位バイト。	0x00	R/W
0x055	PHASE_OFFSET_CH6_LO	ADC チャンネル 6 の位相オフセットの最下位バイト。	0x00	R/W
0x05C	CRC_RESULT_MMR_HI	バックグラウンド・レジスタ・マップ CRC の最上位バイト。	0x1A	R
0x05D	CRC_RESULT_MMR_LO	バックグラウンド・レジスタ・マップ CRC の最下位バイト。	0x4D	R
0x075	UNIQUE_PART_ID_5	一意の部品 ID。	0x00 ¹	R
0x076	UNIQUE_PART_ID_4	一意の部品 ID。	0x00	R
0x077	UNIQUE_PART_ID_3	一意の部品 ID。	0x00	R
0x078	UNIQUE_PART_ID_2	一意の部品 ID。	0x00	R
0x079	UNIQUE_PART_ID_1	一意の部品 ID。	0x00	R
0x07A	UNIQUE_PART_ID_0	一意の部品 ID。	0x00	R
0x07D	SILICON_REVISION	シリコン・リビジョン。	0x01 ²	R
0x07E	PRODUCT_ID	製品 ID。	0x16 ³	R

¹ デフォルト値は個々の IC に固有の値です。² シリコン・リビジョンごとに変更されることがあります。

レジスタの一覧

³ デフォルト値は製品のバージョンに従います。

レジスタの詳細

表 29. 保持 MMR の詳細

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x001	SWRST	[7:0]	SWRST	0xD6 0x00	ソフトウェア・リセット。 ソフトウェア・リセット・コマンド。これは、POR リリース時にのみ開始される POR 適格性評価カウントを除き、すべてのデジタル・ロジックをリセットします。 ソフトウェア・リセット・レジスタ NOP。	0x0	W
0x002	CONFIG0	[7:6]	ADC_POWER_MODE	00 10 11	ADC モジュレータの電力モード。ADC モジュレータの電力モードを設定します。低電力モードほど、ADC 測定の精度は低くなります。 1/4 電力モード。0.512MHz までの f _{MOD} の ADC がサポートされます。 1/2 電力モード。1.024MHz までの f _{MOD} の ADC がサポートされます。 フル性能モード。2.048MHz までの f _{MOD} の ADC がサポートされます。	0x3	R/W
		5	REF_PD_HP_REF		リファレンス・コアのパワー・ダウン・ビット。アクティブ・ハイの制御ビット。リファレンス・コアがパワー・ダウンされた場合、バッファは PTAT バイアス電流の 1つを失います。そのため、リファレンス・コアがパワー・ダウンされた場合、バッファもパワー・ダウンする必要があります。	0x0	R/W
		4	REF_PD_BUFFER		リファレンス・バッファのパワー・ダウン・ビット。アクティブ・ハイの制御ビット。 リファレンス・コアがパワー・ダウンされた場合、バッファは PTAT バイアス電流の 1つを失います。そのため、リファレンス・コアがパワー・ダウンされた場合、バッファもパワー・ダウンする必要があります。	0x0	R/W
		[3:2]	STREAM_DBG	00 01 10 11	ストリーム・デバッグ・モード。ストリーム・デバッグ・モードは、ADEMA124/ADEMA127 と通信ホストの間の通信リンクの開発や検証を行うために、ADC の結果の挙動を変更する機能を提供します。 通常動作。x_WAV_x レジスタは変換結果を格納します。 WAV スタティック・モード。x_WAV_x レジスタはスタティックになり、x_WAV_x レジスタへのレジスタ書き込みが新しい値で実行されるまで、その値を保持します。 ADC の変換レートでデータがインクリメント。このモードがアクティブになると、x_WAV_x レジスタは、24 ビット範囲全体にわたって出力データ・レートで各レジスタの値からインクリメントします。 予約済み。機能モードと同じ。	0x0	R/W
		1	CRC_EN_SPI_WRITE		SPI 書込みでの CRC チェックを有効化します。	0x1	R/W
		0	CLKOUT_EN		DREADY でのクロック出力の有効化。このビットを 1 にセットすると、デバイスがその他の ADC にクロックを供給しているとき、CLKOUT が有効化されます。 外部クロックを受信する場合は、このビットを 0 にクリアします。その場合、このピンは DREADY です。	0x0	R/W
0x003	TDM_STATUS	[7:1]	RESERVED		予約済み。	0x0	R
		0	TAMPER_DETECTED		改ざん検知インジケータ。改ざんが検知されたことを示します。	0x0	R/W1C
0x004	ADC_PD	7	RESERVED		予約済み。	0x0	R
		6	ADC_PD_CH6		ADC チャンネル 6 のパワー・ダウン。ADC チャンネル 6 を使用するには、このビットをクリアする必要があります。	0x0	R/W
		5	ADC_PD_CH5		ADC チャンネル 5 のパワー・ダウン。ADC チャンネル 5 を使用するには、このビットをクリアする必要があります。	0x0	R/W
		4	ADC_PD_CH4		ADC チャンネル 4 のパワー・ダウン。ADC チャンネル 4 を使用するには、このビットをクリアする必要があります。	0x0	R/W

レジスタの詳細

表 29. 保持 MMR の詳細（続き）

14 ビット・アドレス		名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x005	ADC_CMI		3	ADC_PD_CH3		ADC チャンネル 3 のパワー・ダウン。ADC チャンネル 3 を使用するには、このビットをクリアする必要があります。	0x0	R/W
			2	ADC_PD_CH2		ADC チャンネル 2 のパワー・ダウン。ADC チャンネル 2 を使用するには、このビットをクリアする必要があります。	0x0	R/W
			1	ADC_PD_CH1		ADC チャンネル 1 のパワー・ダウン。ADC チャンネル 1 を使用するには、このビットをクリアする必要があります。	0x0	R/W
			0	ADC_PD_CH0		ADC チャンネル 0 のパワー・ダウン。ADC チャンネル 0 を使用するには、このビットをクリアする必要があります。	0x0	R/W
0x006	ADC_GAIN		7	RESERVED		予約済み。	0x0	R
			6	ADC_GAIN_CH6	0 1	ADC チャンネル 6 の入力コモンモードの設定。 0.0V。 1.2V。	0x0	R/W
			5	ADC_GAIN_CH5	0 1	ADC チャンネル 5 の入力コモンモードの設定。 0.0V。 1.2V。	0x0	R/W
			4	ADC_GAIN_CH4	0 1	ADC チャンネル 4 の入力コモンモードの設定。 0.0V。 1.2V。	0x0	R/W
			3	ADC_GAIN_CH3	0 1	ADC チャンネル 3 の入力コモンモードの設定。 0.0V。 1.2V。	0x0	R/W
			2	ADC_GAIN_CH2	0 1	ADC チャンネル 2 の入力コモンモードの設定。 0.0V。 1.2V。	0x0	R/W
			1	ADC_GAIN_CH1	0 1	ADC チャンネル 1 の入力コモンモードの設定。 0.0V。 1.2V。	0x0	R/W
			0	ADC_GAIN_CH0	0 1	ADC チャンネル 0 の入力コモンモードの設定。 0.0V。 1.2V。	0x0	R/W

レジスタの詳細

表 29. 保持 MMR の詳細（続き）

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x007	ADC_INV	7	RESERVED		予約済み。	0x0	R
		6	ADC_INV_CH6		ADC チャンネル 6 の入力を反転。	0x0	R/W
		5	ADC_INV_CH5		ADC チャンネル 5 の入力を反転。	0x0	R/W
		4	ADC_INV_CH4		ADC チャンネル 4 の入力を反転。	0x0	R/W
		3	ADC_INV_CH3		ADC チャンネル 3 の入力を反転。	0x0	R/W
		2	ADC_INV_CH2		ADC チャンネル 2 の入力を反転。	0x0	R/W
		1	ADC_INV_CH1		ADC チャンネル 1 の入力を反転。	0x0	R/W
		0	ADC_INV_CH0		ADC チャンネル 0 の入力を反転。	0x0	R/W
0x008	CONFIG_CRC_MMR_RETAINED	[7:2]	RESERVED		予約済み。	0x0	R
		1	CRC_DONE_MMR_RETAINED		保持レジスタ・マップ CRC 完了フラグ。CRC_FORCE によって開始された CRC 再計算が完了したことを示します。または、スケジュールされていた CRC 再計算によって CRC が更新されたことを示します。	0x0	R/W1C
		0	CRC_FORCE_MMR_RETAINED		バックグラウンド保持レジスタ・マップの CRC 再計算の強制実行。CRC の再計算が完了すると自動的にクリアされます。	0x0	R/W
0x009	TDM_CONFIG	7	TDM_DREADYB_EN	0 1	改ざん検知 DREADY の有効化。DREADY ピンを介した改ざん検知イベント割込みを有効化します。 TDM DREADY を無効化。 TDM DREADY を有効化。	0x1	R/W
		[6:4]	TDM_LEN	000 001 010 011 100 101 110 111	改ざん検知期間。改ざん検知イベントをトリガるために、プログラムされた数のサンプルが閾値を超えてはならない、TDM を開始してからの時間枠。 53ms。 106ms。 213ms。 319ms。 531ms。 744ms。 1063ms。 1488ms。	0x0	R/W
		3	TDM_ALLCH		改ざん検知指示をすべてのチャンネルについて行うか、いずれかのチャンネルについて行うかの選択。ローにセットされた場合、いずれかのチャンネルの改ざん検知フラグがハイになると改ざん検知指示がトリガされます。 ハイにセットされた場合、有効化されたすべてのチャンネルの改ざん検知フラグがハイになると改ざん検知指示がトリガされます。	0x0	R/W
		[2:0]	TDM_NUM	000 001 010 011 100 101 110 111	閾値を超える改ざん検知サンプル数。改ざん検知イベントをトリガするために閾値を超えてはならないサンプル数。 1。 2。 4。 8。 16。 32。 64。 128。	0x0	R/W

レジスタの詳細

表 29. 保持 MMR の詳細（続き）

14 ビット・アドレス		名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x00A	TDM_THRSH_MSB	[7:4]	RESERVED			予約済み。	0x0	R
		[3:0]	TDM_THRSH[11:8]			改ざん検知閾値。各 ADC サンプルが閾値と比較され、改ざん状態が存在するかどうかが判定されます。この閾値は 2048 倍され、24 ビットの ADC データ値の絶対値と比較されます。	0x0	R/W
0x00B	TDM_THRSH_LSB	[7:0]	TDM_THRSH[7:0]			改ざん検知閾値。各 ADC サンプルが閾値と比較され、改ざん状態が存在するかどうかが判定されます。この閾値は 2048 倍され、24 ビットの ADC データ値の絶対値と比較されます。	0x0	R/W
0x00E	CRC_RESULT_MMR_RETAINED_HI	[7:0]	CRC_RESULT_MMR_RETAINED[15:8]			保持レジスタ・マップの CRC。詳細については、 CRC 保護 のセクションを参照。	0x22	R
0x00F	CRC_RESULT_MMR_RETAINED_LO	[7:0]	CRC_RESULT_MMR_RETAINED[7:0]			保持レジスタ・マップの CRC。詳細については、 CRC 保護 のセクションを参照。	0xC7	R

表 30 に示すレジスタ・ブロックは、CCM での ADEMA124/ADEMA127 動作に対応します。これらには、ADC 波形データ、データバス設定、カウンタが含まれます。

表 30 のレジスタの値は、ADEMA124/ADEMA127 がスタンバイ・モードになるとデフォルト値にリセットされる点に注意してください。詳細については、[スタンバイ・モード](#)のセクションを参照してください。

表 30. MMR の詳細

14 ビット・アドレス		名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x010	EFUSE_REFRESH	[7:1]	RESERVED			予約済み。	0x0	R
		0	EFUSE_REFRESH			EFuse メモリのリフレッシュを強制実行。このビットは、リセットのペナルティを負うことなく、EFUSE メモリ・エラーからの回復方法として使用できます。EFUSE のリフレッシュが完了すると、このビットは自動クリアされ、reset_done IRQ が発行されます。	0x0	R/W
0x012	ACCESS_EXTENDED_MEMORY_MAP	[7:1]	RESERVED			予約済み。	0x0	R
		0	DSP_MEM_ACCESS_REQ			ユーザからの DSP メモリ・アクセス要求。DSP メモリに読出しアクセスおよび書込みアクセスを要求するには、このビットをハイにセットします。	0x0	R/W
0x013	SCRATCH	[7:0]	SCRATCH			ソフトウェア・デバッグ。読み出し/書き込みができるものの他の機能はないユーザ・アクセス可能なレジスタを提供することにより、SPI インターフェースおよびユーザ・ソフトウェアの開発を可能にします。	0x0	R/W
0x014	SYNC_SNAP	[7:3]	RESERVED			予約済み。	0x0	R
		2	PREP_BROADCAST			ADC 準備ブロードキャスト。複数のデバイスの MISO ピンが互いに接続されているシステムでは、ADC の同期の間 ALIGN ビットまたは SNAPSHOT ビットもセットしている場合は常に、このビットをセットします。 このビット・フィールドがハイにセットされている場合、MISO パッドの駆動は、次の CS がローになっている間、遮断されます。このようにパッドはスリーステートであるため、1つの SPI メインに同時に接続されている複数のチップに対し、ADC の同期が実行できます。ADC 同期 SPI トランザクション後にビットは 0 に自動クリアされるため、SPI インターフェースは通常の機能に戻ることができます。	0x0	R/W
		1	ALIGN			ADC アライメント。ブロードキャスト SPI 書込み動作を介してこのビットをハイにセットし、CS の次の立下がリエッジでシステム内のすべてのデバイスが内部カウンタを SNAPSHOT_COUNT_LO/HI にラッチし、同期します。同期後、すべてのデバイスがデータを同時にサンプリングします。 このビットは、1 fXTALIN サイクル後に 0 に自動クリアされます。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
		0	SNAPSHOT		ADCスナップショット。ブロードキャスト SPI 書込み動作を介してこのビットをハイにセットし、 \overline{CS} の次の立下がりエッジでシステム内のすべてのデバイスが内部カウンタを SNAPSHOT_COUNT_LO/HIにラッチします。このビットは、1 fXTALN サイクル後に0に自動クリアされます。	0x0	R/W
0x017	SNAPSHOT_COU NT_HI	[7:0]	SNAPSHOT_COUNT [15:8]		システム・タイミング・コントローラ・カウント。同期動作で使用されるシステム・タイミング・コントローラ・カウンタのスナップショット値。	0x0	R
0x018	SNAPSHOT_COU NT_LO	[7:0]	SNAPSHOT_COUNT [7:0]		システム・タイミング・コントローラ・カウント。同期動作で使用されるシステム・タイミング・コントローラ・カウンタのスナップショット値。	0x0	R
0x019	MASK0	7	STATUS1X_MASK		STATUS1X割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		[6:5]	RESERVED		予約済み。	0x0	R
		4	CRC_CHG_MMR_ RETAINED_MASK		CRC_CHG_MMR_RETAINED 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		3	CRC_CHG_MMR_ MASK		CRC_CHG_MMR割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		2	RESERVED		予約済み。	0x0	R
		1	SPI_CRC_ERR_MASK		SPI_CRC_ERR 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		0	RESERVED		予約済み。	0x0	R
0x01A	MASK1	7	V6_WAV_OVRNG_ MASK		V6_WAV_OVRNG 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		6	V5_WAV_OVRNG_ MASK		V5_WAV_OVRNG 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		5	V4_WAV_OVRNG_ MASK		V4_WAV_OVRNG 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		4	V3_WAV_OVRNG_ MASK		V3_WAV_OVRNG 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		3	V2_WAV_OVRNG_MA SK		V2_WAV_OVRNG 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		2	V1_WAV_OVRNG_ MASK		V1_WAV_OVRNG 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		1	V0_WAV_OVRNG_ MASK		V0_WAV_OVRNG 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
		0	SYNC_SNAP_ REQUESTED_MASK		SYNC_SNAP_REQUESTED 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W
0x01B	MASK2	[7:4]	RESERVED		予約済み。	0x0	R
		3	ECC_ERR_ CORRECTED_MASK		ECC_ERR_CORRECTED 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x1	R/W
		[2:1]	RESERVED		予約済み。	0x0	R
		0	DSP_MEM_ACCESS_ READY_MASK		DSP_MEM_ACCESS_READY 割込みマスク。ハイにマスクすると、SPIコマンド応答の一部として割込み源を送信できます。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x01F	WR_LOCK	[7:0]	WR_LOCK	0xD4 0x5E	設定レジスタの書き込みロック。ロック機能を有効にすると、0x00~0x01E と 0x03B~0x05B のアドレス範囲の書き込み可能レジスタは変更できなくなります。 また、ロック機能を有効にすると、DSP RAM のアドレス（0x400~0x7FF）の書き込み可能レジスタも変更できなくなります。デフォルト値はアンロック・キー0x5E であり、レジスタ書き込みロック機能を有効にするには 0xD4 を書き込みます。WR_LOCK レジスタは、状態に応じてロック・キーまたはアンロック・キーとしてリードバックします。 ロック・キー。 アンロック・キー。	0x5E	R/W
0x020	STATUS0	7	STATUS1X		STATUS1 インジケータ。対応する MASK1 ビットがセットされている STATUS1 ビット・フィールドの論理和。この条件が満たされると STATUS1X がアサートされます。 このビット・フィールドをクリアするには、STATUS1 のソース駆動割込みを、W1C によりクリアする必要があります。	0x0	R
		6	STATUS2X		STATUS2 インジケータ。対応する MASK2 ビットがセットされている STATUS2 ビット・フィールドの論理和。この条件が満たされると STATUS2X がアサートされます。 このビット・フィールドをクリアするには、STATUS2 のソース駆動割込みを、W1C によりクリアする必要があります。	0x0	R
		5	RESET_DONE		リセット完了または Efuse リフレッシュの完了。マスク不能割込み。reset_done 割込みは、デバイスのリセットまたはヒューズ・リフレッシュが完了し、デバイスの設定準備ができたことを示します。	0x0	R/W1C
		4	CRC_CHG_MMR_RETAINED		保持レジスタ・マップ・バックグラウンド CRC の変更割込み。バックグラウンド CRC に含まれるレジスタの値が変更されています。新しい CRC 値は CRC_RESULT にあります。	0x0	R/W1C
		3	CRC_CHG_MMR		レジスタ・マップ・バックグラウンド CRC の変更割込み。バックグラウンド CRC に含まれるレジスタの値が変更されています。新しい CRC 値は CRC_RESULT にあります。	0x0	R/W1C
		2	EFUSE_MEM_ERR		EFUSE メモリ・エラー。EFUSE メモリ・エラー。マスク不能割込み。EFUSE メモリに訂正不能なエラーが生じています。このビット・フィールドは W1C ではなく、EFUSE_REFRESH フィールドを用いて EFUSE メモリ・リフレッシュを要求することが必要です。 EFUSE_REFRESH が要求されると、このビットは直ちにデアサートされます。EFUSE リフレッシュ・シーケンスが完了すると、このビットは 0 のまとなって EFUSE メモリ・エラーが既に存在しないことを示すか、再度アサートされて EFUSE メモリに訂正不能のエラーがあることを示すかのいずれかの動作を行います。後者の状態が継続する場合、リセットを発行することを推奨します。	0x0	R
		1	SPI_CRC_ERR		SPI 書込み CRC エラー割込み。デバイスが受信したそれまでの SPI コマンドに CRC エラーが検出されました。このエラー・ビットは、SPI 読出し応答でセットされます。	0x0	R/W1C
		0	RESERVED		予約済み。	0x0	R
0x021	STATUS1	7	V6_WAV_OVRNG		ADC チャンネル 6 の波形オーバーレンジ。チャネル 6 が最大範囲を超える出力 v6_wav が ±6606029 にクランプされています。	0x0	R/W1C

レジスタの詳細

表 30. MMR の詳細（続き）

14 ビット・アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x022	STATUS2	6	V5_WAV_OVRNG		ADC チャンネル 5 の波形オーバーレンジ。チャネル 5 が最大範囲を超え、出力 v5_wav が ±6606029 にクランプされています。	0x0	R/W1C
		5	V4_WAV_OVRNG		ADC チャンネル 4 の波形オーバーレンジ。チャネル 4 が最大範囲を超え、出力 v4_wav が ±6606029 にクランプされています。	0x0	R/W1C
		4	V3_WAV_OVRNG		ADC チャンネル 3 の波形オーバーレンジ。チャネル 3 が最大範囲を超え、出力 v3_wav が ±6606029 にクランプされています。	0x0	R/W1C
		3	V2_WAV_OVRNG		ADC チャンネル 2 の波形オーバーレンジ。チャネル 2 が最大範囲を超え、出力 v2_wav が ±6606029 にクランプされています。	0x0	R/W1C
		2	V1_WAV_OVRNG		ADC チャンネル 1 の波形オーバーレンジ。チャネル 1 が最大範囲を超え、出力 v1_wav が ±6606029 にクランプされています。	0x0	R/W1C
		1	V0_WAV_OVRNG		ADC チャンネル 0 の波形オーバーレンジ。チャネル 0 が最大範囲を超え、出力 v0_wav が ±6606029 にクランプされています。	0x0	R/W1C
		0	SYNC_SNAP_REQUESTED		アラインまたはスナップショットが開始。SYNC_SNAP レジスタに ALIGN ビットまたは SNAPSHOT ビットがセットされ、新しいシステム・タイミング・カウンタ値が SNAPSHOT_COUNT_LO/HI にラッチされています。	0x0	R/W1C
		7	DATA_RAM_ECC_ER		DSP データ RAM 読出しエラー。	0x0	R
0x025	CONFIG_CRC_MMR	6	COEFF_RAM_ECC_E		DSP 係数 RAM 読出しエラー。	0x0	R
		5	COEFF_ROM_ECC_E		DSP 係数 ROM 読出しエラー。	0x0	R
		4	PROGRAM_ROM_EC		DSP プログラム ROM 読出しエラー。	0x0	R
		3	ECC_ERR_CORRECTED		DSP メモリ・エラー補正済み。	0x0	R
		2	DSP_INSTRUCTION_ERR		無効な DSP 命令または無効な DSP メモリ・ボインタ。	0x0	R
		1	WATCHDOG_ERR		ウォッチドッグ・タイムアウト・エラー。ADC から利用可能なデータに対応して DSP がデータの生成を停止しました。	0x0	R/W1C
		0	DSP_MEM_ACCESS_READY		DSP からユーザへの DSP メモリ・アクセス・レディ。DSP はこのビットをアサートして、ユーザが DSP メモリの読み書きが可能であることを示します。	0x1	R
		[7:2]	RESERVED		予約済み。	0x0	R
0x026	V0_WAV_HI	1	CRC_DONE_MMR		CRC 完了フラグ。CRC_FORCE によって開始された CRC 再計算が完了したことを示します。または、スケジュールされていた CRC 再計算によって CRC が更新されたことを示します。	0x0	R/W1C
		0	CRC_FORCE_MMR		バックグラウンド・レジスタ・マップの CRC 再計算の強制実行。CRC の再計算が完了すると自動的にクリアされます。	0x0	R/W
		[7:0]	V0_WAV[23:16]		ADC チャンネル 0 の波形データ。	0x0	R/W
0x027	V0_WAV_MD	[7:0]	V0_WAV[15:8]		ADC チャンネル 0 の波形データ。	0x0	R/W
0x028	V0_WAV_LO	[7:0]	V0_WAV[7:0]		ADC チャンネル 0 の波形データ。	0x0	R/W
0x029	V1_WAV_HI	[7:0]	V1_WAV[23:16]		ADC チャンネル 1 の波形データ。	0x0	R/W
0x02A	V1_WAV_MD	[7:0]	V1_WAV[15:8]		ADC チャンネル 1 の波形データ。	0x0	R/W
0x02B	V1_WAV_LO	[7:0]	V1_WAV[7:0]		ADC チャンネル 1 の波形データ。	0x0	R/W
0x02C	V2_WAV_HI	[7:0]	V2_WAV[23:16]		ADC チャンネル 2 の波形データ。	0x0	R/W
0x02D	V2_WAV_MD	[7:0]	V2_WAV[15:8]		ADC チャンネル 2 の波形データ。	0x0	R/W
0x02E	V2_WAV_LO	[7:0]	V2_WAV[7:0]		ADC チャンネル 2 の波形データ。	0x0	R/W
0x02F	V3_WAV_HI	[7:0]	V3_WAV[23:16]		ADC チャンネル 3 の波形データ。	0x0	R/W
0x030	V3_WAV_MD	[7:0]	V3_WAV[15:8]		ADC チャンネル 3 の波形データ。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

14 ビット・ アドレス		名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x031	V3_WAV_LO	[7:0]	V3_WAV[7:0]			ADC チャンネル 3 の波形データ。	0x0	R/W
0x032	V4_WAV_HI	[7:0]	V4_WAV[23:16]			ADC チャンネル 4 の波形データ。	0x0	R/W
0x033	V4_WAV_MD	[7:0]	V4_WAV[15:8]			ADC チャンネル 4 の波形データ。	0x0	R/W
0x034	V4_WAV_LO	[7:0]	V4_WAV[7:0]			ADC チャンネル 4 の波形データ。	0x0	R/W
0x035	V5_WAV_HI	[7:0]	V5_WAV[23:16]			ADC チャンネル 5 の波形データ。	0x0	R/W
0x036	V5_WAV_MD	[7:0]	V5_WAV[15:8]			ADC チャンネル 5 の波形データ。	0x0	R/W
0x037	V5_WAV_LO	[7:0]	V5_WAV[7:0]			ADC チャンネル 5 の波形データ。	0x0	R/W
0x038	V6_WAV_HI	[7:0]	V6_WAV[23:16]			ADC チャンネル 6 の波形データ。	0x0	R/W
0x039	V6_WAV_MD	[7:0]	V6_WAV[15:8]			ADC チャンネル 6 の波形データ。	0x0	R/W
0x03A	V6_WAV_LO	[7:0]	V6_WAV[7:0]			ADC チャンネル 6 の波形データ。	0x0	R/W
0x03B	DATAPATH_CONFIG_LO CK	[7:1]	RESERVED			予約済み。	0x0	R
		0	DATAPATH_CONFIG_LOCK			データバス設定ロック。0x03C～0x05B のアドレスに書き込みを行おうとする前に、このビットをデアサートする必要があります。	0x1	R/W
0x03C	DATARATE	7	DSP_DECIMATION_X2			データバスに2のデシメーションを追加。出力サンプル・レートは半分になりますが、信号の帯域幅は維持されます。 出力データ・レート = (入力クロック周波数)/(2^(adc_clk_prescaler + 5 + decimation_rate + dsp_decimation_x2))。	0x0	R/W
		[6:4]	ADC_CLK_PRESCALE_R		001 010 011 100 101	ADC クロックのプリスケーラ。このデバイダは、入力クロックと ADC サンプリング・レートの比を設定します。 データ・レート = XTALIN/(2^(adc_clk_prescaler + 5 + decimation_rate + dsp_decimation_x2))。 詳細については、 データバス設定 のセクションを参照してください。 2 分周。 4 分周。 8 分周。 16 分周。 32 分周。	0x3	R/W
		[3:0]	DECIMATION_RATE		0 1 2 3 4 5 6 7 8	デシメーション・レート。このデバイダは、dsp_decimation_x2 フィールドと組み合わせることで、ADC サンプリング・レートと出力データ・レートの比を設定します。 サポートする範囲内に出力データ・レートが収まるようにデバイダを設定する必要があります。 注 1：データ・レート = XTALIN/(2^(adc_clk_prescaler + 5 + decimation_rate + dsp_decimation_x2))。 注 2：設定は、次の制限を満たす必要があります。(adc_clk_prescaler + 5 + decimation_rate + dsp_decimation_x2) <= 16。 つまり、一部の極端に低い出力サンプル・レートの場合、より低い入力クロック周波数を供給する必要があります。 詳細については、 データバス設定 のセクションを参照してください。 32 分周。 64 分周。 128 分周。 256 分周。 512 分周。 1024 分周。 2048 分周。 4096 分周。 8192 分周。	0x1	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x03D	DATAPATH_ALPHACH0_1	[7:4]	ALPHA_CH1	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	チャンネル 1 用 DC ブロッキング・フィルタの アルファ設定値。 フィルタをバイパス。 アルファ = 1/4。 アルファ = 1/8。 アルファ = 1/16。 アルファ = 1/32。 アルファ = 1/64。 アルファ = 1/128。 アルファ = 1/256。 アルファ = 1/512。 アルファ = 1/1024。 アルファ = 1/2048。 アルファ = 1/4096。 アルファ = 1/8192。 アルファ = 1/16384。 アルファ = 1/32768。 アルファ = 1/65536。	0x0	R/W
		[3:0]	ALPHA_CH0	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	チャンネル 0 用 DC ブロッキング・フィルタの アルファ設定値。 フィルタをバイパス。 アルファ = 1/4。 アルファ = 1/8。 アルファ = 1/16。 アルファ = 1/32。 アルファ = 1/64。 アルファ = 1/128。 アルファ = 1/256。 アルファ = 1/512。 アルファ = 1/1024。 アルファ = 1/2048。 アルファ = 1/4096。 アルファ = 1/8192。 アルファ = 1/16384。 アルファ = 1/32768。 アルファ = 1/65536。	0x0	R/W
0x03E	DATAPATH_ALPHACH2_3	[7:4]	ALPHA_CH3	0000 0001 0010 0011 0100 0101 0110 0111 1000	チャンネル 3 用 DC ブロッキング・フィルタの アルファ設定値。 フィルタをバイパス。 アルファ = 1/4。 アルファ = 1/8。 アルファ = 1/16。 アルファ = 1/32。 アルファ = 1/64。 アルファ = 1/128。 アルファ = 1/256。 アルファ = 1/512。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

14 ビット・アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
				1001 1010 1011 1100 1101 1110 1111	アルファ = 1/1024。 アルファ = 1/2048。 アルファ = 1/4096。 アルファ = 1/8192。 アルファ = 1/16384。 アルファ = 1/32768。 アルファ = 1/65536。		
		[3:0]	ALPHA_CH2	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	チャンネル 2 用 DC ブロッキング・フィルタの アルファ設定値。 フィルタをバイパス。 アルファ = 1/4。 アルファ = 1/8。 アルファ = 1/16。 アルファ = 1/32。 アルファ = 1/64。 アルファ = 1/128。 アルファ = 1/256。 アルファ = 1/512。 アルファ = 1/1024。 アルファ = 1/2048。 アルファ = 1/4096。 アルファ = 1/8192。 アルファ = 1/16384。 アルファ = 1/32768。 アルファ = 1/65536。	0x0	R/W
0x03F	DATAPATH_ALPH_A_CH4_5	[7:4]	ALPHA_CH5	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	チャンネル 5 用 DC ブロッキング・フィルタの アルファ設定値。 フィルタをバイパス。 アルファ = 1/4。 アルファ = 1/8。 アルファ = 1/16。 アルファ = 1/32。 アルファ = 1/64。 アルファ = 1/128。 アルファ = 1/256。 アルファ = 1/512。 アルファ = 1/1024。 アルファ = 1/2048。 アルファ = 1/4096。 アルファ = 1/8192。 アルファ = 1/16384。 アルファ = 1/32768。 アルファ = 1/65536。	0x0	R/W
		[3:0]	ALPHA_CH4	0000 0001 0010 0011 0100	チャンネル 4 用 DC ブロッキング・フィルタの アルファ設定値。 フィルタをバイパス。 アルファ = 1/4。 アルファ = 1/8。 アルファ = 1/16。 アルファ = 1/32。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
				0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	アルファ = 1/64。 アルファ = 1/128。 アルファ = 1/256。 アルファ = 1/512。 アルファ = 1/1024。 アルファ = 1/2048。 アルファ = 1/4096。 アルファ = 1/8192。 アルファ = 1/16384。 アルファ = 1/32768。 アルファ = 1/65536。		
0x040	DATAPATH_ALPHA_CH6	[7:4]	RESERVED		予約済み。	0x0	R
		[3:0]	ALPHA_CH6	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	チャンネル 6 用 DC ブロッキング・フィルタの アルファ設定値。 フィルタをバイパス。 アルファ = 1/4。 アルファ = 1/8。 アルファ = 1/16。 アルファ = 1/32。 アルファ = 1/64。 アルファ = 1/128。 アルファ = 1/256。 アルファ = 1/512。 アルファ = 1/1024。 アルファ = 1/2048。 アルファ = 1/4096。 アルファ = 1/8192。 アルファ = 1/16384。 アルファ = 1/32768。 アルファ = 1/65536。	0x0	R/W
0x041	DATAPATH_CONFIG_CH0	7	RESERVED		予約済み。	0x0	R/W
		6	ALLPASS_EN_CH0		チャンネル 0 用オールパス・フィルタの有効化。 オールパス・フィルタを有効にすることで、SCF の位相応答が一致します。 allpass_en_ch0 か scf_en_ch0 のいずれかを選択します。	0x0	R/W
		5	LPF_EN_CH0		チャンネル 0 用ローパス・フィルタの有効化。	0x0	R/W
		4	COMP_FLT_CFG_CH0	0 1	チャンネル 0 用補償フィルタの設定。 sinc ドループ。 外部 BLF および sinc ドループ。	0x0	R/W
		3	COMP_FLT_EN_CH0		チャンネル 0 用補償フィルタの有効化。	0x0	R/W
		2	HPF_EN_CH0		チャンネル 0 用ハイパス・フィルタの有効化。	0x0	R/W
		1	SCF_EN_CH0		チャンネル 0 用センサー補償フィルタの有効化。	0x0	R/W
		0	GAIN_OFFSET_XTEN_CH0		チャンネル 0 用ゲイン／オフセット／クロス トーク補償の有効化。	0x0	R/W
0x042	DATAPATH_CONFIG_CH1	7	RESERVED		予約済み。	0x0	R/W
		6	ALLPASS_EN_CH1		チャンネル 1 用オールパス・フィルタの有効化。 オールパス・フィルタを有効にすることで、SCF の位相応答が一致します。 allpass_en_ch1 か scf_en_ch1 のいずれかを選択します。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x043	DATAPATH_CONFIG_CH 2	5	LPF_EN_CH1		チャンネル 1 用ローパス・フィルタの有効化。	0x0	R/W
		4	COMP_FLT_CFG_CH1	0 1	チャンネル 1 用補償フィルタの設定。 sinc ドループ。 外部 BLF および sinc ドループ。	0x0	R/W
		3	COMP_FLT_EN_CH1		チャンネル 1 用補償フィルタの有効化。	0x0	R/W
		2	HPF_EN_CH1		チャンネル 1 用ハイパス・フィルタの有効化。	0x0	R/W
		1	SCF_EN_CH1		チャンネル 1 用センサー補償フィルタの有効化。	0x0	R/W
		0	GAIN_OFFSET_XT_E_N_C H1		チャンネル 1 用ゲイン／オフセット／クロス トーカー補償の有効化。	0x0	R/W
0x044	DATAPATH_CONFIG_CH 3	7	RESERVED		予約済み。	0x0	R/W
		6	ALLPASS_EN_CH2		チャンネル 2 用オールパス・フィルタの有効化。オールパス・フィルタを有効にすることで、SCF の位相応答が一致します。 allpass_en_chx か scf_en_chx のいずれかを選択します。	0x0	R/W
		5	LPF_EN_CH2		チャンネル 2 用ローパス・フィルタの有効化。	0x0	R/W
		4	COMP_FLT_CFG_CH2	0 1	チャンネル 2 用補償フィルタの設定。 sinc ドループ。 外部 BLF および sinc ドループ。	0x0	R/W
		3	COMP_FLT_EN_CH2		チャンネル 2 用補償フィルタの有効化。	0x0	R/W
		2	HPF_EN_CH2		チャンネル 2 用ハイパス・フィルタの有効化。	0x0	R/W
		1	SCF_EN_CH2		チャンネル 2 用センサー補償フィルタの有効化。	0x0	R/W
		0	GAIN_OFFSET_XT_E_N_C H2		チャンネル 2 用ゲイン／オフセット／クロス トーカー補償の有効化。	0x0	R/W
		7	RESERVED		予約済み。	0x0	R/W
0x045	DATAPATH_CONFIG_CH 4	6	ALLPASS_EN_CH3		チャンネル 3 用オールパス・フィルタの有効化。オールパス・フィルタを有効にすることで、SCF の位相応答が一致します。 allpass_en_chx か scf_en_chx のいずれかを選択します。	0x0	R/W
		5	LPF_EN_CH3		チャンネル 3 用ローパス・フィルタの有効化。	0x0	R/W
		4	COMP_FLT_CFG_CH3	0 1	チャンネル 3 用補償フィルタの設定。 sinc ドループ。 外部 BLF および sinc ドループ。	0x0	R/W
		3	COMP_FLT_EN_CH3		チャンネル 3 用補償フィルタの有効化。	0x0	R/W
		2	HPF_EN_CH3		チャンネル 3 用ハイパス・フィルタの有効化。	0x0	R/W
		1	SCF_EN_CH3		チャンネル 3 用センサー補償フィルタの有効化。	0x0	R/W
		0	GAIN_OFFSET_XT_E_N_C H3		チャンネル 3 用ゲイン／オフセット／クロス トーカー補償の有効化。	0x0	R/W
		7	RESERVED		予約済み。	0x0	R/W
		6	ALLPASS_EN_CH4		チャンネル 4 用オールパス・フィルタの有効化。オールパス・フィルタを有効にすることで、SCF の位相応答が一致します。 allpass_en_chx か scf_en_chx のいずれかを選択します。	0x0	R/W
		5	LPF_EN_CH4		チャンネル 4 用ローパス・フィルタの有効化。	0x0	R/W
		4	COMP_FLT_CFG_CH4	0 1	チャンネル 4 用補償フィルタの設定。 sinc ドループ。 外部 BLF および sinc ドループ。	0x0	R/W
		3	COMP_FLT_EN_CH4		チャンネル 4 用補償フィルタの有効化。	0x0	R/W
		2	HPF_EN_CH4		チャンネル 4 用ハイパス・フィルタの有効化。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x046	DATAPATH_CONFIG_CH 5	1	SCF_EN_CH4		チャンネル 4 用センサー補償フィルタの有効化。	0x0	R/W
		0	GAIN_OFFSET_XT_E_N_C_H4		チャンネル 4 用ゲイン／オフセット／クロストーク補償の有効化。	0x0	R/W
		7	RESERVED		予約済み。	0x0	R/W
		6	ALLPASS_EN_CH5		チャンネル 5 用オールパス・フィルタの有効化。オールパス・フィルタを有効にすることで、SCF の位相応答が一致します。 allpass_en_chx か scf_en_chx のいずれかを選択します。	0x0	R/W
		5	LPF_EN_CH5		チャンネル 5 用ローパス・フィルタの有効化。	0x0	R/W
		4	COMP_FLT_CFG_CH5	0 1	チャンネル 5 用補償フィルタの設定。 sinc ドループ。 外部 BLF および sinc ドループ。	0x0	R/W
		3	COMP_FLT_EN_CH5		チャンネル 5 用補償フィルタの有効化。	0x0	R/W
		2	HPF_EN_CH5		チャンネル 5 用ハイパス・フィルタの有効化。	0x0	R/W
		1	SCF_EN_CH5		チャンネル 5 用センサー補償フィルタの有効化。	0x0	R/W
		0	GAIN_OFFSET_XT_E_N_C_H5		チャンネル 5 用ゲイン／オフセット／クロストーク補償の有効化。	0x0	R/W
0x047	DATAPATH_CONFIG_CH 6	7	RESERVED		予約済み。	0x0	R/W
		6	ALLPASS_EN_CH6		チャンネル 6 用オールパス・フィルタの有効化。オールパス・フィルタを有効にすることで、SCF の位相応答が一致します。 allpass_en_chx か scf_en_chx のいずれかを選択します。	0x0	R/W
		5	LPF_EN_CH6		チャンネル 6 用ローパス・フィルタの有効化。	0x0	R/W
		4	COMP_FLT_CFG_CH6	0 1	チャンネル 6 用補償フィルタの設定。 sinc ドループ。 外部 BLF および sinc ドループ。	0x0	R/W
		3	COMP_FLT_EN_CH6		チャンネル 6 用補償フィルタの有効化。	0x0	R/W
		2	HPF_EN_CH6		チャンネル 6 用ハイパス・フィルタの有効化。	0x0	R/W
		1	SCF_EN_CH6		チャンネル 6 用センサー補償フィルタの有効化。	0x0	R/W
		0	GAIN_OFFSET_XT_E_N_C_H6		チャンネル 6 用ゲイン／オフセット／クロストーク補償の有効化。	0x0	R/W
0x048	PHASE_OFFSET_CH0_HI	[7:0]	PHASE_OFFSET_CH0 [15:8]		チャンネル 0 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0xFFFF です。 3MSB は使用しません。	0x0	R/W
0x049	PHASE_OFFSET_CH0_LO	[7:0]	PHASE_OFFSET_CH0 [7:0]		チャンネル 0 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0xFFFF です。 3MSB は使用しません。	0x0	R/W
0x04A	PHASE_OFFSET_CH1_HI	[7:0]	PHASE_OFFSET_CH1 [15:8]		チャンネル 1 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0xFFFF です。 3MSB は使用しません。	0x0	R/W
0x04B	PHASE_OFFSET_CH1_LO	[7:0]	PHASE_OFFSET_CH1 [7:0]		チャンネル 1 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0xFFFF です。 3MSB は使用しません。	0x0	R/W
0x04C	PHASE_OFFSET_CH2_HI	[7:0]	PHASE_OFFSET_CH2 [15:8]		チャンネル 2 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0xFFFF です。 3MSB は使用しません。	0x0	R/W

レジスタの詳細

表 30. MMR の詳細（続き）

14 ビット・アドレス	名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x04D	PHASE_OFFSET_CH2_L_O	[7:0]	PHASE_OFFSET_CH2 [7:0]		チャンネル 2 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x04E	PHASE_OFFSET_CH3_HI	[7:0]	PHASE_OFFSET_CH3 [15:8]		チャンネル 3 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x04F	PHASE_OFFSET_CH3_L_O	[7:0]	PHASE_OFFSET_CH3 [7:0]		チャンネル 3 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x050	PHASE_OFFSET_CH4_HI	[7:0]	PHASE_OFFSET_CH4 [15:8]		チャンネル 4 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x051	PHASE_OFFSET_CH4_L_O	[7:0]	PHASE_OFFSET_CH4 [7:0]		チャンネル 4 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x052	PHASE_OFFSET_CH5_HI	[7:0]	PHASE_OFFSET_CH5 [15:8]		チャンネル 5 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x053	PHASE_OFFSET_CH5_L_O	[7:0]	PHASE_OFFSET_CH5 [7:0]		チャンネル 5 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x054	PHASE_OFFSET_CH6_HI	[7:0]	PHASE_OFFSET_CH6 [15:8]		チャンネル 6 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x055	PHASE_OFFSET_CH6_L_O	[7:0]	PHASE_OFFSET_CH6 [7:0]		チャンネル 6 の位相オフセット。フラクショナル・サンプル周期を単位として最大 1 サンプル分の周期遅延を持つ、位相オフセット補償。 フォーマットは 13 個のフラクショナル・ビットによる固定小数点で、最大値は 0x1FFF です。 3MSB は使用しません。	0x0	R/W
0x05C	CRC_RESULT_MMR_HI	[7:0]	CRC_RESULT_MMR [15:8]		レジスタ・マップの CRC。詳細については、 CRC 保護 のセクションを参照。	0x1A	R
0x05D	CRC_RESULT_MMR_LO	[7:0]	CRC_RESULT_MMR [7:0]		レジスタ・マップの CRC。詳細については、 CRC 保護 のセクションを参照。	0x4D	R
0x075	UNIQUE_PART_ID_5	[7:0]	UNIQUE_PART_ID [47:40]		一意の部品 ID。	0x0	R
0x076	UNIQUE_PART_ID_4	[7:0]	UNIQUE_PART_ID [39:32]		一意の部品 ID。	0x0	R
0x077	UNIQUE_PART_ID_3	[7:0]	UNIQUE_PART_ID [31:24]		一意の部品 ID。	0x0	R
0x078	UNIQUE_PART_ID_2	[7:0]	UNIQUE_PART_ID [23:16]		一意の部品 ID。	0x0	R
0x079	UNIQUE_PART_ID_1	[7:0]	UNIQUE_PART_ID [15:8]		一意の部品 ID。	0x0	R
0x07A	UNIQUE_PART_ID_0	[7:0]	UNIQUE_PART_ID [7:0]		一意の部品 ID。	0x0	R

レジスタの詳細

表 30. MMR の詳細（続き）

14 ビット・ アドレス		名称	ビット	ビット名	設定値	説明	リセット	アクセス
0x07D	SILICON_REVISION	[7:4]	RESERVED			予約済み。	0x0	R
		[3:0]	SILICON_REVISION			チップのシリコン・リビジョン。	0x1	R
0x07E	PRODUCT_ID	[7:0]	PRODUCT_ID		0x16 0x13	製品 ID。 7 チャンネル ADEMA127 ADC。 4 チャンネル ADEMA124 ADC。	0x16	R

DSP RAM の一覧

DSP RAM ビット・フィールドは、DSP_MEM_ACCESS_REQ ビットによってデフォルトで読み出しおよび書き込みから保護されています。デフォルト値は、設定された DSP オプションおよび DECIMATION_RATE レジスタの設定に基づき、ROM から DSP RAM に読み込まれます。

DSP RAM の更新プロシージャについては、[設定ロックおよびアクセス・ビット](#)のセクションおよび[設定プロシージャ](#)のセクションを参照してください。

表 31. DSP RAM の一覧 - ADC チャンネルごとに独立

14 ビット・アドレス

CH0	CH1	CH2	CH3	CH4	CH5	CH6	名称	説明	デフォルト値	アクセス
0x401	0x441	0x481	0x4C1	0x501	0x541	0x581	COMP_COEFF_B0_LO	補償係数 B0 の最下位バイト。	0xXX	R/W
0x402	0x442	0x482	0x4C2	0x502	0x542	0x582	COMP_COEFF_B0_MD	補償係数 B0 の中位バイト。	0xXX	R/W
0x403	0x443	0x483	0x4C3	0x503	0x543	0x583	COMP_COEFF_B0_HI	補償係数 B0 の最上位バイト。	0xXX	R/W
0x405	0x445	0x485	0x4C5	0x505	0x545	0x585	COMP_COEFF_B1_LO	補償係数 B1 の最下位バイト。	0xXX	R/W
0x406	0x446	0x486	0x4C6	0x506	0x546	0x586	COMP_COEFF_B1_MD	補償係数 B1 の中位バイト。	0xXX	R/W
0x407	0x447	0x487	0x4C7	0x507	0x547	0x587	COMP_COEFF_B1_HI	補償係数 B1 の最上位バイト。	0xXX	R/W
0x409	0x449	0x489	0x4C9	0x509	0x549	0x589	COMP_COEFF_B2_LO	補償係数 B2 の最下位バイト。	0xXX	R/W
0x40A	0x44A	0x48A	0x4CA	0x50A	0x54A	0x58A	COMP_COEFF_B2_MD	補償係数 B2 の中位バイト。	0xXX	R/W
0x40B	0x44B	0x48B	0x4CB	0x50B	0x54B	0x58B	COMP_COEFF_B2_HI	補償係数 B2 の最上位バイト。	0xXX	R/W
0x40D	0x44D	0x48D	0x4CD	0x50D	0x54D	0x58D	COMP_COEFF_B3_LO	補償係数 B3 の最下位バイト。	0xXX	R/W
0x40E	0x44E	0x48E	0x4CE	0x50E	0x54E	0x58E	COMP_COEFF_B3_MD	補償係数 B3 の中位バイト。	0xXX	R/W
0x40F	0x44F	0x48F	0x4CF	0x50F	0x54F	0x58F	COMP_COEFF_B3_HI	補償係数 B3 の最上位バイト。	0xXX	R/W
0x411	0x451	0x491	0x4D1	0x511	0x551	0x591	COMP_COEFF_B4_LO	補償係数 B4 の最下位バイト。	0xXX	R/W
0x412	0x452	0x492	0x4D2	0x512	0x552	0x592	COMP_COEFF_B4_MD	補償係数 B4 の中位バイト。	0xXX	R/W
0x413	0x453	0x493	0x4D3	0x513	0x553	0x593	COMP_COEFF_B4_HI	補償係数 B4 の最上位バイト。	0xXX	R/W
0x41D	0x45D	0x49D	0x4DD	0x51D	0x55D	0x59D	SHIFT	データバスでの算術シフト。	0xXX	R/W
0x421	0x461	0x4A1	0x4E1	0x521	0x561	0x5A1	GAIN_LO	チャンネル・ゲインの最下位バイト。	0xXX	R/W
0x422	0x462	0x4A2	0x4E2	0x522	0x562	0x5A2	GAIN_MD	チャンネル・ゲインの中位バイト。	0xXX	R/W
0x423	0x463	0x4A3	0x4E3	0x523	0x563	0x5A3	GAIN_HI	チャンネル・ゲインの最上位バイト。	0xXX	R/W
0x425	0x465	0x4A5	0x4E5	0x525	0x565	0x5A5	OFFSET_LO	チャンネル・オフセットの最下位バイト。	0xXX	R/W
0x426	0x466	0x4A6	0x4E6	0x526	0x566	0x5A6	OFFSET_MD	チャンネル・オフセットの中位バイト。	0xXX	R/W
0x427	0x467	0x4A7	0x4E7	0x527	0x567	0x5A7	OFFSET_HI	チャンネル・オフセットの最上位バイト。	0xXX	R/W
0x429	0x469	0x4A9	0x4E9	0x529	0x569	0x5A9	XT_GAIN_LO	クロストーク補償ゲインの最下位バイト。	0xXX	R/W
0x42A	0x46A	0x4AA	0x4EA	0x52A	0x56A	0x5AA	XT_GAIN_MD	クロストーク補償ゲインの中位バイト。	0xXX	R/W
0x42B	0x46B	0x4AB	0x4EB	0x52B	0x56B	0x5AB	XT_GAIN_HI	クロストーク補償ゲインの最上位バイト。	0xXX	R/W
0x42D	0x46D	0x4AD	0x4ED	0x52D	0x56D	0x5AD	XT_AGGRESSOR	クロストーク補償のアグレッサ。	0xXX	R/W
0x431	0x471	0x4B1	0x4F1	0x531	0x571	0x5B1	SCF_APF_COEFF_B0_LO	センサー補償／オールバス係数 B0 の最下位バイト。	0xXX	R/W
0x432	0x472	0x4B2	0x4F2	0x532	0x572	0x5B2	SCF_APF_COEFF_B0_MD	センサー補償／オールバス係数 B0 の中位バイト。	0xXX	R/W
0x433	0x473	0x4B3	0x4F3	0x533	0x573	0x5B3	SCF_APF_COEFF_B0_HI	センサー補償／オールバス係数 B0 の最上位バイト。	0xXX	R/W

DSP RAM の一覧

表 31. DSP RAM の一覧 - ADC チャンネルごとに独立（続き）

14 ビット・アドレス							名称	説明	デフォルト値	アクセス
CH0	CH1	CH2	CH3	CH4	CH5	CH6				
0x435	0x475	0x4B5	0x4F5	0x535	0x575	0x5B5	SCF_APF_COEFF_B1_LO	センサー補償／オールバス係数 B0 の最下位バイト。	0xXX	R/W
0x436	0x476	0x4B6	0x4F6	0x536	0x576	0x5B6	SCF_APF_COEFF_B1_MD	センサー補償／オールバス係数 B0 の中位バイト。	0xXX	R/W
0x437	0x477	0x4B7	0x4F7	0x537	0x577	0x5B7	SCF_APF_COEFF_B1_HI	センサー補償／オールバス係数 B0 の最上位バイト。	0xXX	R/W
0x439	0x479	0x4B9	0x4F9	0x539	0x579	0x5B9	SCF_APF_COEFF_A1_LO	センサー補償／オールバス係数 A1 の最下位バイト。	0xXX	R/W
0x43A	0x47A	0x4BA	0x4FA	0x53A	0x57A	0x5BA	SCF_APF_COEFF_A1_MD	センサー補償／オールバス係数 A1 の中位バイト。	0xXX	R/W
0x43B	0x47B	0x4BB	0x4FB	0x53B	0x57B	0x5BB	SCF_APF_COEFF_A1_HI	センサー補償／オールバス係数 A1 の最上位バイト。	0xXX	R/W

表 32. DSP RAM の一覧 - 全 ADC チャンネル共通

14 ビット・アドレス	名称	説明	デフォルト値	アクセス
0x5C1	LPF_COEFF_B0_LO	ローパス・フィルタ係数 B0 の最下位バイト。	0x00	R/W
0x5C2	LPF_COEFF_B0_MD	ローパス・フィルタ係数 B0 の中位バイト。	0x00	R/W
0x5C3	LPF_COEFF_B0_HI	ローパス・フィルタ係数 B0 の最上位バイト。	0x00	R/W
0x5C5	LPF_COEFF_B1_LO	ローパス・フィルタ係数 B1 の最下位バイト。	0x00	R/W
0x5C6	LPF_COEFF_B1_MD	ローパス・フィルタ係数 B1 の中位バイト。	0x00	R/W
0x5C7	LPF_COEFF_B1_HI	ローパス・フィルタ係数 B1 の最上位バイト。	0x00	R/W
0x5C9	LPF_COEFF_B2_LO	ローパス・フィルタ係数 B2 の最下位バイト。	0x00	R/W
0x5CA	LPF_COEFF_B2_MD	ローパス・フィルタ係数 B2 の中位バイト。	0x00	R/W
0x5CB	LPF_COEFF_B2_HI	ローパス・フィルタ係数 B2 の最上位バイト。	0x00	R/W
0x5CD	LPF_COEFF_B3_LO	ローパス・フィルタ係数 B3 の最下位バイト。	0x00	R/W
0x5CE	LPF_COEFF_B3_MD	ローパス・フィルタ係数 B3 の中位バイト。	0x00	R/W
0x5CF	LPF_COEFF_B3_HI	ローパス・フィルタ係数 B3 の最上位バイト。	0x00	R/W
0x5D1	LPF_COEFF_B4_LO	ローパス・フィルタ係数 B4 の最下位バイト。	0x00	R/W
0x5D2	LPF_COEFF_B4_MD	ローパス・フィルタ係数 B4 の中位バイト。	0x00	R/W
0x5D3	LPF_COEFF_B4_HI	ローパス・フィルタ係数 B4 の最上位バイト。	0x00	R/W
0x5D5	LPF_COEFF_B5_LO	ローパス・フィルタ係数 B5 の最下位バイト。	0x00	R/W
0x5D6	LPF_COEFF_B5_MD	ローパス・フィルタ係数 B5 の中位バイト。	0x00	R/W
0x5D7	LPF_COEFF_B5_HI	ローパス・フィルタ係数 B5 の最上位バイト。	0x00	R/W
0x5D9	LPF_COEFF_B6_LO	ローパス・フィルタ係数 B6 の最下位バイト。	0x00	R/W
0x5DA	LPF_COEFF_B6_MD	ローパス・フィルタ係数 B6 の中位バイト。	0x00	R/W
0x5DB	LPF_COEFF_B6_HI	ローパス・フィルタ係数 B6 の最上位バイト。	0x00	R/W
0x5DD	LPF_COEFF_B7_LO	ローパス・フィルタ係数 B7 の最下位バイト。	0x00	R/W
0x5DE	LPF_COEFF_B7_MD	ローパス・フィルタ係数 B7 の中位バイト。	0x00	R/W
0x5DF	LPF_COEFF_B7_HI	ローパス・フィルタ係数 B7 の最上位バイト。	0x00	R/W
0x5E1	LPF_COEFF_B8_LO	ローパス・フィルタ係数 B8 の最下位バイト。	0x00	R/W
0x5E2	LPF_COEFF_B8_MD	ローパス・フィルタ係数 B8 の中位バイト。	0x00	R/W
0x5E3	LPF_COEFF_B8_HI	ローパス・フィルタ係数 B8 の最上位バイト。	0x00	R/W
0x5E5	LPF_COEFF_B9_LO	ローパス・フィルタ係数 B9 の最下位バイト。	0x00	R/W
0x5E6	LPF_COEFF_B9_MD	ローパス・フィルタ係数 B9 の中位バイト。	0x00	R/W
0x5E7	LPF_COEFF_B9_HI	ローパス・フィルタ係数 B9 の最上位バイト。	0x00	R/W
0x5E9	LPF_COEFF_B10_LO	ローパス・フィルタ係数 B10 の最下位バイト。	0x00	R/W
0x5EA	LPF_COEFF_B10_MD	ローパス・フィルタ係数 B10 の中位バイト。	0x00	R/W

DSP RAM の一覧

表 32. DSP RAM の一覧 - 全 ADC チャンネル共通（続き）

14 ビット・アドレス	名称	説明	デフォルト値	アクセス
0x5EB	LPF_COEFF_B10_HI	ローパス・フィルタ係数 B10 の最上位バイト。	0x00	R/W
0x5ED	LPF_COEFF_B11_LO	ローパス・フィルタ係数 B11 の最下位バイト。	0x00	R/W
0x5EE	LPF_COEFF_B11_MD	ローパス・フィルタ係数 B11 の中位バイト。	0x00	R/W
0x5EF	LPF_COEFF_B11_HI	ローパス・フィルタ係数 B11 の最上位バイト。	0x00	R/W
0x5F1	LPF_COEFF_B12_LO	ローパス・フィルタ係数 B12 の最下位バイト。	0x00	R/W
0x5F2	LPF_COEFF_B12_MD	ローパス・フィルタ係数 B12 の中位バイト。	0x00	R/W
0x5F3	LPF_COEFF_B12_HI	ローパス・フィルタ係数 B12 の最上位バイト。	0x00	R/W
0x5F5	LPF_COEFF_B13_LO	ローパス・フィルタ係数 B13 の最下位バイト。	0x00	R/W
0x5F6	LPF_COEFF_B13_MD	ローパス・フィルタ係数 B13 の中位バイト。	0x00	R/W
0x5F7	LPF_COEFF_B13_HI	ローパス・フィルタ係数 B13 の最上位バイト。	0x00	R/W
0x5F9	LPF_COEFF_B14_LO	ローパス・フィルタ係数 B14 の最下位バイト。	0x00	R/W
0x5FA	LPF_COEFF_B14_MD	ローパス・フィルタ係数 B14 の中位バイト。	0x00	R/W
0x5FB	LPF_COEFF_B14_HI	ローパス・フィルタ係数 B14 の最上位バイト。	0x00	R/W
0x5FD	LPF_COEFF_B15_LO	ローパス・フィルタ係数 B15 の最下位バイト。	0x00	R/W
0x5FE	LPF_COEFF_B15_MD	ローパス・フィルタ係数 B15 の中位バイト。	0x00	R/W
0x5FF	LPF_COEFF_B15_HI	ローパス・フィルタ係数 B15 の最上位バイト。	0x00	R/W
0x601	LPF_COEFF_B16_LO	ローパス・フィルタ係数 B16 の最下位バイト。	0x00	R/W
0x602	LPF_COEFF_B16_MD	ローパス・フィルタ係数 B16 の中位バイト。	0x00	R/W
0x603	LPF_COEFF_B16_HI	ローパス・フィルタ係数 B16 の最上位バイト。	0x00	R/W
0x605	LPF_COEFF_B17_LO	ローパス・フィルタ係数 B17 の最下位バイト。	0x00	R/W
0x606	LPF_COEFF_B17_MD	ローパス・フィルタ係数 B17 の中位バイト。	0x00	R/W
0x607	LPF_COEFF_B17_HI	ローパス・フィルタ係数 B17 の最上位バイト。	0x00	R/W
0x609	HPF_COEFF_B0_LO	ハイパス・フィルタ係数 B0 の最下位バイト。	0x00	R/W
0x60A	HPF_COEFF_B0_MD	ハイパス・フィルタ係数 B0 の中位バイト。	0x00	R/W
0x60B	HPF_COEFF_B0_HI	ハイパス・フィルタ係数 B0 の最上位バイト。	0x00	R/W
0x60D	HPF_COEFF_B1_LO	ハイパス・フィルタ係数 B1 の最下位バイト。	0x00	R/W
0x60E	HPF_COEFF_B1_MD	ハイパス・フィルタ係数 B1 の中位バイト。	0x00	R/W
0x60F	HPF_COEFF_B1_HI	ハイパス・フィルタ係数 B1 の最上位バイト。	0x00	R/W
0x611	HPF_COEFF_B2_LO	ハイパス・フィルタ係数 B2 の最下位バイト。	0x00	R/W
0x612	HPF_COEFF_B2_MD	ハイパス・フィルタ係数 B2 の中位バイト。	0x00	R/W
0x613	HPF_COEFF_B2_HI	ハイパス・フィルタ係数 B2 の最上位バイト。	0x00	R/W
0x615	HPF_COEFF_A1_0	ハイパス・フィルタ係数 A1 のバイト 0。	0x00	R/W
0x616	HPF_COEFF_A1_1	ハイパス・フィルタ係数 A1 のバイト 1。	0x00	R/W
0x617	HPF_COEFF_A1_2	ハイパス・フィルタ係数 A1 のバイト 2。	0x00	R/W
0x619	HPF_COEFF_A1_3	ハイパス・フィルタ係数 A1 のバイト 3。	0x00	R/W
0x61A	HPF_COEFF_A1_4	ハイパス・フィルタ係数 A1 のバイト 4。	0x00	R/W
0x61B	HPF_COEFF_A1_5	ハイパス・フィルタ係数 A1 のバイト 5。	0x00	R/W
0x61D	HPF_COEFF_A2_0	ハイパス・フィルタ係数 A2 のバイト 0。	0x00	R/W
0x61E	HPF_COEFF_A2_1	ハイパス・フィルタ係数 A2 のバイト 1。	0x00	R/W
0x61F	HPF_COEFF_A2_2	ハイパス・フィルタ係数 A2 のバイト 2。	0x00	R/W
0x621	HPF_COEFF_A2_3	ハイパス・フィルタ係数 A2 のバイト 3。	0x00	R/W
0x622	HPF_COEFF_A2_4	ハイパス・フィルタ係数 A2 のバイト 4。	0x00	R/W
0x623	HPF_COEFF_A2_5	ハイパス・フィルタ係数 A2 のバイト 5。	0x00	R/W

DSP RAM の詳細

DSP RAM ビット・フィールドは、DSP_MEM_ACCESS_REQ ビットによってデフォルトで読み出しおよび書き込みから保護されています。デフォルト値は、設定された DSP オプションおよび DECIMATION_RATE レジスタの設定に基づき、ROM から DSP RAM に読み込まれます。

DSP RAM の更新プロシージャについては、[設定ロックおよびアクセス・ビット](#)のセクションおよび[設定プロシージャ](#)のセクションを参照してください。

表 33. DSP RAM の詳細 - ADC チャンネルごとに独立

14 ビット・アドレス												
CH0	CH1	CH2	CH3	CH4	CH5	CH6	名称	ビット	ビット名	説明	リセット ¹	アクセス
0x401	0x441	0x481	0x4C1	0x501	0x541	0x581	COMP_COEFF_B0_LO	[7:0]	COMP_COEFF_B0[7:0]	補償フィルタ係数 B0。	0xX	R/W
0x402	0x442	0x482	0x4C2	0x502	0x542	0x582	COMP_COEFF_B0_MD	[7:0]	COMP_COEFF_B0[15:8]	補償フィルタ係数 B0。	0xX	R/W
0x403	0x443	0x483	0x4C3	0x503	0x543	0x583	COMP_COEFF_B0_HI	[7:0]	COMP_COEFF_B0[23:16]	補償フィルタ係数 B0。	0xX	R/W
0x405	0x445	0x485	0x4C5	0x505	0x545	0x585	COMP_COEFF_B1_LO	[7:0]	COMP_COEFF_B1[7:0]	補償フィルタ係数 B1。	0xX	R/W
0x406	0x446	0x486	0x4C6	0x506	0x546	0x586	COMP_COEFF_B1_MD	[7:0]	COMP_COEFF_B1[15:8]	補償フィルタ係数 B1。	0xX	R/W
0x407	0x447	0x487	0x4C7	0x507	0x547	0x587	COMP_COEFF_B1_HI	[7:0]	COMP_COEFF_B1[23:16]	補償フィルタ係数 B1。	0xX	R/W
0x409	0x449	0x489	0x4C9	0x509	0x549	0x589	COMP_COEFF_B2_LO	[7:0]	COMP_COEFF_B2[7:0]	補償フィルタ係数 B2。	0xX	R/W
0x40A	0x44A	0x48A	0x4CA	0x50A	0x54A	0x58A	COMP_COEFF_B2_MD	[7:0]	COMP_COEFF_B2[15:8]	補償フィルタ係数 B2。	0xX	R/W
0x40B	0x44B	0x48B	0x4CB	0x50B	0x54B	0x58B	COMP_COEFF_B2_HI	[7:0]	COMP_COEFF_B2[23:16]	補償フィルタ係数 B2。	0xX	R/W
0x40D	0x44D	0x48D	0x4CD	0x50D	0x54D	0x58D	COMP_COEFF_B3_LO	[7:0]	COMP_COEFF_B3[7:0]	補償フィルタ係数 B3。	0xX	R/W
0x40E	0x44E	0x48E	0x4CE	0x50E	0x54E	0x58E	COMP_COEFF_B3_MD	[7:0]	COMP_COEFF_B3[15:8]	補償フィルタ係数 B3。	0xX	R/W
0x40F	0x44F	0x48F	0x4CF	0x50F	0x54F	0x58F	COMP_COEFF_B3_HI	[7:0]	COMP_COEFF_B3[23:16]	補償フィルタ係数 B3。	0xX	R/W
0x411	0x451	0x491	0x4D1	0x511	0x551	0x591	COMP_COEFF_B4_LO	[7:0]	COMP_COEFF_B4[7:0]	補償フィルタ係数 B4。	0xX	R/W
0x412	0x452	0x492	0x4D2	0x512	0x552	0x592	COMP_COEFF_B4_MD	[7:0]	COMP_COEFF_B4[15:8]	補償フィルタ係数 B4。	0xX	R/W
0x413	0x453	0x493	0x4D3	0x513	0x553	0x593	COMP_COEFF_B4_HI	[7:0]	COMP_COEFF_B4[23:16]	補償フィルタ係数 B4。	0xX	R/W
0x41D	0x45D	0x49D	0x4DD	0x51D	0x55D	0x59D	SHIFT	[7:3]	RESERVED	予約済み。	0xX	R
								[2:0]	SHIFT	データバスでの算術シフト。SCF の出力でデータバスに適用される算術シフト。	0xX	R/W
0x421	0x461	0x4A1	0x4E1	0x521	0x561	0x5A1	GAIN_LO	[7:0]	GAIN[7:0]	チャンネル・ゲイン。符号付き 2.22 フォーマット。	0xX	R/W
0x422	0x462	0x4A2	0x4E2	0x522	0x562	0x5A2	GAIN_MD	[7:0]	GAIN[15:8]	チャンネル・ゲイン。符号付き 2.22 フォーマット。	0xX	R/W
0x423	0x463	0x4A3	0x4E3	0x523	0x563	0x5A3	GAIN_HI	[7:0]	GAIN[23:16]	チャンネル・ゲイン。符号付き 2.22 フォーマット。	0xX	R/W
0x425	0x465	0x4A5	0x4E5	0x525	0x565	0x5A5	OFFSET_LO	[7:0]	OFFSET[7:0]	チャンネルから差し引かれる符号付きの静的オフセット。オフセットのフォーマットは、ADC チャンネル波形データと同じです。	0xX	R/W

DSP RAM の詳細

表 33. DSP RAM の詳細 - ADC チャンネルごとに独立（続き）

14 ビット・アドレス												
CH0	CH1	CH2	CH3	CH4	CH5	CH6	名稱	ビット	ビット名	説明	リセット ¹	アクセス
0x426	0x466	0x4A6	0x4E6	0x526	0x566	0x5A6	OFFSET_MD	[7:0]	OFFSET[15:8]	チャンネルから差し引かれる符号付きの静的オフセット。オフセットのフォーマットは、ADC チャンネル波形データと同じです。	0xX	R/W
0x427	0x467	0x4A7	0x4E7	0x527	0x567	0x5A7	OFFSET_HI	[7:0]	OFFSET[23:16]	チャンネルから差し引かれる符号付きの静的オフセット。オフセットのフォーマットは、ADC チャンネル波形データと同じです。	0xX	R/W
0x429	0x469	0x4A9	0x4E9	0x529	0x569	0x5A9	XT_GAIN_LO	[7:0]	XT_GAIN[7:0]	クロストーク補償のゲイン。符号付き 2.22 フォーマット。クロストーク補償により、チャンネル [xt_aggressor] × xt_gain がチャンネルに加えられます。差し引くには、xt_gain を負の値にする必要があります。	0xX	R/W
0x42A	0x46A	0x4AA	0x4EA	0x52A	0x56A	0x5AA	XT_GAIN_MD	[7:0]	XT_GAIN[15:8]	クロストーク補償のゲイン。符号付き 2.22 フォーマット。クロストーク補償により、チャンネル [xt_aggressor] × xt_gain がチャンネルに加えられます。差し引くには、xt_gain を負の値にする必要があります。	0xX	R/W
0x42B	0x46B	0x4AB	0x4EB	0x52B	0x56B	0x5AB	XT_GAIN_HI	[7:0]	XT_GAIN[23:16]	クロストーク補償のゲイン。符号付き 2.22 フォーマット。クロストーク補償により、チャンネル [xt_aggressor] × xt_gain がチャンネルに加えられます。差し引くには、xt_gain を負の値にする必要があります。	0xX	R/W
0x42D	0x46D	0x4AD	0x4ED	0x52D	0x56D	0x5AD	XT_AGGRESSOR	[7:6]	RESERVED	予約済み。	0xX	R
								5	XT_COMP_EN	クロストーク補償の有効化。	0xX	R/W
								[4:3]	RESERVED	予約済み。	0xX	R
								[2:0]	XT_AGGRESSOR	クロストーク補償のアグレッサ。静電補償を行うチャンネルに加えられるアグレッサのチャンネル番号を選択します。	0xX	R/W

DSP RAM の詳細

表 33. DSP RAM の詳細 - ADC チャンネルごとに独立（続き）

14 ビット・アドレス												
CH0	CH1	CH2	CH3	CH4	CH5	CH6	名称	ビット	ビット名	説明	リセット ¹	アクセス
0x431	0x471	0x4B1	0x4F1	0x531	0x571	0x5B1	SCF_APF_COEFF_B_0_LO	[7:0]	SCF_APF_COEF_F_B0[7:0]	センサー補償フィルタ係数 B0。	0xX	R/W
0x432	0x472	0x4B2	0x4F2	0x532	0x572	0x5B2	SCF_APF_COEFF_B_0_MD	[7:0]	SCF_APF_COEF_F_B0[1:5:8]	センサー補償フィルタ係数 B0。	0xX	R/W
0x433	0x473	0x4B3	0x4F3	0x533	0x573	0x5B3	SCF_APF_COEFF_B_0_HI	[7:0]	SCF_APF_COEF_F_B0[2:3:16]	センサー補償フィルタ係数 B0。	0xX	R/W
0x435	0x475	0x4B5	0x4F5	0x535	0x575	0x5B5	SCF_APF_COEFF_B_1_LO	[7:0]	SCF_APF_COEF_F_B1[7:0]	センサー補償フィルタ係数 B0。	0xX	R/W
0x436	0x476	0x4B6	0x4F6	0x536	0x576	0x5B6	SCF_APF_COEFF_B_1_MD	[7:0]	SCF_APF_COEF_F_B1[1:5:8]	センサー補償フィルタ係数 B0。	0xX	R/W
0x437	0x477	0x4B7	0x4F7	0x537	0x577	0x5B7	SCF_APF_COEFF_B_1_HI	[7:0]	SCF_APF_COEF_F_B1[2:3:16]	センサー補償フィルタ係数 B0。	0xX	R/W
0x439	0x479	0x4B9	0x4F9	0x539	0x579	0x5B9	SCF_APF_COEFF_A_1_LO	[7:0]	SCF_APF_COEF_F_A1[7:0]	センサー補償フィルタ係数 A1。	0xX	R/W
0x43A	0x47A	0x4BA	0x4FA	0x53A	0x57A	0x5BA	SCF_APF_COEFF_A_1_MD	[7:0]	SCF_APF_COEF_F_A1[1:5:8]	センサー補償フィルタ係数 A1。	0xX	R/W
0x43B	0x47B	0x4BB	0x4FB	0x53B	0x57B	0x5BB	SCF_APF_COEFF_A_1_HI	[7:0]	SCF_APF_COEF_F_A1[2:3:16]	センサー補償フィルタ係数 A1。	0xX	R/W

¹ 対応する DSP フィルタが有効な場合に ROM から更新されるレジスタ値。

表 34. DSP RAM の詳細 - 全 ADC チャンネル共通

14 ビット・アドレス	名称	ビット	ビット名	説明	リセット	アクセス
0x5C1	LPF_COEFF_B0_LO	[7:0]	LPF_COEFF_B0[7:0]	ローパス・フィルタ係数 B0。	0x0	R/W
0x5C2	LPF_COEFF_B0_MD	[7:0]	LPF_COEFF_B0[15:8]	ローパス・フィルタ係数 B0。	0x0	R/W
0x5C3	LPF_COEFF_B0_HI	[7:0]	LPF_COEFF_B0[23:16]	ローパス・フィルタ係数 B0。	0x0	R/W
0x5C5	LPF_COEFF_B1_LO	[7:0]	LPF_COEFF_B1[7:0]	ローパス・フィルタ係数 B1。	0x0	R/W
0x5C6	LPF_COEFF_B1_MD	[7:0]	LPF_COEFF_B1[15:8]	ローパス・フィルタ係数 B1。	0x0	R/W
0x5C7	LPF_COEFF_B1_HI	[7:0]	LPF_COEFF_B1[23:16]	ローパス・フィルタ係数 B1。	0x0	R/W
0x5C9	LPF_COEFF_B2_LO	[7:0]	LPF_COEFF_B2[7:0]	ローパス・フィルタ係数 B2。	0x0	R/W
0x5CA	LPF_COEFF_B2_MD	[7:0]	LPF_COEFF_B2[15:8]	ローパス・フィルタ係数 B2。	0x0	R/W
0x5CB	LPF_COEFF_B2_HI	[7:0]	LPF_COEFF_B2[23:16]	ローパス・フィルタ係数 B2。	0x0	R/W
0x5CD	LPF_COEFF_B3_LO	[7:0]	LPF_COEFF_B3[7:0]	ローパス・フィルタ係数 B3。	0x0	R/W
0x5CE	LPF_COEFF_B3_MD	[7:0]	LPF_COEFF_B3[15:8]	ローパス・フィルタ係数 B3。	0x0	R/W
0x5CF	LPF_COEFF_B3_HI	[7:0]	LPF_COEFF_B3[23:16]	ローパス・フィルタ係数 B3。	0x0	R/W
0x5D1	LPF_COEFF_B4_LO	[7:0]	LPF_COEFF_B4[7:0]	ローパス・フィルタ係数 B4。	0x0	R/W
0x5D2	LPF_COEFF_B4_MD	[7:0]	LPF_COEFF_B4[15:8]	ローパス・フィルタ係数 B4。	0x0	R/W
0x5D3	LPF_COEFF_B4_HI	[7:0]	LPF_COEFF_B4[23:16]	ローパス・フィルタ係数 B4。	0x0	R/W
0x5D5	LPF_COEFF_B5_LO	[7:0]	LPF_COEFF_B5[7:0]	ローパス・フィルタ係数 B5。	0x0	R/W
0x5D6	LPF_COEFF_B5_MD	[7:0]	LPF_COEFF_B5[15:8]	ローパス・フィルタ係数 B5。	0x0	R/W
0x5D7	LPF_COEFF_B5_HI	[7:0]	LPF_COEFF_B5[23:16]	ローパス・フィルタ係数 B5。	0x0	R/W
0x5D9	LPF_COEFF_B6_LO	[7:0]	LPF_COEFF_B6[7:0]	ローパス・フィルタ係数 B6。	0x0	R/W
0x5DA	LPF_COEFF_B6_MD	[7:0]	LPF_COEFF_B6[15:8]	ローパス・フィルタ係数 B6。	0x0	R/W
0x5DB	LPF_COEFF_B6_HI	[7:0]	LPF_COEFF_B6[23:16]	ローパス・フィルタ係数 B6。	0x0	R/W

DSP RAM の詳細

表 34. DSP RAM の詳細 - 全 ADC チャンネル共通（続き）

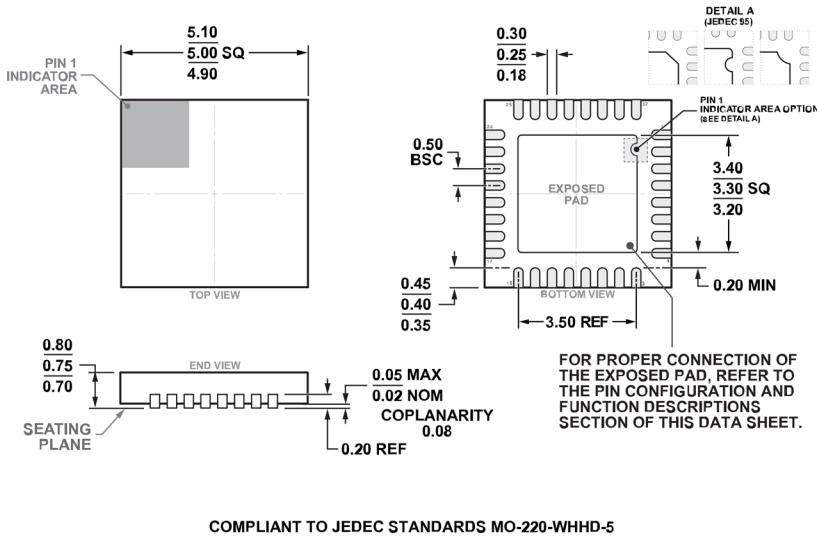
アドレス	名称	ビット	ビット名	説明	リセット	アクセス
0x5DD	LPF_COEFF_B7_LO	[7:0]	LPF_COEFF_B7[7:0]	ローパス・フィルタ係数 B7。	0x0	R/W
0x5DE	LPF_COEFF_B7_MD	[7:0]	LPF_COEFF_B7[15:8]	ローパス・フィルタ係数 B7。	0x0	R/W
0x5DF	LPF_COEFF_B7_HI	[7:0]	LPF_COEFF_B7[23:16]	ローパス・フィルタ係数 B7。	0x0	R/W
0x5E1	LPF_COEFF_B8_LO	[7:0]	LPF_COEFF_B8[7:0]	ローパス・フィルタ係数 B8。	0x0	R/W
0x5E2	LPF_COEFF_B8_MD	[7:0]	LPF_COEFF_B8[15:8]	ローパス・フィルタ係数 B8。	0x0	R/W
0x5E3	LPF_COEFF_B8_HI	[7:0]	LPF_COEFF_B8[23:16]	ローパス・フィルタ係数 B8。	0x0	R/W
0x5E5	LPF_COEFF_B9_LO	[7:0]	LPF_COEFF_B9[7:0]	ローパス・フィルタ係数 B9。	0x0	R/W
0x5E6	LPF_COEFF_B9_MD	[7:0]	LPF_COEFF_B9[15:8]	ローパス・フィルタ係数 B9。	0x0	R/W
0x5E7	LPF_COEFF_B9_HI	[7:0]	LPF_COEFF_B9[23:16]	ローパス・フィルタ係数 B9。	0x0	R/W
0x5E9	LPF_COEFF_B10_LO	[7:0]	LPF_COEFF_B10[7:0]	ローパス・フィルタ係数 B10。	0x0	R/W
0x5EA	LPF_COEFF_B10_MD	[7:0]	LPF_COEFF_B10[15:8]	ローパス・フィルタ係数 B10。	0x0	R/W
0x5EB	LPF_COEFF_B10_HI	[7:0]	LPF_COEFF_B10[23:16]	ローパス・フィルタ係数 B10。	0x0	R/W
0x5ED	LPF_COEFF_B11_LO	[7:0]	LPF_COEFF_B11[7:0]	ローパス・フィルタ係数 B11。	0x0	R/W
0x5EE	LPF_COEFF_B11_MD	[7:0]	LPF_COEFF_B11[15:8]	ローパス・フィルタ係数 B11。	0x0	R/W
0x5EF	LPF_COEFF_B11_HI	[7:0]	LPF_COEFF_B11[23:16]	ローパス・フィルタ係数 B11。	0x0	R/W
0x5F1	LPF_COEFF_B12_LO	[7:0]	LPF_COEFF_B12[7:0]	ローパス・フィルタ係数 B12。	0x0	R/W
0x5F2	LPF_COEFF_B12_MD	[7:0]	LPF_COEFF_B12[15:8]	ローパス・フィルタ係数 B12。	0x0	R/W
0x5F3	LPF_COEFF_B12_HI	[7:0]	LPF_COEFF_B12[23:16]	ローパス・フィルタ係数 B12。	0x0	R/W
0x5F5	LPF_COEFF_B13_LO	[7:0]	LPF_COEFF_B13[7:0]	ローパス・フィルタ係数 B13。	0x0	R/W
0x5F6	LPF_COEFF_B13_MD	[7:0]	LPF_COEFF_B13[15:8]	ローパス・フィルタ係数 B13。	0x0	R/W
0x5F7	LPF_COEFF_B13_HI	[7:0]	LPF_COEFF_B13[23:16]	ローパス・フィルタ係数 B13。	0x0	R/W
0x5F9	LPF_COEFF_B14_LO	[7:0]	LPF_COEFF_B14[7:0]	ローパス・フィルタ係数 B14。	0x0	R/W
0x5FA	LPF_COEFF_B14_MD	[7:0]	LPF_COEFF_B14[15:8]	ローパス・フィルタ係数 B14。	0x0	R/W
0x5FB	LPF_COEFF_B14_HI	[7:0]	LPF_COEFF_B14[23:16]	ローパス・フィルタ係数 B14。	0x0	R/W
0x5FD	LPF_COEFF_B15_LO	[7:0]	LPF_COEFF_B15[7:0]	ローパス・フィルタ係数 B15。	0x0	R/W
0x5FE	LPF_COEFF_B15_MD	[7:0]	LPF_COEFF_B15[15:8]	ローパス・フィルタ係数 B15。	0x0	R/W
0x5FF	LPF_COEFF_B15_HI	[7:0]	LPF_COEFF_B15[23:16]	ローパス・フィルタ係数 B15。	0x0	R/W
0x601	LPF_COEFF_B16_LO	[7:0]	LPF_COEFF_B16[7:0]	ローパス・フィルタ係数 B16。	0x0	R/W
0x602	LPF_COEFF_B16_MD	[7:0]	LPF_COEFF_B16[15:8]	ローパス・フィルタ係数 B16。	0x0	R/W
0x603	LPF_COEFF_B16_HI	[7:0]	LPF_COEFF_B16[23:16]	ローパス・フィルタ係数 B16。	0x0	R/W
0x605	LPF_COEFF_B17_LO	[7:0]	LPF_COEFF_B17[7:0]	ローパス・フィルタ係数 B17。	0x0	R/W
0x606	LPF_COEFF_B17_MD	[7:0]	LPF_COEFF_B17[15:8]	ローパス・フィルタ係数 B17。	0x0	R/W
0x607	LPF_COEFF_B17_HI	[7:0]	LPF_COEFF_B17[23:16]	ローパス・フィルタ係数 B17。	0x0	R/W
0x609	HPF_COEFF_B0_LO	[7:0]	HPF_COEFF_B0[7:0]	ハイパス・フィルタ係数 B0。	0x0	R/W
0x60A	HPF_COEFF_B0_MD	[7:0]	HPF_COEFF_B0[15:8]	ハイパス・フィルタ係数 B0。	0x0	R/W
0x60B	HPF_COEFF_B0_HI	[7:0]	HPF_COEFF_B0[23:16]	ハイパス・フィルタ係数 B0。	0x0	R/W
0x60D	HPF_COEFF_B1_LO	[7:0]	HPF_COEFF_B1[7:0]	ハイパス・フィルタ係数 B1。	0x0	R/W
0x60E	HPF_COEFF_B1_MD	[7:0]	HPF_COEFF_B1[15:8]	ハイパス・フィルタ係数 B1。	0x0	R/W
0x60F	HPF_COEFF_B1_HI	[7:0]	HPF_COEFF_B1[23:16]	ハイパス・フィルタ係数 B1。	0x0	R/W
0x611	HPF_COEFF_B2_LO	[7:0]	HPF_COEFF_B2[7:0]	ハイパス・フィルタ係数 B2。	0x0	R/W
0x612	HPF_COEFF_B2_MD	[7:0]	HPF_COEFF_B2[15:8]	ハイパス・フィルタ係数 B2。	0x0	R/W
0x613	HPF_COEFF_B2_HI	[7:0]	HPF_COEFF_B2[23:16]	ハイパス・フィルタ係数 B2。	0x0	R/W
0x615	HPF_COEFF_A1_0	[7:0]	HPF_COEFF_A1[7:0]	ハイパス・フィルタ係数 A1（倍精度）。	0x0	R/W
0x616	HPF_COEFF_A1_1	[7:0]	HPF_COEFF_A1[15:8]	ハイパス・フィルタ係数 A1（倍精度）。	0x0	R/W

DSP RAM の詳細

表 34. DSP RAM の詳細 - 全 ADC チャンネル共通（続き）

アドレス	名称	ビット	ビット名	説明	リセット	アクセス
0x617	HPF_COEFF_A1_2	[7:0]	HPF_COEFF_A1[23:16]	ハイパス・フィルタ係数 A1（倍精度）。	0x0	R/W
0x619	HPF_COEFF_A1_3	[7:0]	HPF_COEFF_A1[31:24]	ハイパス・フィルタ係数 A1（倍精度）。	0x0	R/W
0x61A	HPF_COEFF_A1_4	[7:0]	HPF_COEFF_A1[39:32]	ハイパス・フィルタ係数 A1（倍精度）。	0x0	R/W
0x61B	HPF_COEFF_A1_5	[7:0]	HPF_COEFF_A1[47:40]	ハイパス・フィルタ係数 A1（倍精度）。	0x0	R/W
0x61D	HPF_COEFF_A2_0	[7:0]	HPF_COEFF_A2[7:0]	ハイパス・フィルタ係数 A2（倍精度）。	0x0	R/W
0x61E	HPF_COEFF_A2_1	[7:0]	HPF_COEFF_A2[15:8]	ハイパス・フィルタ係数 A2（倍精度）。	0x0	R/W
0x61F	HPF_COEFF_A2_2	[7:0]	HPF_COEFF_A2[23:16]	ハイパス・フィルタ係数 A2（倍精度）。	0x0	R/W
0x621	HPF_COEFF_A2_3	[7:0]	HPF_COEFF_A2[31:24]	ハイパス・フィルタ係数 A2（倍精度）。	0x0	R/W
0x622	HPF_COEFF_A2_4	[7:0]	HPF_COEFF_A2[39:32]	ハイパス・フィルタ係数 A2（倍精度）。	0x0	R/W
0x623	HPF_COEFF_A2_5	[7:0]	HPF_COEFF_A2[47:40]	ハイパス・フィルタ係数 A2（倍精度）。	0x0	R/W

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5

09-14-2018-EP

図 74. 32 ピン・リードフレーム・チップ・スケール・パッケージ (LFCSP)
5mm × 5mm ボディ、0.75mm パッケージ高
(CP-32-20)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADEMA124ACPZ	-40°C to +125°C	32-Lead [LFCSP] (5mm × 5mm × 0.75mm)	Tray, 490	CP-32-20
ADEMA124ACPZ-RL	-40°C to +125°C	32-Lead [LFCSP] (5mm × 5mm × 0.75mm)	Reel, 5000	CP-32-20
ADEMA124ACPZ-RL7	-40°C to +125°C	32-Lead [LFCSP] (5mm × 5mm × 0.75mm)	Reel7, 1500	CP-32-20
ADEMA127ACPZ	-40°C to +125°C	32-Lead [LFCSP] (5mm × 5mm × 0.75mm)	Tray, 490	CP-32-20
ADEMA127ACPZ-RL	-40°C to +125°C	32-Lead [LFCSP] (5mm × 5mm × 0.75mm)	Reel, 5000	CP-32-20
ADEMA127ACPZ-RL7	-40°C to +125°C	32-Lead [LFCSP] (5mm × 5mm × 0.75mm)	Reel7, 1500	CP-32-20

¹ Z = RoHS 準拠製品。

更新 : 2025 年 7 月 25 日

評価用ボード

Evaluation Board ¹	Description
EVAL-ADEMA127KTZ	Evaluation Board

¹ Z = RoHS 準拠製品。