

## 柔軟な抵抗性入力とアンチエイリアシング・フィルタを備えた 24ビット、1MSPSのμModule DAQ ソリューション

### 特長

- ▶ 高集積データ・アキュジション・ソリューション
- ▶ 3つのピンで選択可能なゲイン・オプション：1 (IN1)、0.364 (IN2)、または 0.143 (IN3)
- ▶ 最大差動入力範囲：±28.672V (IN3)
- ▶ 広い入力コモンモード電圧範囲：-16V~+12V (IN3)
- ▶ 最大の平坦度と線形位相特性を持つ4次アンチエイリアシング・フィルタ (Anti Aliasing Filter)
  - ▶ 105dB (代表値) の除去によるエイリアシングからの保護 (IN1)
- ▶ デバイス間の優れた位相マッチングとドリフト
- ▶ AC と DC の高精度性能を両立：
  - ▶ システム全体のダイナミック・レンジ：最大 124.5dB
  - ▶ ±28.672V の入力レンジで-118dB (代表値) の THD (IN3)
  - ▶ ±28.672V の入力レンジで 78.0dB (代表値) の DC CMRR (IN3)
  - ▶ INL：FSR の±3.8ppm (代表値)
  - ▶ ゲイン誤差ドリフト：最大 3.1ppm/°C
  - ▶ デバイス間の最大位相角不整合：20kHz で±0.096
- ▶ プログラマブルな出力データ・レート、フィルタ・タイプ、レイテンシ
  - ▶ 線形位相デジタル・フィルタ・オプション：
    - ▶ 広帯域低リップル FIR フィルタ (256kSPS、最大入力帯域幅 110kHz)
    - ▶ sinc5 フィルタ (1.024MSPS、最大入力帯域幅 208.9kHz、最大群遅延 4μs)

- ▶ sinc3 フィルタ (50Hz/60Hz 除去)
- ▶ LDO 内蔵
- ▶ 電源デカップリング・コンデンサ内蔵
- ▶ ピン・ストラップまたは SPI を使用した設定
- ▶ 絶縁アプリケーションに最適化されたデジタル・インターフェース
- ▶ 一連の診断チェック・メカニズム
- ▶ 動作温度範囲：-40°C~+105°C
- ▶ パッケージング：12mm×6mm × 1.6mm の 84 ボール CSP\_BGA (ボール・ピッチ 0.8mm)
  - ▶ ディスクリット・ソリューションと比較してフットプリントを 1/8 に削減

### アプリケーション

- ▶ 汎用入力測定プラットフォーム
- ▶ 電子テストおよび計測
- ▶ サウンドと振動、音響、および材料科学の研究開発
- ▶ 制御およびハードウェア・イン・ザ・ループ検証
- ▶ 予防メンテナンスのための状態監視
- ▶ オーディオ試験

### 機能ブロック図

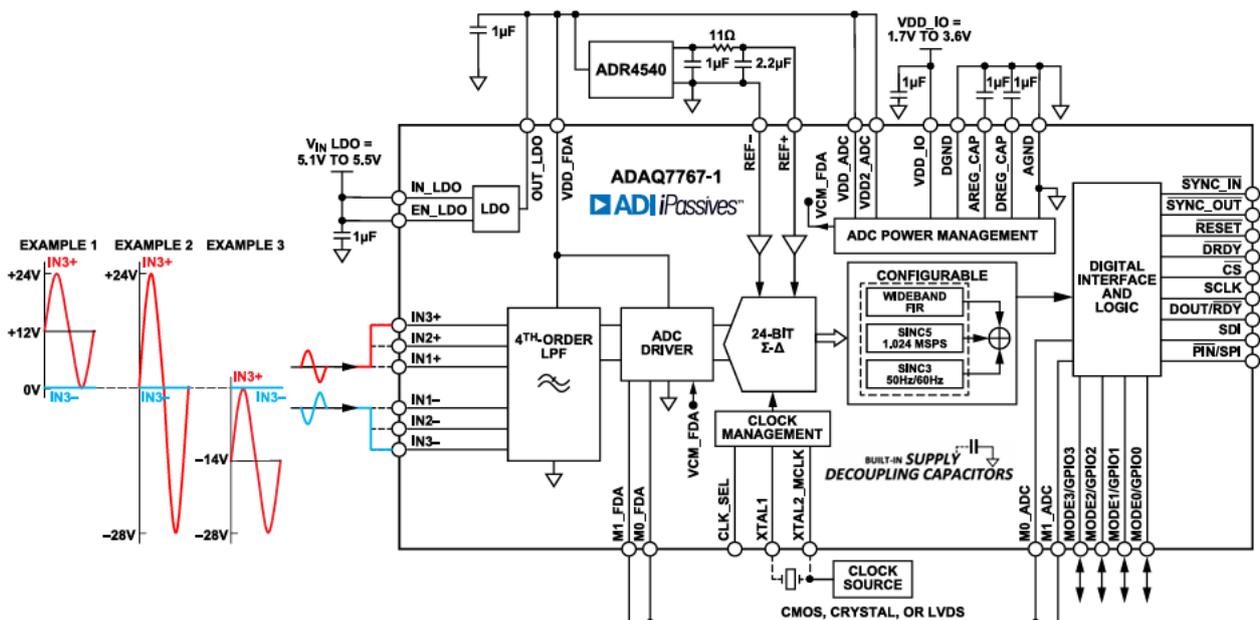


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

## 目次

特長.....	1	データ変換モード.....	68
アプリケーション.....	1	連続変換モード.....	68
機能ブロック図.....	1	ワンショット変換モード.....	68
概要.....	4	シングル変換モード.....	69
仕様.....	6	デューティサイクル変換モード.....	69
タイミング仕様.....	12	複数の ADAQ7767-1 デバイスの同期.....	70
1.8V タイミング仕様.....	13	ADAQ7767-1 のその他の機能.....	71
絶対最大定格.....	17	リセット.....	71
熱抵抗.....	17	ステータス・ヘッダ.....	71
静電放電 (ESD) 定格.....	17	診断機能.....	71
ESD に関する注意.....	17	アプリケーション情報.....	72
ピン配置およびピン機能の説明.....	18	状態基準保全 (CBM) アプリケーション.....	72
代表的な性能特性.....	22	アナログ入力.....	73
用語の定義.....	31	PIN制御モードおよび SPI 制御モード.....	78
動作原理.....	33	電源.....	78
アナログ入力.....	33	リファレンス、リファレンス・バッファ、	
アンチエイリアシング・フィルタ (AAF).....	36	直線性向上バッファ.....	78
完全差動アンプ (FDA) のパワー・モード.....	38	推奨インターフェース.....	78
直線性向上バッファ.....	39	プログラマブル・デジタル・フィルタ.....	80
リファレンス入力とバッファリング.....	39	レイアウトのガイドライン.....	83
コア・コンバータ.....	40	レジスタの一覧.....	84
電源.....	40	レジスタの詳細.....	86
電源のデカップリング.....	41	コンポーネント・タイプ・レジスタ.....	86
電源スタンバイ.....	41	製品固有 ID レジスタ.....	86
クロック供給とサンプリング・ツリー.....	41	デバイス・グレードおよびリビジョン・レジスタ.....	86
クロッキングとクロックの選択.....	42	ユーザ・スクラッチ・パッド・レジスタ.....	86
デジタル・フィルタ処理.....	43	デバイス・ベンダ ID レジスタ.....	87
合計群遅延.....	48	インターフェース・フォーマット制御レジスタ.....	87
ADC の速度と性能.....	48	電力およびクロック制御レジスタ.....	88
デバイスの設定方法.....	48	アナログ・バッファ制御レジスタ.....	88
ピン制御モードの概要.....	49	変換ソース選択およびモード制御レジスタ.....	89
SPI 制御の概要.....	52	デジタル・フィルタおよびデシメーション制御レジスタ.....	89
SPI 制御モード.....	53	sinc3 デシメーション・レート (MSB) レジスタ.....	90
クイック・スタートアップ・ガイド.....	56	sinc3 デシメーション・レート (LSB) レジスタ.....	90
電源の接続.....	56	周期的変換レート制御レジスタ.....	90
デバイスの制御モード.....	56	同期モードおよびリセット・トリガリング・レジスタ.....	91
入力レンジの選択.....	56	GPIO ポート制御レジスタ.....	91
MCLK の分周器とソースの選択.....	57	GPIO 出力制御レジスタ.....	92
デジタル・フィルタの設定.....	57	GPIO 入力読出しレジスタ.....	92
ADC のパワー・モード.....	58	オフセット・キャリブレーション MSB レジスタ.....	92
基本的なレジスタ・セットアップ.....	58	オフセット・キャリブレーション MID レジスタ.....	92
クイック・スタートの例.....	58	オフセット・キャリブレーション LSB レジスタ.....	93
ノイズ性能.....	59	ゲイン・キャリブレーション MSB レジスタ.....	93
デジタル・インターフェース.....	62	ゲイン・キャリブレーション MID レジスタ.....	93
SPI での読出しと書込み.....	62	ゲイン・キャリブレーション LSB レジスタ.....	93
SPI 制御インターフェースのエラー処理.....	63	SPI 診断制御レジスタ.....	94
シリアル・インターフェースでの CRC チェック.....	63	ADC 診断機能制御レジスタ.....	94
変換読出しモード.....	65	デジタル診断機能制御レジスタ.....	94

## 目次

変換結果レジスタ .....	94	係数データ・レジスタ .....	96
デバイス・エラー・フラグ・メイン・レジスタ .....	95	アクセス・キー・レジスタ .....	96
SPI エラー・レジスタ .....	95	外形寸法 .....	97
ADC 診断出力レジスタ .....	95	オーダー・ガイド .....	97
デジタル診断出力レジスタ .....	95	評価用ボード .....	97
MCLK 診断出力レジスタ .....	96		
係数制御レジスタ .....	96		

## 改訂履歴

3/2024—Revision 0: Initial Version

## 概要

ADAQ7767-1<sup>1</sup>は、シグナル・コンディショニング、変換、処理ブロックを1つのシステム・イン・パッケージ (SiP) 設計に組み込んだ24ビット高精度データ・アキュイジション (DAQ)  $\mu$ Module<sup>®</sup>システムです。このシステムにより、超小型で高性能な高精度DAQシステムを短時間で開発することができます。

ADAQ7767-1の構成要素は次のとおりです。

- ▶ 低ノイズ、線形位相の4次アンチエイリアシング・フィルタ (AAF)
- ▶ 低ノイズ、低歪み、広帯域幅、ゲイン選択可能なADCドライバ、およびオプションの直線性向上バッファ
- ▶ プログラマブルなデジタル・フィルタを備えた高性能、中帯域幅の24ビット $\Sigma$ - $\Delta$ ADC
- ▶ 低ノイズ、低ドロップアウト (LDO) のリニア・レギュレータ
- ▶ リファレンス・バッファ
- ▶ シグナル・チェーンに必要な重要受動部品

ADAQ7767-1は、ユニポーラおよびバイポーラのシングルエンド、擬似差動、差動など、様々な入力タイプの信号に対応し、最大差動範囲は $\pm 28.672\text{V}$ 、IN3を使用したコモンモード電圧範囲は $-16\text{V}$ ~ $+12\text{V}$ です。アナログ・デバイセズのiPASSIVES<sup>™</sup>技術の精度により、優れた同相モード除去比 (CMRR) を実現します。ピンで選択可能な3対のゲイン設定はシステムのダイナミック・レンジを拡張し、より低振幅の入力信号に対するシグナル・チェーンのノイズ性能を向上させます。高い入力インピーダンスを必要とするアプリケーションでは、ADAQ7767-1を使用することでアプリケーションに適した入力アンプを選択できます。

4次ローパス・アナログ・フィルタとユーザ設定可能なデジタル・フィルタを組み合わせることにより、入力ノードで発生する高周波ノイズと帯域外トーンがエイリアシングによって対象帯域に混ざるので防ぎ、シグナル・チェーンを確実に保護します。アナログ・ローパス・フィルタは、位相直線性を高め、帯域内振幅応答を最大限に平坦化できるよう綿密に設計されています。アナログ・ローパス・フィルタ内で使用されている抵抗ネットワークは、iPASSIVES技術を用いて構築され、絶対値においても温度範囲全体においても優れた抵抗マッチング特性を備えています。その結果、温度変化によるドリフトを最小限に抑えながらシグナル・チェーンの性能が維持されます。またADAQ7767-1は、デバイス間での位相マッチング性能に優れています。

高性能A/Dコンバータ (ADC) ドライバ・アンプによって、最大サンプリング・レートにおけるADC入力の完全なセトリングが確保されます。ドライバ回路は、安定性を維持しながら、付加ノイズ、誤差、歪みを最小限に抑えるように設計されています。完全差動アーキテクチャは、シグナル・チェーンのダイナミック・レンジを最大限に引き出します。

ADAQ7767-1内のADCは、高性能、24ビット精度、シングルチャンネルの $\Sigma$ - $\Delta$ コンバータで、優れたAC性能とDC精度を備え、16.384MHzのMCLKから1MSPSのスループット・レートを実現しています。このデバイスは、シグナル・チェーンの直線性を更に向上できるオプションの直線性向上バッファを備えています。

ADAQ7767-1は入力リファレンス電圧4.096Vで仕様規定されていますが、このデバイスは、VDD\_ADCから1Vまでのリファレンス電圧に対応できます。

ADAQ7767-1には2種類のリファレンス・バッファがあります。1つはリファレンス入力の駆動条件を緩和するプリチャージ・リファレンス・バッファ、もう1つは高インピーダンスのリファレンス入力を提供するフル・リファレンス・バッファです。どちらのバッファもオプションであり、レジスタ設定でオフにすることができます。

ADAQ7767-1は、水晶発振器、相補型金属酸化膜半導体 (CMOS)、低電圧差動伝送 (LVDS) という3種類のクロック入力をサポートしています。

ADAQ7767-1には3種類のデジタル・ローパス・フィルタがあります。広帯域、低リップル、有限インパルス応答 (FIR) フィルタは、理想的なブリック・ウォール・フィルタに似たフィルタ・プロファイルを備えているため、周波数分析に最適です。sinc5フィルタは、良好なエイリアシング除去レベルを維持しながら低レイテンシ経路とスムーズなステップ応答を両立します。このフィルタは、16.384MHzのMCLKで最大1.024MSPSの出力データ・レートをサポートしているため、低レイテンシのデータ収集と時間領域分析に最適です。sinc3フィルタは幅広いデシメーション・レシオをサポートし、16.384MHzのコントローラ・クロック信号 (MCLK) で最小50SPSまでの出力データ・レートを生成できます。そのため、50Hz/60Hzの同時除去ポスト・フィルタと組み合わせ、高精度なDC測定を行う場合に特に有用です。

ADAQ7767-1の3つのデジタル・フィルタはいずれも、線形位相応答を持つFIRフィルタです。フィルタの帯域幅は、DAQシグナル・チェーンの帯域幅と直接対応しており、レジスタを使用してすべて設定することができます。

ADAQ7767-1は、2つのデバイス設定方法をサポートしています。シリアル・ペリフェラル・インターフェース (SPI) を介したレジスタ書込みによってデバイスを設定する方法と、単純なハードウェア・ピン・ストラッピングにより、事前定義された複数のモードのいずれかで動作するようにデバイスを設定する方法です。

レジスタ・アクセスとサンプル・データ・リードバックの両方の機能が単一のSPIでサポートされます。ADAQ7767-1は常にSPIターゲットとして機能します。デバイスとの通信に3つ以上の入出力チャンネルを用いれば、複数のインターフェース・モードに対応できます。

システムの信頼性を高めるために、ADAQ7767-1には、動作中の多様なエラーを検出する一連の内部診断機能が備わっています。

ADAQ7767-1の電源接続は、内蔵の低ドロップアウト (LDO) レギュレータを使用することで簡素化できます。なお、ディスクリート部品数を更に削減するために、0.1 $\mu\text{F}$ のデカップリング・コンデンサも内蔵されています。

各機能ブロックをスタンバイ・モードまたはパワーダウン・モードに設定できるため、ADAQ7767-1の総消費電力は0.5mW未満になります。

<sup>1</sup> 米国特許 10,680,633 B1 および 10,979,062 B2 で保護されています。

## 概要

ADAQ7767-1 は、動作温度範囲が $-40^{\circ}\text{C}$ ~ $+105^{\circ}\text{C}$  で、 $12\text{mm} \times 6\text{mm}$  の 84 ボール CSP\_BGA パッケージ (ボール・ピッチ  $0.8\text{mm}$ ) を採用しており、複数チャンネルのアプリケーションに適しています。ADAQ7767-1 のフットプリントは、ディスクリート部品を使用した同じソリューションのフットプリントと比較して  $1/8$  のサイズになります。

仕様

特に指定のない限り、AGND = DGND = 0V、入力コモンモード電圧 = 0V、IN\_LDO = EN\_LDO = 5.1V ~ 5.5V、OUT\_LDO = VDD\_FDA = VDD\_ADC、VDD2\_ADC = 2V ~ 5.5V、VDD\_IO = 1.7V ~ 3.6V、REF+ = 4.096V、REF- = 0V、メイン・クロック (MCLK) = SCLK = 16.384MHz、50:50 のデューティサイクル、コア ADC の  $\Sigma$ - $\Delta$  変調器クロック・レート ( $f_{MOD}$ ) = MCLK/2、フィルタ = 広帯域低リップル、デシメーション = 32、出力データ・レート (ODR) = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、完全差動アンプ (FDA) = フルパワー動作モード、 $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ 。代表値は  $T_A = 25^{\circ}\text{C}$  での値です。

表 1. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
ANALOG INPUT CHARACTERISTICS					
Full-Scale Input Range (FSR)	差動INx+ ~ INx-、FSR = $\pm$ リファレンス電圧 ( $\pm V_{REF}$ ) / アナログ・フロントエンド・ゲイン (AFE_GAIN)				
	差動IN1		$\pm 4.096$		V
	差動IN2		$\pm 11.264$		V
	差動IN3		$\pm 28.672$		V
Input Common-Mode Voltage Range ( $V_{ICM}$ )	IN1+およびIN1-	-2.1		+4.5	V
	IN2+およびIN2-	-6.1		+6.2	V
	IN3+およびIN3-	-16		+12	V
AFE_GAIN	IN1, G = 1		1		V/V
	IN2, G = 0.364		4/11		
	IN3, G = 0.143		1/7		V/V
Common-Mode Rejection DC	DC ~ 60Hz、入力換算 (RTI)				
	IN1, $V_{ICM} = -2.1\text{V} \sim +4.5\text{V}$	70.0	80.5		dB
	IN2, $V_{ICM} = -6.1\text{V} \sim +6.2\text{V}$	66.0	75.0		dB
Common-Mode Rejection AC	f = 10kHz、RTI				
	IN1		90		dB
	IN2		77		dB
	IN3		81		dB
Input Resistance, $R_{IN}$	完全差動構成				
	IN1+およびIN1-		4		k $\Omega$
	IN2+およびIN2-		11		k $\Omega$
	IN3+およびIN3-		28		k $\Omega$
	シングルエンド入力/差動出力構成				
	IN1+ = 入力およびIN1- = GND		2.67		k $\Omega$
	IN2+ = 入力およびIN2- = GND		6.35		k $\Omega$
IN3+ = 入力およびIN3- = GND		14.93		k $\Omega$	
OVERALL SYSTEM DC ACCURACY					
Gain Error	RTI				
	IN1	-0.23	-0.06	+0.08	%
	IN2	-0.15	-0.03	+0.08	%
	IN3	-0.08	+0.01	+0.09	%
Gain Error Drift <sup>1</sup>	RTI、エンドポイント法				
	IN1	-0.8	+1.1	+3.1	ppm/ $^{\circ}\text{C}$
	IN2	-1.5	+0.18	+1.9	ppm/ $^{\circ}\text{C}$
	IN3	-2.3	+0.33	+3.0	ppm/ $^{\circ}\text{C}$
Offset Error	RTI				
	IN1		$\pm 0.5$	$\pm 1.4$	mV
	IN2		$\pm 0.8$	$\pm 2.5$	mV
	IN3		$\pm 1.1$	$\pm 4.7$	mV

## 仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Offset Error Drift <sup>1</sup>	RTI、エンドポイント法				
	IN1	-14.2	-3.2	+7.7	μV/°C
	IN2	-26.8	-5.9	+15.1	μV/°C
	IN3	-56.8	-12.6	+31.4	μV/°C
Integral Nonlinearity (INL) <sup>1,2</sup>	全FSR、エンドポイント法、差動入力、-40°C < T <sub>A</sub> < +105°C		±3.8	±8.5	ppm of FSR
Low Frequency Noise	Sinc3フィルタ、ODR = 50SPS、帯域幅 = 15Hz、入力を短絡、RTI				
	IN1		0.47		μV RMS
	IN2		1.19		μV RMS
	IN3		3.22		μV RMS
Peak-to-Peak Resolution <sup>3</sup>	全FSR、sinc3フィルタ、ODR = 50SPS、帯域幅 = 15Hz、入力を短絡		21.3		Bits
OVERALL SYSTEM AC PERFORMANCE	広帯域低リップルFIRフィルタ、ODR = 256kSPS、DEC_RATE = 32、帯域幅 = 110.8kHz				
Dynamic Range <sup>4</sup>	入力を短絡、T <sub>A</sub> = 25°C				
	IN1、差動入力範囲	105.5	107.6		dB
	IN2、差動入力範囲	105.5	107.8		dB
	IN3、差動入力範囲	105.0	107.8		dB
	システム全体、差動入力範囲	122.4	124.5		dB
Noise Spectral Density	RTI、入力を短絡、1kHz				
	IN1		37		nV/√Hz
	IN2		98		nV/√Hz
	IN3		248		nV/√Hz
Total RMS Noise	RTI、入力を短絡				
	IN1		12.1		μV RMS
	IN2		32.5		μV RMS
	IN3		82.6		μV RMS
Signal-to-Noise Ratio (SNR)	差動サイン波入力、1kHzトーン、T <sub>A</sub> = 25°C				
	IN1、-0.5dBFS (3.9V <sub>P</sub> )	102.8	105.6		dB
	IN2、-0.5dBFS (10.6V <sub>P</sub> )	101.7	105.8		dB
	IN3、-0.5dBFS (27.0V <sub>P</sub> )		106.0		dB
	IN3、-1.54dBFS (24.0V <sub>P</sub> )	102.2			dB
Total Harmonic Distortion (THD)	-0.5dBFS、差動サイン波入力、1kHzトーン				
	IN1、3.9VP		-120		dB
	IN2、10.6VP		-118		dB
	IN3、27.0VP		-118		dB
Signal-to-Noise and Distortion Ratio (SINAD)	差動サイン波入力、1kHzトーン、T <sub>A</sub> = 25°C				
	IN1、-0.5dBFS (3.9V <sub>P</sub> )	102.7	105.4		dB
	IN2、-0.5dBFS (10.6V <sub>P</sub> )	101.7	105.5		dB
	IN3、-0.5dBFS (27.0V <sub>P</sub> )		105.7		dB
	IN3、-1.54dBFS (24.0V <sub>P</sub> )	101.9			dB
Spurious-Free Dynamic Range (SFDR)	-0.5dBFS、差動サイン波入力、1kHzトーン				
	IN1		-123		dBc
	IN2		-122		dBc
	IN3		-121		dBc

## 仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Intermodulation Distortion (IMD)	入力周波数A ( $f_{IN\_A}$ ) = 9kHz、入力周波数B ( $f_{IN\_B}$ ) = 10kHz				
	IN1、2次		-123		dBc
	IN1、3次		-125		dBc
	IN2、2次		-123		dBc
	IN2、3次		-120		dBc
	IN3、2次		-124		dBc
	IN3、3次		-114		dBc
ANALOG FRONT-END MAGNITUDE AND PHASE PERFORMANCE					
Anti-Aliasing Filter Bandwidth	DCでの信号振幅から-3dB				
	IN1		365		kHz
	IN2		304		kHz
	IN3		283		kHz
Analog Group Delay	$f_{IN} = 20\text{kHz}$				
	IN1		0.81		$\mu\text{s}$
	IN2		1.02		$\mu\text{s}$
Phase Angle Drift <sup>1, 5, 6</sup>	$f_{IN} = 20\text{kHz}$				
	IN1	0.02	0.22	0.41	$\text{m}^\circ/\text{C}$
	IN2	0.09	0.28	0.47	$\text{m}^\circ/\text{C}$
Device-to-Device Phase Angle Mismatch <sup>1, 5, 6</sup>	入力周波数 ( $f_{IN}$ ) = 20kHz、代表値 = $\pm 1\sigma$ 、 $T_A = 25^\circ\text{C}$				
	IN1	-0.078	$\pm 0.013$	+0.078	Degrees
	IN2	-0.090	$\pm 0.015$	+0.090	Degrees
Device-to-Device Phase Angle Mismatch Drift <sup>1, 5, 6</sup>	$f_{IN} = 20\text{kHz}$ 、代表値 = $1^\circ\text{C}$ につき $ 1\sigma $ の変化				
	IN1		-3.0	-18.0	$\mu^\circ/\text{C}$
	IN2		-2.9	-17.4	$\mu^\circ/\text{C}$
Magnitude Flatness	$f_{IN} = 20\text{kHz}$ 、IN1		0.005		dB
	$f_{IN} = 100\text{kHz}$ 、IN1		0.050		dB
	$f_{IN} = 20\text{kHz}$ 、IN2		0.005		dB
	$f_{IN} = 100\text{kHz}$ 、IN2		-0.020		dB
	$f_{IN} = 20\text{kHz}$ 、IN3		0.005		dB
	$f_{IN} = 100\text{kHz}$ 、IN3		-0.090		dB
Alias Rejection	-10dBFSの入力信号				
	MCLK = 16.384MHzでのIN1		105		dB
	MCLK = 16.384MHzでのIN2		84		dB
	MCLK = 16.384MHzでのIN3		65		dB
ADC SPEED AND PERFORMANCE ODR <sup>7</sup>					
No Missing Codes	広帯域低リプルFIR	8		256	kSPS
	sinc5	8		1024	kSPS
	sinc3	0.05		256	kSPS
	広帯域低リプルFIR、デシメーション・レシオ $\geq 32$	24			Bits
	sinc5フィルタ、デシメーション・レシオ $\geq 32$	24			Bits
	sinc3フィルタ、デシメーション・レシオ $\geq 64$	24			Bits

## 仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Data Output Coding			Twos complement, MSB first		
REFERENCE INPUT CHARACTERISTICS					
REFIN Voltage	REFIN = (REF+) - (REF-)	1		VDD_ADC - AGND	V
Absolute REFIN Voltage Limit	リファレンス・バッファなし	AGND - 0.05		VDD_ADC + 0.05	V
	リファレンス・バッファをオン	AGND		VDD_ADC	V
	リファレンス・プリチャージ・バッファをオン	AGND		VDD_ADC	V
Average REFIN Current	リファレンス・バッファなし		±80		µA/V
	リファレンス・プリチャージ・バッファをオン		±20		µA
	リファレンス・バッファをオン		±300		nA
Average REFIN Current Drift	リファレンス・バッファなし		±1.7		nA/°C
	リファレンス・プリチャージ・バッファをオン		125		nA/°C
	リファレンス・バッファをオン		4		nA/°C
Common Mode Rejection	最大10MHz		100		dB
DIGITAL FILTER RESPONSE					
Wideband Low Ripple FIR Filter					
Decimation Rate	6個の選択可能なデシメーション・レート	32		1024	
Output Data Rate				256	kSPS
Group Delay	遅延		34/ODR		Sec
Settling Time	セトリング完了		68/ODR		Sec
Pass-Band Ripple				±0.005	dB
Pass Band	-0.005dB		0.4 × ODR		Hz
	-0.1dB通過帯域		0.409 × ODR		Hz
	-3dBの帯域幅		0.433 × ODR		Hz
Stop-Band Frequency	減衰 > 105dB		0.499 × ODR		Hz
Stop-Band Attenuation		105			dB
Sinc5 Filter					
Decimation Rate	8個の選択可能なデシメーション・レート	8		1024	
Output Data Rate				1.024	MSPS
Group Delay	遅延		<3/ODR		Sec
Settling Time	セトリング完了		<6/ODR		Sec
Pass Band	-0.1dBの帯域幅		0.0376 × ODR		Hz
	-3dBの帯域幅		0.204 × ODR		Hz
Sinc3 Filter					
Decimation Rate	1024個のデシメーション・レート	32		185,280	
Output Data Rate				256	kSPS
Group Delay	遅延		2/ODR		Sec
Settling Time	50Hz除去へのセトリング完了		60		ms
Pass Band	-0.1dBの帯域幅		0.0483 × ODR		Hz
	-3dBの帯域幅		0.2617 × ODR		Hz
CLOCK					
External Clock MCLK		0.6	16.384	17	MHz
Internal Clock MCLK			16.384		MHz
Input High Voltage	ロジック入力パラメータ参照				
Duty Cycle	16.384MHz MCLK	25:75	50:50	25:75	%
MCLK Logic Low Pulse Width		16			ns
MCLK Logic High Pulse Width		16			ns
Crystal Frequency		8	16	17	MHz

## 仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Crystal Start-Up Time	クロック出力有効		2		ms
ADC RESET					
ADC Start-Up Time after Reset	リセットの立ち上がりエッジから最初の $\overline{\text{DRDY}}$ まで、 $\overline{\text{PIN}}$ モード、デシメーション・レート=8		100		$\mu\text{s}$
Minimum $\overline{\text{RESET}}$ Low Pulse Width		0.0001		100	ms
LOGIC INPUTS	特に指定のない限り全ロジック入力に適用、電圧はAGND基準。				
Input High Voltage, VINH	$1.7\text{V} \leq \text{VDD\_IO} \leq 1.9\text{V}$ $2.22\text{V} \leq \text{VDD\_IO} \leq 3.6\text{V}$	$0.65 \times \text{VDD\_IO}$ $0.65 \times \text{VDD\_IO}$			V V
Input Low Voltage, VINL	$1.7\text{V} \leq \text{VDD\_IO} \leq 1.9\text{V}$ $2.22\text{V} \leq \text{VDD\_IO} \leq 3.6\text{V}$			$0.35 \times \text{VDD\_IO}$ 0.7	V V
Hysteresis	$2.22\text{V} \leq \text{VDD\_IO} \leq 3.6\text{V}$ $1.7\text{V} \leq \text{VDD\_IO} \leq 1.9\text{V}$	0.08 0.04		0.25 0.2	V V
Leakage Current	$\overline{\text{RESET}}$ ピンを除く $\overline{\text{RESET}}$ ピンのプルアップ抵抗 電圧はAGND基準	-10	+0.05 1	+10	$\mu\text{A}$ k $\Omega$
M0_FDA and M1_FDA					
Input High Voltage		1.4			V
Input Low Voltage				1	V
Input Current	M0_FDAまたはM1_FDA = 0Vまたは5V		-10		$\mu\text{A}$
EN_LDO	電圧はAGND基準				
Input High Voltage	$5.1\text{V} \leq \text{IN\_LDO} \leq 5.5\text{V}$	1.2			V
Input Low Voltage	$5.1\text{V} \leq \text{IN\_LDO} \leq 5.5\text{V}$			0.4	V
Input Current	EN_LDO = IN_LDOまたはGND		0.1		$\mu\text{A}$
LOGIC OUTPUTS					
Output High Voltage	$2.2\text{V} \leq \text{VDD\_IO} < 3.6\text{V}$ 、ソース電流 ( $I_{\text{SOURCE}}$ ) = 500 $\mu\text{A}$ 、LV_BOOSTオフ $1.7\text{V} \leq \text{VDD\_IO} \leq 1.9\text{V}$ 、 $I_{\text{SOURCE}} = 200\mu\text{A}$ 、LV_BOOSTオン	$0.8 \times \text{VDD\_IO}$ $0.8 \times \text{VDD\_IO}$			V V
Output Low Voltage	$2.2\text{V} \leq \text{VDD\_IO} < 3.6\text{V}$ 、シンク電流 ( $I_{\text{SINK}} = 1\text{mA}$ 、LV_BOOSTオフ $1.7\text{V} \leq \text{VDD\_IO} \leq 1.9\text{V}$ 、 $I_{\text{SINK}} = 400\mu\text{A}$ 、LV_BOOSTオン			0.4 0.4	V V
Leakage Current	フロート状態	-10		+10	$\mu\text{A}$
Output Capacitance	フロート状態		10		pF
LDO CHARACTERISTIC					
Input Voltage ( $V_{\text{IN}}$ ) Range		5.1		5.5	V
IN_LDO Supply Current	OUT_LDO負荷電流 = 20mA		80		$\mu\text{A}$
OUT_LDO Voltage		4.80	4.90	5.03	V
Load Regulation	出力電流 ( $I_{\text{OUT}} = 1\text{mA} \sim 20\text{mA}$ )		0.0005		%/mA
Dropout Voltage <sup>8</sup>	$I_{\text{OUT}} = 20\text{mA}$		3		mV
Start-Up Time <sup>9</sup>			350		$\mu\text{s}$
Current-Limit Threshold			500		mA
Thermal Shutdown Threshold			150		$^{\circ}\text{C}$
Thermal Shutdown Hysteresis			15		$^{\circ}\text{C}$
POWER REQUIREMENTS					
VDD_FDA	AGND基準	4.75	5	5.5	V
VDD_ADC	AGND基準	4.75	5	5.5	V
VDD2_ADC	AGND基準	2	2.5	5.5	V
VDD_IO	AGND基準	1.7	1.8	3.6	V

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
POWER SUPPLY REJECTION	出力換算 (RTO)、DC~100Hz				
VDD_FDA	ステップ電圧 (V <sub>STEP</sub> ) = 0.2V p-p		105		dB
VDD_ADC	V <sub>STEP</sub> = 0.2V p-p		85		dB
VDD2_ADC	V <sub>STEP</sub> = 0.2V p-p		105		dB
VDD_IO	V <sub>STEP</sub> = 0.2V p-p		100		dB
LDO	V <sub>STEP</sub> = 0.2V p-p		130		dB
POWER SUPPLY CURRENT					
VDD_FDA	コモンモード = AGNDで1kHzのサイン波入力 IN1、4V <sub>P</sub> IN2、11V <sub>P</sub> IN3、24V <sub>P</sub> コモンモード = AGNDでDC入力 IN1 4V DC IN2 11V DC IN3 24V DC INx+ = INx- = AGND IN1+ = IN1- = AGND IN2+ = IN2- = AGND IN3+ = IN3- = AGND		5.2 4.9 4.5 5.4 5.1 4.7 4.8 4.4 4.2		mA RMS mA RMS mA RMS mA mA mA mA mA mA mA mA mA mA
VDD_ADC	スタンバイ 直線性向上バッファをオン、リファレンス・ブリチャージ・バッファをオン 直線性向上バッファをオフ、リファレンス・ブリチャージ・バッファをオフ スタンバイ		90 6.3 2.4 205		μA mA mA μA
VDD2_ADC	スタンバイ		4.7 30		mA μA
VDD_IO					
Sinc3 Filter			3.7		mA
Sinc5 Filter			3.7		mA
Wideband Low Ripple FIR Filter			9.5		mA
Standby			380		μA
POWER DISSIPATION	IN_LDO = EN_LDO = 5.3V、OUT_LDO = VDD_FDA = VDD_ADC = VDD2_ADC、VDD_IO = 3.3V、直線性向上バッファをオン、リファレンス・ブリチャージ・バッファをオン、外部CMOS MCLK				
Full Operating Mode					
Sinc3 Filter	INx+ = INx- = AGND		96		mW
Sinc5 Filter	INx+ = INx- = AGND		96		mW
Wideband Low Ripple FIR Filter	INx+ = INx- = AGND		115		mW
	コモンモード = AGNDで1kHzのフル・スケール・サイン波入力		117		mW
Standby Mode	FDAをスタンバイ・モード、ADCをスタンバイ・モード		2.98		mW
ADC Power-Down	FDAをスタンバイ・モード、ADCをパワーダウン・モード		0.5		mW

1 手順に従って IC を作製した 3 枚のウェハから抽出した 105 サンプルを用いて -40°C~+105°C の温度範囲で行った特性評価のデータに基づき計算した制限値。

2 これらの値に対する製品テストは行われていませんが、量産開始時時の特性評価データでサポートされています。

3 ピーク to ピーク分解能の用語の定義を参照してください。計算に用いたノイズは、「Low Frequency Noise」の仕様に記載されています。

4 異なるゲインおよびフィルタ設定におけるダイナミック・レンジとノイズについての詳細は、ノイズ性能のセクションを参照してください。

仕様

- 5 アナログ・フロントエンド (AFE) 性能、用語の定義、計算については、[AFE の位相性能の計算](#)のセクションを参照してください。
- 6 テスタの繰り返し性と再現性のガード・バンドは含まれていません。
- 7 ODR の範囲は、MCLK が 16.384MHz に固定されている場合に、MCLK\_DIV とデシメーション・レートの変動範囲内で使用可能なプログラマブル・デシメーション・レートを表します。最適性能を実現する ODR 速度の推奨値については、[ADC の速度と性能](#)のセクションを参照してください。
- 8 ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。この電圧は、2.3V を超える出力電圧に対してのみ適用されます。
- 9 スタートアップ時間は、EN\_LDO の立上がりエッジから出力電圧 (EN\_LDO) が公称値の 90%になるまでの時間として定義されます。

タイミング仕様

特に指定のない限り、VDD\_ADC = 4.5V~5.5V、VDD2\_ADC = 2.0V~5.5V、VDD\_IO = 2.2V~3.6V、AGND = DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = VDD\_IO、負荷容量 (C\_LOAD) = 20pF、LV\_BOOST ビット (ビット 7、INTERFACE\_FORMAT レジスタ、レジスタ 0x14) をディスエーブル。

これらの仕様は、初期リリース時のサンプル・テストにより適合性が確認されています。全ての入力信号は、立上がり時間 (t<sub>tr</sub>) = 立下がり時間 (t<sub>tf</sub>) = 5ns で仕様規定しています (VDD\_IO の 10%~90%、VDD\_IO/2 の電圧レベルから時間を測定)。タイミング図については [図 2~図 8](#) を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 2. タイミング仕様

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
MCLK	Controller clock frequency			16.384	17	MHz
t <sub>MCLK_HIGH</sub>	MCLK high time		16			ns
t <sub>MCLK_LOW</sub>	MCLK low time		16			ns
f <sub>MOD</sub>	Modulator frequency	MCLK_DIV = 11 MCLK_DIV = 10 MCLK_DIV = 01 MCLK_DIV = 00		MCLK/2 MCLK/4 MCLK/8 MCLK/16		Hz Hz Hz Hz
t <sub>DRDY</sub>	Conversion period	DRDY の立上がりエッジから次の DRDY の立上がりエッジまで、連続変換モード		f <sub>MOD</sub> /DEC_RATE		Hz
t <sub>DRDY_HIGH</sub>	DRDY high time	t <sub>MCLK</sub> = 1/MCLK	t <sub>MCLK</sub> - 5	1 × t <sub>MCLK</sub>		ns
t <sub>MCLK_DRDY</sub>	MCLK to DRDY	MCLK の立上がりエッジから DRDY の立上がりエッジまで	10	13	18	ns
t <sub>MCLK_RDY</sub>	MCLK to RDY indicator on the DOUT/RDY pin	MCLK の立上がりエッジから RDY の立下がりエッジまで	10	13	18	ns
t <sub>UPDATE</sub>	ADC data update	ADC 変換レジスタが更新される DRDY 立上がりエッジまでの時間、単一変換読出し		1 × t <sub>MCLK</sub>		
t <sub>START</sub>	START pulse width		1.5 × t <sub>MCLK</sub>			ns
t <sub>MCLK_SYNC_OUT</sub>	MCLK to SYNC_OUT	MCLK の立下がりエッジから SYNC_OUT の立下がりエッジまで			t <sub>MCLK</sub> + 16	ns
t <sub>SCLK</sub>	SCLK period		50			ns
t <sub>1</sub>	CS falling to SCLK falling		0			ns
t <sub>2</sub>	CS falling to data output enable				6	ns
t <sub>3</sub>	SCLK falling edge to data output valid			10	15	ns
t <sub>4</sub>	Data output hold time after SCLK falling edge		4			ns
t <sub>5</sub>	SDI setup time before SCLK rising edge		3			ns
t <sub>6</sub>	SDI hold time after SCLK rising edge		8			ns
t <sub>7</sub>	CS high time	4線式インターフェース	10			ns
t <sub>8</sub>	SCLK high time		20			ns
t <sub>9</sub>	SCLK low time		20			ns
t <sub>10</sub>	SCLK rising edge to DRDY high	単一変換読出しのみ。最後の SCLK の立上がりエッジから DRDY ハイまでの時間。	1 × t <sub>MCLK</sub>			ns

仕様

表 2. タイミング仕様 (続き)

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
t <sub>11</sub>	SCLK rising edge to $\overline{CS}$ rising edge		6			ns
t <sub>12</sub>	$\overline{CS}$ rising edge to DOUT/ $\overline{RDY}$ output disable		4		7	ns
t <sub>13</sub>	DOUT/ $\overline{RDY}$ indicator pulse width	$\overline{RDY}$ オン、DOUTイネーブル、SCLKアイドリング・ハイでの連続読出しモード		1 × t <sub>MCLK</sub>		ns
t <sub>14</sub>	$\overline{CS}$ falling edge to SCLK rising edge		2			ns
t <sub>15</sub>	$\overline{SYNC\_IN}$ setup time before MCLK rising edge		2			ns
t <sub>16</sub>	$\overline{SYNC\_IN}$ pulse width		1.5 × t <sub>MCLK</sub>			ns
t <sub>17</sub>	SCLK rising edge to $\overline{RDY}$ indicator rising edge	$\overline{RDY}$ がDOUTでイネーブルされている連続読出しモード	1			ns
t <sub>18</sub>	$\overline{DRDY}$ rising edge to SCLK falling edge	$\overline{RDY}$ がDOUTでイネーブルされている連続読出しモード	8			ns

1.8V タイミング仕様

特に指定のない限り、VDD\_ADC = 4.5V~5.5V、VDD2\_ADC = 2V~5.5V、VDD\_IO = 1.7V~1.9V、AGND = DGND = AGND2\_ADC = 0V、入力ロジック 0 = 0V、入力ロジック 1 = VDD\_IO、C<sub>LOAD</sub> = 20pF、LV\_BOOST ビット (ビット 7、INTERFACE\_FORMAT レジスタ、レジスタ 0x14) イネーブル。

これらの仕様は、初期リリース時のサンプル・テストにより適合性が確認されています。全ての入力信号は t<sub>r</sub> = t<sub>f</sub> = 5ns で仕様規定しています (VDD\_IO の 10%~90%、VDD\_IO/2 の電圧レベルから時間を測定)。タイミング図については図 2~図 8 を参照してください。

これらの仕様については出荷テストを行っていませんが、量産開始時の特性評価データで確認されています。

表 3. 1.8V タイミング仕様

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
MCLK	Frequency			16.384	17	MHz
t <sub>MCLK_HIGH</sub>	MCLK high time		16			ns
t <sub>MCLK_LOW</sub>	MCLK low time		16			ns
f <sub>MOD</sub>	Modulator frequency	MCLK_DIV = 11 MCLK_DIV = 10 MCLK_DIV = 01 MCLK_DIV = 00		MCLK/2 MCLK/4 MCLK/8 MCLK/16		Hz Hz Hz Hz
t <sub>DRDY</sub>	Conversion period	$\overline{DRDY}$ の立上がりエッジから次の $\overline{DRDY}$ の立上がりエッジまで、連続変換モード		f <sub>MOD</sub> /DEC_RATE		Hz
t <sub>DRDY_HIGH</sub>	$\overline{DRDY}$ high time	t <sub>MCLK</sub> = 1/MCLK	t <sub>MCLK</sub> - 5	1 × t <sub>MCLK</sub>		ns
t <sub>MCLK_DRDY</sub>	MCLK to $\overline{DRDY}$	MCLKの立上がりエッジから $\overline{DRDY}$ の立上がりエッジまで	13	19	25	ns
t <sub>MCLK_RDY</sub>	MCLK to $\overline{RDY}$ indicator on the DOUT/ $\overline{RDY}$ pin	MCLKの立上がりエッジから $\overline{RDY}$ の立下がりエッジまで	13	19	25	ns
t <sub>UPDATE</sub>	ADC data update	ADC変換レジスタが更新される $\overline{DRDY}$ 立上がりエッジまでの時間。		1 × t <sub>MCLK</sub>		
t <sub>START</sub>	$\overline{START}$ pulse width		1.5 × t <sub>MCLK</sub>			ns
t <sub>MCLK_SYNC_OUT</sub>	MCLK to $\overline{SYNC\_OUT}$	MCLKの立下がりエッジから $\overline{SYNC\_OUT}$ の立下がりエッジまで。複数のADAQ7767-1デバイスの同期のセクションを参照してください。			t <sub>MCLK</sub> + 31	ns
t <sub>SCLK</sub>	SCLK period		50			ns
t <sub>1</sub>	$\overline{CS}$ falling to SCLK falling		0			ns
t <sub>2</sub>	$\overline{CS}$ falling to data output enable				11	ns
t <sub>3</sub>	SCLK falling edge to data output valid			14	19	ns

仕様

表 3. 1.8V タイミング仕様 (続き)

パラメータ	説明	テスト条件/コメント	最小値	代表値	最大値	単位
t <sub>4</sub>	Data output hold time after SCLK falling edge		7			ns
t <sub>5</sub>	SDI setup time before SCLK rising edge		3			ns
t <sub>6</sub>	SDI hold time after SCLK rising edge		8			ns
t <sub>7</sub>	$\overline{CS}$ high time	4線式インターフェース	10			ns
t <sub>8</sub>	SCLK high time		23			ns
t <sub>9</sub>	SCLK low time		23			ns
t <sub>10</sub>	SCLK rising edge to $\overline{DRDY}$ high	最後のSCLKの立上がりエッジからDRDYハイまでの時間。この時間を超過すると変換N+1が行われません。単一変換読出し。	1 × t <sub>MCLK</sub>			ns
t <sub>11</sub>	SCLK rising edge to $\overline{CS}$ rising edge		6			ns
t <sub>12</sub>	$\overline{CS}$ rising edge to DOUT/ $\overline{RDY}$ output disable		7.5		13	ns
t <sub>13</sub>	DOUT/ $\overline{RDY}$ indicator pulse width	$\overline{RDY}$ オン、DOUTイネーブル、SCLKアイドリング・ハイでの連続読出しモード		1 × t <sub>MCLK</sub>		ns
t <sub>14</sub>	$\overline{CS}$ falling edge to SCLK rising edge		2.5			ns
t <sub>15</sub>	SYNC_IN setup time before MCLK rising edge		2			ns
t <sub>16</sub>	SYNC_IN pulse width		1.5 × t <sub>MCLK</sub>			ns
t <sub>17</sub>	SCLK rising edge to $\overline{RDY}$ indicator rising edge	$\overline{RDY}$ オン、DOUTイネーブルでの連続読出しモード	5.5			ns
t <sub>18</sub>	DRDY rising edge to SCLK falling edge	$\overline{RDY}$ オン、DOUTイネーブルでの連続読出しモード	15			ns

タイミング図

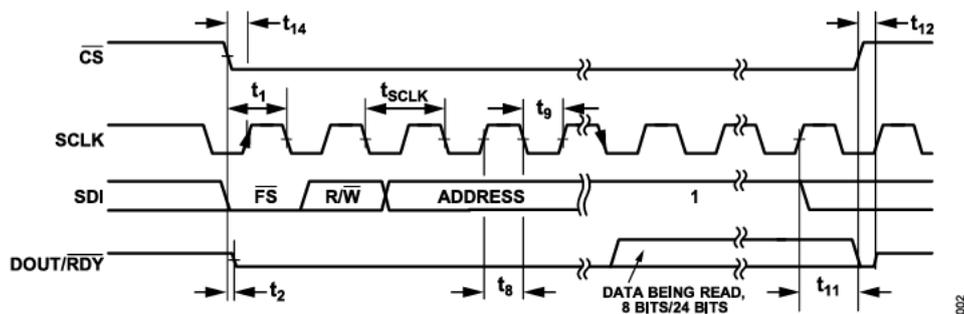


図 2. SPI 読出しのタイミング図

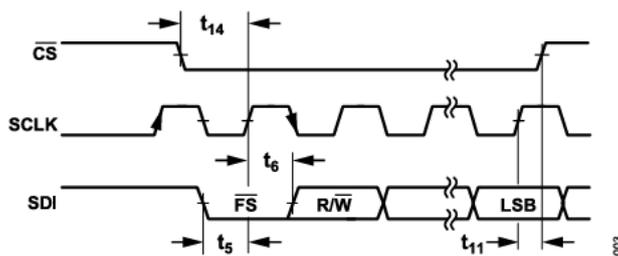


図 3. SPI 書込みのタイミング図

仕様

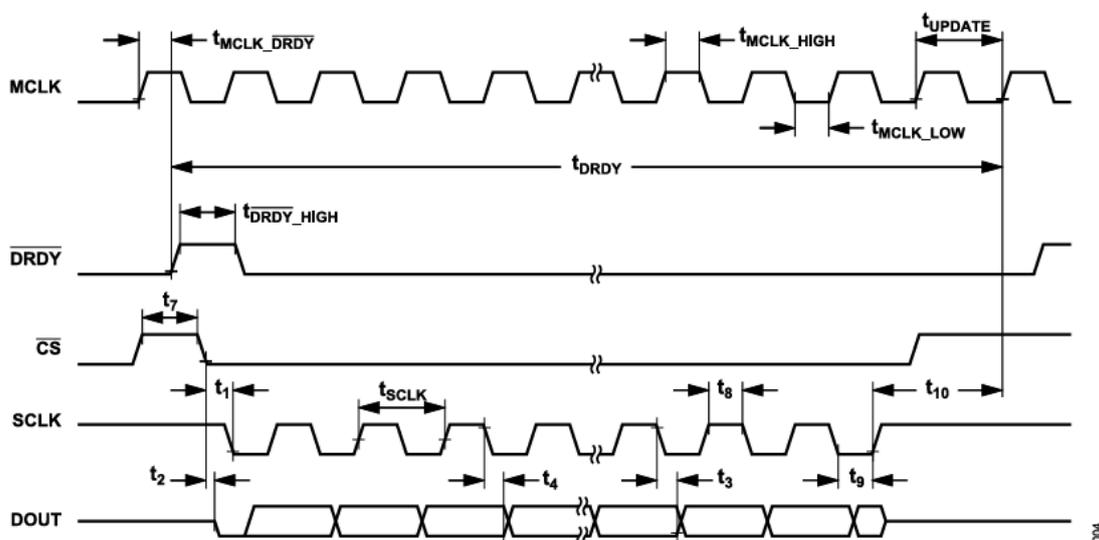


図 4. 連続変換モードでの変換結果の読出し ( $\overline{CS}$ がトグル)

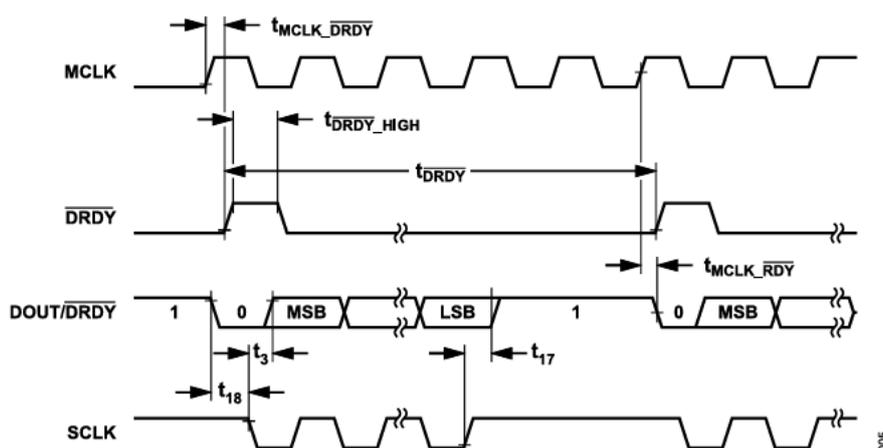


図 5. 連続変換モードでの変換結果の読出し、 $\overline{RDY}$ をイネーブ、 $\overline{CS}$ をローに維持した連続読出しモード

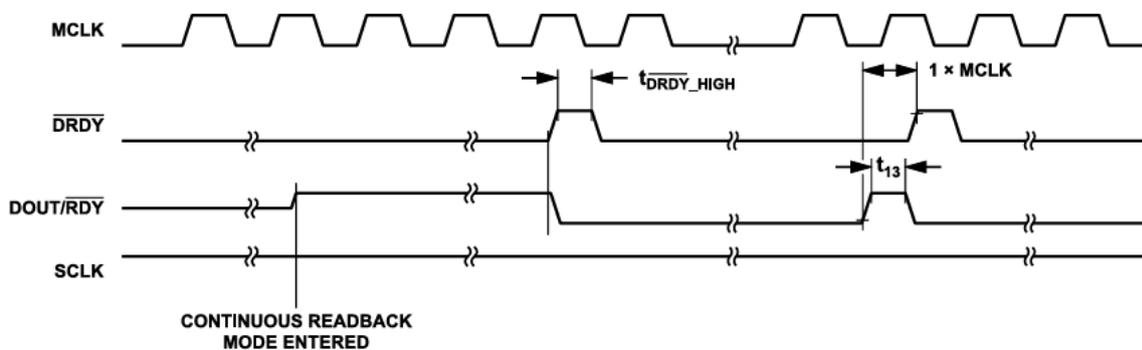
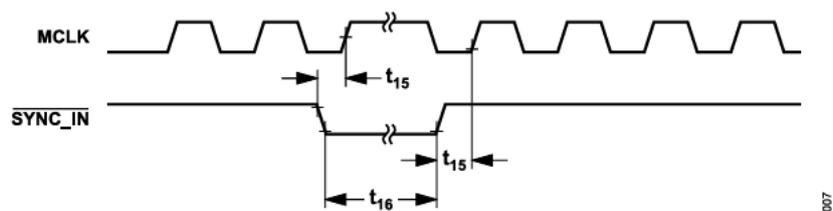


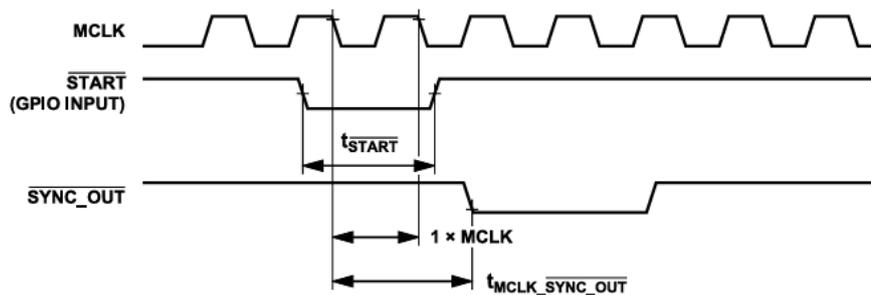
図 6. SCLK を使用しない場合の  $\overline{DOUT}/\overline{RDY}$  の動作

仕様



007

図 7. 同期SYNC\_INパルス



008

図 8. 非同期STARTおよびSYNC\_OUT

## 絶対最大定格

表 4. 絶対最大定格

Parameter	Rating
IN1+ and IN1- to AGND	±15 V
IN2+ and IN2- to AGND	±15 V
IN3+ and IN3- to AGND	±36 V
VDD_FDA to VDD_ADC	-0.3 V to +0.3 V
VDD_FDA to AGND	-0.3 V to +6.5 V
M0_FDA and M1_FDA to AGND	-0.3 V to VDD_FDA + 0.3 V
IN_LDO to AGND	-0.3 V to +6.5 V
EN_LDO to AGND	-0.3 V to +6.5 V
OUT_LDO to AGND	-0.3 V to IN_LDO
VDD_ADC to AGND	-0.3 V to +6.5 V
VDD2_ADC to AGND	-0.3 V to +6.5 V
VDD_IO to DGND	-0.3 V to +6.5 V
DGND to AGND	-0.3 V to +0.3 V
VDDIO, DREG_CAP to DGND (VDD_IO tied to DREG_CAP for 1.8 V Operation)	-0.3 V to +2.25 V
REF+ and REF- to AGND	-0.3 V to VDD_ADC + 0.3 V
Digital Input Voltage to DGND	-0.3 V to VDD_IO + 0.3 V
Digital Output Voltage to DGND	-0.3 V to VDD_IO + 0.3 V
XTAL1 to DGND	-0.3 V to +2.1 V
Temperature	
Operating Range	-40°C to +105°C
Storage Range	-65°C to +150°C
Pb-Free, Soldering Reflow (10 sec to 30 sec)	260°C
Maximum Package Classification	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定された、自然対流でのジャンクションと周囲の間の熱抵抗です。 $\theta_{JC\_TOP}$  はジャンクションとケース上面の間の熱抵抗、 $\theta_{JC\_BOTTOM}$  はジャンクションとケース下面の間の熱抵抗です。 $\Psi_{JT}$  はジャンクションと上面の間の熱特性、 $\Psi_{JB}$  はジャンクションと基板の間の熱特性です。

表 5. 熱抵抗

Package Type <sup>1</sup>	$\theta_{JA}$	$\theta_{JC\_TOP}$	$\theta_{JC\_BOTTOM}$	$\theta_{JB}$	$\Psi_{JT}$	$\Psi_{JB}$	Unit
BC-84-4	29.3	14.7	18.1	21.8	2.4	22.2	°C/W

<sup>1</sup> テスト条件 1: 熱抵抗のシミュレーション値は、1S0P JEDEC PCB を使用した  $\theta_{JC\_TOP}$  を除き、ビアを備えた 2S2P JEDEC PCB を使用した場合の値です。

特に指定のない限り、表 5 に仕様規定されている熱抵抗値は JEDEC 仕様に基づいてシミュレーションされており、JESD51-12 に適合した状態で使用する必要があります。

## 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

## ADAQ7767-1 の ESD 定格

表 6. ADAQ7767-1、84 ボール CSP\_BGA

ESD Model	Withstand Voltage (V)	Class
HBM	±2000	2
FICDM	±500	C2A

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

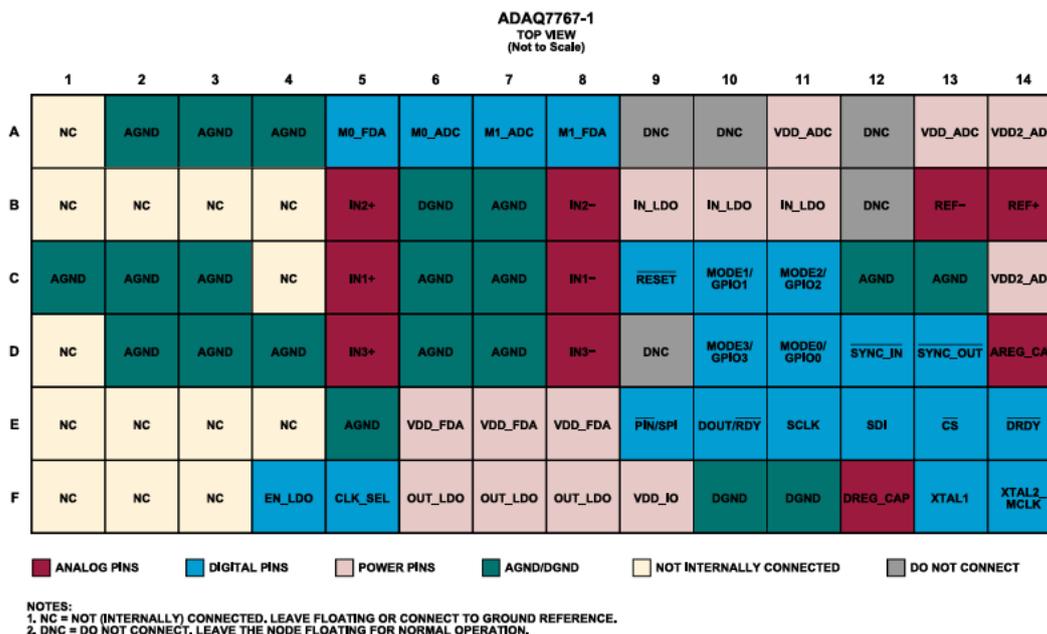


図 9. ピン配置

表 7. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
A1	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
A2	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
A3	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
A4	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
A5	M0_FDA	DI	FDAモード制御入力0。通常動作ではM0_FDAをM0_ADCに接続します。
A6	M0_ADC	DO	FDAモード制御出力0。通常動作ではM0_ADCをM0_FDAに接続します。
A7	M1_ADC	DO	FDAモード制御出力1。通常動作ではM1_ADCをM1_FDAに接続します。
A8	M1_FDA	DI	FDAモード制御入力1。通常動作ではM1_FDAをM1_ADCに接続します。
A9	DNC	N/A	接続なし。通常動作ではこのノードはフロート状態のままにします。
A10	DNC	N/A	接続なし。通常動作ではこのノードはフロート状態のままにします。
A11	VDD_ADC	P	ADCアナログ電源電圧。AGNDを基準とします。内蔵LDOレギュレータを用いる場合はVDD_ADCをOUT_LDOに接続し、それ以外の場合はVDD_ADCを単電源に接続します。この電源はVDD_FDAピンにも給電します。
A12	DNC	N/A	接続なし。通常動作ではこのノードはフロート状態のままにします。
A13	VDD_ADC	P	ADCアナログ電源電圧。AGNDを基準とします。内蔵LDOレギュレータを用いる場合はOUT_LDOに接続し、それ以外の場合はVDD_ADCを単電源に接続します。この電源はVDD_FDAピンにも給電します。
A14	VDD2_ADC	P	ADC2次アナログ電源電圧。AGNDを基準とします。
B1	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
B2	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
B3	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
B4	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
B5	IN2+	AI	信号入力、非反転、0.364のゲイン。最大差動入力22V p-p。
B6	DGND	P	VDD_IO電源のグラウンド・リファレンス。通常動作ではDGNDをシステムのグラウンドに接続します。
B7	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
B8	IN2-	AI	信号入力、反転、0.364のゲイン。最大差動入力22V p-p。

## ピン配置およびピン機能の説明

表 7. ピン機能の説明 (続き)

ピン番号	記号	タイプ <sup>1</sup>	説明
B9	IN_LDO	P	内蔵LDOレギュレータ電源入力。IN_LDOは、1 $\mu$ F以上のコンデンサを用いてAGNDにバイパスします。
B10	IN_LDO	P	内蔵LDOレギュレータ電源入力。IN_LDOは、1 $\mu$ F以上のコンデンサを用いてAGNDにバイパスします。
B11	IN_LDO	P	内蔵LDOレギュレータ電源入力。IN_LDOは、1 $\mu$ F以上のコンデンサを用いてAGNDにバイパスします。
B12	DNC	N/A	接続なし。通常動作ではこのノードはフロート状態のままにします。
B13	REF-	AI	ADCリファレンス入力負側ノード。通常動作ではREF-をAGNDに接続します。
B14	REF+	AI	ADCリファレンス入力正側ノード。電圧レベルがVDD_ADC~AGND + 1Vの範囲の外部リファレンスをREF+とREF-の間に印加します。
C1	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
C2	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
C3	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
C4	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
C5	IN1+	AI	信号入力、非反転、1のゲイン。最大差動入力は8V p-p。
C6	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
C7	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
C8	IN1-	AI	信号入力、反転、1のゲイン。最大差動入力は8V p-p。
C9	RESET	DI	ADCハードウェア非同期リセット入力。ADAQ7767-1が起動を完了した後に、ハードウェア・リセットまたはソフトウェア・リセットを実行することを推奨します。
C10	MODE1/GPIO1	DI/O	多機能ピン。PIN制御モードでは、MODE1がPIN制御動作プロファイル選択入力1となります。SPI制御モードでは、GPIO1が、VDD_IOピンおよびDGNDピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。
C11	MODE2/GPIO2	DI/O	多機能ピン。PIN制御モードでは、MODE2がPIN制御動作プロファイル選択入力2となります。SPI制御モードでは、GPIO2が、VDD_IOピンおよびDGNDピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。
C12	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
C13	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
C14	VDD2_ADC	P	ADC2次アナログ電源電圧。AGNDを基準とします。
D1	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
D2	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
D3	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
D4	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
D5	IN3+	AI	信号入力、非反転、0.143のゲイン。最大差動入力は57V p-p。
D6	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
D7	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではAGNDをシステムのグラウンドに接続します。
D8	IN3-	AI	信号入力、反転、0.143のゲイン。最大差動入力は57V p-p。
D9	DNC	N/A	接続なし。通常動作ではこのノードはフロート状態のままにします。

## ピン配置およびピン機能の説明

表 7. ピン機能の説明 (続き)

ピン番号	記号	タイプ <sup>1</sup>	説明
D10	MODE3/GPIO3	DI/O	多機能ピン。PIN制御モードでは、MODE3がPIN制御動作プロファイル選択入力3となります。SPI制御モードでは、GPIO3が、VDD_IOピンおよびDGNDピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。このピンは、EN_GPIO_STARTビットを用いることで、START機能に割り当てることができます。
D11	MODE0/GPIO0	DI/O	多機能ピン。PIN制御モードでは、MODE0がPIN制御動作プロファイル選択入力0となります。SPI制御モードでは、GPIO0が、VDD_IOピンおよびDGNDピンを基準とするロジック・レベルを持つ汎用入出力ピンとなります。
D12	SYNC_IN	DI	SYNC_INは、SYNC_OUTピンまたはメイン・コントローラから同期信号を受信します。同期信号はMCLKに同期する必要があります。SYNC_INにより、複数のADAQ7767-1デバイスの同期と同時サンプリングが可能になります。
D13	SYNC_OUT	DO	MCLKに同期した同期パルス出力。SYNC_OUTピンにより、1つまたは複数のADAQ7767-1デバイスをSPIを通じて同期させることができます。SYNC_OUT出力を発生するには、SPIを介してSYNCコマンドを送信します。これを使用する場合、SYNC_OUT信号を同じデバイスのSYNC_INピンおよび他のADAQ7767-1デバイスのSYNC_INピンに接続すると、同時サンプリングができます。
D14	AREG_CAP	AO	ADCの内部アナログLDOレギュレータ出力。AREG_CAPピンは1μFのコンデンサを用いてAGNDとデカップリングします。AREG_CAPからの電圧出力は、ADAQ7767-1外部の回路では使用しないでください。
E1	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
E2	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
E3	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
E4	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
E5	AGND	P	VDD_FDA、IN_LDO、VDD_ADC、VDD2_ADCの各電源のグラウンド・リファレンス。通常動作ではシステムのグラウンドに接続します。
E6	VDD_FDA	P	ADCドライバ・アンプ正側電源。AGNDを基準とします。内蔵LDOレギュレータを用いる場合はVDD_FDAをOUT_LDOに接続し、それ以外の場合はVDD_FDAを単電源に接続します。この電源はVDD_ADCピンにも給電します。
E7	VDD_FDA	P	ADCドライバ・アンプ正側電源。AGNDを基準とします。内蔵LDOレギュレータを用いる場合はVDD_FDAをOUT_LDOに接続し、それ以外の場合はVDD_FDAを単電源に接続します。この電源はVDD_ADCピンにも給電します。
E8	VDD_FDA	P	ADCドライバ・アンプ正側電源。AGNDを基準とします。内蔵LDOレギュレータを用いる場合はVDD_FDAをOUT_LDOに接続し、それ以外の場合はVDD_FDAを単電源に接続します。この電源はVDD_ADCピンにも給電します。
E9	PIN/SPI	DI	デバイス・モード選択入力。PINモード動作にするには0に設定します。設定ピンのロジックを通じてデバイス動作の制御と設定を行います。SPIモード動作にするには1に設定します。SPIを用いレジスタを通じてデバイス動作の制御と設定を行います。
E10	DOOUT/RDY	DO	シリアル・インターフェース・データ出力とデータ・レディ信号の組み合わせ。この出力データ・ピンは、DOOUTピンとしてのみ設定することも、SPI制御モードを通じてレディ信号 (RDY) を含むよう設定することもできます。このデバイスはDOOUT/RDYの組み合わせ信号を使用するようにプログラムできるので、必要なインターフェース入出力ラインの数を減らすことができます。
E11	SCLK	DI	シリアル・インターフェース・クロック。
E12	SDI	DI	シリアル・インターフェース・データ入力。
E13	CS	DI	シリアル・インターフェースのチップ・セレクト入力。アクティブ・ロー。
E14	DRDY	DO	ADC変換データ・レディ出力。変換結果が使用可能であることを示すための周期的信号出力。
F1	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
F2	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
F3	NC	N/A	接続なし (内部)。フロート状態のままにするかグラウンド・リファレンスに接続します。
F4	EN_LDO	DI	内蔵LDOレギュレータ・イネーブル入力。アクティブ・ハイ。
F5	CLK_SEL	DI	ADCクロック・ソース選択入力。PIN制御モードでは、0に設定するとCMOSクロック・オプションが選択されます。外部CMOSクロック信号をXTAL2_MCLKピンに印加し、XTAL1ピンをDGNDに接続します。またPIN制御モードでは、1に設定すると水晶発振器オプションが選択されます。外部水晶発振器を、XTAL1ピンとXTAL2_MCLKピンの間に接続します。SPI制御モードでは、CLK_SELピンをDGNDに接続します。レジスタの読書きを通じてクロック・ソースを選択します。LVDSクロック・オプションはSPI制御モードでのみ使用できます。
F6	OUT_LDO	P	内蔵LDOレギュレータ出力。OUT_LDOは、1μF以上のコンデンサを用いてAGNDにバイパスします。
F7	OUT_LDO	P	内蔵LDOレギュレータ出力。OUT_LDOは、1μF以上のコンデンサを用いてAGNDにバイパスします。

## ピン配置およびピン機能の説明

表 7. ピン機能の説明（続き）

ピン番号	記号	タイプ <sup>1</sup>	説明
F8	OUT_LDO	P	内蔵LDOレギュレータ出力。OUT_LDOは、1μF以上のコンデンサを用いてAGNDにバイパスします。
F9	VDD_IO	P	デジタル電源。VDD_IOピンは、すべてのインターフェース・ピンのロジック・レベルを設定します。VDD_IOは、内蔵のデジタルLDOレギュレータを介してデジタル処理の電源を供給します。DGNDを基準とします。VDD_IOは、1μF以上のコンデンサを用いてDGNDにバイパスします。VDD_IO ≤ 1.8Vの場合、VDD_IOをDREG_CAPに接続し、10μFのコンデンサを用いてデカップリングし、更に、インターフェース・フォーマット制御レジスタのLV_BOOST（レジスタ0x14のビット7）をイネーブルします（ <a href="#">インターフェース・フォーマット制御レジスタ</a> のセクションを参照）。
F10	DGND	P	VDD_IO電源のグラウンド・リファレンス。通常動作ではDGNDをシステムのグラウンドに接続します。
F11	DGND	P	VDD_IO電源のグラウンド・リファレンス。通常動作ではDGNDをシステムのグラウンドに接続します。
F12	DREG_CAP	AO	ADCの内部デジタルLDOレギュレータ出力。DREG_CAPは、1μFのコンデンサを使用してDGNDからデカップリングします。VDD_IO ≤ 1.8Vの場合、VDD_IOをDREG_CAPに接続し、10μFのコンデンサを用いてデカップリングし、更に、インターフェース・フォーマット制御レジスタのLV_BOOST（レジスタ0x14のビット7）をイネーブルします（ <a href="#">インターフェース・フォーマット制御レジスタ</a> のセクションを参照）。DREG_CAPからの電圧出力は、ADAQ7767-1外部の回路では使用しないでください。
F13	XTAL1	DI	ADCクロック入力1。 外部水晶発振器：XTAL1を外部水晶発振器の1つのノードに接続します。 LVDS：XTAL1をLVDSクロック・ソースの1つのノードに接続します。 CMOSクロック：DGNDに接続。
F14	XTAL2_MCLK	DI	ADCクロック入力2。 外部水晶発振器：外部水晶発振器の2つ目のノードに接続します。 LVDS：LVDSクロック・ソースの2つ目のノードに接続します。 CMOSクロック：CMOSクロック・ソースに接続します。VDD_IOおよびDGNDを基準とするロジック・レベル。

<sup>1</sup> AI = アナログ入力、AO = アナログ出力、DI = デジタル入力、DO = デジタル出力、DI/O = 双方向デジタル、P = 電源またはグラウンド、N/A = 該当なし。

代表的な性能特性

特に指定のない限り、AGND = DGND = 0V、入力コモンモード電圧 = 0V、IN\_LDO = EN\_LDO = 5.1V ~ 5.5V、OUT\_LDO = VDD\_FDA = VDD\_ADC、VDD2\_ADC = 2V ~ 5.5V、VDD\_IO = 1.7V ~ 3.6V、REF+ = 4.096V、REF- = 0V、MCLK = SCLK = 16.384MHz、50:50 のデューティサイクル、 $f_{MOD} = MCLK/2$ 、フィルタ = 広帯域低リップル、デシメーション = 32、ODR = 256kSPS、直線性向上バッファ・オン、リファレンス・プリチャージ・バッファ・オン、FDA = フルパワー動作モード、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ 。代表値は  $T_A = 25^{\circ}C$  での値です。

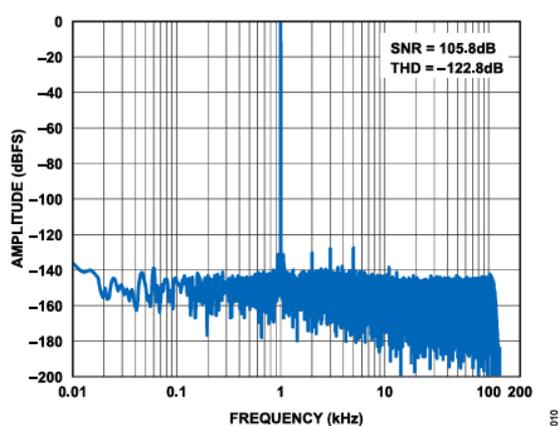


図 10. 広帯域低リップル・フィルタ、差動入力、IN1、  
-0.5dBFS (3.9V<sub>P</sub>)

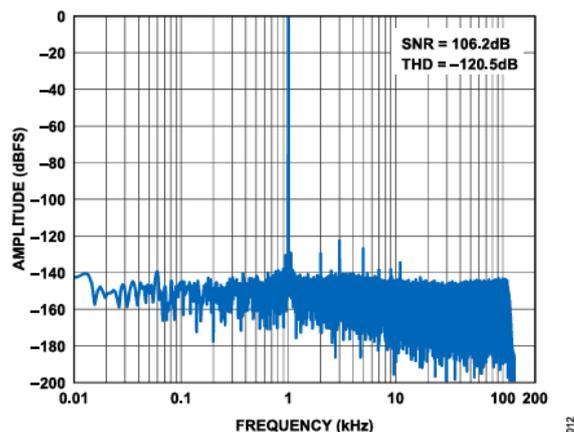


図 12. 広帯域低リップル・フィルタ、差動入力、IN3、  
-0.5dBFS (27.0V<sub>P</sub>)

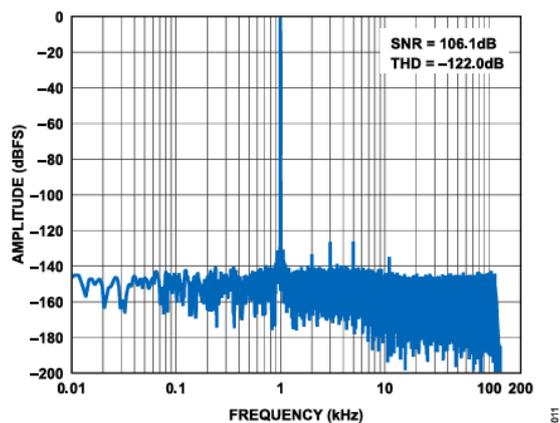


図 11. 広帯域低リップル・フィルタ、差動入力、IN2、  
-0.5dBFS (10.6V<sub>P</sub>)

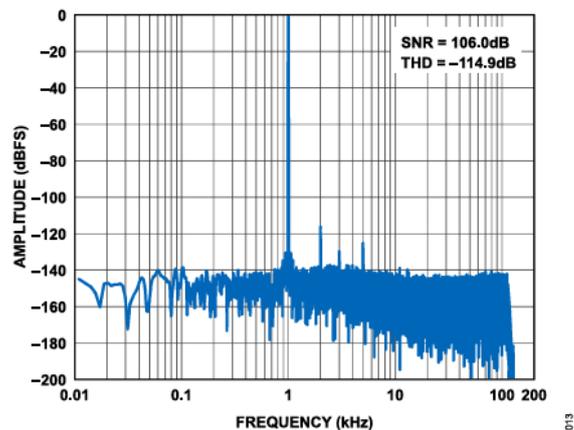


図 13. 広帯域低リップル・フィルタ、シングルエンド、IN1、  
-0.5dBFS (3.9V<sub>P</sub>)

代表的な性能特性

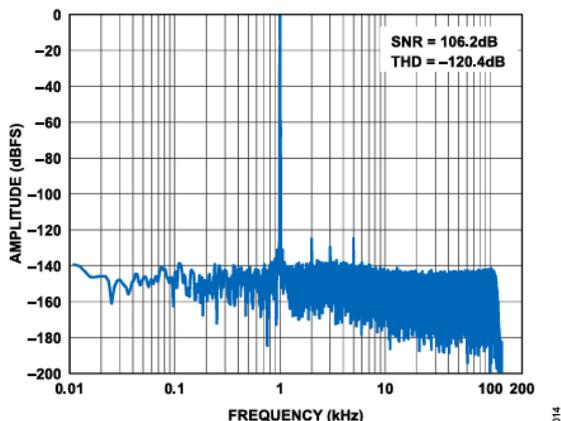


図 14. 広帯域低リップル・フィルタ、シングルエンド、IN2、  
-0.5dBFS (10.6V<sub>p</sub>)

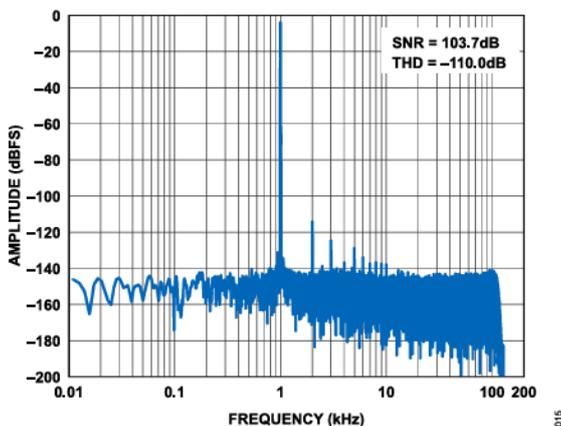


図 15. 広帯域低リップル・フィルタ、シングルエンド、IN3、  
-3.6dBFS (18.9V<sub>p</sub>)

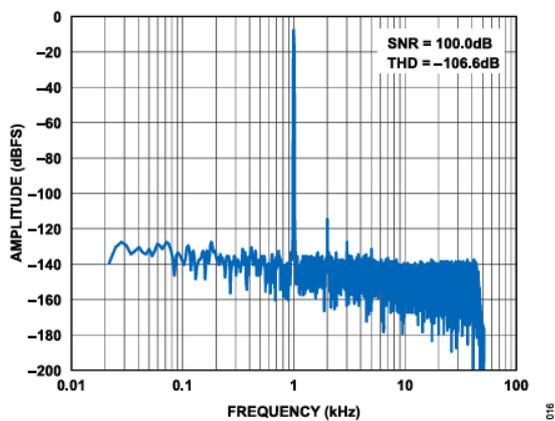


図 16. 広帯域低リップル・フィルタ、MCLK = 13.107MHz、  
ODR = 102.4kSPS、シングルエンド入力、IN3、  
-12V DC + 10V<sub>p</sub> (-2V~-22V)

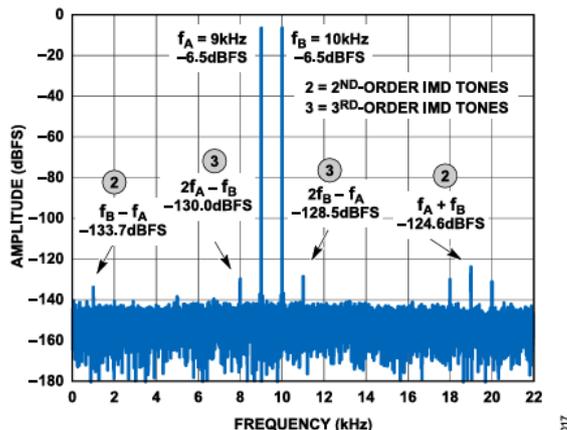


図 17. 2 トーン入力、IN1、 $f_A = 9\text{kHz}$  および  $-6.5\text{dBFS}$ 、  
 $f_B = 10\text{kHz}$  および  $-6.5\text{dBFS}$  サイン波、  
広帯域低リップル・フィルタ、ODR = 256kSPS

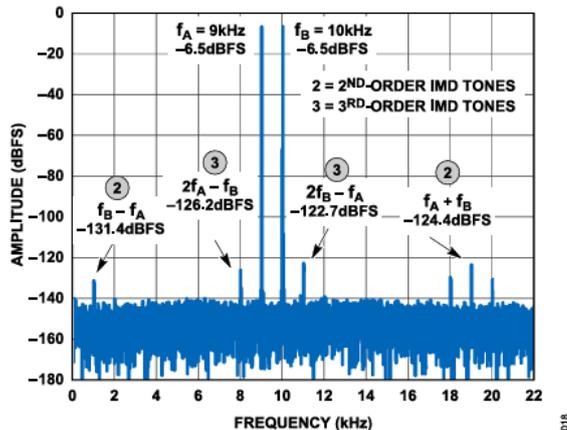


図 18. 2 トーン入力、IN2、 $f_A = 9\text{kHz}$  および  $-6.5\text{dBFS}$ 、  
 $f_B = 10\text{kHz}$  および  $-6.5\text{dBFS}$  サイン波、  
広帯域低リップル・フィルタ、ODR = 256kSPS

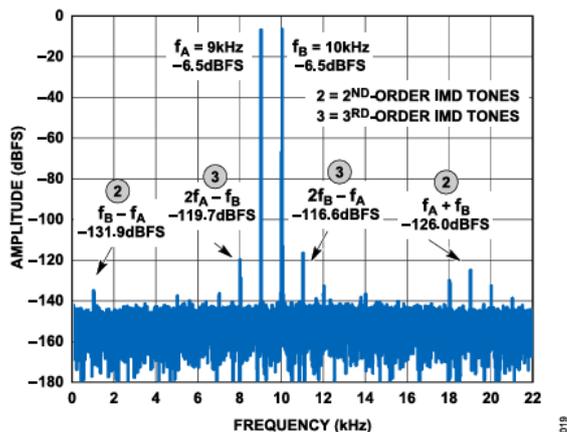


図 19. 2 トーン入力、IN3、 $f_A = 9\text{kHz}$  および  $-6.5\text{dBFS}$ 、  
 $f_B = 10\text{kHz}$  および  $-6.5\text{dBFS}$  サイン波、  
広帯域低リップル・フィルタ、ODR = 256kSPS

代表的な性能特性

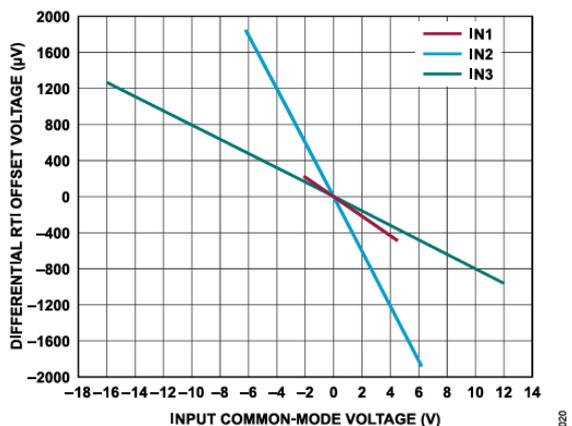


図 20. 差動 RTI オフセット電圧と入力コモンモード電圧の関係

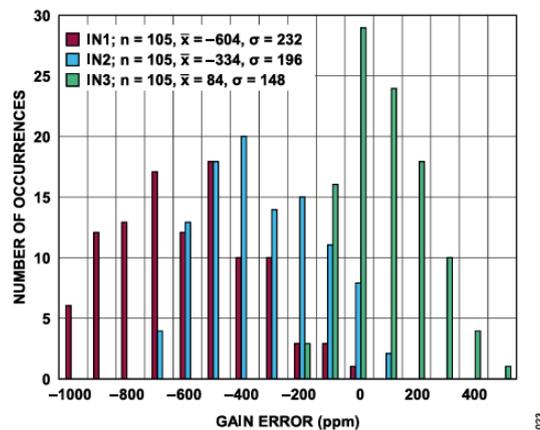


図 23. ゲイン誤差の分布

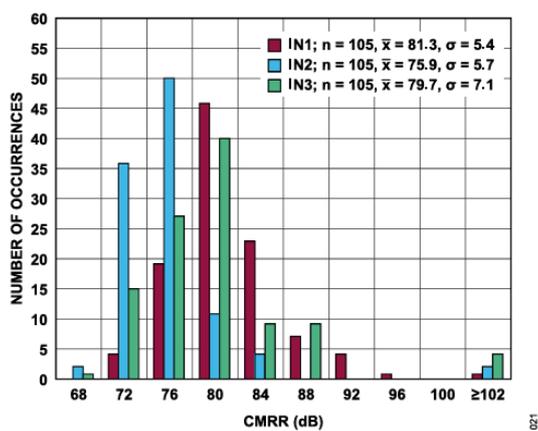


図 21. DC CMRR の分布

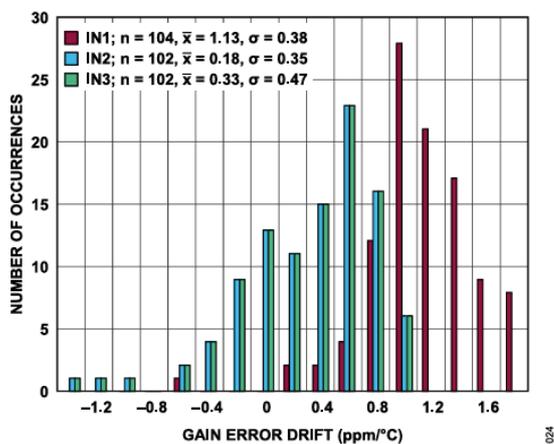


図 24. ゲイン誤差ドリフトの分布

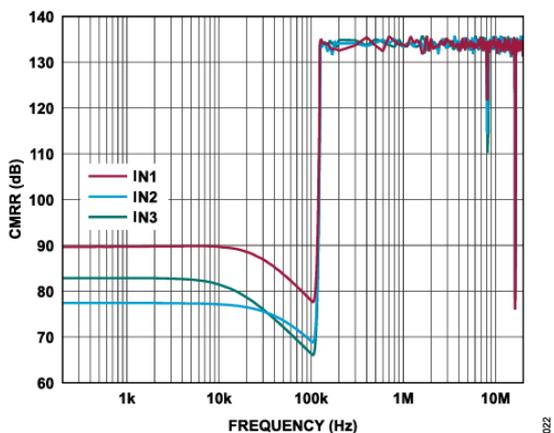


図 22. AC CMRR と入力周波数の関係

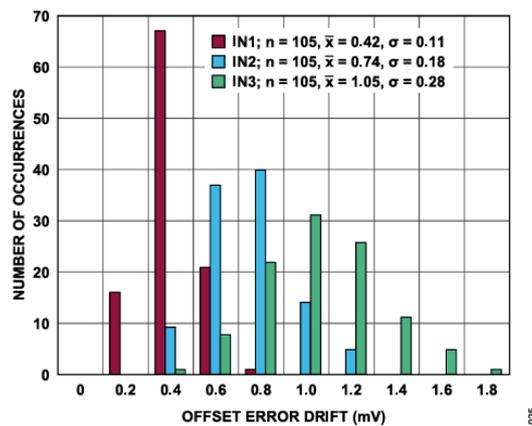


図 25. オフセット誤差の分布

代表的な性能特性

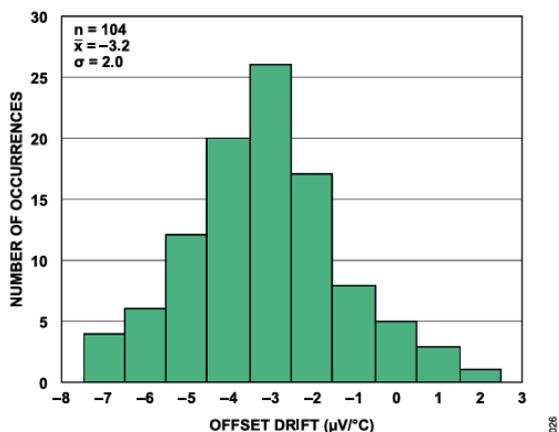


図 26. オフセット誤差ドリフトの分布、IN1

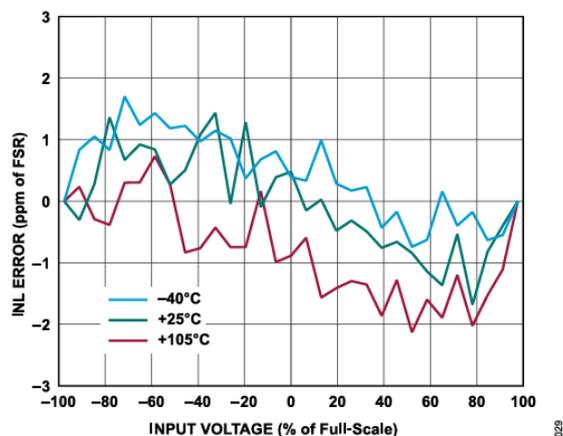


図 29. 異なる温度での INL 誤差と入力電圧の関係、差動入力、IN1

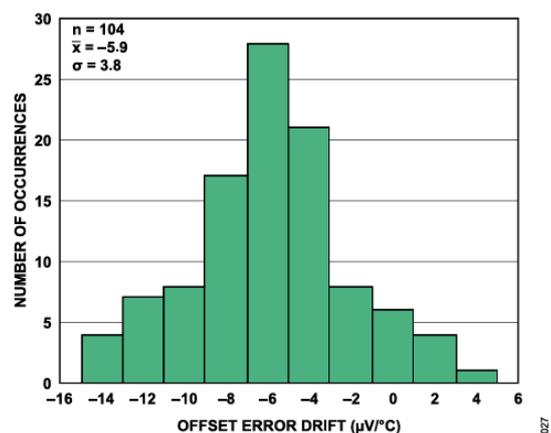


図 27. オフセット誤差ドリフトの分布、IN2

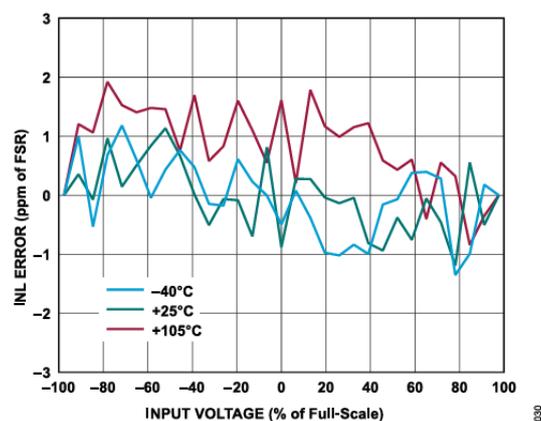


図 30. 異なる温度での INL 誤差と入力電圧の関係、差動入力、IN2

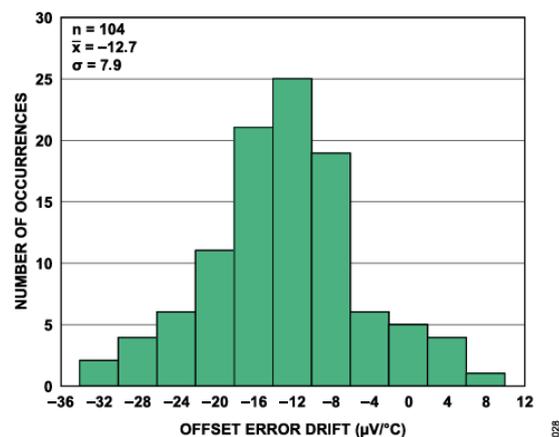


図 28. オフセット誤差ドリフトの分布、IN3

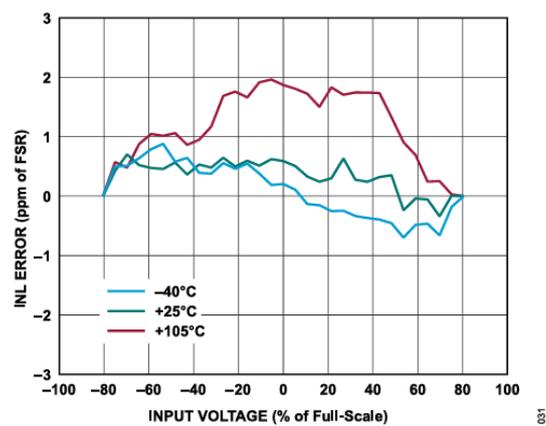


図 31. 異なる温度での INL 誤差と入力電圧の関係、差動入力、IN3

代表的な性能特性

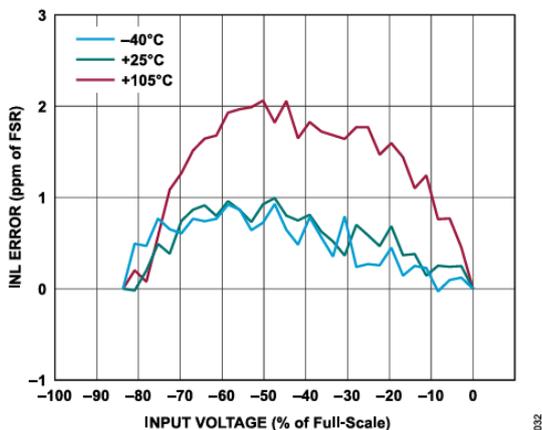


図 32. 異なる温度での INL 誤差と入力電圧の関係、IN3、シングルエンド入力、入力を 0V から -24V (ユニポーラ) にスイープ

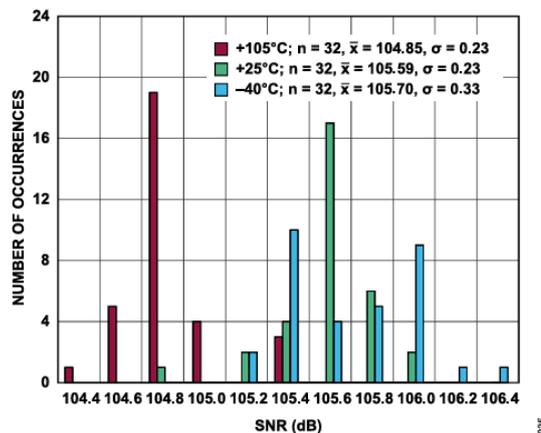


図 35. 温度に対する SN 比の分布、差動入力、IN1、-0.5dBFS、1kHz

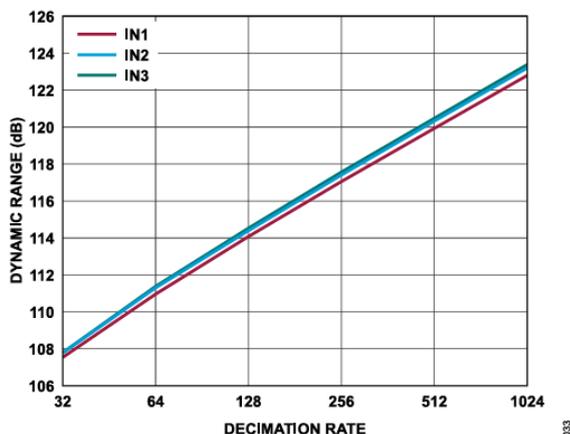


図 33. ダイナミック・レンジとデシメーション・レートの関係、広帯域低リップル・フィルタ、入力を短絡

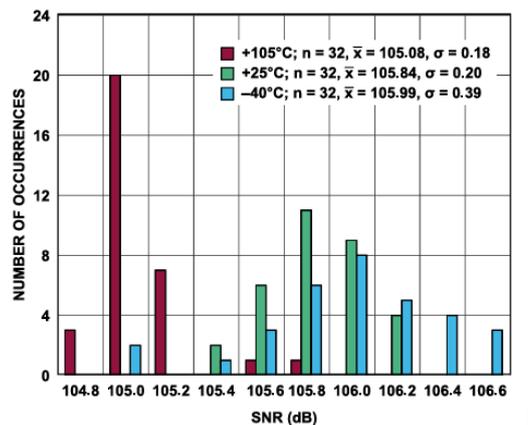


図 36. 温度に対する SN 比の分布、差動入力、IN2、-0.5dBFS、1kHz

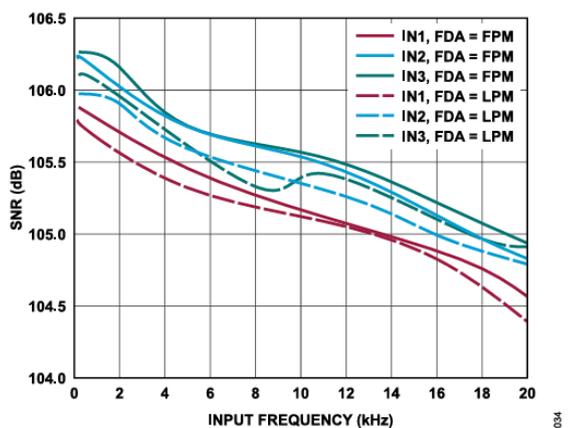


図 34. 25°C における SN 比と入力周波数の関係、差動入力、フルパワー動作モード (FPM) またはロー・パワー動作モード (LPM) での -0.5dBFS の完全差動アンプ (FDA)

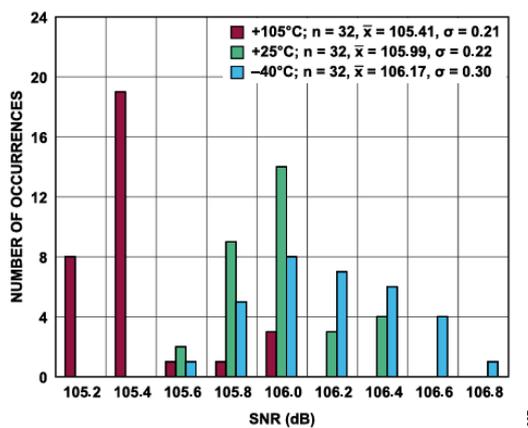


図 37. 温度に対する SN 比の分布、差動入力、IN3、-0.5dBFS、1kHz

代表的な性能特性

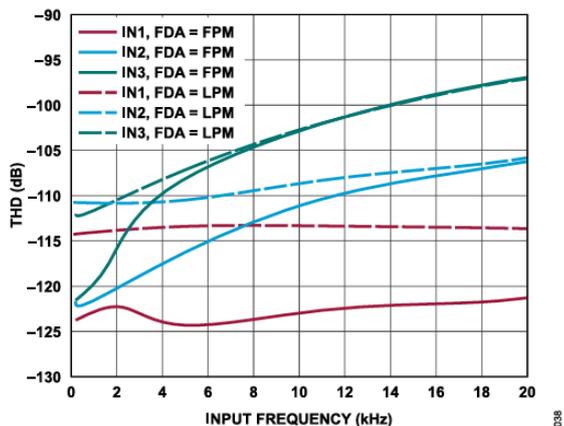


図 38. 25°C での THD と入力周波数の関係、差動入力、-0.5dBFS

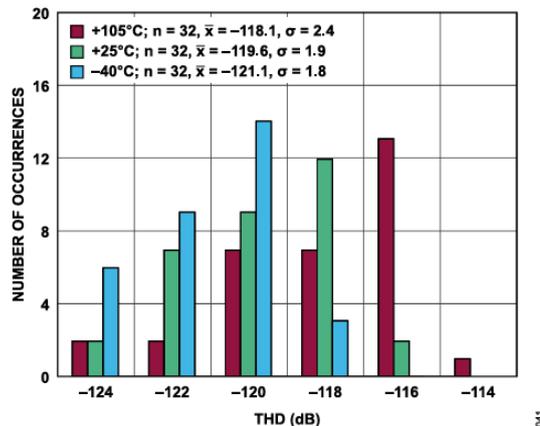


図 41. 温度に対する THD の分布、差動入力、IN1、-0.5dBFS、1kHz

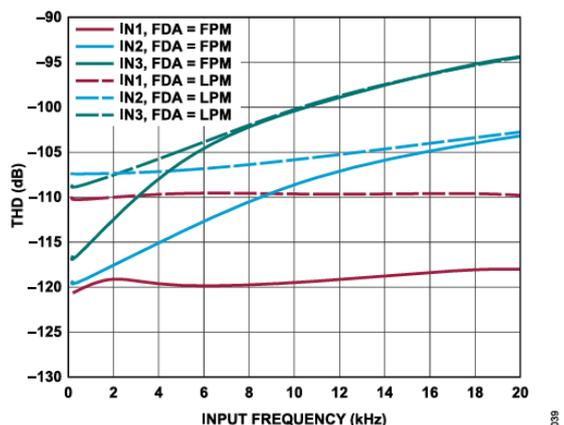


図 39. 105°C での THD と入力周波数の関係、差動入力、-0.5dBFS

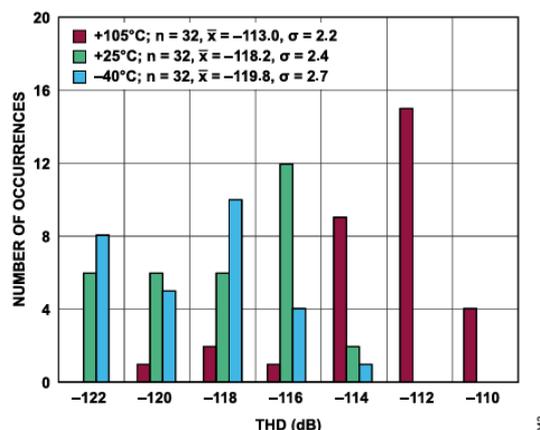


図 42. 温度に対する THD の分布、差動入力、IN2、-0.5dBFS、1kHz

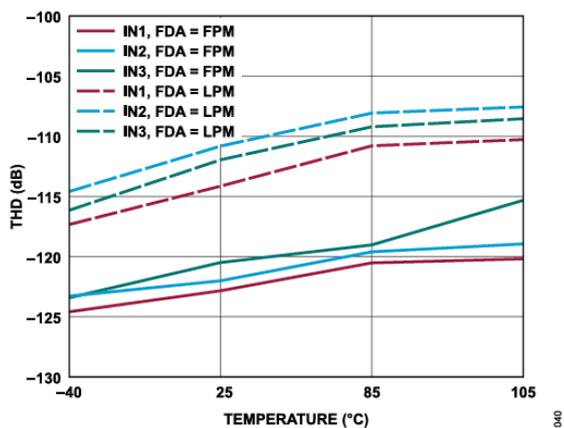


図 40. THD と温度の関係、差動入力、-0.5dBFS、1kHz

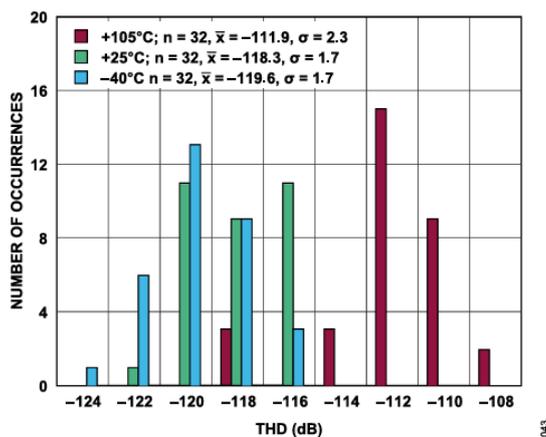


図 43. 温度に対する THD の分布、差動入力、IN3、-0.5dBFS、1kHz

代表的な性能特性

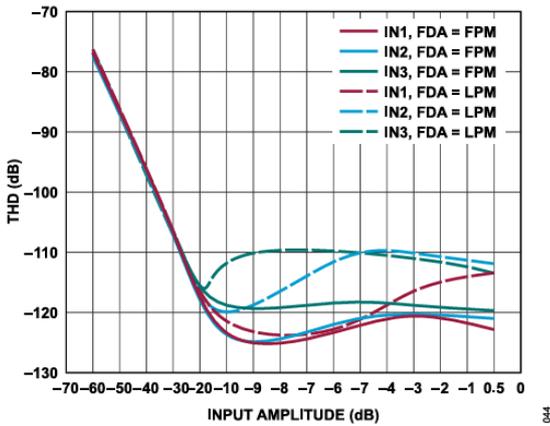


図 44. THD と入力振幅の関係、差動入力、1kHz

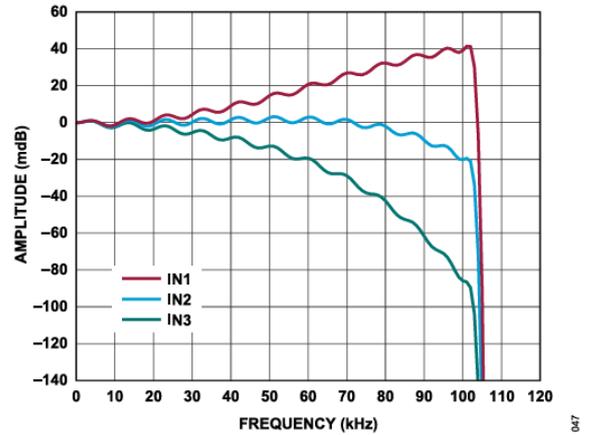


図 47. 異なる入力レンジに対するパス・バンドのドループ

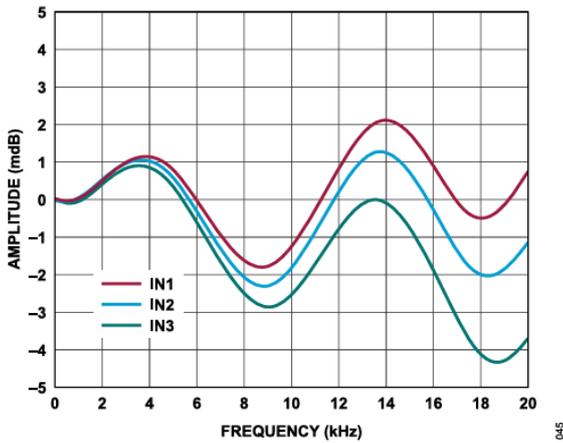


図 45. 広帯域低リップル FIR フィルタのパス・バンド・リップル、ODR = 256kSPS

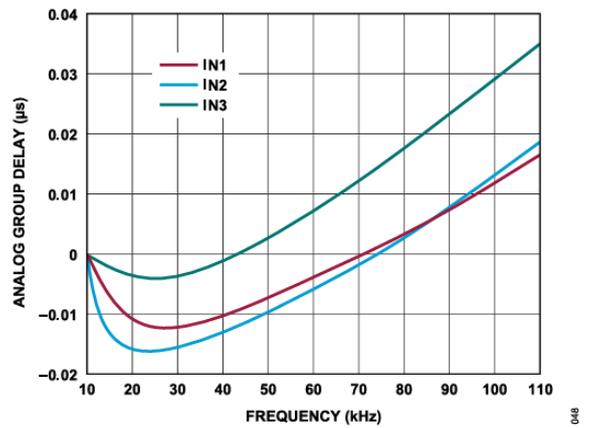


図 48. 25°C での AFE パス・バンドのアナログ群遅延と周波数の関係、10kHz での遅延で正規化

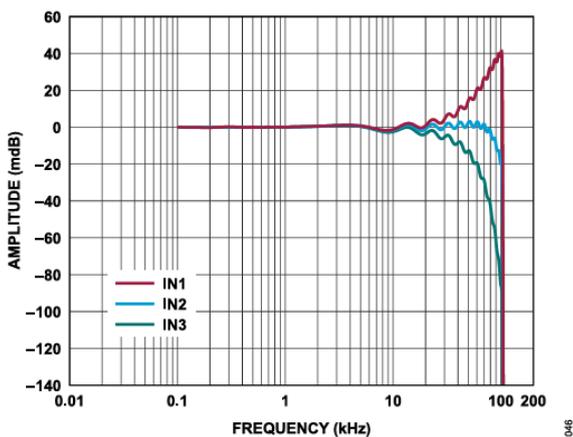


図 46. 広帯域低リップル FIR フィルタの振幅平坦性、ODR = 256kSPS

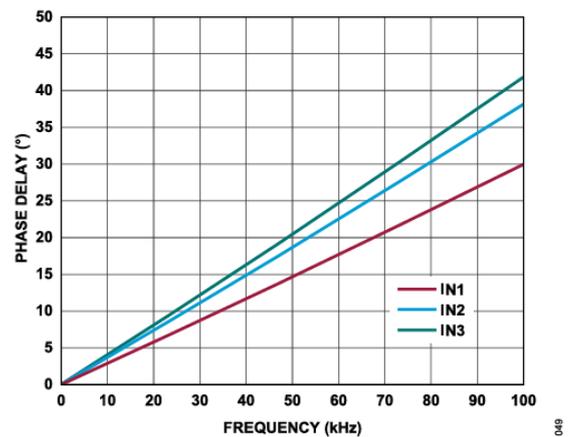


図 49. AFE パス・バンドの位相応答

代表的な性能特性

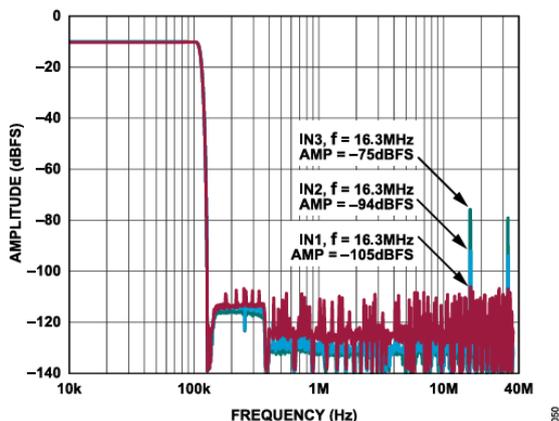


図 50. アンチエイリアシング・フィルタ除去、INx = -10dBFS (f は周波数)

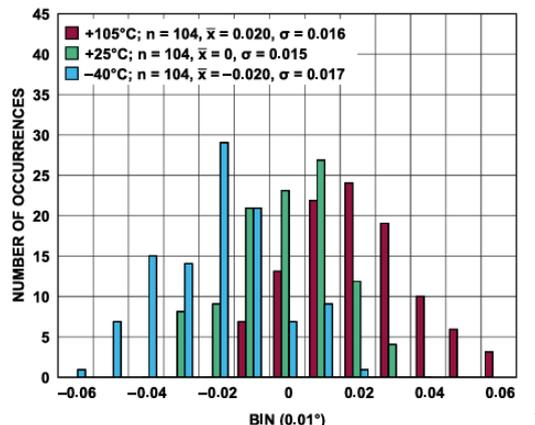


図 53. デバイス間の位相角不整合のヒストグラム、20kHz、IN2、25°C での平均値で正規化

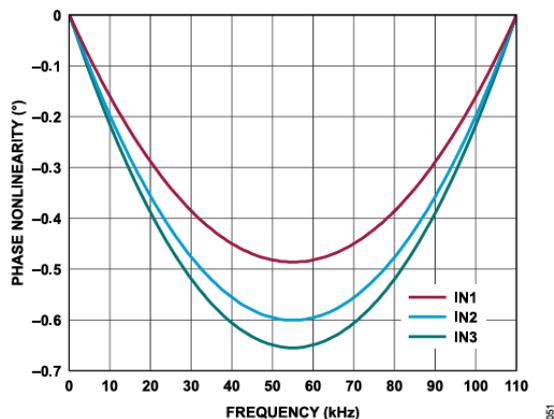


図 51. AFE の位相非直線性、エンドポイント法 (100Hz~110kHz)

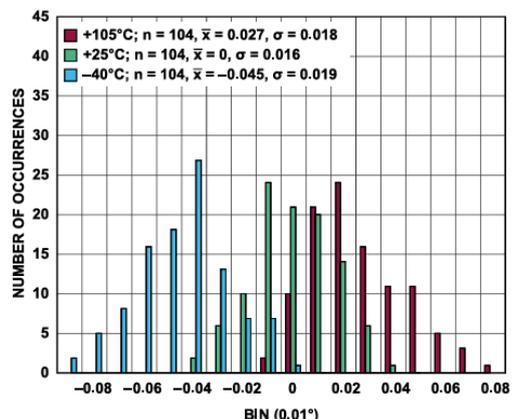


図 54. デバイス間の位相角不整合のヒストグラム、20kHz、IN3、25°C での平均値で正規化

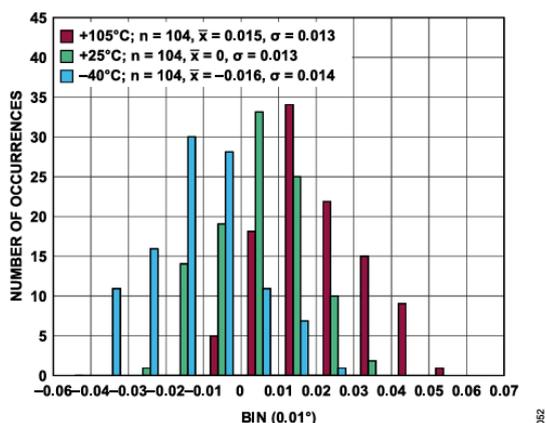


図 52. デバイス間の位相角不整合のヒストグラム、20kHz、IN1、25°C での平均値で正規化

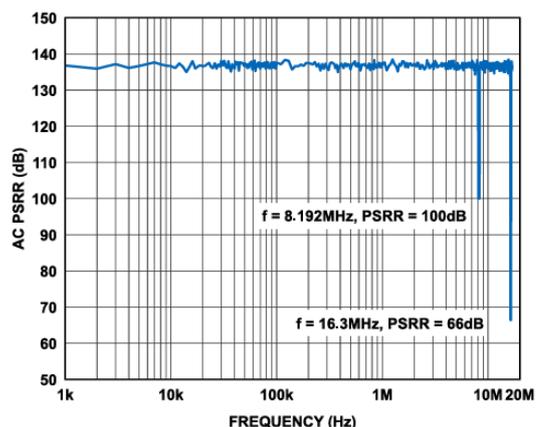


図 55. LDO の AC PSRR、OUT\_LDO に 1μF の外付け電源デカップリング・コンデンサを使用して VDD\_FDA、VDD\_ADC、VDD2\_ADC に接続

代表的な性能特性

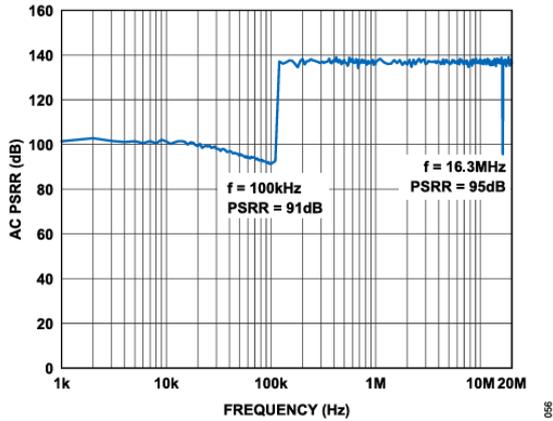


図 56. VDD\_IO の AC PSRR、内蔵の電源デカップリングを使用

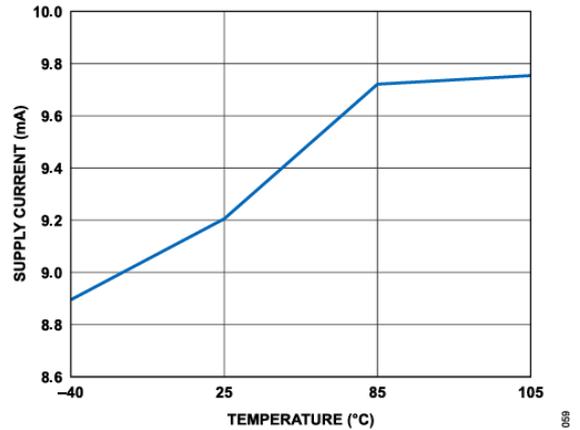


図 59. VDD\_IO 電源電流と温度の関係

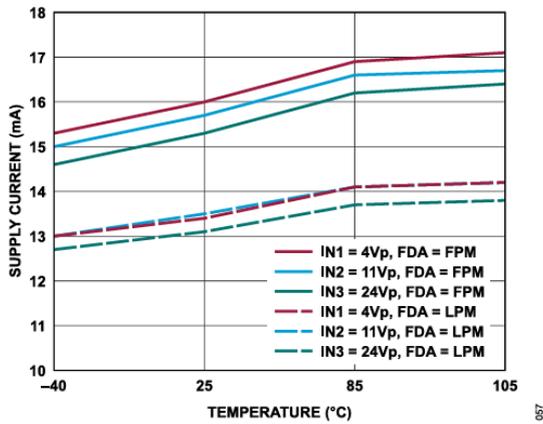


図 57. AC 入力を使用した場合の LDO 電源電流と温度の関係、OUT\_LDO を VDD\_FDA、VDD\_ADC、VDD2\_ADC に接続

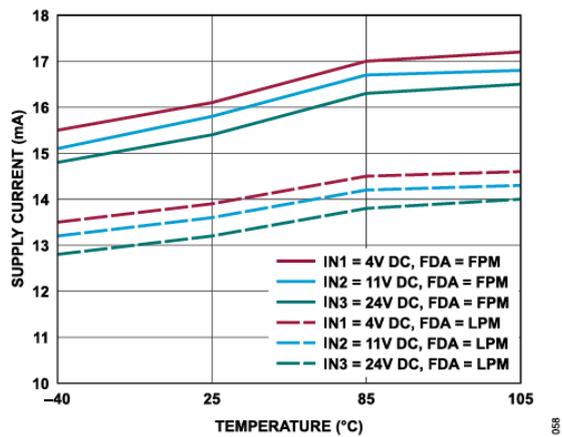


図 58. DC 入力を使用した場合の LDO 電源電流と温度の関係、OUT\_LDO を VDD\_FDA、VDD\_ADC、VDD2\_ADC に接続

## 用語の定義

## AC 同相ノイズ除去比 (CMRR)

周波数  $f$  で  $IN_{x+}$  と  $IN_{x-}$  に印加されたサイン波のコモンモード電圧と、同じ周波数  $f$  の ADC 出力電圧の比。

$$CMRR (dB) = 20 \log \left( \frac{V_{IN_{x-f}} \times AFE\_GAIN}{V_{ADC\_f}} \right) \quad (1)$$

ここで、

$V_{IN_{x-f}}$  は、周波数  $f$  で  $IN_{x+}$  と  $IN_{x-}$  に印加されたサイン波のコモンモード電圧。

$AFE\_GAIN$  は、選択した差動入力に対応するアナログ・フロントエンドのゲイン。

$V_{ADC\_f}$  は、同じ周波数  $f$  の ADC 出力電圧。

## 最下位ビット (LSB)

コンバータで表現できる最小のインクリメント。分解能が  $N$  ビットの完全差動入力 ADC の場合、電圧を単位とする LSB は次式で求めることができます。

$$LSB (V) = \frac{V_{REF} \times 2}{2^N \times AFE\_GAIN} \quad (2)$$

## ゲイン誤差

最初の遷移 (100 ... 000 から 100 ... 001) は負の公称フル・スケールより  $1/2$  LSB 上のレベル ( $\pm 4.096V$  の範囲では  $-4.0955999756V$ ) で発生します。最後の遷移 (011 ... 110 から 011 ... 111) は、公称フル・スケールより  $1/2$  LSB 低いアナログ電圧 ( $\pm 4.096V$  の範囲では  $+4.095999268V$ ) で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

## ゲイン誤差ドリフト

$1^{\circ}C$  の温度変化に起因するゲイン誤差変化とフル・スケール・レンジ ( $2^N$ ) の比。これは、 $1^{\circ}C$  あたりの ppm 値で表されます。

## オフセット誤差

理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

## オフセット誤差ドリフト

$1^{\circ}C$  の温度変化に起因するオフセット誤差変化とフル・スケール・コード・レンジ ( $2^N$ ) の比。

## 微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL はこの理想値からの最大偏差で、ノー・ミス・コードが確保される分解能で仕様規定されます。

## 積分非直線性 (INL) 誤差

負のフル・スケールと正のフル・スケールを結ぶ直線と個々のコードとの偏差。最初のコード遷移より  $1/2$  LSB だけ手前の点を負のフル・スケールとして使います。正のフル・スケールは、最後のコード遷移を  $1/2$  LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

## ダイナミック・レンジ

入力ピンを短絡して測定した二乗平均平方根 (実効値) ノイズに対するフル・スケールの実効値の比。単位はデシベルです。

## 全システム・ダイナミック・レンジ

$IN_{1+}$  ピンと  $IN_{1-}$  ピンを互いに短絡して測定した入力換算実効値ノイズに対する  $IN_{3+}$  と  $IN_{3-}$  を用いたフル・スケールの実効値との比。単位はデシベルです。

## ピーク to ピーク分解能

ピーク to ピーク・ノイズすなわちフリッカの影響を受けないビット数。この分解能は、フリッカフリー分解能またはノイズフリーのコード分解能とも呼ばれ、次式に従います。

$$\log_2 \left( \frac{\text{Full Scale Range}}{6.6 \times \text{RMS Noise}} \right) \quad (3)$$

## SN 比 (SNR)

ナイキスト周波数を下回る全てのスペクトル成分 (高調波成分と直流成分を除く) の実効値総和に対する実際の入力信号の実効値の比。単位はデシベルです。

## 全高調波歪み (THD)

高調波の実効値総和と基本波の比。単位はデシベルです。ADAQ7767-1 の場合、THD は次のように定義されます。

$$THD (dB) = 20 \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \right) \quad (4)$$

ここで、

$V_2, V_3, V_4, V_5, V_6$  は、2 次から 6 次までの高調波の実効値振幅。

$V_1$  は基本波の実効値振幅。

## 信号ノイズ + 歪み (SINAD) 比

ナイキスト周波数を下回る全てのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の実効値の比。単位はデシベルです。

用語の定義

スプリアスフリー・ダイナミック・レンジ (SFDR)

入力信号の実効値振幅と、高調波を含むピーク・スプリアス信号との差で、単位はデシベル (dB) です。

相互変調歪み

2つの周波数  $f_a$  と  $f_b$  のサイン波で構成される入力で、非直線性を備えたアクティブ・デバイスは  $m f_a$  と  $n f_b$  (ここで、 $m, n = 0, 1, 2, 3, \dots$ ) の和と差で表される周波数を使用して歪みの積を生成します。相互変調歪み項とは  $m$  も  $n$  も 0 ではない項です。例えば、2次の項は  $(f_a + f_b)$  と  $(f_a - f_b)$  を含み、3次の項は  $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、および  $(f_a - 2f_b)$  を含みます。

相互変調歪みの計算は THD 仕様に従います。これは、基本波の和の実効値振幅に対する個々の歪み積の実効値総和の比率で、デシベルで表します。

位相角ドリフト

位相角ドリフトは、与えられた入力信号周波数における単一デバイスの温度に伴う位相遅延変化の割合を表します。ドリフトは  $^{\circ}\text{C}$  を単位とし、動作温度範囲全体にわたりエンドポイント法を用いて計算できます。代表的な仕様は、多数のデバイスにわたる平均の位相角ドリフトですが、最大 (最小) 仕様は代表値からのシックス・シグマ (標準偏差:  $\sigma$ ) です。

デバイス間の位相角不整合

デバイス間の位相角不整合は、所定の入力信号周波数において、複数の ADAQ7767-1 デバイスからなるグループの平均位相遅延に対する単一の ADAQ7767-1 デバイスの位相遅延差を表す尺度です。この不整合は、データ・アキュイジション・シグナル・チェーンの位相応答がチャンネル間でどの程度良く一致しているかを示すものでもあります。代表的な仕様は、分布の  $\pm 1\sigma$  (標準偏差) ですが、最大値 (最小値) はこの値の 6 倍です。

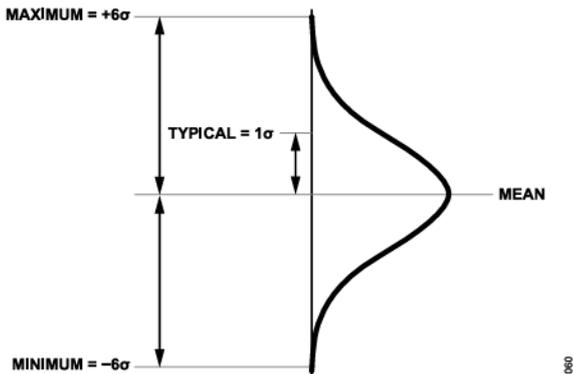


図 60. デバイス間の位相角不整合の計算

デバイス間の位相角不整合ドリフト

デバイス間の位相角不整合ドリフトは、デバイス間の位相角不整合の標準偏差 ( $\sigma$ ) が、与えられた入力信号周波数において温度と共にどの程度広がるか、あるいは狭まるかを表します。正の符号は、温度上昇と共に位相不整合の分布が広がることを示し、負の符号は、温度上昇と共に位相不整合の分布が狭まることを示します。このドリフトは、動作温度範囲全体にわたりエンドポイント法を用いて計算できます。代表的な仕様は  $1^{\circ}\text{C}$  ごとの  $|\sigma|$  の変化ですが、図 61 に示すように、最大値はこの 6 倍になります。

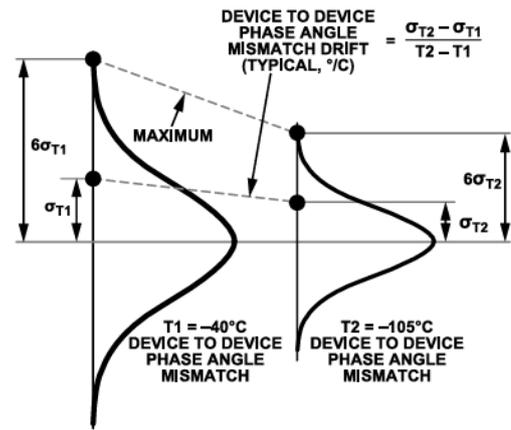


図 61. デバイス間の位相角不整合ドリフトの計算

電源電圧変動除去比 (PSRR)

電源の変動はコンバータの直線性ではなく、フル・スケール遷移に影響を与えます。PSRR は、電源電圧の公称値からの変化による、フル・スケール遷移ポイントでの最大変化です。

動作原理

アナログ入力

ADAQ7767-1 は広い共通モード入力範囲と高い CMRR を備えており、入力ピンの各ペアが互いに任意の関係で電圧振動可能です。そのため、図 62 に示すように、ユニポーラおよびバイポーラの

ラのシングルエンド信号、擬似差動信号、完全差動信号などの幅広い信号の電圧振幅を受け入れることができます。IN3 の共通モード制限により、IN3 の正側のシングルエンド範囲が 24V (−1.55dBFS) に制限されている点に注意してください。

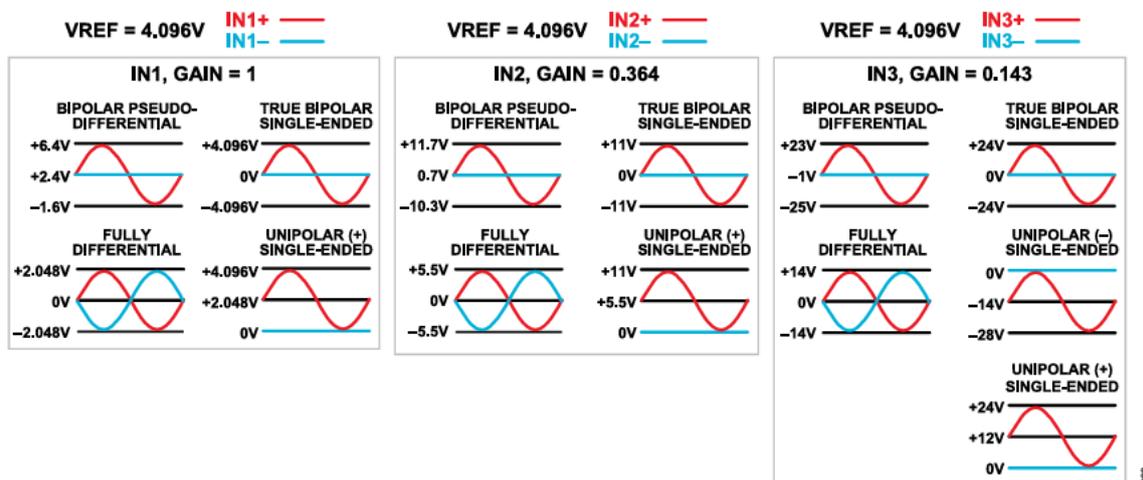


図 62. 差動入力信号の例

動作原理

任意入力

図 17～図 19 に示す 2 トーン・テストで、ADAQ7767-1 の任意入力の駆動能力を確認できます。このテストは、INx+を-6.5dBFS、9kHz のシングルエンド・サイン波、INx-を-6.5dBFS、10kHz のシングルエンド・サイン波で同時に駆動します。これらの信号は共に、コモンモードおよび差動モードの電圧の幅広い組み合わせでアナログ入力をスイープします。また、これらの信号は単純なスペクトルとなっています。コモンモードの影響を受けない理想的な差動コンバータは、これらの信号を各サイン波周波数に 1 つずつ、合計 2 つの-6.5dBFS のスペクトル・トーンとしてデジタル化します。図 17～図 19 の高速フーリエ変換 (FFT) のプロットは、ADAQ7767-1 の応答を全入力範囲にわたり示しています。

絶対入力範囲

ADAQ7767-1 が受け入れる絶対電圧は入力ペアによって異なります。IN1+と IN1-のペアおよび IN2+と IN2-のペアでは、絶対最大入力は±15V です。IN3+と IN3-のペアの場合は、絶対最大入力は±36V になります。

差動入力範囲

差動信号の振幅は、フロントエンドのシグナル・ゲインとリファレンスの電圧レベルによって異なります。最大差動入力電圧を計算するには、次式を用います。

$$V_{INx+} - V_{INx-} = \pm V_{REF} / AFE\_GAIN \quad (5)$$

ここで、V<sub>INx+</sub>は INx+の電圧、V<sub>INx-</sub>は INx-の電圧です。

入力コモンモード電圧範囲

入力コモンモード電圧 (V<sub>ICM</sub>) は、差動入力の特定のペアに印加される絶対電圧の平均で、次式で与えられます。

$$V_{ICM} = \frac{V_{INx+} + V_{INx-}}{2} \quad (6)$$

V<sub>ICM</sub>の範囲は、ドライバ・アンプの電源電圧 (VDD\_FDA) および選択した入力ピン・ペアに依存します。図 63 は、ADAQ7767-1 の各入力ペアに対し有効な出力が生成される動作領域を示したものです。入力ピンの選択が簡単にできるよう、各入力ペアの最大の差動入力範囲およびコモンモード入力範囲を表 8 に示します。

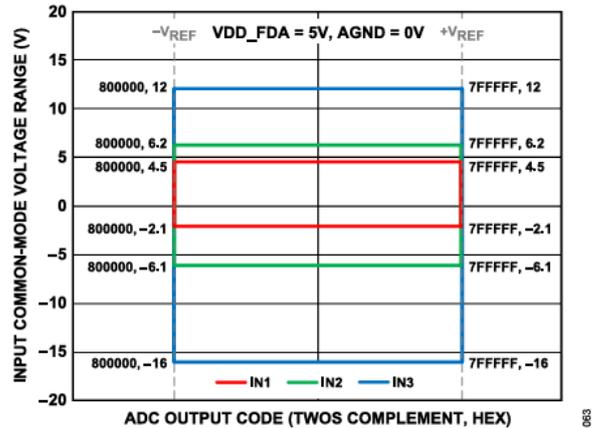


図 63. 入力コモンモード電圧範囲と ADC 出力コードの関係

表 8. 入力の選択表

Input Pin	Gain (V/V)	Differential Input Range with V <sub>REF</sub> = 4.096 V (V)	V <sub>ICM</sub> Range with Full-Scale Input Signal V <sub>REF</sub> = 4.096 V	
			Minimum (V)	Maximum (V)
IN1+ and IN1-	1	±4.096	-2.1	+4.5
IN2+ and IN2-	0.364	±11.264	-6.1	+6.2
IN3+ and IN3-	0.143	±28.672	-16	+12

動作原理

IN3+および IN3-のシングルエンド入力範囲

IN3+と IN3-のペアについては、IN3+ = VIN かつ IN3- = AGND と なるシングルエンド入力設定に注意してください。このペアは、IN1+と IN1-のペアや IN2+と IN2-のペアとは異なり、IN3+および IN3-の VICM 範囲の制限を受けるためです。この構成では、シングルエンドの正の信号振幅が直線的なのは 24V までです。この電圧はフル・スケール入力の 83.7% (つまり-1.55dBFS) に相当します。この範囲は、シングルエンドの電子回路内蔵圧電 (IEPE) センサーが目的とするアプリケーションに対応できます。

負側の電圧の場合では、IN3+と IN3-のシングルエンド信号は制限を受けず、-28.672V という低電圧までの電圧振動が可能です。

図 64 に、入力ピンに印加された差動電圧間の相対的なスケールリングと、それに対応する 24 ビットで 2 の補数形式のデジタル出力 (16 進数コードで表示) を示します。ADAQ7767-1 は、通常、各入力ペアの-0.5dBFS での差動入力で特性評価されます。図 65 に、IN3+と IN3-にシングルエンド入力がある特別なケースを示します。

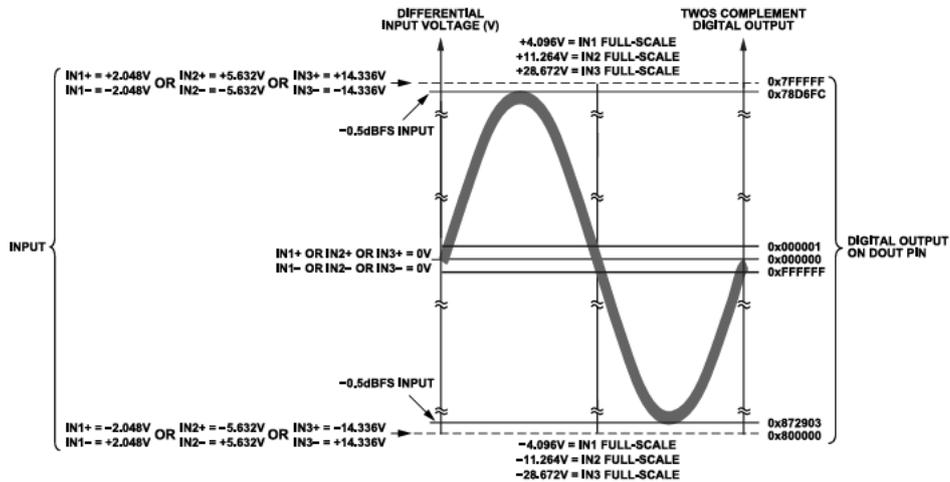


図 64. 差動入力電圧と ADC 出力コードの関係

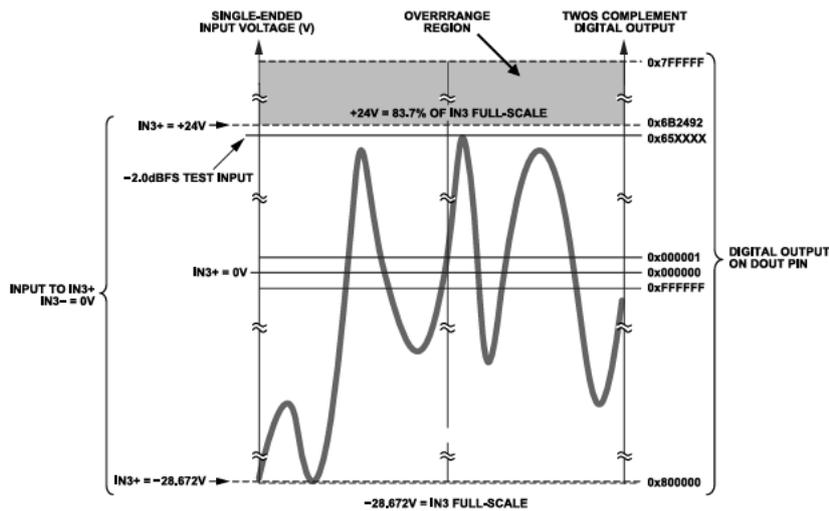


図 65. IN3+と IN3-シングルエンド入力電圧と ADC 出力コードの関係

動作原理

アンチエイリアシング・フィルタ (AAF)

ADAQ7767-1 の入力信号帯域幅は、デジタル・フィルタによって左右されます。ユーザは、デシメーション・レシオを設定することでデジタル・フィルタの帯域幅を調整できます。フィルタの帯域幅は、MCLK 周波数の変更によって微調整することもできます。例えば、広帯域低リップル・デジタル・フィルタ・オプションを用い ODR = 256kSPS の場合は、シグナル・チェーン全体の -3dB 帯域幅は、 $f_{3dB} = 0.433 \times ODR = 110.85\text{kHz}$  のデジタル・フィルタ帯域幅に等しくなります。同じフィルタのストップ・バンドは  $0.499 \times ODR$ 、最小ストップ・バンド減衰は -105dB となります。

離散時間  $\Sigma$ - $\Delta$  ADC と同様、ADAQ7767-1 のデジタル・フィルタは、シグナル・サンプリング周波数  $f_s$  の周囲の信号は除去しませんが、ADAQ7767-1 のコア ADC は、 $2 \times f_{MOD}$  の周波数でサンプリング

します。 $f_{MOD} = MCLK/2$  の通常動作モードでは、ADC の  $f_s$  は MCLK に等しい値です。デジタル・フィルタは  $f_s \pm f_{3dB}$  の周波数範囲の信号を除去しないため、この周波数範囲内のノイズおよび干渉信号がパス・バンドにフォールド・バックされる可能性があります。図 66 に示すように、 $f_s$  の周囲の信号を除去して帯域外の信号が対象帯域へフォールド・バックされるのを防ぐためには、アナログのアンチエイリアシング・フィルタを追加する必要があります。

ADAQ7767-1 では、16.384MHz で 65dB 以上の除去を達成できるように設計された、4 次のアナログ・アンチエイリアシング・フィルタが全ての入力ペアに備わっています。このアナログ・アンチエイリアシング・フィルタと広帯域低リップル FIR フィルタを組み合わせることで、図 67 および図 50 に示すように、全ての帯域外信号を 65dB 以上除去できます。

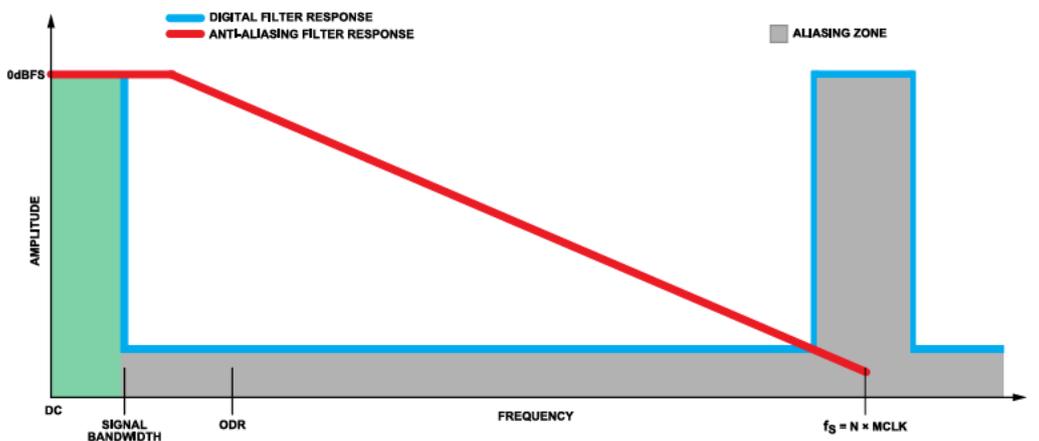


図 66. 離散時間オーバーサンプリング・コンバータの AAF 条件を示す簡略図

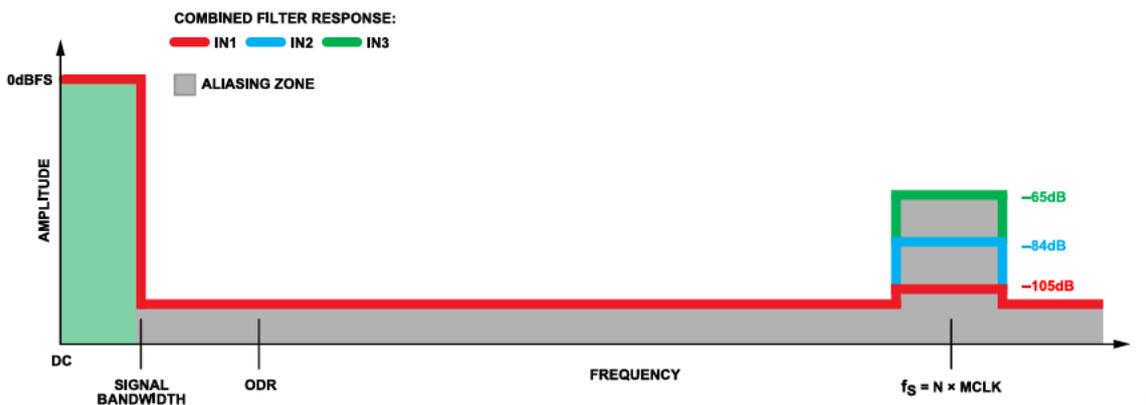


図 67. AAF とデジタル・フィルタの周波数応答を組み合わせた ADAQ7767-1 を示す簡略図

## 動作原理

## 振幅および位相応答

アンチエイリアシング・フィルタは、帯域内の信号に対し振幅と位相の歪みを最小限に抑えて最適なエイリアシング除去を実現するように設計されています。図 51 に示すように、パス・バンドにおけるフィルタの位相応答は高い直線性を有しています。アナログ・デバイセズの iPASSIVES 技術により、フィルタの-3dB コーナ周波数は厳密に制御されており、図 52～図 54 に示すように、デバイス間の位相角不整合は最小限に抑えられています。こ

の性能は、x、y、z 軸用の 3 つの加速度センサーを用いて装置の状態監視アプリケーションでの故障箇所を特定する場合などの、同時サンプリング・アプリケーションに非常に適しています。許容誤差や温度ドリフト特性にばらつきがあるディスクリートな抵抗およびコンデンサを用いたシグナル・チェーンでこれらのアプリケーションを実現するのは、困難で高コストとなる可能性があるため、この性能はシグナル・チェーン  $\mu$ Module の大きな長所となります。

表 9. アンチエイリアシング・フィルタのプロファイル

Input Pin	Gain	Relative to DC Attenuation at MCLK = 16.384 MHz (dB)	DC to 100 kHz Pass-Band Droop (mdB)	Change in Group Delay from DC to 100 kHz (ns)	Device-to-Device Phase Angle Mismatch (Typical = $\pm 1 \sigma$ )
IN1+ and IN1-	1	105	+50	17	$\pm 0.013^\circ$
IN2+ and IN2-	0.36	84	-20	19	$\pm 0.015^\circ$
IN3+ and IN2-	0.14	65	-90	35	$\pm 0.016^\circ$

## 動作原理

### AFE の位相性能の計算

デジタル・フィルタの群遅延は一定であるため、異なるゲインまたは温度における位相角不整合、あるいはデバイス間の位相角不整合は、全て AFE とそのフィルタによるものです。

### 位相角の周波数依存性

ADAQ7767-1 の位相応答は直線的です。ある周波数と別の周波数との間の位相遅延を補間する理想的な式は、次のとおりです。

$$\frac{\theta_1}{f_{IN\_1}} = \frac{\theta_2}{f_{IN\_2}} \quad (7)$$

ここで、 $\theta_x$  は入力周波数  $f_{IN\_x}$  を用いた AFE の位相遅延です。

ただし、わずかに非直線性があるため、傾きと切片の項により上式を次のように補正します。

$$\theta = m \times f_{IN} + b + \text{Nonlinearity} \quad (8)$$

ここで、

$m$  は傾き、

$b$  は、[図 49](#) に示すように、エンドポイント法を用いたパス・バンド周波数範囲全体にわたる入力周波数に関する位相遅延の線形方程式の  $y$  切片です。

100Hz~110kHz の位相遅延をエンドポイントとして用いると、代表的なデバイスの最も厳しい場合の非直線性は、[図 51](#) に示すように、入力範囲に応じて  $-0.4^\circ \sim -0.7^\circ$  となります。

### 位相角ドリフト

位相角ドリフトは、与えられた入力信号周波数における単一デバイスの温度に伴う位相遅延変化の割合を表します。 $^\circ\text{C}$  を単位とするドリフトは、 $-40^\circ\text{C} \sim +105^\circ\text{C}$  の全動作温度範囲にわたりエンドポイント法を用いて計算できます。代表的な仕様値は、多数のデバイスの平均位相角ドリフトですが、最大（最小）仕様は代表値からのシックス・シグマ（標準偏差： $\sigma$ ）です。

例えば、代表的なデバイス A が 20kHz 入力、 $T_A = 25^\circ\text{C}$  で IN1 を用いた場合に入力から出力までの位相遅延が  $5.8^\circ$  であるとします。 $T_A = 105^\circ\text{C}$  の場合、同じデバイス A の位相遅延の代表値は、次のようになります。

$$5.8^\circ + 0.00022^\circ/\text{C} \text{ (代表的な仕様)} \times (105^\circ\text{C} - 25^\circ\text{C}) = 5.8176^\circ \text{ の位相遅延}$$

デバイス B が最大位相角ドリフト仕様で動作している場合、同じデバイス B の位相遅延は次のようになります。

$$5.8^\circ + 0.00039^\circ/\text{C} \text{ (最大仕様)} \times (105^\circ\text{C} - 25^\circ\text{C}) = 5.8312^\circ \text{ の位相遅延}$$

### デバイス間の位相角不整合

デバイス間の位相角不整合は、所定の入力信号周波数において、複数の ADAQ7767-1 デバイスからなるグループの平均位相遅延に

対する単独の ADAQ7767-1 デバイスの位相遅延差を表す尺度です（[図 60](#) 参照）。この不整合は、データ・アキュジション・シグナル・チェーンの位相応答がチャンネル間でどの程度良く一致しているかを示すものです。代表的な仕様は、分布の  $\pm 1\sigma$ （標準偏差）ですが、最大値（最小値）はこの値の 6 倍です。

例えば、IN1 を使用し入力が 20kHz の多数のデバイスの位相遅延を求める場合、デバイス C が位相遅延の分布の最小値側にある、つまり、平均よりも  $(-)0.078^\circ$  進んでいるとします。同様に、デバイス D が分布の最大値側にある、つまり平均よりも  $(+)0.078^\circ$  遅れているとします。デバイス C とデバイス D の間の位相角不整合は次のようになります。

$$+0.078^\circ \text{ (最大値)} - (-)0.078^\circ \text{ (最小値)} = 0.156^\circ$$

これは 2 個の ADAQ7767-1 デバイス（IN1 使用、 $T_A = 25^\circ\text{C}$ 、20kHz の入力）間の最も厳しい場合の位相角不整合です。

### デバイス間の位相角不整合ドリフト

デバイス間の位相角不整合ドリフトは、デバイス間の位相角不整合の標準偏差 ( $\sigma$ ) が、与えられた入力信号周波数において温度と共にどの程度広がるか、あるいは狭まるかを表します。正の符号は、温度上昇と共に位相不整合の分布が広がることを示し、負の符号は、温度上昇と共に位相不整合の分布が狭まることを示します。この仕様は、 $-40^\circ\text{C} \sim +105^\circ\text{C}$  の全動作温度範囲にわたりエンドポイント法を用いて計算されます。[図 61](#) に示すように、代表的な仕様値は  $1^\circ\text{C}$  あたり  $1\sigma$  の変化ですが、最大値はこの値の 6 倍となります。

IN1 を用い入力周波数が 20kHz の場合に  $25^\circ\text{C}$  で多数のデバイスによるデバイス間位相角不整合の標準偏差 ( $\sigma$ ) を測定すると、分布の  $\sigma$  が  $0.013^\circ$  であったとします。別の温度における標準偏差を補間するには、次式を用います。

$$\sigma_{T2} = \sigma_{T1} + \text{デバイス間の位相角不整合ドリフト} \times (T2 - T1)$$

$$\text{例：} \sigma_{-40^\circ\text{C}} = 0.013^\circ + (-3.0\mu^\circ/\text{C}) \times (-40^\circ\text{C} - +25^\circ\text{C}) = 0.013195^\circ$$

### 完全差動アンプ (FDA) のパワー・モード

ADAQ7767-1 の FDA は、高分解能かつ高性能の  $\Sigma$ - $\Delta$  ADC を駆動できる、低ノイズ、低歪みのアンプです。

FDA では、ロー・パワー動作モードとフルパワー動作モードの 2 つのパワー・モードが選択できます。FDA のロー・パワー動作モードは  $1/f$  ノイズが小さいため、DC 入力アプリケーションに最適です。フルパワー動作モードでは、消費電流が大きい場合に直線性が向上します。

[図 68](#) に M0\_FDA、M1\_FDA、M0\_ADC、M1\_ADC の接続関係を示します。この接続では、FDA はフルパワー動作モードになります。FDA をロー・パワー動作モードにするには、[図 69](#) に示すように、M0\_FDA をグラウンドにプルダウンし、M1\_FDA と M1\_ADC は接続したままにすることが必要です。

動作原理

ADC がパワーダウン・モードまたはスタンバイ・モードになっている場合に電力を節約するには、M0\_FDA および M1\_FDA をグラウンドにプルダウンして FDA をスタンバイ状態にする必要があります。M0\_FDA および M1\_FDA が M0\_ADC および M1\_ADC に接続されている場合は、これが自動的に行われます。表 10 を参照してください。

表 10. FDA モードの真理値表 (N/A: 該当なし)

ADC Mode	Is M0/M1_FDA Connected to M0/M1_ADC?	M0_FDA Input Logic	M1_FDA Input Logic	FDA Mode
N/A	N/A	Low	Low	Standby
N/A	N/A	Low	High	Low power mode
N/A	N/A	High	High	Full power mode
Active <sup>1</sup>	Yes	M0_ADC = high	M1_ADC = high	Full power mode
Standby	Yes	M0_ADC = low	M1_ADC = low	Standby
Power-Down	Yes	M0_ADC = low	M1_ADC = low	Standby

1 連続変換モードおよびワンショット変換モードでは、ADC は常にアクティブです。シングル変換モードおよびデューティサイクル変換モードでは、ADC はアクティブ状態とスタンバイ状態に交互に切り替わります。詳細についてはデータ変換モードのセクションを参照してください。

直線性向上バッファ

ADAQ7767-1 には、ドライバ・アンプとコア ADC の間に、1 対の直線性向上バッファが配置されています。これらのバッファをオンにすることでデバイスの直線性を向上させることができます。直線性向上バッファは、シグナル・チェーン性能にノイズを加えることはありませんが、VDD\_ADC 電源で 2mA (代表値) の電流 (1 対ごと) が追加で消費されます。

直線性向上バッファはデフォルトで有効化されています。アナログ・バッファ制御レジスタのセクションの LINEARITY\_BOOST\_A\_OFF ビットおよび LINEARITY\_BOOST\_B\_OFF ビット (それぞれ、レジスタ 0x16 のビット 1 およびビット 2) を 0 にセットすることで、SPI 制御モードでバッファをオフにできます。PIN 制御モードでは、直線性向上バッファは常にイネーブルされています。

リファレンス入力とバッファリング

ADAQ7767-1 には差動リファレンス入力 REF+ と REF- があります。絶対入力リファレンスの電圧範囲は、1V ~ VDD\_ADC - AGND です。

リファレンス入力は、REF+ ピンと REF- ピンそれぞれについてのフル・バッファ入力またはプリチャージ・バッファ入力として設定するか、両方のバッファをバイパスするように設定することができます。

フル・バッファまたはプリチャージ・バッファを使用すると、大きな負荷や複数のデバイスを駆動するときに外部リファレンスにかかる負荷が軽減されます。リファレンス・ピンへのフル・バッファ入力を使用すると入力ノードが高インピーダンスになり、従来の外部リファレンスの超低ソース・インピーダンスを利用できないレシオメトリック・アプリケーションに、ADAQ7767-1 を使用することができます。

PIN 制御モードの場合、リファレンス・プリチャージ・バッファはデフォルトでオンになります。SPI モードでは、フル・バッファまたはプリチャージ・バッファを選択できます。

リファレンス入力電流は変調器のクロック・レートに比例します。

高速モードで MCLK = 16.384MHz の場合、リファレンス入力電流はバッファなしで約 80μA/V、プリチャージ・バッファを有効化すると約 20μA です。

プリチャージ・バッファがオフで、REF+ = 5V、REF- = 0V の場合、

$$REF_{\pm} = 5V \times 80\mu A/V = +400\mu A$$

プリチャージ・バッファがオンで、REF+ = 5V、REF- = 0V の場合、

$$REF_{\pm} = \text{約 } 20\mu A$$

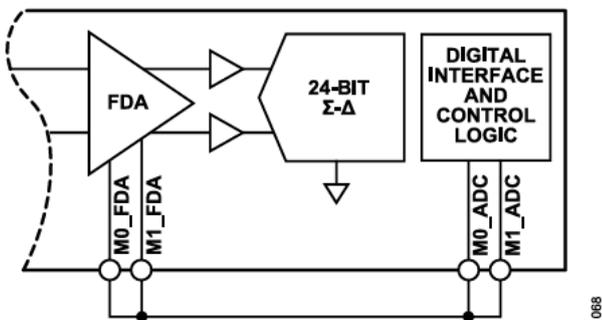


図 68. FDA のフルパワー動作モードの接続

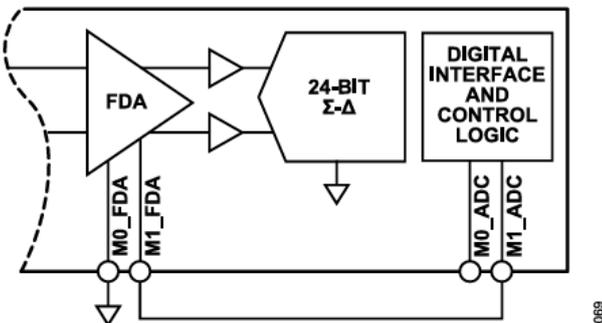


図 69. FDA のロー・パワー動作モードの接続

動作原理

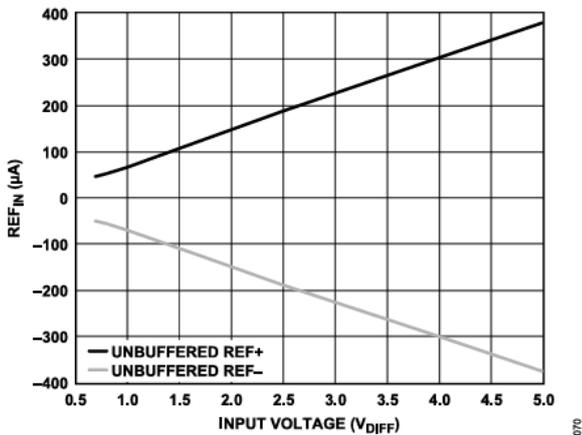


図 70. リファレンス入力電流 (REF<sub>IN</sub>) と入力電圧の関係、バッファなしの REF+ と REF-

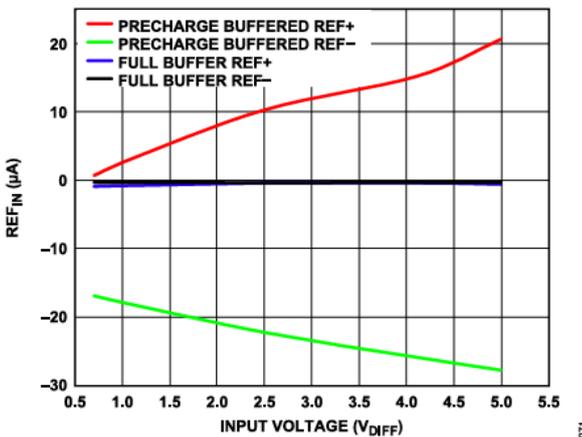


図 71. REF<sub>IN</sub> と入力電圧の関係、プリチャージ・バッファ使用時の REF+ と REF-、およびフル・バッファ使用時の REF+ と REF-

最大限の性能とヘッドルームを確保するには、[ADR444](#) や [ADR4540](#) のような 4.096V リファレンスを使用します。これらのリファレンスは 5V レールで電源供給することも、VDD<sub>ADC</sub> 電源を共用することもできます。

SPI 制御モードでは、リファレンス検出機能を使用できます。詳細については、[SPI モードの診断機能](#)のセクションを参照してください。

コア・コンバータ

ADAQ7767-1 は、最大 5V のリファレンスを使用でき、任意の入力ペア間の差動電圧をデジタル出力に変換できます。24 ビットの変換結果は MSB ファーストで、2 の補数フォーマットで表されます。図 72 に理想的な伝達関数、表 11 に理想的な入力電圧とその出力コードを示します。

コードを電圧に変換するには次の式を用います。コードは最初に 2 の補数フォーマットからストレート・バイナリに変換されているものとします。

$$\text{Voltage} = \frac{(\text{Code} - \text{Midscale Code}) \times 2 \times V_{REF}}{2^{24} \times \text{AFE\_GAIN}} \quad (9)$$

ここで、ミッドスケール・コードはストレート・バイナリ表示で 0x800000 であり、表 11 の 0x7FFFFFF は、ストレート・バイナリの 0xFFFFF に変換されます。V<sub>REF</sub>/AFE<sub>GAIN</sub> のレンジの電圧を計算するには、前出の式を使用します。

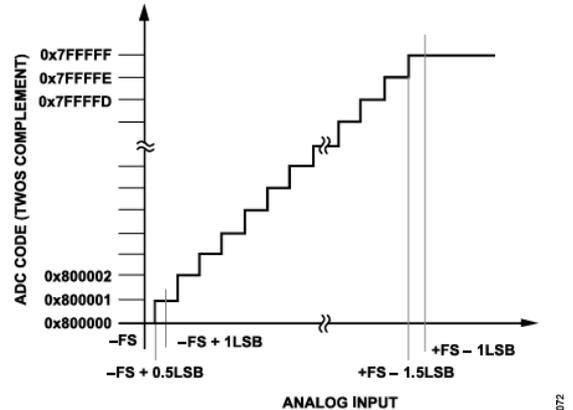


図 72. 理想的な伝達関数 (FS はフル・スケール)

表 11. 理想的な入力電圧と出力コード

Description	Analog Input (V), IN1 AFE_GAIN = 1, IN2 AFE_GAIN = 4/11, and IN3 AFE_GAIN = 1/7	Digital Output Code, Twos Complement (Hexadecimal)
FS - 1 LSB	+V <sub>REF</sub> /AFE <sub>GAIN</sub> × (1 - 1/2 <sup>23</sup> )	0x7FFFFFF
Midscale + 1 LSB	+V <sub>REF</sub> /AFE <sub>GAIN</sub> /2 <sup>23</sup>	0x000001
Midscale	0	0x000000
Midscale - 1 LSB	-V <sub>REF</sub> /AFE <sub>GAIN</sub> /2 <sup>23</sup>	0xFFFFF
-FS + 1 LSB	-V <sub>REF</sub> /AFE <sub>GAIN</sub> × (1 - 1/2 <sup>23</sup> )	0x800001
-FS	-V <sub>REF</sub> /AFE <sub>GAIN</sub>	0x800000

電源

ADAQ7767-1 には、ADC ドライバおよび ADC に給電するいくつかの電源ピンがあります。

接続を簡単なものにするため、図 73 に示すように、5.1V~5.5V の入力範囲で内部 LDO レギュレータを用いることで、VDD<sub>FDA</sub>、VDD<sub>ADC</sub>、VDD2<sub>ADC</sub> の各ピンと [ADR4540](#) などの外部リファレンスを使用できるように、出力を 5V に安定化できます。正しく動作させるために、LDO レギュレータの入力および出力には 1µF のコンデンサを用いることを推奨します。図 74 は、内部 LDO レギュレータを使用できない場合に、VDD<sub>FDA</sub>、VDD<sub>ADC</sub>、VDD2<sub>ADC</sub> の各ピンと外部電圧リファレンスに外部電源を使用する方法を示しています。より低消費電力が求められるアプリケーションでは、2V~5.5V (代表値 2.5V) の良好な安定化電源を用いて VDD2<sub>ADC</sub> に個別に給電できます。2.5V 外部 LDO レギュレータを VDD2<sub>ADC</sub> に用いた場合、消費電流 (代表値) は 4.7mA であるため、内部 LDO レギュレータからの 5V または外部 5V 電源を用いた場合と比較して、通常 11.75mW の節約ができます。

## 動作原理

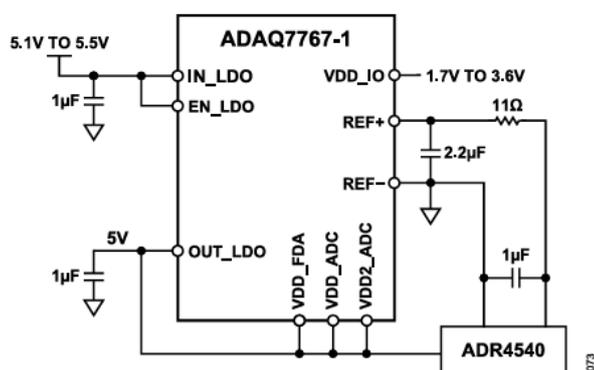


図 73. 内部 LDO レギュレータを使用する ADAQ7767-1 の電源接続

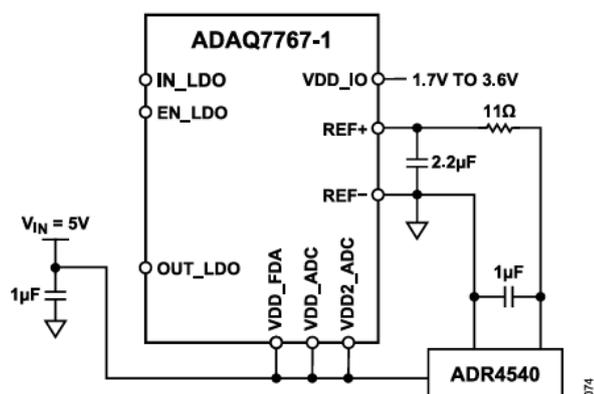


図 74. 5V 外部電源を用いる ADAQ7767-1 の電源接続

VDD\_FDA 電源は ADC ドライバに給電します。

VDD\_ADC 電源は、直線性向上バッファ、コア ADC フロントエンド、リファレンス入力に給電します。

VDD2\_ADC 電源は、内部 1.8V アナログ LDO レギュレータに接続されています。このレギュレータは ADC コアに給電します。VDD2\_ADC と AGND 間の電圧範囲は 5.5V (最大値) ~ 2.0V (最小値) です。

VDD\_IO は内部の 1.8V デジタル LDO レギュレータに電力を供給し、このレギュレータは ADC のデジタル・ロジックに電力を供給します。VDD\_IO により、ADC の SPI の電圧レベルが設定されます。VDD\_IO は DGND を基準としており、VDD\_IO と DGND 間の電圧範囲は 3.6V (最大値) ~ 1.7V (最小値) です。

## 電源のデカップリング

ADAQ7767-1 は、VDD\_FDA、VDD\_ADC、VDD\_ADC2、VDD\_IO の各電源ピンに 0.1μF の電源デカップリング・コンデンサを内蔵しています。外部からは、AREG\_CAP ピンと DREG\_CAP ピンを介して 1μF のコンデンサを接続し、ADC のアナログ LDO レギュレータおよびデジタル LDO レギュレータをグラウンドからデカップリングします。

図 55 に、内部 5V LDO レギュレータの AC PSRR を示します。このレギュレータは内蔵の 0.1μF 電源デカップリング・コンデンサと OUT\_LDO ピンに推奨される 1μF デカップリング・コンデンサを用いて、VDD\_FDA、VDD\_ADC、VDD\_ADC2 の各ピンに接続

されています (図 73 参照)。図 56 に内蔵 0.1μF 電源デカップリング・コンデンサを用いた VDD\_IO の AC PSRR 性能を示します。

## 電源スタンバイ

ADAQ7767-1 の各機能ブロックは、スタンバイ・モードまたはパワーダウン・モードにすることができます。全ての機能ブロックをスタンバイ・モードまたはパワーダウン・モードにすると、ADAQ7767-1 の全消費電力を 0.5mW にできます。詳細については、完全差動アンプ (FDA) のパワー・モード、ADC パワーダウン・モード、ADC スタンバイ・モードの各セクションを参照してください。

## クロック供給とサンプリング・ツリー

ADAQ7767-1 のコア ADC には、コントローラ・クロック信号 (MCLK) が供給されます。MCLK 信号は、4 つのオプション、すなわち、CMOS クロック、XTAL1 ピンと XTAL2 ピン間に接続された水晶発振器、LVDS 信号、および内部クロックのいずれか 1 つを選択することができます。ADAQ7767-1 が受信する MCLK 信号により、ADC のコアのシグマ・デルタ変調器クロック・レート ( $f_{MOD}$ ) が定まり、これにより、 $2 \times f_{MOD}$  の変調器のサンプリング周波数が定まります。

$$f_{MOD} = \frac{MCLK}{MCLK\_DIV} \quad (10)$$

$f_{MOD}$  を決定するには、4 つあるクロック分周設定、すなわち、MCLK\_DIV ビット (レジスタ 0x15、ビット [5:4]) を基にした MCLK/2、MCLK/4、MCLK/8、または MCLK/16 のいずれか 1 つを選択して設定します (詳細は電力およびクロック制御レジスタのセクションを参照)。例えば、ODR または入力帯域幅を最大にするには、16.384MHz の MCLK レートが必要です。変調器周波数を 8.192MHz にするには、分周比 2 の MCLK 分周器 (MCLK\_DIV) を選択してください。

変調器周波数の設定を制御する方法は、 $\overline{PIN}$ 制御モードと SPI 制御モードで異なります。

SPI 制御モードでは、パワー・モードと MCLK\_DIV を個別にプログラムできます。パワー・モードと MCLK\_DIV を個別に選択できるので、MCLK 速度を自由に選択して目的の変調器の周波数を実現できますが、これはわずかな電力節約にもつながります。例えば、パワー・モードがロー・パワー動作モードになっている場合は、MCLK = 2.048MHz、MCLK\_DIV = 2 の設定を使用すると、MCLK = 16.384MHz、MCLK\_DIV = 16 の設定を使用するよりも電力効率が向上します。どちらのオプションも有効な選択で、 $f_{MOD}$  周波数は 1.024MHz です。表 12 は、 $f_{MOD}$  周波数を基準にした ADC パワー・モード設定の推奨事項を示します。

表 12. 各 ADC パワー・モードで推奨される  $f_{MOD}$  範囲

Power Mode	Recommended $f_{MOD}$ Range (MHz)
Low	0.038 to 1.024
Median	1.024 to 4.096
Fast	4.096 to 8.192

$\overline{PIN}$ 制御モードでは、MODEx ピンが変調器周波数を決定します (表 22 参照)。MODEx ピンはフィルタ・タイプとデシメーション・レートの選択にも使われます。

## 動作原理

フロントエンドのアンチエイリアシング・フィルタから帯域外トーンを最大限に除去するには、 $f_{MOD}$  周波数を高い値に維持することを推奨します。入力帯域幅を狭くする必要がある場合は、デシメーション・レートを増加させます。

## 電力とノイズ性能の関係の最適化

測定の対象帯域幅に応じて、最小限の消費電流または最高の分解能のいずれかを選択できます。各パワー・モードのカバー範囲が重複しているため、この選択が可能です。同じ ODR を得る方法は複数あります。低い MCLK 周波数と低いデシメーション・レートを組み合わせて使用しても、高い MCLK 周波数と高いデシメーション・レートを使用した場合と同じデータ・レートを実現できます。低い変調器クロックの周波数を使用することで、消費電力を少なくすることができます。逆に、より高い分解能を実現するには、高い変調域クロック周波数を使用してオーバーサンプリングの量を最大限まで高めます。

## クロッキングとクロックの選択

ADAQ7767-1 は、SPI 制御モードの場合にデバイスの初期起動に使用される内部発振器を備えています。ADAQ7767-1 がスタートアップ・ルーチンを完了すると、クロックが外部 MCLK に切り替わります。ADAQ7767-1 は特定の内部クロック・サイクル数にわたって外部 MCLK の立下がりエッジをカウントして、クロックが有効であること、および周波数が 600kHz 以上であることを確認します。外部 MCLK に問題がある場合、クロックの切替えは行われず、ADAQ7767-1 のクロック・エラー・ビットがセットされて、ADAQ7767-1 は内部クロックによる動作を続けます。

SPI モードでは、内部発振器、外部 CMOS、水晶発振器、または LVDS の 4 つのクロック・オプションがあります。MCLK ソースを設定するには、CLOCK\_SEL ビット（レジスタ 0x15、ビット [7:6]）を使用します（電力およびクロック制御レジスタのセクションを参照）。MCLK ピンの極性に関しては、図 4～図 8 のタイミング図に示すように、外部 CMOS クロックまたは水晶発振器を用いる場合には、MCLK は XTAL2\_MCLK ピンに印加される MCLK ソースと同相となり、LVDS クロックを用いる場合には、MCLK は XTAL1 ピンと同相になります。

$\overline{\text{PIN}}$  制御モードでは、CLK\_SEL ピンが外部 MCLK ソースを設定します。 $\overline{\text{PIN}}$  制御モードでは、外部 CMOS または水晶発振器の 2 つのクロック・オプションを使用できます。CLK\_SEL ピンは起動時にサンプリングされます。

$\overline{\text{PIN}}$  モードと SPI モードのどちらについても、クロック・ソースを変更した場合は必ずデバイスをリセットすることを推奨します。

クロックの品質評価チェックをオフにするには、EN\_ERR\_EXT\_CLK\_QUAL ビット（ADC 診断機能制御レジスタのセクションに示すレジスタ 0x29 のビット 0）をセットします。クロック品質評価チェックをオフにすると、推奨 MCLK 周波数の範囲より低い外部 MCLK クロック・レートを使用できるようになります。

## CLK\_SEL ピン

$\overline{\text{PIN}}$  制御モードで CLK\_SEL = 0 にした場合は、CMOS クロック・オプションを選択して XTAL2\_MCLK ピンに使用する必要があります。

ます。この場合は XTAL1 ピンを DGND に接続します。この接続を図 75 に示します。

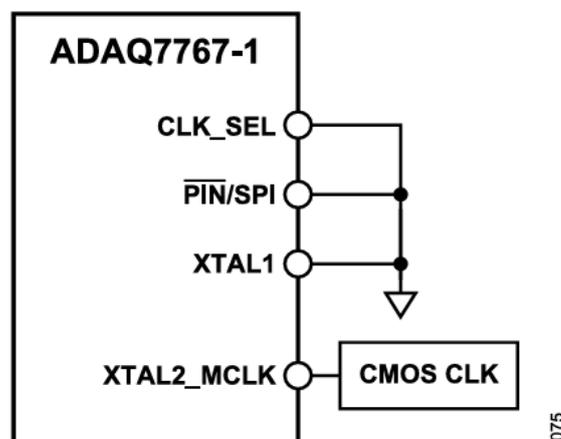


図 75. 外部 CMOS クロックを MCLK として用いる  $\overline{\text{PIN}}$  モード

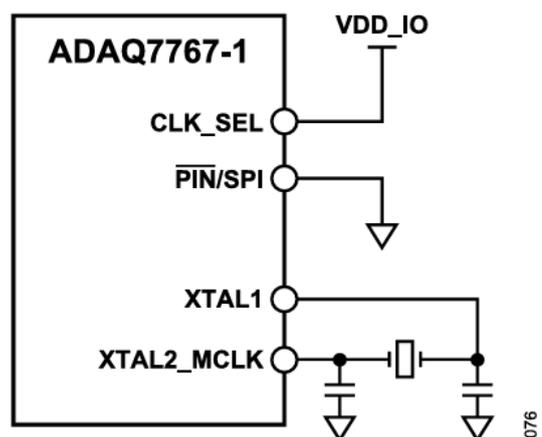


図 76. 外部水晶発振器を MCLK として用いる  $\overline{\text{PIN}}$  モード

$\overline{\text{PIN}}$  制御モードで CLK\_SEL = 1 にした場合は、水晶発振器オプションを選択し、図 76 に示すように、XTAL1 ピンと XTAL2\_MCLK ピンの間に接続する必要があります。CX1 および CX2 は、回路調整用に水晶発振器の各端子から DGND に接続されたコンデンサです。これらのコンデンサの容量値は、水晶振動子の XTAL1 ピンおよび XTAL2\_MCLK ピンに接続しているパターンの長さや容量に依存します。

SPI 制御モードでは、CLK\_SEL ピンは使用する MCLK ソースを選択しないので、CLK\_SEL を DGND に接続する必要があります。

## 内部発振器の使用

DC 入力電圧を測定する必要がある絶縁アプリケーションなどのように、場合によっては内部クロック発振器を使用する変換の方が望ましいことがあります。しかし、内部クロック使用時はジッタのために SN 比が低下することがあるので、内部クロックを使って AC 信号を変換することは推奨できません。

動作原理

デジタル・フィルタ処理

ADAQ7767-1 では 3 種類のデジタル・フィルタを使用できます。ADAQ7767-1 で選択可能なデジタル・フィルタは、以下のとおりです。

- ▶ 広帯域低リップル FIR フィルタ、 $0.433 \times \text{ODR}$  で-3dB (SPI 制御モードで 6 レート)
- ▶ sinc5、低レイテンシ・フィルタ、 $0.204 \times \text{ODR}$  で-3dB (SPI 制御モードで 8 レート)
- ▶ sinc3、低レイテンシ・フィルタ、 $0.2617 \times \text{ODR}$  で-3dB、データ・レートは SPI 制御モードで広範囲にプログラム可能

デシメーション・レート制御

ADAQ7767-1 は、表 13 に示すように、sinc デジタル・フィルタと広帯域低リップル FIR デジタル・フィルタ用のプログラマブルなデシメーション・レートを備えています。デシメーション・レートによって、測定帯域を制限することができます。これは速度と入力帯域幅を低下させますが、デジタル・フィルタ内で更に平均化が行われるので、分解能は向上します。SPI 制御使用時の ADAQ7767-1 上でのデシメーション・レート制御は、sinc5 フィルタおよび広帯域低リップル FIR フィルタ用のデジタル・フィルタおよびデシメーション制御レジスタで設定します。

sinc3 フィルタのデシメーション・レートは、sinc3 デシメーション・レート (LSB) レジスタと sinc3 デシメーション・レート (MSB) レジスタを使用して制御します。これらのレジスタは、合わせて 13 ビットのプロゲラムを可能にします。デシメーション・レートは、これらのレジスタの値を 1 だけインクリメントして、その値に 32 を乗じることによって設定します。例えば、sinc3 デシメーション・レート (LSB) レジスタの値を 0x5 に設定すると、sinc3 フィルタのデシメーション・レートは 192 になります。

PIN 制御モードでは、MODE0 ピンがデシメーション・レシオを制御します。sinc5 フィルタ・オプションと広帯域フィルタ・オプションに使用できるデシメーション・レートは、32 と 64 だけです。PIN 制御モードで使用できる全てのオプションについては、表 22 を参照してください。

表 13. デシメーション・レート・オプション

Filter Option	Available Decimation Rates	
	SPI Control Mode	PIN Control Mode
Wideband Low Ripple FIR	$\times 32, \times 64, \times 128, \times 256, \times 512, \times 1024$	$\times 32, \times 64$
Sinc5	$\times 8, \times 16, \times 32, \times 64, \times 128, \times 256, \times 512, \times 1024$	$\times 8, \times 32, \times 64$
Sinc3	Programmable decimation rate	50 Hz and 60 Hz output only, based on a 16.384 MHz MCLK

広帯域低リップル FIR フィルタ

FIR フィルタは  $0.433 \times \text{ODR}$  までの低リップルの入力パス・バンドです。この広帯域低リップル FIR フィルタでは  $0.5 \times \text{ODR}$  (ナイキスト) での 105dB というほぼ完全な減衰により、最大限のアンチエイリアス保護が実現されます。低リップル FIR フィルタの

周波数応答を図 77 に示します。広帯域低リップル FIR フィルタのパス・バンド・リップルは図 78 に示すように  $\pm 0.005\text{dB}$  で、ストップ・バンドの減衰量は 105dB です。広帯域低リップル FIR フィルタは 64 次のデジタル・フィルタです。

フィルタの群遅延は  $34/\text{ODR}$  です。同期パルスの後、 $\overline{\text{SYNC\_IN}}$  の立上がりエッジからデータが完全にセトリングされるまでに遅延が追加されます。 $\overline{\text{SYNC\_IN}}$ パルスから最初の  $\overline{\text{DRDY}}$ までの時間とデータが完全にセトリングするまでの時間を、様々な ODR 値について表 14 に示します。

広帯域低リップル FIR フィルタは 6 つのデシメーション・レートのいずれか 1 つで選択して、必要な分解能に対して最適な入力帯域幅と変換速度を選ぶことができます。

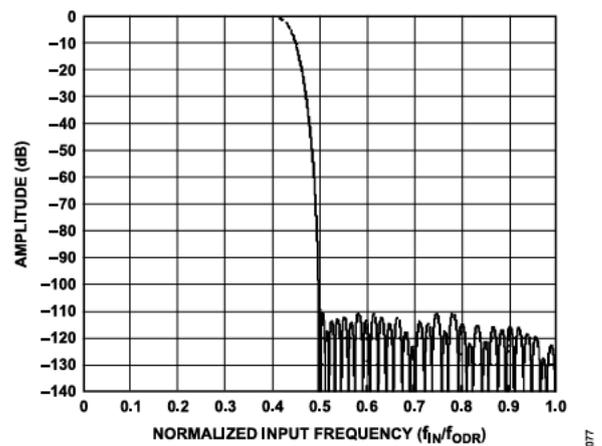


図 77. 広帯域低リップル FIR フィルタの周波数応答

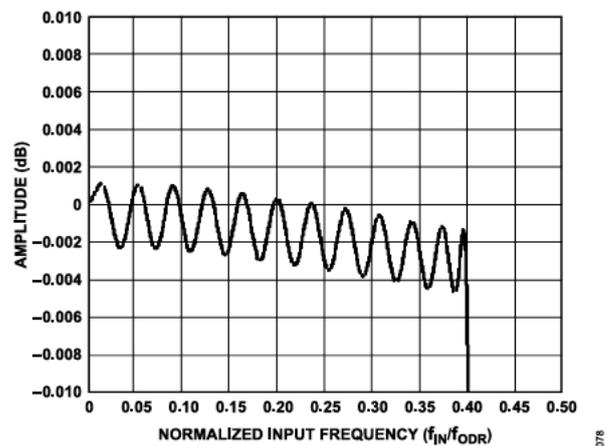


図 78. 広帯域低リップル FIR フィルタのパス・バンド・リップル

動作原理

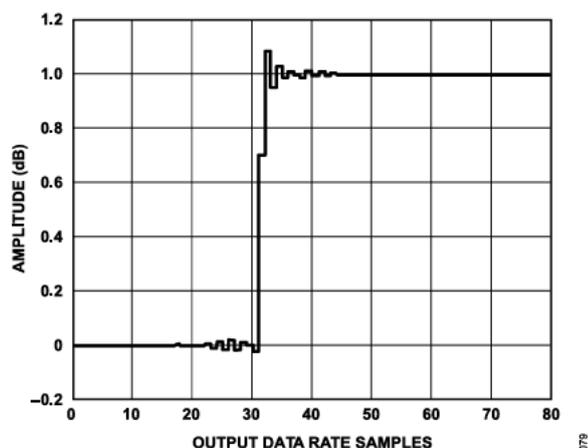


図 79. 広帯域低リップル FIR フィルタのステップ応答

表 14. 広帯域低リップル FIR フィルタ、SYNC\_INからデータ・セトリングまで

MCLK Divide Setting	Decimation Rate	ODR (kSPS)		MCLK Periods	
		MCLK = 16.384 MHz	MCLK = 13.107 MHz	Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	256	204.8	284	4,252
	64	128	102.4	413	8,349
	128	64	51.2	797	16,669
	256	32	25.6	1,565	33,309
	512	16	12.8	3,101	66,589
	1024	8	6.4	6,157	133,133
MCLK/4	32	128	102.4	428	8,364
	64	64	51.2	812	16,684
	128	32	25.6	1,580	33,324
	256	16	12.8	3,116	66,604
	512	8	6.4	6,188	133,164
	1024	4	3.2	12,300	266,252
MCLK/16	32	32	25.6	1,674	33,418
	64	16	12.8	3,202	66,690
	128	8	6.4	6,274	133,250
	256	4	3.2	12,418	266,370
	512	2	1.6	24,706	532,610
	1024	1	0.8	49,154	1,064,962

動作原理

sinc5 フィルタ

ADAQ7767-1 の sinc5 フィルタを使用すると、制御ループの DC 入力や、ユーザ指定の後処理が必要な場合に有用な低レイテンシの信号パスを使用できるようになります。sinc5 フィルタの-3dB 帯域幅は  $0.204 \times \text{ODR}$  です。

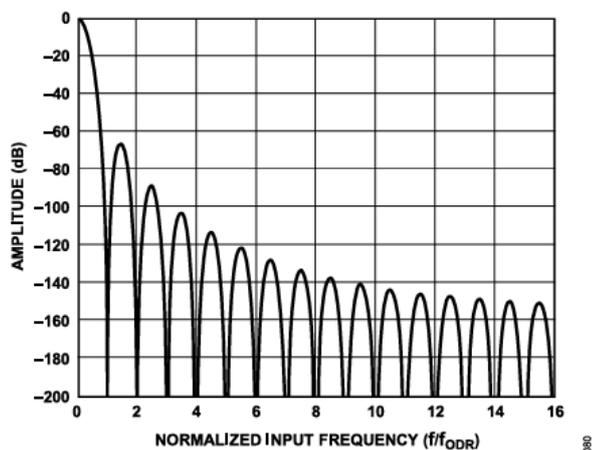


図 80. sinc5 フィルタの周波数応答

フィルタのインパルス応答は  $1/\text{ODR}$  の 5 倍です。ODR が 250kSPS の場合、データの完全なセトリングに要する時間は  $20\mu\text{s}$  です。ODR が 1.024MSPS の場合、データの完全なセトリングに要する時間は  $5\mu\text{s}$  です。

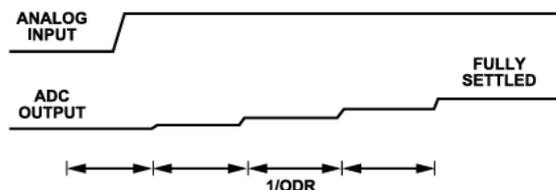


Figure 81. Sinc5 Filter Step Response

図 81. sinc5 フィルタのステップ応答

sinc5 フィルタ使用時の SYNC\_IN パルスから最初の DRDY までの時間と、データが完全にセトリングするまでの時間を、様々な ODR 値について表 15 に示します。

表 15. sinc5 フィルタ、SYNC\_IN からデータ・セトリングまで

MCLK Divide Setting	Decimation Rate	ODR (kSPS)		MCLK Periods	
		MCLK = 16.384 MHz	MCLK = 13.107 MHz	Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	8	1024	819.2	46	110
	16	512	409.6	62	190
	32	256	204.8	94	350
	64	128	102.4	162	674
	128	64	51.2	295	1,319
	256	32	25.6	561	2,609
	512	16	12.8	1,093	5,189
	1024	8	6.4	2,173	10,365
MCLK/4	8	512	409.6	79	207
	16	256	204.8	111	367
	32	128	102.4	175	687
	64	64	51.2	310	1,334
	128	32	25.6	576	2,624
	256	16	12.8	1,108	5,204
	512	8	6.4	2,172	10,364
	1024	4	3.2	4,332	20,716
MCLK/16	8	128	102.4	278	790
	16	64	51.2	406	1,430
	32	32	25.6	662	2,710
	64	16	12.8	1,194	5,290
	128	8	6.4	2,258	10,450
	256	4	3.2	4,386	20,770
	512	2	1.6	8,642	41,410
	1024	1	0.8	17,282	82,818

## 動作原理

## 出力データ・レートを 1.024MSPS とするためのプログラミング

1.024MSPS の sinc5 フィルタ・パスは、広帯域低リップル FIR フィルタを使用して達成できる ODR より更に高い ODR を求めるユーザー向けに用意されています。このパスでは量子化ノイズが制限されています。したがって、制御ループでのレイテンシを最小限にする必要がある場合や、外部フィールド・プログラマブル・ゲート・アレイ (FPGA) またはデジタル・シグナル・プロセッサ (DSP) にカスタム・デジタル・フィルタ処理を実行する必要がある場合に最適です。

sinc5 フィルタを 1.024MSPS の出力データ・レートに設定するには、デジタル・フィルタおよびデシメーション制御レジスタの FILTER ビット (レジスタ 0x19、ビット[6:4]) に 001 を書き込みます。ADAQ7767-1 はデシメーション・レートを自動的に 8 に変更し、出力データ長は、デジタル・シリアル・インターフェースの最大速度制限により、24 ビットから 16 ビットに短縮されます。

例えば、CMOS MCLK をクロック・ソースとして用いると同時に 16.384MHz の MCLK を用いて、ADAQ7767-1 を起動時から 1.024MSPS の出力データ・レートに設定するには、次の SPI 書き込みを使用します。

- ▶ レジスタ 0x15 にデータ 0x33 を書き込む
- ▶ レジスタ 0x19 にデータ 0x10 を書き込む

## sinc3 フィルタ

ADAQ7767-1 の sinc3 フィルタを使用すると、制御ループの DC 入力に有用な低レイテンシの信号パスを使用できるようになり、特定周波数における不要な既知の干渉を除去することができます。sinc3 フィルタ・パスには、既知の干渉を除去できるように、プログラマブル・デシメーション・レートが組み込まれています。sinc3 フィルタの使用時は、32 から 185,280 までのデシメーション・レートを設定することができます。sinc3 フィルタの-3dB 帯域幅は  $0.2617 \times \text{ODR}$  です。

例えば、sinc3 フィルタの DEC\_RATE を 16.384MHz の MCLK、SPS の ODR、MCLK\_DIV = 2 の条件で計算するには、次の式を用います。

$$\text{DEC\_RATE} = \frac{\text{MCLK}}{\text{MCLK\_DIV} \times \text{ODR}}$$

$$\text{DEC\_RATE} = \frac{16.384 \text{ MHz}}{2 \times 50} = 163,840$$

sinc3 のデシメーション・レートを設定するには、まず次式を用いて等価 sinc3 デシメーション・レートを計算して sinc3 デシメーション・レート (MSB) レジスタ (レジスタ 0x1A) および sinc3 デシメーション・レート (LSB) レジスタ (レジスタ 0x1B) に書き込みます。

$$\text{Value} = \frac{\text{DEC\_RATE}}{32} - 1 = 5119$$

これらのレジスタの値を 1 だけインクリメントしてから 32 を乗じることで実際のデシメーション・レートが与えられるため、デ

シメーション・レートを 163,840 に設定するには、等価バイナリ値 5119 を sinc3 デシメーション・レート (MSB) レジスタ (レジスタ 0x1A) および sinc3 デシメーション・レート (LSB) レジスタ (レジスタ 0x1B) に書き込みます。

異なる MCLK および MCLK\_DIV に対して、50SPS および 60SPS の ODR を実現するために sinc3 デシメーション・レジスタに書き込む値を、それぞれ表 16 および表 17 に示します。

表 16. 異なる MCLK および MCLK\_DIV を用いて 50SPS の ODR を実現するための sinc3 デシメーション・レジスタ値

MCLK (MHz)	MCLK_DIV	Decimation Rate	Value in DEC_RATE Register
16.384	2	163840	5119
	4	81920	2559
	8	40960	1279
	16	20480	639
13.1072	2	131072	4095
	4	65536	2047
	8	32768	1023
	16	16384	511

表 17. 異なる MCLK および MCLK\_DIV を用いて 60SPS の ODR を実現するための sinc3 デシメーション・レジスタ値

MCLK (MHz)	MCLK_DIV	Decimation Rate	Value in DEC_RATE Register
16.384	2	136533	4266
	4	68267	2132
	8	34133	1066
	16	17067	532
13.1072	2	109227	3412
	4	54613	1706
	8	27307	852
	16	13653	426

## 50Hz 除去、60Hz 除去、および 50Hz/60Hz 除去のプログラミング

50Hz トーンを除去するには、sinc3 フィルタの ODR を 50Hz にプログラムします (図 82 参照)。デジタル・フィルタおよびデシメーション制御レジスタの EN\_60HZ\_REJ ビット (アドレス 0x19、ビット 7) をセットすることによって、50Hz と 60Hz の両方を同時に除去することも可能です。この構成では、50Hz と 60Hz 両方のライン周波数を除去することができます。ODR を 50SPS とし、目的の周波数で測定した最小除去比を表 18 と表 19 に示します。

動作原理

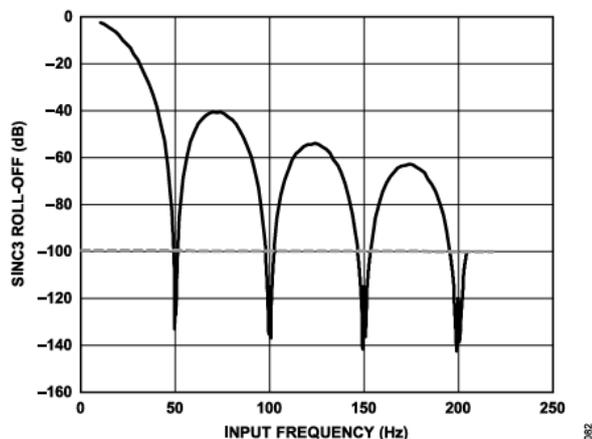


図 82. 50Hz 除去を示す sinc3 フィルタの周波数応答、ODR = 50SPS、デシメーション・レシオ = 163,840

表 18. sinc3 フィルタの 50Hz 除去、ODR = 50SPS、デシメーション・レシオ = 163,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	101
100 ± 2	102
150 ± 3	102
200 ± 4	102

表 19. sinc3 フィルタの 50Hz および 60Hz 除去、ODR = 50SPS、デシメーション・レシオ = 163,840

Frequency Band (Hz)	Minimum Measured Rejection (dB)
50 ± 1	81
60 ± 1	67
100 ± 2	83
120 ± 2	72
150 ± 3	86
180 ± 3	78
200 ± 4	90
240 ± 4	87

フィルタのインパルス応答は 1/ODR の 3 倍です。ODR が 250kSPS の場合、データの完全なセトリングに要する時間は 12μs です。

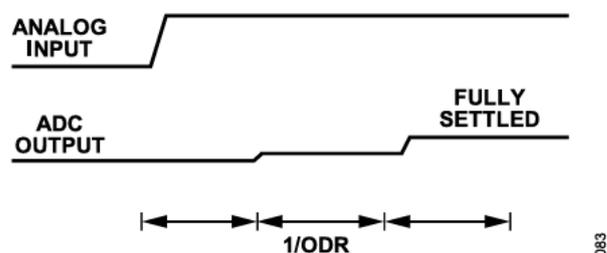


図 83. sinc3 フィルタのステップ応答

表 20. sinc3 フィルタ、SYNC\_IN からデータ・セトリングまで

MCLK Divide Setting	Decimation Rate	Value in DEC_RATE register	ODR (kSPS)		MCLK Periods	
			MCLK = 16.384 MHz	MCLK = 13.107 MHz	Delay from First MCLK Rise After SYNC_IN Rise to First DRDY Rise	Delay from First MCLK Rise After SYNC_IN Rise to Earliest Settled DRDY Rise
MCLK/2	32	0	256	204.8	127	255
	64	1	128	102.4	191	447
	128	3	64	51.2	319	831
	256	7	32	25.6	575	1,599
	512	15	16	12.8	1,087	3,135
	1024	31	8	6.4	2,111	6,207
	163,840	5119	0.05	0.04	327,743	983,103
MCLK/4	32	0	128	102.4	241	497
	64	1	64	51.2	369	881
	128	3	32	25.6	625	1,649
	256	7	16	12.8	1,137	3,185
	512	15	8	6.4	2,161	6,257
	1024	31	4	3.2	4,209	12,401
	81,920	2559	0.05	0.04	327,793	983,153
MCLK/16	32	0	32	25.6	926	1,950
	64	1	16	12.8	1,438	3,486
	128	3	8	6.4	2,462	6,558
	256	7	4	3.2	4,510	12,702
	512	15	2	1.6	8,606	24,990
	1024	31	1	0.8	16,798	49,566
	20,480	639	0.05	0.04	328,094	983,454

## 動作原理

### 合計群遅延

AFE とデジタル・フィルタのどちらも、パス・バンド全体にわたり直線的な位相応答と一定の群遅延を示します。完全なシグナル・チェーンとして、INx 入力から ADC 出力への合計群遅延は次式で表されます。

$$\text{合計群遅延} = \text{アナログ群遅延} + \text{デジタル・フィルタ群遅延} \quad (11)$$

ここで、アナログ群遅延は AFE からの遅延で、仕様に記載されています。デジタル群遅延は、選択したデジタル・フィルタおよび ODR からの遅延で、仕様に記載されています。

### ADC の速度と性能

ADAQ7767-1 では、使用するデジタル・フィルタに応じて、広い範囲の ODR を選択できます。ADAQ7767-1 では、広帯域低リップル・フィルタや sinc5 フィルタを用いた場合 1kSPS、sinc3 フィルタを用いた場合 0.0125kSPS という低い ODR が可能で、これは、高デシメーション・レシオを用いた変調器を最小限のサンプリング・レートで動作させることで実現できます。例えば、広帯域低リップル・フィルタ・オプションでは、1kSPS の ODR は、 $MCLK = 16.384\text{MHz}$ 、デシメーション・レート = 1024、 $f_{MOD} = MCLK/16$  の条件で実現できます。

ADAQ7767-1 の変調器では、 $f_{MOD}$  の立上がりエッジと立下がりエッジでサンプリングを行い、 $f_{MOD}$  のレートでデジタル・フィルタにデータを出力することに注意してください。変調器の周波数応答プロファイルの中には、 $f_{MOD}$  の奇数倍の位置を中心とするゼロが存在しますが、これは  $f_{MOD}$  レートとこのレートの奇数倍の位置にある周波数からのフォールド・バックがないことを意味します。一方で、変調器は  $f_{MOD}$  の偶数倍においてはノイズの影響を受けやすくなります。これらの領域では減衰がありません。

最高性能を発揮するために、 $MCLK = 16.384\text{MHz}$ 、 $MCLK\_DIV = 2$  とすることを推奨します。これにより、 $f_{MOD}$  が 8.192MHz に設定され、この  $f_{MOD}$  周波数を高い値に維持することで、フロントエンドのアンチエイリアシング・フィルタから帯域外トーンを除去できます。

ADAQ7767-1 でのデフォルトのコントローラ・クロック分周器の設定は、 $MCLK\_DIV = 16$  です。 $MCLK$  分周器を  $MCLK\_DIV = 2$  に設定するには起動後に電力およびクロック制御レジスタの  $MCLK\_DIV$  ビット (レジスタ 0x15、ビット[5:4]) に 11 を書き込みます。

図 84 に、 $f_s$  を基準として AAF 除去を示します。 $MCLK$  分周器の値が高い方が  $f_s$  は低下し、アンチエイリアス・フィルタからの除去は減少します。

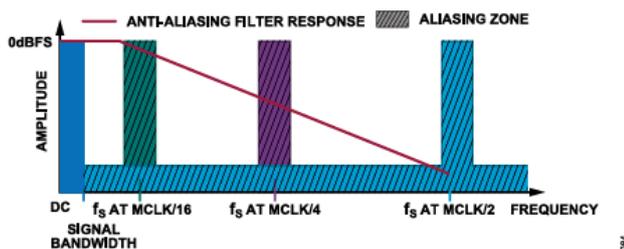


図 84. アンチエイリアス・フィルタの応答と MCLK 分周器の関係

### デバイスの設定方法

ADAQ7767-1 には、デバイス機能を制御するためのオプションが 2 つあります。このモードは、起動時に  $\overline{PIN}/SPI$  ピンの状態によって決定されます。設定の 2 つのモードは、以下のとおりです。

- ▶ SPI : 3 線式または 4 線式 SPI (全ての設定オプションを使用可能)
- ▶  $\overline{PIN}$  : ピン・ストラップ設定のデジタル・ロジック入力 (全ての設定オプションのサブセット)

どちらの制御モードを使用する場合も、起動時に ADAQ7767-1 をソフト・リセットまたはハード・リセットする必要があります。リセット後やデバイス設定に何らかの変更を加えた後は、 $\overline{SYNC\_IN}$  パルスを供給することも推奨します。制御と設定を SPI 経由で行うか、ピン接続のみで行うかを選択してください。

設計ではまず、ADC の設定に SPI モードと  $\overline{PIN}$  モードのどちらを使用するかを決定します。どちらのモードでも、デジタル・ホストは SPI ポート・ラインを介して ADC データを読み出します。

#### $\overline{PIN}$ 制御モード

$\overline{PIN}$  制御モードの機能の概要を以下に示します。

- ▶ デバイスへの SPI 書込みアクセスはなし。
- ▶ 全ての機能をピンで制御。
- ▶ SPI ピンにより ADC の結果をリードバック。
- ▶ ADC の結果には各変換結果後の 8 ビット・ステータス・ヘッダ出力を含む。
- ▶ SDI ピンを使い、 $\overline{PIN}$  モードで動作する複数デバイスのデジタイチェーン接続が可能。

#### SPI 制御モード

SPI 制御モードの機能の概要を以下に示します。

- ▶ レジスタ・アクセス用の標準 SPI モード 3 インターフェース。ADC は常に SPI ターゲットとして動作します。
- ▶  $\overline{DRDY}$  ピン出力を介した新しい変換の指示。2 番目の方法によって DOUT 出力ストリーム内のレディ ( $\overline{RDY}$ ) 信号をマージすることができ、更にそれにより絶縁バリア越しのライン数を減らすことが可能になります。
- ▶ ADC レジスタのアドレスを指定するために 8 ビットを書き込み、その結果をレジスタからリードバックすることによってリードバック変換を実行可能。
- ▶ SPI 書込みを介してイネーブルされる連続リードバック・モード。変換結果レジスタ (ADC\_DATA、レジスタ 0x2C) をアドレス指定するためにこの 8 ビットを使用する必要はありません。SCLK を入力するとデータ・リードバックが行われます。 $\overline{DRDY}$  ピンは変換結果が完了したことを示し、変換結果のリードバックをトリガするために使用できます。
- ▶ 連続リードバック・モードには、8 ビットのステータス・ヘッダまたは 8 ビットの巡回冗長検査 (CRC) チェック、もしくはその両方を追加するオプションがあります。

動作原理

ピン制御モードの概要

PIN制御モードでは、SPI 通信を必要な動作モードに設定する必要がありません。単一かつ既知の設定が必要とされる状況では、デジタル・ホストへのルーティング信号を減らすことが最善です。

PIN制御モードは、最小限の設定しか必要としないデジタル絶縁されたアプリケーションに有用です。PIN制御モードは、コア機能のサブセットを提供し、起動、リセット、または電源フォルトの後に既知の動作状態を確保します。PIN制御モードでは、最高の性能を発揮できるように、直線性向上バッファとリファレンス入力プリチャージ・バッファがデフォルトでイネーブルになります。

PIN制御モードでは、デバイスを最初に起動したとき、もしくはデバイスをリセットしたときに、SYNC\_OUTピンに自動同期パルスが出力されます。SYNC\_OUTパルスはGPIOxピンをトグルしたときも発生しますが、これは、デバイスの設定をPIN制御モードに変更した後で自動的に同期が行われることを意味します。この同期を行う場合は、SYNC\_OUTをSYNC\_INに接続することで、同期SYNC\_INパルスを供給する必要がないようにします。複数のデバイスを同期させる必要があるときは、1つのデバイスのSYNC\_OUTを複数デバイスのSYNC\_INに接続することもできます。複数デバイスの同期が必要な場合は、全てのデバイスが同じMCLKを共有する必要があります。

データ出力フォーマット

PIN制御モードには、変換データ用に設定された出力フォーマットがあります。DRDYの立上がりエッジは、新しい変換の準備ができたことを示します。次の24個のシリアル・クロックの立下がりエッジで、24ビットADCの結果がクロック出力されます。その後の8個のシリアル・クロックで、ADAQ7767-1のステータス・ビットが出力されます。ADCデータは、2の補数フォーマットを使いMSBファーストで出力されます。ステータス・ビットのクロック出力後、更にSCLKの立下がりエッジをADCに入力する場合は、デイジーチェーン接続の場合と同様、SDIに加えるロジック・レベルがクロック出力されます。図85には、余分なシリアル・クロック（33番目の立下がりエッジ）が示されています。余分なシリアル・クロック・エッジが生じた場合は、SDIピンのロジック・レベルがクロック出力されます。

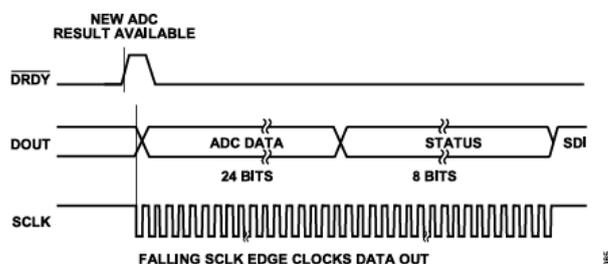


図 85. PINモードのデータ出力フォーマット（CS 信号は不図示）

表 21. PIN制御モードと SPI 制御モードでの制御ピン機能とインターフェース・ピン機能の違い

Mnemonic	Pin Function	
	PIN Control Mode	SPI Control Mode
MODE0/GPIO0	MODE0 configuration pin	GPIO0 pin
MODE1/GPIO1	MODE1 configuration pin	GPIO1 pin
MODE2/GPIO2	MODE2 configuration pin	GPIO2 pin
MODE3/GPIO3	MODE3 configuration pin	GPIO3 pin
CS	SPI pin for readback of ADC conversion results	SPI for full configuration of the ADAQ7767-1 via a register read/write and readback of the ADC conversion results
SCLK	SPI pin for readback of ADC conversion results	SPI for full configuration of the ADAQ7767-1 via a register read/write and readback of the ADC conversion results
SDI	SPI pin for readback of ADC conversion results	SPI for full configuration of the ADAQ7767-1 via a register read/write and readback of the ADC conversion results
DOUT/RDY	SPI pin for readback of ADC conversion results	SPI for full configuration of the ADAQ7767-1 via a register read/write and readback of the ADC conversion results

動作原理

診断機能とステータス・ビット

$\overline{\text{PIN}}$ 制御モードは、診断機能の一部を提供します。内部エラーは、各チャンネルのデータ変換結果と共にステータス・ヘッダ出力で報告されます。

ステータス・ヘッダは、内部 CRC エラー、メモリ・マップのフリップ・ビット、未検出の外部クロックを報告します。これは、リセットが必要であることを示しています。ステータス・ヘッダは、フィルタ・セトリング信号とフィルタ飽和信号も報告します。これらのエラー・フラグを監視することで、データを無視するタイミングを決定できます。

ステータス・ビットが深刻なエラーを示しているときは、 $\overline{\text{PIN}}$ モードの場合、特定のエラーについて更に情報を得る方法がないので、RESETピンを使ってADCをリセットすることを推奨します。

デジチェーン接続  $\overline{\text{PIN}}$ 制御モードのみ

デバイスをデジチェーン接続すると、別々の ADAQ7767-1 デバイスからの複数のADC出力をカスケード接続することによって、複数のデバイスが同じデータ・インターフェース・ラインを使用することができます。デバイスのデジチェーン接続は、 $\overline{\text{PIN}}$ 制御モードでのみ可能です。

デジチェーン接続用に構成されている場合は、1つの ADAQ7767-1 デバイスのデータ・インターフェースのみがデジタル・ホストに直接接続されます。ADAQ7767-1 では、チェーン内の上流側にある ADAQ7767-1 デバイスの DOUT/ $\overline{\text{RDY}}$ ピンを、その次の下流側 ADAQ7767-1 デバイスの SDI ピンにカスケード接続することで、このデジチェーン接続を行うことができます。デバイスのデジチェーン接続の可否と、デジチェーン接続で扱うことのできるデバイスの数は、使用するシリアル・クロックの周波数と、次の変換が完了する前に複数の32ビット変換出力(24ビット変換+8ビット・ステータス)を通じてクロックできる時間によって決まります。

デジチェーン接続機能は、部品数とコントローラへのワイヤ接続を減らすのに有効です。

複数の ADAQ7767-1 デバイスをデジチェーン接続した場合の例を図 86 に示します。

デジチェーン接続法では、同じ MCLK と SCLK を受け取る全てのデバイスが同期され、同じデシメーション・レートで設定されている必要があります。チップ・セレクト信号 ( $\overline{\text{CS}}$ ) はデータの各変換チェーンをゲートして、各変換結果の伝達後に、その立上がりエッジが SPI を既知の状態にリセットします。コントローラから最も遠い ADAQ7767-1 デバイスは、その SDI ピンを VDD<sub>IO</sub> (ロジック・ハイ) に接続する必要があります。

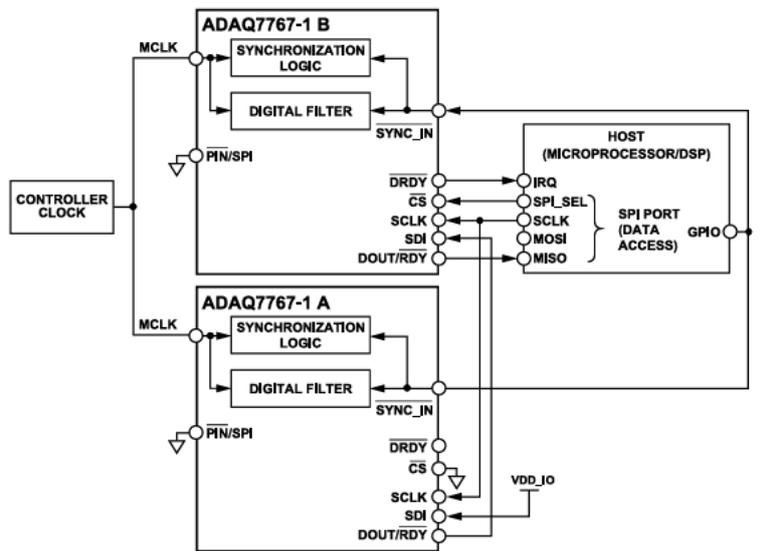


図 86. 複数の ADAQ7767-1 デバイスのデジチェーン接続

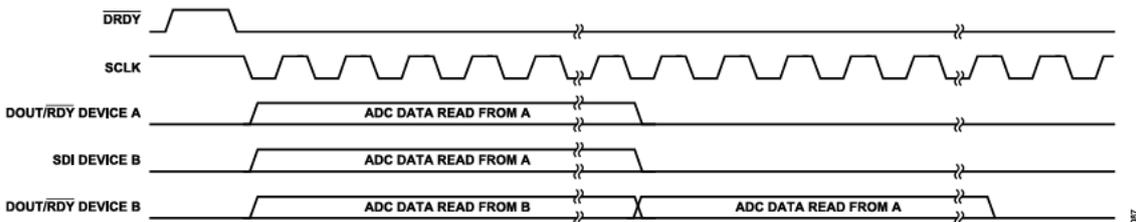


図 87. デバイスをデジチェーン接続した場合のデータ出力フォーマット ( $\overline{\text{PIN}}$ 制御モードのみ)

## 動作原理

表 22. MODEx ピンの $\overline{\text{PIN}}$ 制御設定

MODEx Pin Settings					ADC Configuration			MCLK = 16.384 MHz, ODR
MODEx (Hex)	MODE3/ GPIO3	MODE2/ GPIO2	MODE1/ GPIO1	MODE0/ GPIO0	f <sub>Mod</sub> Frequency	Filter	Decimation	
0	0	0	0	0	MCLK/2	Wideband low ripple FIR	×32	256 kSPS
1	0	0	0	1	MCLK/2	Wideband low ripple FIR	×64	128 kSPS
2	0	0	1	0	MCLK/2	Sinc5	×32	256 kSPS
3	0	0	1	1	MCLK/2	Sinc5	×64	128 kSPS
4	0	1	0	0	MCLK/4	Wideband low ripple FIR	×32	128 kSPS
5	0	1	0	1	MCLK/4	Wideband low ripple FIR	×64	64 kSPS
6	0	1	1	0	MCLK/4	Sinc5	×32	128 kSPS
7	0	1	1	1	MCLK/4	Sinc5	×64	64 kSPS
8	1	0	0	0	MCLK/16	Wideband low ripple FIR	×32	32 kSPS
9	1	0	0	1	MCLK/16	Wideband low ripple FIR	×64	16 kSPS
A	1	0	1	0	MCLK/16	Sinc5	×32	32 kSPS
B	1	0	1	1	MCLK/16	Sinc5	×64	16 kSPS
C	1	1	0	0	MCLK/2	Sinc5	×8	833 kSPS <sup>1</sup>
D	1	1	0	1	MCLK/2	Sinc3 50 Hz and 60 Hz rejection <sup>2</sup>	×163,840	50 SPS
E	1	1	1	0	MCLK/16	Sinc3 50 Hz and 60 Hz rejection <sup>2</sup>	×20,480	50 SPS
F	1	1	1	1	ADC Standby			

1  $\overline{\text{PIN}}$ モードでは、sinc5、MCLK/2、デシメーション・レシオ = 8 の構成のみ、16.384MHz の MCLK では使用できません。最大 SCLK が 20MHz の場合 24 ビット出力 (16 ビット ADC データ + 8 ビット・ステータス) を駆動できる SCLK パルスがないためです。13.33MHz MCLK で使用できる最大データ・レートは 833kSPS です。

2 sinc3 フィルタ、50Hz および 60Hz の除去。50Hz と 60Hz を除去できるのは、制御モードで使用する MCLK が 16.384MHz の場合に限られます。デシメーション・レートは、sinc フィルタのノッチが 50Hz と 60Hz に一致するように、これらのPINモード設定に合わせて内部で調整されます。

## 動作原理

## SPI 制御の概要

SPI 制御では、柔軟性および診断機能のスーパーセットを提供します。表 23 に示すカテゴリは、SPI 制御モードで有効にできる主な制御、変換モード、および診断モニタリング機能を示したものです。

表 23. SPI 制御機能

SPI Control	Capabilities	Meaning for the User
MCLK Division	MCLK/2 to MCLK/16	The ability to customize clock frequency relating to the bandwidth of interest.
MCLK Source	CMOS, crystal, LVDS, and internal clock	Allows the user a distributed or local clock capability.
Digital Filter Style	Wideband low ripple FIR, sinc5, sinc3 (programmable)	The ability to customize the latency and frequency response to the measurement target of the user and its bandwidth.
Interface Format	Bit length	The ability to change between a 24-bit and a 16-bit conversion length in continuous read mode.
	Status bits	The ability to view output device status bits with the ADC conversion results.
	CRC	The ability to implement error checking when transmitting data.
	Data streaming	The ability to stream conversion data, eliminating interface write overhead.
Analog Buffers	Linearity boost buffer	Boost the linearity performance.
	Reference input precharge	Reduce reference input current, making it easier to filter the reference.
	Reference input full buffer	This full, high impedance buffer enables filtering of the reference source and enables high impedance sources, that is, reference resistors.
Conversion Modes	Single conversion	The ability to return to standby after one conversion.
	One shot	The ability to perform a conversion similar to a timed successive approximation register (SAR) conversion, in which the ADAQ7767-1 converts on a timed pulse.
	Continuous conversion	Normal operation keeps the modulator continually converting, offering the fastest response to a change on the input.
	Duty-cycled conversion	The ability to save more power for point conversions. Times the rate of conversion and sets the time for the ADC to remain in standby after the conversion completes.
Conversion Targets	ADC inputs	The ability to measure the input signal applied at the ADC input.
	Temperature sensor	The ability to measure local temperatures with an on-chip temperature sensor. Used for relative temperature measurement.
	Diagnostic sources	The ability to measure reference inputs and internal voltages for periodic functional safety checking.
GPIO Control	Up to four GPIOx pins	The ability to control other local hardware (such as gain stages), to power down other blocks in the signal chain, or to read local status signals over the SPI of the ADAQ7767-1.
System Offset and Gain Correction	System calibration routines	The ability to correct offset and/or gain by writing to registers when the environment changes (that is, the temperature increases). Requires characterization of system errors to feed these registers.
Diagnostics	Internal checks and flags	Users can have the highest confidence in the conversion results.

## 動作原理

## SPI 制御モード

## MCLK のソースと MCLK の分周

MCLK 分周 (MCLK\_DIV) ビット (レジスタ 0x15、ビット [5:4]) は、ADAQ7767-1 に入力される MCLK と ADC 変調器が使用するクロックの分周比を制御します。クロックの構成に最も適した分周比を選択してください。

SPI モードでは、次のオプションを MCLK 入力ソースとして使用できます。

- ▶ LVDS
- ▶ 外部水晶発振器
- ▶ CMOS 入力 MCLK

電力およびクロック制御レジスタで、CLOCK\_SEL ビット (レジスタ 0x15、ビット [7:6]) を 00 にセットすると ADAQ7767-1 は CMOS クロック用に設定され、これらのビットを 01 にセットすると外部水晶発振器を使用できます。これらのビットを 10 にセットすると XTAL2\_MCLK ピンに LVDS クロックを供給できます。LVDS クロック供給は SPI モード専用で、動作させるためのレジスタを選択する必要があります。

## ADC パワーダウン・モード

コア ADC 上の全てのブロックがオフになります。ADC の動作を再開させるには、特別なコードが必要です。パワーダウン・モードになると、レジスタの内容は全て失われます。FDA がパワーダウンしている、あるいはスタンバイ・モードになっているのを確認してから ADC をパワーダウン・モードにしてください。

M0\_ADC および M1\_ADC をそれぞれ M0\_FDA および M1\_FDA に接続すると、ADC がパワーダウン・モードになるときに自動的に FDA がパワーダウンされます。ADC パワーダウン・モードは、電力およびクロック制御レジスタから設定できます。

## ADC スタンバイ・モード

コア ADC のアナログ・クロック供給機能と電力機能がパワーダウンされます。スタンバイ・モードでは、デジタル LDO レギュレータとレジスタの設定は維持されます。このモードは、ADC を一時的に使用せず、その間に消費電力を抑えたい場合に最適です。ADC をスタンバイ・モードに設定する方法の詳細については、データ変換モードのセクションを参照してください。

## SPI の同期

ADAQ7767-1 は SPI を介して同期できます。コマンドの最後の SCLK 立上がりエッジが同期の最初のステップです。このコマンドは最初に SYNC\_OUT ピンからアクティブ・ローをパルス出力して、再びアクティブ・ハイに戻します。SYNC\_OUT は ADC の MCLK に内部同期された信号です。SYNC\_OUT の出力を SYNC\_IN 入力に接続することによって、個々の ADC を同期させることができます。SYNC\_OUT を他の ADAQ7767-1 デバイスに接続した場合は、MCLK ソースを共有している限りそれらのデバイスを同期させることができます (図 88 参照)。

同期機能は、DRDY パルスの直後に実行することを推奨します。ADAQ7767-1 の SYNC\_IN パルスの発生位置が次の DRDY パルス・エッジに近すぎる場合、SYNC\_IN パルスがまだデバイス内に伝達されていないため、次の DRDY パルスがそのまま出力されることがあります。

1.8V の VDD\_IO 電圧で SYNC\_OUT 機能を使用する場合は、同期モードおよびリセット・トリガリング・レジスタの SYNC\_OUT\_POS\_EDGE ビット (レジスタ 0x1D、ビット 6) を 1 に設定することを推奨します。

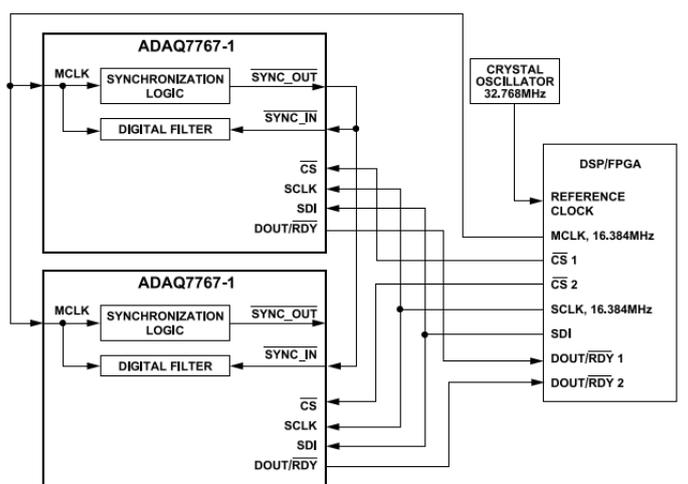


図 88. 基本的な SPI 同期の概略図

## 動作原理

### オフセット・キャリブレーション

ADAQ7767-1 では、SPI 制御モードでオフセットとゲインを補正できます。ADAQ7767-1 とそのサブシステムのゲインとオフセットを変更するオプションがいくつかあります。これらのオプションは SPI 制御モードでのみ利用できます。

オフセット補正レジスタは、チャンネル・オフセット調整用の 24 ビット符号付き 2 の補数レジスタです。チャンネルのゲイン設定が理想的な公称値 0x555555 の場合、オフセット・レジスタを 1LSB 調整すると、デジタル出力は -4/3LSB だけ変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が -133LSB 変化します。オフセット・キャリブレーションはゲイン・キャリブレーションの前に行われるため、-4/3 の LSB 比率はゲイン補正レジスタを介したゲイン調整と比例して変化します。

オフセット・キャリブレーション MSB レジスタ、オフセット・キャリブレーション MID レジスタ、オフセット・キャリブレーション LSB レジスタの各セクションには、更に詳しいレジスタ情報およびキャリブレーション手順が示されています。

### ゲイン・キャリブレーション

SPI 制御モードでは、ADAQ7767-1 とそのサブシステムのゲインとオフセットを変更することができます。これらのオプションは SPI 制御モードでのみ利用できます。

ADC には対応するゲイン係数があり、これは工場での設定後、ADC ごとに保存されます。通常、このゲインは 0x555555 付近の値になっています (1 つの ADC チャンネルについて)。ゲイン・レジスタ設定は書きできます。ただし、リセット後または電源再投入後は、ゲイン・レジスタ値はハード・コードされた出荷時設定に戻ります。

$$ADC\_DATA = \left( \frac{3 \times V_{IN} \times AFE\_GAIN}{V_{REF}} \times 2^{21} - (OffsetCal) \right) \times \frac{GainCal}{4} \times \frac{4,194,300}{2^{42}} \quad (12)$$

ここで、

ADC\_DATA (レジスタ 0x2C、[変換結果レジスタ](#)のセクションを参照) は 2 の補数フォーマットです。

OffsetCal はオフセット・キャリブレーション・レジスタ (レジスタ 0x21、レジスタ 0x22、レジスタ 0x23、[オフセット・キャリブレーション MSB レジスタ](#)、[オフセット・キャリブレーション MID レジスタ](#)、[オフセット・キャリブレーション LSB レジスタ](#)の各セクションを参照) の 10 進数値です。

GainCal はゲイン・キャリブレーション・レジスタ (レジスタ 0x24、レジスタ 0x25、レジスタ 0x26) の 10 進数値です。ゲイン・キャリブレーション・レジスタのセクションに更に詳しいレジスタ情報とキャリブレーション手順が示されています ([ゲイン・キャリブレーション MSB レジスタ](#)、[ゲイン・キャリブレーション MID レジスタ](#)、[ゲイン・キャリブレーション LSB レジスタ](#)を参照)。

### SPI 制御インターフェース経由でのリセット

ADAQ7767-1 へのリセット・コマンドは、[同期モードおよびリセット・トリガリング・レジスタ](#)の SPI\_RESET ビット (レジスタ

0x16、ビット[1:0]) に書き込みを行うことによって発行できます。デバイスのリセットを開始するには、これらのビットに 2 回連続して書き込みを行う必要があります。

### シャットダウンからの再起動

シャットダウン・モードでは、標準 SPI インターフェースを含め、デバイス上の全てのブロックをオフにして電流消費を最小限に抑えます。したがって、このモードから ADC の動作を再開させるには、RESET ピンでハードウェア・リセットを行うか、SPI SDI 入力から特定のコードを実行する必要があります。SDI に必要とされる特別なシーケンスは、CS がローの間に SCLK によってクロック入力される 1 と、その後続く 63 個の 0 で構成され、システムはこれにより、RESET ピンを使用することなくシャットダウン状態から ADAQ7767-1 の動作を再開させることができます。このリセット機能は、絶縁バリア越しに配線するピンの数を最小限に抑える必要のある絶縁アプリケーションに有効です。

### GPIO および START 機能

ADAQ7767-1 を SPI モードで動作させる場合は、追加的な GPIO 機能を使用することができます。このフル設定可能なモードにより、デバイスは 4 個の GPIO を動作させることができます。これらのピンは、任意の順序で読みまたは書き込みとして設定できます。

GPIO 読出しを使用すると、周辺機器から入力 GPIO へ情報を送ることができるので便利です。更に、この情報は、ADAQ7767-1 の SPI から読み出すことができます。

GPIOx ピンはピンごとに入力または出力として設定することが可能で、更に出力をオープン・ドレインとして設定するオプションがあります。

SPI 制御モードでは、GPIOx ピンの 1 つに START 入力の機能を割り当てることができます。START 機能を使用すると、MCLK に同期していない信号を使って SYNC\_OUT 信号を生成し、ADAQ7767-1 のデジタル・フィルタ・パスをリセットできます。START ピン機能は GPIO3 で有効にできます。

### SPI モードの診断機能

ADAQ7767-1 には、コア ADC の内部ブロックを対象とする診断機能が組み込まれています。以下のリストに示す診断機能は、ADC をモニタして、取得したデータの忠実度に関わる信頼性を高めることを可能にします。

- ▶ リファレンス検出
- ▶ クロックの品質評価
- ▶ SPI トランザクションの CRC
- ▶ 不正レジスタ書き込みの検出フラグ
- ▶ CRC チェック
- ▶ パワーオン・リセット (POR) モニタ
- ▶ MCLK カウンタ

更にこれらの診断機能は、計測器がその初期化段階において電源とリファレンスのリモート・チェックを必要とするような状況においても有効です。

診断機能は、[SPI 診断制御レジスタ](#)、[ADC 診断機能制御レジスタ](#)、[デジタル診断機能制御レジスタ](#)を介して選択できます。POR

## 動作原理

用のフラグおよびクロックの品質評価は、デフォルトでオンになっています。フラグはレジスタを介して読み出せますが、トップ・レベル・ステータス・ビットにも伝達されます。これは、必要な場合は各 ADC 変換と共に出力できます。

### リファレンス検出

SPI 制御モードでリファレンス検出ブロックを有効化するには、**ADC 診断機能制御レジスタ**の EN\_ERR\_REF\_DET ビット (レジスタ 0x29、ビット 3) に 1 を書き込みます。有効化されると、**ADC 診断出力レジスタ** (レジスタ 0x2F) にエラーがフラグされます。その後はどのエラー・フラグも**デバイス・エラー・フラグ・メイン・レジスタ** (レジスタ 0x2D) に伝達されます。REF+ピンに加えられるリファレンスが(VDD\_ADC-AGND)の 1/3 未満になると、リファレンス・エラーがフラグされます。

### クロックの品質評価

クロック品質評価チェックでは、有効な MCLK の検出を確認します。加えられる MCLK が 600kHz を超えていれば、クロック品質評価は合格です。エラーは、**ADC 診断出力レジスタ** (レジスタ 0x2F) と**デバイス・エラー・フラグ・メイン・レジスタ** (レジスタ 0x2D) の両方にフラグされます。検出されたクロックが 600kHz の周波数閾値未満の場合、あるいは外部 MCLK が検出されない場合は、クロック品質評価エラー・ビットが 1 に設定されます。クロック品質評価チェックを無効にするには、**ADC 診断機能制御レジスタ**の EN\_ERR\_EXT\_CLK\_QUAL ビット (レジスタ 0x29、ビット 0) に 0 を書き込みます。

### SPI トランザクションの CRC

詳細については、**シリアル・インターフェースでの CRC チェック**のセクションを参照してください。

### 不正なレジスタ書き込みの検出フラグ

詳細については、**SPI 制御インターフェースのエラー処理**のセクションを参照してください。

表 24. 製品識別レジスタ

Register Address (Hex)	Name	Bit Fields	
0x03	Chip type	Reserved	Class
0x04	Product ID [7:0]	PRODUCT_ID[7:0]	
0x05	Product ID [15:8]	PRODUCT_ID[15:8]	
0x06	Grade and revision	Grade	DEVICE_REVISION
0x0A	Scratch pad	Value	
0x0C	Vendor ID	VID[7:0]	
0x0D		VID[15:8]	

### CRC チェック

ADAQ7767-1 のメモリ・マップの状態および内部ランダム・アクセス・メモリ (RAM) 設定とヒューズ設定の状態をチェックするには、**デジタル診断機能制御レジスタ** (レジスタ 0x2A) の CRC チェックを有効にします。デバイスでこれらいずれかのエラーがフラグされたら、リセットを行ってデバイスを有効な状態に戻してください。

### POR モニタ

POR モニタ・フラグは、出力時にレジスタとステータス・ビットの両方にセットされます。POR フラグは、リセットが行われたか、電源の一時的なブラウンアウトが発生したことを示します。

### MCLK カウンタ

**MCLK 診断出力レジスタ** (アドレス 0x31) は 64MCLK ごとに更新されます。MCLK\_COUNTER レジスタでは、ADAQ7767-1 に有効な MCLK が供給されていることを検証します。有効な読出しを行うには、特定の MCLK/SCLK 比に従って MCLK\_COUNTER レジスタを読み出します。MCLK\_COUNTER レジスタの読出しに使用する SCLK は、 $2.1 \times \text{MCLK}$  未満または  $4.6 \times \text{MCLK}$  より大きくなくてはなりません。例えば、MCLK = 2MHz の場合、使用する SCLK を 4.2MHz~9.2MHz の範囲とすることはできません。MCLK と SCLK の比が守られていない場合は、レジスタの読出し中に MCLK が更新されて、読出しエラーとなることがあります。

### 製品識別 (ID) 番号

ADAQ7767-1 には、ソフトウェアによるデバイス調査を可能にする ID レジスタが組み込まれています。製品のクラス (高精度 ADC)、製品 ID、デバイス・リビジョン、デバイスの等級の全てを、SPI を介してレジストリから読み出すことができます。リードバック用レジストリには、アナログ・デバイセズのベンダ ID も含まれています。これらのレジスタは、特定のレジスタ・アドレスへの自由な読出しと書き込みを可能にするスクラッチ・パッドに加えて、シリアル制御インターフェースの正常な動作を検証する方法として使用できます。

クイック・スタートアップ・ガイド

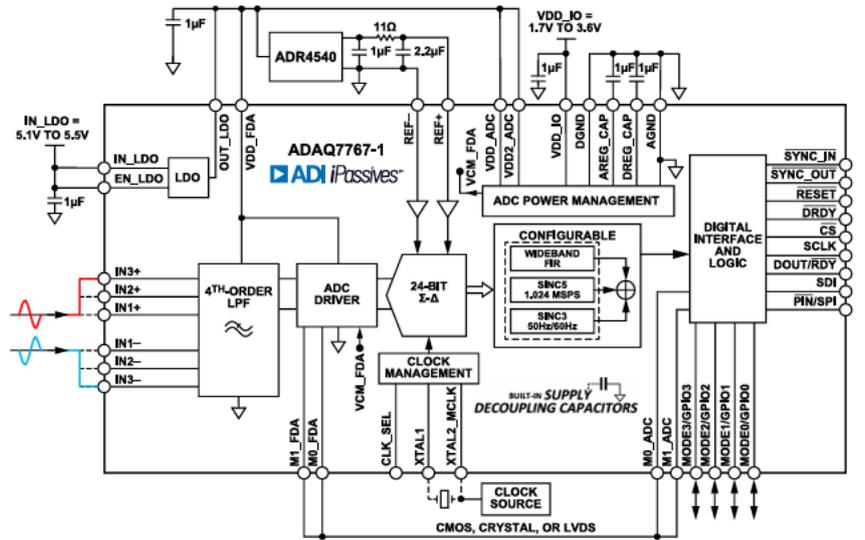


図 89. ADAQ7767-1 の代表的な接続図

電源の接続

ADAQ7767-1 には、シグナル・チェーンの各ブロックに給電するいくつかの電源があります。デバイスの起動に必要な電源の数を減らすために、ADAQ7767-1 は LDO レギュレータを内蔵しており、これを用いて VDD\_FDA、VDD\_ADC、VDD2\_ADC に給電します。この LDO レギュレータは、推奨電圧リファレンスである ADR4540 に必要な電力も供給できます。LDO レギュレータは 5.1V~5.5V の入力範囲を処理できます。最適な動作のために、LDO レギュレータの入力および出力には 1μF のコンデンサを用いることを推奨します。通常動作時に LDO レギュレータを使用しない場合、全ての LDO レギュレータ・ピンはフロート状態にしておくことを推奨します。

VDD\_IO は ADC のデジタル・ロジックに必要な内部レギュレータに給電します。VDD\_IO は DGND を基準とし、1.7V~3.6V の範囲が可能です。

ADAQ7767-1 には、各電源に対し 0.1μF のデカップリング・コンデンサが内蔵されています。電源の接続とデカップリングについての詳細は、電源のセクションおよび電源のデカップリングのセクションを参照してください。

表 25. 電源電圧要件

Supplies	Supply Voltage (V)		
	Minimum	Typical	Maximum
IN_LDO	5.1	5.3	5.5
VDD_FDA	4.75	OUT_LDO (5)	5.5
VDD_ADC	4.75	OUT_LDO (5)	5.5
VDD2_ADC	2	OUT_LDO (5) or 2.5	5.5
VDD_IO	1.7	1.8	3.6

デバイスの制御モード

ADAQ7767-1 には、デバイス機能を制御するためのオプションが 2 つあります。このモードは、起動時に PIN/SPI ピンの状態によって決定されます。設定の 2 つのモードは、以下のとおりです。

- ▶  $\overline{\text{PIN}}/\text{SPI} = \text{VDD\_IO} = \text{SPI}$  制御モード：3 線式または 4 線式 SPI (全ての設定オプションを使用可能)、推奨制御モード。
- ▶  $\overline{\text{PIN}}/\text{SPI} = \text{DGND} = \overline{\text{PIN}}$  制御モード：ピン・ストラップ設定のデジタル・ロジック入力 (設定オプションの 1 つのサブセットを使用可能、デジチェーンはこのモードでのみ使用可能)

設計ではまず、ADC の設定に SPI モードと  $\overline{\text{PIN}}$  モードのどちらを使用するかを決定します。

どちらの制御モードを使用する場合も、起動時にデバイスをソフト・リセットまたはハード・リセットする必要があります。リセット後やデバイス設定に何らかの変更を加えた後は、 $\overline{\text{SYNC\_IN}}$  パルスを供給することも推奨します。制御と設定を SPI を介して行うか、ピン接続のみで行うかを選択してください。

2 つの制御モード・オプションの機能と制限については、デバイスの設定方法のセクションで詳しく説明しています。

入力レンジの選択

ADAQ7767-1 の入力部には、4 次のアンチエイリアシング・フィルタを備えた低ノイズ、低歪み、広帯域幅の ADC ドライバがあります。これには 3 つの差動入力ペアがあります。IN1+ と IN1-、IN2+ と IN2-、IN3+ と IN3- で、これらの中からユーザが選択できます。各入力ペアのゲインは固定されており、フル・スケール・レンジはそれぞれ、±4.096V、±11.264V、±28.672V 差動となります。様々な入力範囲および ADC 設定に対するノイズ性能については、ノイズ性能のセクションで詳細を説明します。

GPIO ピン

GPIO ピンの一般的な使用法は、ADAQ7767-1 の入力において高インピーダンス・アンプとして用いられるプログラマブル・ゲイン・アンプ (PGA) のゲイン設定値を、デジタル的に制御することです。PGA ゲイン・ピンを ADAQ7767-1 の GPIO ピンに接続すると、SPI を介して PGA のゲインを制御することができます。GPIO ピンをゲインの制御に用いる場合、GPIO ポート制御レジスタ (レジスタ 0x1E) を設定して、GPIO を有効化し必要な GPIO ポートを出力に設定する必要があります。GPIO ピンのロジック

## クイック・スタートアップ・ガイド

出力レベルをセットするには、GPIO 出力制御レジスタ（レジスタ 0x1F）を設定します。

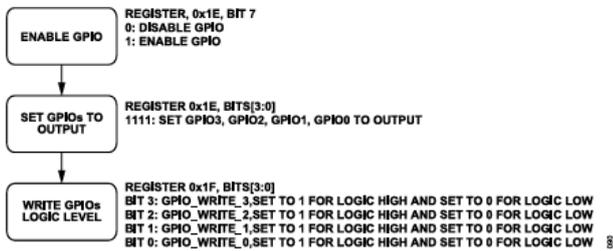


図 90. GPIO のゲイン制御フローチャート

例えば、接続されている PGA がゲイン制御ピンとして GAIN0、GAIN1、GAIN2 を使用する場合、これらのピンをそれぞれ ADAQ7767-1 の GPIO0、GPIO1、GPIO2 の各ピンに接続できます。SPI 制御モードでは、GPIO ポート制御レジスタ（レジスタ 0x1E）に 0x87 を書き込むことで、GPIO 制御ポートを有効化して必要な GPIO ピンを出力に設定できます。デフォルトでは、GPIO 出力制御レジスタ（レジスタ 0x1F）の GPIO0、GPIO1、GPIO2 への出力ロジックはローです。

## MCLK の分周器とソースの選択

## MCLK ソースの選択

MCLK ソースは、 $\overline{\text{PIN}}$ 制御モードと SPI 制御モードの 2 つの制御モード・オプションを用いて設定できます。

$\overline{\text{PIN}}$ 制御モードでは、CLK\_SEL ピンが外部 MCLK ソースを設定します。 $\overline{\text{PIN}}$ 制御モードでは、内部発振器、外部 CMOS、または水晶発振器の 3 つのクロック・オプションを使用できます。

- ▶  $\overline{\text{PIN}}$ 制御モードで CLK\_SEL = 0 にセットした場合は CMOS クロック・オプションが選択され、外部 CMOS クロック信号を XTAL2\_MCLK ピンに印加する必要があります。この場合は XTAL1 ピンを DGND に接続します。
- ▶  $\overline{\text{PIN}}$ 制御モードで CLK\_SEL = 1 にセットした場合は水晶発振器オプションが選択され、外部水晶発振器を XTAL1 ピンと XTAL2\_MCLK ピンの間に接続する必要があります。

SPI 制御モードでは、ADAQ7767-1 は、内部発振器をデバイスの初期起動に使用します。ADAQ7767-1 がスタートアップ・ルーチンを完了すると、クロックが外部 MCLK に切り替わります。以下のオプションが MCLK 入力ソースに使用可能で、電力およびクロック制御レジスタの CLOCK\_SEL ビット（レジスタ 0x15、ビット [7:6]）で設定できます。

- ▶ CLOCK\_SEL ビット = 00 : XTAL2\_MCLK に CMOS クロックを使用
- ▶ CLOCK\_SEL ビット = 01 : 外部水晶発振器
- ▶ CLOCK\_SEL ビット = 10 : LVDS 入力を有効化（SPI 制御モード専用）
- ▶ CLOCK\_SEL ビット = 11 : 内蔵の粗い RC クロック（診断機能）

1 つのクロック・ソースから別のクロック・ソースに切り替える場合、デバイスをソフト・リセットする必要があります。

AC 性能を最高のものにするために、内部クロックを MCLK ソースとして使用することは推奨しません。

## MCLK 分周器

ADAQ7767-1 が受信する MCLK 信号は、ADC コアの  $\Sigma$ - $\Delta$  変調器のクロック・レート ( $f_{\text{MOD}}$ ) の定義に使用されるので、変調器のサンプリング周波数  $2 \times f_{\text{MOD}}$  が定義されます。最高性能を発揮するために、MCLK = 16.384MHz、MCLK\_DIV = 2 とすることを推奨します。これにより、 $f_{\text{MOD}}$  が 8.192MHz に設定され、この  $f_{\text{MOD}}$  周波数が高い値に維持されるため、フロントエンドのアンチエイリアシング・フィルタからの帯域外トーン除去を最大にできます。

$$f_{\text{MOD}} = \frac{\text{MCLK}}{\text{MCLK\_DIV}} \quad (13)$$

ADAQ7767-1 でのデフォルトのコントローラ・クロック分周器の設定は、MCLK 分周器 = 16 です。MCLK 分周器を MCLK = 2 に設定するには起動後に電力およびクロック制御レジスタの MCLK\_DIV ビット（レジスタ 0x15、ビット [5:4]）に 11 を書き込みます。

変調器周波数の設定を制御する方法は、 $\overline{\text{PIN}}$ 制御モードと SPI 制御モードで異なります。 $\overline{\text{PIN}}$ 制御モードについては表 22、SPI 制御モードについては電力およびクロック制御レジスタを参照してください。

## MCLK と SCLK のアライメント

ADAQ7767-1 のインターフェースは柔軟で、各種 DSP およびマイクロコントローラ・ユニット (MCU) の複数の動作モードと様々なデータ出力フォーマットに対応可能です。最高性能を発揮するために、同期 SCLK と MCLK は同じクロック・ソースから得ることを推奨します。SCLK は MCLK を分周したものとすることも可能です。推奨インターフェースのセクションで、デジタル・インターフェースの詳細を説明しています。

## デジタル・フィルタの設定

ADAQ7767-1 では 3 種類のデジタル・フィルタを使用できます。ADAQ7767-1 で選択可能なデジタル・フィルタは、以下のとおりです。

- ▶ 広帯域低リップル FIR フィルタ、 $0.433 \times \text{ODR}$  で -3dB (6 レート)
- ▶ sinc5 低レイテンシ・フィルタ、 $0.204 \times \text{ODR}$  で -3dB (8 レート)
- ▶ sinc3 低レイテンシ・フィルタ、 $0.2617 \times \text{ODR}$  で -3dB、データ・レートは広範囲にプログラム可能

デジタル・フィルタ処理のセクションで、デジタル・フィルタの設定の詳細を説明しています。

## デシメーション・レートと出力データ・レート

ADAQ7767-1 は、広帯域低リップル FIR、sinc3、sinc5 の各デジタル・フィルタ用にプログラマブルなデシメーション・レートを備えています。デシメーション・レートによって、測定帯域を制限することができます。これは速度と入力帯域幅を低下させますが、デジタル・フィルタ内で更に平均化が行われるので、分解能

## クイック・スタートアップ・ガイド

は向上します。 $\overline{\text{PIN}}$ 制御モードを用いる場合のフィルタの選択とデシメーション・レートの設定を表 22 に示します。一方、SPI 制御モードでは、デジタル・フィルタおよびデシメーション制御レジスタ（レジスタ 0x19）にレジスタ書き込みが必要です。SPI を用いて sinc3 用にデシメーション・レートを設定するには、sinc3 デシメーション・レート（MSB）レジスタと sinc3 デシメーション・レート（LSB）レジスタが必要です。

ADAQ7767-1 の ODR を計算するには、次式を使用します。

$$\text{ODR} = \frac{f_{\text{MOD}}}{\text{DEC\_RATE}} \quad (14)$$

## ADC のパワー・モード

ADC コアのパワー・モードは MCLK\_DIV の設定と一致する必要があります。ADAQ7767-1 のデフォルトのパワー設定はロー・パワー動作モードです。最高性能を発揮するには、電力およびクロック制御レジスタで MCLK\_DIV = 2 に設定し、ADC\_MODE ビット（レジスタ 0x15、ビット[1:0]）に 11 を書き込んで、ADC\_MODE を高速パワー動作モードに変更します。

## 基本的なレジスタ・セットアップ

起動時における ADAQ7767-1 のレジスタ書き込みの基本的な流れを図 91 に示します。

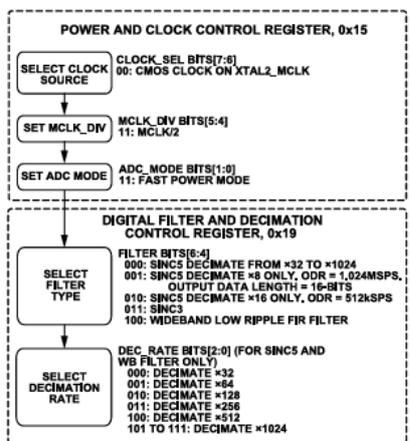


図 91. ADAQ7767-1 の基本的なレジスタ・セットアップ

## クイック・スタートの例

### 広帯域低リップル FIR フィルタ

例えば、ADAQ7767-1 は次の条件で動作させます。

- ▶ CMOS クロックを MCLK ソースに設定
- ▶ MCLK 分周器を 2 に設定（推奨）
- ▶ ADC パワー・モードを高速パワー動作モードに設定（推奨）
- ▶ 広帯域低リップル FIR フィルタを使用
- ▶ デシメーション・レートを 32 に設定

これに相当する連続的な SPI 書き込みは次のとおりです。

- ▶ 電力およびクロック制御レジスタ（レジスタ 0x15）にデータ 0x33 を書き込む
- ▶ デジタル・フィルタおよびデシメーション制御レジスタ（レジスタ 0x19）にデータ 0x40 を書き込む

### ODR = 1.024MSPS

アプリケーションの ODR が 1.024MSPS の場合は、以下の手順が必要です。

- ▶ MCLK を 16.384MHz に設定
- ▶ MCLK 分周器を 2 に設定
- ▶ ADC パワー・モードを高速モードに設定
- ▶ sinc5 フィルタを使用
- ▶ デシメーション・レートを 8 に設定（16 ビットの出力データ長）

デシメーション・レートを 8 に設定して sinc5 フィルタを使用した場合、ADAQ7767-1 は出力データ長を 24 ビットではなく 16 ビットに自動的に変更します。これは、この特定の使用事例が量子化ノイズの制限を受けるためです。CMOS MCLK ソースを仮定すると、相当する連続的な SPI 書き込みは次のとおりです。

- ▶ 電力およびクロック制御レジスタ（レジスタ 0x15）にデータ 0x33 を書き込む
- ▶ デジタル・フィルタおよびデシメーション制御レジスタ（レジスタ 0x19）にデータ 0x10 を書き込む

## ノイズ性能

シグナル・チェーンのノイズ性能は、アプリケーションの入力範囲および ADAQ7767-1 に必要な ODR に強く依存します。入力範囲は単に入力ピンのペアから選択することで変化しますが、デバイスの ODR は MCLK と設定したデシメーション・レートによって決まります。どのデジタル・フィルタについても、ODR を計算するには次式を使用します。

$$f_{MOD} = \frac{MCLK}{MCLK\_DIV} \quad (15)$$

$$ODR = \frac{f_{MOD}}{DEC\_RATE} \quad (16)$$

ここで、

$f_{MOD}$  は ADC 変調器の周波数。

MCLK はコントローラのクロック周波数。

MCLK\_DIV は、ADAQ7767-1 に入力される MCLK と ADC 変調器が使用するクロックの分周比。

DEC\_RATE は、デシメーション・レート。

ノイズ性能は使用するデジタル・フィルタのタイプによっても変わり、それぞれが異なる-3dB 帯域幅を持ちます。ADAQ7767-1 で選択可能なデジタル・フィルタは、以下のとおりです。

- ▶ 広帯域低リップル・FIR フィルタ、 $0.433 \times ODR$  で-3dB
- ▶ sinc5 低レイテンシ・フィルタ、 $0.204 \times ODR$  で-3dB
- ▶ sinc3 低レイテンシ・フィルタ、 $0.2617 \times ODR$  で-3dB

DEC\_RATE、MCLK、MCLK\_DIV、デジタル・フィルタのタイプは、ユーザによって異なる場合があります。設定方法にも  $\overline{PIN}$  制御モードか SPI 制御モードかの違いがあります（デバイスの設定方法のセクションを参照）。

表 26～表 34 に、様々な ODR 値における ADAQ7767-1 の各種デジタル・フィルタのノイズ性能を示します。仕様規定されているノイズ値とダイナミック・レンジは、 $4.096V$  の外部リファレンス ( $V_{REF}$ ) での代表値です。実効値ノイズは、アナログ入力をグラウンド・リファレンスに短絡して測定しています。

表 26. IN1 (AFE\_GAIN = 1V/V)、広帯域低リップル FIR フィルタのノイズ性能と ODR の関係 ( $V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$ )

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise ( $\mu V$ RMS)
16.384	32	256	110.8	12.1
16.384	64	128	55.4	8.20
16.384	128	64	27.7	5.73
16.384	256	32	13.9	4.07
16.384	512	16	6.9	2.92
16.384	1024	8	3.5	2.10
13.107	32	204.8	88.7	11.8
13.107	64	102.4	44.3	8.00
13.107	128	51.2	22.2	5.60
13.107	256	25.6	11.1	3.99

表 27. IN1 (AFE\_GAIN = 1V/V)、sinc5 フィルタのノイズ性能と ODR の関係 ( $V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$ )

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise ( $\mu V$ RMS)
16.384	8	1024(16-bit)	208.9	61.0
16.384	16	512	104.4	13.7
16.384	32	256	52.2	8.29
16.384	64	128	26.1	5.73
16.384	128	64	13.1	4.05
16.384	256	32	6.5	2.88
13.107	32	204.8	41.8	8.09
13.107	64	102.4	20.9	5.63
13.107	128	51.2	10.4	3.96
13.107	256	25.6	5.2	2.83

表 28. IN1 (AFE\_GAIN = 1V/V)、sinc3 フィルタのノイズ性能と ODR の関係 ( $V_{REF} = 4.096V$ 、 $f_{MOD} = MCLK/2$ )

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise ( $\mu V$ RMS)
16.384	32	256	67.0	19.7
16.384	128	64	16.7	4.59
16.384	512	16	4.2	2.35
16.384	2048	4	1.0	1.26
16.384	8192	1	0.262	0.78
16.384	163840	0.05	0.013	0.46

## ノイズ性能

表 29. IN2 (AFE\_GAIN = 0.364V/V)、広帯域低リップル FIR フィルタのノイズ性能と ODR の関係 (V<sub>REF</sub> = 4.096V、f<sub>MOD</sub> = MCLK/2)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise (μV RMS)
16.384	32	256	110.8	32.5
16.384	64	128	55.4	21.7
16.384	128	64	27.7	15.2
16.384	256	32	13.9	10.7
16.384	512	16	6.9	7.67
16.384	1024	8	3.5	5.51
13.107	32	204.8	88.7	31.9
13.107	64	102.4	44.3	21.5
13.107	128	51.2	22.2	14.9
13.107	256	25.6	11.1	10.6

表 30. IN2 (AFE\_GAIN = 0.364V/V)、sinc5 フィルタのノイズ性能と ODR の関係 (V<sub>REF</sub> = 4.096V、f<sub>MOD</sub> = MCLK/2)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise (μV RMS)
16.384	8	1024(16-bit)	208.9	168.4
16.384	16	512	104.4	36.8
16.384	32	256	52.2	22.2
16.384	64	128	26.1	15.2
16.384	128	64	13.1	10.7
16.384	256	32	6.5	7.66
13.107	32	204.8	41.8	21.6
13.107	64	102.4	20.9	15.0
13.107	128	51.2	10.4	10.6
13.107	256	25.6	5.2	7.50

表 31. IN2 (AFE\_GAIN = 0.364V/V)、sinc3 フィルタのノイズ性能と ODR の関係 (V<sub>REF</sub> = 4.096V、f<sub>MOD</sub> = MCLK/2)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise (μV RMS)
16.384	32	256	67.0	53.9
16.384	128	64	16.7	12.1
16.384	512	16	4.2	6.17
16.384	2048	4	1.0	3.31
16.384	8192	1	0.262	2.06
16.384	163840	0.05	0.013	1.19

表 32. IN3 (AFE\_GAIN = 0.143V/V)、広帯域低リップル FIR フィルタのノイズ性能と ODR の関係 (V<sub>REF</sub> = 4.096V、f<sub>MOD</sub> = MCLK/2)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise (μV RMS)
16.384	32	256	110.8	82.6
16.384	64	128	55.4	54.7
16.384	128	64	27.7	38.1
16.384	256	32	13.9	26.8
16.384	512	16	6.9	19.2
16.384	1024	8	3.5	13.8
13.107	32	204.8	88.7	80.6
13.107	64	102.4	44.3	53.9
13.107	128	51.2	22.2	37.5
13.107	256	25.6	11.1	22.4

## ノイズ性能

表 33. IN3 (AFE\_GAIN = 0.143V/V)、sinc5 フィルタのノイズ性能と ODR の関係 (V<sub>REF</sub> = 4.096V、f<sub>MOD</sub> = MCLK/2)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise (μV RMS)
16.384	8	1024	208.9	436.4
16.384	16	512	104.4	93.5
16.384	32	256	52.2	55.4
16.384	64	128	26.1	38.2
16.384	128	64	13.1	26.8
16.384	256	32	6.5	19.1
13.107	32	204.8	41.8	54.8
13.107	64	102.4	20.9	37.7
13.107	128	51.2	10.4	26.6
13.107	256	25.6	5.2	18.9

表 34. IN3 (AFE\_GAIN = 0.143V/V)、sinc3 フィルタのノイズ性能と ODR の関係 (V<sub>REF</sub> = 4.096V、f<sub>MOD</sub> = MCLK/2)

MCLK (MHz)	DEC_RATE	ODR (kSPS)	-3 dB Bandwidth (kHz)	RTI RMS Noise (μV RMS)
16.384	32	256	67.0	136.3
16.384	128	64	16.7	30.4
16.384	512	16	4.2	15.4
16.384	2048	4	1.0	8.17
16.384	8192	1	0.262	5.01
16.384	16384	0.05	0.013	3.22

デジタル・インターフェース

ADAQ7767-1には4線式SPIがあります。このインターフェースはSPIモード3で動作します。SPIモード3ではSCLKがアイドル・ハイになり、最初のデータはSCLKの最初の立下がりエッジ（駆動エッジ）に同期して出力され、立上がりエッジ（サンプル・エッジ）に同期して入力されます。SPIモード3の動作を図92および図93に示します。この図ではSCLKの立下がりエッジでデータを出力し、SCLKの立上がりエッジでデータをサンプリングします。

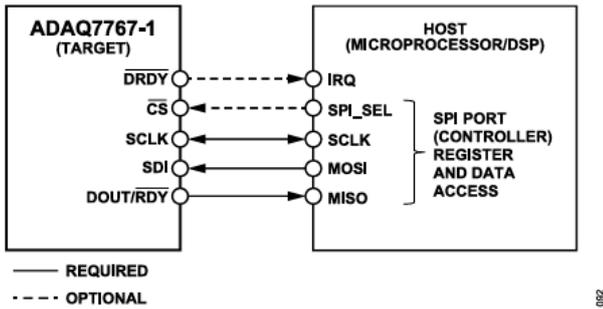


図 92. シリアル・ポートの基本接続図

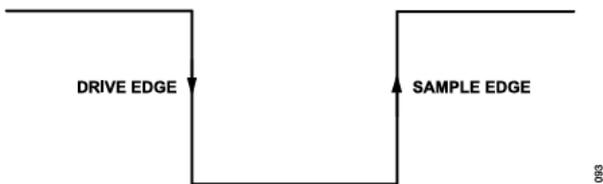


図 93. SPI モード 3

SPIでの読出しと書込み

SPI制御モードを使用するには、 $\overline{\text{PIN}}/\text{SPI}$ ピンをハイに設定します。SPI制御は4線式インターフェースとして動作し、読出し/書込みアクセスが可能になります。絶縁を必要とするシステムなどのように $\overline{\text{CS}}$ がローに接続されることがある場合は、3線式構成でADAQ7767-1を使用することができます。図92に、ADAQ7767-1とデジタル・ホストの代表的な接続例を示します。対応する3線式インターフェースでは $\overline{\text{CS}}$ ピンをローに接続して、SCLK、SDI、およびDOUT/RDYを使用する必要があります。

SPI読出しまたは書込みのフォーマットを図94に示します。読出し動作でも書込み動作でもMSBが最初のビットです。アクティブ・ローのフレーム開始信号（FS）がトランザクションを開始し、その後にR/Wビットが続きます。R/Wビットは、実行するトランザクションが読出し（1）か書込み（0）かを決定します。その次の6ビットはアドレスに使われ、その後に書込み対象である8ビットのデータが続きます。ADAQ7767-1内のレジスタは、24ビット幅のADC\_DATAレジスタ（レジスタ0x2C）を除いて全て8ビット幅です。CSをローに接続した場合は、最後のSCLK立上がりエッジでSPIトランザクションを完了し、インターフェースをリセットします。 $\overline{\text{CS}}$ をローに維持してデータをリードバックする場合は、デバイスを誤ってリセットしてSCLKが自走クロックとして動作するのを避けるために、SDIをアイドル・ハイにすることを推奨します（リセットのセクションを参照）。

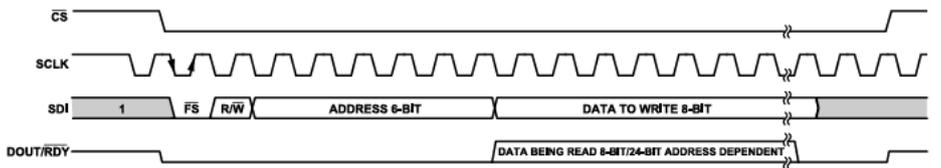


図 94. SPI の基本の読出しおよび書込みフレーム

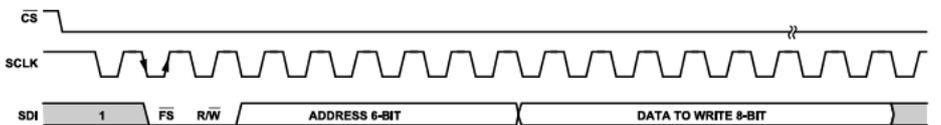


図 95. 3線式SPI書込みフレーム ( $\overline{\text{CS}} = 0$ )

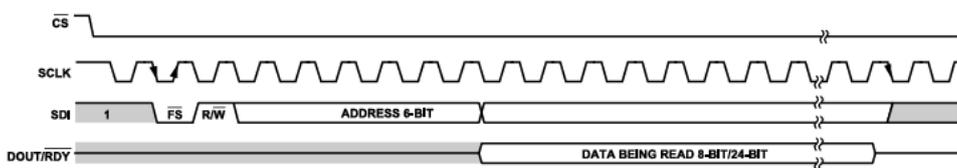


図 96. 3線式SPI読出しフレーム ( $\overline{\text{CS}} = 0$ )

## デジタル・インターフェース

## SPI 制御インターフェースのエラー処理

ADAQ7767-1 SPI 制御インターフェースは、不正なコマンドの受信を検出します。不正なコマンドとは、読み出し専用レジスタへの書き込み、存在しないレジスタ・アドレスへの書き込み、または存在しないレジスタ・アドレスからの読み出しです。ADAQ7767-1 がこれらの不正なコマンドのいずれかを受信すると、SPI\_DIAG\_STATUS レジスタ（レジスタ 0x2E）にエラー・ビットがセットされます。SPI エラー・レジスタのセクションを参照してください。

検出できる SPI エラーのソースは 5 つです。これらの検出可能エラー・ソースは、SPI\_DIAG\_ENABLE レジスタ（レジスタ 0x28）で有効にしておく必要があります。SPI 診断制御レジスタのセクションを参照してください。起動時には EN\_ERR\_SPI\_IGNORE ビット（レジスタ 0x28、ビット 4）エラーのみが有効になります。

検出可能な 5 つの SPI エラー・ソースは以下のとおりです。

- ▶ SPI CRC エラー。このエラーは、受信 CRC/排他的 OR (XOR) が計算 CRC/XOR と一致しないときに発生します。
- ▶ SPI 読み出しエラー。このエラーは、誤った読み出しアドレスが検出されたときに発生します（例えば、存在しないレジスタにアクセスしようとした場合）。
- ▶ SPI 書き込みエラー。このエラーは、誤ったアドレスへの書き込みが検出されたときに発生します（例えば、存在しないレジスタに書き込みをしようとした場合）。
- ▶ SPI クロック・カウント・エラー。SPI トランザクションが  $\overline{\text{CS}}$  によって制御されている場合に、フレームの間の SPI クロック・カウントが 8、16、24、32、または 40 のいずれでもない場合、このエラーがフラグされます。このエラーは、連続読み出しモードと通常の SPI モードの両方で検出することができます。
- ▶ SPI 無視エラー。初期起動の完了前に SPI トランザクションを実行しようとする、このエラーがフラグされます。

全ての SPI エラー・ビットはスティッキー・ビットです。つまり、該当するエラー位置にそのユーザが 1 を書き込んだ場合にのみクリア可能です。

## シリアル・インターフェースでの CRC チェック

ADAQ7767-1 では、各変換結果に最大 40 ビットを含めることができます。これらのビットは 24 ビットのデータと 8 個のステータス・ビットで構成され、SPI モードの場合のみ、8 個の CRC/XOR チェック・ビットをオプションで追加できます。

ステータス・ビットのデフォルト設定については、ステータス・ヘッダのセクションを参照してください。CRC 機能は、SPI 制御モードで動作している場合にのみ使用できます。CRC 機能の使用時は、CRC メッセージが ADAQ7767-1 によって内部で計算されます。次に、変換結果とオプションのステータス・ビットの末尾に CRC が追加されます。

ADAQ7767-1 は CRC 多項式を使用して CRC メッセージを計算します。使用する 8 ビットの CRC 多項式は  $x^8+x^2+x+1$  です。チェックサムを生成するには、データを 8 ビットシフトして 8 個のロジック 0 で終わる値を作成します。

多項式の MSB が、「コマンド・ビットおよびレジスタ・データ」の最も左にあるロジック 1 と合うように、多項式の値の位置決めを実行します。例えば、0xABCDEF からなる ADC\_DATA データを読み出すとすると以下ようになります。

初期値 = フレーム開始ビット + R/W ビット + ADDR[5:0] + ADC\_DATA[23:0]

初期値 = 0x6CABCDEF

XOR 関数をデータに適用して短い数値を新たに生成します。多項式の MSB が新たなデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めをし直します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビット・チェックサムです。これまでの例では、CRC チェックサムは 0x9E です。

SPI 書き込みが有効な場合は、INTERFACE\_FORMAT レジスタ（レジスタ 0x14）で XOR オプションが選択されているかどうかに関わらず、SPI 書き込みには常に CRC が使われます。インターフェース・フォーマット制御レジスタのセクションを参照してください。SPI トランザクションの初期 CRC チェックサムは 0x00 です。ただし連続読み出しモードでデータをリードバックする場合があります。この場合の初期 CRC チェックサムは 0x03 になります。

連続読み出しモードで XOR オプションを使用する場合は、初期値は 0x6C に設定されます。XOR オプションは SPI 読み出しでのみ使用できます。

連続読み出しモードで XOR オプションを使用する場合は、初期値は 0x6C に設定されます。XOR オプションは SPI 読み出しでのみ使用できます。

連続読み出しモードで XOR オプションを使用する場合は、初期値は 0x6C に設定されます。XOR オプションは SPI 読み出しでのみ使用できます。

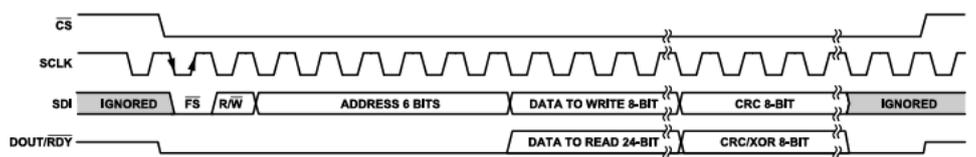


図 97. CRC 使用時のデータ出力フォーマット

## デジタル・インターフェース

## 多項式 CRC 計算の例 (24 ビット・ワード : 0x654321 (8 ビット・コマンドと 16 ビット・データ))

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

```

011001010100001100100001      = Initial Value
01100101010000110010000100000000 left shifted eight bits
100000111                       = x^8 + x^2 + x + 1 polynomial value
100100100000110010000100000000 XOR result
100000111                       polynomial value
1000110001100100001000000000 XOR result
100000111                       polynomial value
111111100100001000000000 XOR result
100000111                       polynomial value
111110111000010000000000 XOR result
100000111                       polynomial value
1111000000001000000000 XOR result
100000111                       polynomial value
11100111000100000000 XOR result
100000111                       polynomial value
11001001001000000000 XOR result
100000111                       polynomial value
100101010100000000 XOR result
100000111                       polynomial value
1011011000000000 XOR result
100000111                       polynomial value
11010110000000 XOR result
100000111                       polynomial value
101010110000 XOR result
100000111                       polynomial value
1010001000 XOR result
100000111                       polynomial value
10000110 XOR result; checksum = 0x86

```

## XOR 計算の例 (24 ビット・ワード : 0x654321 (8 ビット・コマンドと 16 ビット・データ))

前の例と同じ例を使うとして、次のように 3 バイト (0x65、0x43、0x21) に分割できます。

```

01100101 0x65
01000011 0x43
00100110 XOR result
00100001 0x21
00000111 XOR result; checksum = 0x07

```

## デジタル・インターフェース

## 変換読出しモード

ADAQ7767-1 のデジタル・インターフェースは、モード 3SPI で動作する 4 線式 SPI 実装です。メモリ・マップ・アドレス空間にアクセスするには、8 ビットの書込み命令が必要です。ADC データ・レジスタを除き、レジスタは全て 8 ビット幅です。

ADAQ7767-1 のデフォルト動作モードは連続変換モードです。データを読み出すかどうかはユーザが決定する必要があります。

ADC の変換結果へのアクセスには、シングル変換読出しモードと連続読出しモードの 2 つの読出しモードを使用できます。

シングル変換読出しモードが基本的な SPI 読出しサイクルで、この場合 ADC データ・レジスタを読み出すには 8 ビットの命令を書き込む必要があります。ステータス・レジスタは、必要に応じて個別に読み出さなければなりません。

連続読出しモードにするには、**インターフェース・フォーマット制御レジスタ** (レジスタ 0x14) に 1 を書き込みます。その後のデータ読出しでは、ADC\_DATA レジスタへのクエリを行うために最初に 8 ビットを書き込む必要はありません。データの連続リードバックを行うために必要なのは、必要な数の SCLK を入力することだけです。連続モードでの SPI 読出しを図 98 に示します。

インターフェースに関して考慮すべき点は、以下のとおりです。

- ▶ 変換データは、 $\overline{\text{DRDY}}$  の立上がりエッジ後にリードバック可能な状態になります。連続読出しモードでは、 $\overline{\text{DRDY}}$  機能を有効にして  $\overline{\text{RDY}}$  機能を無視することができます。データは  $\overline{\text{RDY}}$  の立下がりエッジでリードバック可能な状態になります。
- ▶ ADC 変換データ・レジスタは、 $\overline{\text{DRDY}}$  の立上がりエッジよりも MCLK の 1 周期分前の時点で内部で更新されます。
- ▶ MCLK の最大周波数は 16.384MHz です。
- ▶ SCLK の最大周波数は 20MHz です。
- ▶  $\overline{\text{DRDY}}$  のハイ時間は  $1 \times t_{\text{MCLK}}$  です。
- ▶ 高速パワー動作モードにおけるデシメーション・レートは 32、 $\overline{\text{DRDY}}$  の周期は約 4 $\mu\text{s}$  で、最速変換時には  $\overline{\text{DRDY}}$  の周期は 1 $\mu\text{s}$  になります。
- ▶  $\overline{\text{CS}}$  の立上がりエッジで、シリアル・データ・インターフェースがリセットされます。 $\overline{\text{CS}}$  をローに接続した場合は、SPI トランザクションの最後の SCLK 立上がりエッジで、シリアル・インターフェースがリセットされます。インターフェースがリセットされるポイントは、通常読出し動作で  $16 \times \text{SCLK}$ 、ADC 変換データおよびステータス・ヘッダと CRC ヘッダをリードバックする場合で最大  $40\text{SCLK}$  に相当します。

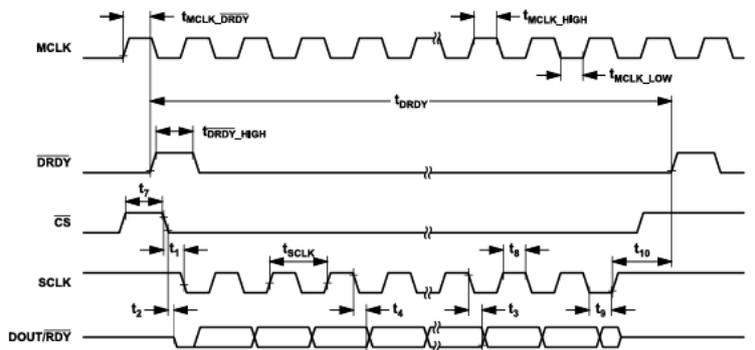


図 98. シリアル・インターフェースのタイミング図 (例示したのは連続読出しモードでの ADC 変換結果読出し)

## デジタル・インターフェース

## シングル変換読出しモード

シングル変換読出しモード使用時、ADC\_DATA レジスタへのアクセスは、通常の SPI 読出しトランザクションと同様の方法で行うことができます。ADC\_DATA レジスタ (レジスタ 0x2C) は 24 ビット幅です。変換結果レジスタのセクションを参照してください。したがって、変換結果を読み出すには 32SCLK サイクルが必要です。

## 連続読出しモード

ADC データ・レジスタを読み出すためにその都度コマンドを書き込まなければならないというオーバーヘッドをなくすため、データ・レディ信号が出力された後に ADC レジスタを直接読み出せるように、ADC を連続読出しモードにすることができます (図 98 参照)。連続読出しモードでは、最初に受信した SCLK の立下がりエッジでデータが出力されます。したがって、変換結果を読み出すのに必要な SCLK サイクルは 24 サイクルだけです。この連続読出しモードでは、ステータス・ヘッダもしくは CRC ヘッダ (それぞれ 8 ビット) の一方または両方を変換結果に追加することも可能です。ステータス・ヘッダと CRC ヘッダの両方がイネーブルされている場合、データ・フォーマットは「ADC データ + ステータス・ビット + CRC」です。

図 99 に示すように、 $\overline{\text{RDY}}$ 機能を使用しない場合は、 $\overline{\text{DRDY}}$ 周期内で ADC 変換結果を複数回読み出すことができます。 $\overline{\text{RDY}}$ 機能が有効な場合は、ADAQ7767-1 の変換結果を読み出した後に DOUT/RDY ピンがハイになるので、データを複数回読み出すことはできません (図 100 参照)。 $\overline{\text{RDY}}$ 機能は、インターフェース・フォーマット制御レジスタの EN\_RDY\_DOUT ビット (レジスタ 0x14、ビット 2) をロジック・ローにセットすることで、有効化できます。

連続リードバックは、 $\overline{\text{PIN}}$ 制御モードで使用するリードバック・モードです。ただしこのモードでは、データ出力フォーマットが固定され、DOUT ピンに  $\overline{\text{RDY}}$ 用のオプションはありません。詳細については、ピン制御モードの概要のセクションを参照してください。

LV\_BOOST ビット (インターフェース・フォーマット制御レジスタ、レジスタ 0x14 のビット 7) を有効化して連続読出しモードを使用する場合は、連続読出しモードを終了するごとに LV\_BOOST を有効化し直す必要があります。

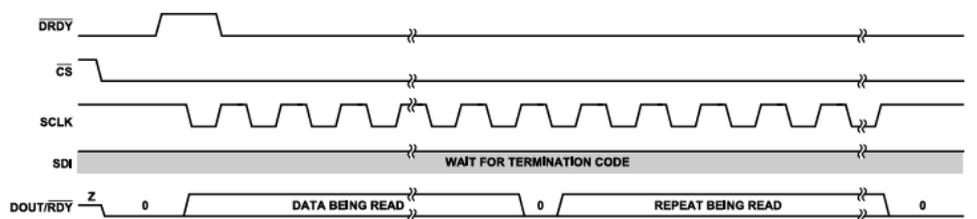


図 99.  $\overline{\text{RDY}}$ 機能を無効にした場合の連続 ADC 読出しデータ・フォーマット

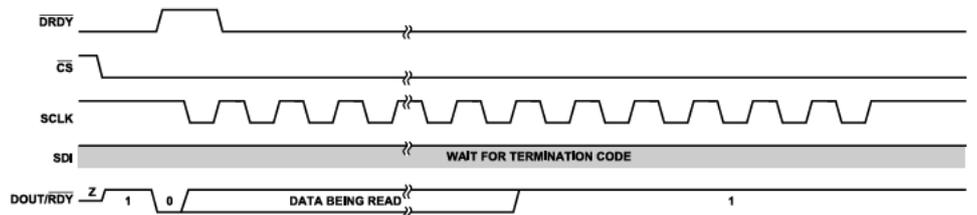


図 100. DOUT/RDY ピンの  $\overline{\text{RDY}}$ 機能を有効にした場合の連続 ADC 読出しデータ・フォーマット

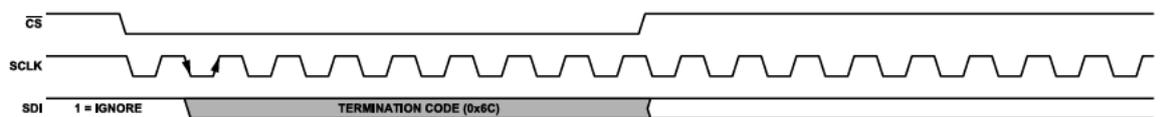
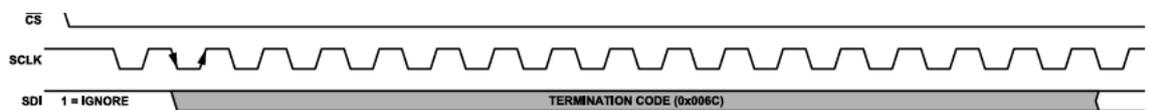
## デジタル・インターフェース

## 連続読出しモードの終了

連続読出しモードを終了するには、キー0x6CをSDIに書き込みます。このキーは、レジスタ・マップへのアクセスをもう一度可能にしてデバイスの追加設定を行えるようにします。通常のSPI書き込みに従うために、このキーの入力後に $\overline{CS}$ 信号を使用してSPIをリセットします。 $\overline{CS}$ を制御できずローに固定されている場合は、SPIの同期を保てるようにトランザクションを完了させるの

に16SCLKが必要です。例えば $\overline{CS}$ がローに固定されている場合、3線式インターフェースを使用するときは0x006Cを書き込んで連続読出しモードを終了します。デバイスが連続読出しモードを正常に終了できるようにするには、2つの $\overline{DRDY}$ パルスの中に終了コマンドを書き込む必要があります。

このモードではソフトウェア・リセットも終了コマンドと同じ方法で書き込むことができますが、0x6Cではなく0xADを書き込むことによって行います。

図 101. 連続読出しモードの終了 ( $\overline{CS}$ がトグル)図 102. 連続読出しモードの終了 ( $\overline{CS} = 0$ )

## データ変換モード

SPI 制御モードでは、以下の4つのデータ変換モードを使用できます。

- ▶ 連続変換
- ▶ ワンショット変換
- ▶ シングル変換
- ▶ デューティサイクル変換

デフォルトは連続変換です。変換モードを変更するには、[変換ソース選択およびモード制御レジスタ](#)の CONV\_MODE ビット (レジスタ 0x18、ビット[2:0]) に書き込みを行います。フィルタ設定やデータ変換モードなどの変更を含め、ADAQ7767-1 の設定に何らかの変更を加えた場合は、 $\overline{\text{SYNC\_IN}}$ パルスをデバイスに入力する必要があります。

### 連続変換モード

連続変換モードでは、ADC が連続的に変換を行い、ODR によって決まる間隔で新しい ADC 結果を使用できるようになります。これは、SPI 制御モードのデフォルト変換動作であり、広帯域低リップル FIR フィルタで使用できる唯一のデータ変換モードです。SPI 制御モードでは2つのデータ・リードバック方法を使用できますが、これらについては[変換読出しモード](#)のセクションで説明しています。

### ワンショット変換モード

[図 103](#) に、ワンショット変換モードで動作しているデバイスを示します。このモードでは、DSP や FPGA などのコントローラ・デバイスのリクエストによって変換が行われます。 $\overline{\text{SYNC\_IN}}$ ピンが、データ出力を開始するコマンドを受信します。

ワンショット変換モードでは ADC が連続して動作します。ただし、 $\overline{\text{SYNC\_IN}}$ ピンの立上がりで、データ出力を開始する時間的ポイントを制御します。

データを受信するには、コントローラ・デバイスが $\overline{\text{SYNC\_IN}}$ ピンにパルスを入力して、フィルタをリセットし $\overline{\text{DRDY}}$ をロー・レベルにする必要があります。その後 $\overline{\text{DRDY}}$ がハイ・レベルになって、セトリングされた有効なデータをデバイスで使用できることをコントローラ・デバイスに示します。

コントローラが $\overline{\text{SYNC\_IN}}$ をアサートして ADAQ7767-1 がこの信号の立上がりエッジを受信すると、デジタル・フィルタがリセットされ、フィルタの全セトリング・タイム経過後にデータが安定して、出力が使用可能になります。セトリング・タイムの期間は、フィルタ・パスとデシメーション・レートによって決まります。ワンショット変換モードは sinc5 または sinc3 フィルタとのみ使用可能です。これは、これらのフィルタのセトリング・タイムが最も短いことによります。ワンショット変換モードを、広帯域低リップル FIR フィルタを使用するためのオプションとして使用することはできません。

セトリングしたデータが使用できるようになると、 $\overline{\text{DRDY}}$ 信号がパルス出力されます。 $\overline{\text{SYNC\_IN}}$ 信号から ADC パスのデータのセトリングが完了するまでの時間 ( $t_{\text{SETTLED}}$ ) を [図 103](#) に示します。セトリングしたデータが使用できるようになると、 $\overline{\text{DRDY}}$ がハイにアサートされて変換結果を読み出せるようになります。その後、デバイスは別の $\overline{\text{SYNC\_IN}}$ 信号を待機してから、更にデータを出力します。

セトリング・タイムは、使用フィルタのセトリング・タイムを基準に計算され、ワンショット変換を開始するためある程度のレイテンシが追加されます。このセトリング・タイムが、ワンショット変換モードにおける実現可能な全体的スループットを制限します。

ADC は連続的にサンプリングを行うので、ワンショット変換モードは ADAQ7767-1 のサンプリング規則に影響を与えます。

$\overline{\text{SYNC\_IN}}$ パルスをデバイスに定期的送信することは、ADC 出力をサブサンプリングすることになります。ここで、このサブサンプリング・レートを中心とする帯域幅が、ベースバンドにエイリアスとして現れる可能性があります。サンプリングをコヒーレントなものとし、周波数応答へのジッタの影響を軽減するために、 $\overline{\text{SYNC\_IN}}$ パルスをコントローラ・クロックと同期させ続けることを検討してください。これを行わないと、出力に大きな歪みが生じます。

必要とされる ADAQ7767-1 の SPI 設定は、ワンショット変換モードへの切替え前に連続変換モードで行います。

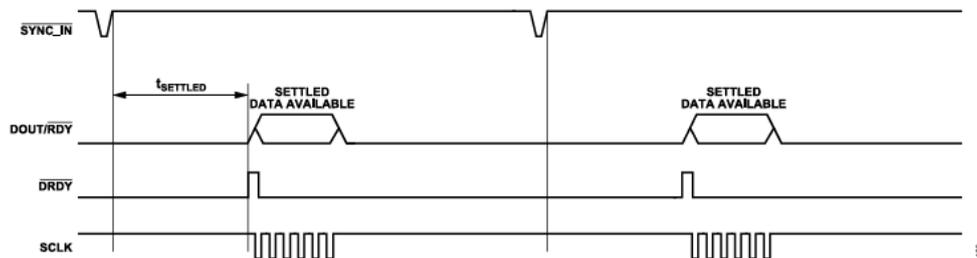


図 103. ワンショット変換モード、外部ソースで $\overline{\text{SYNC\_IN}}$ ピンを駆動

## データ変換モード

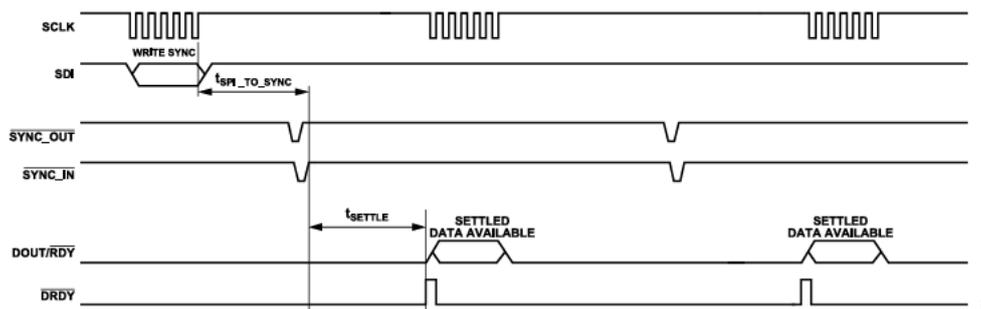


図 104. ワンショット変換モード、レジスタ書き込みによって SYNC\_IN パルスを開始

## シングル変換モード

シングル変換モードでは、ADC がスタンバイ状態から動作を再開して変換を行い、変換後に再びスタンバイになります。ロー・パワー動作モードまたは中間パワー動作モードではシングル変換モードのみを使用してください。読出しを開始してその後に ADC の変換結果をリードバックするには、コマンドを送信する必要があります。スタンバイを終了して新しい変換を開始するには、 $\overline{\text{SYNC\_IN}}$  ピンのトグルを使用します。

M0\_ADC および M1\_ADC が M0\_FDA および M1\_FDA に接続されている場合、ADC がスタンバイになると FDA は自動的にスタンバイになります（完全差動アンプ (FDA) のパワー・モードのセクションを参照）。

必要とされる ADAQ7767-1 の SPI 構成は、シングル変換モードへの切替え前に連続変換モードで行う必要があります。

## デューティサイクル変換モード

デューティサイクル変換モードでは、ADC がスタンバイ状態から動作を再開して変換を行い、変換後に再びスタンバイになります。各変換の周期はユーザ設定可能で、ADC はスタンバイに戻る前に自動的にシングル変換を行い、設定された周期でシングル変換を繰り返します。ロー・パワー動作モードまたは中間パワー動作モードではデューティサイクル変換モードのみを使用してください。デューティサイクル変換モードでは、DC ポイント変換の消費電力を減らし、変換のタイミングおよび開始に伴うオーバーヘッドをなくすための方法が可能です。

デューティサイクル変換モードのシーケンスを開始するには、 $\overline{\text{SYNC\_IN}}$  ピンのトグルを使用します。 $\overline{\text{DRDY}}$  は、結果がセトリングした時点でトグルを 1 回行います。デバイスはその後再びスタンバイになります。周期的変換レート制御レジスタ（レジスタ 0x1C）は、定義されたアイドル時間を制御します。

M0\_ADC および M1\_ADC が M0\_FDA および M1\_FDA に接続されている場合、ADC がスタンバイになると FDA は自動的にスタンバイになります（完全差動アンプ (FDA) のパワー・モードのセクションを参照）。

必要とされる ADAQ7767-1 の SPI 構成は、デューティサイクル変換モードへの切替え前に、連続変換モードで行う必要があります。

## 複数の ADAQ7767-1 デバイスの同期

1つのシステム内で複数の ADAQ7767-1 デバイスを使用する場合、同期が重要な考慮事項となります。各デバイスが同じベース MCLK 信号でクロックされていることが、複数のデバイスを同期するための基本的な条件です。ADAQ7767-1 の起動後、およびその設定に何らかの変更を加えた後は、いずれも ADAQ7767-1 に  $\overline{\text{SYNC\_IN}}$  パルスを入力してください。このパルスはデジタル・フィルタをフラッシュ・アウトしてデバイスを既知の設定とし、システム内の複数のデバイスを同期させる役割を果たします。

ADAQ7767-1 は、システムの同期を容易にする 3つのオプションを備えています。どのオプションを選択するかはシステムによって決まります。ただし、考慮すべき最も基本的なことは、ベース MCLK 信号と完全に同期された同期パルスを供給できるかどうかということです。

ベース MCLK 信号に同期された信号を使用できない場合は、以下のいずれかの方法を使用します。

- ▶ システム内にある ADAQ7767-1 のうち 1つのデバイスの GPIOx ピンを  $\overline{\text{START}}$  入力として設定し、設定した GPIOx ピンに  $\overline{\text{START}}$  パルスを入力します。 $\overline{\text{SYNC\_OUT}}$  ピンの出力を、同じデバイスおよび同期する他の全てのデバイスの  $\overline{\text{SYNC\_IN}}$  入力に接続してください。ADAQ7767-1 は非同期  $\overline{\text{START}}$  パルスをサンプリングし、ベース MCLK 信号を基準にローカル配布用の  $\overline{\text{SYNC\_OUT}}$  パルスを生成します。
- ▶ SPI を介して同期を行います (SPI 制御モードでのみ使用可能、図 88 参照)。予め決められた ADC デバイスの 1つに同期コマンドを書き込んでください。このデバイスの  $\overline{\text{SYNC\_OUT}}$

ピンを、同じデバイスの  $\overline{\text{SYNC\_IN}}$  ピンおよび他のデバイスの  $\overline{\text{SYNC\_IN}}$  ピンにローカルで接続します。 $\overline{\text{START}}$  ピンによる方法と同様に、1つのデバイスによって SPI 同期が受信され、続いて、 $\overline{\text{SYNC\_OUT}}$  信号がローカル・デバイスに送られて同期できるようになります。

ベース MCLK に同期した  $\overline{\text{SYNC\_IN}}$  信号を使用できる場合は、 $\overline{\text{SYNC\_IN}}$  同期信号をスター・ポイントから  $\overline{\text{SYNC\_IN}}$  ピンに入力して、それぞれの ADAQ7767-1 デバイスのピンに直接接続します。 $\overline{\text{SYNC\_IN}}$  信号は MCLK の立上がりエッジでサンプリングされます。したがって、セットアップ・タイムとホールド・タイムは、ADAQ7767-1 の MCLK 立上がりエッジを基準とした  $\overline{\text{SYNC\_IN}}$  入力に関連付けられています (図 7 参照)。

この場合  $\overline{\text{SYNC\_OUT}}$  は不要なので、無接続のままにするか VDD\_IO に接続することができます。GPIOx は  $\overline{\text{START}}$  機能には不要なので、別の目的に使用できます。図 105 は、チャンネル間が絶縁されたシステムでの同期を示しています。

同期機能は、 $\overline{\text{DRDY}}$  パルスの直後に実行することを推奨します。ADAQ7767-1 の  $\overline{\text{SYNC\_IN}}$  パルスの発生位置が次の  $\overline{\text{DRDY}}$  パルス・エッジに近すぎる場合、 $\overline{\text{SYNC\_IN}}$  パルスがまだデバイス内に伝達されていないため、次の  $\overline{\text{DRDY}}$  パルスがそのまま出力されることがあります。

1.8V の VDD\_IO 電圧で  $\overline{\text{SYNC\_OUT}}$  機能を使用する場合は、同期モードおよびリセット・トリガリング・レジスタの  $\overline{\text{SYNC\_OUT\_POS\_EDGE}}$  ビット (レジスタ 0x1D、ビット 6) を 1 に設定することを推奨します。

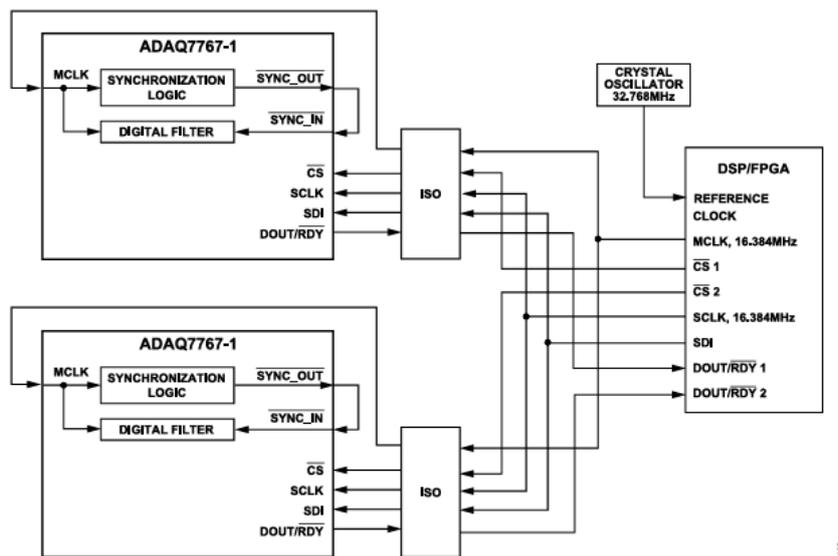


図 105. チャンネル間が絶縁されたシステムでの同期

## ADAQ7767-1 のその他の機能

### リセット

デバイスを起動した後は、フル・リセットを行うことを推奨します。ADAQ7767-1 でリセットを行うときは、以下を含む複数のオプションを使用できます。

- ▶ 専用の **RESET** ピンを使用する方法。 [ピン配置およびピン機能の説明](#) のセクションを参照してください。
- ▶ 連続読出しモードでは、ADAQ7767-1 は終了コマンドまたは **0xAD** のリセット・コマンドをモニタします。詳細については、 [連続読出しモードの終了](#) のセクションを参照してください。
- ▶ **同期モードおよびリセット・トリガリング・レジスタ** (レジスタ **0x1D**) に連続で 2 回の書き込みを行うことによって、ソフトウェア・リセットを行うことができます。
- ▶ **CS** がローに維持されているときは、1 とその後続く 63 個の 0 を SDI にクロック入力することでリセットを行うことができます。これは、パワーダウン・モードを終了するために使用する **SPI レジューム・コマンド** のリセット機能です。

**RESET** から SPI 書き込みまでには、少なくとも **200μs** の時間が必要です。

### ステータス・ヘッダ

SPI 制御モードでは、ADAQ7767-1 が連続リードバック・モードで動作しているときに、変換結果の後にステータス・ヘッダを出力することができます。ステータス・ヘッダは、**MASTER\_STATUS** レジスタ (レジスタ **0x2D**) を反映します。詳細については、 [デバイス・エラー・フラグ・メイン・レジスタ](#) のセクションを参照してください。

**PIN** 制御モードでは、デフォルトで変換結果の後にステータス・ヘッダが出力されます。ステータス・ヘッダには以下のビットと機能が含まれます。

- ▶ **MASTER\_ERROR** ビットは発生した他の全てのエラーの OR で、これをモニタすれば問題が発生したことを短時間で示すことができます。
- ▶ **ADC 診断出力レジスタ** (レジスタ **0x2F**) 内に何らかのエラーが発生すると、**ADC\_ERROR** ビットが 1 に設定されます。このビットは、 [ADC 診断出力レジスタ](#) 内のエラー・ビットの OR です。
- ▶ **デジタル診断出力レジスタ** (レジスタ **0x30**) 内に何らかのエラーが発生すると、**DIG\_ERROR** ビットが 1 に設定されます。このビットは、 [デジタル診断出力レジスタ](#) 内のエラー・ビットの OR です。
- ▶ 有効なクロックが検出されなかった場合は、**ERR\_EXT\_CLK\_QUAL** ビット (レジスタ **0x2D**、ビット 4 およびレジスタ **0x2F**、ビット 0) がセットされます ([クロックの品質評価](#) のセクションを参照)。
- ▶ デジタル・フィルタが正または負のフル・スケールにクリップされた場合は、**FILT\_SATURATED** ビット (レジスタ **0x2D**、ビット 3 およびレジスタ **0x2F**、ビット 2) が 1 に設定されます。クリッピングは、アナログ入力範囲を超えるアナログ入力、またはデジタル・フィルタに大きなオーバーシュートを発生させる大きなステップ入力デバイスに入力されることによって発生します。更に、**ADC ゲイン・レジスタ** の設定が正しくない場合は、フィルタが飽和することがあります。フ

ル・スケール信号と大ゲインの組み合わせは、デジタル・フィルタを飽和させます。

- ▶ デジタル・フィルタの出力がセトリングしていない場合は、**FILT\_NOT\_SETTLED** ビット (レジスタ **0x2D**、ビット 2 およびレジスタ **0x2F**、ビット 1) が 1 に設定されます。デジタル・フィルタは **RESET** パルスの後、または **SYNC\_IN** コマンドの受信後にクリアされます。**SYNC\_IN** からデータがセトリングするまでの時間を、フィルタ・タイプごとに [表 14](#)、[表 15](#)、[表 20](#) に示します。広帯域低リップル FIR フィルタを使用する場合、**FILT\_NOT\_SETTLED** ビットを更新してデバイス全体にその結果を伝達する方が、ステータス・ヘッダを読み出すよりも時間がかかります。この **FILT\_NOT\_SETTLED** ビットは、実際にデータ出力がセトリングした時点ではセットされたままになります。デジメーション・レート **1024** に設定された広帯域低リップル FIR フィルタの更新遅延は、最も長い場合で **128MCLK** サイクルです。この場合、リードバックが **128MCLK** サイクル遅延したとすると、**FILT\_NOT\_SETTLED** ビットを更新する時間が生じます。データがセトリングを完了するまでの時間は、[表 14](#)、[表 15](#)、[表 20](#) に示すデータと同じです。
- ▶ **SPI エラー・レジスタ** (アドレス **0x2E**) 内に何らかのエラーが発生すると、**SPI\_ERROR** ビット (レジスタ **0x2D**、ビット 1) が 1 に設定されます。このビットは、 [SPI エラー・レジスタ](#) のエラー・ビットの OR です。
- ▶ **POR\_FLAG** ビット (レジスタ **0x2D**、ビット 0) は、リセットが行われるか、電源の一時的なブラウンアウトが発生するとセットされます。**PIN** 制御モードでは、**POR** フラグではなく常にこのビットを 1 に設定することによって、インターフェースが正常に動作しているかどうかを示します。

### 診断機能

ADAQ7767-1 は内部診断機能を備えており、ADC の機能と ADC の動作環境の両方をチェックすることができます。内部診断機能は、**CONVERSION** レジスタ (レジスタ **0x18**) で有効にします。 [変換ソース選択およびモード制御レジスタ](#) (レジスタ **0x18**) を参照してください。診断機能を使用するには、デバイスをエコ・モードで **MCLK\_DIV = MCLK/16** に設定して、直線性向上バッファをイネーブルする必要があります。使用可能な診断機能は次のとおりです。

- ▶ 温度センサーはオンチップ温度センサーで、おおよその温度を測定します。測定された温度変化に対する DC 変換電圧の変化率は、約 **0.6mV/°C** (出力換算 (RTO)) です。例えば、周囲温度における変換結果は約 **180mV** (RTO、**ADC\_DATA** はおよそ **0x059FFF**) です。温度が **50°C** 上昇すると指示値は約 **210mV** (RTO、**ADC\_DATA** はおよそ **0x068FFF**) となり、例えば信号生成に不具合が生じたり、システム補正の必要が生じたりする可能性があります。
- ▶ **ADC** 入力短絡するとコア **ADC** の入力ピンが **FDA** と切り離され、コア **ADC** 入力の内部短絡が形成されます。
- ▶ 正のフル・スケールが選択されている場合、変換される電圧は **VREF+** です。
- ▶ 負のフル・スケールが選択されている場合、変換される電圧は **VREF-** です。

アプリケーション情報

状態基準保全 (CBM) アプリケーション

ADAQ7767-1 の一般的なアプリケーションの 1 つは、圧電センサーを用いた CBM です。図 106 に示すアプリケーションでは、ADG5421F をフォルト保護スイッチ、LT3092 をセンサーをバイアスするための電流源、ADA4610-1 を高インピーダンス・バッファとして用いることで、電子回路内蔵圧電 (IEPE) センサーを ADAQ7767-1 とインターフェースできます。3 線式負電圧加速度センサーには、図 107 に示すようにわずかに異なるインターフェースを用います。電圧源を用いてシグナル・チェーンをテストす

る場合は常に、スイッチを介して電流源またはバイアスを切り離してください。これらのアプリケーションのソリューションは、ADAQ7767-1 の IN3+ 入力および IN3- 入力を用いて、+2.5V ~ +21.5V または -21.5V ~ +2.5V の振動信号を変換するよう設計されています。ADA4610-1 はどちらの電源レールからも ±2.5V のヘッドルームがあるため、入力範囲は狭くなりますが、それにもかかわらず、市販の圧電センサーの動作範囲をカバーします。ADAQ7767-1 は DC 性能が優れているため、センサーはシステムと DC カップリングして信号をヘルツ未満の周波数の分解能で変換できます。

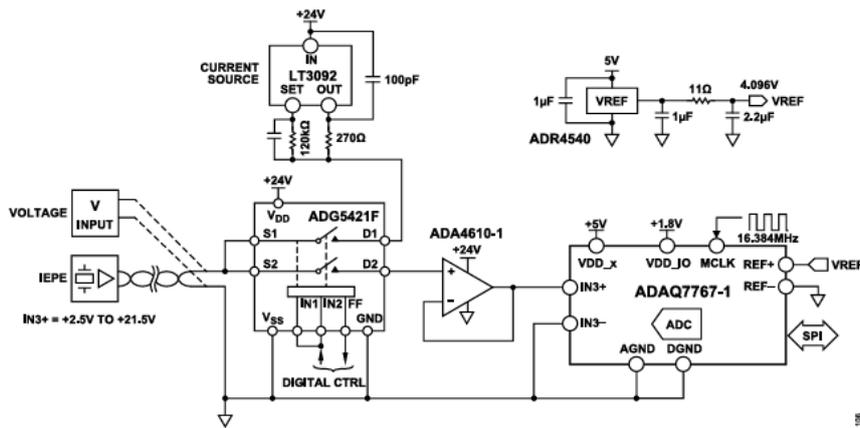


図 106. DC カップリングした IEPE センサー・アプリケーション、IN3+ = 2.5V ~ 21.5V

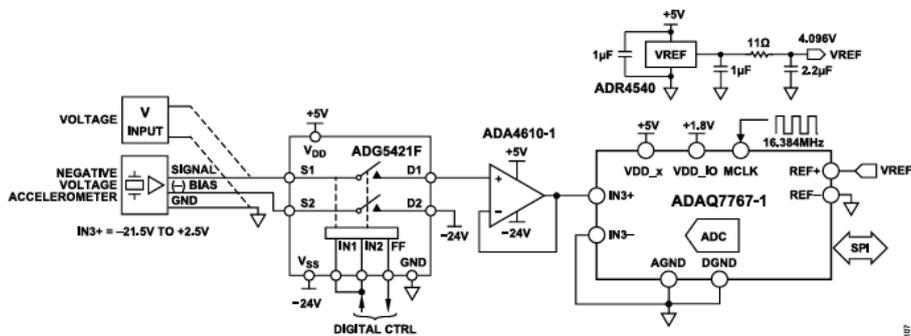


図 107. DC カップリングした 3 線式負電圧加速度センサー・アプリケーション、IN3+ = -21.5V ~ +2.5V

アプリケーション情報

アナログ入力

差動入力

図 108、図 109、図 110 に、ADAQ7767-1 の IN1+ と IN1-、IN2+ と IN2-、または IN3+ と IN3- にそれぞれ 1、0.36、0.14 のゲインで異なるコモンモード電圧の差動信号を印加する、代表的なアプリケーション例を示します。V<sub>REF</sub> = 4.096V を仮定しています。

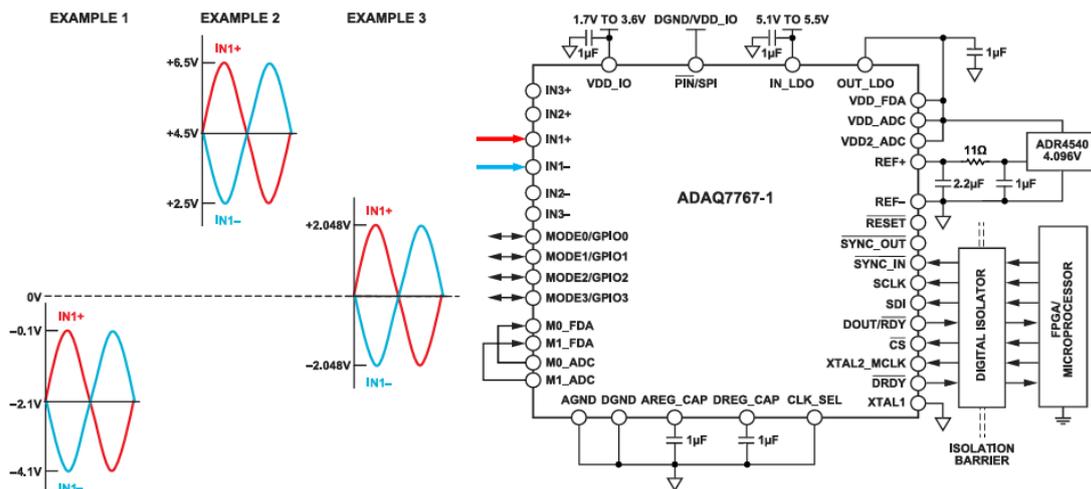


図 108. ADAQ7767-1 の IN1+ と IN1- への差動入力設定 (AFE\_GAIN = 1V/V)

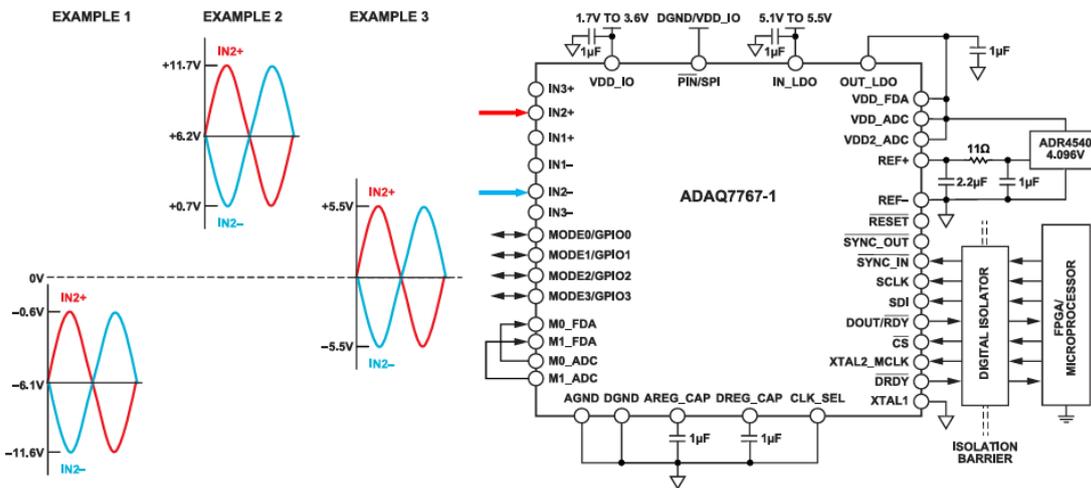


図 109. ADAQ7767-1 の IN2+ と IN2- への差動入力設定 (AFE\_GAIN = 0.36V/V)

アプリケーション情報

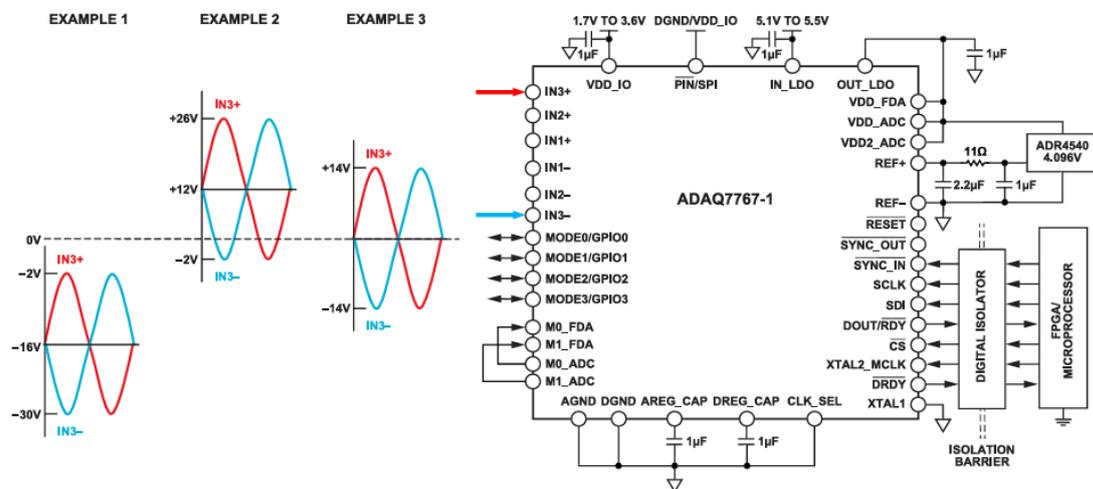


図 110. ADAQ7767-1 の IN3+ と IN3- への差動入力設定 (AFE\_GAIN = 0.14V/V)

アプリケーション情報

シングルエンド入力

図 111、図 112、図 113 に、ADAQ7767-1 の IN1+ と IN1-、IN2+ と IN2-、または IN3+ と IN3- にそれぞれ 1、0.36、0.14 のゲインでシングルエンド信号を印加する、代表的なアプリケーション例を示します。V<sub>REF</sub> = 4.096V を仮定しています。

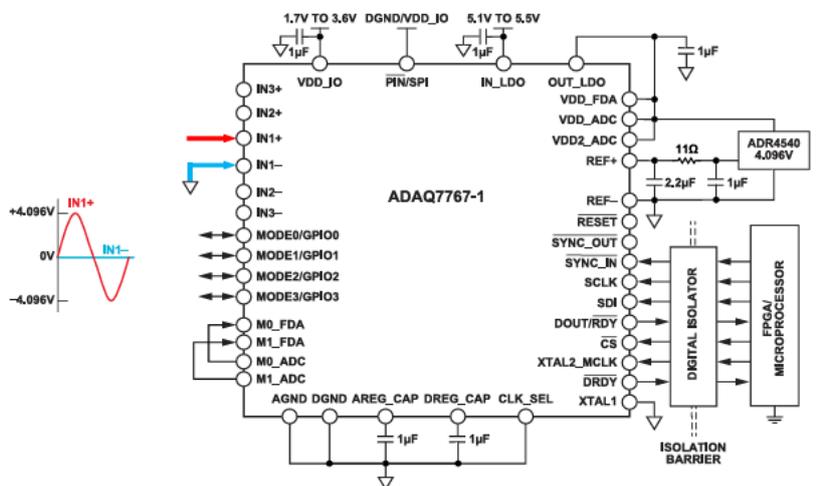


図 111. ADAQ7767-1 の IN1+ と IN1- へのシングルエンド入力設定 (AFE\_GAIN = 1V/V)

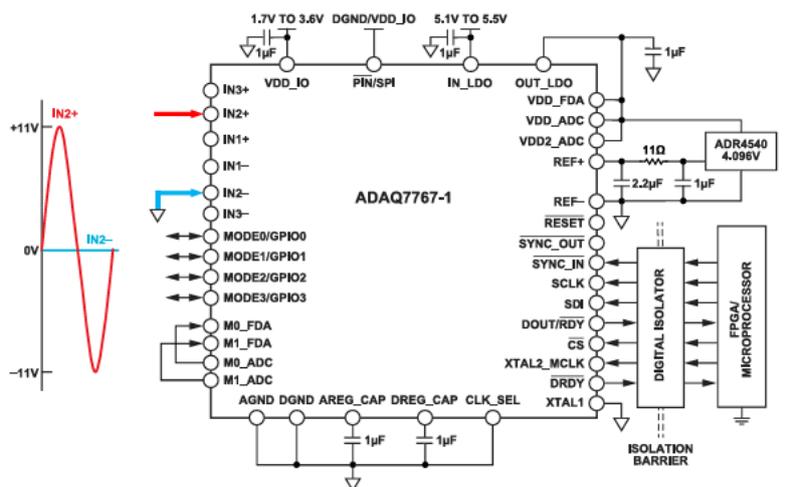


図 112. ADAQ7767-1 の IN2+ と IN2- へのシングルエンド入力設定 (AFE\_GAIN = 0.36V/V)

アプリケーション情報

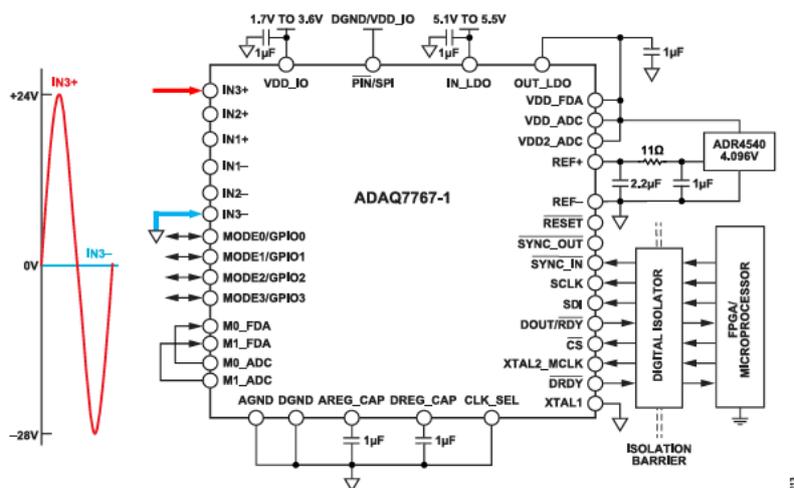


図 113. ADAQ7767-1 の IN3+ と IN3- へのシングルエンド入力設定 (AFE\_GAIN = 0.14V/V)

アプリケーション情報

センサーとのインターフェース

図 114 のアプリケーション構成図は、ADAQ7767-1 を単一のセンサーで使用するための代表例を示します。このアプリケーションでは、ユーザ設計による固定ゲインの外部シグナル・コンディショニング回路が、センサーと ADAQ7767-1 の間でバッファ動作をしています。

図 115 には、複数のセンサーを用いても ADAQ7767-1 を使用できる例を示します。この場合、ユーザ設計の外部 PGIA が複数のセンサー入力をマルチプレックスしてバッファします。ADAQ7767-1 には、ユーザ設計 PGIA チャンネルごとにゲインを設定するよう構成できる GPIO ピンがあります。

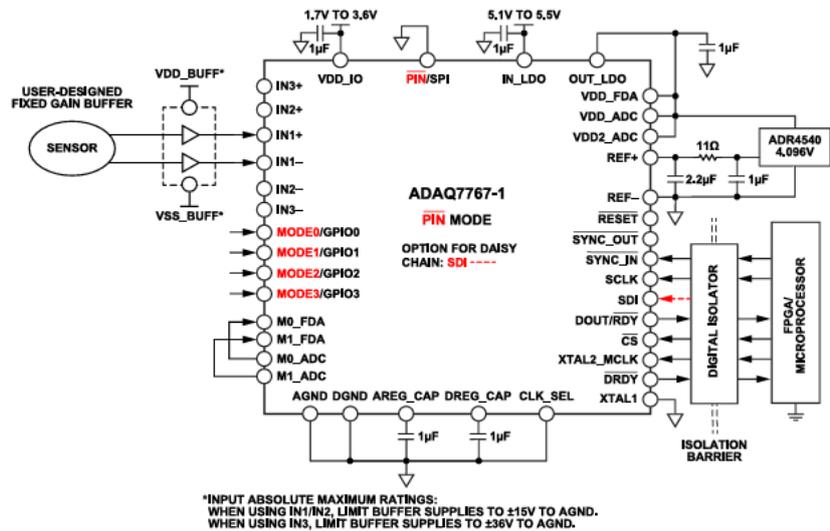


図 114. 1 つのセンサー入力と PIN モードを含む DAQ システムの代表的なアプリケーション図

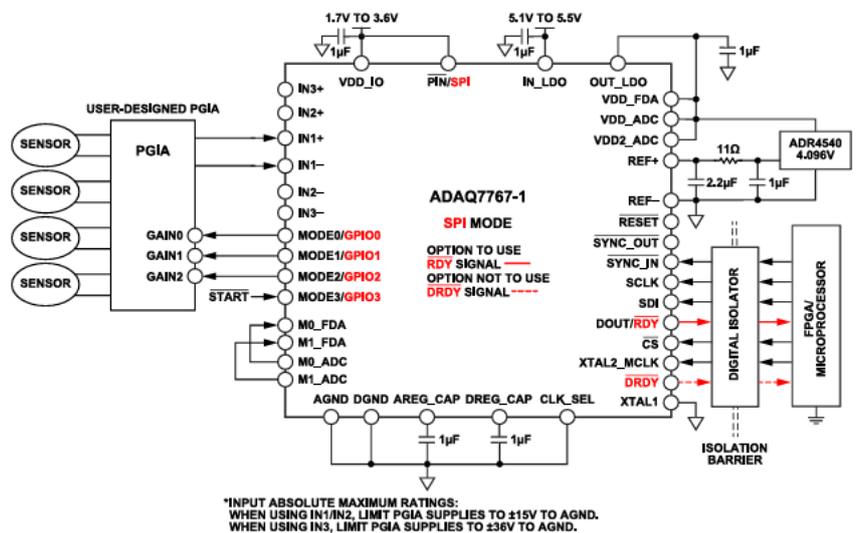


図 115. 複数のセンサー入力と SPI モードを含む DAQ システムの代表的なアプリケーション図

## アプリケーション情報

## PIN制御モードおよび SPI 制御モード

## PIN制御モード

ADAQ7767-1 は、 $\overline{\text{PIN}}$  と SPI のどちらのモードでも設定でき、それぞれの別個の利点については、[デバイスの設定方法](#)のセクションで説明されています。 $\overline{\text{PIN}}$ モードの利点の1つが[図 114](#)に示されています。ここでは、 $f_{\text{MOD}}$ 周波数、デジタル・フィルタのタイプ、デシメーション・レートなどの ADC 設定が、MODEx ピンを用いて[表 22](#)に示す事前に定められたモードのリストに従って設定されます。この機能により、ADC 設定の選択が容易になり、これらの設定を制御する ADC レジスタへ書き込みを行う必要がなくなります。書き込みが許容されないため、SDI ピンをデイジーチェーン用に使用できます。これは $\overline{\text{PIN}}$ 制御モードでのみ可能です。 $\overline{\text{PIN}}$ 制御モードを使用するには、起動時に $\overline{\text{PIN}}$ /SPI ピンをグラウンドに接続します。

## SPI 制御モード

[図 115](#) は SPI 制御モードのアプリケーション例を示しています。ここでは、GPIO を用いて PGIA のゲインを制御しています。この制御を行うには、[GPIO ポート制御レジスタ](#) (レジスタ 0x1E) および [GPIO 出力制御レジスタ](#) (レジスタ 0x1F) を設定します。SPI モードにより、ADC の設定、変換読出しモード、データ変換モードに完全な柔軟性もたらされます。連続読出しモードでの SPI 制御モードは、 $\overline{\text{RDY}}$ 信号を使用できます。[インターフェース・フォーマット制御レジスタ](#) (レジスタ 0x14) を通じてこれを有効化することで、新しい ADC データがあることを示す信号を DOUT 出力ストリームでマージでき、 $\overline{\text{DRDY}}$ のデジタル・ラインが不要になります。SPI 制御モードを使用するには、起動時に $\overline{\text{PIN}}$ /SPI ピンをハイ (または VDD\_IO) に接続します。

## 電源

[図 114](#) および [図 115](#) に示す電源は、ADAQ7767-1 を代表的なアプリケーションで使用する場合に推奨されます。外部 LDO レギュレータを用いて VDD\_FDA、VDD\_ADC、VDD2\_ADC、および外部 4.096V リファレンスに 5V を供給する代わりに、ADAQ7767-1 には 5.1V~5.5V の電圧を受け入れる LDO レギュレータが内蔵されており、十分に安定化された 5V 電源を出力でき便利です。VDD\_IO には最小 1.7V が供給され、これが ADC ドライバのデジタル・ロジックおよび ADC の GPIO および SPI に給電します。

ADAQ7767-1 は、VDD\_FDA、VDD\_ADC、VDD\_ADC2、VDD\_IO の各電源ピンに 0.1 $\mu$ F の電源デカップリング・コンデンサを内蔵しています。LDO レギュレータを使用する場合、IN\_LDO および OUT\_LDO に 1 $\mu$ F コンデンサを用いてデカップリングします。更に、AREG\_CAP ピンと DREG\_CAP ピンを介して 1 $\mu$ F のコンデンサを接続し、ADC のアナログ LDO レギュレータおよびデジタル LDO レギュレータをグラウンドからデカップリングします。

ADAQ7767-1 の AGND ピンが 1 つのグラウンド・プレーンに接続されているため、デバイスの起動時に特定の電源シーケンスは不要です。

## リファレンス、リファレンス・バッファ、直線性向上バッファ

ADC のリファレンスの範囲は VDD\_ADC から 1V までにわたる可能性があります。ADAQ7767-1 の代表的なアプリケーションや仕様は、4.096V の入力リファレンスで設定されています。この電圧は、内蔵の 5V LDO レギュレータの出力を 4.096V の電圧リファレンスを出力する ADR4540 電圧リファレンスに接続することで得ることができます。

[リファレンス入力とバッファリング](#)のセクションで説明したように、ADC の内蔵リファレンス・プリチャージ・バッファを用いて外部リファレンスの負荷を低減することを推奨します。

また、直線性向上バッファも有効化することを推奨します。これにより、完全差動アンプとコア ADC 入力間の駆動が容易になります ([直線性向上バッファ](#)のセクションを参照)。

$\overline{\text{PIN}}$ モードでは、性能が向上するよう、リファレンス・プリチャージ・バッファと直線性向上バッファはデフォルトで有効化されていますが、SPI モードでこれらを有効化するには、[アナログ・バッファ制御レジスタ](#)にレジスタ書き込みを行う必要があります。

## 推奨インターフェース

ADAQ7767-1 のインターフェースは柔軟で、様々な DSP と MCU の数多くの動作モードとデータ出力フォーマットに対応可能です。変換結果の読出しに関して最大限の性能を実現する推奨インターフェース構成を[図 116](#)に示します。この推奨設定は、同期された SCLK と MCLK の関係を使用します。

推奨動作を実現するには、以下に従ってインターフェースを設定してください。

1. 変換リードバック時は $\overline{\text{CS}}$ 信号をローに接続します。
2. ADC\_DATA レジスタのアドレス・ビットを提供する必要がないように、連続リードバック・モードにします。連続リードバック・モードは、 $\overline{\text{PIN}}$ モードにおけるデフォルトのリードバック・モードです。
3. 32 ビットのデータがクロック出力されますが、これは 24 ビットの変換結果とそれ以外の 8 ビットで構成されます。この 8 ビットは、ステータス・ビットまたは CRC ビットのいずれかです。 $\overline{\text{PIN}}$ モードでは、これらのビットは、常に変換結果と 8 個のステータス・ビットになります。
4. SCLK には MCLK と位相が一致したものを使用します。SCLK は MCLK と同じもの (SCLK = MCLK) とすること、あるいは、MCLK を分周したもの (SCLK = MCLK/N) とすることができます。例えば、デシメーション・レートを 32 にした場合は SCLK = MCLK/2 とします。
5. 32 ビットでクロッキングすると、SCLK = MCLK/2 の場合は、 $\overline{\text{DRDY}}$ 周期全体を使ってデータ・リードバック動作を行うことができます。SCLK は連続的に動作します。リードバック動作は $\overline{\text{DRDY}}$ の周期全体を使って行われるので、VDD\_IO での電流によるノイズ・カップリングが ODR の周期全体に広がります。
6.  $\overline{\text{DRDY}}$ 信号は、ホスト・コントローラに読み出すデータと同期させることができます。

アプリケーション情報

推奨インターフェース動作を図 116 に示します。データ・リードバックは $\overline{\text{DRDY}}$ 周期全体にわたって行われ、LSB は、次の変換のために $\overline{\text{DRDY}}$ がハイになるまでそのまま残ります。

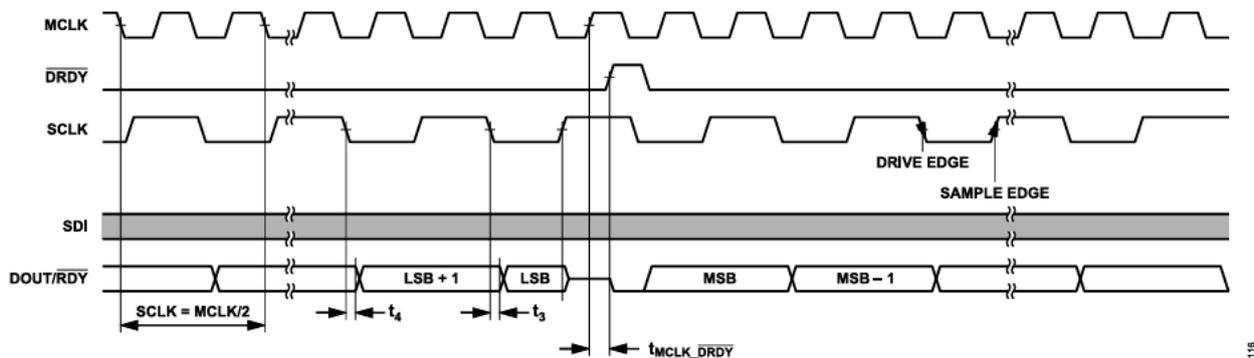


図 116. SPI 制御、連続リードバック・モードでの変換読出しのための推奨インターフェース

## アプリケーション情報

## 推奨インターフェースの初期化

推奨インターフェースを設定するには、以下の手順を実行します。

1. パワー・モード、デシメーション・レシオ、フィルタ・タイプなどのデバイス設定を行います。
2. 連続リードバック・モードにします。
3. デジタル領域の変更に適用してデジタル・フィルタをリセットするために、同期パルスを送出します。パルスは、 $\overline{\text{DRDY}}$ がハイになった直後に送じます。

## データ読出しのための推奨インターフェース

データ読出しのための推奨インターフェースは以下のとおりです。

1. ホスト・コントローラを $\overline{\text{DRDY}}$ パルスまたは $\overline{\text{RDY}}$ パルスに同期させます。データをクロック出力する前の $\overline{\text{RDY}}$ の動作の詳細については、[図 6](#)を参照してください。
2.  $\overline{\text{DRDY}}$ または $\overline{\text{RDY}}$ のタイミングに基づいて SCLK を生成します。MCLK 立下がりエッジで $\overline{\text{DRDY}}$ 信号がハイに遷移するときには SCLK がハイになっており ([図 116](#) 参照)、LSB を確実に正しく読み込むことができます。これは、DOUT/ $\overline{\text{RDY}}$ 出力が $\overline{\text{DRDY}}$ の立下がりエッジでリセットされることによります。ただし、SCLK の立下がりエッジはこの移行の前に発生します。
3. MSB は SCLK の次の立下がりエッジでクロック出力されます。
4. PIN制御モードでは、変換出力の LSB はステータス出力の最終ビットです。PIN制御モードではこのビットが常に 1 なので、読み出す必要はありません。

## 推奨インターフェースの再同期

データのクロッキングは ODR の周期全体を使って行われるので、LSB 出力ごとに $\overline{\text{RDY}}$ 信号がフラグされることはなくなります。この信号は、ADAQ7767-1 が連続リードバック・モードにある場合、あるいは[図 116](#)に示すように、ADAQ7767-1 が $\overline{\text{DRDY}}$ の前  $1 \times t_{\text{MCLK}}$ 以内に 32 個の SCLK をカウントしない場合にのみフラグされます。

$\overline{\text{RDY}}$ 機能は連続リードバック・モードでのみ使用できます。ADC\_DATA レジスタのアドレスを毎回指定しなければならない通常のリードバック時には、[タイミング仕様](#)のセクションの  $t_{10}$ に示すように、 $\overline{\text{DRDY}}$ より  $1 \times t_{\text{MCLK}}$ 前に DOUT ラインがリセットされます。 $\overline{\text{DRDY}}$ を使用する場合、デバイスは通常どおり動作し、変

換リードバックの時間は $\overline{\text{DRDY}}$ パルスから計時されます。 $\overline{\text{RDY}}$ が各サンプルの開始を検出する場合で、データ・リードバックが同期されていない場合は、以下に示す 2 つの方法のどちらかによって SCLK タイミングが回復されます。

- ▶  $\overline{\text{CS}}$ を使用してインターフェースをリセットし、 $\overline{\text{RDY}}$ の遷移を監視する。
- ▶ もう一度 $\overline{\text{RDY}}$ の遷移が検出されるまで SCLK のトグルを停止する。

## プログラマブル・デジタル・フィルタ

ADAQ7767-1 においてデフォルトで使用できるデジタル・フィルタの他に追加のフィルタが必要な場合は、カスタム・デジタル・メモリを設計してメモリにアップロードするための追加オプションがあります。このアップロードを行うと、デフォルトの低リップル FIR フィルタ係数が上書きされて、一連のユーザ定義係数に置き換えられます。

ADAQ7767-1 のフィルタ・パスには、次の 3 つの異なる段があります。

- ▶ 初期 sinc フィルタ
- ▶ sinc 補償フィルタ
- ▶ 低リップル FIR フィルタ

最初の 2 段は変更できません。プログラム可能な段は 3 つ目の段だけで、デフォルトの低リップル FIR フィルタ係数を一連のユーザ定義係数に置き換えることができます。

第 3 段へのデータ・レートは最終的な ODR の 2 倍ですが、これは、フィルタの最終段の後のデシメーションが 2 に固定されているためです。したがって、プログラマブル FIR 段は、 $f_{\text{MOD}}$ から 16、32、64、128、256、および 512 のレートでデシメートされたレートでデータを受け取ります。

最後にレート 2 でデシメーションした後は、全体的なデシメーション値は 32~1024 の範囲のデシメーション・レートで与えられます。最終 FIR 段へのデータ・レートを[表 35](#)に示します。[表 35](#)は各パワー・モードにおける最終フィルタ段へのデータ・レートを示すものですが、これは、それぞれのパワー・モードに対して MCLK\_DIV が正しく設定されていることを前提としています。例えば、中間パワー動作モードが選択された場合は、MCLK\_DIV を MCLK/4 とする必要があります。

表 35. 最終 FIR 入力段へのデータ・レート

Power Mode	Input to Third Stage, Programmable FIR (MCLK = 16.384 MHz)								
	512 kSPS	256 kSPS	128 kSPS	64 kSPS	32 kSPS	16 kSPS	8 kSPS	4 kSPS	2 kSPS
Fast	Yes	Yes	Yes	Yes	Yes	Yes		Not applicable	Not applicable
Median	Not applicable	Yes	Yes	Yes	Yes	Yes	Yes	Not applicable	Not applicable
Low Power	Not applicable	Not applicable	Not applicable	Yes	Yes	Yes	Yes	Yes	Yes

## アプリケーション情報

### フィルタの係数

ADAQ7767-1の低リップル FIR フィルタは 112 個の係数のセットを使用します。これらの係数は、適切なキーを ADAQ7767-1 に書き込むことによって上書きできます。上書き後は、カスタマイズされたフィルタ係数をメモリにアップロードしてロックできます。ADAQ7767-1 をリセットする場合は、これらの係数を再度書き込む必要があります。

アップロードした係数には以下の必要条件が適用されます。

- ▶ フルセットの係数は 112 個で、56 個の係数がミラーされて合計 112 個となります。したがって、1 個のフィルタをアップロードするときは 56 個の係数だけが書き込まれます。
- ▶ 書き込む係数は整数形式でなければなりません。使用フォーマットは 2 の補数です。
- ▶ 書き込み対象の係数データ・レジスタは 24 ビット幅で、ADAQ7767-1 では 24 ビットのレジスタ書き込みだけが使われます。係数に使用するのは 23 ビットだけで、残りの MSB は制御ビットです。詳細についてはレジスタ 0x33 を参照してください。
- ▶ フィルタ係数は、56 個の係数の合計が必ず  $2^{22}$  となるようにスケールされます。したがって、係数全体 (112 個) としての合計は  $2^{23}$  となります。

例えば、書き込まれるフィルタ係数が  $-0.0123$  だとすると、この値が  $-0.0123 \times 2^{22} = -51,590$  にスケールされます。2 の補数形式でこの値を表すと、0x7F367A になります。

各フィルタ係数は、最初に係数のアドレスを選択することによって書き込まれます。次にデータの書き込みが個別に行われ、それが 56 個の係数すべてについてアドレス 0 からアドレス 55 まで繰り返されます。

FIR のサイズは変更できないので、プログラマブル・フィルタ・オプション使用時もフィルタのグループ遅延は 34/ODR に固定されたままです。係数の数を減らす必要がある場合は、係数の前にゼロをパディングすることによってこの要求を満たすことができます。アップロードされたフィルタの群遅延は、常に ADAQ7767-1 のデフォルトの FIR フィルタの群遅延 (34/ODR) と等しくなければなりません。

#### 係数制御レジスタまたは係数データ・レジスタ

(COEFF\_CONTROL または COEFF\_DATA) へのアクセスがあった場合は、その都度、別の読出しや書き込みを行う前に一定の待機時間を置く必要があります。待機時間は次式によります。

$$t_{WAIT} = 512/MCLK$$

この待機時間は、レジスタの内容を更新する時間を提供します。次いで、係数がメモリに書き込まれます。

### アップロード・シーケンス

ユーザ定義のフィルタ係数セットをプログラムするには、以下のシーケンスを実行します。

1. デジタル・フィルタおよびデシメーション制御レジスタのフィルタ・ビット (レジスタ 0x19、ビット[6:4]) に 0x4 を書き込みます。
2. フィルタ・アップロードにアクセスするには、以下のキーを書き込む必要があります。最初に、アクセス・キー・レジスタ (レジスタ 0x34) に 0xAC を書き込みます。次に、アクセス・キー・レジスタに 0x45 を書き込みます。アクセス・キー・レジスタのビット 0 (キー・ビット) は、キーが正しく入力されたかどうかを確認するためにリードバックできます。
3. 係数制御レジスタ (レジスタ 0x32) に 0xC0 を書き込みます。 $t_{WAIT}$  秒待って以下の操作を実行します。
  - a. 係数アドレスをアドレス 0 に設定します。
  - b. メモリへのアクセスを有効にします (COEFF\_ACCESS\_EN = 1)。
  - c. 係数メモリへの書き込みができるようにします (COEFF\_WRITE\_EN = 1)。
4. 最初の係数のアドレスを選択します。必要な係数を係数データ・レジスタ (レジスタ 0x33) に書き込んで、 $t_{WAIT}$  秒間待ちます。レジスタ 0x32 への書き込みからレジスタ 0x33 への書き込みの間には、必ず  $t_{WAIT}$  秒の時間を置いてください。
5. 56 個の係数のそれぞれについて、手順 3 と手順 4 を繰り返します。例えば、係数アドレス 1 を選択するには係数制御レジスタに 0xC1 を書き込み、 $t_{WAIT}$  秒間待ってから係数データを入力します。係数 55 になるまでデータをインクリメントしてください (係数 55 では、係数制御レジスタに 0xF7 を書き込みます)。
6. 最初に係数制御レジスタに 0x80 を書き込むことによって、係数への書き込みを無効にします。更に  $t_{WAIT}$  秒間待ってから係数制御レジスタに 0x00 を書き込み、係数アクセスを無効にします。
7. 係数データ・レジスタに 0x800 を書き込むことによって USER\_COEFF\_EN = 1 に設定し、同期パルスをトグルしてデータの読出しを開始できるようにします。
8. アクセス・キー・レジスタ (レジスタ 0x34) に 0x55 を書き込むことによって、フィルタ・アップロードを終了します。
9. ADAQ7767-1 に同期パルスを送ります。このパルスを送る方法の 1 つは、同期モードおよびリセット・トリガリング・レジスタ (レジスタ 0x1D) に書き込みを行うことです。以上でフィルタ・アップロードは完了です。

デジタル・フィルタのアップロード時には、RAM CRC エラー・チェックを行ってもエラーになります。このチェックを無効にするには、デジタル診断機能制御レジスタ (レジスタ 0x2A) を使用します。

## アプリケーション情報

## フィルタ・アップロードの例

以下に示すシーケンスにより sinc1 フィルタをプログラムします。アドレス 0 からアドレス 23 の係数は 0 です。アドレス 24 からアドレス 55 の係数は 131,072 ( $2^{22}/32$ ) です。MCLK = 16.384MHz で ODR = 256kHz の場合は、8kHz と 8kHz の整数倍の位置にフィルタ・ノッチが現れます。このフィルタは低ノイズで、[図 117](#) に示す特徴的なフィルタ・プロファイルによって識別できます。

フィルタをプログラムするには、以下の手順を実行してください。

1. デジタル・フィルタおよびデシメーション制御レジスタのフィルタ・ビット (レジスタ 0x19、ビット[6:4]) に 0x4 を書き込みます。
2. アクセス・キー・レジスタ (レジスタ 0x34) への書き込みによってキーを入力します。
3. 係数制御レジスタ (レジスタ 0x32) に 0xC0 を書き込みます (COEFF\_ADDR = 0、COEFF\_ACCESS\_EN = 1、COEFF\_WRITE\_EN = 1)。t<sub>wait</sub> 秒間待ちます。
4. 係数データ・レジスタ (レジスタ 0x33) に 0x000000 を書き込みます。t<sub>wait</sub> 秒間待ちます。
5. 係数制御レジスタに 0xC1 を書き込みます (COEFF\_ADDR = 1)。t<sub>wait</sub> 秒間待ちます。この場合はアドレス 0 とアドレス 1 の係数が等しいので、係数データ・レジスタの値は変わりません。
6. 係数制御レジスタに 0xC2 を書き込みます (COEFF\_ADDR = 2)。t<sub>wait</sub> 秒間待ちます。
7. 書き込み値が 0xD7 になるまで係数制御レジスタのアドレスをインクリメントしていきます (COEFF\_ADDR = 23)。t<sub>wait</sub> 秒の待機時間を維持してください。
8. 係数制御レジスタに 0xD8 を書き込みます (COEFF\_ADDR = 24)。
9. 係数データ・レジスタに 0x010000 を書き込みます。t<sub>wait</sub> 秒間待ちます。
10. 係数制御レジスタに 0xD9 を書き込みます (COEFF\_ADDR = 25)。t<sub>wait</sub> 秒間待ちます。
11. 係数制御レジスタに 0xDA を書き込みます (COEFF\_ADDR = 26)。t<sub>wait</sub> 秒間待ちます。
12. 書き込み値が 0xF7 になるまで係数制御レジスタのアドレスをインクリメントしていきます (COEFF\_ADDR = 55)。t<sub>wait</sub> 秒間待ちます。
13. 最初に係数制御レジスタに 0x80 を書き込むことによって、係数メモリへの書き込みとアクセスを無効にします。t<sub>wait</sub> 秒間待ってから、係数制御レジスタに 0x00 を書き込みます。
14. USER\_COEFF\_EN = 1 に設定して、デフォルトの係数をロードし直さなくても同期をトグルできるようにします (係数データ・レジスタに 0x800000 を書き込みます。)
15. アクセス・キー・レジスタに 0x55 を書き込むことによって、書き込みを終了します。
16. 同期をトグルします。
17. データを収集します。得られるフィルタ・プロファイルを[図 117](#) に示します。

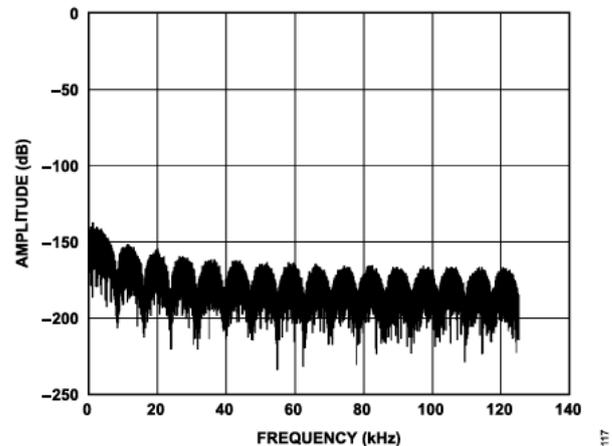


図 117. フィルタ・プロファイルのアップロード例

## フィルタ・アップロードの検証

フィルタ係数が正常にアップロードされたことをチェックするために、[係数データ・レジスタ](#)に書き込んだ値をリードバックすることができます。この読出しは、アップロード後に以下の手順に従って行うことができます。

1. アクセス・キー・レジスタ (レジスタ 0x34) への書き込みによってキーを入力します。最初に[アクセス・キー・レジスタ](#)に 0xAC を書き込み、次に[アクセス・キー・レジスタ](#)に 0x45 を書き込みます。
2. 係数制御レジスタ (レジスタ 0x32) に 0x80 を書き込みます (COEFF\_ADDR = 0、COEFF\_ACCESS\_EN = 1、COEFF\_WRITE\_EN = 0)。t<sub>wait</sub> 秒間待ちます。
3. 24 ビットの[係数データ・レジスタ](#) (レジスタ 0x33) の内容をリードバックします。係数が、アップロードした値と一致していることを確認してください。
4. 係数制御レジスタに 0x81 を書き込みます (COEFF\_ADDR = 1)。t<sub>wait</sub> 秒間待ちます。
5. アドレス 1 の 24 ビット[係数データ・レジスタ](#)を読み出します。アドレス値をインクリメントしてデータのリードバックを続けます。[係数制御レジスタ](#)の更新から次の更新までの間には、常に t<sub>wait</sub> 秒の待機時間を置いてください。
6. 係数制御レジスタに 0x00 を書き込むことによって、係数へのアクセスを無効にします。
7. [アクセス・キー・レジスタ](#)に 0x55 を書き込むことによって、リードバック・プロセスを終了します。

## アプリケーション情報

### レイアウトのガイドライン

ADAQ7767-1 を実装する PCB では、アナログ部とデジタル部を分離し、基板の異なる領域に配置するように設計する必要があります。ADAQ7767-1 の各ピンは、アナログ・ピン領域とデジタル・ピン領域を分割してレイアウトされています。最上層でアナログ・ピンに配線し、差動入力 (IN<sub>x+</sub>および IN<sub>x-</sub>) に対し対称的な配線パターンを用いることを推奨します。使用しない差動入力 (マルチプレクサへの入力など) を接続しないでください。接続すると性能が低下する可能性があります。アナログ層の下にはグラウンド・プレーンを配置し、更にその下層はデジタル・ラインに使用します。

最高のノイズ性能とコモンモード除去を実現するために、選択した差動入力 (IN<sub>x+</sub>および IN<sub>x-</sub>) のパターンは対称で同じ長さとなるようにします。

多層構造とする場合、少なくとも1層のグラウンド・プレーンを使用してください。これはデジタル部とアナログ部で共有しても分割してもかまいません。分割する場合は、できるだけ ADAQ7767-1 に近い位置を選び、デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンを1箇所だけで接合してください。

複数のデバイスがアナログとデジタルの間のグラウンド接続を必要とするようなシステムに ADAQ7767-1 を使用する場合でも、接続は1箇所だけで行ってください (できるだけ ADAQ7767-1 に近い位置にスター・グラウンド・ポイントを設けます)。グラウンド・プレーンとの接続は確実にを行う必要があります。複数のグラウンド・ピンで1つの接続を共有することは避け、各グラウンド・ピンとグラウンド・プレーンへの接続には個別のビア、または複数のビアを使用してください。

ダイにノイズが混入するため、デバイスの下にはデジタル・ラインを配置しないでください。ノイズの混入を回避するために、ADAQ7767-1 の下にはアナログ・グラウンド・プレーンを配置します。MCLK などの高速スイッチング信号はデジタル・グラウンドでシールドし、基板の他の部分へのノイズの放射を防止します。また、これらの高速スイッチング信号がアナログ信号パスの近くを通ることのないようにしてください。デジタル信号とアナログ信号は交差させないでください。PCB の近接する層にあるパターンは互いに直角になるように配置し、基板全体でのフィードスルーの影響を減少させてください。

ADAQ7767-1 の IN\_LDO ピンおよび VDD\_IO ピンへの電源ラインにはできるだけ大きい配線パターンを使用して、低インピーダンス経路を形成し、電源ラインに対するグリッチの影響を低減します。可能であれば複数の電源プレーンを使用し、ADAQ7767-1 の電源ピンと PCB の電源パターン間の接続を安定したものにします。各電源ピンには1つ以上のビアを使用してください。

セラミック・デカップリング・コンデンサを REF<sub>+</sub>、REF<sub>-</sub>、AREG\_CAP、DREG\_CAP の各ピンの近く (理想的には真上) に配置し、これらのピンを幅の広い低インピーダンス・パターンに接続することで寄生インダクタンスを最小限に抑え、AGND や DGND とデカップリングします。

## レジスタの一覧

表 36. ADAQ7767-1 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x03	CHIP_TYPE	[7:0]	RESERVED				CLASS				0x07	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]									0x01	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]									0x00	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x00	R	
0x0A	SCRATCH_PAD	[7:0]	VALUE									0x00	R/W
0x0C	VENDOR_L	[7:0]	VID[7:0]									0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]									0x04	R
0x14	INTERFACE_FORMAT	[7:0]	LV_BOOST	EN_SPI_CRC	CRC_TYPE	STATUS_EN	CONVLEN	EN_RDY_DOUT	RESERVED	EN_CONT_READ	0x00	R/W	
0x15	POWER_CLOCK	[7:0]	CLOCK_SEL		MCLK_DIV		ADC_POWER_DOWN	RE-SERVED	ADC_MODE		0x00	R/W	
0x16	ANALOG	[7:0]	REF_BUF_POS		REF_BUF_NEG		RESERVED		LINEARITY_BOOST_A_OFF	LINEARITY_BOOST_B_OFF	0x00	R/W	
0x18	CONVERSION	[7:0]	DIAG_MUX_SELECT				CONV_DIAG_SELECT	CONV_MODE			0x00	R/W	
0x19	DIGITAL_FILTER	[7:0]	EN_60HZ_REJ	FILTER			RESERVED	DEC_RATE			0x00	R/W	
0x1A	SINC3_DEC_RATE_MSB	[7:0]	RESERVED				SINC3_DEC[12:8]				0x00	R/W	
0x1B	SINC3_DEC_RATE_LSB	[7:0]	SINC3_DEC[7:0]									0x00	R/W
0x1C	DUTY_CYCLE_RATIO	[7:0]	IDLE_TIME									0x00	R/W
0x1D	SYNC_RESET	[7:0]	SPI_START	SYNC_OUT_POS_EDGE	RESERVED		EN_GPIO_START	RE-SERVED	SPI_RESET		0x80	R/W	
0x1E	GPIO_CONTROL	[7:0]	UGPIO_EN	GPIO2_OPEN_DRAIN_EN	GPIO1_OPEN_DRAIN_EN	GPIO0_OPEN_DRAIN_EN	GPIO3_OP_EN	GPIO2_OP_EN	GPIO1_OP_EN	GPIO0_OP_EN	0x00	R/W	
0x1F	GPIO_WRITE	[7:0]	RESERVED				GPIO_WRITE_3	GPIO_WRITE_2	GPIO_WRITE_1	GPIO_WRITE_0	0x00	R/W	
0x20	GPIO_READ	[7:0]	RESERVED				GPIO_READ_3	GPIO_READ_2	GPIO_READ_1	GPIO_READ_0	0x00	R	
0x21	OFFSET_HI	[7:0]	OFFSET[23:16]									0x00	R/W
0x22	OFFSET_MID	[7:0]	OFFSET[15:8]									0x00	R/W
0x23	OFFSET_LO	[7:0]	OFFSET[7:0]									0x00	R/W

## レジスタの一覧

表 36. ADAQ7767-1 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x24	GAIN_HI	[7:0]	GAIN[23:16]									0x00	R/W
0x25	GAIN_MID	[7:0]	GAIN[15:8]									0x00	R/W
0x26	GAIN_LO	[7:0]	GAIN[7:0]									0x00	R/W
0x28	SPI_DIAG_ENABLE	[7:0]	RESERVED			EN_ERR_SPI_IGNORE	EN_ERR_SPI_CLK_CNT	EN_ERR_SPI_RD	EN_ERR_SPI_WR	RESERVED	0x10	R/W	
0x29	ADC_DIAG_ENABLE	[7:0]	RESERVED		EN_ERR_DLDO_PSM	EN_ERR_ALDO_PSM	EN_ERR_REF_DET	EN_ERR_FILTER_SATURATED	EN_ERR_FILTER_NOT_SETTLED	EN_ERR_EXT_CLK_QUAL0	0x07	R/W	
0x2A	DIG_DIAG_ENABLE	[7:0]	RESERVED			EN_ERR_MEMMAP_CRC	EN_ERR_RAM_CRC	EN_ERR_FUSE_CRC	RESERVED	EN_FREQ_COUNT	0x0D	R/W	
0x2C	ADC_DATA	[23:16]	ADC_READ_DATA[23:16]									0x000000	R
		[15:8]	ADC_READ_DATA[15:8]										
		[7:0]	ADC_READ_DATA[7:0]										
0x2D	MASTER_STATUS	[7:0]	MASTER_ERROR	ADC_ERROR	DIG_ERROR	ERR_EXT_CLK_QUAL	FILT_SATURATED	FILT_NOT_SETTLED	SPI_ERROR	POR_FLAG	0x00	R	
0x2E	SPI_DIAG_STATUS	[7:0]	RESERVED			ERR_SPI_IGNORE	ERR_SPI_CLK_CNT	ERR_SPI_RD	ERR_SPI_WR	ERR_SPI_CRC	0x00	R/W	
0x2F	ADC_DIAG_STATUS	[7:0]	RESERVED		ERR_DLDO_PSM	ERR_ALDO_PSM	ERR_REF_DET	FILT_SATURATED	FILT_NOT_SETTLED	ERR_EXT_CLK_QUAL	0x00	R	
0x30	DIG_DIAG_STATUS	[7:0]	RESERVED			ERR_MEMMAP_CRC	ERR_RAM_CRC	ERR_FUSE_CRC	RESERVED		0x00	R	
0x31	MCLK_COUNTER	[7:0]	MCLK_COUNTER									0x00	R
0x32	COEFF_CONTROL	[7:0]	COEFF_ACCESS_EN	COEFF_WRITE_EN	COEFF_ADDR							0x00	R/W
0x33	COEFF_DATA	[23:16]	USER_COEFF_EN	COEFF_DATA[22:16]								0x000000	R/W
		[15:8]	COEFF_DATA[15:8]										
		[7:0]	COEFF_DATA[7:0]										
0x34	ACCESS_KEY	[7:0]	RESERVED							KEY	0x00	R/W	

## レジスタの詳細

## コンポーネント・タイプ・レジスタ

レジスタ : 0x03、リセット : 0x07、レジスタ名 : CHIP\_TYPE

表 37. CHIP\_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CLASS	チップ・タイプ 111 : A/Dコンバータ。	0x7	R

## 製品固有 ID レジスタ

レジスタ : 0x04、リセット : 0x01、レジスタ名 : PRODUCT\_ID\_L

表 38. PRODUCT\_ID\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品ID :	0x1	R

レジスタ : 0x05、リセット : 0x00、レジスタ名 : PRODUCT\_ID\_H

表 39. PRODUCT\_ID\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品ID :	0x0	R

## デバイス・グレードおよびリビジョン・レジスタ

レジスタ : 0x06、リセット : 0x00、レジスタ名 : CHIP\_GRADE

表 40. CHIP\_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイスのグレード	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョンID	0x0	R

## ユーザ・スクラッチ・パッド・レジスタ

レジスタ : 0x0A、リセット : 0x00、レジスタ名 : SCRATCH\_PAD

表 41. SCRATCH\_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VALUE	スクラッチ・パッド。通信およびPORチェックのための読出し/書込み領域	0x0	R/W

## レジスタの詳細

## デバイス・ベンダ ID レジスタ

レジスタ : 0x0C、リセット : 0x56、レジスタ名 : VENDOR\_L

表 42. VENDOR\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	ベンダID	0x56	R

レジスタ : 0x0D、リセット : 0x04、レジスタ名 : VENDOR\_H

表 43. VENDOR\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	ベンダID	0x4	R

## インターフェース・フォーマット制御レジスタ

レジスタ : 0x14、リセット : 0x00、レジスタ名 : INTERFACE\_FORMAT

表 44. INTERFACE\_FORMAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LV_BOOST	1.8VのIOVDDレベルの場合、あるいはDOUT/RDYピン上に大容量性負荷が存在する場合に使用するために、SPI出力の駆動強度を上げます。PIN制御モード時のデフォルトはLV_BOOSTが有効化された状態です。 0 : LV_BOOSTをディスエーブル。 1 : LV_BOOSTをイネーブル。このビットは、連続読出しモード終了後に再度イネーブルにする必要があります（該当の場合）。	0x0	R/W
6	EN_SPI_CRC	すべてのSPIトランザクションのCRCを有効にします。 0 : すべてのSPI転送でCRC機能を無効化。 1 : すべてのSPI転送でCRC機能を有効化。	0x0	R/W
5	CRC_TYPE	CRCをXORとして行うか、8ビット多項式で行うかを選択します。 1 : CRCに代えてXORを使用します（読出しトランザクションにのみ適用）。 0 : CRCビットはCRC-8多項式に基づきます。	0x0	R/W
4	STATUS_EN	ステータス・ビットの出力を有効化。SPI制御モードでは、このビット・フィールドにビットをセットすることによって、変換結果の後にステータス・ビットを出力することができます。PIN制御モードでは、ADC変換結果の後にステータス・ビットが出力されます。 0 : 連続読出しモードにおけるADC変換結果後のステータス・ビットの出力を無効化。 1 : 連続読出しモードでADC変換結果後にステータス・ビットを出力。	0x0	R/W
3	CONVLEN	変換結果の出力長。 0 : フル24ビットを出力。 1 : ADC結果の16MSBだけを出力。	0x0	R/W
2	EN_RDY_DOUT	DOUT/RDYピンのRDY信号を有効にします。連続読出しモードでDOUT/RDYピンのRDYインジケータを有効にします。デフォルトでは、新しいADC変換データが使用可能になっても、DOUT/RDYピンは信号を発生しません。このビットをセットすると、DOUT/RDYはADC変換データが使用可能であることを示す信号を発生します。 0 : 結果がクロック出力された後、連続読出しモードにおいてDOUT/RDYピンのRDY機能を無効化。 1 : 結果がクロック出力された後、連続読出しモードにおいてDOUT/RDYピンのRDY機能を有効化。	0x0	R/W
1	RESERVED	予約済み。	0x0	R
0	EN_CONT_READ	連続読出しイネーブル・ビット。 0 : 連続読出しモードを無効化。 1 : 連続読出しモードを有効化。	0x0	R/W

## レジスタの詳細

## 電力およびクロック制御レジスタ

レジスタ : 0x15、リセット : 0x00、レジスタ名 : POWER\_CLOCK

表 45. POWER\_CLOCK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CLOCK_SEL	デバイスが使用するクロックの設定オプション。 00 : XTAL2_MCLKIにCMOSクロックを使用。 01 : 外部水晶発振器。 10 : LVDS入力を有効化 (SPI制御モード専用)。 11 : 内部粗調整RCクロック (診断機能)。	0x0	R/W
[5:4]	MCLK_DIV	ADCの変調器周波数 (f <sub>MOD</sub> ) を生成するためのMCLKの分周を設定します。 00 : 変調器CLK = コントローラ・クロックを16分周。 01 : 変調器CLK = コントローラ・クロックを8分周。 10 : 変調器CLK = コントローラ・クロックを4分周。 11 : 変調器CLK = コントローラ・クロックを2分周。	0x0	R/W
3	ADC_POWER_DOWN	ADCをパワーダウン状態にします。SPIを含むすべてのブロックがパワーダウンされます。この状態では標準SPIは機能しません。パワーダウンは消費電力が最も小さいモードです。パワーダウン・モードにするには、このレジスタに0x08を書き込みます。このレジスタ内の他のビットと同時にビット3をセットしようとする、SPI書き込みコマンドが無視されてデバイスはパワーダウン状態にならず、他のビットもセットされません。パワーダウン・モードを終了する方法は3つあります。RESETピンを使ってリセットする方法、SDIとSCLKを介してSPIレジューム・コマンドを発行する方法、またはデバイスを一度パワーダウンしてから再度パワーオンする方法です。	0x0	R/W
2	RESERVED	予約済み。	0x0	R/W
[1:0]	ADC_MODE	ADCコアの動作モードを設定します。この設定は、MCLK_DIVと共に、ADCのパワー・スケールと入力帯域幅およびスループットの関係に関する条件を設定します。 00 : ロー・パワー動作モード。 01 : 中間パワー動作モード。 11 : 高速パワー動作モード。	0x0	R/W

## アナログ・バッファ制御レジスタ

レジスタ : 0x16、リセット : 0x00、レジスタ名 : ANALOG

表 46. ANALOG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	REF_BUF_POS	リファレンス正入力のバッファリング・オプション。 00 : プリチャージ・リファレンス・バッファをオン。 01 : 非バッファ・リファレンス入力。 10 : フル・リファレンス・バッファをオン。	0x0	R/W
[5:4]	REF_BUF_NEG	リファレンス負入力のバッファリング・オプション。 00 : プリチャージ・リファレンス・バッファをオン。 01 : 非バッファ入力。 10 : フル・リファレンス・バッファをオン。	0x0	R/W
[3:2]	RESERVED	予約済み。	0x0	R
1	LINEARITY_BOOST_A_OFF	直線性向上バッファA無効化制御。このビットをセットすると、直線性向上バッファAが無効化されます。LINEARITY_BOOST_B_OFFと共に使用します。 0 : 直線性向上バッファAを有効化。 1 : 直線性向上バッファAを無効化。	0x0	R/W
0	LINEARITY_BOOST_B_OFF	直線性向上バッファB無効化制御。このビットをセットすると、直線性向上バッファBが無効化されます。LINEARITY_BOOST_A_OFFと共に使用します。 0 : 直線性向上バッファBを有効化。 1 : 直線性向上バッファBを無効化。	0x0	R/W

## レジスタの詳細

## 変換ソース選択およびモード制御レジスタ

レジスタ：0x18、リセット：0x00、レジスタ名：CONVERSION

表 47. CONVERSION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DIAG_MUX_SELECT	診断マルチプレクサを介して送る信号を選択します。ロー・パワー動作モードでのみ診断チェックを行います。 0000：温度センサー。 1000：ADC入力短絡（ゼロ・チェック）。 1001：正のフルスケール。 1010：負のフルスケール。	0x0	R/W
3	CONV_DIAG_SELECT	通常または診断マルチプレクサとして変換するためのADCの入力を選択します。 0：通常のシグナル・チェーンを介して信号を変換。 1：ADC変換（およびターン・オン）診断サブブロック。	0x0	R/W
[2:0]	CONV_MODE	ADCの変換モードを設定します。 000：連続変換モード。変調器は連続的に変換を行います。あらゆるフィルタ変換用の連続DRDYパルス。 001：連続ワンショット・モード。ワンショット・モードは、 $\overline{\text{SYNC\_IN}}$ 時間を使用して変換を開始する方法です。これは、ワンショット・モード使用時の変換開始信号と同じです。ADC変調器は、連続して動作しながら $\overline{\text{SYNC\_IN}}$ の立上がりエッジを待ちます。 $\overline{\text{SYNC\_IN}}$ ピンにパルスが送られると（ローからハイへの遷移）新しい変換が開始され、選択したフィルタのセトリング時間にわたり変換と積分が行われます。変換が完了するとDRDYがトグルして、SPI経由のリードバックに使用できることを示します。 010：シングル変換スタンバイ・モード。シングル変換スタンバイ・モードでは、ADCは選択したフィルタを使って変換を1回行い、フィルタのフル・セトリング時間にわたりサンプリングと積分を行った後、シングル変換結果を提供します。変換が完了すると、ADCはスタンバイ状態になります。スタンバイ状態からもう一度シングル変換を行うということは、ADCが変換を開始してシングル変換を行う前に、スタンバイを終了して起動するための時間があることを意味します。このモードはロー・パワー動作モードで使用する場合に推奨します。 011：デューティサイクル変換スタンバイ・モード。低消費電力の周期的変換は、時限ループ内でのシングル変換実行を設定する方法です。独立したレジスタを使ってスタンバイと変換の時間比率を設定します。ADCは一定の間隔で自動的にスタンバイ状態を終了し、シングル変換を行って再びスタンバイに戻ります。ユーザがSPIを介してシングル変換を開始する必要はありません。 100：スタンバイ。 101：スタンバイ。 110：スタンバイ。 111：スタンバイ。	0x0	R/W

## デジタル・フィルタおよびデシメーション制御レジスタ

レジスタ：0x19、リセット：0x00、レジスタ名：DIGITAL\_FILTER

表 48. DIGITAL\_FILTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_60HZ_REJ	sinc3フィルタでのみ使用します。最初に、50Hzで出力するようにsinc3フィルタをプログラムします。その後にEN_60HZ_REJビットを選択すれば、sinc3フィルタの1つのゼロを60Hzとすることができます。50Hz ODR用sinc3フィルタのプログラミングと組み合わせてこのビットがセットされた場合のみ、このビットは50Hzと60Hz両方の除去を有効にします。 0：単一周波数（50Hzまたは60Hz）除去に合わせてsinc3フィルタを最適化します。 1：50Hzと60Hzの両方を除去できるようにフィルタ動作を変更します。	0x0	R/W
[6:4]	FILTER	使用するフィルタのスタイルを選択します。 000：sinc5フィルタ。デシメーション・レート $\times 32 \sim \times 1024$ 。DEC_RATEビットを使用して、 $\times 32$ から $\times 1024$ まで6種類あるデシメーション・レートから1つを選択します。	0x0	R/W

## レジスタの詳細

表 48. DIGITAL\_FILTER のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		001 : sinc5フィルタ。デシメーション・レート×8のみ。1MHzの最大データ・レートを可能にします。このパスはより広い帯域幅を表示できます。ただし、量子化ノイズによる制限があるため出力データが16ビットに減少します。 010 : sinc5フィルタ。デシメーション・レート×16のみ。512kHzの最大データ・レートを可能にします。このパスはより広い帯域幅を表示できます。 011 : sinc3フィルタ。プログラマブルなデシメーション・レート。デシメーション・レートは、sinc3デシメーション・レートMSBレジスタとLSBレジスタ (レジスタ0x1Aおよびレジスタ0x1B) のSINC3_DECビットで選択します。sinc3フィルタは、50Hzまたは60Hzを除去するよう調整できます。16.384MHzのMCLKと共に使用する場合は、EN_60HZ_REJビットをセットすることで50Hzと60Hzの両方を除去することができます。 100 : 広帯域低リップル・フィルタ。低リップルのパス・バンドと急峻な遷移帯域を持つFIRフィルタ。DEC_RATEビットを使用して、×32から×1024まで6種類あるデシメーション・レートから1つを選択します。		
3	RESERVED	予約済み。	0x0	R
[2:0]	DEC_RATE	sinc5フィルタと広帯域低リップルFIRフィルタのデシメーション・レートを選択します。 000 : デシメーション・レート32。 001 : デシメーション・レート64。 010 : デシメーション・レート128。 011 : デシメーション・レート256。 100 : デシメーション・レート512。 101 : デシメーション・レート1024。 110 : デシメーション・レート1024。 111 : デシメーション・レート1024。	0x0	R/W

## sinc3 デシメーション・レート (MSB) レジスタ

レジスタ : 0x1A、リセット : 0x00、レジスタ名 : SINC3\_DEC\_RATE\_MSB

表 49. SINC3\_DEC\_RATE\_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	SINC3_DEC[12:8]	sinc3フィルタに使用するデシメーション・レートを決定します。入力値を1だけインクリメントして32を乗じることにより、実際のデシメーション・レートが決定されます。	0x0	R/W

## sinc3 デシメーション・レート (LSB) レジスタ

レジスタ : 0x1B、リセット : 0x00、レジスタ名 : SINC3\_DEC\_RATE\_LSB

表 50. SINC3\_DEC\_RATE\_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SINC3_DEC[7:0]	sinc3フィルタに使用するデシメーション・レートを決定します。入力値を1だけインクリメントして32を乗じることにより、実際のデシメーション・レートが決定されます。	0x0	R/W

## 周期的変換レート制御レジスタ

レジスタ : 0x1C、リセット : 0x00、レジスタ名 : DUTY\_CYCLE\_RATIO

表 51. DUTY\_CYCLE\_RATIO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	IDLE_TIME	スタンバイ時における周期的変換のアイドル時間を設定します。このレジスタ内の1は、選択したフィルタからの1出力の時間に相当します。このレジスタ内の値は1だけインクリメントされて2倍されます。	0x0	R/W

## レジスタの詳細

## 同期モードおよびリセット・トリガリング・レジスタ

レジスタ : 0x1D、リセット : 0x80、レジスタ名 : SYNC\_RESET

表 52. SYNC\_RESET のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SPI_START	START信号をトリガします。SPI上でSYNC_OUTパルスを開始します。このビットをローに設定すると、SYNC_OUTにロー・パルスを生成できます。これは、同じデバイスと、同期サンプリングを必要とする他のADAQ7767-1デバイスへのSYNC_IN信号として使用できます。このビットは使用后自動的にクリアされます。	0x1	R
6	SYNC_OUT_POS_EDGE	SYNC_OUT駆動エッジの選択。このビットをセットすると、MCLKの立上がりエッジでSYNC_OUTがローになります。デバイスのデフォルトでは、MCLKの立下がりエッジでSYNC_OUTがローになります。	0x0	R/W
[5:4]	RESERVED	予約済み。	0x0	R
3	EN_GPIO_START	GPIO入力のSTART機能を有効にします。GPIOピンのどれか1つをSTART入力ピンとして使用できます。有効にすると、START入力のロー・パルスによってSYNC_OUTにロー・パルスを生成できます。これは、同じデバイスと、同期サンプリングを必要とする他のADAQ7767-1デバイスへのSYNC_IN信号として使用できます。有効にすると、GPIO3がSTART入力になります。START機能を有効にすると、GPIOピンを汎用入出力の読み出しと書き込みに使用することはできなくなります。残りのGPIOは出力に設定されます。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
2	RESERVED	予約済み。	0x0	R
[1:0]	SPI_RESET	SPIを介したデバイスのリセットを有効にします。リセットを開始するには、これらのビットに書き込みを2回行う必要があります。最初にこれらのビットを11に設定し、その後10に設定してください。これら2つのビットでこのシーケンスが検出されると、リセットが行われます。このレジスタの他のビットがセットされるかクリアされるかには依存しません。	0x0	R/W

## GPIO ポート制御レジスタ

レジスタ : 0x1E、リセット : 0x00、レジスタ名 : GPIO\_CONTROL

表 53. GPIO\_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	UGPIO_EN	GPIOピンを全て有効化します。GPIOの設定を変更するには、このビットをハイに設定する必要があります。	0x0	R/W
6	GPIO2_OPEN_DRAIN_EN	GPIO2出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
5	GPIO1_OPEN_DRAIN_EN	GPIO1出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
4	GPIO0_OPEN_DRAIN_EN	GPIO0出力をストロング・ドライバからオープンドレインに変更します。	0x0	R/W
3	GPIO3_OP_EN	GPIO3ピンの出力を有効化。 0 = 入力。 1 = 出力。	0x0	R/W
2	GPIO2_OP_EN	GPIO2ピンの出力を有効化。 0 = 入力。 1 = 出力。	0x0	R/W
1	GPIO1_OP_EN	GPIO1ピンの出力を有効化。 0 = 入力。 1 = 出力。	0x0	R/W
0	GPIO0_OP_EN	GPIO0ピンの出力を有効化。 0 = 入力。 1 = 出力。	0x0	R/W

## レジスタの詳細

## GPIO 出力制御レジスタ

レジスタ : 0x1F、リセット : 0x00、レジスタ名 : GPIO\_WRITE

表 54. GPIO\_WRITE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	GPIO_WRITE_3	GPIO3をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W
2	GPIO_WRITE_2	GPIO2をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W
1	GPIO_WRITE_1	GPIO1をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W
0	GPIO_WRITE_0	GPIO0をハイに設定するにはこのビットに書き込みを行います。	0x0	R/W

## GPIO 入力読出しレジスタ

レジスタ : 0x20、リセット : 0x00、レジスタ名 : GPIO\_READ

表 55. GPIO\_READ のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	GPIO_READ_3	GPIO3から値を読み出します。	0x0	R
2	GPIO_READ_2	GPIO2から値を読み出します。	0x0	R
1	GPIO_READ_1	GPIO1から値を読み出します。	0x0	R
0	GPIO_READ_0	GPIO0から値を読み出します。	0x0	R

## オフセット・キャリブレーション MSB レジスタ

レジスタ : 0x21、リセット : 0x00、レジスタ名 : OFFSET\_HI

表 56. OFFSET\_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[23:16]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の24ビット符号付き2の補数レジスタです。チャンネルのゲイン設定が理論的な公称値0x555555の場合、オフセット・レジスタを1LSB調整すると、デジタル出力は-4/3LSBだけ変化します。例えば、オフセット・レジスタを0から100に変えると、デジタル出力が-133LSB変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって補正前の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整に比例して変化します。	0x0	R/W

## オフセット・キャリブレーション MID レジスタ

レジスタ : 0x22、リセット : 0x00、レジスタ名 : OFFSET\_MID

表 57. OFFSET\_MID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[15:8]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の24ビット符号付き2の補数レジスタです。チャンネルのゲイン設定が理想的な公称値0x555555の場合、オフセット・レジスタを1LSB調整すると、デジタル出力は-4/3LSBだけ変化します。例えば、オフセット・レジスタを0から100に変えると、デジタル出力が-133LSB変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって補正前の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整に比例して変化します。	0x0	R/W

## レジスタの詳細

## オフセット・キャリブレーション LSB レジスタ

レジスタ : 0x23、リセット : 0x00、レジスタ名 : OFFSET\_LO

表 58. OFFSET\_LO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	OFFSET[7:0]	ユーザ・オフセット・キャリブレーション係数。オフセット修正レジスタは、チャンネル・オフセット調整用の24ビット符号付き2の補数レジスタです。チャンネルのゲイン設定が理想的な公称値0x555555の場合、オフセット・レジスタを1LSB調整すると、デジタル出力は-4/3LSBだけ変化します。例えば、オフセット・レジスタを0から100に変えると、デジタル出力が-133LSB変化します。ユーザ・オフセット・キャリブレーション係数による補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。したがって補正前の比率は、ゲイン・キャリブレーション・レジスタを介して適用されるゲイン調整に比例して変化します。	0x0	R/W

## ゲイン・キャリブレーション MSB レジスタ

レジスタ : 0x24、リセット : 0x00、レジスタ名 : GAIN\_HI

表 59. GAIN\_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[23:16]	ユーザ・ゲイン・キャリブレーション係数。ADCには、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場での設定時にADCに保存され、公称値は0x555555付近です。ユーザは出荷時設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

## ゲイン・キャリブレーション MID レジスタ

レジスタ : 0x25、リセット : 0x00、レジスタ名 : GAIN\_MID

表 60. GAIN\_MID のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[15:8]	ユーザ・ゲイン・キャリブレーション係数。ADCには、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場での設定時にADCに保存され、公称値は0x555555付近です。ユーザは出荷時設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

## ゲイン・キャリブレーション LSB レジスタ

レジスタ : 0x26、リセット : 0x00、レジスタ名 : GAIN\_LO

表 61. GAIN\_LO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	GAIN[7:0]	ユーザ・ゲイン・キャリブレーション係数。ADCには、それぞれ出荷時設定されたゲイン・キャリブレーション係数があります。この係数は工場での設定時にADCに保存され、公称値は0x555555付近です。ユーザは出荷時設定値を読み出してゲイン・レジスタ設定を上書きし、独自のキャリブレーション係数を適用することができます。ユーザ・オフセット・キャリブレーション係数補正は、ゲイン・キャリブレーション補正前のデジタル・フィルタ出力データに適用されます。	0x0	R/W

## レジスタの詳細

## SPI 診断制御レジスタ

レジスタ : 0x28、リセット : 0x10、レジスタ名 : SPI\_DIAG\_ENABLE

表 62. SPI\_DIAG\_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	EN_ERR_SPI_IGNORE	SPI無視エラーを有効化。	0x1	R/W
3	EN_ERR_SPI_CLK_CNT	SPIクロック・カウント・エラーをイネーブル。SPIクロック・カウント・エラーはCSを使用するSPIトランザクションに対してのみ有効です。	0x0	R/W
2	EN_ERR_SPI_RD	SPI読出しエラーを有効化。	0x0	R/W
1	EN_ERR_SPI_WR	SPI書込みエラーを有効化。	0x0	R/W
0	RESERVED	予約済み。	0x0	R

## ADC 診断機能制御レジスタ

レジスタ : 0x29、リセット : 0x07、レジスタ名 : ADC\_DIAG\_ENABLE

表 63. ADC\_DIAG\_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	EN_ERR_DLDO_PSM	デジタルLDOの省電力モード (PSM) エラーを有効化。	0x0	R/W
4	EN_ERR_ALDO_PSM	アナログLDOのPSMエラーを有効化。	0x0	R/W
3	EN_ERR_REF_DET	リファレンス検出エラーを有効化。	0x0	R/W
2	EN_ERR_FILTER_SATURATED	フィルタの飽和エラーを有効化。	0x1	R/W
1	EN_ERR_FILTER_NOT_SETTLED	フィルタ未セットリング・エラーを有効化。	0x1	R/W
0	EN_ERR_EXT_CLK_QUAL	外部クロックの品質評価チェックを有効化。	0x1	R/W

## デジタル診断機能制御レジスタ

レジスタ : 0x2A、リセット : 0x0D、レジスタ名 : DIG\_DIAG\_ENABLE

表 64. DIG\_DIAG\_ENABLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	EN_ERR_MEMMAP_CRC	メモリ・マップのCRCエラーを有効化。	0x0	R/W
3	EN_ERR_RAM_CRC	RAMのCRCエラーを有効化。	0x1	R/W
2	EN_ERR_FUSE_CRC	ヒューズのCRCエラーを有効化。	0x1	R/W
1	RESERVED	予約済み。	0x0	R/W
0	EN_FREQ_COUNT	MCLKカウンタを有効化。	0x1	R/W

## 変換結果レジスタ

レジスタ : 0x2C、リセット : 0x000000、レジスタ名 : ADC\_DATA

表 65. ADC\_DATA のビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:0]	ADC_READ_DATA	ADC読出しデータ。	0x0	R

## レジスタの詳細

## デバイス・エラー・フラグ・メイン・レジスタ

レジスタ：0x2D、リセット：0x00、レジスタ名：MASTER\_STATUS

表 66. MASTER\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MASTER_ERROR	任意のデバイス・エラー。存在する他の全てのエラーの論理和。	0x0	R
6	ADC_ERROR	任意のADCエラー（OR）。	0x0	R
5	DIG_ERROR	任意のデジタル・エラー（OR）。	0x0	R
4	ERR_EXT_CLK_QUAL	クロック・エラーなし、MASTER_STATUSレジスタにのみ適用	0x0	R
3	FILT_SATURATED	フィルタ飽和状態。	0x0	R
2	FILT_NOT_SETTLED	フィルタの未セトリング。	0x0	R
1	SPI_ERROR	任意のSPIエラー（OR）。	0x0	R
0	POR_FLAG	PORフラグ。	0x0	R

## SPI エラー・レジスタ

レジスタ：0x2E、リセット：0x00、レジスタ名：SPI\_DIAG\_STATUS

表 67. SPI\_DIAG\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	ERR_SPI_IGNORE	SPI無視エラー。	0x0	R/W1C
3	ERR_SPI_CLK_CNT	SPIクロック・カウント・エラー。	0x0	R
2	ERR_SPI_RD	SPI読出しエラー。	0x0	R/W1C
1	ERR_SPI_WR	SPI書込みエラー。	0x0	R/W1C
0	ERR_SPI_CRC	SPI CRCエラー。	0x0	R/W1C

1 R/W1C は「読出し/1を書き込んでクリア」を意味します。

## ADC 診断出力レジスタ

レジスタ：0x2F、リセット：0x00、レジスタ名：ADC\_DIAG\_STATUS

表 68. ADC\_DIAG\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	ERR_DLDO_PSM	DLDO PSMエラー。	0x0	R
4	ERR_ALDO_PSM	ALDO PSMエラー。	0x0	R
3	ERR_REF_DET	REF DETエラー。	0x0	R
2	FILT_SATURATED	フィルタ飽和状態。	0x0	R
1	FILT_NOT_SETTLED	フィルタの未セトリング。	0x0	R
0	ERR_EXT_CLK_QUAL	クロック・エラーなし、MASTER_STATUSレジスタにのみ適用	0x0	R

## デジタル診断出力レジスタ

レジスタ：0x30、リセット：0x00、レジスタ名：DIG\_DIAG\_STATUS

表 69. DIG\_DIAG\_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	ERR_MEMMAP_CRC	メモリ・マップのCRCエラー。	0x0	R

## レジスタの詳細

表 69. DIG\_DIAG\_STATUS のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
3	ERR_RAM_CRC	RAM CRCエラー。	0x0	R
2	ERR_FUSE_CRC	ヒューズCRCエラー。	0x0	R
[1:0]	RESERVED	予約済み。	0x0	R

## MCLK 診断出力レジスタ

レジスタ : 0x31、リセット : 0x00、レジスタ名 : MCLK\_COUNTER

表 70. MCLK\_COUNTER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MCLK_COUNTER	MCLKカウンタ。このレジスタは64MCLKごとに1ずつインクリメントされます。	0x0	R

## 係数制御レジスタ

レジスタ : 0x32、リセット : 0x00、レジスタ名 : COEFF\_CONTROL

表 71. COEFF\_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	COEFF_ACCESS_EN	このビットを1に設定すると、係数メモリへのアクセスが可能になります。	0x0	R/W
6	COEFF_WRITE_EN	係数メモリへの書き込みを有効にします。有効にするには1を書き込んでください。	0x0	R/W
[5:0]	COEFF_ADDR	係数メモリにアクセスするためのアドレス。112個の係数を構成する2つの対称部分に含まれる各56個の係数のアドレス範囲は0~55です。	0x00	R/W

## 係数データ・レジスタ

レジスタ : 0x33、リセット : 0x00、レジスタ名 : COEFF\_DATA

表 72. COEFF\_DATA のビットの説明

ビット	ビット名	説明	リセット	アクセス
23	USER_COEFF_EN	このビットを1に設定すると、同期トグル後に読み出し専用メモリ (ROM) の係数でユーザ定義係数を上書きすることができなくなります。カスタマイズ・フィルタのアップロードを含め、デジタル・フィルタ構成に変更を加えた場合は、その都度同期パルスが必要になります。	0x0	R/W
[22:0]	COEFF_DATA	係数メモリとの間で読書きされるデータ。これらのビットの幅は23ビットです。	0x000000	R/W

## アクセス・キー・レジスタ

レジスタ : 0x34、リセット : 0x00、レジスタ名 : ACCESS\_KEY

表 73. ACCESS\_KEY のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	KEY	フィルタをアップロードする場合は、予めACCESS_KEYレジスタに特定のキーを書き込む必要があります。正しく書き込まれれば、KEYビットは値1をリードバックします。	0x0	R/W

外形寸法

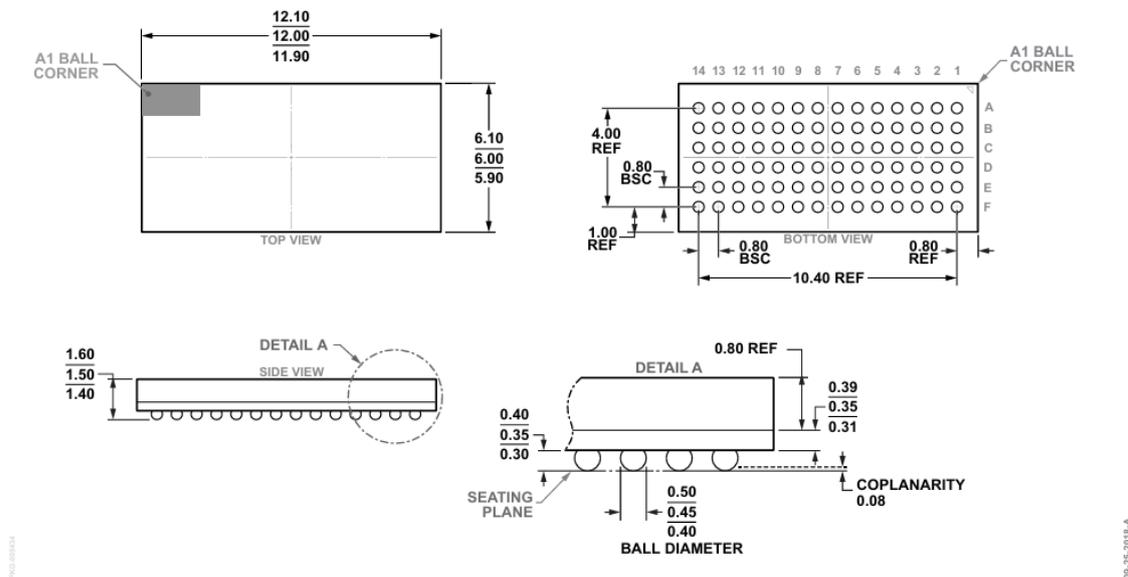


図 118. 84 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-84-4)  
寸法 : mm

更新 : 2024 年 1 月 19 日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADAQ7767-1BBCZ	-40°C to +105°C	84-Ball CSP_BGA	BC-84-4

1 Z = RoHS 適合製品。

評価用ボード

Model <sup>1</sup>	Description
EV-ADAQ7767-1FMC1Z	Evaluation Board

1 Z = RoHS 適合製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2024年11月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年11月5日

製品名：ADAQ7767-1

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：46頁、左の段、「sync3 フィルタ」の項、上から10行目

## 【誤】

「例えば、sync3 フィルタの DEC\_RATE を 16.384MHz の MCLK、SPS の ODR、 $MCLK\_DIV = 2$  の条件で計算するには、・・・」

## 【正】

「例えば、sync3 フィルタの DEC\_RATE を 16.384MHz の MCLK、50SPS の ODR、 $MCLK\_DIV = 2$  の条件で計算するには、・・・」