



# データシート

## ADAQ4381-4

### クワッド、14 ビット、4MSPS、同時サンプリング、 μModule データ・アキュイジション・ソリューション

#### 特長

- ▶ 容易に導入可能な μModule®データ・アキュイジション・システム
  - ▶ ディスクリット・ソリューションと比較して  
フットプリントを 1/11 に削減
  - ▶ 重要な受動部品を統合
  - ▶ 5V 単電源動作
- ▶ 14 ビットのノー・ミス・コードを確保
- ▶ オーバーサンプリング機能搭載
- ▶ 2 ビットの分解能増強
- ▶ 範囲外インジケータ (ALERT)
- ▶ INL :  $\pm 0.3$ LSB (代表値)、 $\pm 1$ LSB (最大値)
- ▶ S/N 比 (代表値)
  - ▶ 85dB (ゲイン = 1.0、 $f_{IN}$  = 1kHz)
  - ▶ 92.4dB (OSR =  $\times 8$ 、ゲイン = 1.0、 $f_{IN}$  = 1kHz)
- ▶ チャンネル間の位相整合 :  $0.005^\circ$  (代表値) ( $f_{IN}$  = 20kHz)
- ▶ ドリフト 3ppm/ $^\circ$ C (代表値) の高精度リファレンスを内蔵
- ▶ ゲイン誤差 : 0.003% (代表値)
- ▶ ゲイン・ドリフト : 0.8ppm/ $^\circ$ C (代表値)
- ▶ VCM 生成機能を備えた内部バッファを内蔵
- ▶ 信号スケール機能付きの完全差動 ADC ドライバを内蔵
  - ▶ 広い入力コモンモード電圧範囲
  - ▶ 高い同相ノイズ除去性能
- ▶ シングルエンド/差動変換
- ▶ ピン選択可能な入力範囲 (オーバーレンジ付き)
  - ▶ 入力範囲 :  $\pm 2$ V、 $\pm 3.3$ V、 $\pm 5.5$ V、 $\pm 11$ V
  - ▶ ゲイン/減衰 : G = 0.3、0.6、1.0、1.6
- ▶ 高速シリアル・インターフェース
- ▶ 8mm  $\times$  8mm、0.8mm ピッチ、81 ボール CSP\_BGA パッケージ

#### アプリケーション

- ▶ 実験室グレードのバッテリー・テスト・システム
- ▶ モータ・コントロールの電流検出
- ▶ モータ・コントロールのポジション・フィードバック
- ▶ ソナー
- ▶ 電力品質モニタリング
- ▶ データ・アキュイジション・システム
- ▶ エルビウム添加ファイバ増幅器 (EDFA) アプリケーション
- ▶ I/Q 復調

#### 概要

ADAQ4381-4 は、部品の選択、最適化、およびレイアウトに関するシグナル・チェーン設計上の課題を設計者からデバイスへと移転することによって、高精度測定システムの開発サイクルを短縮できる、4 チャンネルの高精度データ・アキュイジション (DAQ) シグナル・チェーン μModule ソリューションです。

ADAQ4381-4 はシステム・イン・パッケージ (SIP) 技術を採用しており、複数の共通信号処理および調整ブロックを 1 つのデバイスに統合することで、エンド・システムの部品点数を削減します。これらのブロックには、クワッド・チャンネルの高分解能 14 ビット 4MSPS 同時サンプリング SAR ADC、低ノイズの完全差動 ADC ドライバ・アンプ、3.3V 高精度電圧リファレンス、低ノイズ・バッファ・アンプ、低ドロップアウトのリニア・レギュレータが含まれています。

ADAQ4381-4 はオーバーサンプリング・ブロックを内蔵することで、低帯域幅でのダイナミック・レンジを向上させノイズを低減しています。オーバーサンプリングにより分解能を最大 2 ビット増強できます。ADC ドライバの帰還ループを柔軟に設定できるので、ゲインや減衰の 4 段階の調整が可能な他、完全差動入力構成またはシングルエンド/差動入力構成を使用できます。

ADAQ4381-4 は、アナログ・デバイセズの *iPassives*®技術を採用しており、優れたマッチング特性とドリフト特性を備えた重要な受動部品も内蔵しています。これにより温度に依存する誤差源を最小限に抑え、最適なシグナル・チェーン性能を実現します。ADAQ4381-4 は、小型 (8mm  $\times$  8mm  $\times$  0.8mm ピッチ) の 81 ボール CSP\_BGA パッケージに収められており、パフォーマンスを犠牲にすることなくコンパクトな設計を可能にし、エンド・システムの部品表管理を簡素化します。ADAQ4381-4 の最適な性能は 5V 単電源による動作で確保されており、必要なすべてのバイパスとデカップリング・コンデンサがこのパッケージに含まれています。ADAQ4381-4 システムの集積レベルによって設計上の多くの課題が解決され、マルチチャンネル・アプリケーション向けのコンパクトでシンプルなソリューションを実現できます。

変換結果は、より高いスループットを求める場合は 4 線式モードで同時に、低スループットが許容される場合は 1 線シリアル・モードでクロック出力できます。また、別個のロジック電源を使用することにより、1.8V、2.5V、3.3V のインターフェースに対応します。ADAQ4381-4 は  $-40^\circ\text{C}$  ~  $+105^\circ\text{C}$  の温度範囲で動作するように仕様規定されています。

表 1. μModule データ・アキュイジション・ソリューション

Type	500 kSPS	1 MSPS to 2 MSPS	4 MSPS
14-bit			ADAQ4381-4
16-bit	ADAQ7988	ADAQ4370-4 ADAQ7980 ADAQ4001	ADAQ4380-4
18-bit		ADAQ4003	

## 目次

特長.....	1	オーバーサンプリング.....	31
アプリケーション.....	1	分解能増強.....	33
概要.....	1	アラート.....	33
代表的なアプリケーション図.....	3	電力モード.....	33
仕様.....	4	ソフトウェア・リセット.....	34
タイミング仕様.....	8	診断セルフ・テスト.....	34
絶対最大定格.....	11	インターフェース.....	35
熱抵抗.....	11	変換結果の読出し.....	35
静電放電定格.....	11	低遅延リードバック.....	36
ESDに関する注意.....	11	デバイス・レジスタからの読出し.....	36
ピン配置およびピン機能の説明.....	12	デバイス・レジスタへの書込み.....	36
代表的な性能特性.....	14	CRC.....	37
用語の定義.....	20	レジスタ.....	39
動作原理.....	22	レジスタのアドレス指定.....	39
回路説明.....	22	Configuration1 レジスタ.....	40
伝達関数.....	23	Configuration2 レジスタ.....	41
アプリケーション情報.....	24	アラート表示レジスタ.....	42
代表的な接続図.....	24	アラート下限閾値レジスタ.....	43
ADC ドライバ.....	28	アラート上限閾値レジスタ.....	43
内部リファレンス.....	29	レイアウトのガイドライン.....	44
内部 LDO.....	30	外形寸法.....	45
電源とデカップリング.....	30	オーダー・ガイド.....	45
ADC の動作モード.....	31	評価用ボード.....	45

## 改訂履歴

10/2024—Revision 0: Initial Version

## 代表的なアプリケーション図

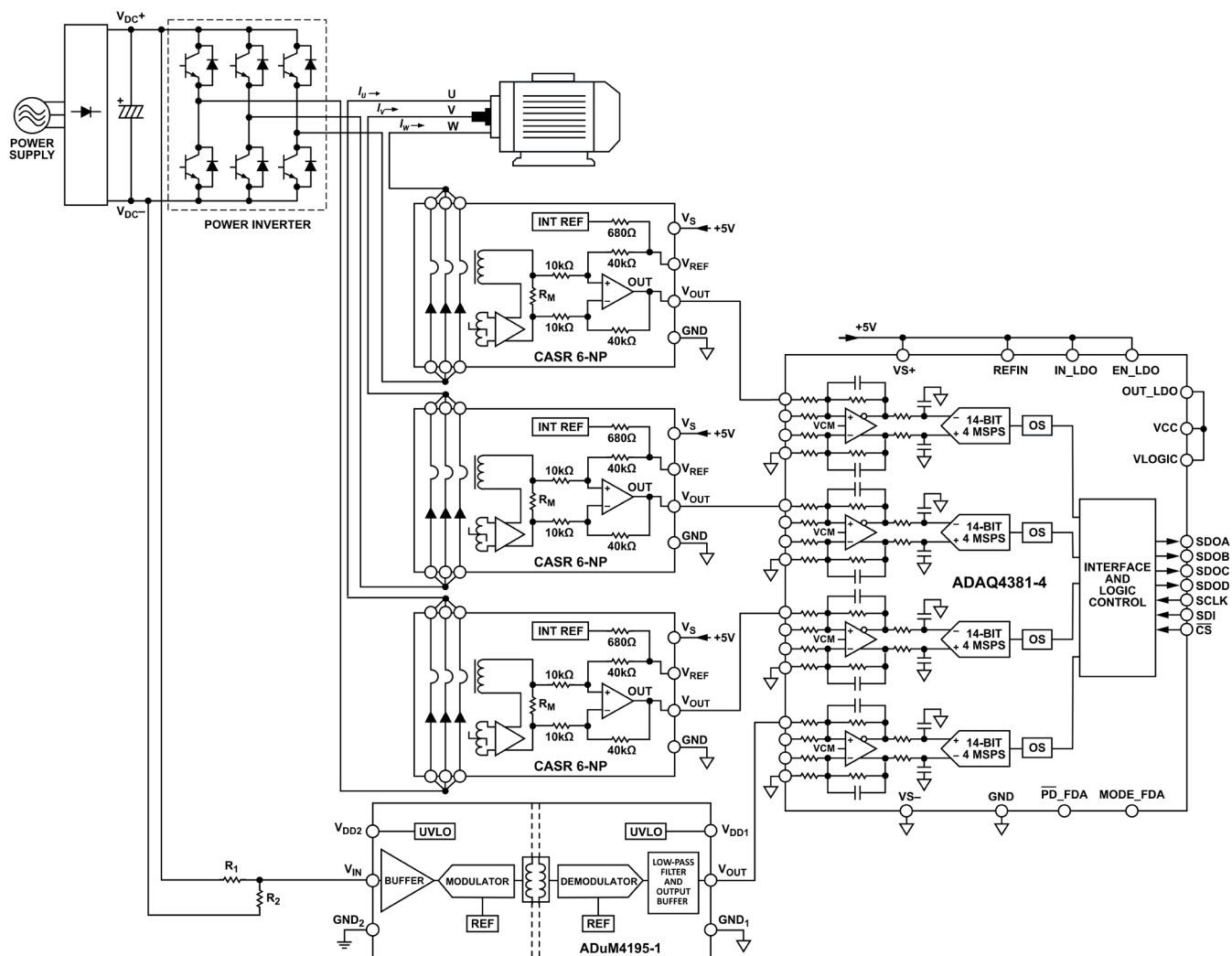


図 1. ADAQ4381-4 を使用したサーボモータ制御のための高精度電流および電圧センシング

## 仕様

特に指定がない限り、 $V_{S+} = \text{REFIN} = \text{IN\_LDO} = \text{EN\_LDO} = 5\text{V} \pm 5\%$ 、 $V_{CC} = V_{\text{LOGIC}} = 3.45\text{V}$  (OUT\_LDO)、 $V_{S-} = 0\text{V}$ 、リファレンス電圧 ( $V_{\text{REF}}$ ) = 内部 3.3V、 $f_{\text{SAMPLE}} = 4\text{MSPS}$ 、完全差動入力構成、フルパワー動作モード、 $T_A = 25^\circ\text{C}$ 、オーバーサンプリングなし。

表 2. 電気仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		14			Bits
ANALOG INPUT CHARACTERISTICS					
Differential Input Voltage Range, $V_{\text{IN}}^1$	Gain = 0.3, $V_{\text{IN}} = 22\text{ V p-p}$	-11		+11	V
	Gain = 0.6, $V_{\text{IN}} = 11\text{ V p-p}$	-5.5		+5.5	V
	Gain = 1.0, $V_{\text{IN}} = 6.6\text{ V p-p}$	-3.3		+3.3	V
	Gain = 1.6, $V_{\text{IN}} = 4.125\text{ V p-p}$	-2.0625		+2.0625	V
Input Resistance, $R_{\text{IN}}$	Fully differential input configuration				
	Gain = 0.3, 0.6		5.40		k $\Omega$
	Gain = 1.0		3.24		k $\Omega$
	Gain = 1.6		2.026		k $\Omega$
	Single-ended input configuration				
	Gain = 0.3		3.05		k $\Omega$
	Gain = 0.6		3.32		k $\Omega$
	Gain = 1.0		2.16		k $\Omega$
	Gain = 1.6		1.46		k $\Omega$
	Input Capacitance		2		pF
THROUGHPUT					
Complete Cycle		250			ns
Conversion Time				190	ns
Acquisition Phase		110			ns
Conversion Rate				4	MSPS
SAMPLING DYNAMICS					
Aperture Delay			2		ns
Aperture Delay Match			46.8	145	ps
Aperture Jitter			20		ps
OVERALL SYSTEM DC ACCURACY					
No Missing Codes		14			Bits
Differential Nonlinearity Error (DNL)	All gains, $V_{S-} = 0\text{ V}$	-0.99	$\pm 0.4$	+1	LSB
Integral Nonlinearity Error (INL) <sup>2</sup>	All gains, $V_{S-} = 0\text{ V}$	-1	$\pm 0.3$	+1	LSB
Gain Error	Gain = 0.3	-0.15	$\pm 0.002$	+0.15	%FS
	Gain = 0.6, 1.0, 1.6	-0.05	$\pm 0.003$	+0.05	%FS
Gain Error Drift	All gains		$\pm 0.8$		ppm/ $^\circ\text{C}$
Offset Error, Referred to Output (RTO)	Gain = 0.3	-0.65	$\pm 0.17$	+0.65	mV
	Gain = 0.6	-0.6	$\pm 0.16$	+0.6	mV
	Gain = 1.0	-0.75	$\pm 0.15$	+0.75	mV
	Gain = 1.6	-0.9	$\pm 0.13$	+0.9	mV
Offset Error Drift	All gains	-2.0	$\pm 0.5$	+2.0	$\mu\text{V}/^\circ\text{C}$
Common-Mode Rejection Ratio (CMRR)	$\Delta V_{\text{ICM}}/\Delta V_{\text{OSDIFF}}$		80		dB
Power-Supply Rejection Ratio	$V_{S+}$ , REFIN, IN_LDO = 4.75 V to 5.25 V, $V_{S-} = \text{GND}$		95		dB
OVERALL SYSTEM AC ACCURACY <sup>3</sup>					
Dynamic Range	Fully differential and single-ended input configuration				
	$V_{\text{IN}} = -60\text{ dBFS}$ , $f_{\text{IN}} = 1\text{ kHz}$				
	Gain = 0.3, 0.6		85.3		dB
	Gain = 1.0, 1.6		85.1		dB
Total RMS Noise, Referred to Output (RTO)	$V_{\text{IN}} = -60\text{ dBFS}$ , $f_{\text{IN}} = 1\text{ kHz}$				
	Gain = 0.3, 0.6		126.7		$\mu\text{V}_{\text{RMS}}$
	Gain = 1.0, 1.6		129.7		$\mu\text{V}_{\text{RMS}}$



## 仕様

表 2. 電気仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Signal-to-Noise Ratio	$V_{IN} = -0.5$ dBFS, $f_{IN} = 1$ kHz Gain = 0.3, 0.6	84.1	85.1		dB
	Gain = 1.0, 1.6	84.0	85.0		dB
	Gain = 1.0, rolling average OSR = 8x, RES = 1		92.4		dB
	Gain = 1.0, $f_{IN} = 100$ kHz, full power mode		84.9		dB
	Gain = 1.0, $f_{IN} = 200$ kHz, full power mode		84.8		dB
Signal-to-Noise + Distortion (SINAD)	$V_{IN} = -0.5$ dBFS, $f_{IN} = 1$ kHz Gain = 0.3, 0.6	84.0	85.0		dB
	Gain = 1.0, 1.6	83.9	84.9		dB
	Gain = 1.0, $f_{IN} = 100$ kHz, full power mode		84.7		dB
	Gain = 1.0, $f_{IN} = 200$ kHz, full power mode		84.4		dB
Total Harmonic Distortion	$V_{IN} = -0.5$ dBFS, $f_{IN} = 1$ kHz All gains		-108		dB
Spurious-Free Dynamic Range	$V_{IN} = -0.5$ dBFS, $f_{IN} = 1$ kHz All gains		109		dB
-3 dB Bandwidth	Gain = 0.3		12.5		MHz
	Gain = 0.6, 1.0, 1.6		5.8		MHz
Channel-to-Channel Isolation	All gains, $f_{IN} = 1$ kHz		-113		dB
Channel-to-Channel Phase Matching	All gains, $f_{IN} = 20$ kHz		0.005		Degrees
REFERENCE CHARACTERISTICS					
$V_{REFIN}$	Internal-reference supply voltage	4.5	5.0	5.5	V
$I_{REFIN}$	Internal-reference supply current		350	600	$\mu$ A
$V_{REFSENSE}$	Internal-reference output voltage sense		3.3		V
	-40°C to +105°C	3.285		3.315	V
$V_{REF}$ Temperature Coefficient	$TCV_{OUT}$ -40°C $\leq T_A \leq$ +105°C		3	10	ppm/°C
$V_{REF}$ Line Regulation			1.2	5	ppm/V
$V_{REF}$ Load Regulation			3	8	ppm/mA
$V_{REF}$ Noise			9		$\mu$ V <sub>RMS</sub>
Output Voltage Hysteresis <sup>4</sup>	$\Delta V_{OUT\_HYS}$ $\Delta T = 25^\circ\text{C}$ to $-40^\circ\text{C}$ to $25^\circ\text{C}$ $\Delta T = 25^\circ\text{C}$ to $105^\circ\text{C}$ to $25^\circ\text{C}$ $\Delta T = -40^\circ\text{C}$ to $+105^\circ\text{C}$		43 -50 8		ppm ppm ppm
LDO CHARACTERISTICS					
IN_LDO Voltage Range		4.5	5.0	5.5	V
IN_LDO Supply Current	$I_{OUT\_LDO} = 150$ mA		130	190	$\mu$ A
OUT_LDO Voltage	Internal LDO Output	3.35	3.45	3.55	V
Maximum Output Current			150		mA
Shutdown Current	IN_LDO = GND		0.1	1	$\mu$ A
Load Regulation	$I_{OUT\_LDO} = 1$ mA to 150 mA		0.0005		%/mA
Start-Up Time			350		$\mu$ s
Thermal Shutdown Threshold			150		°C
Thermal Shutdown Hysteresis			15		°C
DIGITAL INPUTS (SCLK, SDI, $\overline{CS}$ )					
Input Voltage Low ( $V_{IL}$ )	Logic levels			$0.2 \times V_{LOGIC}$	V
Input Voltage High ( $V_{IH}$ )		$0.8 \times V_{LOGIC}$			V
Input Current Low ( $I_{IL}$ )		-1		+1	$\mu$ A
Input Current High ( $I_{IH}$ )		-1		+1	$\mu$ A

## 仕様

表 2. 電気仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL OUTPUTS (SDOA, SDOB, SDOC, SDOD/ALERT)					
Output Coding			Twos complement		Bits
Output Low Voltage ( $V_{OL}$ )	Current sink ( $I_{SINK}$ ) = +300 $\mu$ A			0.4	V
Output High Voltage ( $V_{OH}$ )	Current source ( $I_{SOURCE}$ ) = -300 $\mu$ A	$V_{LOGIC} - 0.3$			V
Floating-State Leakage Current				$\pm 1$	$\mu$ A
Floating-State Output Capacitance			10		pF
POWER-DOWN/MODE SIGNALING	$\overline{PD\_FDA}/MODE\_FDA$				
Low	Disabled, low power mode		<1		V
High	Enabled, full power mode		>1.5		V
POWER SUPPLY REQUIREMENTS					
Operating Voltage Range					
$V_{CC}$		3.4		3.6	V
$V_{LOGIC}$		1.65		3.6	V
$V_{S+}$ <sup>5</sup>		4.5	5.0	5.5	V
$V_{S-}$		-5		0	V
ADAQ4381-4 Current Draw	$V_{CC} = V_{LOGIC} = 3.45$ V, $V_S = 5$ V				
$I_{VCC}$	$V_{CC}$ supply current				
	Normal mode (Dynamic)		38	42	mA
	Normal mode (Static)		1.8	2.3	mA
	Shutdown mode		101	200	$\mu$ A
$I_{VLOGIC}$	$V_{LOGIC}$ supply current				
	Normal mode (Dynamic)		7.3	9	mA
	Normal mode (Static)		10	200	nA
	Shutdown mode		10	200	nA
$I_{VS+}/I_{VS-}$	$V_{S+}/V_{S-}$ supply current				
	Full power mode		25	28	mA
	Low power mode		15	18	mA
ADAQ4381-4 Power Dissipation	$V_{CC} = V_{LOGIC} = 3.45$ V, $V_S = 5$ V				
$P_{VCC}$	$V_{CC}$ power				
	Normal mode (Dynamic)		130	155	mW
	Normal mode (Static)		6	8	mW
$P_{VLOGIC}$	$V_{LOGIC}$ power				
	Normal mode (Dynamic)		25	28	mW
	Normal mode (Static)		36	720	nW
$P_{VS+}/VS-$	$V_{S+}/V_{S-}$ power				
	Full power mode		125	135	mW
	Low power mode		75	80	mW
Total Power Dissipation	ADAQ4381-4 power dissipation				
	Dynamic, full power mode		280	318	mW
	Dynamic, low power mode		230	263	mW
TEMPERATURE RANGE					
Specified Performance	$T_{MIN}$ to $T_{MAX}$ <sup>6</sup>	-40		+105	°C

<sup>1</sup> 絶対差動入力範囲  $V_{IN}$  は、図 48～図 55 に示すような許容入力コモンモード電圧範囲内に収める必要があります。 $V_{IN}$  は、使用する電源レール  $V_{S+}$  および  $V_{S-}$  に依存します。

<sup>2</sup> 絶対差動入力範囲  $V_{IN}$  をフルスケールの 95%以内に制限することで、ADC ドライバには  $V_S = 0$  V で十分なフットルームが確保され、仕様規定された性能を達成することができます。

## 仕様

<sup>3</sup> 特に指定のない限り、デシベルで表記されるすべての AC 仕様は、フルスケール入力レンジ (FSR) を基準とし、フルスケールより 0.5dB 低い入力信号でテストされたものです。

<sup>4</sup> 出力電圧のヒステリシスはパッケージの応力によって生じますが、この応力は、その IC がそれまで置かれていた環境が、現在より高温だったのか低温だったのかによって異なります。出力電圧は常に 25°C で測定しますが、連続測定時は、IC に高温限界値または低温限界値までの温度サイクルを実行してから測定を行います。ヒステリシスは、高温または低温の 3 つの温度サイクルの平均値に対する最大の出力変化を測定します。適切な温度管理 (20°C ~ 30°C の動作温度) の下で保管されている計測器の場合、通常は支配的な誤差要因とはなりません。代表的なヒステリシスは、1 回の熱サイクルごとに事前に調整された、25°C → 低温 → 25°C、または 25°C → 高温 → 25°C の最も厳しい条件での値です。

<sup>5</sup> 最大動作電源電圧  $V_S$  ( $V_{S+} - V_{S-}$ ) は 10V を超えてはなりません。

<sup>6</sup> ADAQ4381-4 の性能は、拡張工業用温度範囲  $T_{CASE} = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$  の全体に対して評価されています。

## 仕様

## タイミング仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 3.3V$ 、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ 、 $C_{LOAD\_SDO} = 30pF$ 。

表 3. デジタル・インターフェースのタイミング

Parameter	Min	Typ	Max	Unit	Description
$t_{CYC}$	250			ns	Time between conversions
$t_{SCLKED}$	5			ns	$\overline{CS}$ falling edge to first SCLK falling edge
$t_{SCLK}$	12.5			ns	SCLK period
$t_{SCLKH}$	5.5			ns	SCLK high time
$t_{SCLKL}$	5.5			ns	SCLK low time
$t_{CSH}$	10			ns	$\overline{CS}$ pulse width
$t_{QUIET}$	10			ns	Interface quiet time prior to conversion
$t_{SDOEN}$					$\overline{CS}$ low to SDOx enabled
			5.5	ns	$V_{LOGIC} \geq 1.75V$
			7.6	ns	$V_{LOGIC} < 1.75V$
$t_{SDOH}$	3			ns	SCLK rising edge to SDOx hold time
$t_{SDOS}$					SCLK rising edge to SDOx setup time
			5.5	ns	$V_{LOGIC} \geq 2.1V$
			7.5	ns	$1.65V \leq V_{LOGIC} < 2.1V$
$t_{SDOT}$			8	ns	$\overline{CS}$ rising edge to SDOx high impedance
$t_{SDIS}$	4			ns	SDI setup time prior to SCLK falling edge
$t_{SDIH}$	4			ns	SDI hold time after SCLK falling edge
$t_{SCLKCS}$	0			ns	SCLK rising edge to $\overline{CS}$ rising edge
$t_{CONVERT}$			190	ns	Conversion time
$t_{ACQUIRE}$	110			ns	Acquire time
$t_{RESET}$		250		ns	Valid time to start conversion after soft reset
		800		ns	Valid time to start conversion after hard reset
$t_{POWER-UP}$					Supply active to conversion
			5	ms	First conversion allowed
			5	ms	Settled to within 1%
$t_{REGWRITE}$			5	ms	Supply active to register read write access allowed
$t_{STARTUP}$					Exiting shutdown mode to conversion
			10	$\mu s$	Settled to within 1%
$t_{CONVERT0}$	6	8	10	ns	Conversion time for first sample in OS normal mode
$t_{CONVERTx}$	$t_{CONVERT0} + (250 \times (x - 1))$			ns	Conversion time for x <sup>th</sup> sample in OS normal mode
$t_{ALERTS}$			220	ns	Time from $\overline{CS}$ to $\overline{ALERT}$ indication
$t_{ALERTC}$			10	ns	Time from $\overline{CS}$ to $\overline{ALERT}$ clear
$t_{ALERTS\_NOS}$			20	ns	Time from internal conversion with exceeded threshold to $\overline{ALERT}$ indication

仕様

## タイミング図

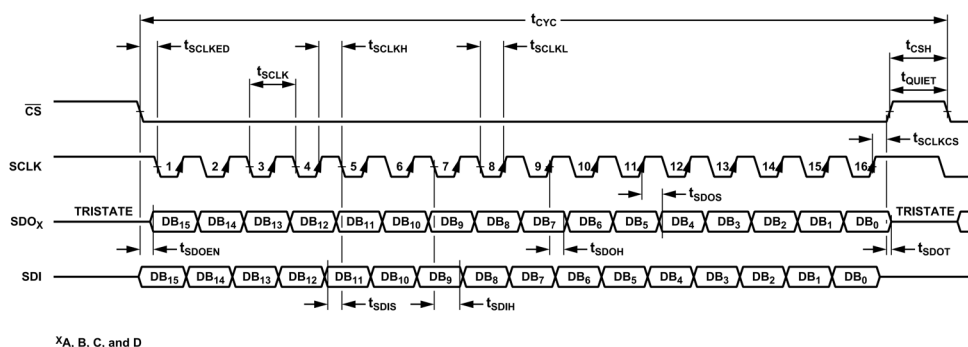


図 2. シリアル・インターフェースのタイミング図

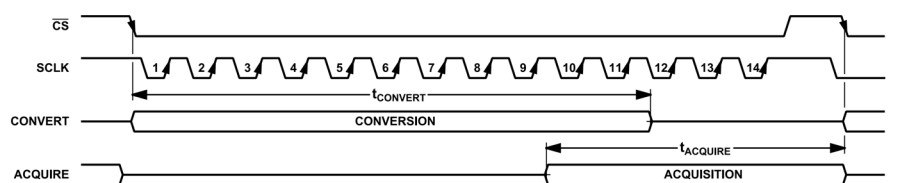


図 3. 内部変換取得のタイミング

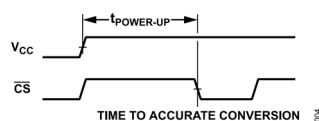


図 4. 変換までのパワーアップ時間

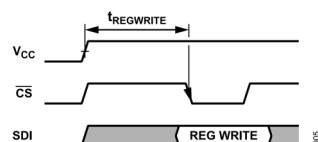


図 5. レジスタの読書きアクセスまでのパワーアップ時間

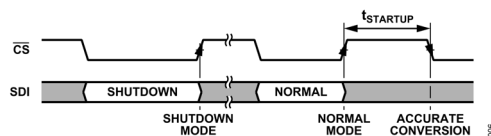


図 6. シャットダウン・モードからノーマル・モードへの遷移タイミング

仕様

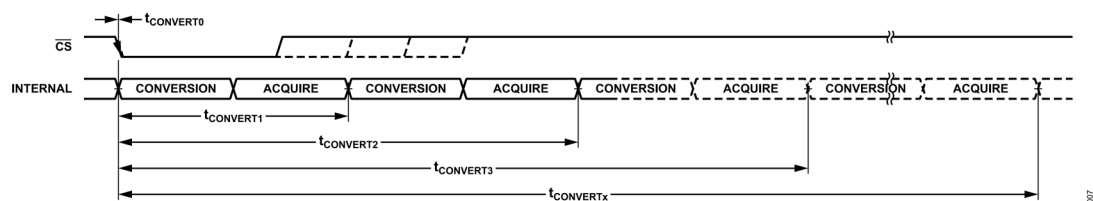


図 7. OS ノーマル・モードでの変換タイミング

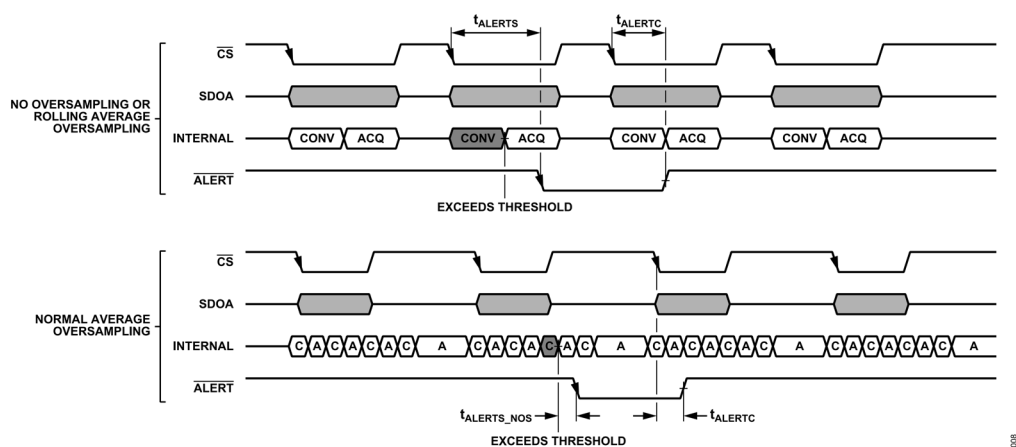


図 8.  $\overline{\text{ALERT}}$  のタイミング

## 絶対最大定格

表 4. 絶対最大定格

Parameter	Rating
Analog Inputs	
IN <sub>X</sub> 1+, IN <sub>X</sub> 1-, IN <sub>X</sub> 2+, IN <sub>X</sub> 2- to GND	-12.5 V to +12.5 V or $\pm 10$ mA
Supply Voltages	
V <sub>S</sub>	11 V
IN_LDO to GND	-0.3 V to +6.5 V
EN_LDO to GND	-0.3 V to +6.5 V
V <sub>LOGIC</sub> to GND	-0.3 V to +4 V
V <sub>CC</sub> to GND	-0.3 V to +4 V
REFIN to GND	-0.3 V to +38 V
Digital Inputs to GND	-0.3 V to V <sub>LOGIC</sub> + 0.3 V
Digital Outputs to GND	-0.3 V to V <sub>LOGIC</sub> + 0.3 V
Temperature	
Storage Range	-65°C to +150°C
Junction	125°C
Lead Soldering	260°C reflow as per JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。θ<sub>JA</sub> は、1 立方フィートの密封容器内で測定された、自然対流下でのジャンクションから周囲への熱抵抗です。θ<sub>JB</sub> は、ジャンクションから基板への熱抵抗です。θ<sub>JC</sub> は、ジャンクションからケースへの熱抵抗です。

表 5. 熱抵抗

Package Type <sup>1</sup>	θ <sub>JA</sub>	θ <sub>JC_TOP</sub>	θ <sub>JC_BOTTOM</sub>	θ <sub>JB</sub>	ψ <sub>JT</sub>	ψ <sub>JB</sub>	Unit
BC-81-7	27.2	38.1	10.4	11.9	5.7	12.0	°C/W

<sup>1</sup> テスト条件 1：熱抵抗のシミュレーション値は、ビアを備えた 2S2P の JEDEC PCB を使用した場合の値です。ただし、θ<sub>JC\_TOP</sub> では 1S0P の JEDEC PCB を使用しています。

特に指定のない限り、表 5 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいてシミュレーションされており、JESD51-12 に従って使用する必要があります。

## 静電放電定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

## ADAQ4381-4 の ESD 定格

表 6. ADAQ4381-4、81 ボール CSP\_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	±2000	2
FICDM	±500	C2B

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能の説明

**ADAQ4381-4**  
TOP VIEW  
(Not to Scale)

	1	2	3	4	5	6	7	8	9
A	GND	INC1+	INC1-	IND2+	IND2-	IND1+	IND1-	GND	GND
B	GND	OUTC-	OUTC+	SJD+	SJD-	OUTD-	OUTD+	GND	SDOD/ ALERT
C	INC2-	SJC-	VS+	VS+	IN_LDO	EN_LDO	GND	VLOGIC	SDOC
D	INC2+	SJC+	VS+	VS+	IN_LDO	OUT_LDO	OUT_LDO	GND	SCLK
E	GND	PB_FDA	MODE_FDA	GND	GND	DNC	VCC	GND	SDI
F	INB2+	SJB+	VS-	VS-	DNC	DNC	REFIN	GND	SDOB
G	INB2-	SJB-	VS-	VS-	GND	REFSENSE	DNC	GND	SDOA
H	GND	OUTB-	OUTB+	SJA+	SJA-	OUTA-	OUTA+	GND	$\overline{CS}$
J	GND	INB1+	INB1-	INA2+	INA2-	INA1+	INA1-	GND	GND

## NOTES

1. DNC = DO NOT CONNECT. LEAVE THESE PINS FLOATING/UNCONNECTED.

08

図 9. ピン配置

表 7. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
A1, A8, A9, B1, B8, C7, D8, E1, E4, E5, E8, F8, G5, G8, H1, H8, J1, J8, J9	GND	P	電源グラウンド。
A2	INC1+	AI	チャンネル C の 1.62kΩ ゲイン抵抗ネットワークへの正側入力。
A3	INC1-	AI	チャンネル C の 1.62kΩ ゲイン抵抗ネットワークへの負側入力。
A4	IND2+	AI	チャンネル D の 2.70kΩ ゲイン抵抗ネットワークへの正側入力。
A5	IND2-	AI	チャンネル D の 2.70kΩ ゲイン抵抗ネットワークへの負側入力。
A6	IND1+	AI	チャンネル D の 1.62kΩ ゲイン抵抗ネットワークへの正側入力。
A7	IND1-	AI	チャンネル D の 1.62kΩ ゲイン抵抗ネットワークへの負側入力。
B2	OUTC-	AO <sup>2</sup>	チャンネル C の ADC ドライバの負側出力。
B3	OUTC+	AO <sup>2</sup>	チャンネル C の ADC ドライバの正側出力。
B4	SJD+	AI	チャンネル D の ADC ドライバの正側入力サミング・ノード。
B5	SJD-	AI	チャンネル D の ADC ドライバの負側入力サミング・ノード。
B6	OUTD-	AO <sup>2</sup>	チャンネル D の ADC ドライバの負側出力
B7	OUTD+	AO <sup>2</sup>	チャンネル D の ADC ドライバの正側出力。
B9	SDOD/ $\overline{ALERT}$	DO	シリアル・データ出力 D/ $\overline{ALERT}$ 。このピンは、シリアル・データ出力ピン、またはアラート表示出力ピンとして機能します。 SDOD：このピンは、変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 $\overline{ALERT}$ ：このピンは、アラート・ピンとして機能し、ローになることで変換結果が設定閾値を超えたことを示します。
C1	INC2-	AI	チャンネル C の 2.70kΩ ゲイン抵抗ネットワークへの負側入力。
C2	SJC-	AI	チャンネル C の ADC ドライバの負側入力サミング・ノード。
C3, C4, D3, D4	VS+	P	アンプの正側電源。これらのピンは内部でグラウンドとの間でデカップリングされています。デカップリング・コンデンサの追加が、必要でない場合もあります。
C5, D5	IN_LDO	P	内蔵 LDO の入力電圧。VS+（あるいは 3.6V < IN_LDO < 5.5V となる電源）に接続します。このピンは内部でグラウンドとの間でデカップリングされています。デカップリング・コンデンサの追加が、必要でない場合もあります。
C6	EN_LDO	P	LDO イネーブル。内蔵 LDO をイネーブル場合は、IN_LDO または VS+に接続します。それ以外の場合は、GND に接続します。
C8	VLOGIC	P	ADC ロジック・インターフェースの電源電圧。このピンは内部でグラウンドとの間でデカップリングされています。デカップリング・コンデンサの追加が、必要でない場合もあります。

## ピン配置およびピン機能の説明

表 7. ピン機能の説明（続き）

ピン番号	記号	タイプ <sup>1</sup>	説明
C9	SDOC	DO	シリアル・データ出力 C。このピンは、変換結果およびレジスタの内容にアクセスするためのシリアル・データ出力ピンとして機能します。
D1	INC2+	AI	チャンネル C の 2.70kΩ ゲイン抵抗ネットワークへの正側入力。
D2	SJC+	AI	チャンネル C の ADC ドライバの正側入力サミング・ノード。
D6, D7	OUT_LDO	P	内蔵 LDO の出力電圧。このピンの電圧は 3.45V（代表値）です。
D9	SCLK	DI	シリアル・クロック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。
E2	$\overline{\text{PD\_FDA}}$	P	アクティブ・ロー。ADC ドライバをパワーダウン（ディスエーブル）するには、このピンを GND に接続します。通常動作では、VS+に接続します。
E3	MODE_FDA	P	ADC ドライバの電力モード。VS+に接続すると、フルパワー動作モードになります。GND に接続すると、ローパワー動作モードになります。
E6, F5, F6, G7	DNC	N/A <sup>3</sup>	接続禁止。これらのピンはフロート状態／無接続にしておきます。
E7	VCC	P	ADC アナログ電源電圧。このピンは内部でグラウンドとの間でデカップリングされています。デカップリング・コンデンサの追加が、必要でない場合もあります。
E9	SDI	DI	シリアル・データ入力。このピンは、内蔵コントロール・レジスタに書き込まれたデータを提供します。
F1	INB2+	AI	チャンネル B の 2.70kΩ ゲイン抵抗ネットワークへの正側入力。
F2	SJB+	AI	チャンネル B の ADC ドライバの正側入力サミング・ノード。
F3, F4, G3, G4	VS-	P	アンプの負側電源。これらのピンは内部でグラウンドとの間でデカップリングされています。デカップリング・コンデンサの追加が、必要でない場合もあります。
F7	REFIN	P	内部リファレンス電源電圧。通常動作では、VS+に接続します。このピンは内部でグラウンドとの間でデカップリングされています。デカップリング・コンデンサの追加が、必要でない場合もあります。
F9	SDOB	DO	シリアル・データ出力 B。このピンは、変換結果およびレジスタの内容にアクセスするためのシリアル・データ出力ピンとして機能します。
G1	INB2-	AI	チャンネル B の 2.70kΩ ゲイン抵抗ネットワークへの負側入力。
G2	SJB-	AI	チャンネル B の ADC ドライバの負側入力サミング・ノード。
G6	REFSENSE	AO <sup>2</sup>	リファレンス出力センス・ピン。 正確なゲイン・キャリブレーションのため、このピンを使用して内部 3.3V リファレンスの実電圧レベルを計測します。使用しない場合は、このピンをフローティング状態／無接続にします。 システムの安定性を確保するため、このピンに接続する容量性負荷が 1μF を超えることがないようにします。
G9	SDOA	DO	シリアル・データ出力 A。このピンは、変換結果およびレジスタの内容にアクセスするためのシリアル・データ出力ピンとして機能します。
H2	OUTB-	AO <sup>2</sup>	チャンネル B の ADC ドライバの負側出力。
H3	OUTB+	AO <sup>2</sup>	チャンネル B の ADC ドライバの正側出力。
H4	SJA+	AI	チャンネル A の ADC ドライバの正側入力サミング・ノード。
H5	SJA-	AI	チャンネル A の ADC ドライバの負側入力サミング・ノード。
H6	OUTA-	AO <sup>2</sup>	チャンネル A の ADC ドライバの負側出力。
H7	OUTA+	AO <sup>2</sup>	チャンネル A の ADC ドライバの正側出力。
H9	$\overline{\text{CS}}$	DI	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力は、ADAQ4381-4 の変換開始とシリアル・データ転送のフレーミングの 2 通りの機能を提供します。
J2	INB1+	AI	チャンネル B の 1.62kΩ ゲイン抵抗ネットワークへの正側入力。
J3	INB1-	AI	チャンネル B の 1.62kΩ ゲイン抵抗ネットワークへの負側入力。
J4	INA2+	AI	チャンネル A の 2.70kΩ ゲイン抵抗ネットワークへの正側入力。
J5	INA2-	AI	チャンネル A の 2.70kΩ ゲイン抵抗ネットワークへの負側入力。
J6	INA1+	AI	チャンネル A の 1.62kΩ ゲイン抵抗ネットワークへの正側入力。
J7	INA1-	AI	チャンネル A の 1.62kΩ ゲイン抵抗ネットワークへの負側入力。

<sup>1</sup> AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力です。<sup>2</sup> アナログ出力ピンは、電圧のモニタリングと計測、および ADAQ4381-4 のゲイン設定にのみ使用します。外部から駆動しないでください。<sup>3</sup> N/A は該当なしを意味します。

## 代表的な性能特性

特に指定がない限り、 $V_S = \text{REFIN} = \text{IN\_LDO} = \text{EN\_LDO} = 5\text{V}$ 、 $V_{CC} = V_{\text{LOGIC}} = 3.45\text{V}$ 、リファレンス電圧 ( $V_{\text{REF}}$ ) = 内部 3.3V、 $f_{\text{SAMPLE}} = 4\text{MSPS}$ 、完全差動入力構成、フルパワー動作モード、 $T_A = 25^\circ\text{C}$ 、オーバーサンプリングなし。

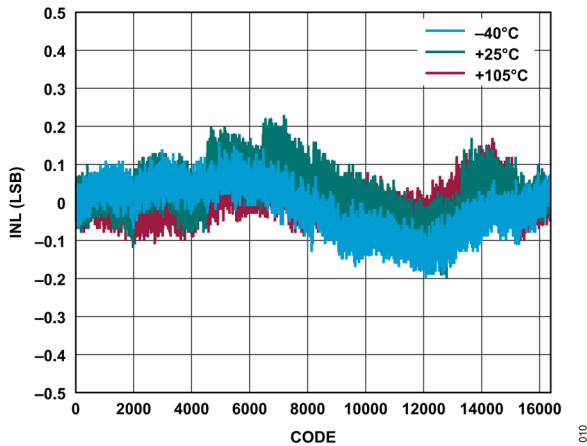


図 10. 様々な温度での INL とコードの関係、ゲイン = 1.0

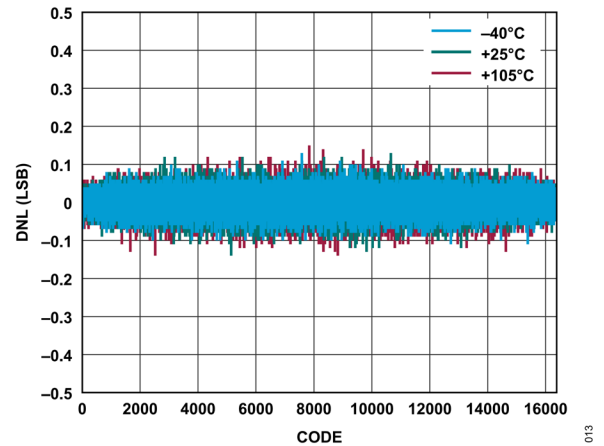


図 13. 様々な温度での DNL とコードの関係、ゲイン = 1.0

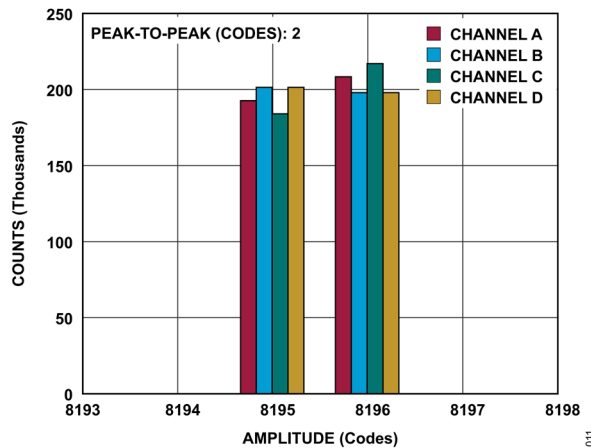


図 11. コード遷移時の DC 入力ヒストグラム

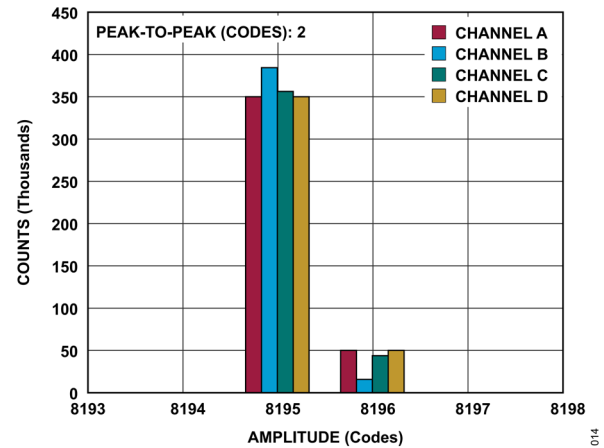


図 14. コード中心での DC 入力ヒストグラム

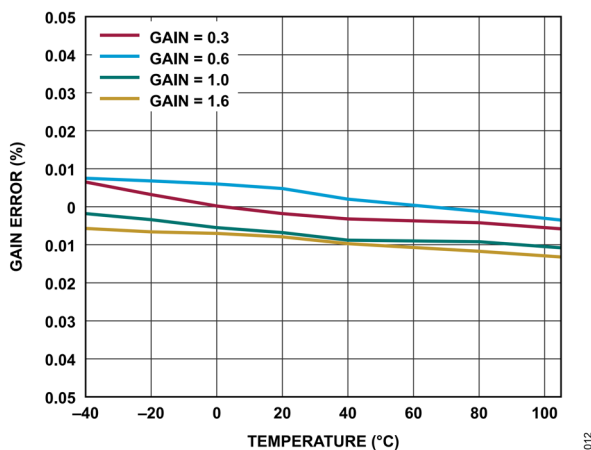


図 12. ゲイン誤差と温度の関係

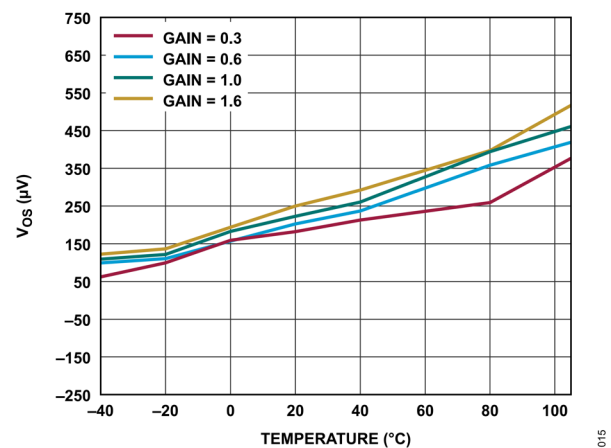


図 15. オフセット誤差と温度の関係

代表的な性能特性

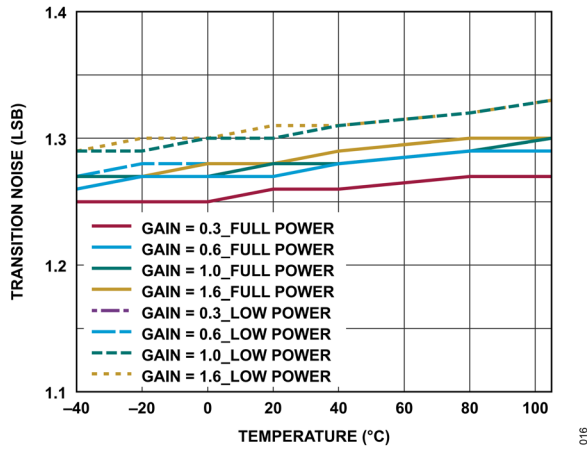


図 16. 遷移ノイズの温度特性

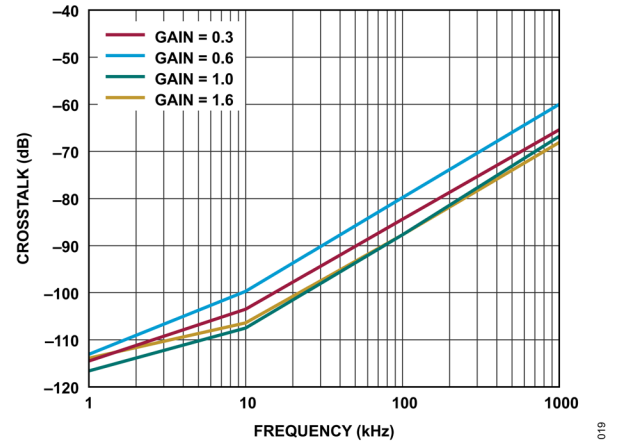


図 19. チャンネル間アイソレーションと周波数の関係

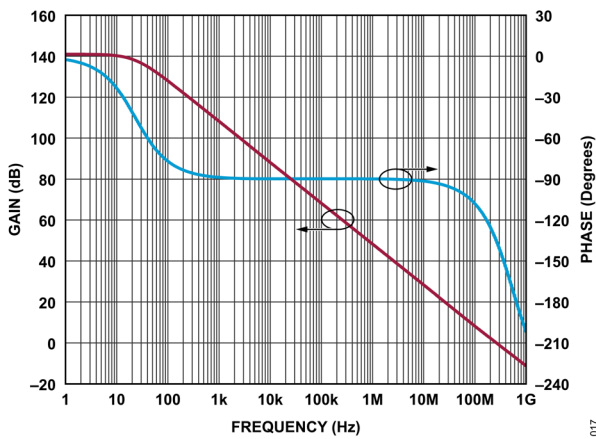


図 17. ADC ドライバのオープンループ・ゲインおよび位相と周波数の関係

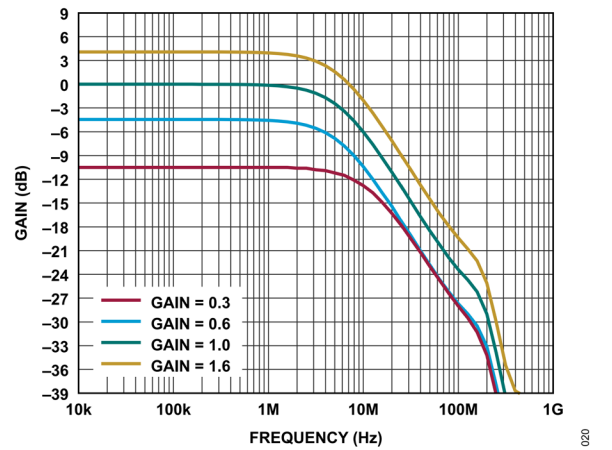


図 20. ADC ドライバのクローズドループ・ゲインと周波数の関係

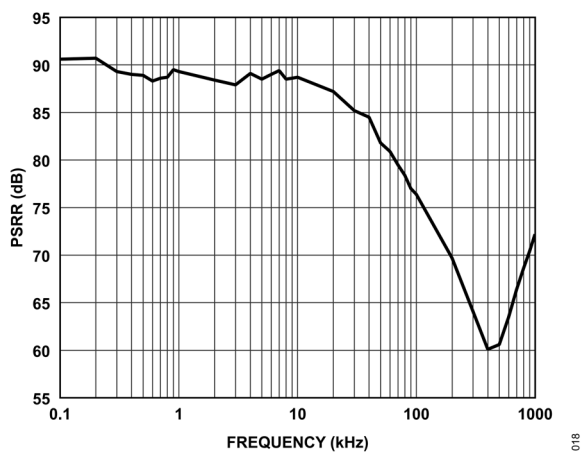


図 18. PSRR と周波数の関係

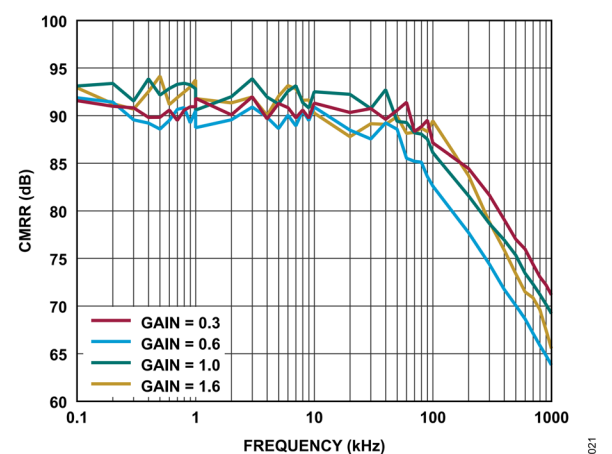


図 21. CMRR と周波数の関係

## 代表的な性能特性

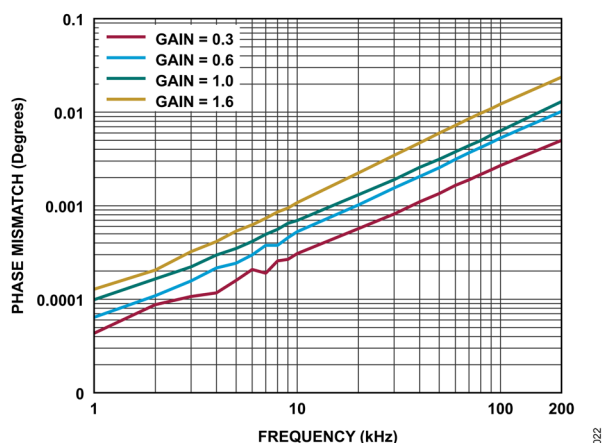


図 22. チャンネル間の位相マッチングと周波数の関係

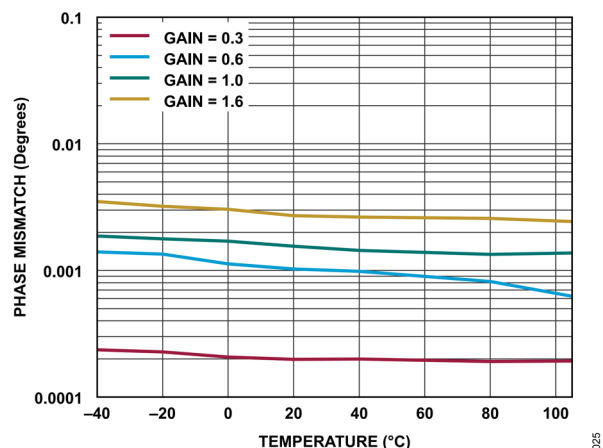
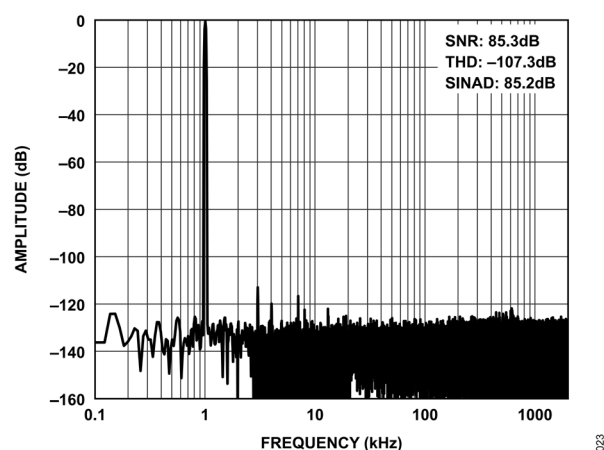
図 25. チャンネル間の位相マッチングと温度の関係、 $f_{IN} = 20\text{kHz}$ 

図 23. 1kHz、-0.5dBFS 入力トーン FFT、ゲイン = 0.3、差動入力、フルパワー動作モード

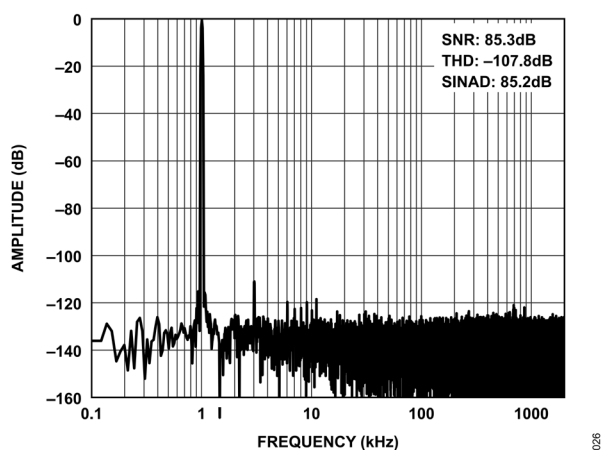


図 26. 1kHz、-0.5dBFS 入力トーン FFT、ゲイン = 0.3、シングルエンド入力、フルパワー動作モード

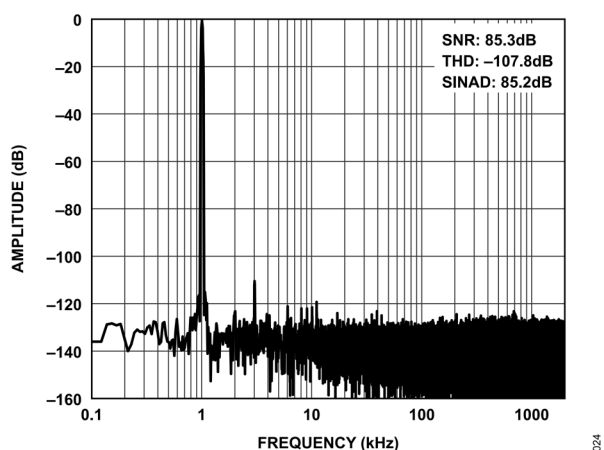


図 24. 1kHz、-0.5dBFS 入力トーン FFT、ゲイン = 0.3、差動入力、ローパワー動作モード

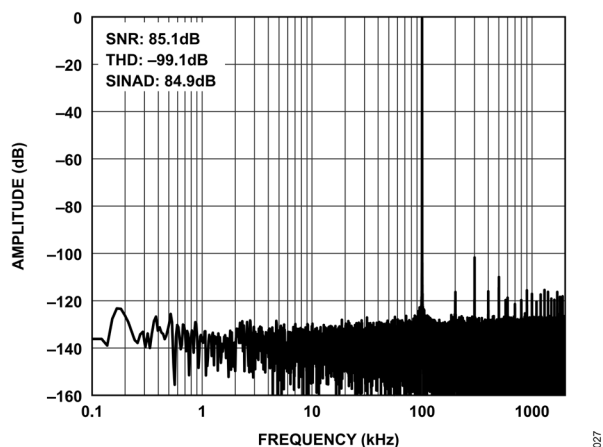


図 27. 100kHz、-0.5dBFS 入力トーン FFT、ゲイン = 0.3、差動入力、通常消費電力モード

## 代表的な性能特性

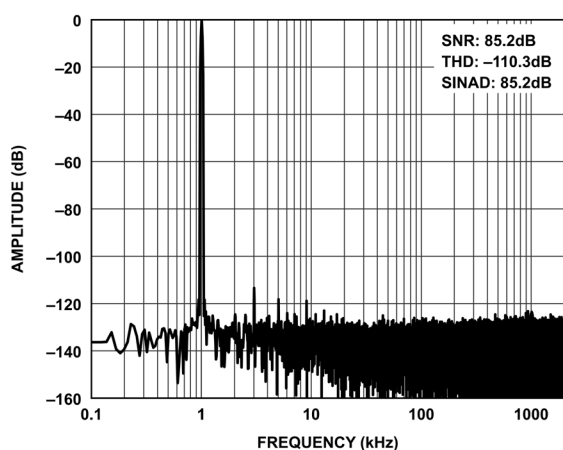


図 28. 1kHz、-0.5dBFS 入力トーン FFT、  
ゲイン = 0.6、差動入力、通常消費電力モード

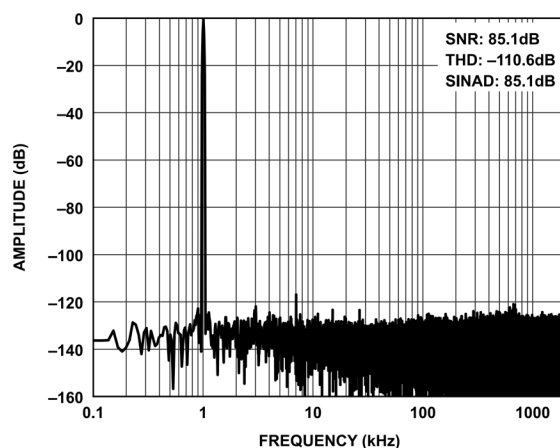


図 31. 1kHz、-0.5dBFS 入力トーン FFT、  
ゲイン = 0.6、シングルエンド入力、ローパワー動作モード

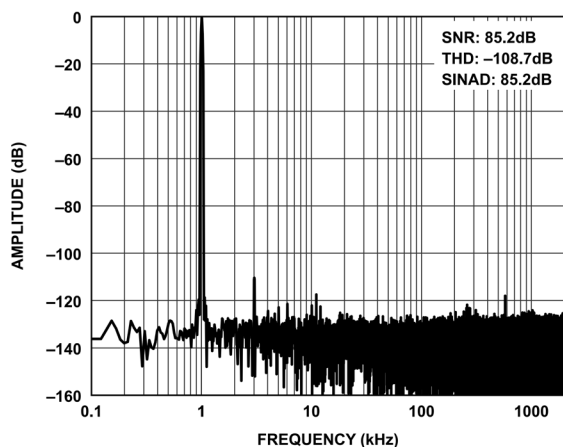


図 29. 1kHz、-0.5dBFS 入力トーン FFT、  
ゲイン = 1.0、差動入力、通常消費電力モード

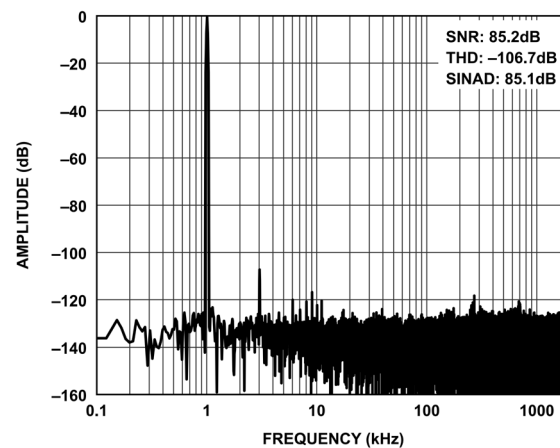


図 32. 1kHz、-0.5dBFS 入力トーン FFT、  
ゲイン = 1.0、シングルエンド入力、通常消費電力モード

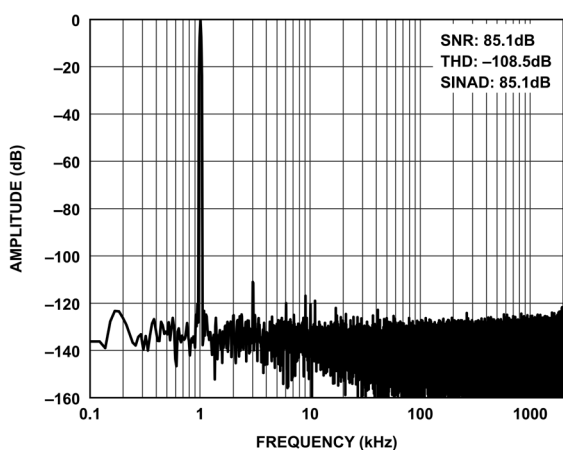


図 30. 1kHz、-0.5dBFS 入力トーン FFT、  
ゲイン = 1.6、差動入力、通常消費電力モード

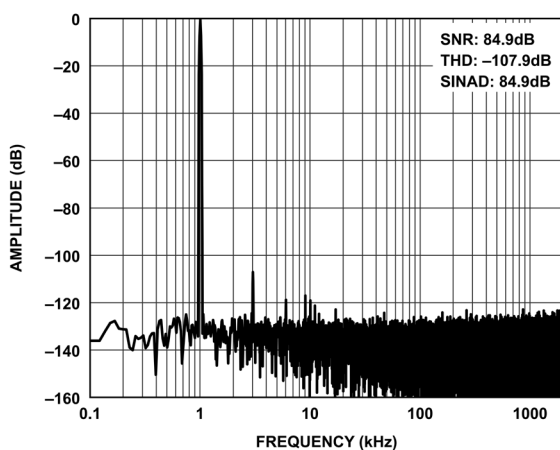


図 33. 1kHz、-0.5dBFS 入力トーン FFT、  
ゲイン = 1.6、シングルエンド入力、低消費電力モード

## 代表的な性能特性

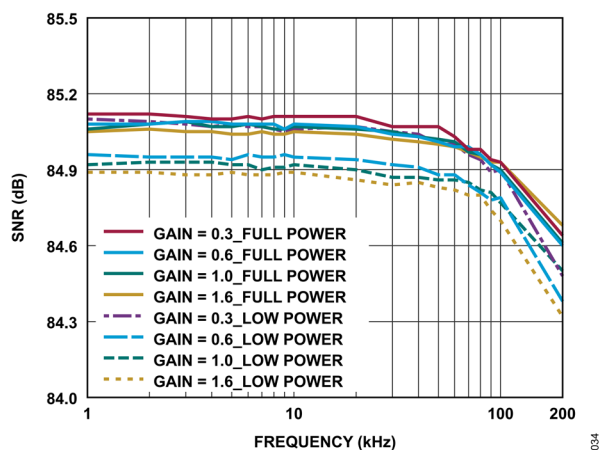


図 34. S/N 比と周波数の関係

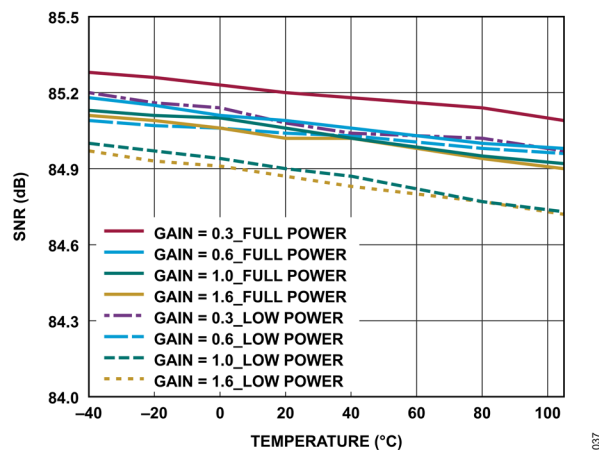
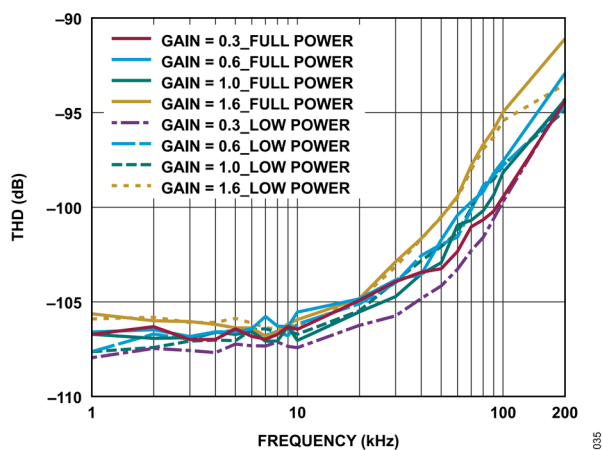
図 37. S/N 比と温度の関係、 $f_{IN} = 1\text{kHz}$ 

図 35. THD と周波数の関係

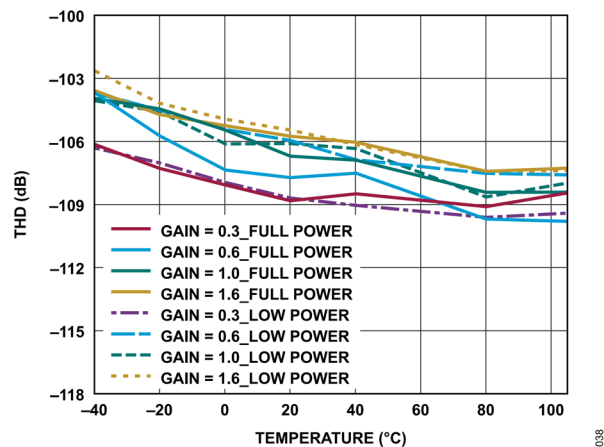
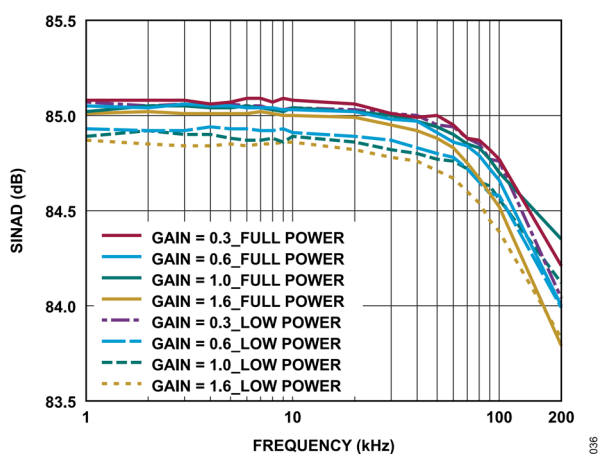
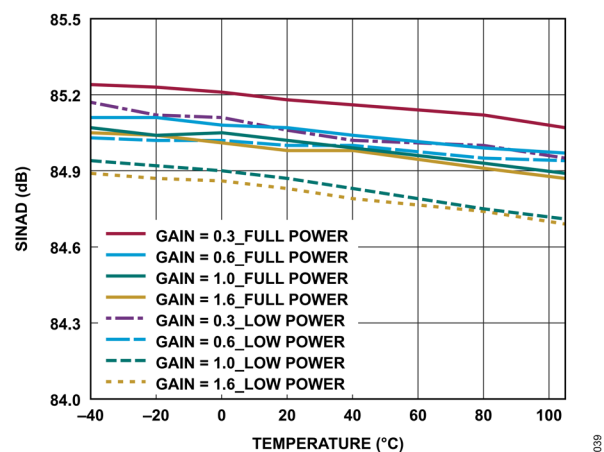
図 38. THD と温度の関係、 $f_{IN} = 1\text{kHz}$ 

図 36. SINAD と周波数の関係

図 39. SINAD と温度の関係、 $f_{IN} = 1\text{kHz}$



代表的な性能特性

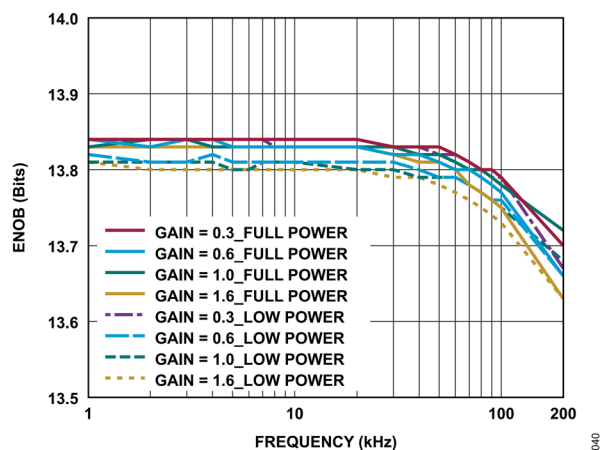


図 40. ENOB と周波数の関係

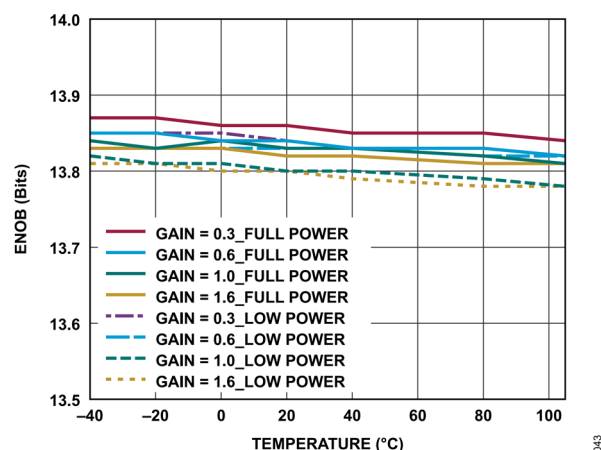


図 43. ENOB と温度の関係、 $f_{IN} = 1\text{kHz}$

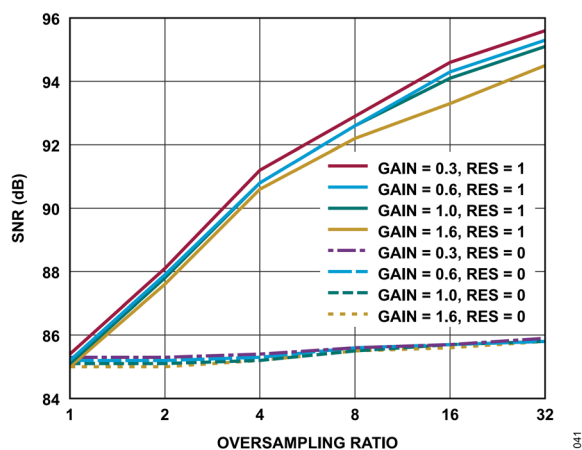


図 41. S/N 比と相加平均オーバーサンプリングの関係、 $f_{IN} = 1\text{kHz}$

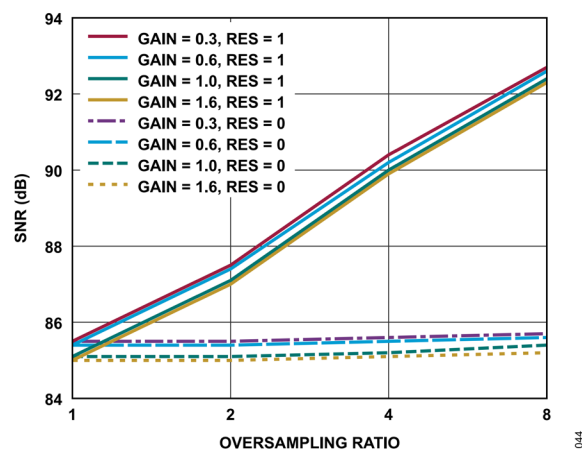


図 44. S/N 比と移動平均オーバーサンプリングの関係、 $f_{IN} = 1\text{kHz}$

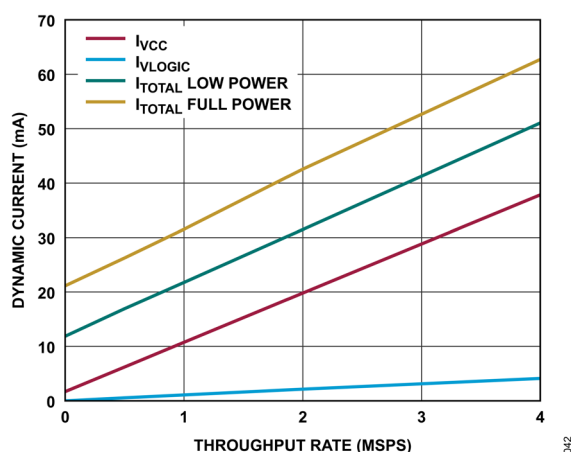


図 42. 動的電流とスループット・レートの関係

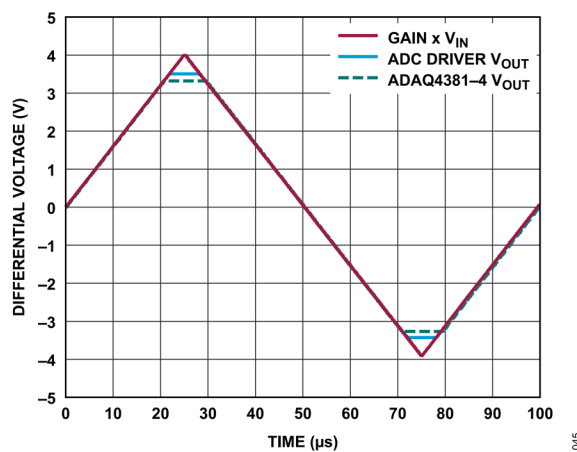


図 45. 出力オーバードライブ回復、ゲイン = 0.6

## 用語の定義

## 差動電圧

差動電圧は、2 つのノードの電圧の差です。例えば、差動入力電圧（あるいは入力差動モード電圧）は次のように定義されます。

$$V_{IN,dm} = V_{AINA+} - V_{AINA-} \quad (1)$$

ここで、 $V_{AINA+}$ と $V_{AINA-}$ はAINA+端子とAINA-端子の共通リファレンスを基準とする電圧です。

## コモンモード電圧 (CMV)

コモンモード電圧は、2 つのノードの電圧の平均です。入力コモンモード電圧は、次のように定義されます。

$$V_{IN,cm} = (V_{AINA+} + V_{AINA-})/2 \quad (2)$$

## 積分非直線性 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

## 微分非直線性 (DNL)

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。一般にはノー・ミス・コードが確保される分解能として仕様規定されます。

## オフセット誤差

最初の遷移はアナログ・グラウンドより $\frac{1}{2}$ LSB 上のレベルで発生します。オフセット誤差は、理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

## オフセット誤差ドリフト

オフセット誤差ドリフトは、1°C の温度変化に起因するオフセット誤差変化とフルスケール・コード範囲の比です。オフセット誤差ドリフトは次式のように 1°C あたりの ppm 値 (ppm/°C) で表されます。

$$\text{Offset Error Drift}(\text{ppm}/^{\circ}\text{C}) = 10^6 \times \frac{(\text{Offset Error}_{T_{MAX}} - \text{Offset Error}_{T_{MIN}})}{(T_{MAX} - T_{MIN})} \quad (3)$$

ここで、

$$T_{MAX} = 105^{\circ}\text{C}$$

$$T_{MIN} = -40^{\circ}\text{C}$$

## ゲイン誤差

最初の遷移 (100...000 から 100...001) は負の公称フルスケールより $\frac{1}{2}$ LSB 上のレベルで発生する必要があります。最後の遷移 (011...110 から 011...111) は、公称フルスケールより $\frac{1}{2}$ LSB 低いアナログ電圧で発生します。ゲイン誤差とは、最後の遷移における実際のレベルと最初の遷移における実際のレベルとの差が、理想値レベルの差とどれだけ異なるかを示すものです。ゲイン誤差は次式のようにパーセンテージで表されます。

$$\begin{aligned} \text{Gain Error}(\%) &= 100 \times ((PFS - NFS)_{ACTUAL\_CODE} \\ &\quad - (PFS - NFS)_{IDEAL\_CODE}) \\ &\quad / ((PFS - NFS)_{IDEAL\_CODE}) \end{aligned} \quad (4)$$

ここで、

$PFS$  は正のフルスケール

$NFS$  は負のフルスケール

## ゲイン誤差ドリフト

ゲイン誤差ドリフトは、1°C の温度変化に起因するゲイン誤差変化とフルスケール範囲の比です。ゲイン誤差ドリフトは次式のように 1°C あたりの ppm 値 (ppm/°C) で表されます。

$$\text{Gain Error Drift}(\text{ppm}/^{\circ}\text{C}) = 10^6 \times \frac{(\text{Gain Error}_{T_{MAX}} - \text{Gain Error}_{T_{MIN}})}{(T_{MAX} - T_{MIN})} \quad (5)$$

ここで、

$$T_{MAX} = 105^{\circ}\text{C}$$

$$T_{MIN} = -40^{\circ}\text{C}$$

温度係数 (TCV<sub>OUT</sub>)

温度係数は、デバイスの周囲温度が変化した場合の出力電圧の変化を、25°C での出力電圧で正規化して表します。このパラメータはボックス法を使用して規定されています。

$$\begin{aligned} \text{TCV}_{OUT} &= \\ &\left[ \frac{\max\{V_{OUT}(T_1, T_2, T_3)\} - \min\{V_{OUT}(T_1, T_2, T_3)\}}{V_{OUT}(T_2) \times (T_3 - T_1)} \right] \times 10^6 \end{aligned} \quad (6)$$

ここで、

$\text{TCV}_{OUT}$  の単位は ppm/°C

$V_{OUT}(T_x)$  は  $T_x$  における出力電圧

$$T_1 = -40^{\circ}\text{C}$$

$$T_2 = +25^{\circ}\text{C}$$

$$T_3 = +105^{\circ}\text{C}$$

## 用語の定義

長期ドリフト ( $\Delta V_{OUT\_LTD}$ )

長期ドリフトは、時間の経過ともなう出力電圧のシフト量を表します。これは公称出力値からの差を ppm 単位で表したものです。

$$\Delta V_{OUT\_LTD} = \left[ \frac{V_{OUT}(t_1) - V_{OUT}(t_0)}{V_{OUT}(t_0)} \right] \times 10^6 \quad (7)$$

ここで、

$\Delta V_{OUT\_LTD}$  の単位は ppm

$V_{OUT}(t_0)$  は計測開始時の出力電圧

$V_{OUT}(t_1)$  は計測終了時の出力電圧

熱ヒステリシス ( $\Delta V_{OUT\_HYS}$ )

熱ヒステリシスは、デバイスが指定された温度サイクルを経た後の出力電圧の変化を表します。これは公称出力値からの差を ppm 単位で表したものです。

$$\Delta V_{OUT\_HYS} = \left[ \frac{V_{OUT1\_25^\circ C} - V_{OUT2\_25^\circ C}}{V_{OUT1\_25^\circ C}} \right] \times 10^6 \quad (8)$$

ここで、

$\Delta V_{OUT\_HYS}$  の単位は ppm

$V_{OUT1\_25^\circ C}$  は  $25^\circ C$  での出力電圧

$V_{OUT2\_25^\circ C}$  は、温度サイクルを経た後の出力電圧

## S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波と DC を除く）の実効値総和に対する実際の入力信号の実効値の比です。S/N 比の値はデシベル単位で表されます。

## 全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 次高調波成分の実効値総和の比率で、単位はデシベルです。

## 信号／ノイズ + 歪み (SINAD) 比

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和（高調波成分は含むが、直流成分は除く）に対する実際の入力信号の実効値の比です。SINAD の値はデシベル単位で表されます。

## 有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。ENOB と SINAD の関係は次式で表されます：

$$ENOB = \frac{SINAD_{dB} - 1.76}{6.02} \quad (9)$$

ここで、ENOB の単位はビットです。

## スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

## 同相モード除去比 (CMRR)

CMRR は、入力にコモンモード電圧として印加された周波数  $f$ 、振幅 100mV p-p のサイン波の電力と、 $\mu$ Module の出力に現れた周波数  $f$  の電力との比です。

$$CMRR(dB) = 10 \log(P_{\mu Module\_IN} / P_{\mu Module\_OUT}) \quad (10)$$

ここで、

$P_{\mu Module\_IN}$  は入力に印加された周波数  $f$  のコモンモード電力

$P_{\mu Module\_OUT}$  は、 $\mu$ Module の出力に現れた周波数  $f$  の電力

## 電源電圧変動除去比 (PSRR)

PSRR は、VS+、REFIN、IN\_LDO 電源電圧として印加された 5V を中心とする周波数  $f$ 、振幅 500mV p-p のサイン波の電力と、 $\mu$ Module 出力の周波数  $f$  の電力との比です。

$$PSRR(dB) = 10 \log(P_{\mu Module\_IN} / P_{\mu Module\_OUT}) \quad (11)$$

ここで、

$P_{\mu Module\_IN}$  は VS+、REFIN、IN\_LDO の各ピンでの周波数  $f$  の電力

$P_{\mu Module\_OUT}$  は、 $\mu$ Module の出力に現れた周波数  $f$  の電力

## アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の尺度で、入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

## アパーチャ・ジッタ

アパーチャ・ジッタはアパーチャ遅延の変動です。

## 動作原理

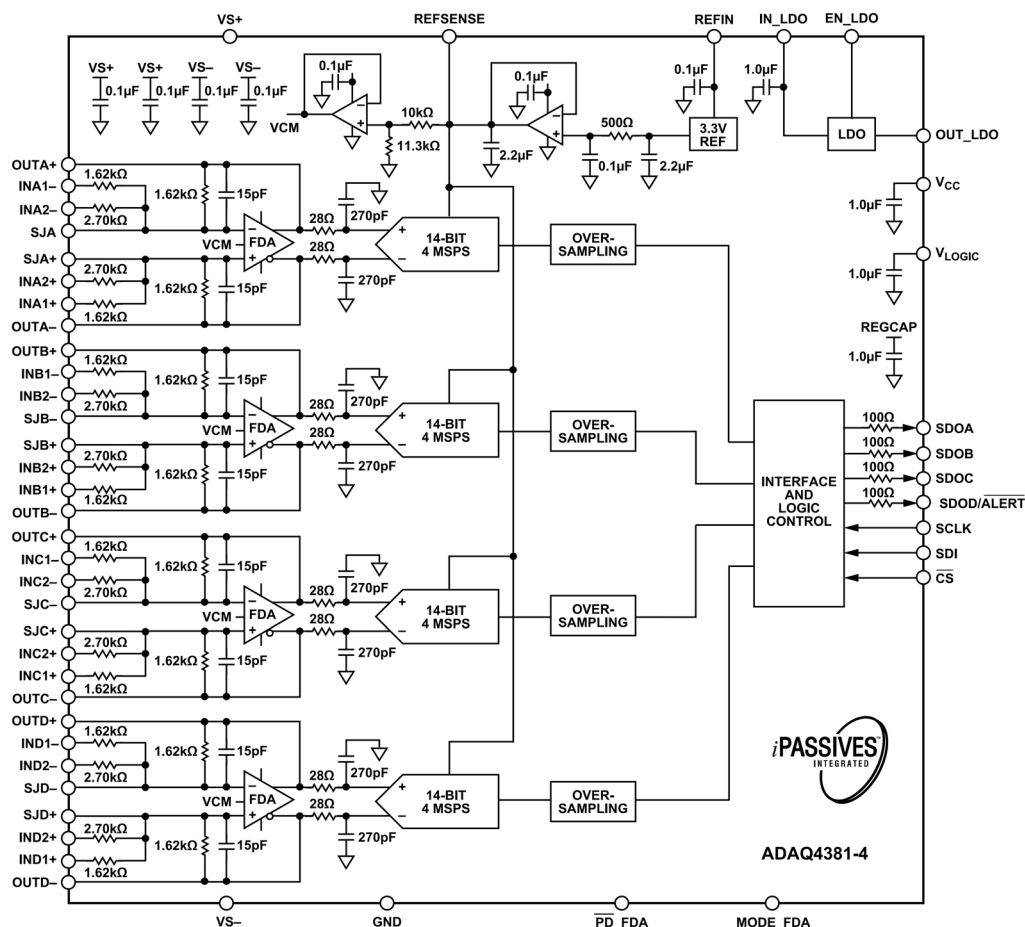


図 46. ADAQ4381-4 μModule の簡略ブロック図

## 回路説明

ADAQ4381-4 μModule SIP は、同時サンプリング SAR アーキテクチャを採用した高速、高精度のクラウド DAQ シグナル・チェーンです。図 46 に示すように、ADAQ4381-4 μModule DAQ システムは、クラウド 14 ビット SAR ADC、広帯域幅の完全差動 ADC ドライバ、高精度低ノイズ 3.3V リファレンス、低ノイズの安定したリファレンス・バッファ、3.4V LDO と共に、性能を最適化して 0.3、0.6、1.0、1.6 のゲインをピンによって選択できるようにするために必要となる重要な高精度受動部品を含めて構成されています。回路内のすべての能動部品および  $\pm 0.005\%$  に整合された iPassives® 薄膜抵抗はアナログ・デバイスによる設計で、仕様に規定された高い精度を実現し、温度に依存する誤差源を最小限に抑えるために、工場出荷時にキャリブレーションされています。

ADAQ4381-4 は、4MSPS という高スループット・レートで全チャンネルを同時に変換します。ADAQ4381-4 はオーバーサンプリング・ブロックを内蔵することで、更に低帯域幅でのダイナミック・レンジを向上させ、ノイズを低減しています。詳細については、[ADC の動作モード](#)のセクションを参照してください。ADC の電圧ピンに必要となるデカップリング・コンデンサは、すべて BGA パッケージ内に組み込まれています。外付けのコンデンサは必要ありません。

動作原理

伝達関数

ADAQ4381-4 は 3.3V の内部リファレンスを使用します。  
ADAQ4381-4 は、アナログ入力（IN<sub>x+</sub>と IN<sub>x-</sub>）間の差動電圧をデジタル出力に変換します。

変換結果は MSB ファーストで、2 の補数で表されます。LSB の大きさは $(2 \times V_{REF})/2^N$ （N は ADC の分解能）です。ADC の分解能は、選択したデバイスの分解能と分解能増強モードが有効かどうかによって決まります。表 8 に、分解能に対応する LSB の大きさの電圧値を示します。

ADAQ4381-4 の理想伝達特性を図 47 に示します。

表 8. LSB の大きさ

Resolution	3.3 V Reference	Unit
14-bit	402.8	μV
16-bit	100.7	μV

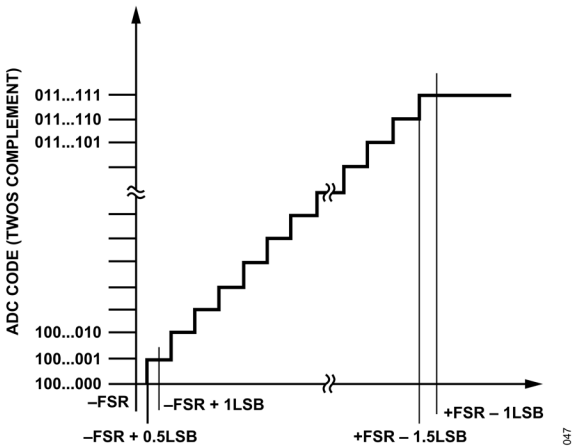


図 47. ADC の理想的な伝達関数  
（フルスケール・レンジ（FSR））

## アプリケーション情報

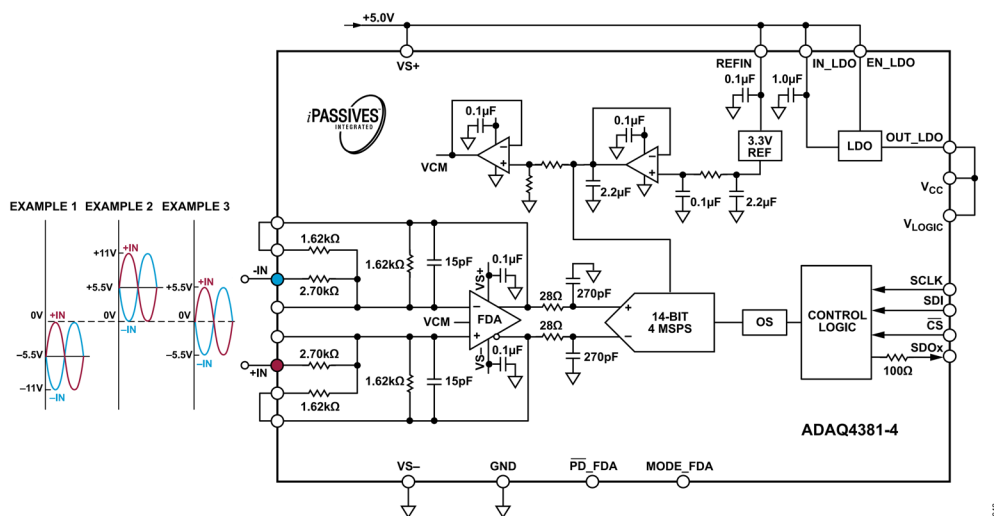
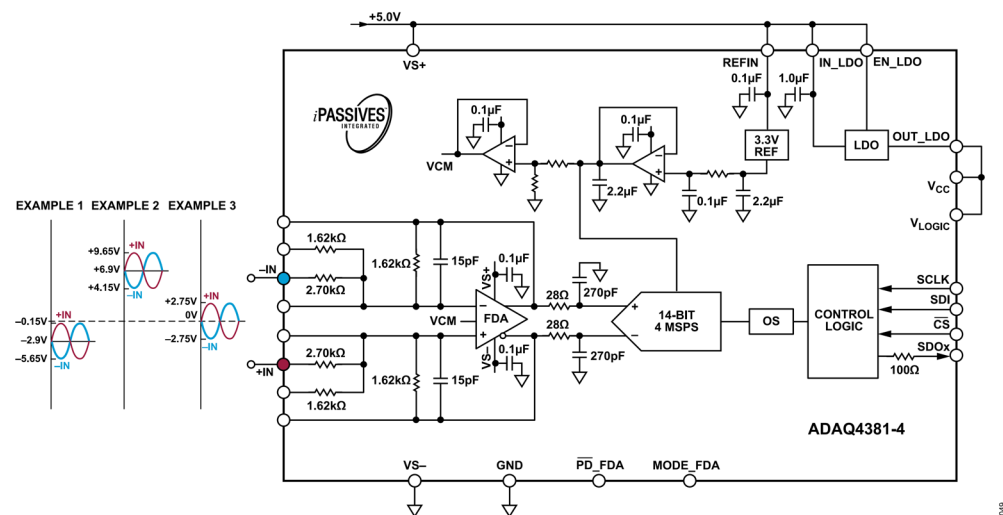
## 代表的な接続図

図 48 から図 55 までは、差動またはシングルエンドの入力信号と 4 つのゲイン設定との組み合わせを様々なコモンモード電圧で使った場合の、ADAQ4381-4 の各チャンネルの代表的な接続図を示しています。

ADAQ4381-4 の 4 つの差動チャンネルは幅広い入力電圧範囲に対応し、幅広いコモンモード範囲を備えているため、様々な信号の変換が可能です。差動電圧とコモンモード電圧の範囲は、チャンネルごとのゲイン設定に大きく依存します。

表 9. ゲイン設定と入力範囲

Gain	Input Range	Input Signal on Pins	Test Conditions
0.3	$\pm 11\text{ V}$	IN2+, IN2-	Connect IN1+ to OUT-, and IN1- to OUT+. See Figure 48 and Figure 52.
0.6	$\pm 5.5\text{ V}$	IN2+, IN2-	Connect IN1+, IN1-. Leave OUT+ and OUT- floating. See Figure 49 and Figure 53.
1.0	$\pm 3.3\text{ V}$	IN1+, IN1-	Leave IN2+, IN2-. OUT+ and OUT- floating. See Figure 50 and Figure 54.
1.6	$\pm 2.06\text{ V}$	IN1+ or IN2+, IN1- or IN2-	Connect IN1+ to IN2+, and IN1- to IN2-. Leave OUT+ and OUT- floating. See Figure 51 and Figure 55.

図 48. 完全差動入力構成、ゲイン = 0.3、 $\pm 11\text{ V}$  入力、 $V_S = 5\text{ V}$ 図 49. 完全差動入力構成、ゲイン = 0.6、 $\pm 5.5\text{ V}$  入力、 $V_S = 5\text{ V}$

アプリケーション情報

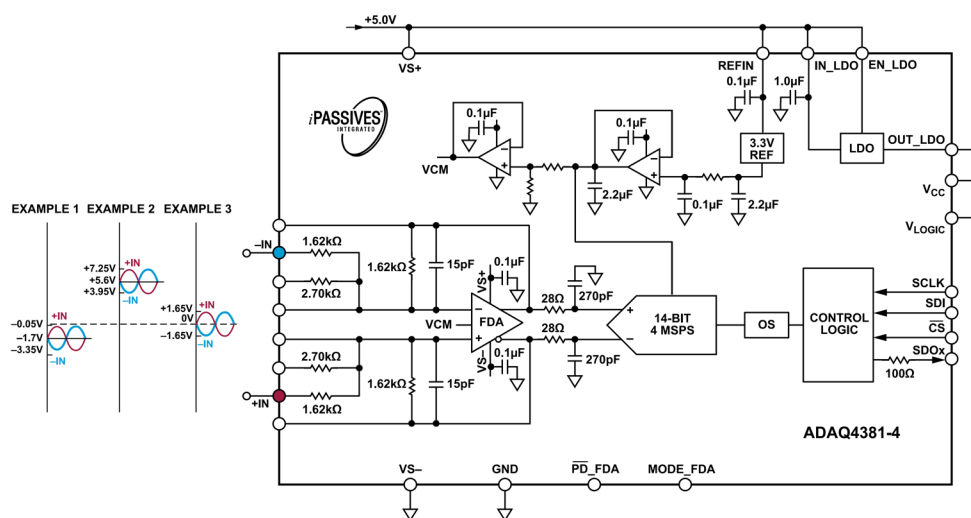


図 50. 完全差動入力構成、ゲイン = 1.0、 $\pm 3.3\text{V}$  入力、 $V_s = 5\text{V}$

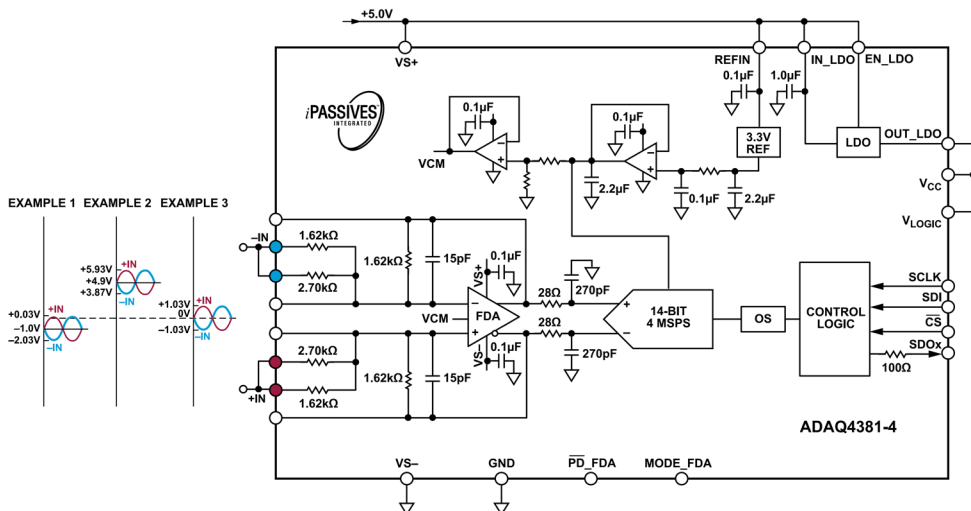


図 51. 完全差動入力構成、ゲイン = 1.6、 $\pm 2.06\text{V}$  入力、 $V_s = 5\text{V}$



アプリケーション情報

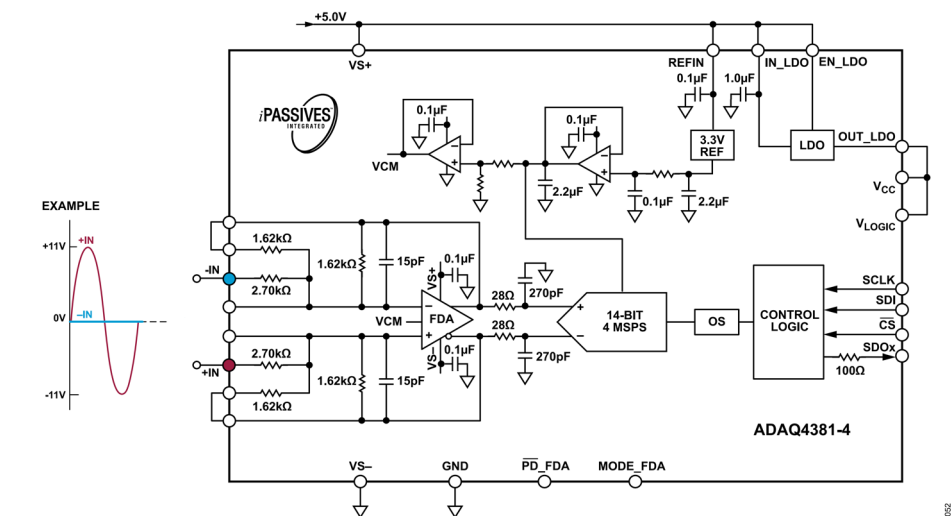


図 52. シングルエンド入力構成、ゲイン = 0.3、±11V 入力、 $V_s = 5V$

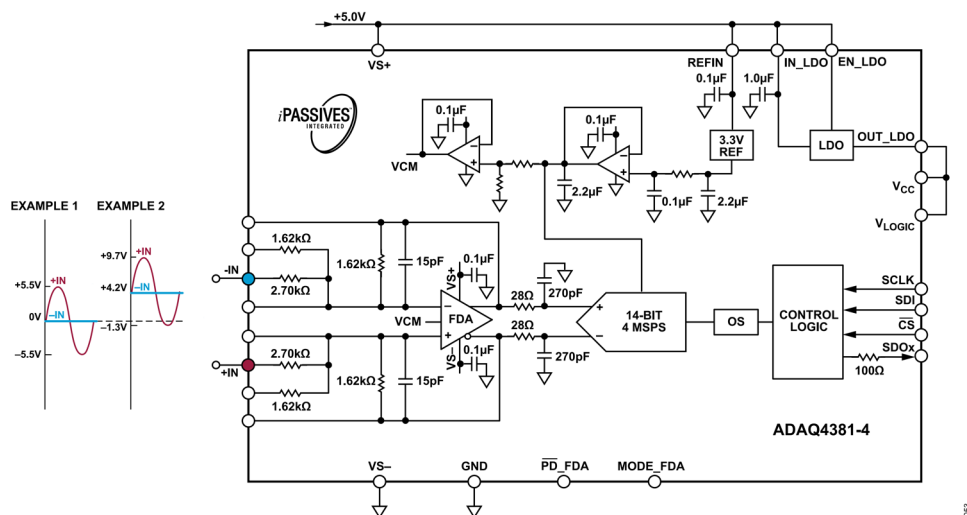


図 53. シングルエンド入力構成、ゲイン = 0.6、±5.5V 入力、 $V_s = 5V$

アプリケーション情報

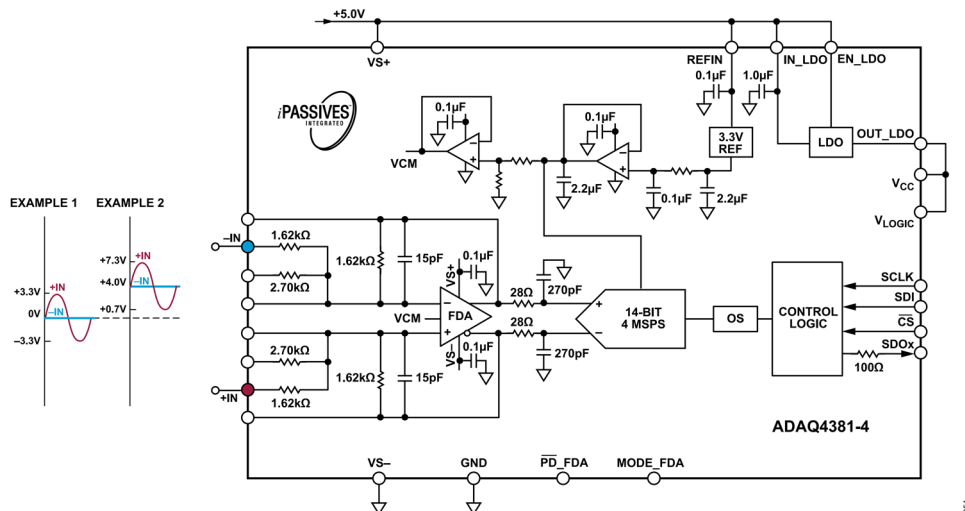


図 54. シングルエンド入力構成、ゲイン = 1.0、 $\pm 3.3\text{V}$  入力、 $V_s = 5\text{V}$

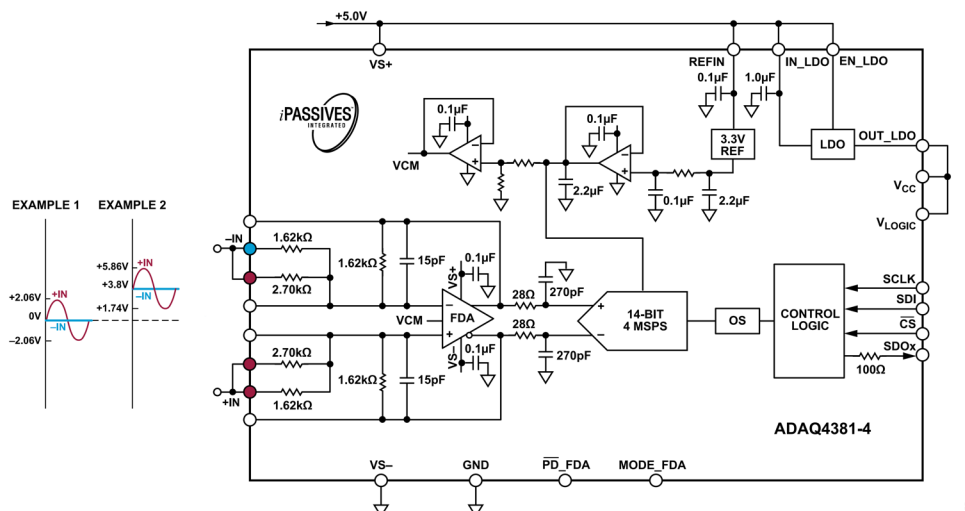


図 55. シングルエンド入力構成、ゲイン = 1.6、 $\pm 2.06\text{V}$  入力、 $V_s = 5\text{V}$

## アプリケーション情報

## ADC ドライバ

ADAQ4381-4  $\mu$ Module には、ADC ドライバとして 4 系統の低ノイズ、完全差動アンプと、それぞれのゲイン・ネットワークの受動部品が内蔵されています。これらの ADC ドライバには、フルパワー動作モードとローパワー動作モードの 2 つの電力モードがあります。フルパワー動作モードでは、ADAQ4381-4 は最適な性能で動作しますが、わずかに消費電力が高くなります。ローパワー動作モードでは、ADAQ4381-4 の電力消費が 20% 低減します。

## 入力コモンモード電圧

ADAQ4381-4 の入力コモンモード電圧範囲 (ICMVR) は ADC ドライバのゲインに大きく依存します。ゲインの設定とオプションを、表 9 に詳しく示しています。各ゲインでの ICMVR は異なり、フロントエンドでの幅広い入力電圧範囲に対応します。適切な動作を確保するためには、差動入力電圧の絶対値とは別に、入力コモンモード電圧についても考慮が必要です。図 56 と図 57 は、それぞれ  $G=0.3$ 、 $G=1$  での ADAQ4381-4 の ICMVR を示しています。

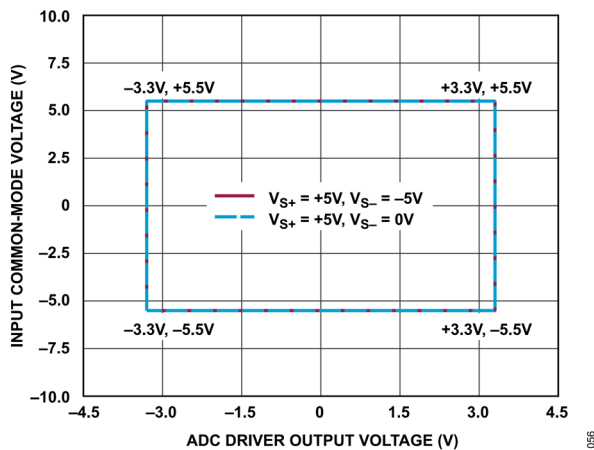


図 56. 入力コモンモード電圧と ADC ドライバ出力電圧の関係、ゲイン = 0.3、 $\pm 11V$  の差動入力

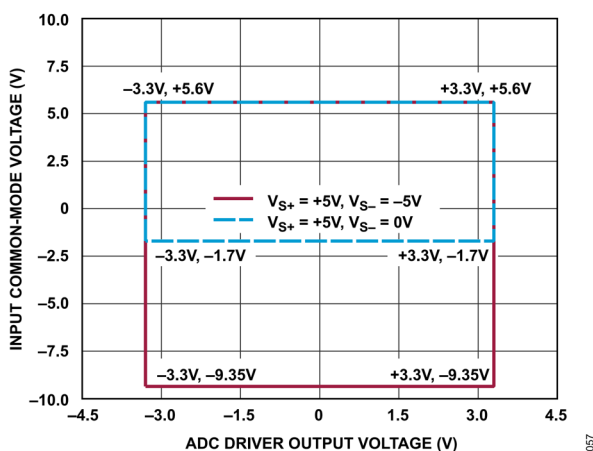


図 57. 入力コモンモード電圧と ADC ドライバ出力電圧の関係、ゲイン = 1.0、 $\pm 3.3V$  の差動入力

## アプリケーション回路の入ラインピーダンスの計算

有効入力インピーダンスは、信号源がシングルエンドか差動かによって異なります。図 58 に示すような平衡差動入力信号の場合、入力間 ( $IN+$  と  $IN-$ ) の入力インピーダンス ( $R_{IN, dm}$ ) は、次式で表されます。

$$R_{IN, dm} = 2 \times R_G \quad (12)$$

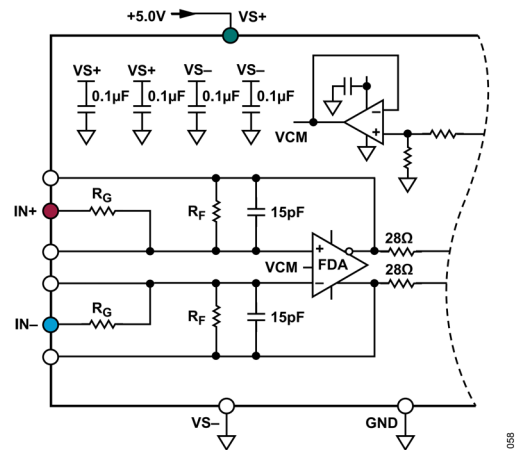


図 58. ADAQ4381-4 の完全差動入力構成

図 59 に示すようなシングルエンド入力信号の場合、入力インピーダンスは次式のようにになります。

$$R_{IN, SE} = \frac{R_G}{1 - \frac{R_F}{2(R_G + R_F)}} \quad (13)$$

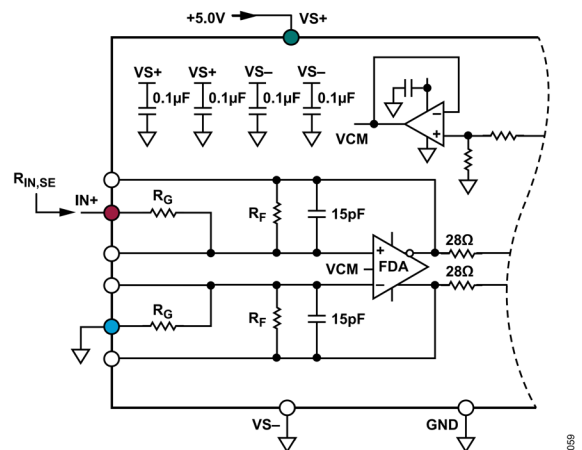


図 59. ADAQ4381-4 のシングルエンド入力構成

回路の入ラインピーダンスは、インバータとして接続された一般的なオペアンプよりも実効的に高くなります。これは、差動出力電圧の一部が入力にコモンモード信号として現れ、入力抵抗  $R_G$  両端の電圧をある程度ブートストラップするからです。

## アプリケーション情報

## シングルエンド入力の終端

入力を駆動する回路の出力インピーダンスが非常に低い場合は、ADAQ4381-4の入力 IN+ と IN- の追加的な終端処理は必要ありません。しかし、駆動側回路の抵抗が無視できないほど高い場合には、ADAQ4381-4 の入力にバランシング回路を追加することをアナログ・デバイスでは推奨しています。シングルエンド入力動作の場合に入力を適切に終端する手法については、アプリケーション・ノート 1026：高速差動 ADC ドライバの設計についての考察を参照してください。

## 内部リファレンス

ADAQ4381-4  $\mu$ Module は、高精度で低ノイズ、低ドリフト（代表値 3ppm/°C）の精密電圧リファレンスを内蔵しています。最適な性能を得るためには、REFIN を安定した 5V 電源に接続します。安定動作のためのバイパス・コンデンサと負荷コンデンサは  $\mu$ Module パッケージに内蔵されているため、外付けのコンデンサは不要です。このリファレンスの 3.3V 出力は ADC のリファレンスと ADC ドライバの VCM として使用されます。

REFSENSE ピンは内部リファレンス回路の一部です。ADC リファレンス入力とリファレンス・バッファの出力である点に直接接続されています。システムの別の部分でリファレンスもしくは電圧源として REFSENSE ピンを使用することは推奨されおらず、ADAQ4381-4 の性能の劣化につながる場合があります。このピンは正確なゲイン補正のためにのみ使用し、それ以外の目的で接続しないようにしてください。

周囲温度における内部リファレンスの初期電圧精度を図 60 に示します。100 ユニットのサンプルでの REFSENSE 出力電圧は 3.3V を中心とし、平均値は 3.3004V になっています。

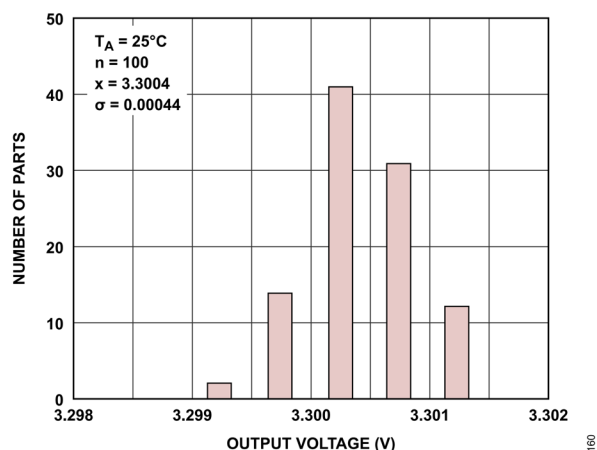


図 60. ADAQ4381-4 の内部リファレンス出力電圧の精度

## 長期ドリフト

ADAQ4381-4 の長期ドリフトを調べる目的で、1000 時間を超える時間にわたり複数のユニットで出力電圧の変化を計測しました。実際のシステム・アプリケーションを再現するため、19 個のデバイスを標準的なリフロー・プロファイルで FR4 PCB にハンダ付けして、ドリフト・データを取得しました。安定度が非常に高いオイル槽に基板を浸して、温度を定常的に 25°C に制御

し、出力を定期的にスキャンして高精度計測システムで測定しました。

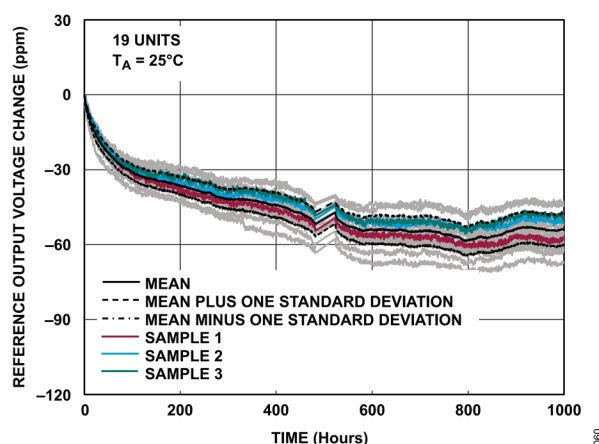


図 61. ADAQ4381-4 内部リファレンスの長期ドリフト

図 61 は ADAQ4381-4 の内部 3.3V リファレンスの長期ドリフトを示しており、800 時間後の出力電圧のドリフトは 54ppm です。図 62 に示すように、0 時間から 250 時間の間には出力電圧に大きなシフトが確認されます。この平均ドリフトは 39ppm で、1000 時間に観察される全ドリフトの 72%を初期ドリフトが占めています。

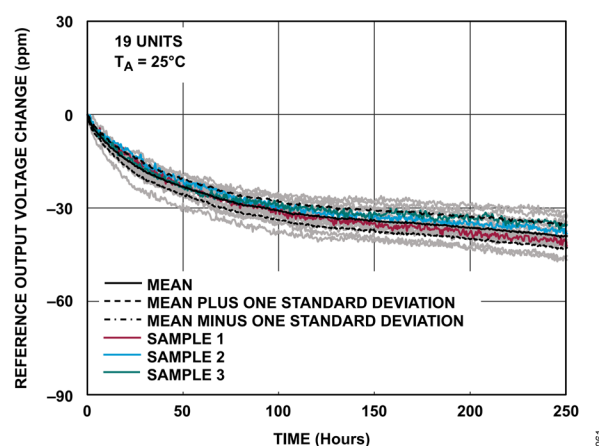


図 62. ADAQ4381-4 内部リファレンスの初期ドリフト

## 熱ヒステリシス

長期ドリフトのセクションで説明した経時的な安定性に加え、熱ヒステリシス、つまり温度サイクルに対する安定性を知ることも有用です。熱ヒステリシスは、周囲温度が変化した後、室温に戻った場合に、信号振幅が当初の値までどの程度正確に戻るかを示すものです。

## アプリケーション情報

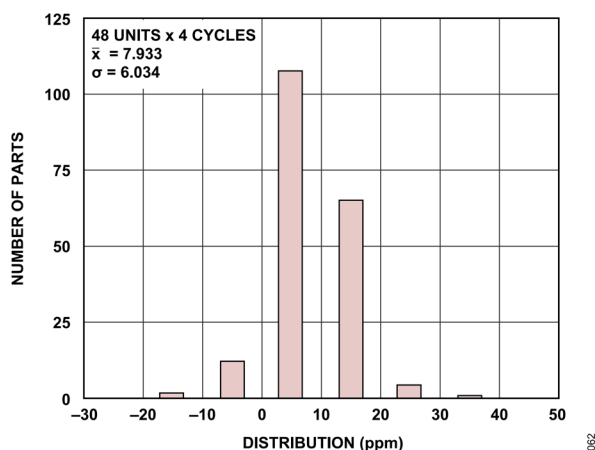


図 63. フル・サイクル 4 回後のリファレンス出力の電圧ヒステリシス

図 63 は、室温から  $-40^{\circ}\text{C}$  と  $+105^{\circ}\text{C}$  を経て室温に戻るまでのフル温度サイクルを 4 回繰り返した場合のヒステリシスを示すものです。フル・サイクル 4 回後の出力のヒステリシスは代表値で 8ppm です。図 64 のヒストグラムは、デバイスを半サイクルだけ繰り返した場合の方がヒステリシスが大きいことを示しています。室温から  $105^{\circ}\text{C}$  を経て室温に戻るサイクルでは代表値  $-50\text{ppm}$ 、室温から  $-40^{\circ}\text{C}$  を経て室温に戻るサイクルでは代表値  $43\text{ppm}$  です。

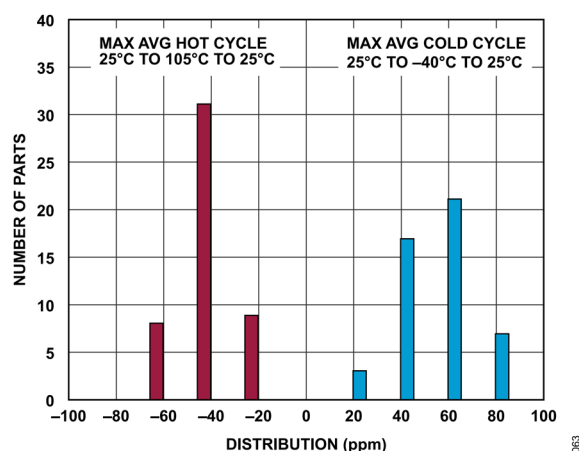


図 64. 半サイクルでのリファレンス出力の電圧ヒステリシス

## 内部 LDO

ADAQ4381-4  $\mu\text{Module}$  は LDO レギュレータを内蔵しています。これを使用するためには、IN\_LDO と EN\_LDO を  $5\text{V}$  に接続します。入力バイパス・コンデンサは  $\mu\text{Module}$  内に内蔵されており、外付けのバイパス・コンデンサは不要です。LDO の出力は、ADC の VCC と VLOGIC の電源レールへの給電を目的としています。通常動作時には、VCC と VLOGIC を直接 OUT\_LDO に接続します。外付けのコンデンサは不要です。アプリケーションで VCC と VLOGIC に外付けの電源が必要であれば、EN\_LDO を GND に接続して内部 LDO をディスエーブルします。

## 電源とデカップリング

ADAQ4381-4 には 6 つの独立した電源 (VS+, VS-, REFIN, IN\_LDO, VCC, VLOGIC) があり、それぞれアナログ回路とデジタル・インターフェースに電力を供給します。各電源ピンの詳細な説明については、表 7 を参照してください。ADAQ4381-4 は、 $5\text{V}$  の単電源動作で最適な性能が確保されています。デカップリング・コンデンサが ADAQ4381-4 の内部回路に含まれているため、これらの電源ピンのデカップリングは必要でない場合もあります。更に、ADAQ4381-4 の内部リファレンスとリファレンス・バッファも、グラウンドとの間でデカップリングされています。REFSENSE ピンへの外付けデカップリング・コンデンサの追加は必要ありません。

ADAQ4381-4 の推奨電源関連製品を図 65 に示します。詳細については、製品ウェブサイトに掲載されている ADAQ4381-4 LTPowerPlanner を参照してください。

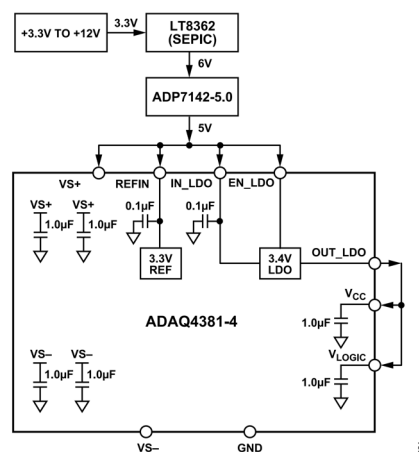


図 65. ADAQ4381-4 の電源に関する推奨

## パワーアップ

絶対最大定格のセクションに記載されている最大電圧の関係を遵守してください。ADAQ4381-4 は電源シーケンスによって容易に損傷することはありません。図 65 は、VCC と VLOGIC のパワーアップに内部 LDO を使用する推奨の電源構成を示しています。ADAQ4381-4 は電源シーケンシングに対して堅牢ですが、アプリケーションで外部の VCC と VLOGIC が必要な場合には、VCC と VLOGIC の電源を先にオンにし、続いて VS+ と VS-、最後に REFIN の電源をオンにするのが最も好ましいシーケンスです。VCC と VLOGIC はどちらを先にパワーアップしても構いません。アナログ信号とデジタル信号は、リファレンス供給後に印加する必要があります。

ADAQ4381-4 では、VCC と VLOGIC に印加してから ADC の変換結果が安定するまでに  $t_{\text{POWER-UP}}$  の時間が必要です。パワーアップ時の推奨シグナル・コンディションについては、図 4 を参照してください。パワーアップ時にはピンをハイにプルアップし、パワーアップ後にソフトウェア・リセットすることを推奨します。この時間中の変換結果は、データシートの仕様を満たすことが保証されないため、無視してください。

ADC の動作モード

ADAQ4381-4 には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

オーバーサンプリング

オーバーサンプリングは、ADC の結果の精度を向上させるために広く使用されている手法です。アナログ入力サンプルを複数取得して平均化することで、ADC の量子化ノイズや熱ノイズ (kTC) に由来するノイズ成分を除去します。ADAQ4381-4 には、オンチップのオーバーサンプリング機能があり、相加平均と移動平均の 2 つのオーバーサンプリング・モードをユーザ設定可能です。

このオーバーサンプリング機能は、[Configuration1 レジスタ](#)の OS\_MODE ビットと OSR ビットをプログラムして設定します。

相加平均オーバーサンプリング

相加平均オーバーサンプリング・モードは、出力データ・レートが低くなることが許容され、かつ、S/N 比やダイナミック・レンジが高いことが必要なアプリケーションで使用できます。相加平均には、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果がデバイスから出力されます。プロセスが完了すると、サンプリングしたデータはクリアされます。

相加平均オーバーサンプリング・モードは、OS\_MODE ビットをロジック 0 にし、OSR ビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビットである OSR を使用して制御します。

各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 10 に示します。出力結果は、16 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、[Configuration1 レジスタ](#)の分解能増強ビット (RES) を設定することで実現できます。詳細については、[分解能増強](#)のセクションを参照してください。

OSR ビットで定義されたサンプル数 (n) が取得、加算されて、n で除算されます。最初の ADC 変換はCSの立下がりエッジで開始され、オーバーサンプリング・シーケンス中の後続の全サンプリングは、ADAQ4381-4 内部で制御されます。追加の n サンプルのサンプリング・レートは、デバイスの最大サンプリング・レート時で 2MSPS です。データは、次のシリアル・インターフェース・アクセスでリードバックできます。この平均化手法の適用後、計算に使用されたサンプル・データは破棄されます。このプロセスが、アプリケーションが新たな変換結果を必要とするたびに繰り返され、CSの立下がりエッジで開始されます。

出力データ・レートはオーバーサンプリング比に従って低下するため、データ送信に必要な SPI の周波数もこれに応じて減少します。

表 10. 相加平均オーバーサンプリングの概要、G = 1

OSR [2:0]	OS Ratio	SNR (dB typical) with V <sub>REF</sub> = 3.3 V Internal			Data Output Rate (kSPS max)
		RES = 0	RES = 1		
000	No OS	85.0	85.0		4000
001	2	85.0	87.8		1250
010	4	85.1	90.8		625
011	8	85.5	92.6		312.5
100	16	85.7	94.1		156.25
101	32	85.8	95.1		78.125
110	Invalid	N/A <sup>1</sup>	N/A <sup>1</sup>		N/A <sup>1</sup>
111	Invalid	N/A <sup>1</sup>	N/A <sup>1</sup>		N/A <sup>1</sup>

<sup>1</sup> N/A は該当なしを意味します。

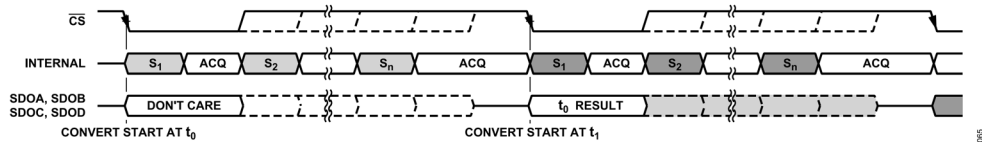


図 66. 相加平均オーバーサンプリングの演算



ADC の動作モード

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、出力データ・レートを高くすることが必要で、かつ、S/N 比やダイナミック・レンジが高いことが望ましいアプリケーションで使用できます。移動平均オーバーサンプリングは、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除算するというプロセスで構成されます。このプロセスの結果がデバイスから出力されます。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し (FIFO) バッファを使用し、それにより ADC スループット・レートと出力データ・レートを同じレートに維持できます。

移動平均オーバーサンプリング・モードは、OS\_MODE ビットをロジック 1 にし、OSR ビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビット OSR を使用して制御します (表 11 参照)。

様々なオーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 11 に示します。

ADAQ4381-4 では、出力結果は 16 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、[Configuration1 レジスタ](#)の分解能増強ビットを設定することで実現できます。詳細については、[分解能増強](#)のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADC の全変換は  $\overline{CS}$  の立下がりエッジで制御と開始が行われます。変換が完了すると、結果は FIFO にロードされます。FIFO の長さはオーバーサンプリング比の設定によらず、8 です。FIFO は、パワーオン・リセット (POR) 後の最初の変換、またはソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換で満たされます。新しい変換結果は、OSR ビットおよび OS\_MODE ビットのステータスに関わらず、各 ADC 変換完了時に FIFO にシフトされます。この変換によって、FIFO が満たされるのを待たずに、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移や、様々な移動平均オーバーサンプリング比が可能となります。

OSR ビットで定義されたサンプル数 ( $n$ ) が FIFO から取得、加算され、その結果が  $n$  で除算されます。

表 11. 移動平均オーバーサンプリングの概要、G = 1

OSR [2:0]	OS Ratio	SNR (dB typical)		Data Output Rate (kSPS max)
		RES = 0	RES = 1	
000	No OS	85.0	85.0	4000
001	2	85.0	87.1	4000
010	4	85.1	90.0	4000
011	8	85.4	92.4	4000
110	Invalid	N/A <sup>1</sup>	N/A <sup>1</sup>	N/A <sup>1</sup>
111	Invalid	N/A <sup>1</sup>	N/A <sup>1</sup>	N/A <sup>1</sup>

<sup>1</sup> N/A は該当なしを意味します。

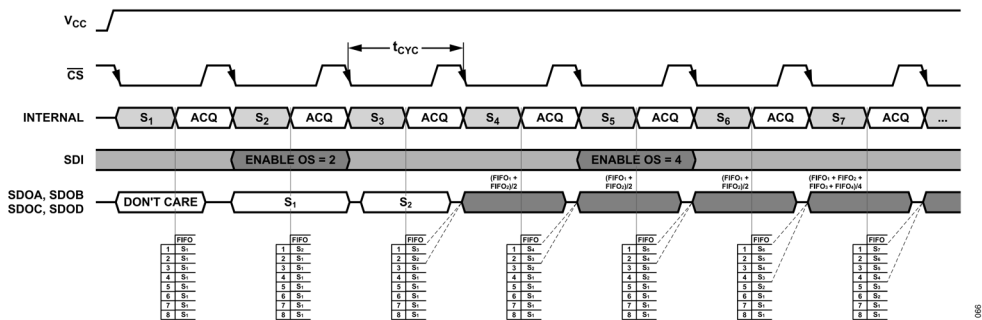


図 67. 移動平均オーバーサンプリング・モードの動作



## ADC の動作モード

## 分解能増強

ADAQ4381-4 の分解能と出力データ・サイズのデフォルト値は 14 ビットです。内蔵のオーバーサンプリング機能を有効化すると、このデフォルトの分解能を上回る ADC 性能が可能になります。この性能向上を実現するために、2 ビットの分解能を追加することができます。Configuration1 レジスタの RES ビットをロジック 1 に設定し、ADAQ4381-4 を有効なオーバーサンプリング・モードにした場合、ADAQ4381-4 の変換結果のサイズは 16 ビットになります。このモードでは、図 68 に示すように、ADAQ4381-4 のデータを伝送するために 16SCLK サイクルが必要です。

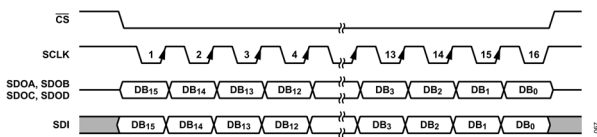


図 68. 分解能増強

## アラート

アラート機能は範囲外インジケータで、変換結果が範囲を外れたことを示す早期インジケータとして使用できます。変換結果レジスタの値がアラート上限閾値レジスタのアラート上限値を超えた場合、またはアラート下限閾値レジスタのアラート下限値を下回った場合にアラート・イベントがトリガされます。アラート上限閾値レジスタとアラート下限閾値レジスタは、すべての ADC に共通です。閾値を設定する際には、アラートの上限閾値は常に下限閾値より大きな値にする必要があります。詳細なアラート情報については、アラート表示レジスタを参照してください。

このレジスタには ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。すべての ADC のアラート信号の論理 OR により、共通のアラート値が作成されます。この値は、SDOD/ALERT ピンの ALERT 機能で出力されるよう設定できます。SDOD/ALERT ピンは、Configuration1 レジスタおよび Configuration2 レジスタの次のビットを設定することで、ALERT に設定できます。

- ▶ SDO ビットを 0b10 以外の任意の値に設定。
- ▶ ALERT\_EN ビットを 1 に設定。
- ▶ アラート上限閾値レジスタとアラート下限閾値レジスタに有効な値を設定。

アラート表示機能は、各オーバーサンプリング・モード（移動平均モード、相加平均モード、非オーバーサンプリング・モード）で使用できます。SDOD/ALERT ピンのアラート機能は、変換の終了時に更新されます。ALERT レジスタのアラート表示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。

アラート表示レジスタのビット[7:0]は、アラート表示レジスタの内容を読み出すとクリアされます。SDOD/ALERT ピンのアラート機能は、CS の立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、アラート表示レジスタのアラート・ステータスがクリアされます。

図 8 に示す ALERT タイミング図を参照してください。

## 電力モード

ADAQ4381-4 では、ノーマル・モードとシャットダウン・モードの 2 つの電力モードを Configuration1 レジスタで設定できます。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーションの要件に対して消費電力とスループット・レートの比を最適化できます。

Configuration1 レジスタの PMODE ビットをプログラムして、ADAQ4381-4 の電力モードを設定します。PMODE をロジック 0 に設定するとノーマル・モード、ロジック 1 に設定するとシャットダウン・モードになります。

## ノーマル・モード

スループット・レートを最高速にするには、ADAQ4381-4 をノーマル・モードに維持します。全 ADC ブロックが常にフルパワーとなり、ADC 変換は必要なときに CS の立下がりエッジで開始できます。ADAQ4381-4 が変換を行っていない場合は、デバイスは静的モードになり、消費電力は自動的に削減されます。変換を実行するには、追加電流が必要となります。そのため、ADAQ4381-4 の消費電力はスループットに応じて増加します。

## シャットダウン・モード

スループット・レートを下げて消費電力を抑制する必要がある場合は、シャットダウン・モードを使用します。シャットダウン・モードにするには、各変換の間に ADC をパワーダウンするか、高スループット・レートで一連の変換を実行した後、これらのバースト変換の間に比較的長い時間 ADC をパワーダウンします。ADAQ4381-4 がシャットダウン・モードになると、すべてのアナログ回路がパワーダウンされます。シリアル・インターフェースはシャットダウン・モードの間もアクティブ状態のままなので、ADAQ4381-4 はシャットダウン・モードを終了することができます。

シャットダウン・モードに移行するには、Configuration1 レジスタの電力モード設定ビット PMODE に書き込みます。

ADAQ4381-4 は停止し、消費電流が削減されます。シャットダウン・モードを終了してノーマル・モードに戻るには、Configuration1 レジスタの PMODE ビットをロジック 0 に設定します。

すべてのレジスタ構成設定は、シャットダウン・モードの開始時や終了時には変わりません。シャットダウン・モードの終了後、変換を開始するまでには、図 69 に示すように回路がオンになるための十分な時間が必要です。

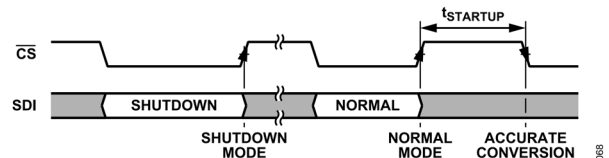


図 69. シャットダウン・モード動作

## ADC の動作モード

### ソフトウェア・リセット

ADAQ4381-4には、ソフト・リセットとハード・リセットの2つのリセット・モードがあります。リセットは、[Configuration2 レジスタ](#)のリセット・ビットに書き込むことで開始できます。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースと ADC ブロックを更新します。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックと FIFO は消去されます。レジスタはクリアされます。リファレンスと LDO の電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、リファレンス・バッファと内部発振器ブロックもリセットされます。[図 70](#)を参照してください。

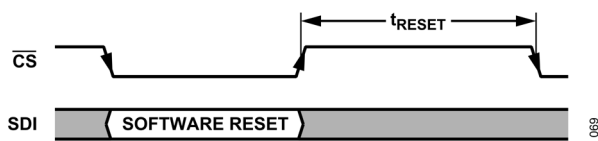


図 70. ソフトウェア・リセット動作

### 診断セルフ・テスト

ADAQ4381-4 は、POR 後またはソフトウェア・ハード・リセットの後に診断セルフ・テストを実行し、設定が正しくデバイスにロードされるようにします。

セルフ・テストの結果は、[アラート表示レジスタ](#)の `SETUP_F` ビットに示されます。`SETUP_F` ビットがロジック 1 にセットされた場合、診断セルフ・テストは不合格です。不合格になった場合、ソフトウェア・ハード・リセットが実行され、ADAQ4381-4 のレジスタはデフォルト状態にリセットされます。

## インターフェース

ADAQ4381-4 へのインターフェース接続は、シリアル・インターフェースを通じて行います。インターフェースは、 $\overline{CS}$ 、SCLK、SDOA、SDOB、SDOC、SDOD、SDI で構成されています。多機能ピンの特定の機能について説明した箇所では、「SDOD」のように、仕様に関係するピン名のみを示しています。多機能ピンの完全なピン名については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

$\overline{CS}$ 信号により、シリアル・データ転送がフレーミングされ、ADC 変換プロセスが開始します。 $\overline{CS}$ の立下がりエッジで、トラック&ホールドがホールド・モードになり、この時点でアナログ入力が入力されてバスはスリーステート状態になります。ADC の変換動作は、内部発振器によって駆動され、SCLK 信号には依存しません。

SCLK 信号は、SDOA、SDOB、SDOC、SDOD、SDI の各信号を通じてデバイスに出入りするデータを同期させます。レジスタからの読書きを行うには、14SCLK サイクル以上が必要です。変換の読出しに必要な SCLK サイクルの最小数は、デバイスの分解能と構成設定に依存します（表 12 参照）。

ADAQ4381-4には、SDOA、SDOB、SDOC、SDOD の4つのシリアル出力信号があります。[Configuration2 レジスタ](#)の SDO ビットを設定することで、2 線モード、1 線モード、4 線モードのいずれかに設定できます。最大スループットを実現するには、2 線モードまたは 4 線モードで使用して変換結果を読み出す必要があります。高いスループットの必要がない場合や、オーバーサンプリングを使用する場合は、SDOA 信号のみを使用する 1 線モードで変換結果を読み出すことができます。

分解能増強モードが有効な状態で、SPI 読出しや SPI 書込み、オーバーサンプリング・モードに巡回冗長性チェック（CRC）動作を設定すると、インターフェースの動作が変わります。正しい動作の確保については、[CRC](#) のセクションを参照してください。

### 変換結果の読出し

$\overline{CS}$ 信号によって変換プロセスが開始されます。信号のハイからローへの遷移で、ADC A、ADC B、ADC C、ADC D の 4 つの ADC の同時変換が開始されます。ADAQ4381-4 には 1 サイクルの読出し遅延があります。そのため、変換結果は次の SPI アクセスで得られます。次いで、 $\overline{CS}$ 信号をローにすると、変換結果がシリアル出力ピンにクロックに応じて出力されます。次の変換もこの時点で開始されます。

ADAQ4381-4 の変換結果は、14 ビットでデバイスからシフト出力されます。変換結果の MSB が、 $\overline{CS}$ の立下がりエッジでシフト出力されます。残りのデータは、シリアル・クロック（SCLK）入力の制御の下でデバイスからシフト出力されます。データは SCLK の立上がりエッジでシフト出力され、データ・ビットは立上がりエッジと立下がりエッジの両方で有効です。SCLK の最後の立下がりエッジの後、再度 $\overline{CS}$ をハイにすると、シリアル・データ出力ピンは高インピーダンス状態に戻ります。

変換結果を SDO ピンに伝搬するのに必要な SCLK サイクル数は、設定されたシリアル動作モード、および分解能増強モードが有

効かどうかによって異なります（詳細は、[図 71](#) および [表 12](#) を参照）。CRC 読出しが有効になっている場合、CRC 情報を伝搬するには、追加の SCLK パルスが必要です。詳細については、[CRC](#) のセクションを参照してください。

$\overline{CS}$ 信号によって変換が開始され、データがフレーミングされるため、すべてのデータ・アクセスは 1 つのフレーム内で完了する必要があります。

表 12. 変換結果の読出しに必要な SCLK サイクル数 ( $n$ )

Interface Configuration	Resolution Boost Mode	CRC Read	No. of SCLK Cycles
4-Wire	Disabled	Disabled	14
		Enabled	22
	Enabled	Disabled	16
		Enabled	24
2-Wire	Disabled	Disabled	28
		Enabled	36
	Enabled	Disabled	32
		Enabled	40
1-Wire	Disabled	Disabled	56
		Enabled	64
	Enabled	Disabled	64
		Enabled	72

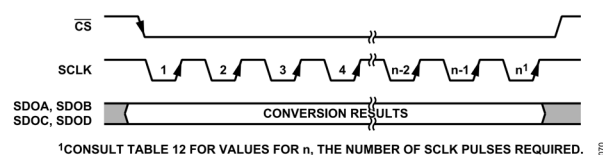


図 71. 変換結果の読出し

### シリアル 4 線モード

4 線モードに設定するには、[Configuration2 レジスタ](#)の SDO ビットを 0b10 に設定します。4 線モードでは、ADC A の変換結果が SDOA、ADC B の変換結果が SDOB、ADC C の変換結果が SDOC、ADC D の変換結果が SDOD に出力されます。

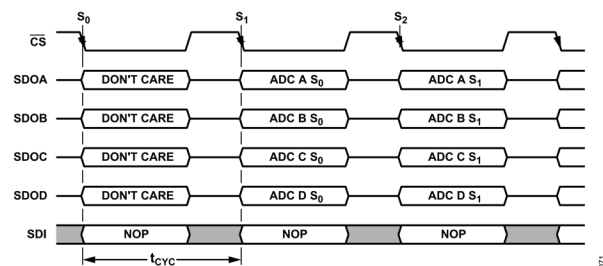


図 72. 変換結果の読出し、4 線モード

## インターフェース

## シリアル 2 線モード

2 線モードに設定するには、[Configuration2 レジスタ](#)の SDO ビットを 0b00 に設定します。2 線モードでは、ADC A と ADC C の変換結果が SDOA に出力されます。ADC B と ADC D の変換結果は SDOB に出力されます。

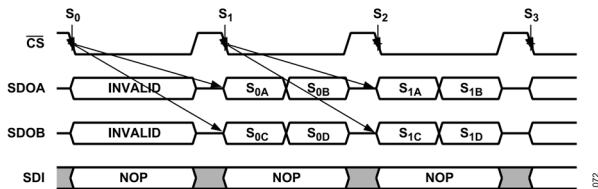


図 73. 変換結果の読出し、2 線モード

## シリアル 1 線モード

スループット・レートが遅くても構わないアプリケーションや、相加平均オーバーサンプリングを使用するアプリケーションでは、シリアル・インターフェースを 1 線モードで動作するように設定できます。1 線モードでは、ADC A、ADC B、ADC C、ADC D の変換結果が SDOA に出力されます。すべてのデータを伝搬するには、追加の SCLK サイクルが必要です。まず ADC A のデータが出力され、次いで ADC B、ADC C、ADC D の変換結果が出力されます。

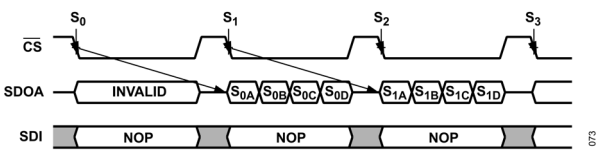


図 74. 変換結果の読出し、1 線モード

## 低遅延リードバック

ADAQ4381-4 のインターフェースには、[図 72](#)に示すように、1 サイクルの遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間 ( $t_{\text{CONVERT}}$ ) の終了後、変換を開始した最初の CS パルスに続く 2 番目の CS パルスを使用して、変換結果をリードバックできます。この動作を[図 75](#)に示します。

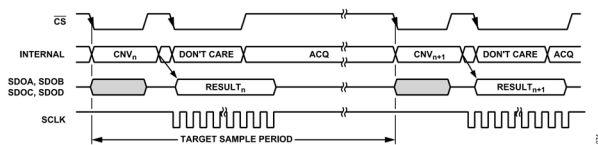


図 75. 低スループットでの低遅延

## デバイス・レジスタからの読出し

デバイス内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作コマンド (NOP) のいずれかの追加 SPI コマンドを発行します。読出しコマンドのフォーマットを[表 15](#)に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット[D14:D12]には、レジスタのアドレスが格納されます。後続の 12 ビット (ビット[D11:D0]) は無視されます。

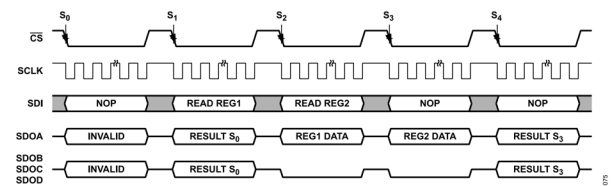


図 76. レジスタ読出し

## デバイス・レジスタへの書き込み

ADAQ4381-4 のすべてのリード/ライト・レジスタに、シリアル・インターフェースを介して書き込むことができます。SPI の書き込みアクセスの長さは、CRC の書き込み機能によって決まります。SPI アクセスは、CRC の書き込みが無効な場合は 16 ビット、CRC 書き込みが有効な場合は 24 ビットです。書き込みコマンドのフォーマットを[表 15](#)に示します。書き込みコマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット[D14:D12]には、レジスタのアドレスが格納されます。後続の 12 ビット (ビット[D11:D0]) には、選択したレジスタに書き込むデータが格納されます。

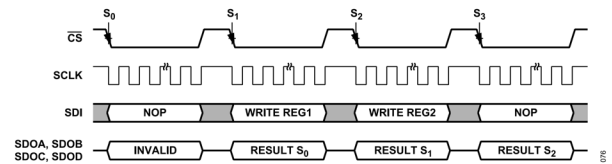


図 77. レジスタの書き込み

## インターフェース

### CRC

ADAQ4381-4 には CRC チェックサム・モードがあり、これを使用してデータ伝送中のエラーを検出することで、インターフェースの堅牢性を向上させることができます。CRC 機能は、SPI インターフェース読出しと SPI インターフェース書込みに対して個別に選択できます。例えば、SPI 書込みに CRC 機能を有効化してデバイス設定の予期しない変更を防止する一方、SPI 読出しに対しては CRC 機能を有効化せずに高いスループットを維持することができます。CRC 機能は、[Configuration1 レジスタ](#) の CRC\_W ビットと CRC\_R ビットを設定することで制御できます。

### CRC 読出し

有効化すると、変換結果またはレジスタ読出しに 8 ビット・ワードからなる CRC が付加されます。CRC は ADC A、ADC B、ADC C、ADC D の変換結果で計算され、SDOA に出力されます。また、CRC はレジスタ読出し出力についても計算され、付加されます。

CRC 読出し機能は、1 線 SPI モード、2 線 SPI モード、4 線 SPI モード、分解能増強モードで使用できます。

### CRC 書込み

CRC 書込み機能を有効化するには、[Configuration1 レジスタ](#) の CRC\_W ビットを 1 に設定する必要があります。CRC\_W ビットを 1 に設定して CRC 機能を有効化するには、リクエスト・フレームに有効な CRC が付加されていることが必要です。

CRC 機能が有効化されると、有効な CRC コマンドを備えていない限りすべてのレジスタ書込みリクエストは無視されます。有効な CRC は、CRC 書込み機能を有効にする場合にも無効にする場合にも必要です。

### CRC 多項式

CRC チェックサムの計算には、多項式  $x^8 + x^2 + x + 1$  が常に使用されます。

チェックサムを生成するには、4 つのチャンネルの 14 ビット・データの変換結果を結合し、56 ビットのデータ・ストリームを作成します。この 56 ビット・データの 8 個の MSB が反転され、8 ビット分だけデータが付加され 8 個のロジック 0 で終わる数が作成されます。多項式の MSB が、データの最も左のロジック 1 と隣り合うように、多項式の値の位置決めを実行します。次に、排他的論理和 (XOR) 関数をデータに適用してより短い数値を新たに生成し、再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と隣り合うように、多項式の値の位置決めを実行します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビット・チェックサムです。

例えば、ADAQ4381-4 の多項式は 100000111 です。4 つのチャンネルの元の値が 0xAAAA、0x5555、0xAAAA、0x5555 であるとします。データの 8 個の MSB が反転されます。次に、データが追加され、右に 8 個の 0 を含むようになります。最後の XOR 操作では、計算結果 (余り) が多項式より小さくなっています。したがって、この余りが、仮定したデータの CRC となります。

ADAQ4381-4 の CRC 動作の詳細については、[表 13](#) および [図 78](#) を参照してください。

## インターフェース

表 13.4 チャンネル、16 ビット・データの CRC 計算の例

[illegible]

<sup>1</sup> Xは、ドント・ケアを意味します。

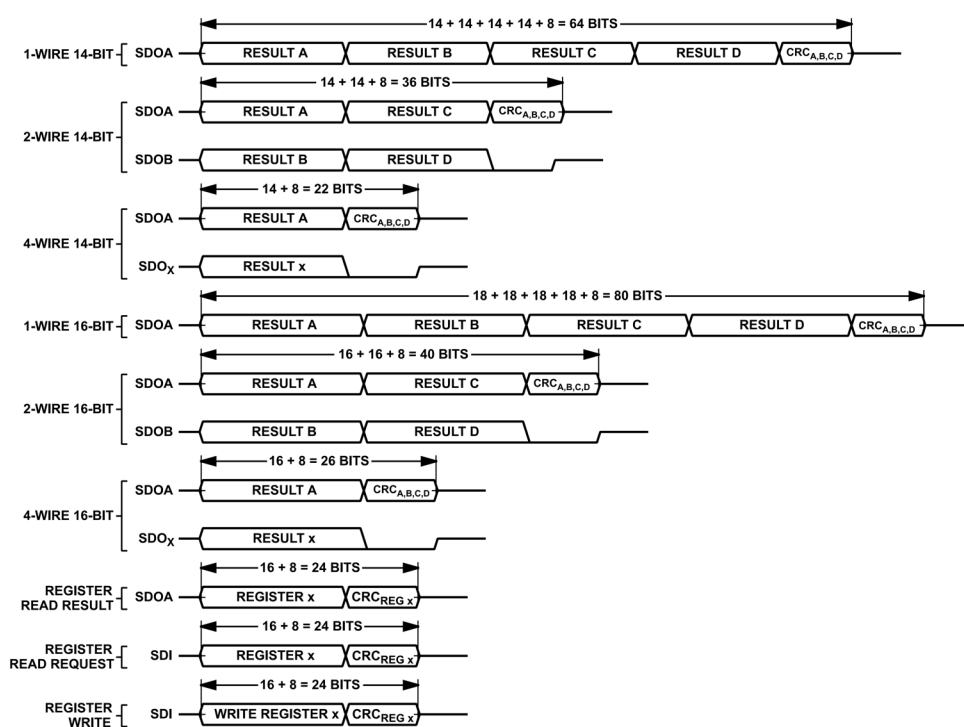


図 78. CRC の動作



## レジスタ

ADAQ4381-4 にはデバイス設定用に、ユーザ設定可能なレジスタが内蔵されています。表 14 に、ADAQ4381-4 で使用可能な全レジスタの概要を示します。

レジスタは、読出し／書込み（R/W）または読出し専用（R）です。書込み専用レジスタへの読出しリクエストは無視されます。読出し専用レジスタへの書込みリクエストは無視されます。NOP レジスタと予備レジスタへの書込みは無視されます。NOP レジスタまたは予備レジスタへの読出しリクエストは無操作とみなされ、次の SPI フレームで送信されるデータは変換結果となります。

表 14. レジスタの説明

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Default	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x1	Configuration 1	[15:8]	WR	ADDRESSING			RESERVED		OS_MODE	OSR, Bit 2	0x0000	R/W	
		[7:0]	OSR, Bits[1:0]		CRC_W	CRC_R	ALERT_EN	RES	RESERVED	PMODE			
0x2	Configuration 2	[15:8]	WR	ADDRESSING			RESERVED		SDO, Bits[1:0]		0x0000	R/W	
		[7:0]	RESET, Bits[7:0]										
0x3	Alert	[15:8]	WR	ADDRESSING			RESERVED		CRCW_F	SETUP_F	0x0000	R	
		[7:0]	AI_D_HIGH	AI_D_LOW	AI_C_HIGH	AI_C_LOW	AI_B_HIGH	AI_B_LOW	AI_A_HIGH	AI_A_LOW			
0x4	Alert Low Threshold	[15:8]	WR	ADDRESSING			ALERT_LOW, Bits[11:8]					0x0800	R
		[7:0]	ALERT_LOW, Bits[7:0]										
0x5	Alert High Threshold	[15:8]	WR	ADDRESSING			ALERT_HIGH, Bits[11:8]					0x07FF	R/W
		[7:0]	ALERT_HIGH, Bits[7:0]										

## レジスタのアドレス指定

ADAQ4381-4 でのシリアル・レジスタ転送は、16 の SCLK サイクルで構成されます。デバイスに書き込まれた 4 つの MSB がデコードされ、どのレジスタのアドレスが指定されているかが判定されます。この 4 つの MSB は、レジスタ・アドレス（REGADDR）、ビット[2:0]、および読出し／書込み（WR）ビットで構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。アドレス指定されたレジスタが有効な書込みレジスタの場合、WR ビットにより、指定されたレジスタに SDI 入力の残りの 12 ビット・データをロードするかどうかが決まります。WR ビットが 1 の場合、レジスタ選択ビットによって指定されたレジスタにビットがロードされます。WR ビットが 0 の場合、このコマンドは読出しリクエストとみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 15. レジスタのアドレス指定のフォーマット

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR	REGADDR, Bits[2:0]			Data, Bits[11:0]											

表 16. レジスタのアドレス指定のビットの説明

ビット	記号	説明
D15	WR	このビットに 1 が書き込まれていると、このレジスタのビット[11:0]を REGADDR で指定されるレジスタに書き込みます（ただし、そのレジスタのアドレスが有効な場合）。代わりに、0 が書き込まれていると、次に SDO ピンに送信するデータを指定されたレジスタから読み出します（ただし、そのレジスタのアドレスが有効な場合）。
D14 to D12	REGADDR	WR = 1 の場合、REGADDR の内容によって、表 14 に示すようにレジスタが選択されます。WR = 0 で REGADDR に有効なレジスタ・アドレスが格納されている場合、指定されたレジスタの内容が次のインターフェース・アクセス時に SDOA ピンに出力されます。WR = 0 で REGADDR に 0x0、0x6、0x7 のいずれかが格納されている場合、SDI ラインの内容は無視され、次のインターフェース・アクセスによって、変換結果がリードバックされます。
D11 to D0	Data	WR ビットが 1 で REGADDR ビットに有効なアドレスが格納されている場合、これらのビットは、REGADDR ビットによって指定された対応するレジスタに書き込まれます。

## レジスタの詳細

## Configuration1 レジスタ

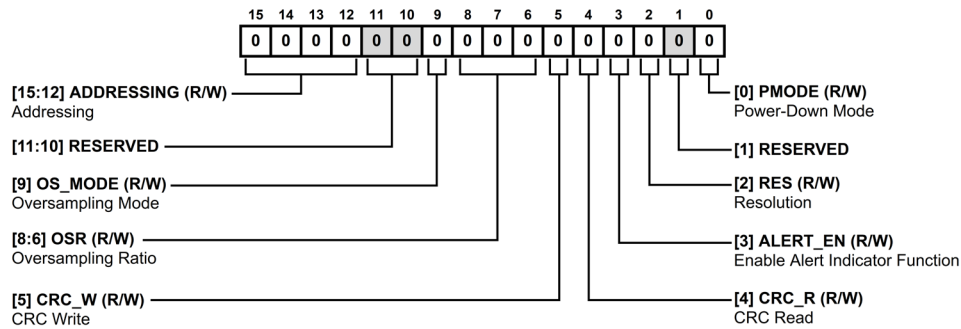


表 17. Configuration1 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。 <a href="#">レジスタのアドレス指定</a> のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予約済み。	0x0	R
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを設定します。 0 : 相加平均。 1 : 移動平均。	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。該当するモードのすべての ADC のオーバーサンプリング比を設定します。相加平均モードは、2×、4×、8×、16×、32×のオーバーサンプリング比に対応しています。移動平均モードは、2×、4×、8×のオーバーサンプリング比に対応しています。 000 : 無効化。 001 : 2× 010 : 4× 011 : 8× 100 : 16× 101 : 32× 110 : 無効化。 111 : 無効化。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。このビットを 0 から 1 にセットする場合、コマンドの後に有効な CRC を追加してこの設定ビットをセットする必要があります。有効な CRC が受信されない場合、フレーム全体が無視されます。ビットが 1 にセットされている場合、CRC ではこれを 0 にクリアする必要があります。 0 : CRC 機能なし。 1 : CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOx インターフェースの CRC 機能を制御します。 0 : CRC 機能なし。 1 : CRC 機能。	0x0	R/W
3	ALERT_EN	アラート表示機能を有効化。SDO ビットが 01 の場合に、このレジスタは機能します。それ以外の場合、ALERT_EN ビットは無視されます。 0 : SDOD。 1 : ALERT。	0x0	R/W
2	RES	分解能。変換結果のデータ・サイズを設定します。OSR = 0 の場合、これらのビットは無視され、分解能はデフォルトの分解能に設定されます。 0 : 通常分解能。 1 : 2 ビット高い分解能。	0x0	R/W
1	RESERVED	予約済み。	0x0	R/W
0	PMODE	パワーダウン・モード。電力モードを設定します。 0 : ノーマル・モード。 1 : シャットダウン・モード。	0x0	R/W



## レジスタの詳細

## Configuration2 レジスタ

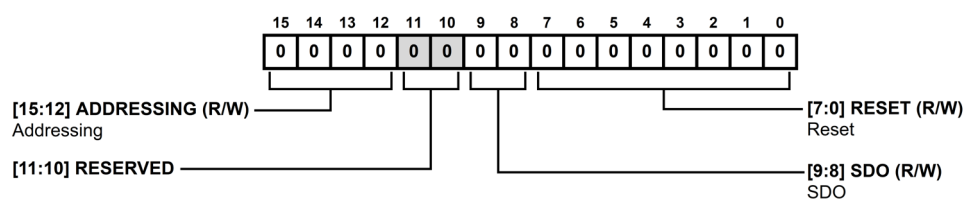


表 18. Configuration2 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。 <a href="#">レジスタのアドレス指定</a> のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予約済み。	0x0	R
[9:8]	SDO	SDO。変換結果のシリアル・データ出力。 00：2線式。変換データは SDOA および SDOB の両方に出力されます。 01：1線式。変換データは SDOA のみに出力されます。 10：4線式。変換データは SDOA、SDOB、SDOC、SDOD/ $\overline{\text{ALERT}}$ に出力されます。 11：1線式。変換データは SDOA のみに出力されます。	0x0	R/W
[7:0]	RESET	リセット。 0x3C：ソフトウェア・リセットを実行します。一部のブロックが更新されます。レジスタの内容は変わりません。アラート表示レジスタがクリアされ、オーバーサンプリング保存された変数やアクティブ・ステート・マシンは消去されます。 0xFF：ハード・リセットを実行します。デバイス内の可能なブロックはすべてリセットされます。レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

## レジスタの詳細

## アラート表示レジスタ

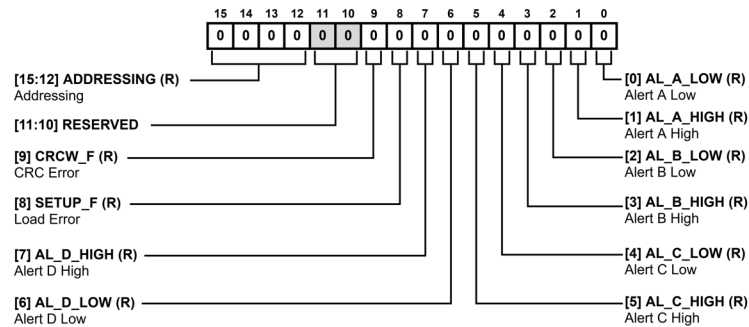


表 19. アラート表示レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。 <a href="#">レジスタのアドレス指定</a> のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予約済み。	0x0	R
9	CRCW_F	CRC エラー。レジスタ書き込みコマンドが CRC エラーのために失敗したことを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : CRC エラーなし。 1 : CRC エラー。	0x0	R
8	SETUP_F	ロード・エラー。SETUP_F は、起動時にデバイス設定データが正しく読み込まれなかったことを示します。このビットは、アラート表示レジスタの読み出し時にはクリアされません。このビットをクリアし、デバイスを再起動するには、 <a href="#">Configuration2 レジスタ</a> を介したハード・リセットが必要です。 0 : セットアップ・エラーなし。 1 : セットアップ・エラー。	0x0	R
7	AL_D_HIGH	アラート D ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R
6	AL_D_LOW	アラート D ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R
5	AL_C_HIGH	アラート C ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R
4	AL_C_LOW	アラート C ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R
3	AL_B_HIGH	アラート B ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R
2	AL_B_LOW	アラート B ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R

## レジスタの詳細

表 19. アラート表示レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
1	AL_A_HIGH	アラート A ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0：アラート表示なし。 1：アラート表示。	0x0	R
0	AL_A_LOW	アラート A ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0：アラート表示なし。 1：アラート表示。	0x0	R

## アラート下限閾値レジスタ

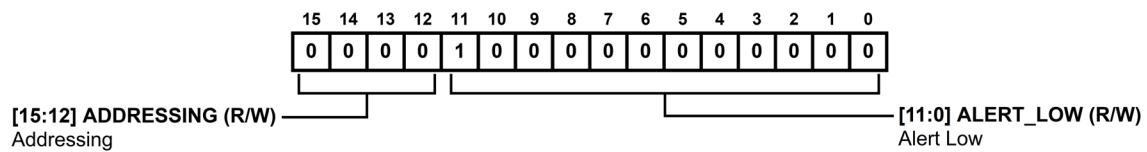


表 20. アラート下限閾値レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。 <a href="#">レジスタのアドレス指定</a> のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラート・ロー。ALERT_LOW のビット[11:0]は、内部アラート・ロー・レジスタの MSB (D[15:4]) に移動します。内部レジスタの残りのビット、D[3:0]は、0x0 に固定されます。変換結果がアラート下限閾値レジスタの値を下回るとアラートをセットし、アラート下限閾値レジスタの値を上回るとアラートは無効になります。	0x800	R/W

## アラート上限閾値レジスタ

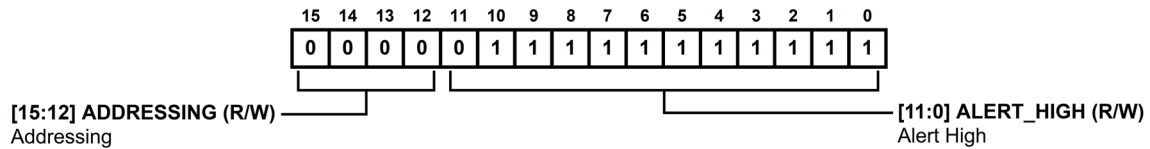


表 21. アラート上限閾値レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。 <a href="#">レジスタのアドレス指定</a> のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGH のビット D[11:0]は、内部アラート・ハイ・レジスタの MSB (D[15:4]) に移動します。内部レジスタの残りのビット、D[3:0]は、0xF に固定されます。変換結果がアラート上限閾値レジスタの値を上回るとアラートをセットし、アラート上限閾値レジスタの値を下回るとアラートは無効になります。	0x7FF	R/W

## レイアウトのガイドライン

ADAQ4381-4 が高い信頼性と最高の性能を発揮できるようにするため、プリント回路基板（PCB）に関していくつかのガイドラインがあります。

信号の完全性を保ち、ADAQ4381-4 から期待どおりの性能を引き出すには、PCB レイアウトが重要です。ADAQ4381-4 直下の多層 PCB の第 1 内層には、クリーンなグラウンド・プレーンを形成することを推奨します。PCB 上では、個々の部品の配置と各信号の配線に注意を払う必要があります。ADAQ4381-4 のグラウンド・ピンは、複数のビアを介して PCB のグラウンド・プレーンに直接ハンダ付けしてください。

ADAQ4381-4 のピンは、アナログ信号とデジタル信号の最適な配線の引き回しができるように配置されています。アナログ部とデジタル部は、互いに影響を及ぼさないように PCB 上で分離し、電源回路はアナログ信号パスから離してください。

入力信号と出力信号を対称に配線することを強く推奨します。チャンネル間マッチング性能を最適にするために、差動入力ペアと SDO ピンの PCB パターンは電氣的にマッチングを取ってください。

グラウンド・ピンを使用してアナログ信号とデジタル信号を分離します。ADAQ4381-4 にノイズがカップリングするのを防ぐため、 $\overline{CS}$  や SCLK などの高速スイッチング信号とデジタル出力 SDOA、SDOB、SDOC、SDOD は、アナログ信号パスの近くに配線したり交差させたりしないでください。

ADAQ4381-4 の外部電源レール（VS+、VS-、REFIN、VCC、VLOGIC）を生成する LDO レギュレータの出力と GND の間に、 $2.2\mu\text{F}$ （0402、X7R）以上の高品質のセラミック・バイパス・コンデンサを配置して、EMI に対する感度を最小限に抑え、電源ライン上のグリッチの影響を低減する必要があります。他に必要なバイパス・コンデンサはすべて ADAQ4381-4 に内蔵されているため、基板面積とコストを削減することができます。

図 79 は、入力をグラウンドに短絡した状態で 4MSPS でサンプリングする ADAQ4381-4 の FFT を示しています。この性能は、EV-ADAQ4381-4FMCZ 評価ボード上でノイズ・フロアにスプリアスが存在しない状態で検証されています。ADAQ4381-4 への電源は、図 65 に示すように関連する周辺製品を使用して供給されています。複数のゲイン・オプションに対応した推奨のボード・レイアウトは、EVAL-ADAQ4381-4 製品ページの設計ファイルに概要を示しています。

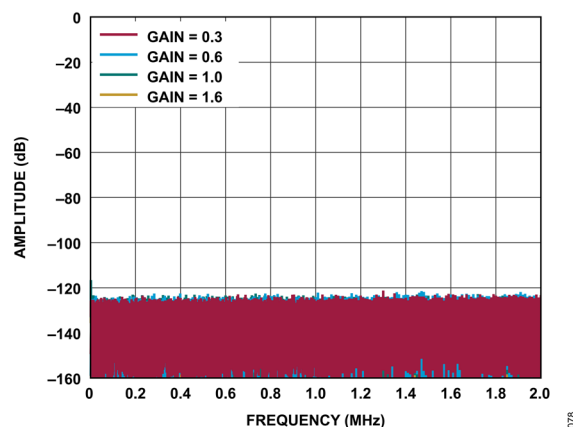


図 79. 入力を短絡したときの FFT

外形寸法

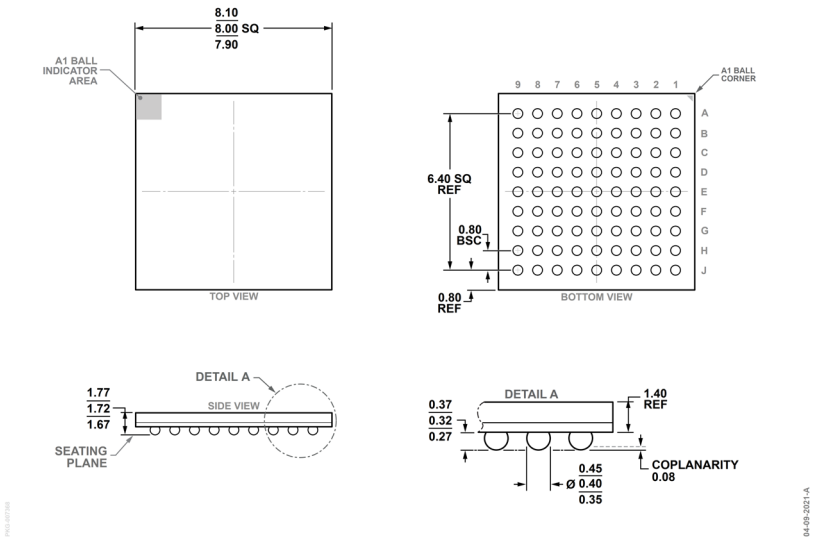


図 80. 81 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ[CSP\_BGA]  
(BC-81-7)  
寸法：mm

更新：2024 年 10 月 28 日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADAQ4381-4BBCZ	-40°C to +105°C	CHIP SCALE BGA	TRAY, 348	BC-81-7

<sup>1</sup> Z = RoHS 準拠製品。

評価用ボード

Model <sup>1</sup>	Description
EV-ADAQ4381-4FMCZ	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。