

16ビット、2MSPSの μModule データ・アキュイジション・ソリューション

特長

- ▶ 高性能
 - ▶ スループット：2MSPS、無遅延
 - ▶ INL：±3ppm（最大値）（-40°C~105°C）
 - ▶ システム・ダイナミック・レンジ：123dB（代表値）
 - ▶ S/N比：97.5dB（代表値）、THD：-122dBc（代表値）
 - ▶ オフセット誤差ドリフト：+5.05μV/°C（最大値）
 - ▶ ゲイン誤差ドリフト：+1.17ppm/°C（最大値）
- ▶ 使いやすい機能でシステムの複雑さを軽減
 - ▶ 270kHzの2次アンチエイリアス・フィルタ
 - ▶ 高インピーダンス PGIA ゲイン・オプション：1/3、5/9、20/9、20/3
 - ▶ 柔軟な外部リファレンス電圧：4.096Vまたは5V
 - ▶ 差動入力電圧範囲、±REFIN/ゲイン：±15V、±9V、±2.25V、±0.75V
 - ▶ 広い入力共通モード電圧範囲：-8V~+10V
 - ▶ 低入力バイアス電流：-30pA（代表値）
- ▶ システム・フットプリントの削減を実現する高密度ソリューション
 - ▶ 14mm × 9mm、0.8 mm ピッチ、178 ボール CSP BGA

- ▶ フットプリントを同等のディスクリート・ソリューションの1/4に削減
- ▶ 内部 VCM 生成機能を備えたりファレンス・バッファを内蔵
- ▶ 合計消費電力：2MSPSで445mW（代表値）
- ▶ Flexi-SPI デジタル・インターフェース
 - ▶ 1、2、または4個のSDOレーンによりSCKの低速化が可能
 - ▶ エコー・クロック・モードによりデジタル・アイソレータを容易に使用可能
 - ▶ 1.2V~1.8Vのロジックに対応
 - ▶ PGIAゲイン制御（A0、A1）インターフェース
 - ▶ サンプリング分解能を30ビットに拡張
 - ▶ オーバーレンジ・ビットおよび同期ビット

アプリケーション

- ▶ ATE（自動試験装置）
- ▶ マシン・オートメーション
- ▶ プロセス制御
- ▶ 医療用および工業用計測
- ▶ デジタル制御ループ

機能ブロック図

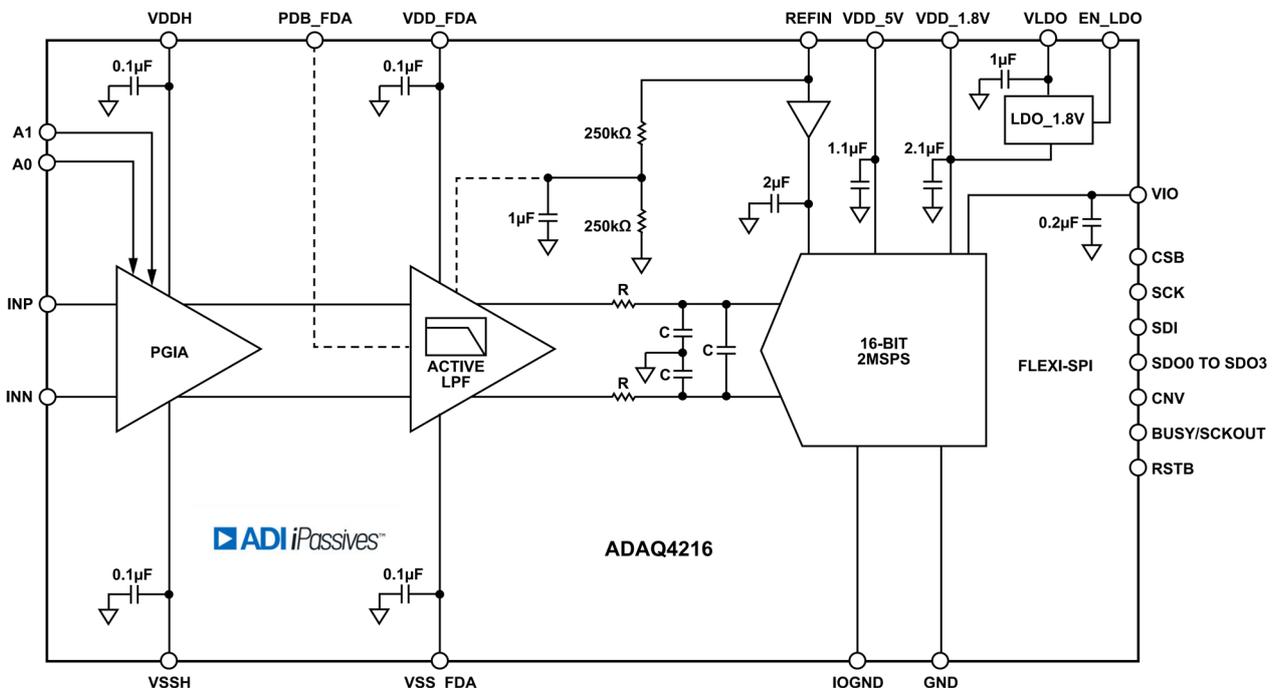


図 1. ADAQ4216 の機能ブロック図

目次

特長.....	1	レイアウトのガイドライン.....	50
アプリケーション.....	1	レジスタ.....	51
機能ブロック図.....	1	レジスタの詳細.....	52
概要.....	3	インターフェース設定 A レジスタ.....	52
仕様.....	4	インターフェース設定 B レジスタ.....	52
タイミング仕様.....	7	デバイス設定レジスタ.....	53
絶対最大定格.....	12	チップ・タイプ・レジスタ.....	53
熱抵抗.....	12	製品 ID ロー・レジスタ.....	53
静電放電定格.....	12	製品 ID ハイ・レジスタ.....	53
ESD に関する注意.....	12	チップ・グレード・レジスタ.....	54
ピン配置およびピン機能の説明.....	13	スクラッチ・パッド・レジスタ.....	54
代表的な性能特性.....	15	SPI リビジョン・レジスタ.....	54
用語の定義.....	27	ベンダ ID ロー・レジスタ.....	55
動作原理.....	28	ベンダ ID ハイ・レジスタ.....	55
概要.....	28	ストリーム・モード・レジスタ.....	55
伝達関数.....	28	インターフェース・ステータス A レジスタ.....	55
シグナル・チェーンの動作.....	29	設定モード終了レジスタ.....	56
デジタル・サンプリング処理機能.....	29	平均化モード・レジスタ.....	56
アプリケーション情報.....	31	オフセット・レジスタ.....	56
代表的なアプリケーション図.....	31	ゲイン・レジスタ.....	57
リファレンス回路の設計.....	36	モード・レジスタ.....	57
ADC リセット.....	37	内部発振器レジスタ.....	58
電源.....	37	出力ドライバ・レジスタ.....	58
シリアル・インターフェース.....	39	テスト・パターン・レジスタ.....	59
SPI 信号.....	39	デジタル診断レジスタ.....	60
サンプル変換タイミングとデータ転送.....	41	デジタル・エラー・レジスタ.....	60
クロック・モード.....	42	外形寸法.....	61
データ・クロック条件とタイミング.....	45	オーダー・ガイド.....	61
		評価用ボード.....	61

改訂履歴

1/2025— Revision 0: Initial Version

概要

ADAQ4216 は、部品の選択、最適化、およびレイアウトに関するシグナル・チェーン設計上の課題を設計者からデバイスへと移転することによって、高精度測定システムの開発サイクルを短縮できる μ Module[®]高精度データ・アキュイジション (DAQ) シグナル・チェーン・ソリューションです。ADAQ4216 は、最大 ± 3 ppm の INL と 16 ビットのノー・ミス・コードを確保し、 -40°C ~ $+105^{\circ}\text{C}$ の範囲で比類のない精度を実現します。

ADAQ4216 はシステム・イン・パッケージ (SIP) 技術を採用しており、小型の 178 ボール CSP_BGA パッケージ (14mm \times 9mm、0.8mm ピッチ) にデータ・アキュイジション・ソリューションが必要となる一般的な信号処理ブロックを組み込んでいます。

ADAQ4216 に組み込まれている部品は以下のとおりです。

- ▶ 低ノイズの広帯域幅プログラマブル・ゲイン計装アンプ (PGIA)
- ▶ 2 次アンチエイリアス・フィルタ
- ▶ 低ノイズ、低歪み、広帯域幅の ADC ドライバ
- ▶ 高精度、16 ビット、2MSPS の逐次比較レジスタ (SAR) ADC
- ▶ 1.8V の低ドロップアウト (LDO) レギュレータ
- ▶ 性能重視の受動部品

ADAQ4216 は、アナログ・デバイセズの *iPassive*[®] 技術を採用し、優れたマッチング特性とドリフト特性を備えた重要な受動部品を内蔵しています。これにより、温度に依存する誤差源を最小限に抑えて最適な性能を実現します。重要な電源およびリアレンスのバイパス・コンデンサが内蔵されているため、システム・レベルのボード・レイアウトによる影響が低減します。ソリューションのフットプリントが減少することによりシステム

内により多くの機能を追加することが可能で、性能を犠牲にせずに計測機器を小型化できます。

システムの統合化によって設計上の多くの課題が解決しますが、この μ Module では PGIA の柔軟な構成も可能で、ゲインや減衰を設定することができ、差動またはシングルエンドの入力信号からの収集をサポートしています。PGIA と ADC ドライバ段の高速セトリング、レイテンシのない SAR ADC により、多チャンネルのマルチプレクス・シグナル・チェーン・アーキテクチャや制御ループ・アプリケーション向けに、比類のないソリューションを実装できます。

デジタル機能として Flexi-SPI シリアル・ペリフェラル・インターフェース (SPI) を備えており、複数の SPI モードでのデータ・アクセスと、オフセット補正、ゲイン調整、平均化などの操作が可能です。こうしたデジタル機能により、ホスト・プロセッサの負担が軽減します。広いデータ・クロッキング・ウィンドウ、複数の SDO レーン、オプションの DDR データ・クロッキングにより、2MSPS のフルスピードで動作させながらシリアル・クロック周波数を下げることが可能で、DAQ ソリューションの絶縁が容易になり、消費電力と EMI が低減します。ADAQ4216 のエコー・クロック・モードとホスト・クロック・モードでは、タイミング条件が緩和されるため、デジタル・アイソレータを容易に使用できます。

Flexi-SPI シリアル・ユーザー・インターフェースは、個別の VIO 電源を使用することにより、1.2V~1.8V で動作可能です。ADAQ4216 の動作は、 -40°C ~ $+105^{\circ}\text{C}$ の温度範囲で仕様規定されています。

仕様

特に指定のない限り、 $V_{DDH} = 18V$ 、 $V_{SSH} = -18V$ 、 $V_{DD_FDA} = 5.4V$ 、 $V_{SS_FDA} = 0$ 、 $V_{DD_5V} = 5.4V$ 、 $V_{LDO} = 5.4V$ 、 $V_{IO} = 1.8V$ 、 $REFIN = 5V$ 、 $f_s = 2MSPS$ 、すべてのゲインと仕様は $T_{MIN} \sim T_{MAX}$ での値。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
DIFFERENTIAL INPUT VOLTAGE RANGE, V_{IN}	$V_{IN} = \pm REFIN/Gain$				
	Gain = 1/3	-15		+15	V
	Gain = 5/9	-9		+9	V
	Gain = 20/9	-2.25		+2.25	V
	Gain = 20/3	-0.75		+0.75	V
Analog Front-End Gain (G)	A0 = low, A1 = low		1/3		V/V
	A0 = high, A1 = low		5/9		V/V
	A0 = low, A1 = high		20/9		V/V
	A0 = high, A1 = high		20/3		V/V
Input Common-Mode Voltage Range	All gains	-8		+10	V
Common-Mode Rejection Ratio (CMRR)	DC		95		dB
Input Current ¹	INP, INN, $T_A = 25^\circ C$	-130	-30	+75	pA
Input Resistance	INP, INN		10^{12}		Ω
Input Capacitance	INP, INN		22		pF
THROUGHPUT					
Complete Cycle		500			ns
Conversion Time		264	282	300	ns
Acquisition Phase ²		244	260	275	ns
Throughput Rate		0		2	MSPS
DC ACCURACY					
No Missing Codes		16			Bits
Integral Nonlinearity Error (INL) ¹	All gains, $V_{SS_FDA} = 0V$	-3	± 1	+3	ppm
Differential Nonlinearity Error (DNL) ¹	All gains, $V_{SS_FDA} = 0V$		± 0.5		LSB
Transition Noise	G = 1/3		0.29		LSBrms
	G = 5/9		0.18		LSBrms
	G = 20/9		0.05		LSBrms
	G = 20/3		0.03		LSBrms
Offset Error	G = 1/3	-1.0	± 0.10	+1.0	mV
	G = 5/9	-1.1	± 0.11	+1.1	mV
	G = 20/9	-1.2	± 0.13	+1.2	mV
	G = 20/3	-1.8	± 0.23	+1.8	mV
Offset Error Drift	T = $-40^\circ C$ to $105^\circ C$, End point method				
	G = 1/3, 5/9, 20/9	-8.27	± 2.35	+3.82	$\mu V/^\circ C$
	G = 20/3	-11.93	± 3.44	+5.05	$\mu V/^\circ C$
Gain Error	REFIN = 5V	-0.06	± 0.006	+0.06	%FS
Gain Error Drift	REFIN = 5V, T = $-40^\circ C$ to $105^\circ C$, End point method				
	All gains	-1.03	± 0.07	+1.17	ppm/ $^\circ C$
Power-Supply Rejection Ratio (PSRR)	$V_{DDH} = +15V$ to $+18V$ step		122		dB
	$V_{SSH} = -15V$ to $-18V$ step		129		dB
	$V_{DD_FDA} = +4.5V$ to $+5.5V$ step		109		dB
	$V_{SS_FDA} = 0V$ to $-1V$ step		104		dB
	$V_{DD_5V} = +5.3V$ to $+5.5V$ step		109		dB
	$V_{LDO} = +5.3V$ to $+5.5V$ step		113		dB
Low Frequency Noise ³	Bandwidth = 0.1Hz to 10Hz		6		μV p-p

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
AC ACCURACY Dynamic Range	G = 1/3		97.6		dB
	G = 5/9		97.5		dB
	G = 20/9		97.4		dB
	G = 20/3		96.7		dB
Total System Dynamic Range			123		dB
Noise Spectral Density (NSD)	$f_{IN} = 1\text{kHz}$ G = 1/3		214.7		$\text{nV}/\sqrt{\text{Hz}}$
	G = 5/9		130.3		$\text{nV}/\sqrt{\text{Hz}}$
	G = 20/9		34.2		$\text{nV}/\sqrt{\text{Hz}}$
	G = 20/3		13		$\text{nV}/\sqrt{\text{Hz}}$
Total RMS Noise, RTI	G = 1/3		139.8		μV_{RMS}
	G = 5/9		84.9		μV_{RMS}
	G = 20/9		21.5		μV_{RMS}
	G = 20/3		7.8		μV_{RMS}
Signal-to-Noise Ratio (SNR)	$f_{IN} = 1\text{kHz}, -0.5\text{dBFS}$ G = 1/3	96.5	97.5		dBFS
	G = 5/9	96.4	97.4		dBFS
	G = 20/3	96.3	97.3		dBFS
	G = 20/3	95.1	96.1		dBFS
Spurious-Free Dynamic Range (SFDR)	$f_{IN} = 1\text{kHz}, -0.5\text{dBFS}$ G = 1/3		122		dBc
	G = 5/9		118		dBc
	G = 20/9		122		dBc
	G = 20/3		122		dBc
Total Harmonic Distortion (THD)	$f_{IN} = 1\text{kHz}, -0.5\text{dBFS}$ G = 1/3	-114	-122		dBc
	G = 5/9	-105.5	-118		dBc
	G = 20/9	-115.5	-122		dBc
	G = 20/3	-115.5	-122		dBc
Signal-to-Noise-and-Distortion (SINAD) Ratio	$f_{IN} = 1\text{kHz}, -0.5\text{dBFS}$ G = 1/3	96.4	97.4		dBFS
	G = 5/9	96.3	97.3		dBFS
	G = 20/9	96.2	97.2		dBFS
	G = 20/3	95	96		dBFS
Oversampled Dynamic Range	OSR = 2		99		dB
	OSR = 1024		128		dB
-3dB Input Bandwidth	$V_{\text{OUTDIFF}} = 2\text{V p-p}$ G = 1/3		270		kHz
	G = 5/9		270		kHz
	G = 20/9		250		kHz
	G = 20/3		225		kHz
Aperture Delay			0.7		ns
Aperture Jitter			1.4		ps rms

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INTERNAL REFERENCE BUFFER					
REFIN Voltage Range	External reference drives REFIN $5.3V \leq VDD_5V \leq 5.5V$ $4.75V \leq VDD_5V \leq 5.25V$	4.95 4.046	5 4.096	5.05 4.146	V V
REFIN Bias Current	REFIN = 5V		10	13.5	μA
REFIN Input Impedance			500		k Ω
REFIN Input Capacitance			40		pF
Reference Buffer Offset Error	REFIN = 5V or 4.096V, $T_A = 25^\circ C$	-150	± 20	+150	μV
Reference Buffer Offset Drift			± 0.3		$\mu V/^\circ C$
Power-On Settling Time			3		ms
DIGITAL INPUTS, ADC					
Logic Levels	$1.14V \leq V_{IO} \leq 1.89V$				
Input Voltage Low (V_{IL})		-0.3		$+0.35 \times V_{IO}$	V
Input Voltage High (V_{IH})		$0.65 \times V_{IO}$		$V_{IO} + 0.3$	V
Input Current Low (I_{IL})		-10		+10	μA
Input Current High (I_{IH})		-10		+10	μA
Input Pin Capacitance			2		pF
DIGITAL INPUTS, A0, A1					
Logic Levels					
Input Voltage Low (V_{IL})		2			V
Input Voltage High (V_{IH})				0.8	V
Input Current (I_{IL} or I_{IH})			0.002		μA
Input Pin Capacitance			2		pF
DIGITAL INPUT, FDA					
PDB_FDA Input Current	PDB_FDA = FDD_FDA or 0V		50		μA
DIGITAL OUTPUTS					
	$1.14V \leq V_{IO} \leq 1.89V$				
Pipeline Delay					
Output Voltage Low (V_{OL})	Sink Current (I_{SINK}) = 2mA			$0.25 \times V_{IO}$	V
Output Voltage High (V_{OH})	Source Current (I_{SOURCE}) = 2mA	$0.75 \times V_{IO}$			V
LDO CHARACTERISTICS					
VDD_1.8V Output Voltage		1.71	1.8	1.89	V
Load Regulation	$I_{OUT} = 1mA$ to 100mA		0.003		%/mA
Dropout Voltage ⁴	$I_{OUT} = 100mA$		45		mV
Start-up Time ⁵			200		μs
Current Limit Threshold			260		mA
EN_LDO Input Current	EN_LDO = VLDO		0.001	1	μA
Thermal Shutdown Threshold			150		$^\circ C$
Thermal Shutdown Hysteresis			15		$^\circ C$
POWER SUPPLIES					
V _{DDH}			18		V
V _{SSH}			-18		V
VDD_FDA		3	5	VSS_FDA +10	V
VSS_FDA		VDD_FDA - 10	0	+0.1	V
VDD_5V	REFIN = 5V	5.3	5.4	5.5	V
	REFIN = 4.096V	4.75	5	5.25	V
VDD_1.8V		1.71	1.8	1.89	V

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V_{IO}^6		1.14		1.89	V
V_{LDO}		2.2	5.4	5.5	V
Standby Current	Inputs grounded				
V_{DDH}			8		mA
V_{SSH}			-9		mA
V_{DD_FDA}			4.8		mA
V_{SS_FDA}			-3.5		mA
V_{DD_5V}			525		μ A
V_{IO}			<1		μ A
V_{LDO}			108		μ A
Shutdown Current	Inputs grounded				
V_{DD_FDA}	PDB_FDA = 0V		32		μ A
V_{SS_FDA}	PDB_FDA = 0V		-25.2		μ A
V_{DD_5V}	ADC in shutdown mode		5		μ A
V_{IO}			<1		μ A
V_{LDO}	EN_LDO = 0V, ADC in shutdown mode		0.8		μ A
Operating Current	2MSPS, Input = -0.5dBFS				
V_{DDH}	$V_{DDH} = +18V$		10		mA
V_{SSH}	$V_{SSH} = -18V$		-9.8		mA
V_{DD_5V}	$V_{DD_5V} = 5.4V$		2.5	3.2	mA
V_{DD_FDA}	$V_{DD_FDA} = 5.4V$		5.6	7.5	mA
V_{SS_FDA}	$V_{SS_FDA} = 0V$	-7.5	-5.6		mA
V_{IO}	$V_{IO} = 1.8V$, 1-lane SDO		0.8		mA
V_{LDO}	$V_{LDO} = 5.4V$		8	10.5	mA
Power Dissipation	2MSPS		445		mW
t_{RESET_DELAY}	After power-on, delay from V_{DD_5V} and $V_{DD_1.8V}$ valid to \overline{RST} assertion	3			ms
t_{RESET_PW}	\overline{RST} pulse width	50			ns
TEMPERATURE RANGE					
Specified Performance	T_{MIN} to T_{MAX}	-40		+105	$^{\circ}C$

¹ これらの仕様は製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

² アクイジション・フェーズとは、入力サンプリング・コンデンサが、2MSPSのスループット・レートで動作するADCで新しい入力を取得するために使用できる時間です。

³ 図 63 の低周波数ノイズ・プロットを参照してください。1/fノイズは、オートゼロ機能により内部で打ち消されます。ノイズ・スペクトル密度は、DC～ $f_s/2$ の範囲で実質的に一定です。

⁴ ドロップアウト電圧は、入力電圧を公称出力電圧に設定したときの入力電圧と出力電圧間の電圧差として定義されます。

⁵ スタートアップ時間は、EN_LDOの立上がりエッジから $V_{DD_1.8V}$ が公称値の90%になるまでの時間として定義されます。

⁶ $V_{IO} < 1.4V$ の場合はビットIO2Xを1に設定する必要があります。詳細については出力ドライバ・レジスタのセクションを参照してください。

タイミング仕様

特に指定のない限り、 $V_{DDH} = 18V$ 、 $V_{SSH} = -18V$ 、 $V_{DD_FDA} = 5.4V$ 、 $V_{SS_FDA} = 0V$ 、 $V_{DD_5V} = 5.4V$ 、 $V_{LDO} = 5.4V$ 、 $V_{IO} = 1.8V$ 、 $REFIN = 5V$ 、 $f_s = 2MSPS$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ における値。タイミング電圧レベルについては図 2 を参照してください。 $V_{IO} < 1.4V$ の場合はビットIO2Xを1に設定する必要があります。

表 2. デジタル・タイミング・インターフェース

Parameter ¹	Symbol	Min	Typ	Max	Unit
Conversion Time: CNV Rising Edge to Data Available	t_{CONV}	264	282	300	ns
Acquisition Phase ²	t_{ACQ}	244	260	275	ns
Time Between Conversions	t_{CYC}	500			ns
CNV High Time	t_{CNVH}	10			ns

仕様

表 2. デジタル・タイミング・インターフェース (続き)

Parameter ¹	Symbol	Min	Typ	Max	Unit
CNV Low Time	t_{CNVL}	20			ns
Internal Oscillator Frequency	f_{OSC}	75.1	80	84.7	MHz

¹ タイミング仕様は、デジタル出力ピンでの負荷容量が 5pF であると仮定しています。t_{CONV}、t_{CYC}、t_{SCK}、t_{SCKOUT} は出荷テスト済みです。それ以外のタイミング仕様は特性評価および設計により確保されています。

² アクイジション・フェーズとは、入力サンプリング・コンデンサが、2MSPS のスループット・レートで動作する ADC で新しい入力を取得するために使用できる時間です。

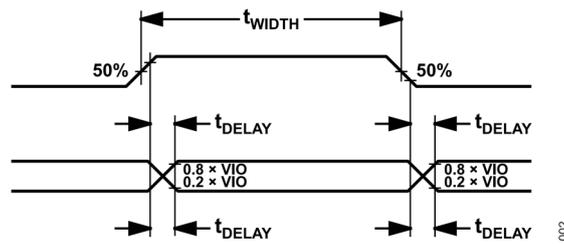


図 2. タイミングの電圧レベル

表 3. レジスタ読み出し/書き込みのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
\overline{CS} Pulse Width	t_{CSPW}	10			ns
SCK Period	t_{SCK}				
$V_{IO} > 1.71V$		11.6			ns
$V_{IO} > 1.14V$		12.3			ns
SCK Low Time	t_{SCKL}	5.2			ns
SCK High Time	t_{SCKH}	5.2			ns
SCK Falling Edge to Data Remains Valid	t_{HSDO}	2.1			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}				
$V_{IO} > 1.71V$				9.4	ns
$V_{IO} > 1.14V$				11.8	ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns
SDI Valid Setup Time to SCK Rising Edge	t_{SSDI}	1.5			ns
SDI Valid Hold Time from SCK Rising Edge	t_{HSDI}	1.5			ns
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}				
$V_{IO} > 1.71V$		11.6			ns
$V_{IO} > 1.14V$		12.3			ns
Last SCK Edge to \overline{CS} Rising Edge	t_{SCKCS}	5.2			ns

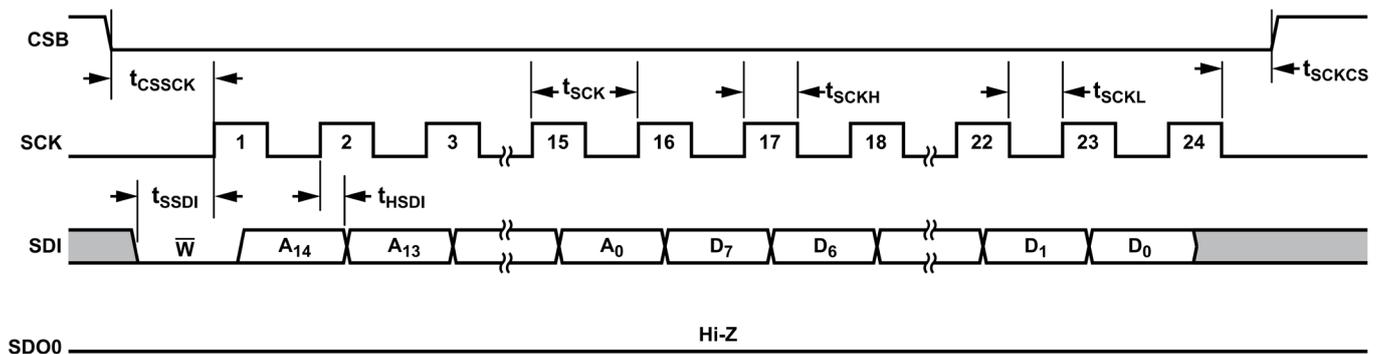


図 3. レジスタ設定モードの書き込みタイミング

仕様

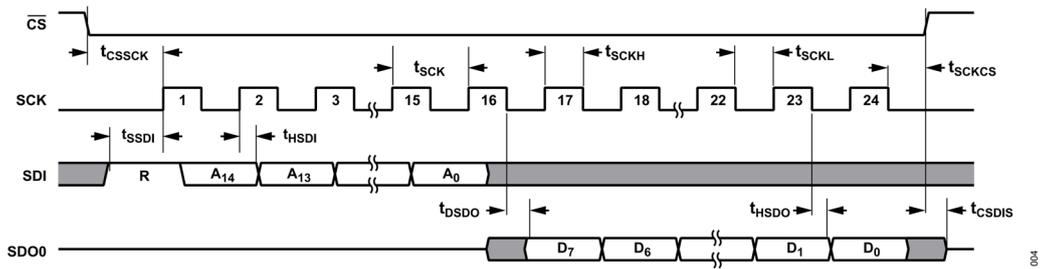


図 4. レジスタ設定モードの読み出しタイミング

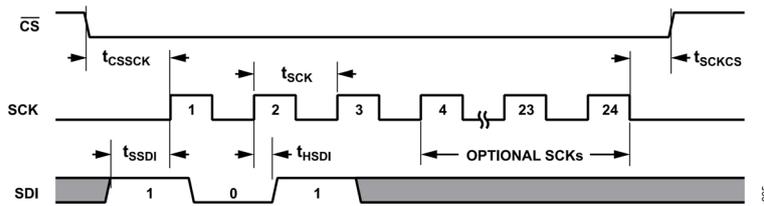


図 5. レジスタ設定モードのコマンド・タイミング

表 4. SPI 互換モードのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCK}	9.8			ns
$V_{IO} > 1.71V$		12.3			ns
$V_{IO} > 1.14V$					
SCK Low Time	t_{SCKL}	4.2			ns
$V_{IO} > 1.71V$		5.2			ns
$V_{IO} > 1.14V$					
SCK High Time	t_{SCKH}	4.2			ns
$V_{IO} > 1.71V$		5.2			ns
$V_{IO} > 1.14V$					
SCK Falling Edge to Data Remains Valid	t_{HSDO}	1.4			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}			5.6	ns
$V_{IO} > 1.71V$				8.1	ns
$V_{IO} > 1.14V$					
\overline{CS} Falling Edge to SDO Valid	t_{CSEN}			6.8	ns
$V_{IO} > 1.71V$				9.3	ns
$V_{IO} > 1.14V$					
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}	9.8			ns
$V_{IO} > 1.71V$		12.3			ns
$V_{IO} > 1.14V$					
Last SCK Edge to \overline{CS} Rising Edge	t_{SCKCS}	4.2			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns
\overline{CS} Falling Edge to BUSY Rising Edge	t_{CSBUSY}		6		ns

仕様

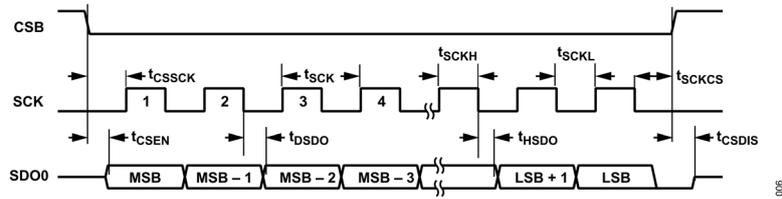


図 6. SPI クロック・モードの 1 レーン SDR のタイミング

表 5. エコー・クロック・モードのタイミング、SDR、1 レーン

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{sck}	9.8			ns
$V_{IO} > 1.71V$		12.3			ns
$V_{IO} > 1.14V$					
SCK Low Time, SCK High Time	t_{sckL}, t_{sckH}	4.2			ns
$V_{IO} > 1.71V$		5.2			ns
$V_{IO} > 1.14V$					
SCK Rising Edge to Data/SCKOUT Remains Valid	t_{hsdo}	1.1			ns
SCK Rising Edge to Data/SCKOUT Valid Delay	t_{dsdo}			5.6	ns
$V_{IO} > 1.71V$				8.1	ns
$V_{IO} > 1.14V$					
\overline{CS} Falling Edge to First SCK Rising Edge	t_{cssck}	9.8			ns
$V_{IO} > 1.71V$		12.3			ns
$V_{IO} > 1.14V$					
Skew Between Data and SCKOUT	t_{skew}	-0.4	0	+0.4	ns
Last SCK Edge to \overline{CS} Rising Edge	t_{sckcs}	4.2			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{csdis}			9	ns

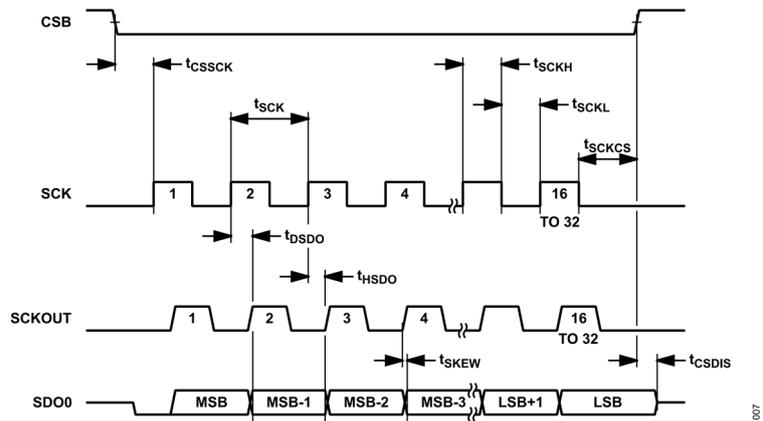


図 7. エコー・クロック・モードのタイミング、SDR、1 レーン

表 6. エコー・クロック・モードのタイミング、DDR、1 レーン

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{sck}	12.3			ns
SCK Low Time, SCK High Time	t_{sckL}, t_{sckH}	5.2			ns
SCK Edge to Data/SCKOUT Remains Valid	t_{hsdo}	1.1			ns
SCK Edge to Data/SCKOUT Valid Delay	t_{dsdo}			6.2	ns
$V_{IO} > 1.71V$				8.7	ns
$V_{IO} > 1.14V$					

仕様

表 6. エコー・クロック・モードのタイミング、DDR、1 レーン (続き)

Parameter	Symbol	Min	Typ	Max	Unit
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}	12.3			ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCK Edge to \overline{CS} Rising Edge	t_{SCKCS}	9			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

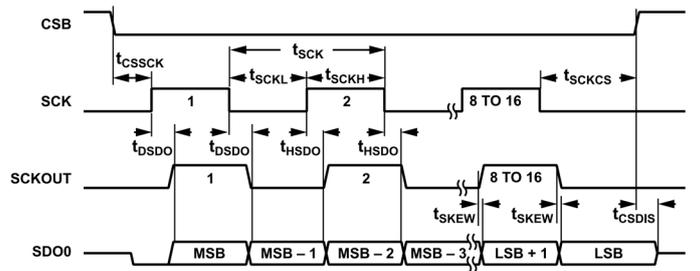


図 8. エコー・クロック・モードのタイミング、DDR、1 レーン

表 7. ホスト・クロック・モードのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCKOUT}	11.8	12.5	13.3	ns
OSC_DIV = No Divide		23.6	25	26.6	ns
OSC_DIV = Divide by 2		47.4	50	53.2	ns
OSC_DIV = Divide by 4					ns
SCK Low Time	$t_{SCKOUTL}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
SCK High Time	$t_{SCKOUTH}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
\overline{CS} Falling Edge to First SCKOUT Rising Edge	$t_{DSCKOUT}$	10	13.6	19	ns
$V_{IO} > 1.71V$		10	15	21	ns
$V_{IO} > 1.14V$					ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCKOUT Edge to \overline{CS} Rising Edge	$t_{SCKOUTCS}$	5.2			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

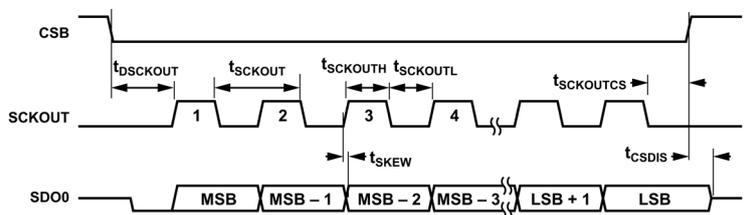


図 9. ホスト・クロック・モードのタイミング、SDR、1 レーン

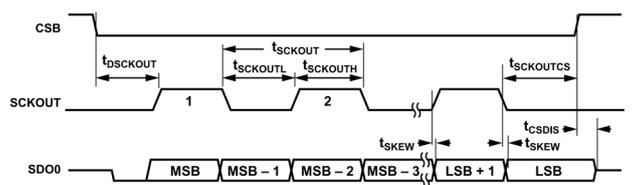


図 10. ホスト・クロック・モードのタイミング、DDR、1 レーン

絶対最大定格

表 8. 絶対最大定格

Parameter	Rating
Analog Inputs	
Input Voltage, INP, INN	$V_{SSH} - 0.2V$ to $V_{DDH} + 0.2V$
REFIN to GND	$-0.3V$ to $V_{DD_5V} + 0.3V$
Input Current ¹	$\pm 20mA$
Supply Voltage	
V_{DDH} to V_{SSH}	40V
V_{DD_FDA} to GND	11V
V_{DD_5V} to GND	$-0.3V$ to $+6.0V$
V_{IO} to GND	$-0.3V$ to $+2.1V$
V_{LDO} to GND	$-0.3V$ to $+6.5V$
Digital Inputs to GND	$-0.3V$ to $V_{IO} + 0.3V$
CNV to GND	$-0.3V$ to $V_{IO} + 0.3V$
Digital Outputs to GND	$-0.3V$ to $V_{IO} + 0.3V$
Temperature	
Storage Range	$-55^{\circ}C$ to $+150^{\circ}C$
Operating Junction Range	$-40^{\circ}C$ to $+105^{\circ}C$
Maximum Reflow (Package Body)	$260^{\circ}C$

¹ 入力ピンには電源ピンへのクランプ・ダイオードが接続されています。入力信号が電源レールを 0.3V 超える場合は、常に入力電流を 20mA 未満に制限します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。 θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流でのジャンクションから周囲への熱抵抗です。 θ_{JC} は、ジャンクションからケースへの熱抵抗です。

表 9. 熱抵抗

Package Type	θ_{JA}	θ_{JC_TOP}	θ_{JC_BOT}	Ψ_{JT}	Unit
BC-178-2	28.96	22.60	14.09	14.03	$^{\circ}C/W$

静電放電定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADAQ4216 の ESD 定格

表 10. ADAQ4216、178 ボール CSP_BGA

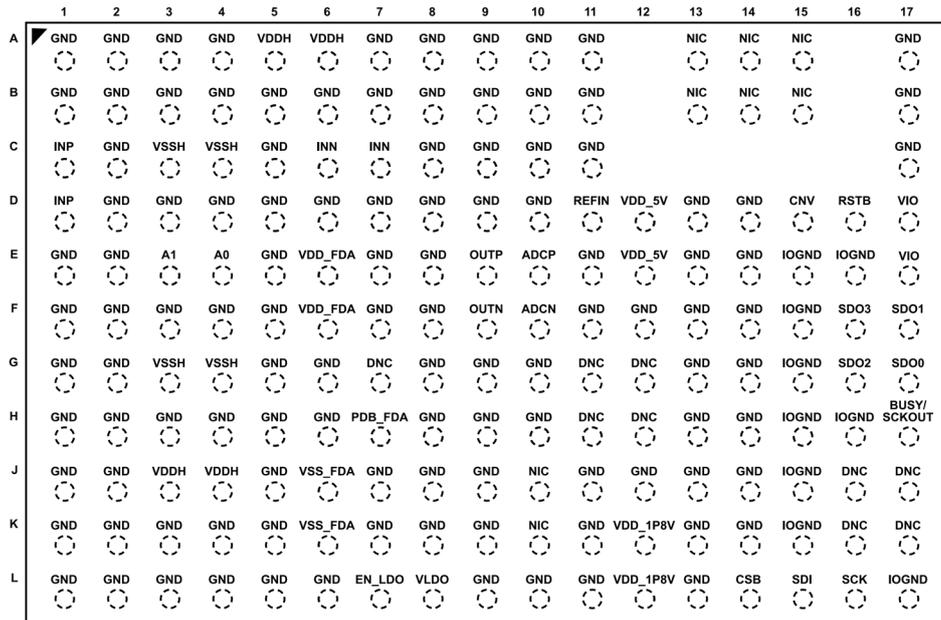
ESD Model	Withstand Threshold (kV)	Class
HBM	± 4	3A
FICDM	± 1	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



ADAQ4216
TOP VIEW

011

図 11. ピン配置

表 11. ピン機能の説明

ピン番号	記号	タイプ ¹⁾	説明
A1 to A4, A7 to A11, A17, B1 to B11, B17, C2, C5, C8 to C11, C17, D2 to D10, D13 to D14, E1 to E2, E5, E7 to E8, E11, E13 to E14, F1 to F5, F7 to F8, F11 to F14, G1 to G2, G5 to G6, G8 to G10, G13 to G14, H1 to H6, H8 to H10, H13 to H14, J1 to J2, J5, J7 to J9, J11 to J14, K1 to K5, K7 to K9, K11, K13 to K14, L1 to L6, L9 to L11, L13 A5 to A6, J3 to J4 C1, D1	GND	P	電源グラウンド。
	VDDH	P	PGIA の正電源。このピンは、パッケージ内に 0.1μF のバイパス・コンデンサを内蔵しています。
	INP	AI	正のアナログ入力。INP ピンはフロート状態のままにしないでください。INP ピンをフロート状態のままにすると、VDDH および VSSH 電源から PGIA へ流れる電流が大きくなります。
C3 to C4, G3 to G4 C6 to C7	VSSH	P	PGIA の負電源。このピンは、パッケージ内に 0.1μF のバイパス・コンデンサを内蔵しています。
	INN	AI	負のアナログ入力。INN ピンはフロート状態のままにしないでください。INN ピンをフロート状態のままにすると、VDDH および VSSH 電源から PGIA へ流れる電流が大きくなります。
D11	REFIN	AI	リファレンス入力。REFIN は 4.096V~5V (グラウンド基準) で駆動します。このピンは内部リファレンス・バッファの入力で、バッファの出力には 2μF のバイパス・コンデンサがあります。
D12, E12	VDD_5V	P	5V 電源。VDD_5V の範囲はリファレンスの値によって異なり、5V のリファレンスの場合は 5.3V~5.5V、4.096V のリファレンスの場合は 4.75V~5.25V です。このピンはパッケージ内に 1μF と 0.1μF のバイパス・コンデンサを内蔵しています。
D15	CNV	DI	変換入力。この入力の立上がりエッジによってデバイスがパワーアップし、新たな変換が開始されます。ADC の仕様規定された性能を実現するには、この信号が低ジッタである必要があります。ロジック・レベルは VIO ピンによって決まります。
D16	RSTB	DI	リセット入力 (アクティブ・ロー)。非同期 ADC リセット。

ピン配置およびピン機能の説明

表 11. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
D17, E17	VIO	P	入出力インターフェースのデジタル電源。このピンの公称電圧はホスト・インターフェースと同じ（1.8V、1.5V、または 1.2V）です。このピンにはパッケージ内に 0.2μF のバイパス・コンデンサがあります。V _{IO} < 1.4V の場合、出力ドライバ・レジスタのビット IO2X を 1 に設定する必要があります。
E3	A1	DI	PGIA ゲイン制御ロジック入力 1。
E4	A0	DI	PGIA ゲイン制御ロジック入力 0。
E6, F6	VDD_FDA	P	FDA の正電源。このピンは、パッケージ内に 0.1μF のバイパス・コンデンサを内蔵しています。このピンは、2.2μF 以上の（0402、X5R）セラミック・コンデンサを使って GND へバイパスします。
E9	OUTP	AO	正の FDA 出力。
E10	ADCP	AI	正の ADC 入力。
E15 to E16, F15, G15, H15 to H16, J15, K15, L17	IOGND	P	VIO グラウンド。すべての GND ピンと同じグラウンド・プレーンに接続します。
F9	OUTN	AO	負の FDA 出力。
F10	ADCN	AI	負の ADC 入力。
F16	SDO3	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期されます。
F17	SDO1	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期されます。
G7, G11 to G12, H11 to H12	DNC		接続なし。
G16	SDO2	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期されます。
G17	SDO0	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SCK に同期されます。
H7	PDB_FDA	DI	パワーダウン FDA。アクティブ・ロー。PDB_FDA ピンを GND に接続すると、FDA をパワーダウンします。もしくは、PDB_FDA ピンを VDD_FDA ロジック・ハイ電源に接続します。
H17	BUSY_SCKOUT	DO	SPI クロック・モードのビジー・インジケータ。このピンは、新たな変換の開始時にハイとなり、変換が終了するとローになります。ロジック・レベルは VIO ピンによって決まります。SCKOUT がイネーブルされている場合、このピン機能は、ホスト・コントローラから入力される SCK のエコー、または内部発振器から送られるクロックのどちらかになります。
J6, K6	VSS_FDA	P	FDA の負電源。このピンは、パッケージ内に 0.1μF のバイパス・コンデンサを内蔵しています。このピンは、2.2μF 以上の（0402、X5R）セラミック・コンデンサを使って GND へバイパスします。電源レール数を少なくするには GND に接続します。
A13 to A15, B13 to B15, J10, K10	NIC		内部では未接続。これらのピンは、内部では接続されていません。
J16 to J17, K16 to K17	DNC		接続なし。高インピーダンス・モードの場合、これらのピンは内部でデジタル出力ドライバに接続されます。
K12, L12	VDD_1.8V	P	LDO の電圧出力。出力は 1.8V（代表値）です。このピンは、パッケージ内に 1μF と 0.1μF のバイパス・コンデンサを内蔵しています。
L7	EN_LDO	DI	LDO イネーブル・ピン。自動スタートアップの場合は、EN_LDO を VLDO に接続します。
L8	VLDO	P	内部 LDO 入力電源。このピンにはパッケージ内に 1μF のバイパス・コンデンサがあります。VLDO の入力範囲は 2.2V~5.5V です。
L14	CSB	DI	チップ・セレクト入力（アクティブ・ロー）。
L15	SDI	DI	シリアル・データ入力。
L16	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると（CSB = ロー）、変換結果はこのクロックによってシフト出力されます。

¹ AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力です。

代表的な性能特性

特に指定のない限り、 $V_{DDH} = 18V$ 、 $V_{SSH} = -18V$ 、 $V_{DD_FDA} = 5.4V$ 、 $V_{SS_FDA} = 0V$ 、 $V_{DD_5V} = 5.4V$ 、 $V_{LDO} = 5.4V$ 、 $V_{IO} = 1.8V$ 、 $REFIN = 5V$ 、 $f_s = 2MSPS$ 、すべての仕様は $T_{MIN} \sim T_{MAX}$ における値。

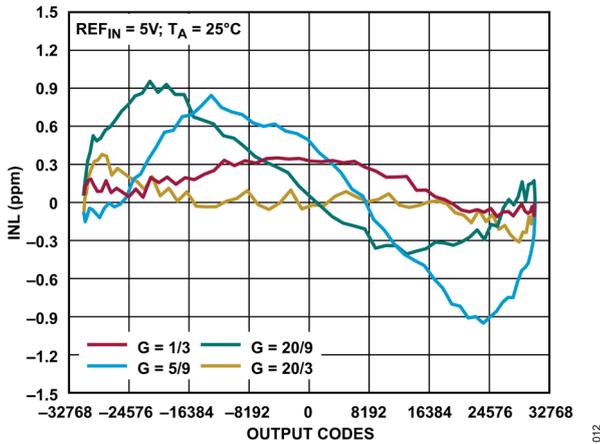


図 12. INL 誤差と出力コードの関係 (差動入力、REFIN = 5V)

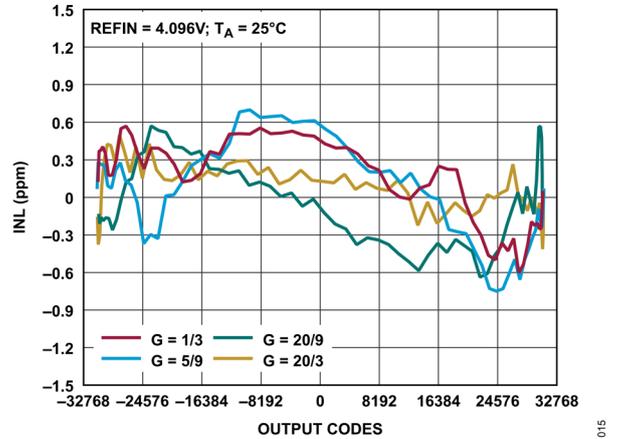


図 15. INL 誤差と出力コードの関係 (差動入力、REFIN = 4.096V)

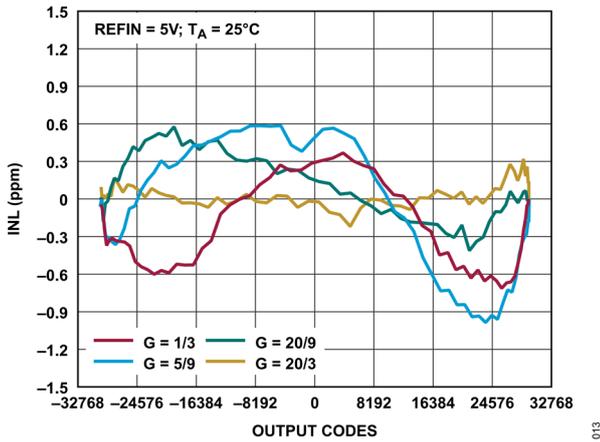


図 13. INL 誤差と出力コードの関係 (シングルエンド入力、REFIN = 5V)

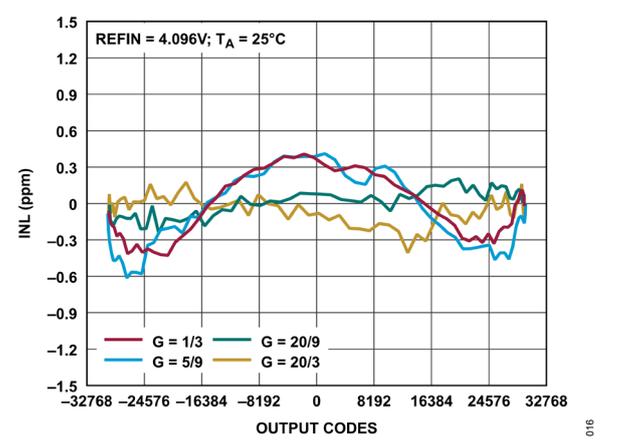


図 16. INL 誤差と出力コードの関係 (シングルエンド入力、REFIN = 4.096V)

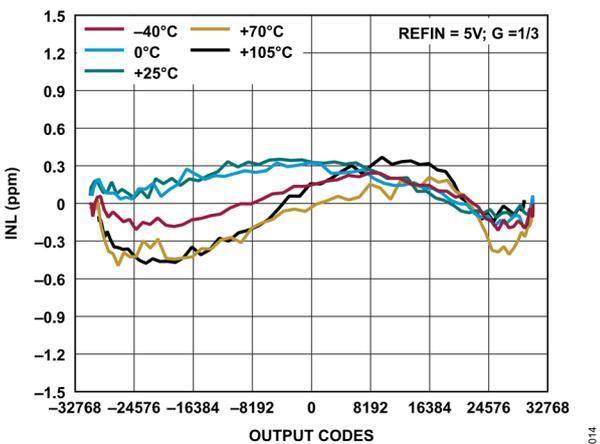


図 14. 異なる温度での INL 誤差と出力コードの関係 (G = 1/3)

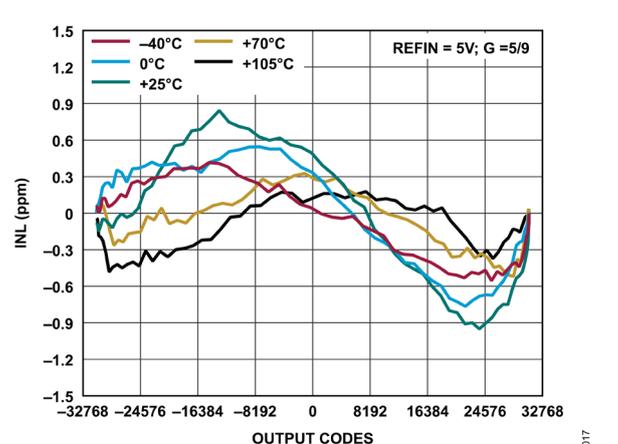


図 17. 異なる温度での INL 誤差と出力コードの関係 (G = 5/9)

代表的な性能特性

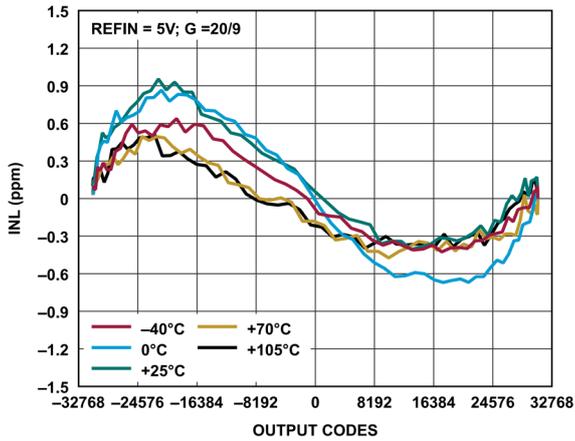


図 18. 異なる温度での INL 誤差と出力コードの関係 (G = 20/9)

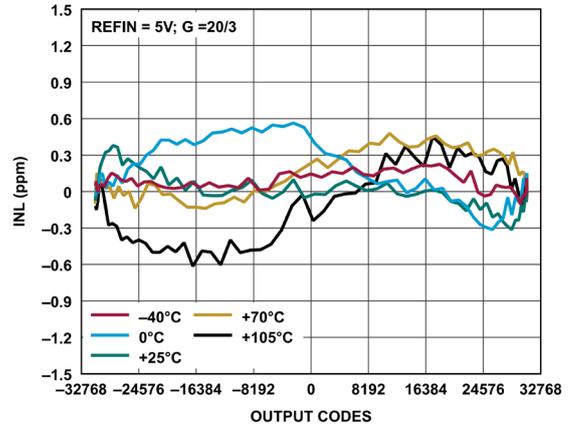


図 21. 異なる温度での INL 誤差と出力コードの関係 (G = 20/3)

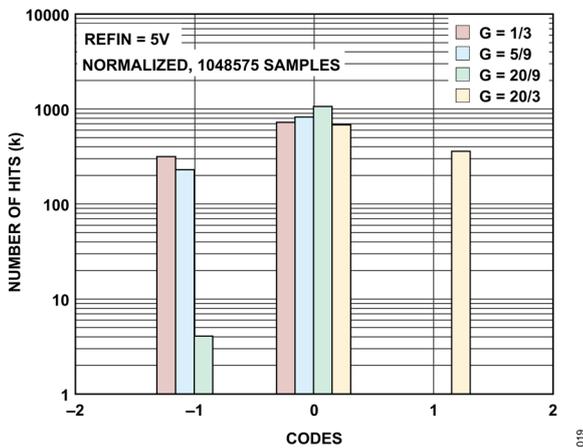


図 19. 入力短絡時のコード・ヒストグラム (REFIN = 5V)

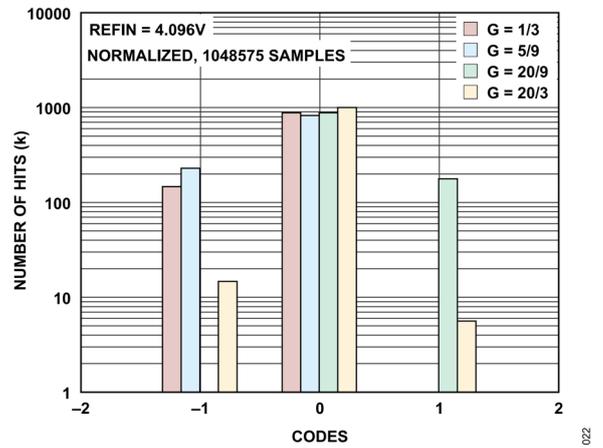


図 22. 入力短絡時のコード・ヒストグラム (REFIN = 4.096V)

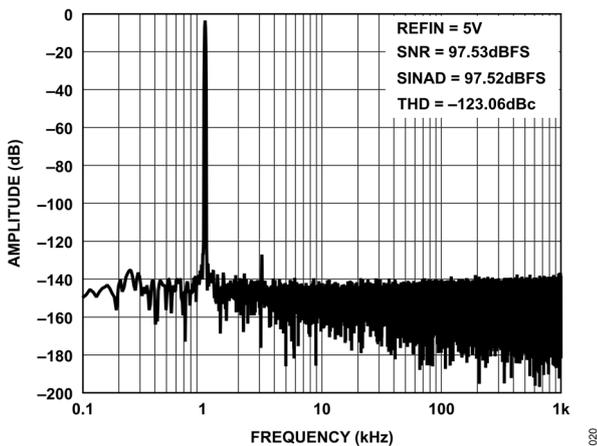


図 20. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 1/3$ 、REFIN = 5V)

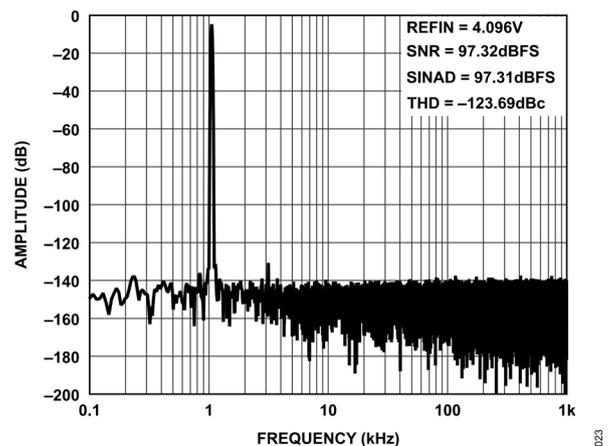


図 23. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 1/3$ 、REFIN = 4.096V)

代表的な性能特性

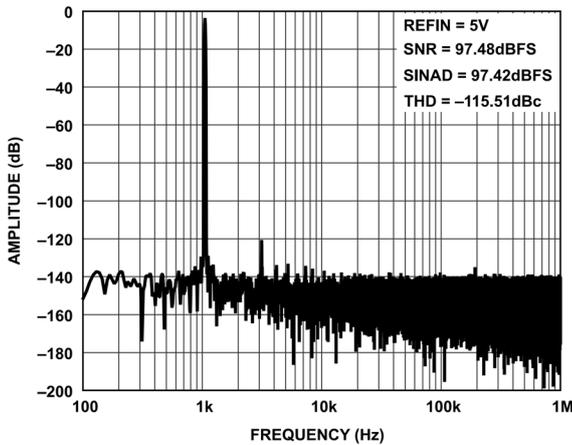


図 24. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 5/9$ 、REFIN = 5V)

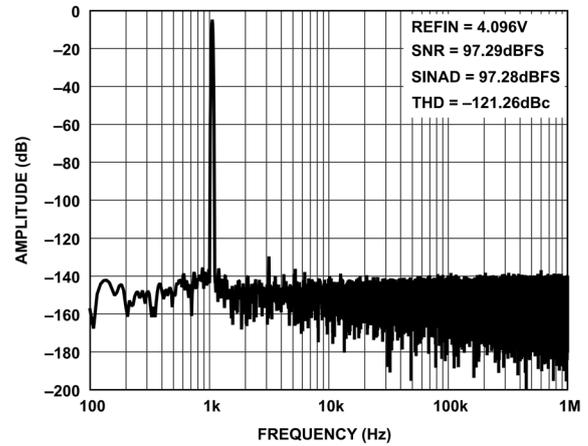


図 27. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 5/9$ 、REFIN = 4.096V)

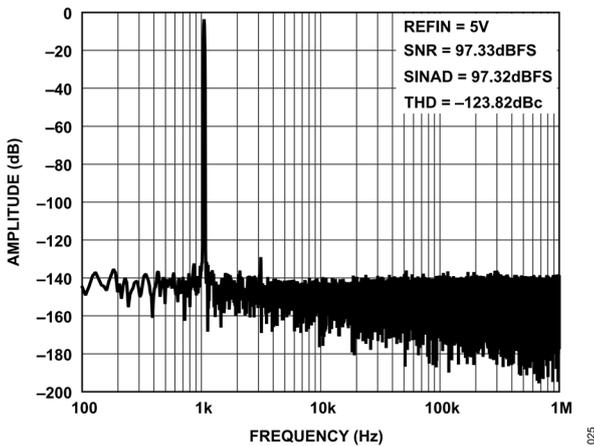


図 25. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 20/9$ 、REFIN = 5V)

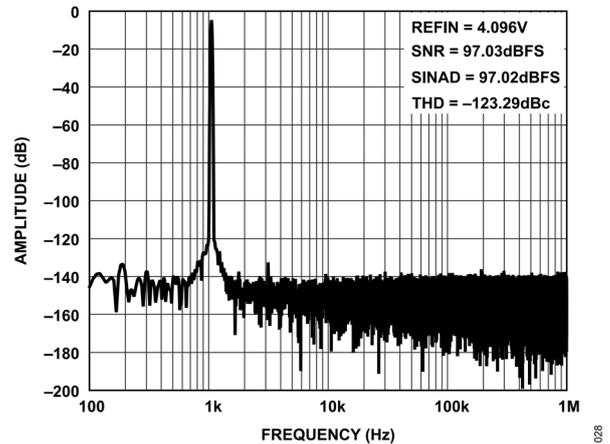


図 28. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 20/9$ 、REFIN = 4.096V)

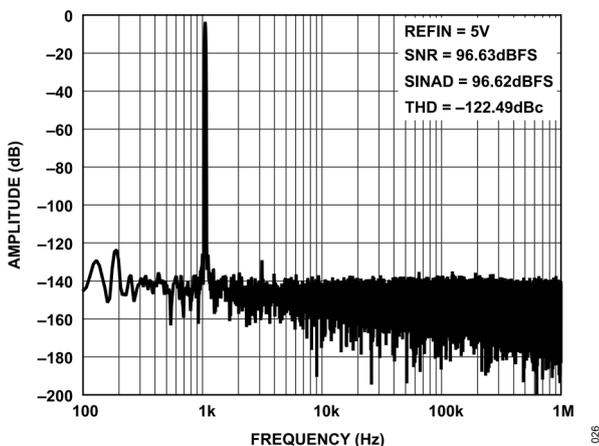


図 26. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 20/3$ 、REFIN = 5V)

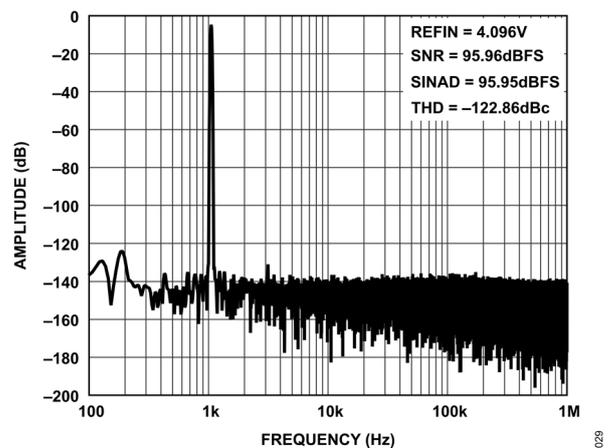


図 29. FFT (2MSPS、 $f_{IN} = 1\text{kHz}$ 、差動入力 = -0.5dBFS 、 $G = 20/3$ 、REFIN = 4.096V)

代表的な性能特性

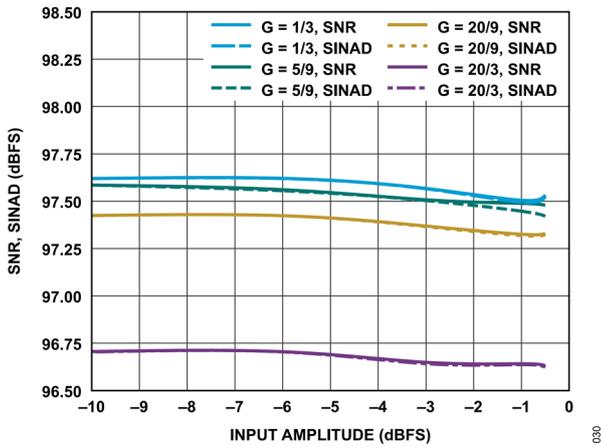


図 30. S/N 比および SINAD と入力振幅の関係 ($f_{in} = 1\text{kHz}$)

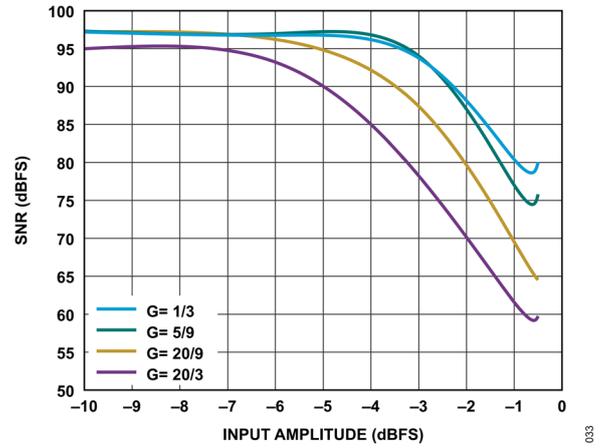


図 33. S/N 比と入力振幅の関係 ($f_{in} = 50\text{kHz}$)

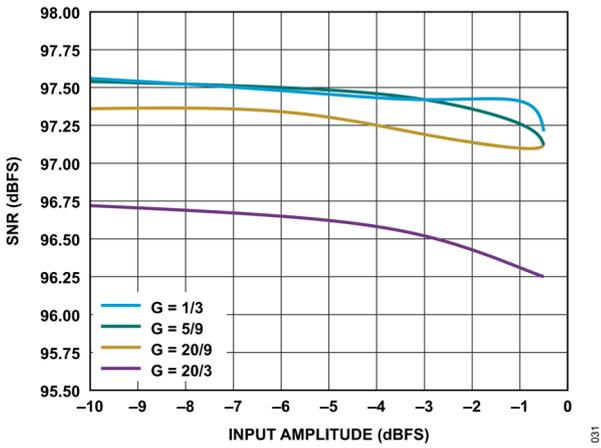


図 31. S/N 比と入力振幅の関係 ($f_{in} = 20\text{kHz}$)

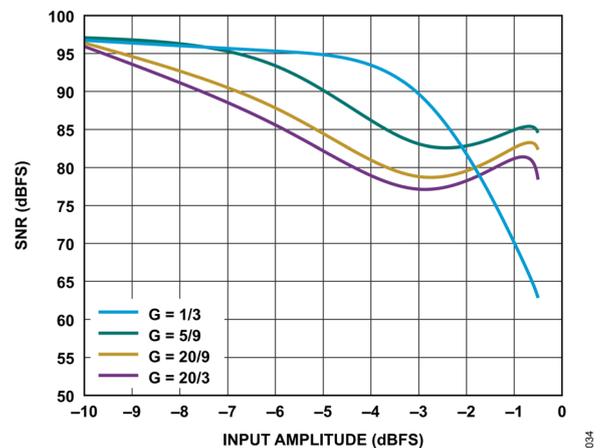


図 34. S/N 比と入力振幅の関係 ($f_{in} = 100\text{kHz}$)

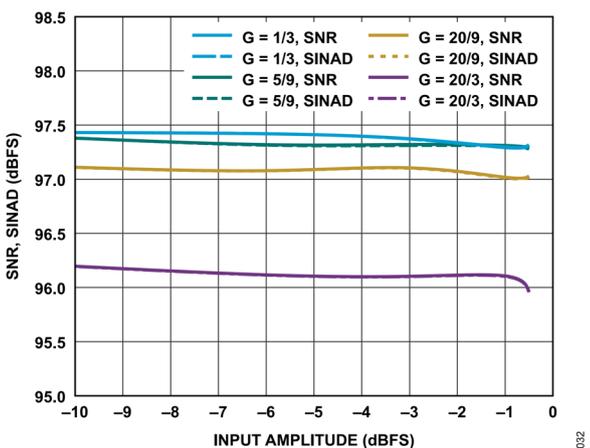


図 32. S/N 比および SINAD と入力振幅の関係 ($f_{in} = 1\text{kHz}$, $REF_{IN} = 4.096\text{V}$)

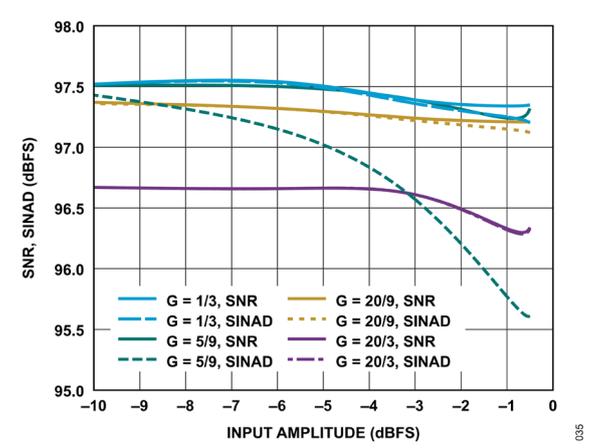


図 35. S/N 比および SINAD と入力振幅の関係 ($f_{in} = 1\text{kHz}$, シングルエンド)

代表的な性能特性

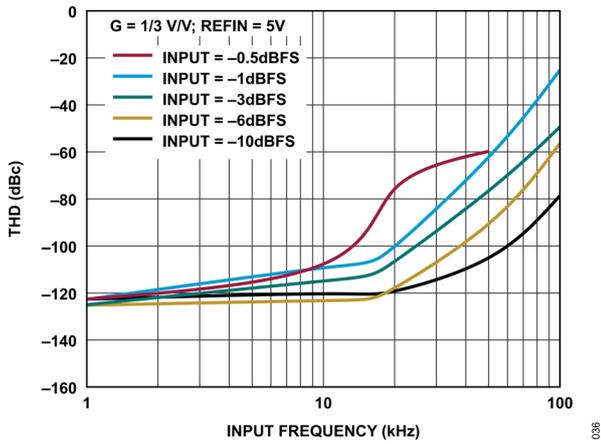


図 36. 異なる振幅での THD と入力周波数の関係 (G = 1/3)

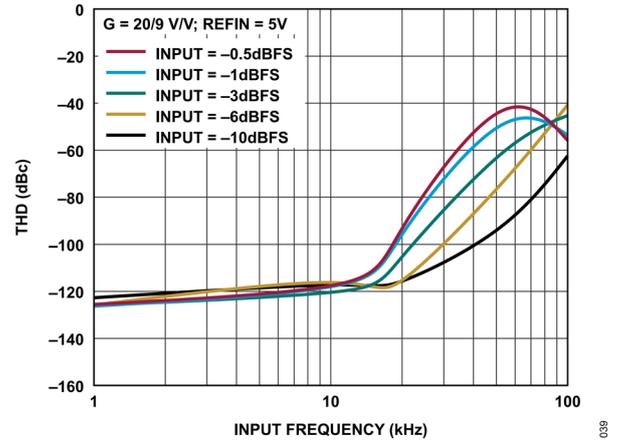


図 39. 異なる振幅での THD と入力周波数の関係 (G = 20/9)

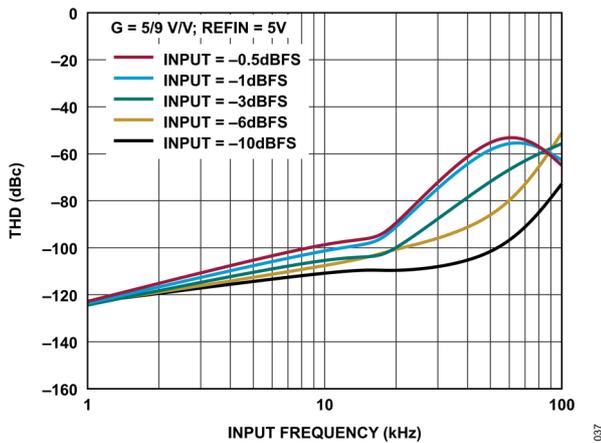


図 37. 異なる振幅での THD と入力周波数の関係 (G = 5/9)

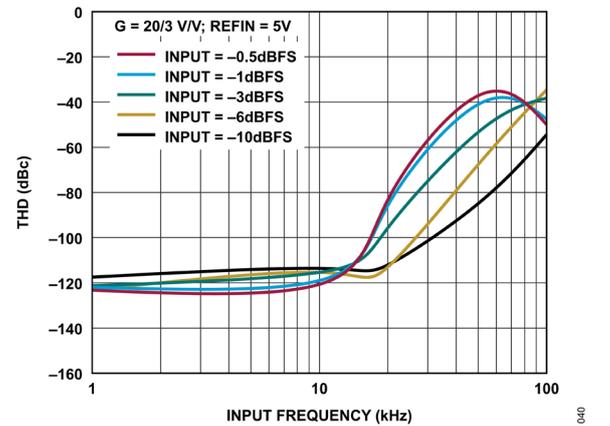


図 40. 異なる振幅での THD と入力周波数の関係 (G = 20/3)

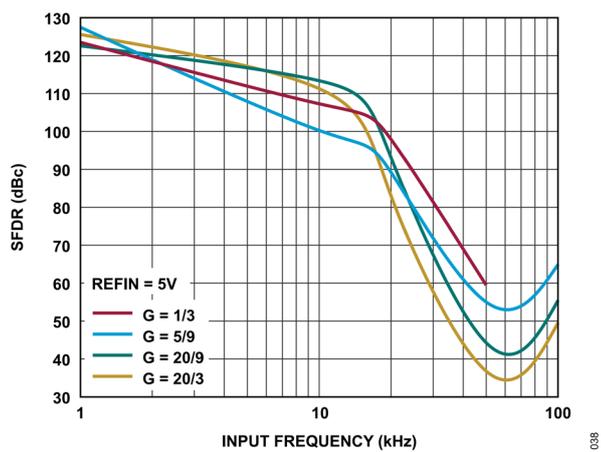


図 38. SFDR と入力周波数の関係 (-0.5dBFS、REF IN = 5V)

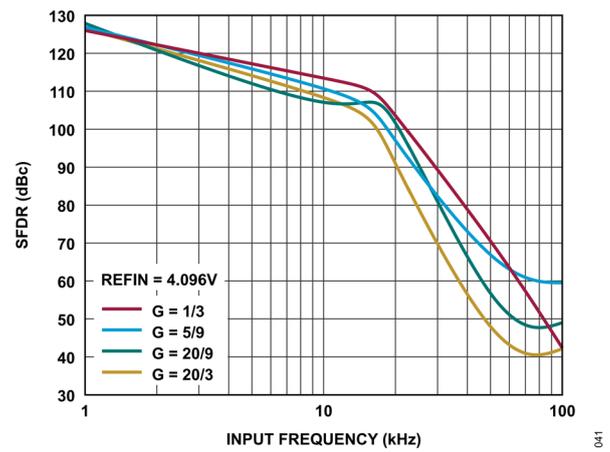


図 41. SFDR と入力周波数の関係 (-0.5dBFS、REF IN = 4.096V)

代表的な性能特性

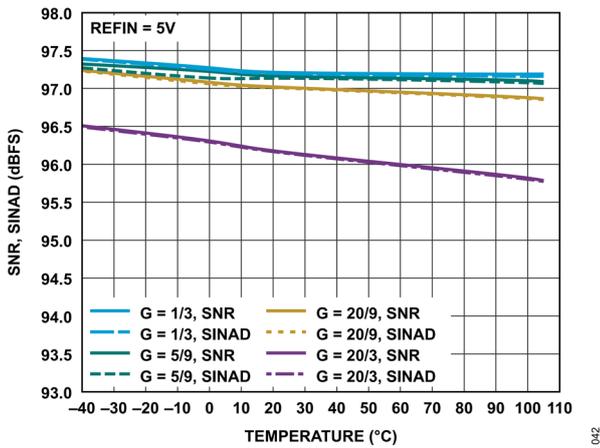


図 42. S/N 比および SINAD と温度の関係 (f_{IN} = 1kHz、差動入力、REFIN = 5V)

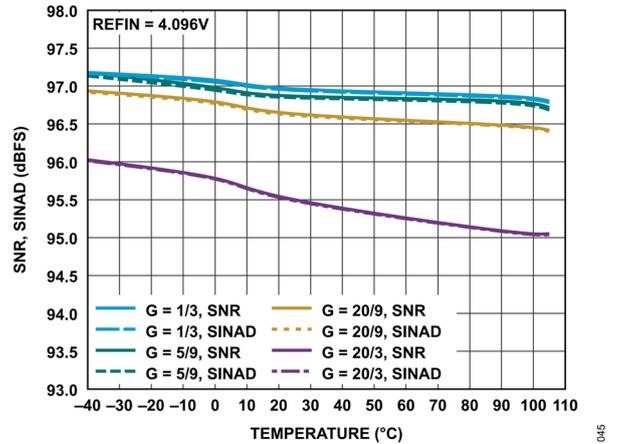


図 45. S/N 比および SINAD と温度の関係 (f_{IN} = 1kHz、差動入力、REFIN = 4.096V)

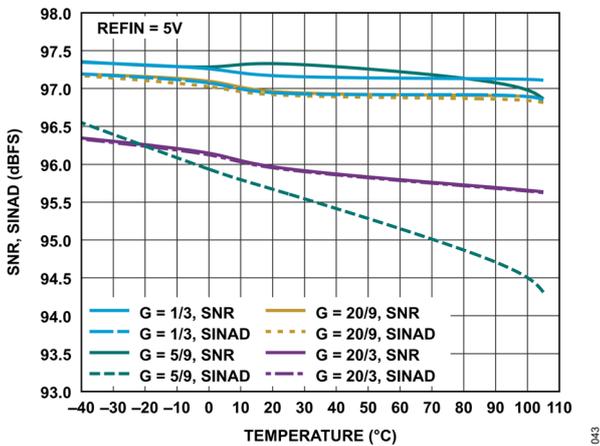


図 43. S/N 比および SINAD と温度の関係 (f_{IN} = 1kHz、シングルエンド入力、REFIN = 5V)

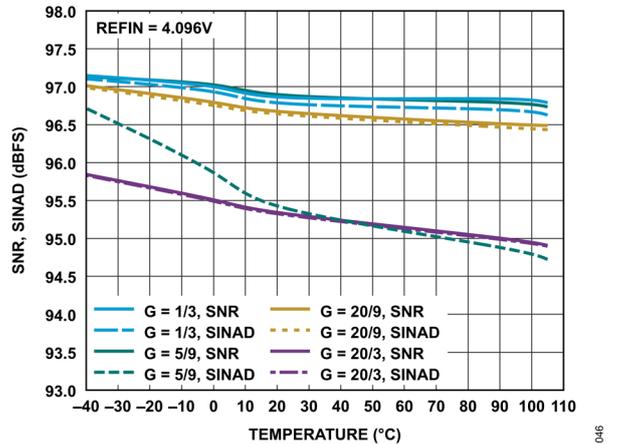


図 46. S/N 比および SINAD と温度の関係 (f_{IN} = 1kHz、シングルエンド入力、REFIN = 4.096V)

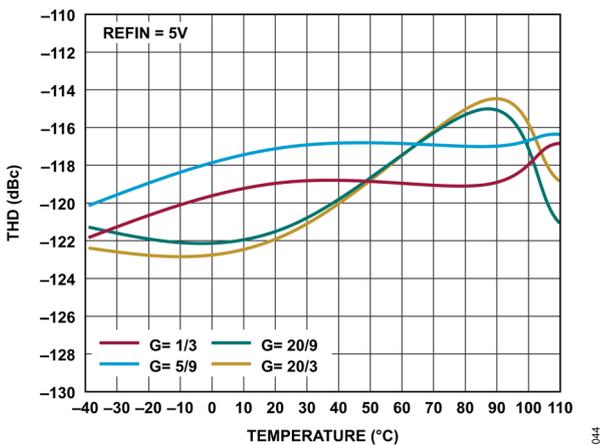


図 44. THD と温度の関係 (f_{IN} = 1kHz、差動入力、REFIN = 5V)

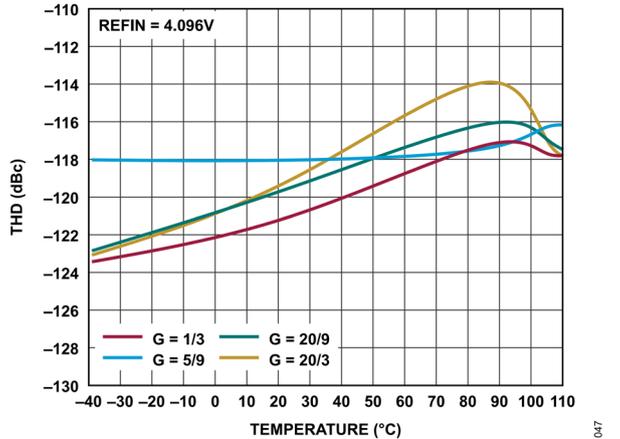


図 47. THD と温度の関係 (f_{IN} = 1kHz、差動入力、REFIN = 4.096V)

代表的な性能特性

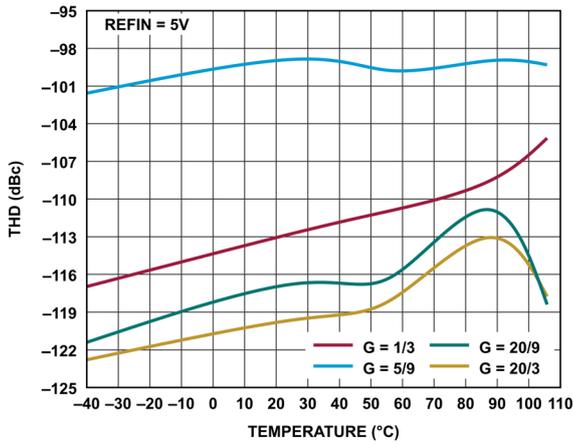


図 48. THD と温度の関係
($f_{IN} = 1\text{kHz}$ 、シングルエンド入力、REFIN = 5V)

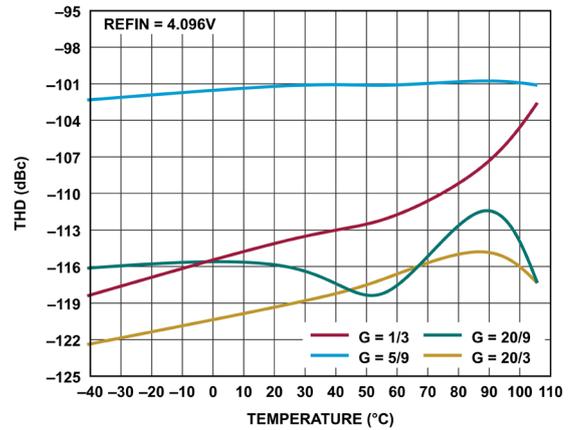


図 51. THD と温度の関係
($f_{IN} = 1\text{kHz}$ 、シングルエンド入力、REFIN = 4.096V)

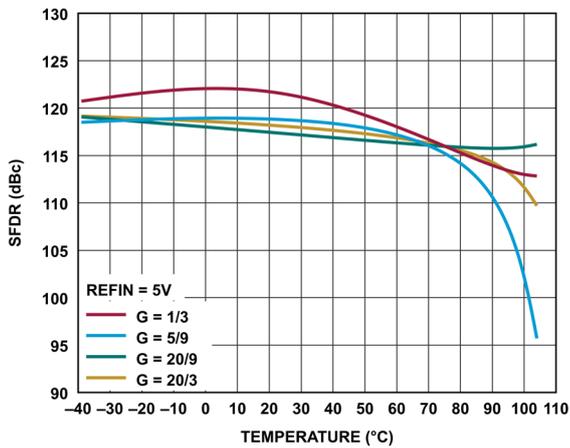


図 49. SFDR と温度の関係 ($f_{IN} = 1\text{kHz}$ 、REFIN = 5V)

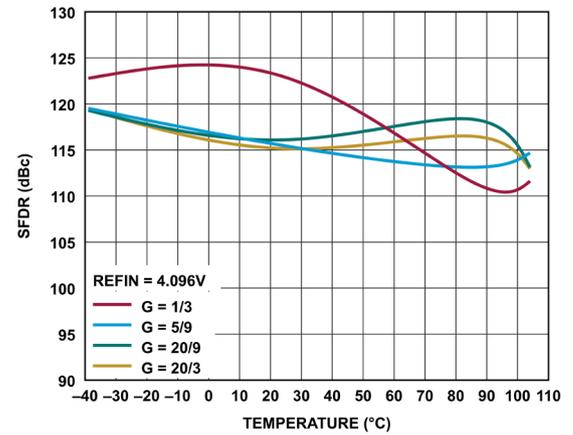


図 52. SFDR と温度の関係 ($f_{IN} = 1\text{kHz}$ 、REFIN = 4.096V)

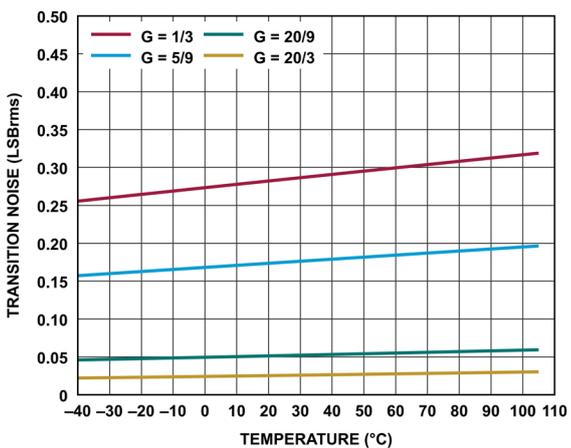


図 50. 遷移ノイズと温度の関係 (REFIN = 5V)

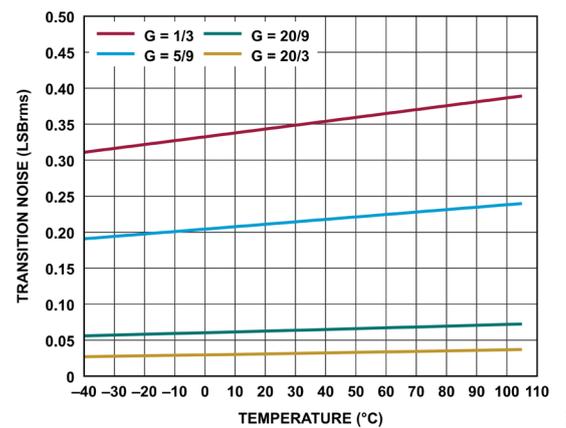


図 53. 遷移ノイズと温度の関係 (REFIN = 4.096V)

代表的な性能特性

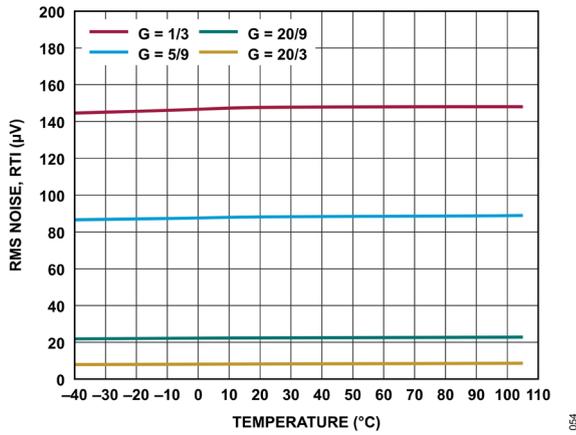


図 54. 実効値ノイズ、RTI と温度の関係 (REFIN = 5V)

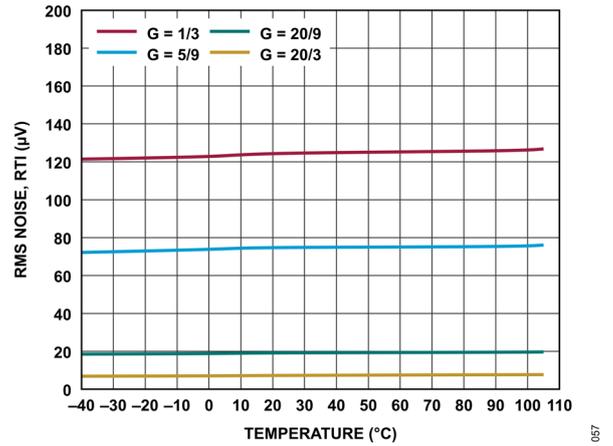


図 57. 実効値ノイズ、RTI と温度の関係 (REFIN = 4.096V)

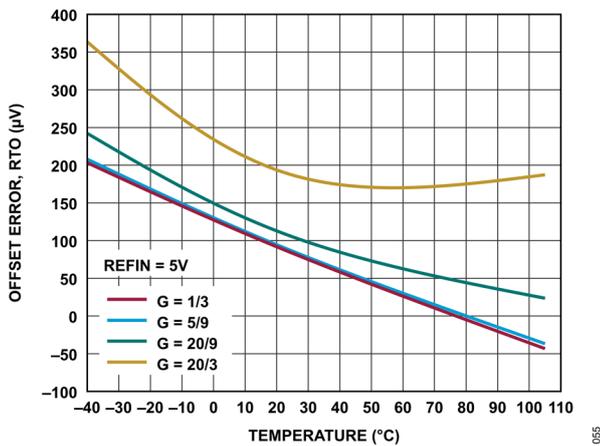


図 55. オフセット誤差と温度の関係

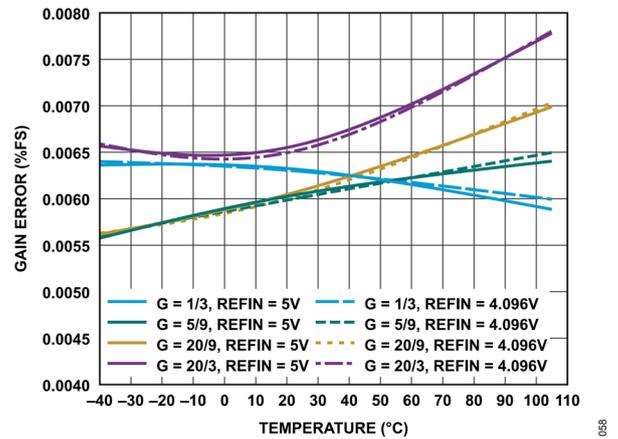


図 58. ゲイン誤差と温度の関係

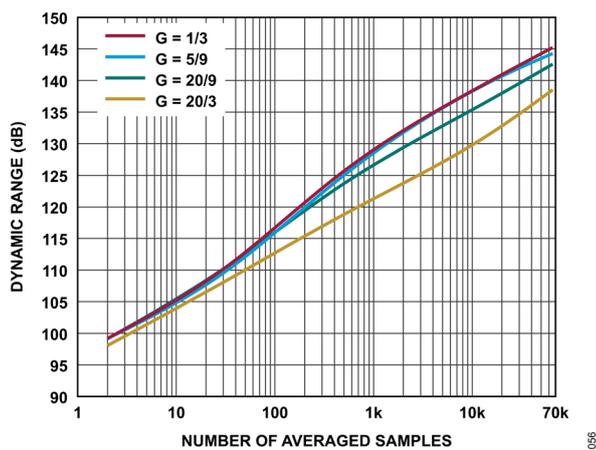


図 56. ダイナミック・レンジと平均数の関係 (入力 = -60dBFS、REFIN = 5V)

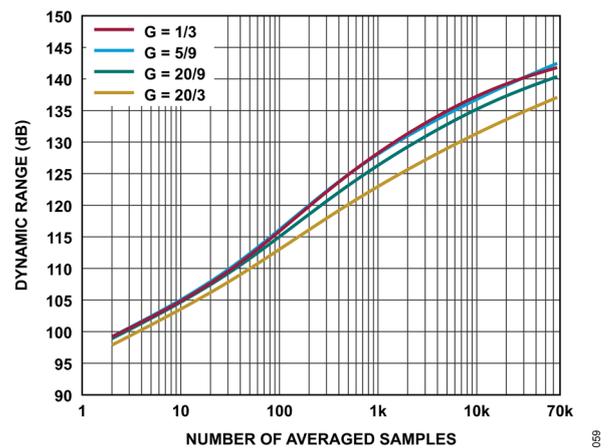


図 59. ダイナミック・レンジと平均数の関係 (入力 = -60dBFS、REFIN = 4.096V)

代表的な性能特性

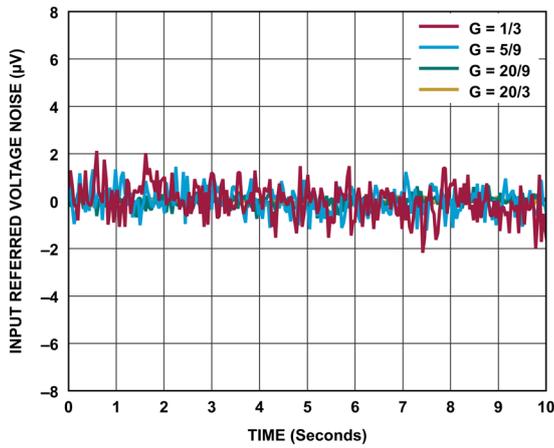


図 60. 低周波数ノイズ（出力データ・レート = 256SPS、4096 サンプルのブロックを平均後、REFIN = 5V）

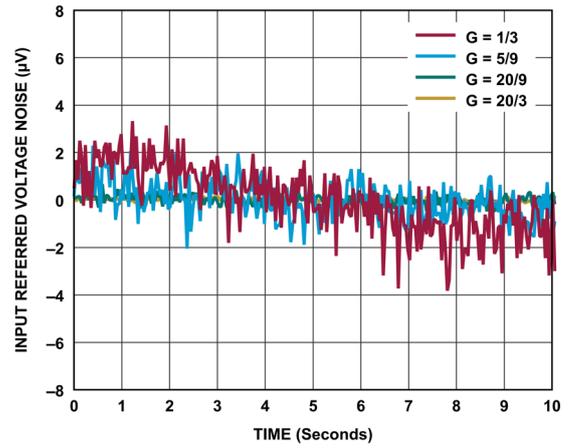


図 63. 低周波数ノイズ（出力データ・レート = 256SPS、4096 サンプルのブロックを平均後、REFIN = 4.096V）

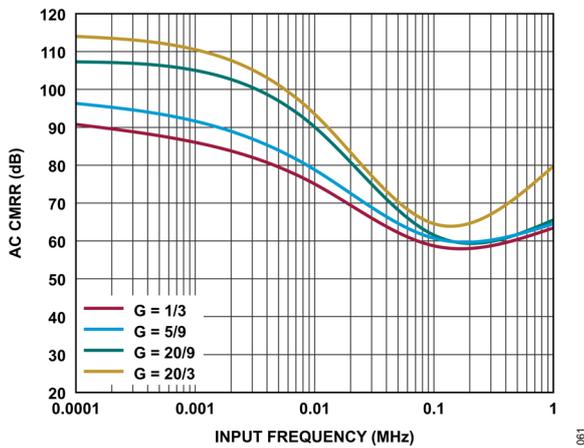


図 61. AC CMRR と入力周波数の関係（REFIN = 5V）

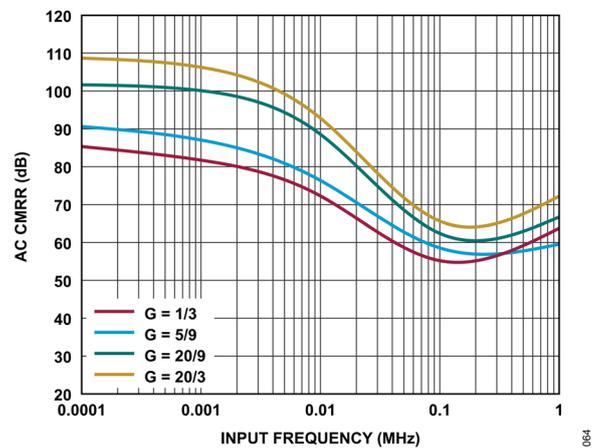


図 64. AC CMRR と入力周波数の関係（REFIN = 4.096V）

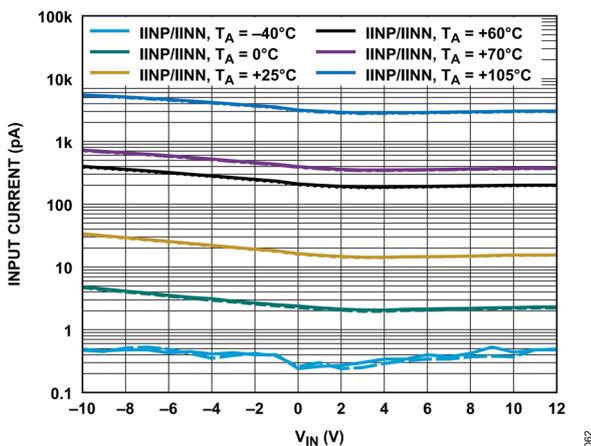


図 62. 異なる温度での入力電流と入力電圧の関係

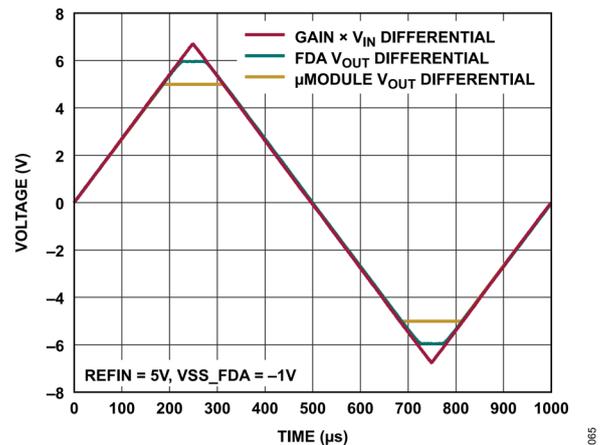


図 65. 出力オーバードライブ回復特性（IN = 1kHz）

代表的な性能特性

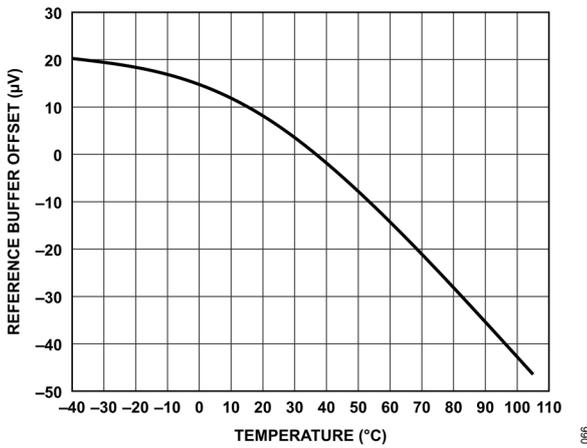


図 66. リファレンス・バッファ・オフセットと温度の関係

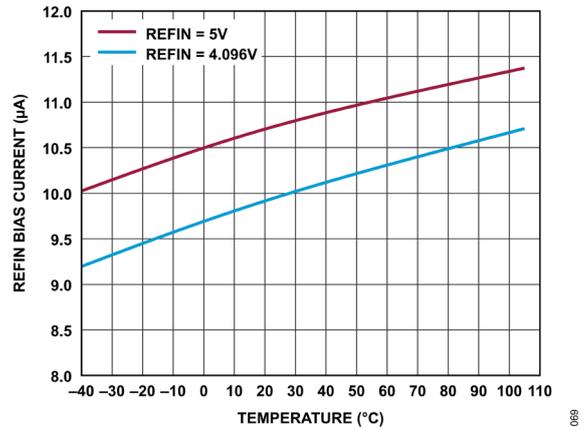


図 69. 通常動作時の REFIN 電流と温度の関係

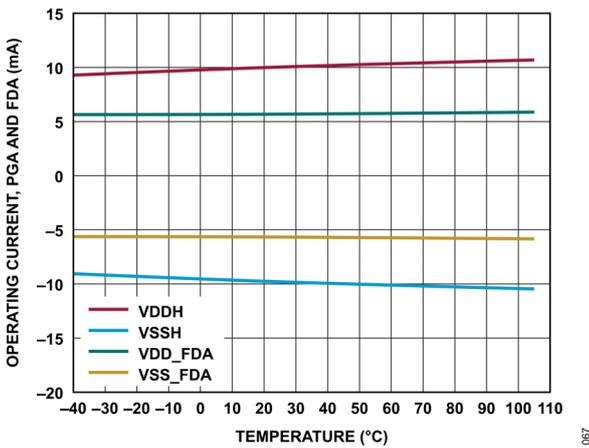


図 67. PGA および FDA の動作電流と温度の関係

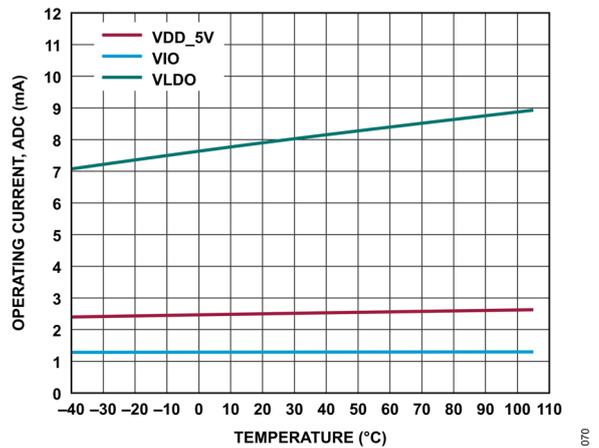


図 70. ADC 動作電流と温度の関係

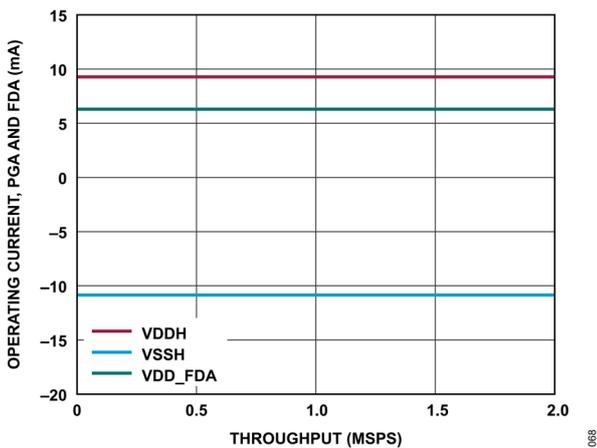


図 68. PGA および FDA の動作電流とサンプル・レートの関係

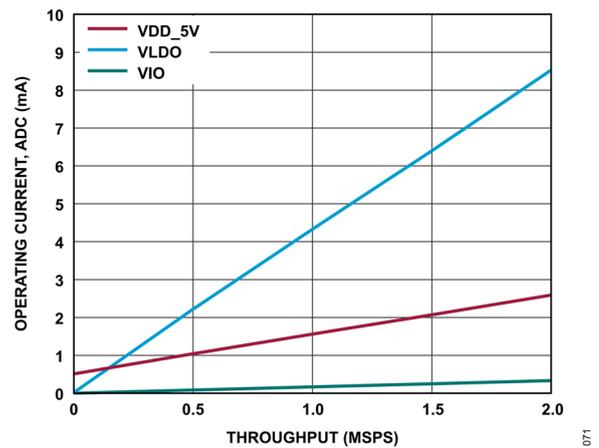


図 71. ADC 動作電流とサンプル・レートの関係

代表的な性能特性

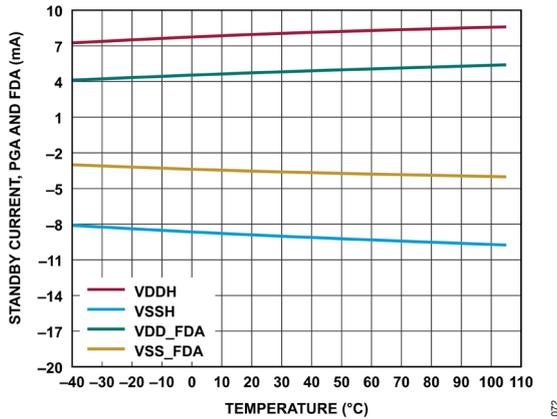


図 72. PGA および FDA のスタンバイ電流と温度の関係

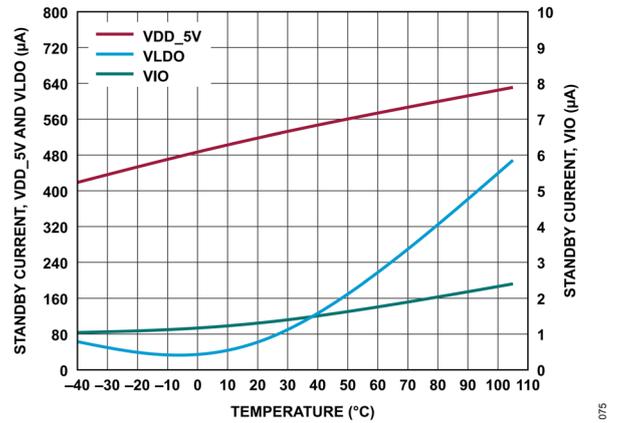


図 75. ADC スタンバイ電流と温度の関係

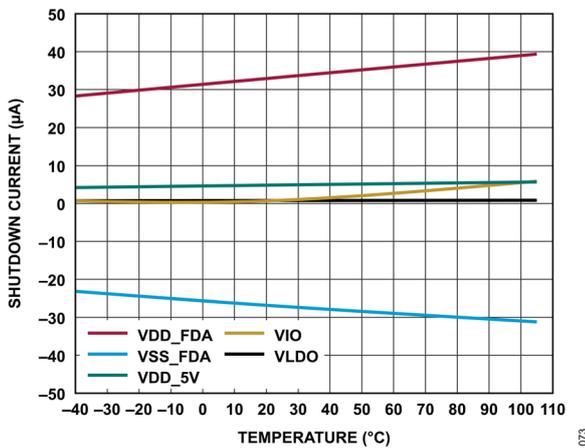


図 73. シャットダウン電流と温度の関係

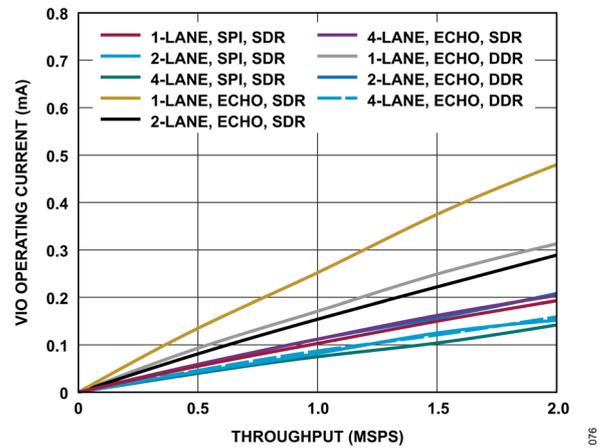


図 76. VIO 動作電流とサンプル・レートの関係

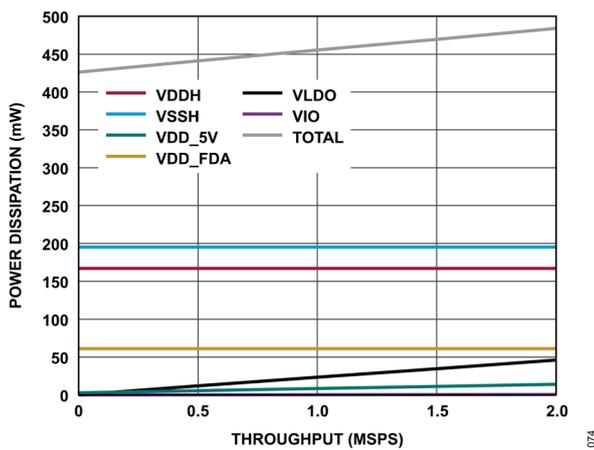


図 74. 消費電力とスループットの関係

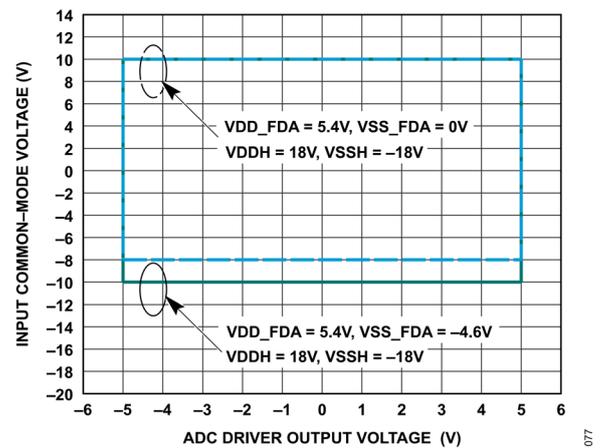


図 77. 入力共通モード電圧と ADC ドライバ出力電圧の関係 (すべてのゲイン)

代表的な性能特性

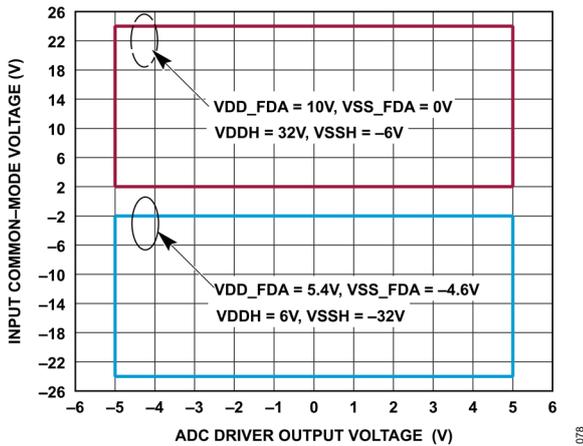


図 78. 入力コモンモード電圧と ADC ドライバ出力電圧の関係 (すべてのゲイン)

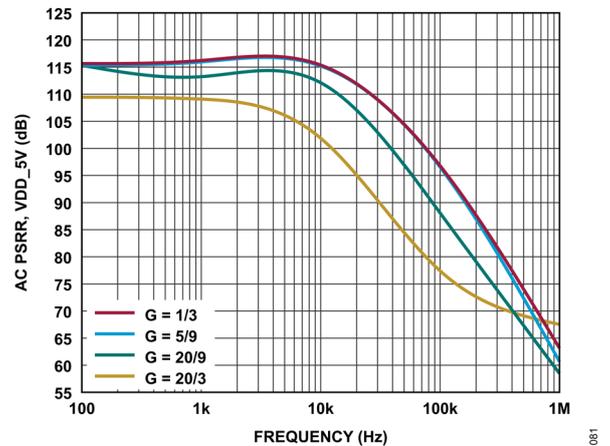


図 81. AC PSRR と周波数の関係 (VDD_5V)

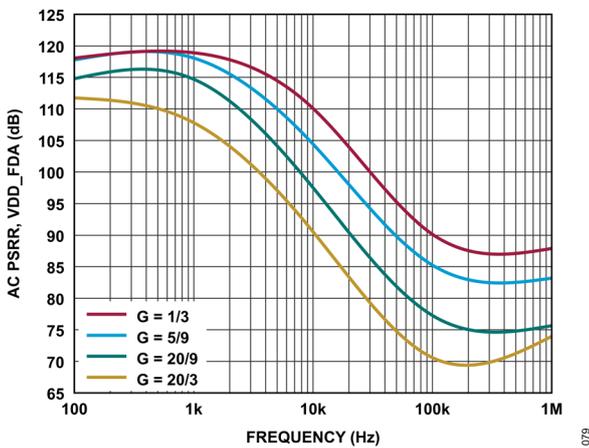


図 79. AC PSRR と周波数の関係 (VDD_FDA)

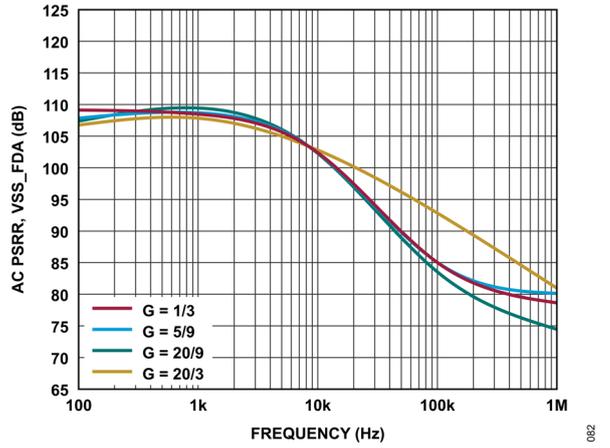


図 82. AC PSRR と周波数の関係 (VSS_FDA)

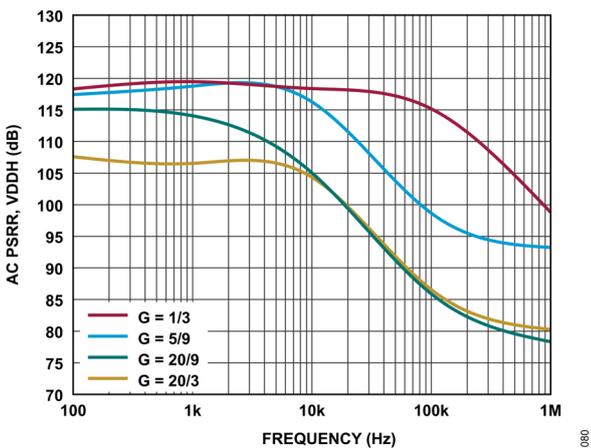


図 80. AC PSRR と周波数の関係 (VDDH)

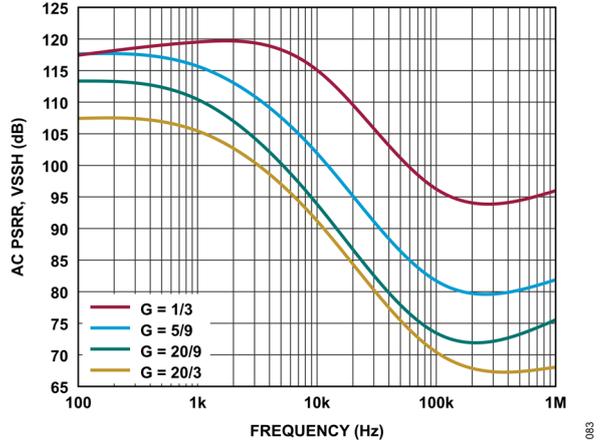


図 83. AC PSRR と周波数の関係 (VSSH)

用語の定義

積分非直線性誤差 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前の点を負のフル・スケールとして使います。正のフル・スケールは、最後のコード遷移を $\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図 85 参照)。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。ノー・ミス・コードの分解能で仕様規定されます。

オフセット誤差

オフセット誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

ゲイン誤差

最初の遷移 (100...00 から 100...01) は負の公称フルスケールより $\frac{1}{2}$ LSB 上のレベルで発生します。最後の遷移 (011...10 から 011...11) は、公称フルスケールより $\frac{1}{2}$ LSB 下のアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dBc) です。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。次のように SINAD を使用して計算します: $ENOB = (SINAD_{dB} - 1.76) / 6.02$ 。ENOB の単位はビットです。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 次高調波成分の実効値総和の比率で、単位はデシベル (dBc) です。

ダイナミック・レンジ

ダイナミック・レンジは、測定したノイズの合計実効値電圧に対するフルスケール・サイン波の実効値電圧の比率です。ダイナミック・レンジの値はデシベル単位で表されます。すべてのノイズ・ソースと DNL アーティファクトが含まれるように、 -60 dBFS の信号で測定されます。

全システム・ダイナミック・レンジ

ゲイン = $20/3V/V$ で入力ピンをまとめて短絡したときの入力換算実効値ノイズに対する、ゲイン = $1/3V/V$ におけるフルスケール入力の二乗平均平方根値 (実効値) の比。単位はデシベルです。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数未満のすべてのスペクトル成分 (高調波と DC を除く) の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。S/N 比の値はフルスケールを基準にしたデシベル (dBFS) 単位で表されます。

信号/ノイズ+歪み (SINAD) 比

SINAD は、ナイキスト周波数未満の全てのスペクトル成分 (高調波成分を含むが DC は除く) の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。SINAD の値はフルスケールを基準にしたデシベル (dBFS) 単位で表されます。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の測定値です。CNV 入力の立上がりエッジから入力信号が変換のために保持されるまでの時間です。

過渡応答

過渡応答は、ADC が ± 1 LSB の精度でフルスケール入力ステップを達成するのに必要な時間です。

同相ノイズ除去比 (CMRR)

CMRR は、周波数 f での入力コモンモード電圧に印加された $4.5V_{p-p}$ のサイン波の電力に対する、周波数 f での ADC 出力電力の比です。

$$CMRR (dB) = 10 \times \log(P_{ADC_IN} / P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は、入りに印加された周波数 f の同相電力です。

P_{ADC_OUT} は、ADC 出力における周波数 f の電力です。

電源電圧変動除去比 (PSRR)

PSRR は、周波数 f での ADC VDD 電源に加えられた $200mV_{p-p}$ のサイン波の電力に対する周波数 f での ADC 出力電力の比です。

$$PSRR (dB) = 10 \times \log(P_{VDD_IN} / P_{ADC_OUT})$$

ここで、

P_{VDD_IN} は、周波数 f での VDD ピンの電力、

P_{ADC_OUT} は、ADC 出力における周波数 f の電力です。

動作原理

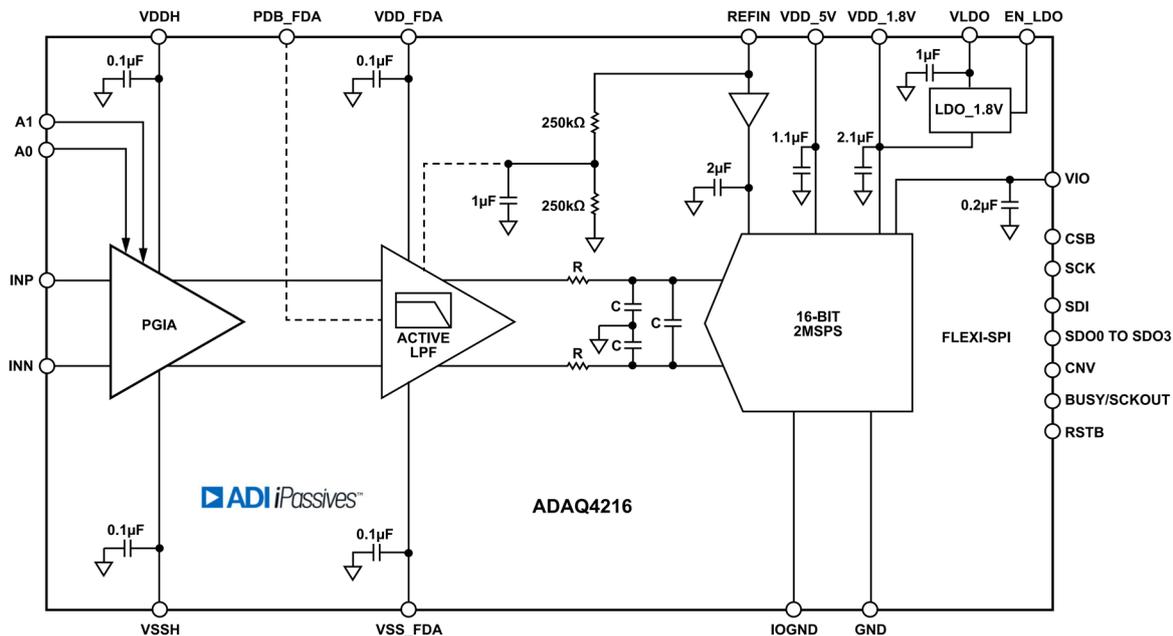


図 84. ADAQ4216 の機能ブロック図

概要

ADAQ4216 は、部品選定、最適化、レイアウトといった設計上の負担を設計者からデバイスに移すことで、高精度測定システムの開発サイクルを短縮する、高精度の μ Module データ・アキュイジション・シグナル・チェーン SiP ソリューションです。ADAQ4216 は、低ノイズで高入力インピーダンスの PGIA、2 次線形位相アンチエイリアシング・フィルタ、低歪で広帯域幅の ADC ドライバ、高精度 16 ビット 2MSPS SAR ADC など、複数の共通信号処理および調整ブロックを 1 つのデバイスに統合することで、エンド・システムの部品点数を削減します。また、このデバイスは、最適な性能を得るために必要な、アナログ・デバイス独自の iPassive 技術を使用した部品も内蔵しています。この内蔵抵抗を持つ優れたマッチング性能とドリフト特性によって、温度に依存する誤差源が最小限に抑えられます。ADAQ4216 のアナログ・フロント・エンドのコモンモード電圧範囲は $-8V \sim +10V$ と広く、シングルエンド信号と差動信号の両方に対応しており、レベル・シフト条件も緩和されます。

ADAQ4216 にはパイプライン遅延やレイテンシがないため、この μ Module は制御ループや高速アプリケーションに最適です。デジタル機能には、オフセット補正、ゲイン調整、平均化などがあり、ホスト・プロセッサの負荷を軽減します。デバイスは、いくつかある出力コード・フォーマットのいずれかに設定可能です（詳細については [選択可能な出力データ・フォーマットの概要](#) のセクションを参照）。

ADAQ4216 は Flexi-SPI を用いているため、複数の SPI レーンを介してデータにアクセスできます。これにより、ホスト SPI コントローラに対するクロッキング条件が緩和されます。エコー・クロック・モードもデータ・クロッキングの補助として使用できるため、絶縁型データ・インターフェースを簡単に使用できます。ADAQ4216 の PGIA ゲインは、A0 ピンと A1 ピンを介して制御できます。ADAQ4216 では、シャットダウン・モードから復帰後に有効な変換が得られます。このアーキテクチャでは、 $\pm 3ppm$ (最大値) の INL を実現すると共に、16 ビットのノーマス・コードと 97.5dB の S/N 比を実現しています。ADAQ4216 の消費電力は 2MSPS 時でわずか 445mW です。

伝達関数

デフォルト設定では、ADAQ4216 は $2 \times V_{REF}$ のフルスケール差動電圧を 2^{16} のレベルにデジタル化し、 $V_{REF} = 5V$ の場合に LSB サイズは $153\mu V$ になります。16 ビットでの 1LSB は約 15.26ppm になります。理想的な伝達関数を [図 85](#) に示します。差動出力データは 2 の補数フォーマットです。表 12 に、入力電圧と差動出力コードの対応関係を示します。

動作原理

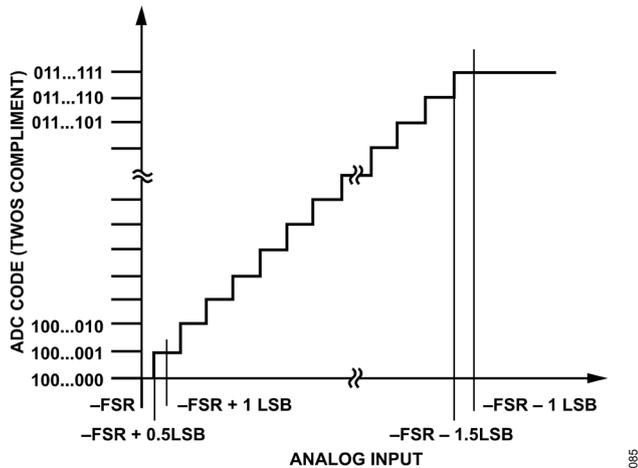


図 85. 差動出力コードに対する ADC の理想的な伝達関数 (FSR はフルスケール範囲)

表 12. 入力電圧と出力コードの対応関係

Description	Analog Input Voltage Difference	Digital Output Code (Twos Complement, Hex)
FSR - 1LSB	$(32767 \times V_{REF}) / (G \times 32768)$	0x7FFF
Midscale + 1LSB	$V_{REF} / (G \times 32768)$	0x0001
Midscale	0V	0x0000
Midscale - 1LSB	$-V_{REF} / (G \times 32768)$	0xFFFF
-FSR + 1LSB	$-(32767 \times V_{REF}) / (G \times 32768)$	0x8001
-FSR	$-V_{REF} / G$	0x8000

シグナル・チェーンの動作

ADAQ4216 は、アキュイジション・フェーズと変換フェーズの 2 つのフェーズで動作します。アキュイジション・フェーズでは、PGIA の各入力ピン (INP と INN) に現れている電圧が独立にサンプリングされます。立上がりエッジ・パルスが CNV ピンに入力されると変換が始まります。CNV ピンの立上がりエッジ・パルスで、変換が進行中であることを示す BUSY 信号もアサートされます。BUSY 信号は変換の終了時にデアサートされます。変換結果は、入力電圧差を表す 16 ビットのコードと、入力コモンモード電圧を表す 8 ビットのコードになります。デバイス設定に応じて、この変換結果はデジタル的に処理され、内部の出力レジスタにラッチされます。各入力ピンの内部 ADC アキュイジション回路は、直前のサンプル電圧にプリチャージされるため、入力ドライバ段 (PGIA) へのキックバック電荷を最小限に抑えることができます。ホスト・プロセッサは、内蔵の出力レジスタに内部接続されている SDO ピンを介して出力コードを取得します。

デジタル・サンプリング処理機能

ADAQ4216 は、信号サンプルに適用できるいくつかのデジタルのデータ処理機能をサポートしています。これらの機能は、ADAQ4216 の制御レジスタを介して有効化や無効化ができます。

フルスケール飽和

いずれかまたは両方の入力都在这里仕様規定されているアナログ制限値を超えた場合、変換結果は (ポスト処理の前に) デジタル的に飽和します。オフセットおよびゲインのスケールリングを施したのち、結果は 16 ビット表示に切り捨てられます (最大値 0x7FFF および最小値 0x8000 で飽和)。デジタル・オフセットやゲイン・スケールリングを施す場合は特に、意図せぬ飽和を避けるための注意が必要です。これらの機能の使用に関する詳細については、[デジタル・オフセット調整](#)および[デジタル・ゲイン](#)のセクションを参照してください。

コモンモード出力

ホスト・コントローラがモード・レジスタの OUT_DATA_MD ビット・フィールドに 0x1 を書き込むと (詳細については[モード・レジスタ](#)のセクションを参照)、入力コモンモード電圧を表す 8 ビットのコードが、入力電圧差を表す 16 ビットのコードに追加されます。この 8 ビット・コードの LSB の大きさは、 $V_{REF}/256$ です。8 ビット・コードは、コモンモード入力電圧が 0V のときに 0、 V_{REF} のときに 255 で、それぞれ飽和します。8 ビット・コードはデジタル・オフセットとゲイン・スケールリングの影響を受けません。これらは、入力電圧差を表すコードにのみ適用されるためです。

ブロック平均化

ADAQ4216 は、ブロック長を 2^N ($N = 1, 2, 3, \dots, 16$) に設定できるブロック平均化フィルタ (SINC1) を備えています。 2^N 個のサンプルからなる各ブロックを処理した後、フィルタはリセットされます。フィルタは、モード・レジスタの OUT_DATA_MD ビット・フィールドに 0x3 を書き込むことでイネーブルできます (詳細については[モード・レジスタ](#)のセクションを参照)。また、平均化モード・レジスタの AVG_VAL ビット・フィールドに $1 \leq N \leq 16$ の値を書き込むことでもイネーブルできます (詳細については[平均化モード・レジスタ](#)のセクションを参照)。この設定では、出力サンプル・ワードは 32 ビットです。30 個の最上位ビット (MSB) は、 2^N 個のサンプルのブロック内で 16 ビット・コードを平均化した数値を表します。自動スケールリングにより、一定値のブロックを平均化する場合は、30 ビット・コードの上位 16 ビットが 16 ビット・コードと等しくなります。31 番目のビット (OR) はオーバーレンジ警告ビットで、ブロック内の 1 つ以上のサンプルが飽和している場合にハイになります。32 番目のビット (SYNC) は、 2^N 変換サイクルごとにハイになり、サンプルの各ブロックの最後で平均値が更新されたことを通知します。詳細については[デジタル・サンプリング処理機能](#)のセクションを参照してください。

平均化モードの実効データ・レートは $f_{CNV}/2^N$ です。AVG_VAL ビット・フィールドの N のリセット値は、0x00 (平均化なし) です。[図 109](#) に、平均化モードでのタイミング例を図示します。[図 86](#) に、 $N = 1, 2, 3, 4, 5$ の場合のフィルタの周波数応答を示します。

動作原理

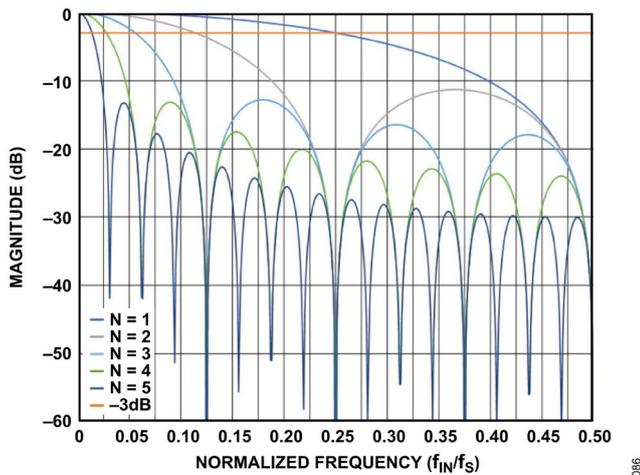


図 86. ブロック平均化フィルタの周波数応答例

デジタル・オフセット調整

ADCは、サンプル・データに16ビットの符号付きオフセット値を追加するようプログラムできます（詳細についてはレジスタの詳細のセクションを参照）。オフセットをサンプルに追加すると、サンプル・データが数値的に飽和する原因となります場合があります。オフセット機能を使用する場合、このことを考慮する必要があります。デフォルト値は0x0000です。詳細については、オフセット・レジスタのセクションを参照してください。

デジタル・ゲイン

ADCは、デジタル・サンプルに16ビットの符号なしデジタル・ゲイン（レジスタ0x1Cおよびレジスタ0x1D）を適用するようプログラムできます（詳細についてはレジスタの詳細のセクションを参照）。ゲインは次式に基づいて各サンプルに適用されます。

$$\text{Code}_{\text{OUT}} = \text{Code}_{\text{IN}} \times (\text{USER_GAIN}/0x8000)$$

ここで、

$$0x0000 \leq \text{USER_GAIN} \leq 0xFFFF$$

有効なゲイン範囲は0~1.99997です。なお、サンプルにゲインを適用すると、数値の飽和の原因となる可能性があります。デフォルト値は0x8000（ゲイン=1）です。±V_{REF}を上回る入力電圧差を測定するには、16ビットまたは30ビットの出力差コードが数値的に飽和しないよう、ゲインを1未満に設定します。詳細については、ゲイン・レジスタのセクションを参照してください。

テスト・パターン

SPIの機能テストとデバッグを容易にするために、ホスト・コントローラはADAQ4216に32ビットのテスト・パターンを書き込むことができます（詳細についてはテスト・パターン・レジスタのセクションを参照）。テスト・パターン・レジスタに書き込まれた値は、通常のサンプル・サイクル・タイミングによって出力されます。32ビットのテスト・パターン出力モードは、モード・レジスタのOUT_DATA_MDビット・フィールドに0x4を書き込むことで有効化できます（詳細についてはモード・レジスタのセクションを参照）。テスト・パターン・レジスタに格納されているデフォルト値は0x5A5A0F0Fです。

選択可能な出力データ・フォーマットの概要

図87に、ADAQ4216で使用可能な出力データ・フォーマットの概要を示します。これらはモード・レジスタで選択できます（詳細についてはモード・レジスタのセクションを参照）。なお、ORフラグとSYNCフラグはそれぞれ1ビットです。

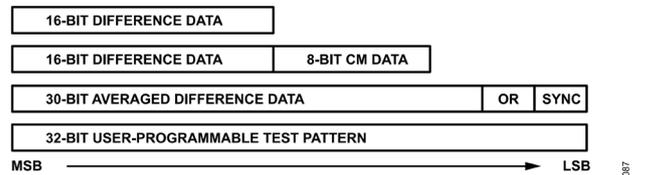


図 87. 選択可能な出力サンプル・フォーマットの概要

アプリケーション情報

代表的なアプリケーション図

図 88 は、パワー・ツリーとデジタル・アイソレータを含むフローティング電圧計の代表的なシステム・レベルのブロック図です。エコー・クロック・モードとマスター・クロック・モードでは、タイミング要件が緩和されるため、デジタル・アイソレータを容易に使用できます。図 89～図 96 は、それぞれ所定のゲインで差動信号を ADAQ4216 の入力に印加する場合の代表的なアプリケーション例を示しています。

ドでは、タイミング要件が緩和されるため、デジタル・アイソレータを容易に使用できます。図 89～図 96 は、それぞれ所定のゲインで差動信号を ADAQ4216 の入力に印加する場合の代表的なアプリケーション例を示しています。

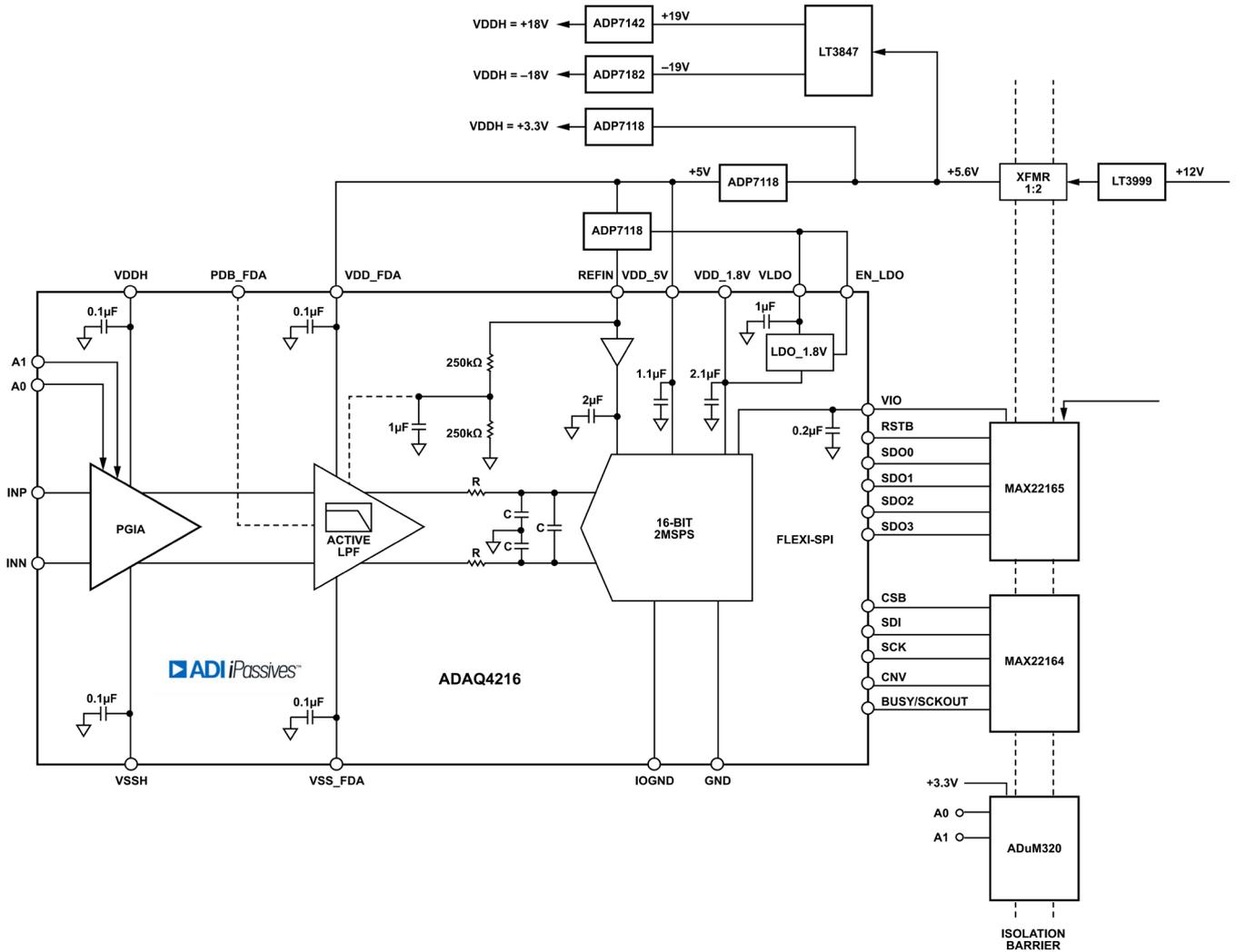


図 88. 完全絶縁型データ・アキュイジション・システムの機能ブロック図

アプリケーション情報

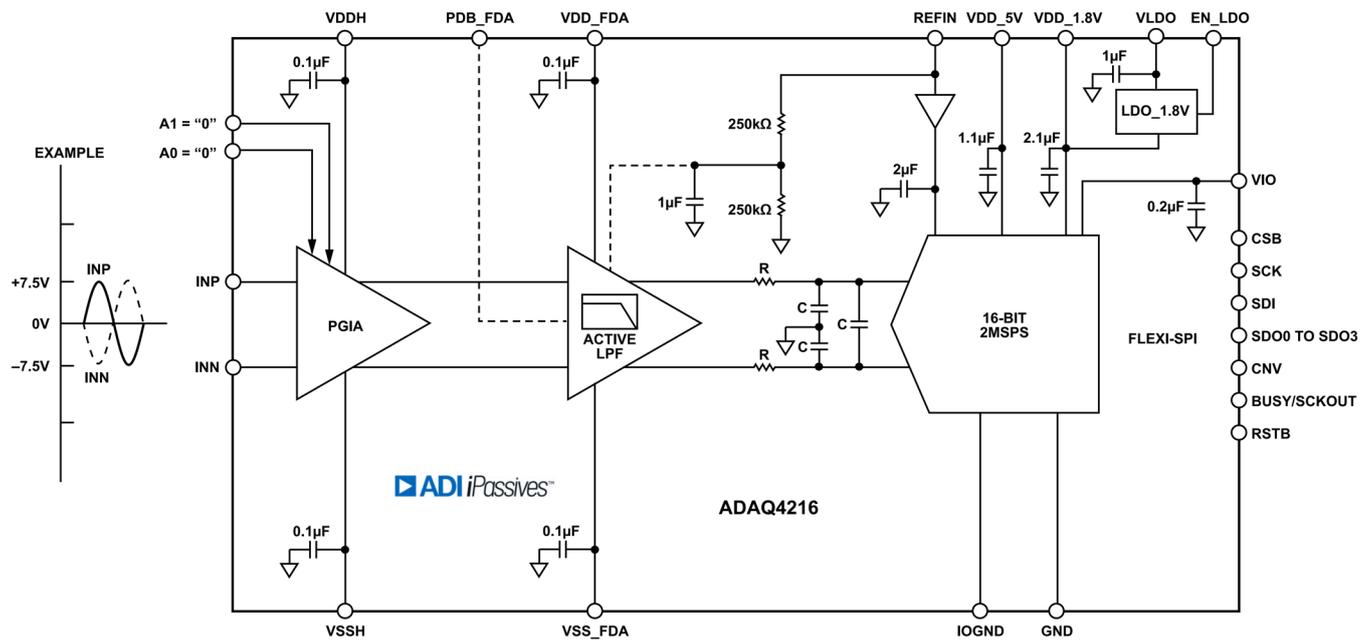


図 89. 差動入力構成 ($G = 1/3V/V$)

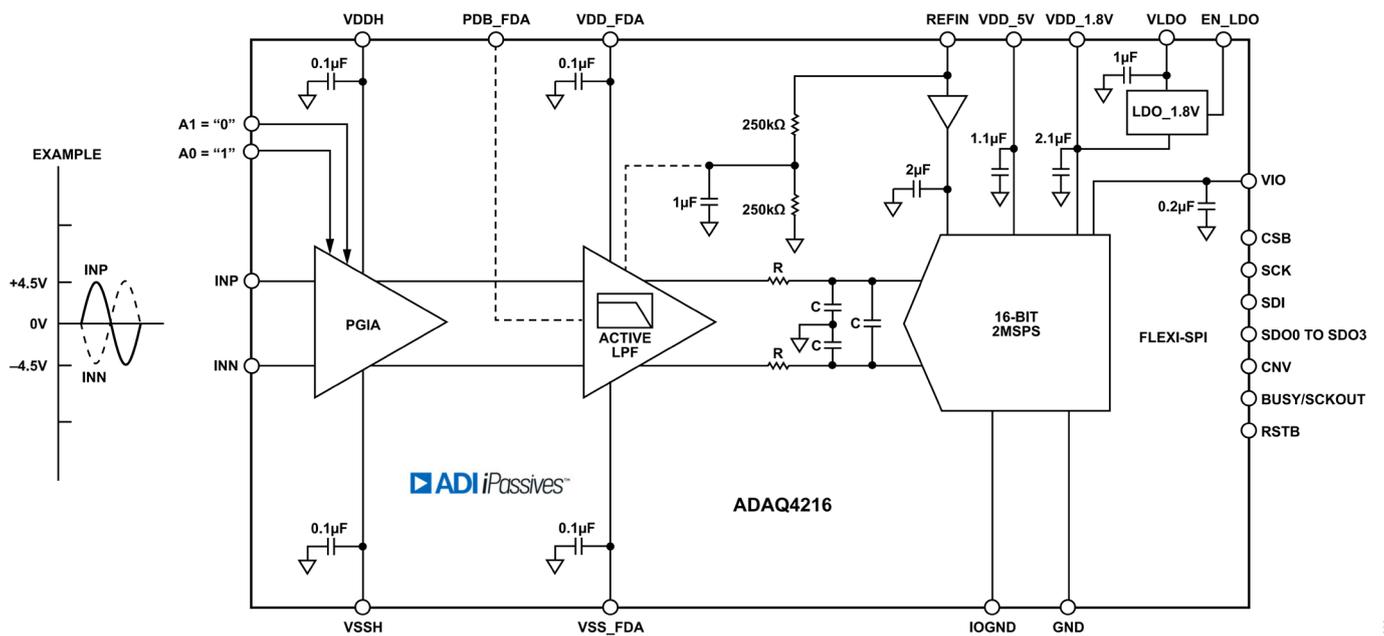


図 90. 差動入力構成 ($G = 5/9 V/V$)

アプリケーション情報

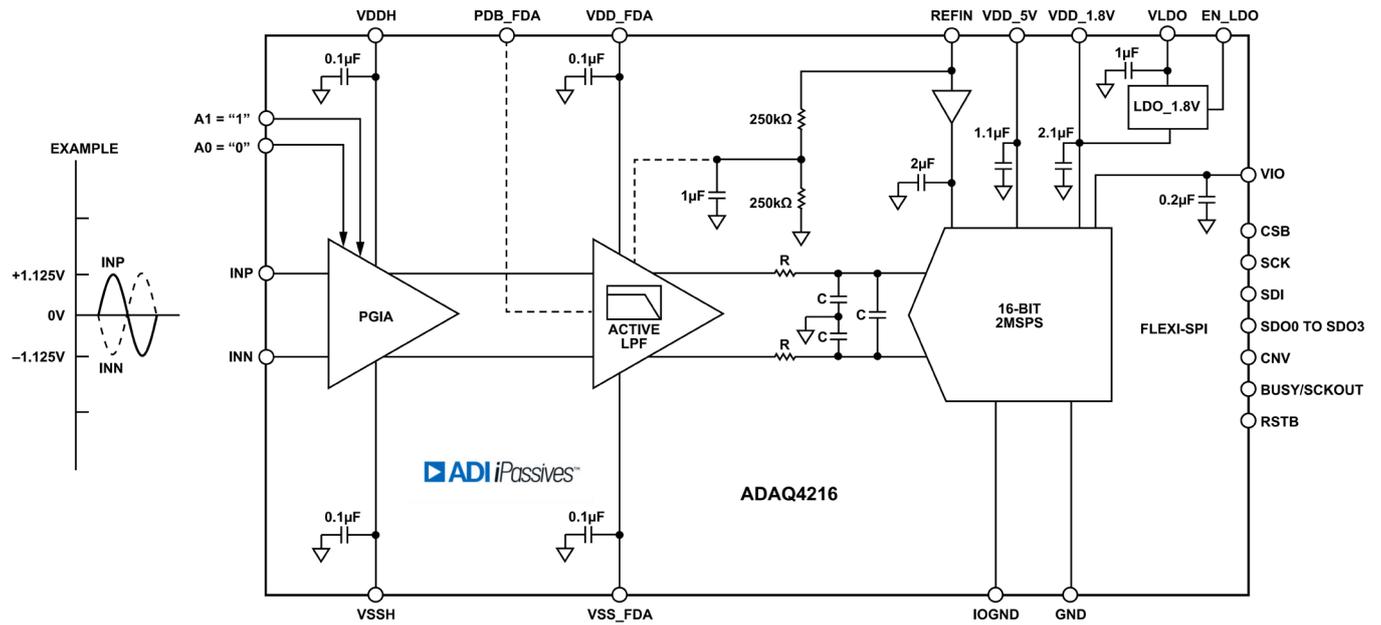


図 91. 差動入力構成 ($G = 20/9 \text{ V/V}$)

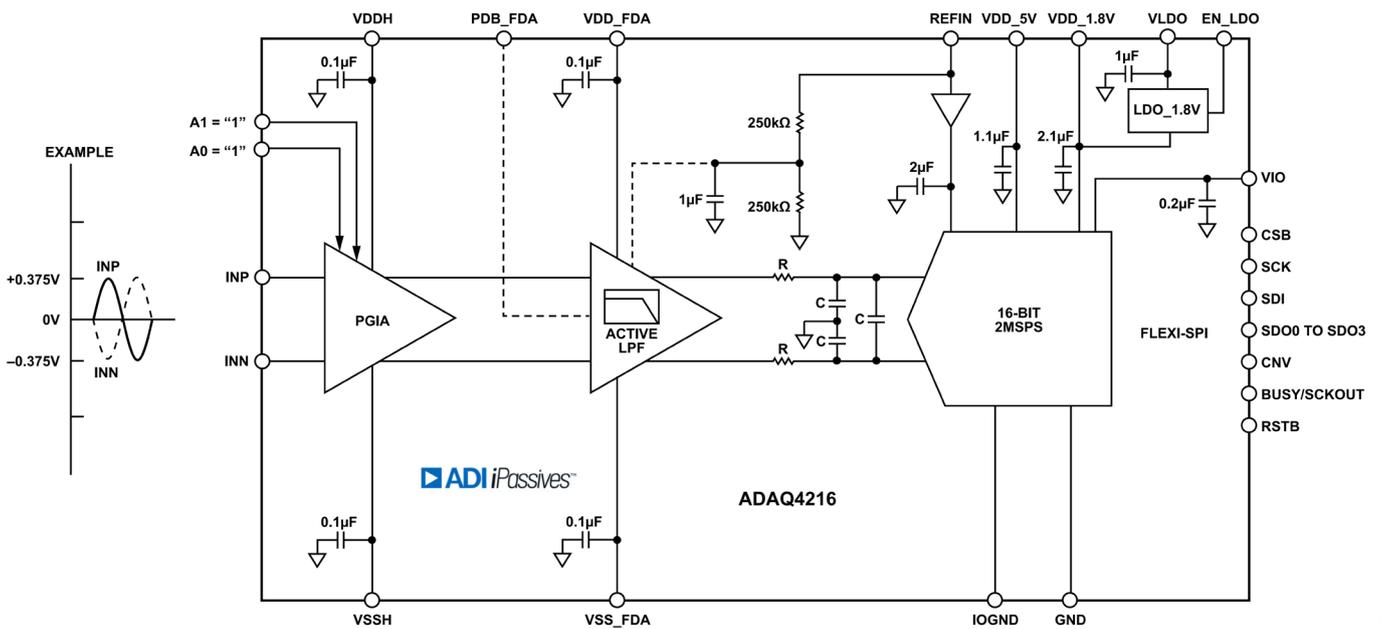


図 92. 差動入力構成 ($G = 20/3 \text{ V/V}$)

アプリケーション情報

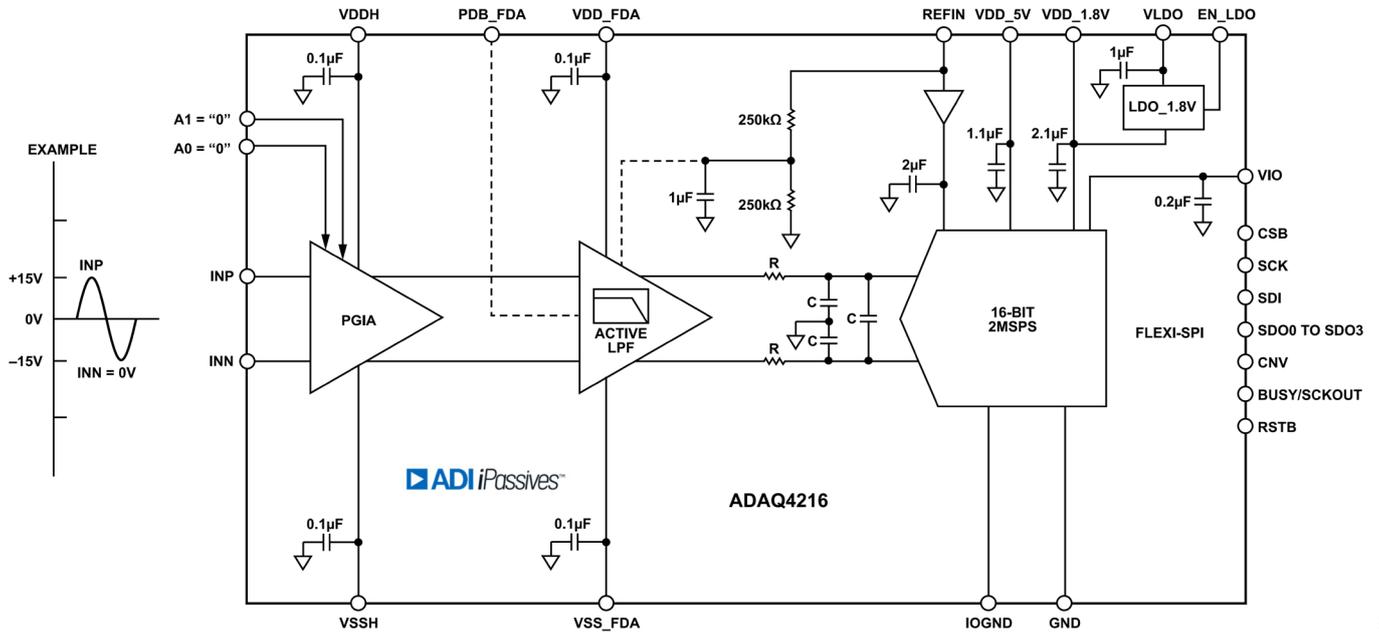


図 93. シングルエンド入力構成 ($G = 1/3 V/V$)

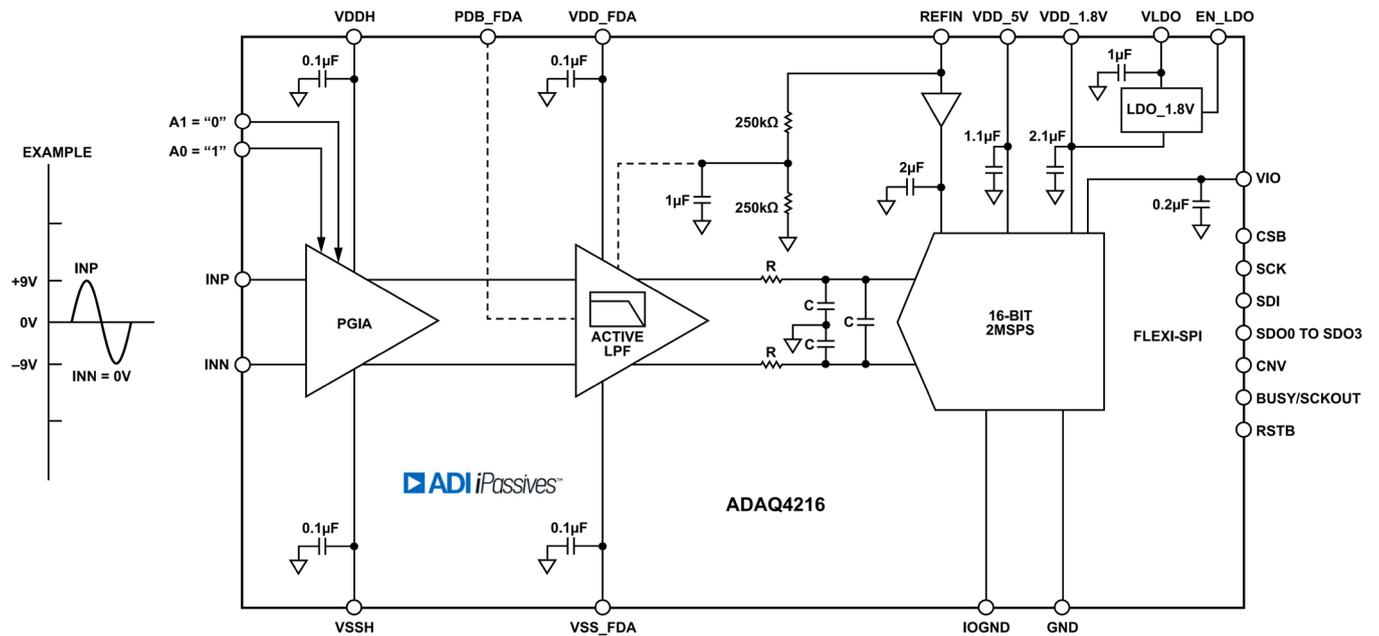


図 94. シングルエンド入力構成 ($G = 5/9 V/V$)

アプリケーション情報

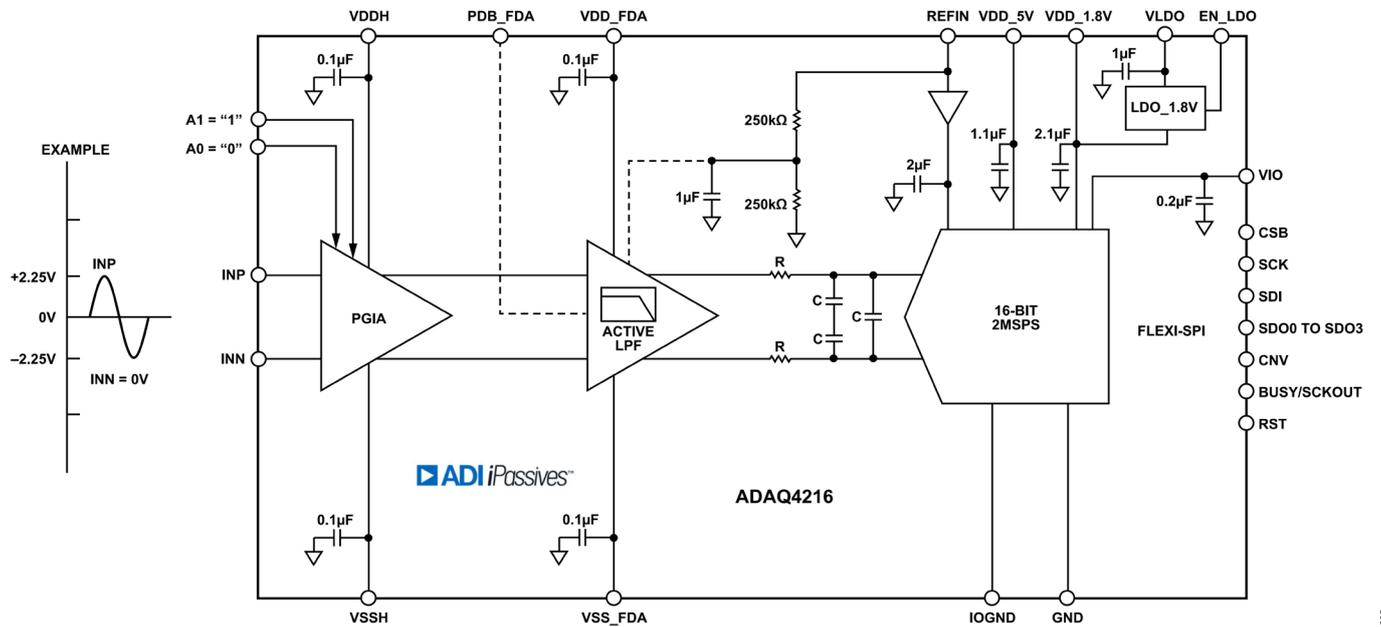


図 95. シングルエンド入力構成 (G = 20/9 V/V)

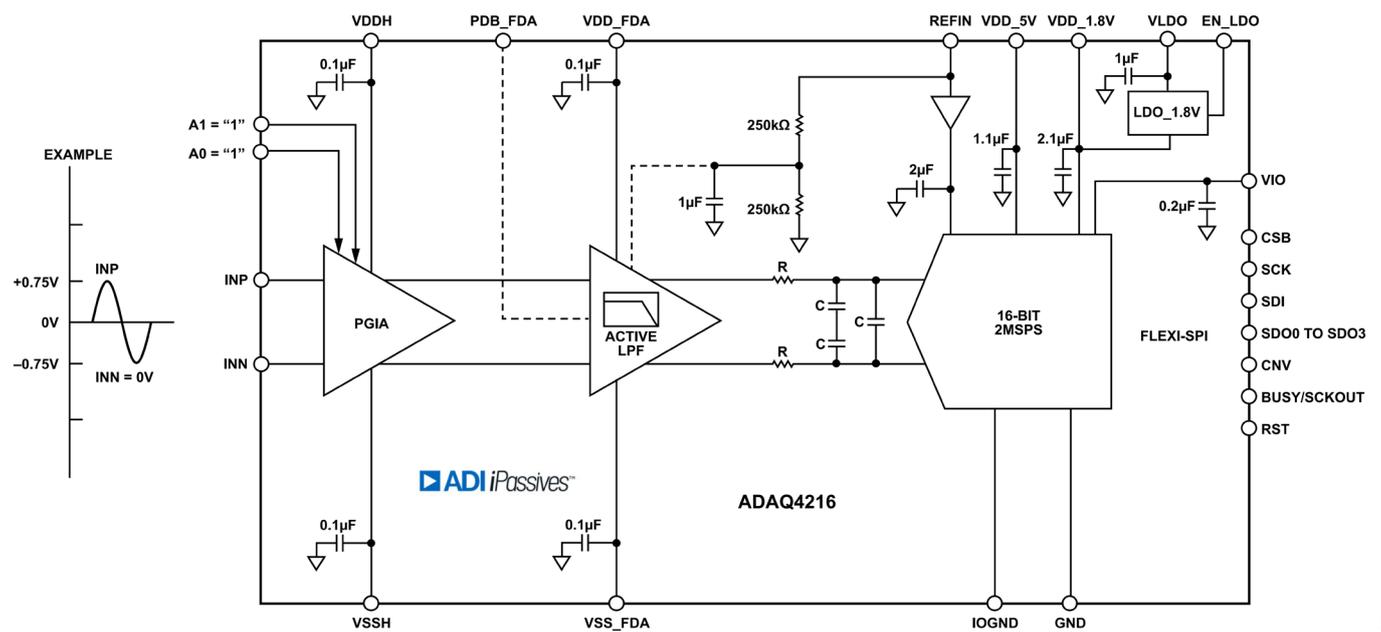


図 96. シングルエンド入力構成 (G = 20/3 V/V)

アプリケーション情報

リファレンス回路の設計

ADAQ4216 は、入力範囲を指定するために外部リファレンスが必要とします。このリファレンスは 4.096V~5V である必要があります。4.096V リファレンスに対して最適な選択は ADR4540 または LTC6655LN-4.096 であり、5V の場合は ADR4550 リファレンスまたは LTC6655LN-5 を使用します。μModule には、リファレンスから引き出される電荷を低減する機能がいくつかあるため、ADAQ4216 はディスクリート実装よりも使用がはるかに容易です。外部リファレンスは REFIN ピンに接続します。このピンには、リファレンスと μModule 回路を絶縁する高精度バッファが内蔵されています。このバッファは、入力インピーダンスが高く、低入力電流（代表値 5nA）です。REFIN ピンは、ADC ドライバの VO_{CM} を生成する 500kΩ 分圧器にも接続されており、これは入力電流（代表値 10μA）を引き込みます。バッ

ファの出力にある 2μF の内蔵コンデンサは、リファレンスへの最適なバイパスとなり、これによって部品数とレイアウトから受ける影響が低減するため PCB 設計が簡略化されます。リファレンスと REFIN ピンの間に RC 回路を配置すれば、リファレンス・ノイズを除去できます（図 97 参照）。推奨値は $100\Omega < R < 1k\Omega$ および $C \geq 10\mu F$ です。

図 98 に示すように、長時間のアイドルリング後にバースト的にサンプルを取得するアプリケーションでは、リファレンス電流 (I_{REF}) が約 10μA から約 12μA (2MSPS 時) に急増します。このように DC 電流の引き込みがステップ状に増加すると、リファレンスの過渡応答が生じます。リファレンス出力電圧の変化は出力コードの精度に影響するため、この過渡応答を考慮する必要があります。リファレンスが REFIN ピンを駆動している場合は、内部バッファがこうした遷移を処理できます。

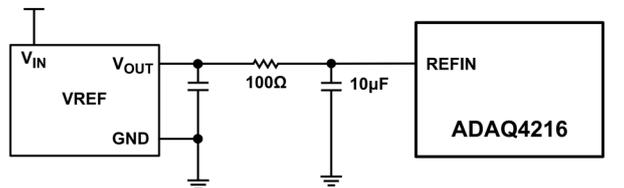


図 97. ノイズ・フィルタ付きリファレンス

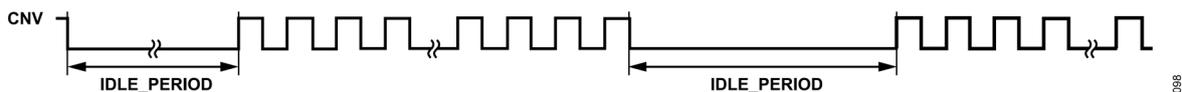


図 98. バースト・サンプリングを示す CNV 波形

アプリケーション情報

ADC リセット

ADAQ4216 には、シリアル・インターフェースを使用して ADC のリセットを実行するオプションが 2 つあります。ハードウェア・リセットは、 \overline{RST} ピンにロー・パルスを入力することによって開始されます。ソフトウェア・リセットは、同じ書込み命令でインターフェース設定 A レジスタの SW_RESET ビットと SW_RESETX ビットの両方を 1 に設定することで開始されます（詳細についてはインターフェース設定 A レジスタのセクションを参照）。

ハードウェア・リセットまたはソフトウェア・リセットを実行すると、デジタル診断レジスタの RESET_OCCURRED ビットがアサートされます（詳細についてはデジタル診断レジスタのセクションを参照）。RESET_OCCURRED ビットはこのビットに 1 を書き込むとクリアされます。RESET_OCCURRED は、ADAQ4216 がデバイス・リセットを実行したことをデジタル・ホストが確認するために使用できます。

ADAQ4216 は、VDD_5V と VDD_1.8V が最初に印加されたときに、パワーオン・リセット（POR）を生成するよう設計されています。POR は、ユーザ設定レジスタの状態をリセットし、RESET_OCCURRED ビットをアサートします。VDD_5V または VDD_1.8V が仕様規定された動作範囲を下回ると、POR が発生します。POR 後にハードウェア・リセットまたはソフトウェア・リセットを行うことを推奨します。

図 99 に \overline{RST} 入力を用いて ADC のリセットを行う場合のタイミング図を示します。最小の \overline{RST} パルス幅は 50ns で、図 99 および表 1 では $t_{RESETPW}$ と表記されています。リセットは、電源が有効になり安定してから 3ms 以後に実行する必要があります（この遅延は図 99 および表 1 では t_{RESET_DELAY} と表記されています）。

ハードウェア・リセットまたはソフトウェア・リセット後 750 μ s の間は、SPI コマンドや変換は開始できません。

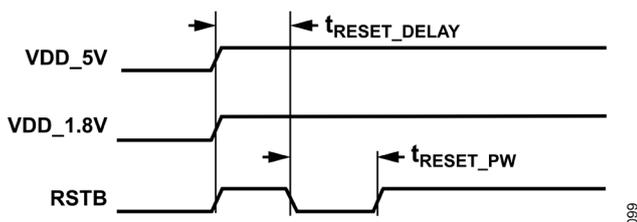


図 99. POR のタイミング

電源

ADAQ4216 の電源ピンの推奨パワーアップ・シーケンスを図 100 に示します。推奨シーケンスでは、最初に PGIA (VDDH と VSSH)、続いて FDA (VDD_FDA と VSS_FDA) および ADC の電源 (VDD_5V、VLDO、VIO) をパワーアップし、それからリファレンス電圧 (REFIN) を上げて、最後に INP ピンと INN ピンの入力信号をオンにします。絶対最大定格のセクションに記載されている最大電圧の関係を遵守してください。

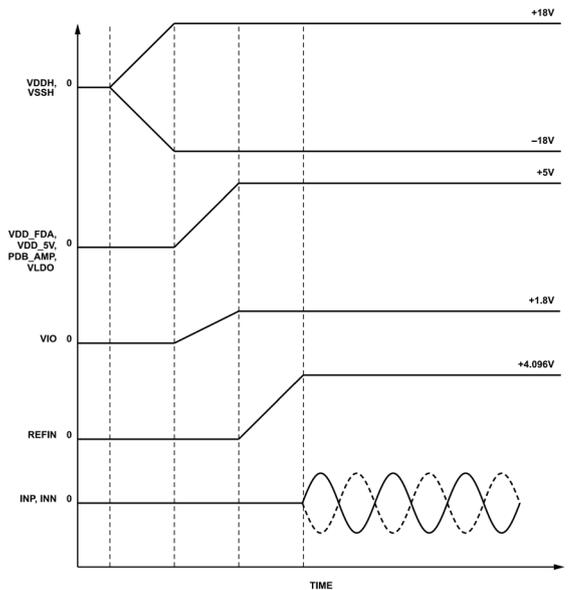


図 100. 電源シーケンス

VDD_5V 電源の電圧範囲は、選択したリファレンス電圧によって異なります（表 1 の INTERNAL REFERENCE BUFFER の仕様を参照してください）。図 101 に、REFIN に対する VDD_5V の最小値と最大値を示します。VDD_5V の電圧値が最大値を超える場合、または最小値を下回る場合、デバイスの損傷または性能低下の原因となります。

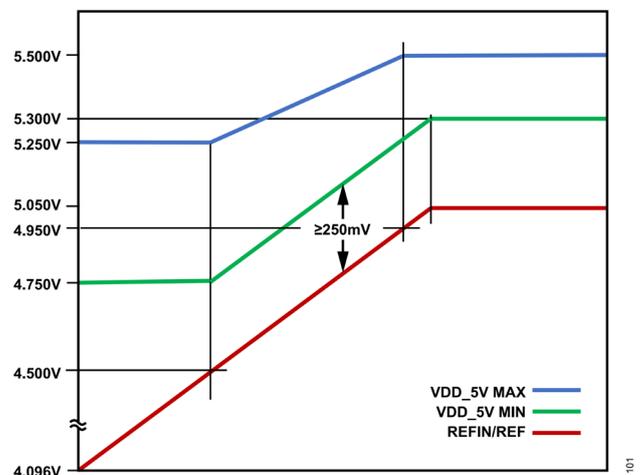


図 101. REFIN に対する VDD_5V の最小値と最大値

ADAQ4216 には、最初の起動時、あるいは VDD_5V または VDD_1.8V が指定された動作範囲を下回った場合に、ADAQ4216 をリセットする POR 回路があります。

VDD_5V と VLDO 電源にはパッケージ内部に 1 μ F の内蔵バイパス・コンデンサがあり、VIO には内蔵の 0.2 μ F のバイパス・コンデンサがあり、VDDH、VSSH、VDD_FDA、VSS_FDA、VDD には内蔵の 0.1 μ F バイパス・コンデンサがあります。これらの内蔵コンデンサにより、部品数 (BOM) やソリューション・サイズを縮小できます。バルク電源バイパス・コンデンサが ADC の近くにない場合、外部コンデンサを ADC の近くに追加してください。全電源の最小立上がり時間は 100 μ s です。

アプリケーション情報

電力消費状態

変換時、ADAQ4216 の消費電力が最大になります。変換が終了すると、スタンバイ状態になり、内部回路の大半がパワーダウンして、消費電流は変換状態の 20%未満に低下します。完全な精度を確保するため、リファレンス・バッファなど一部の回路は、スタンバイ状態でもパワーオン状態を維持します。

デバイス設定レジスタの OPERATING_MODES ビット・フィールドに 0x3 を書き込むことで、変換クロックがアイドル状態になっている間、デバイスをより低消費電力のシャットダウン状態に置くことができます（詳細については[デバイス設定レジスタ](#)のセクションを参照）。このビット・フィールドのデフォルト値は[00]で、通常動作モードになります。シャットダウン状態では、消費電流は、10 μ A 未満まで低下します。

シャットダウン・モード

ADC がシャットダウン・モードに入ると、内部リファレンス・バッファはディスエーブルされ、500 Ω スイッチが REFIN を内部リファレンス・バッファの出力に接続します。これにより内部バッファ出力の 2 μ F コンデンサが充電された状態を保ち、ADC がシャットダウン・モードから抜けたときに高速で復帰できます。このキープアライブ・スイッチがあるため、ADC がシャットダウン・モードに入るとき (400pC) とシャットダウン・モードから抜けるとき (5pC) に、REFIN ピンに多少の電荷が注入されます。シャットダウン・モードから抜けるとき、内部バッファの出力は 30 μ s 後に正確になります。

シリアル・インターフェース

ADAQ4216 は、共通のビット・クロック (SCK) を使用する複数レーンの SPI シリアル・デジタル・インターフェースに対応しています。柔軟な VIO ピン電源により、ADAQ4216 は 1.2V~1.8V で動作する任意のデジタル・ロジックと通信できます。ただし、VIO ピンのレベルが 1.4V より低い場合には、出力ドライバ・レジスタの IO2X ビットを 1 にセットする必要があります (詳細については出力ドライバ・レジスタのセクションを参照)。シリアル出力データは、最大 4 つの SDO レーンにクロック同期出力されます。(図 102 参照)。出力データに同期したエコー・クロック・モードを使用すると、デジタル・インターフェースでの絶縁を使用する場合のタイミング条件を緩和できます。ホスト・クロック・モードも使用可能です。このモードでは内部発振器を使用してデータ・ビットをクロック同期出力できます。SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モード、シングル・データ・レート・モード、デュアル・データ・レート・モード、1 レーン出力データ・クロック・モード、2 レーン出力データ・クロック・モード、4 レーン出力データ・クロック・モード、およびデータ出力モードの概要の各セクションで ADAQ4216 の SPI の動作を説明しています。

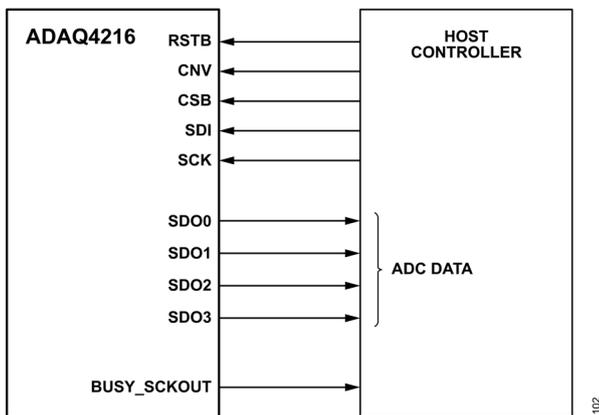


図 102. ADAQ4224 の複数レーン SPI

SPI 信号

SPI は、ADC の設定とサンプリングされたデータの取得の両方を行うために使用される、複数レーンのインターフェースです。以下の信号で構成されます。

- ▶ \overline{CS} (入力) (チップ・セレクト)。ADC の SDI ピンまたは SDOx ピンとの間でデータ転送を行うには、 \overline{CS} をローに設定する必要があります。サンプル・データ読出しのための \overline{CS} のタイミングは、BUSY ピンの状態を調べることで調整できます。エコー・クロック・モードおよびホスト・クロック・モードでは、BUSY_SCKOUT ピンがこれらのクロック・モードのビット・クロック出力として用いられるため、 \overline{CS} のタイミングはホスト・プロセッサで制御する必要があります。
- ▶ SDI (入力)。ホスト・コントローラから ADC へのシリアル・データ入力ストリーム。SDI 信号は、ADAQ4216 のユーザ・レジスタの 1 つにデータを書き込む場合のみ使われます。
- ▶ CNV (入力)。CNV 信号はホスト・コントローラによって送出され、サンプル変換を開始します。CNV 信号の周波数によって ADAQ4216 のサンプリング・レートが決まります。CNV クロックの最大周波数は 2MSPS です。

- ▶ SCK (入力)。ホスト・コントローラが送出するシリアル・データ・クロック。出力データ転送をサポートする最大 SCK レートは 100MHz です。レジスタの読出しと書込みの場合の最大 SCK レートは、VIO ピン > 1.71V の場合で 86MHz、 $1.14V \leq VIO$ ピン < 1.71V の場合で 81MHz です。
- ▶ SDO0~SDO3 (出力)。ホスト・コントローラへのデータ・レーンです。アクティブなデータ・レーンの数は、1、2、4 のいずれかです (表 14 参照)。データ・レーンの数はモード・レジスタのセクションに示すように設定されます。
- ▶ BUSY_SCKOUT (出力)。BUSY_SCKOUT ピンの機能は、選択するクロック・モードによって異なります。表 13 に各クロック・モードにおける BUSY_SCKOUT ピンの動作を示します。

表 13. BUSY_SCKOUT ピンの機能とクロック・モードの関係

Clocking Mode	Behavior
SPI Clocking Mode	Valid BUSY_SCKOUT pin signal for the ADC conversion status. The busy signal on the BUSY_SCKOUT pin goes high when a conversion is triggered by the CNV signal. The busy signal on the BUSY_SCKOUT pin goes low when the conversion is complete.
Echo Clock Mode	Bit clock. The BUSY_SCKOUT pin is a delayed version of SCK input.
Host Clock Mode	Bit clock. The BUSY_SCKOUT pin sources the clock signal from the internal oscillator.

レジスタ・アクセス・モード

ADAQ4216 は、レジスタのセクションで説明するように、デバイスの設定に使用するプログラマブルなユーザ・レジスタを備えています。デフォルトでは、起動時のデバイスは変換モードになっています。そのため、ユーザ・レジスタにアクセスするには、図 5 に示すように、SPI を介してホスト・コントローラが特別なアクセス・コマンドを送出する必要がありますこのレジスタ・アクセス・コマンドが SPI を介して送られると、デバイスはレジスタ設定モードになります。レジスタのセクションに記載されたユーザ・レジスタのいずれかから値を読み出すには、ホスト・コントローラは図 4 に示すパターンを送る必要があります。いずれかのユーザ・レジスタに書込みを行うには、ホスト・コントローラは図 3 に示すパターンを送る必要があります。どちらの場合も (読出し/書込み)、ホスト・コントローラは、必ず 24 個のクロック・パルスを SCK ラインに送出し、 \overline{CS} を全トランザクションの間ローに引き下げておく必要があります。

該当のユーザ・レジスタとの間で読み書きを行った後、ホスト・コントローラは、設定モード終了レジスタのセクションに詳細を示すように、レジスタ・アドレス 0x0014 に 0x01 を書き込むことで、レジスタ設定モードを終了する必要があります。レジスタの読書きアクセスのアルゴリズムは、以下のとおりです。

1. ダミーのレジスタ・アドレス 0x3FFF から読出しを行って、レジスタ設定モードに入る。
2. 必要なユーザ・レジスタ・アドレスとの間で読出しや書込みを行う。
3. レジスタ・アドレス 0x0014 に 0x01 を書き込むことで、レジスタ設定モードを終了する。レジスタ設定モードを終了するとレジスタの更新が有効になります。

シリアル・インターフェース

ストリーム・モード

ADAQ4216 がレジスタ設定モードにある間に、レジスタの読出し/書込みトランザクションを一括して実行する方法もあります。読出し/書込みレジスタ・トランザクションを一括して実行するには、CSをローに維持すると共に、各レジスタは1バイト（8ビット）幅のみであるので、SCKパルスを8の倍数で送出する必要があります。ストリーム・モードでは、アドレスのデクリメントのみが許容されます。つまり、最初のレジスタ・アドレスの読み書きの後には、その最初のレジスタ・アドレスのすぐ下のレジスタ・アドレスの読み書きのみが可能です。ストリーム・モードのレジスタ・アクセスは、連続したアドレスの

レジスタ・ブロックに対して行うことを推奨します。ただし、レジスタ・マップにないレジスタのアドレスを指定することもできます。これを行う場合は、単純にそのレジスタにすべてゼロを書き込みます。また、読み出す場合は、該当のレジスタから読み出される内容はランダムなデータなので、廃棄します。どのレジスタ・アドレスが有効であり、連続しているかを確認するためには、レジスタのセクションを参照してください。例えば、16ビットのオフセット値を1回で読み出すには、レジスタ・アドレス 0x0018 から始めて16個のSCKパルスを送出する必要があります。所定アドレスから始めて一括読出しを行う場合のタイミング図を図103に示します。

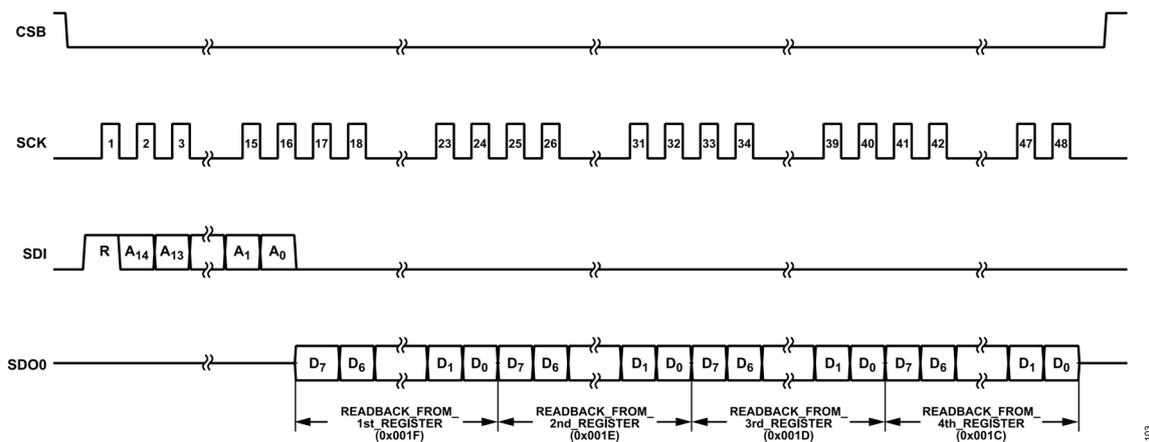


図 103. ストリーム・モードの一括レジスタ読出し動作

103

シリアル・インターフェース

サンプル変換タイミングとデータ転送

変換は、図 104 に示すように、CNV 信号の立上がりエッジで開始されます。変換が完了すると、CS をアサートでき、これによって現在の変換結果が出力シフト・レジスタにロードされます。

図 104 に示すように、サンプル N にはデータ転送ゾーンに 2 つのオプションがあります。ゾーン 1 はサンプル N の変換の BUSY 信号がデアサートされた直後 (SPI 変換モード)、あるいは 300ns 後 (エコー・モードおよびホスト・クロック・モード) に CS がアサートされる場合のもので、ゾーン 1 では、サンプル N を読み出すために利用できる時間は次式で与えられます。

Zone 1 Data Read Window

$$= t_{CYC} - t_{CONV} - t_{QUIET_CNV_ADV}$$

例えば、 F_{CNV} が 2MSPS ($t_{CYC} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は 198.4ns (= $500\text{ns} - 282\text{ns} - 19.6\text{ns}$) です。

ゾーン 2 は、サンプル N を読み出すための CS のアサートが、サンプル N + 1 の変換が開始されるまで遅延された場合です。

データの破損を防ぐため、図 104 に示すように、CNV 信号の各立上がりエッジ前後に静止ゾーンを置く必要があります。CNV の立上がりエッジ直前の静止ゾーンは $t_{QUIET_CNV_ADV}$ で、19.6ns です。CNV の立上がりエッジ直後の静止ゾーンは $t_{QUIET_CNV_DELAY}$ で、9.8ns です。CNV の立上がりエッジを中心とする静止ゾーンの直後に CS がアサートされると仮定すると、データをクロック同期出力するために使用できる時間は次式のようにになります。

Zone 2 Data Read Window

$$= t_{CYC} - t_{QUIET_CNV_DELAY} - t_{QUIET_CNV_ADV}$$

例えば、 F_{CNV} が 2MSPS ($t_{CYC} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は 470.6ns (= $500\text{ns} - 9.8\text{ns} - 19.6\text{ns}$) です。ゾーン 2 の転送ウィンドウはゾーン 1 のウィンドウよりも長くなります。このため、SPI に遅い SCK を使用することができ、インターフェースのタイミング要件が緩和されます。ゾーン 2 を使用してデータ転送を行う場合、静止ゾーンの直後に CS をアサートすることを推奨します。ただし、サンプル N+1 の BUSY の立下がりエッジより少なくとも 25ns 前にアサートする必要があります。これが満たされない場合、サンプル N はサンプル N+1 で上書きされます。

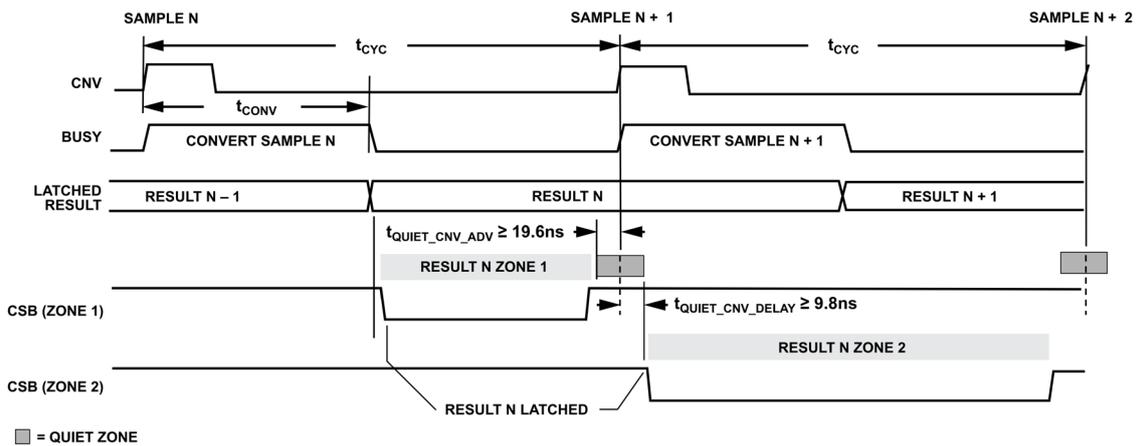


図 104. データ転送ゾーンのタイミング例

シリアル・インターフェース

クロック・モード

このセクションでは、ADAQ4216 の SPI がサポートする各種クロック・モードについて説明します。これらのモードは、1 レーン、2 レーン、4 レーンで使用できます。クロック・モードは、モード・レジスタで設定します（レジスタの詳細については、表 16 を参照）。

SPI クロック・モード

SPI クロック・モードは ADAQ4216 のデフォルト・クロック・モードであり、ホスト・コントローラが自身のクロックを使用して出力データをラッチする、ホストをソースとするビット・クロック（SCK）と等価です。SPI 対応のクロック・モードは、モード・レジスタの CLK_MD ビット・フィールドに 0x0 を書き

込むことで有効化できます（詳細についてはモード・レジスタのセクションを参照）。インターフェースの接続を図 102 に示します。このモードでは、BUSY_SCKOUT ピンの信号が有効で、変換の完了を示します（BUSY_SCKOUT ピンのハイからローへの遷移）。簡略化したサンプル・サイクルを図 105 に示します。平均化モード以外では、ホスト・コントローラが変換の完了を検出するために BUSY 信号を使用せずに、内部タイマーを使用してデータを再取得する場合には、ホスト・コントローラは CNV パルスの立上がりエッジの後 300ns 以上待機してから \overline{CS} をローにアサートする必要があります。ブロック平均化モードで動作する場合は、ホスト・コントローラはブロック最後のサンプルに対する CNV パルスの立上がりエッジの後 300ns 以上経過してから \overline{CS} をローにアサートする必要があります。

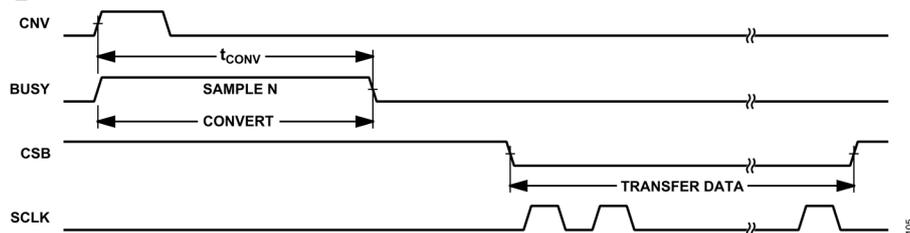


図 105. SPI クロック・モードの代表的なサンプル・サイクル

シリアル・インターフェース

エコー・クロック・モード

図 106 は、エコー・クロック・モードの信号接続を示します。エコー・クロック・モードは、モード・レジスタの CLK_MD ビット・フィールドに 0x1 を書き込むことで有効化できます（詳細についてはモード・レジスタのセクションを参照）。このモードでは、BUSY_SCKOUT ピンを使用して変換の完了を検出することはできません。BUSY_SCKOUT ピンはビット・クロック出力となり、ホスト・コントローラの SCK が BUSY_SCKOUT ピンにループ・スルーされてクロック源になります（VIO ピンの電圧に応じて 5.4ns~7.9ns の固定遅延あり）。非平均化モードで変換データの取得を開始するには、ホスト・コントローラは CNV パルスの立上がりエッジの後 300ns 以上経過してから \overline{CS} をローにアサートする必要があります。ADC がブロック平均化モードに設定されている場合は、ホスト・コントローラはブロック最後のサンプルに対する CNV パルスの立上がりエッジの後 300ns 以上経過してから \overline{CS} をローにアサートする必要があります。タイミング図の例は、データ・クロック条件とタイミングのセクションに示されています。エコー・クロック・モードがイネーブルされている場合、BUSY_SCKOUT ピンは SDOx ピンの遷移に一致するため、データとクロックのタイミングは SDOx ピンと SCK ピンの経路での非対称伝搬遅延には影響されなくなります。

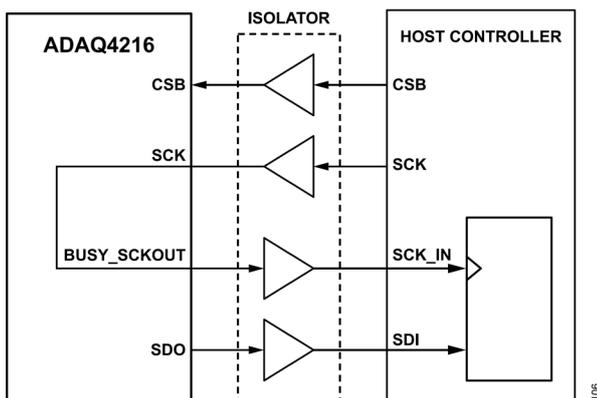


図 106. エコー・クロック・モードの信号経路図

ホスト・クロック・モード

ホスト・クロック・モードが有効化されている場合、内部発振器をビット・クロック源として用います。ホスト・クロック・モードは、モード・レジスタの CLK_MD ビット・フィールドに 0x2 を書き込むことで有効化できます。ビット・クロックの周波数は、内部発振器レジスタの OSC_DIV ビット・フィールドでプログラムでき、1、2、または 4 の除数を用いることができます（詳細については内部発振器レジスタのセクションを参照）。図 107 は、ホスト・クロック・モードの信号接続を示します。このモードでは、BUSY_SCKOUT ピンはビット・クロック出力となり、これを使用して変換の完了を検出することはできません。ADAQ4216 は、ワード・サイズ、アクティブなレーンの数、シングル・データ・レート・モードとデュアル・データ・レート・モードのどちらを選択しているかに応じて、変換データをクロック同期出力するために必要なクロック・パルス数を自動的に計算します。クロック・パルスの数は、内部発振器レジスタの OSC_LIMIT ビット・フィールドから読み出すことができます。16 ビット差動データ・ワードの場合には（モード・レジスタの OUT_DATA_MD フィールド = 000）、ADAQ4216 はクロック・パルスを 8 つ追加して合計 24 クロック・パルスになります。16 ビット・データ・ワードに加え、8 つのゼロ・ビットでパ

ディングされます。ホストからの SCK_IN はアクティブにはできません。非平均化モードで変換データを取得する場合、ホストは CNV パルスの立上がりエッジ後 300ns より前に \overline{CS} をローにアサートすることはできません。ADC が 2^N 回平均化を行う平均化モードに設定されている場合、ホストは、ブロック最後のサンプルに対する CNV パルス立上がりエッジ後 300ns より前に \overline{CS} をローにアサートすることはできません。

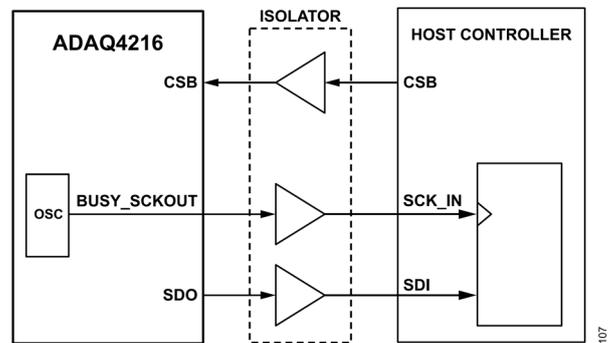


図 107. ホスト・クロック・モードの信号経路例

シングル・データ・レート・モード

シングル・データ・レート・クロック (SDR) は、1 クロック・サイクルの間に 1 個のビット (アクティブ・レーンあたり) がクロック同期出力されるもので、すべての出力設定およびサンプル・フォーマットでサポートされています (表 14 参照)。SDR クロック・モードは、デフォルトで起動時に有効化される他、モード・レジスタの DDR_MD ビットに 0 を書き込むことによっても有効化できます (詳細についてはモード・レジスタのセクションを参照)。

デュアル・データ・レート・モード

デュアル・データ・レート (DDR) モード (アクティブ・レーンあたり 1 クロック・サイクルの間に 2 個のデータ・ビット遷移) は、ホスト・クロック・モードとエコー・クロック・モードでのみ使用可能です。

DDR クロック・モードは、モード・レジスタの DDR_MD ビットに 1 を書き込むことでイネーブルできます (詳細についてはモード・レジスタのセクションを参照)。DDR モードは、SDR モードに比べ、変換データをクロック同期出力するために使用する SCK パルスの数が半分にになります。

1 レーン出力データ・クロック・モード

1 レーンは、パワーアップ時のデフォルトの出力データ・クロック・モードです。1 レーン出力データ・クロック・モードは、モード・レジスタの LANE_MD ビットに 0x0 を書き込むことでイネーブルできます (詳細についてはモード・レジスタのセクションを参照)。アクティブ・レーンは SDO0 です。SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する 1 レーン・モードのタイミング図の例を、データ・クロック条件とタイミングのセクションに示します。

2 レーン出力データ・クロック・モード

2 レーン出力データ・クロック・モードが有効化されている場合、サンプル・ワード・ビットは 2 つの SDO レーンの間で分割されます。図 113 に 2 レーン・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードと同じです。2 レーン出力データ・クロック・モードは、モード・レジスタの LANE_MD ビット・フィールドに 0x1 を書き込むこと

シリアル・インターフェース

でイネーブルできます（詳細については**モード・レジスタ**のセクションを参照）。ホスト・コントローラは、元のサンプル・ワードを再構築するために複数の SDO レーンからのデータを再結合する必要があります。変換データをクロック同期出力するために必要な SCK パルス数は、1 レーン・モードと比較して半分に減少します。表 14 に、2 レーン・モードでのアクティブな SDO レーンを示します。SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する 2 レーン・モードのタイミング図の例を、**データ・クロック条件とタイミング**のセクションに示します。

4 レーン出力データ・クロック・モード

4 レーン出力データ・クロック・モードが有効化されている場合、サンプル・ワード・ビットは 4 つの SDO レーンの間で分割されます。図 114 に 4 レーン・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPI クロック・モード、

エコー・クロック・モード、ホスト・クロック・モードと同じです。4 レーン出力データ・クロック・モードは、モード・レジスタの LANE_MD ビット・フィールドに 0x2 を書き込むことでイネーブルできます（詳細については**モード・レジスタ**のセクションを参照）。ホスト・コントローラは、元のサンプル・ワードを再構築するために複数の SDO レーンからのデータを再結合する必要があります。変換データをクロック同期出力するために必要な SCK パルス数は、1 レーン出力データ・クロックと比較して 4 分の 1 に減少します。4 レーン・モードでのアクティブな SDO レーンを表 14 に示します。SPI クロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する 4 レーン・モードのタイミング図の例を、**データ・クロック条件とタイミング**のセクションに示します。

データ出力モードの概要

ADAQ4216 がサポートするデータ出力モードの概要を表 14 にまとめます。

表 14. ADAQ4216 がサポートするデータ出力モード

Number of Lanes	Active SDO Lanes	Clock Mode	Supported Data Clocking Mode	Output Sample Data-Word Length
1	SDO0	SPI	SDR only	16, 24 or 32
		Echo	SDR and DDR	16, 24 or 32
		Host	SDR and DDR	24 or 32
2	SDO0, SDO1	SPI	SDR only	16, 24 or 32
		Echo	SDR and DDR	16, 24 or 32
		Host	SDR and DDR	24 or 32
4	SDO0, SDO1, SDO2, SDO3	SPI	SDR only	16, 24 or 32
		Echo	SDR and DDR	16, 24 or 32
		Host	SDR and DDR	24 or 32

シリアル・インターフェース

データ・クロック条件とタイミング

基本および平均化変換サイクル

図 108 に、1 回のサンプリングの基本変換サイクルを示します。このサイクルは SPI クロック・モードにあてはまります。エコー・クロック・モードおよびホスト・クロック・モードを使用する場合は、BUSY_SCKOUT ピンの機能はディスエーブルされ、ビット・クロックが BUSY_SCKOUT ピンに出力されます。データ転送は、サンプル変換タイミングとデータ転送のセクションに記載の条件を満たす必要があります。

表 15 に、変換タイミング・パラメータの最小値と最大値を示します。これらはすべてのクロック・モードにあてはまります。

表 15. 変換サイクルのタイミング・パラメータ

Parameter	Min	Max
t _{CNVH}	10ns	No specific maximum
t _{CNVL}	20ns	No specific maximum
t _{CNV}	264ns	300ns

データ転送時間の長さは、サンプル分解能、アクティブ・レーン数、SCK 周波数、データ・クロック・モード (SDR または DDR) によって異なります。転送時間の公称値は次式で与えられます。

$$Data\ Transfer\ Duration = t_{TRANS} = \frac{N_{BITS}}{M_{LANES}} \times \frac{1}{f_{SCK}} \times \frac{1}{K} \text{ seconds}$$

ここで、

N_{BITS} = クロック同期出力されるビット数、

M_{LANES} = データをクロック同期出力するために使用するレーン数 (1、2、または 4)、

f_{SCK} = SCK クロック周波数 (Hz)、

K = 1 (SDR のみ、DDR は SPI クロック・モードでは使用できません) です。

所定の f_{SCK}、データ・レーン数、サンプル・ワード・サイズ、SDR/DDR モードに対し、データ転送にゾーン 1 を使用した場合の最小サンプル時間は、次式のようになります。

ゾーン 1 の最小サンプル時間：

$$t_{CYC} \geq \left(\frac{N_{BITS}}{M_{LANES} \times f_{SCK} \times K} \right) + t_{CONV} + t_{QUIET_CNV_ADV}$$

データ転送にゾーン 2 を使用した場合の最小サンプル時間は、次式のようになります。

$$t_{CYC} \geq \left(\frac{N_{BITS}}{M_{LANES} \times f_{SCK} \times K} \right) + t_{QUIET_CNV_DELAY} + t_{QUIET_CNV_ADV}$$

図 109 に、平均化モードが有効で SPI クロック・モードが使用されている場合の、代表的な変換サイクルを示します。設定された平均化するサンプル数と等しい CNV クロック周期数の間、BUSY 信号がアサートされます。BUSY 信号がデアサートされると平均化されたサンプルを取得できます。非平均化モードの場合と同様、設定されたクロック・モードがエコー・クロックまたはホスト・クロックの場合、BUSY 信号は出力ビット・クロック (SCKOUT) で置き換えられます。ホスト・コントローラは CS をアサートするタイミングを管理しなければなりません。

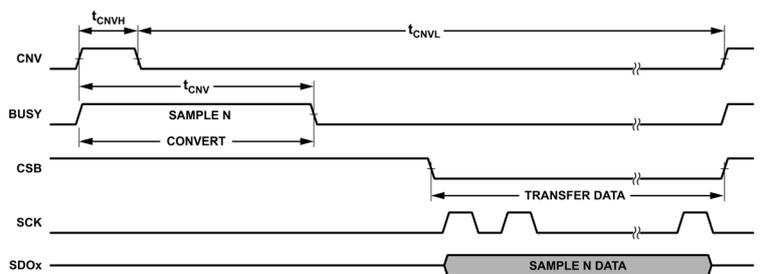


図 108. 基本的なシングル・サンプル変換サイクル



図 109. 平均化モードの変換サイクル例

シリアル・インターフェース

非平均化モードに存在する 2 つの転送ゾーンは、平均化モードにも存在します (図 110、図 111、図 112 を参照)。

データの破壊を防止するため、静止ゾーンの間には SPI の立上がりエッジと立下がりエッジの信号が発生しないようにする必要があります。

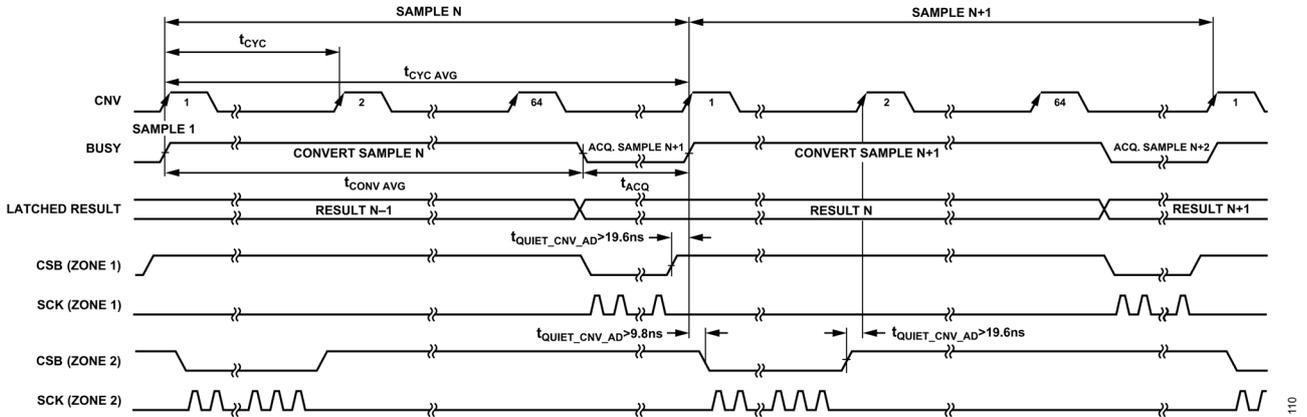


図 110. 平均化モードにおける各種ゾーンの例 (64 個のサンプルを平均)

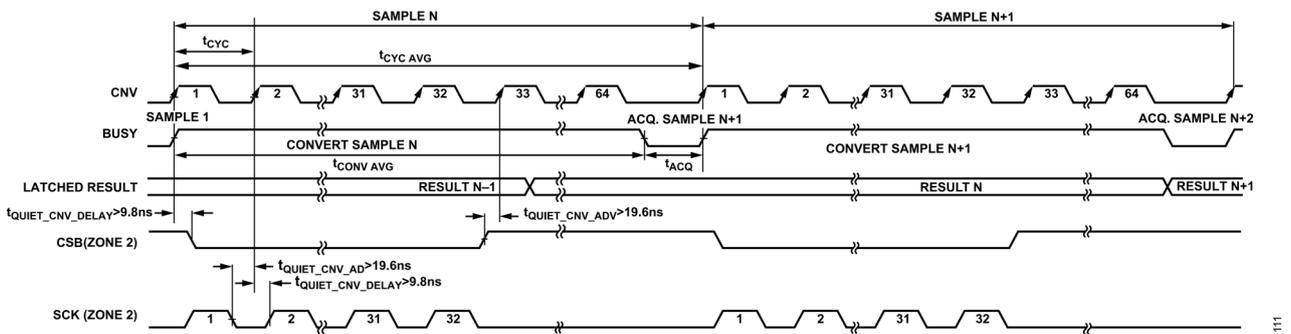


図 111. 平均化モードにおけるゾーン 2 の例 (1 サンプルあたり 1 ビット)

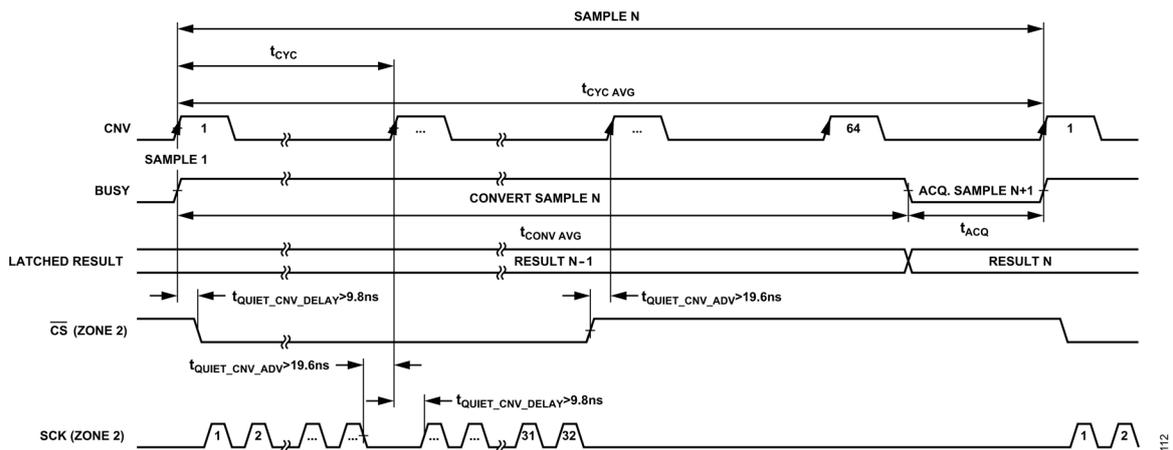


図 112. 平均化モードにおけるゾーン 2 の例 (1 サイクルあたり N ビット)

シリアル・インターフェース

SPI クロック・モードのタイミング図

1 レーン、SDR モード

図 6 に、1 レーン・データ出力で SDR モード（クロック・サイクルあたり 1 ビット）の場合の変換サイクルを示します。

2 レーン、SDR モード

図 113 に SDR クロック・モードを使用した 2 レーン・データ出力の変換サイクルを示します。詳細については、[2 レーン出力データ・クロック・モード](#)のセクションを参照してください。

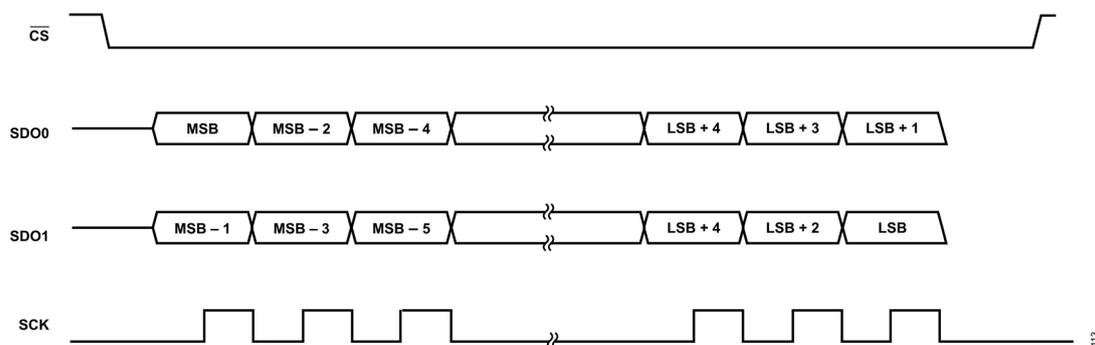


図 113. 2 レーン・モード、SDR のタイミング図

シリアル・インターフェース

4 レーン、SDR モード

図 114 に SDR クロック・モードを使用した 4 レーン・データ出力の変換サイクルを示します。詳細については、[4 レーン出力データ・クロック・モード](#)のセクションを参照してください。

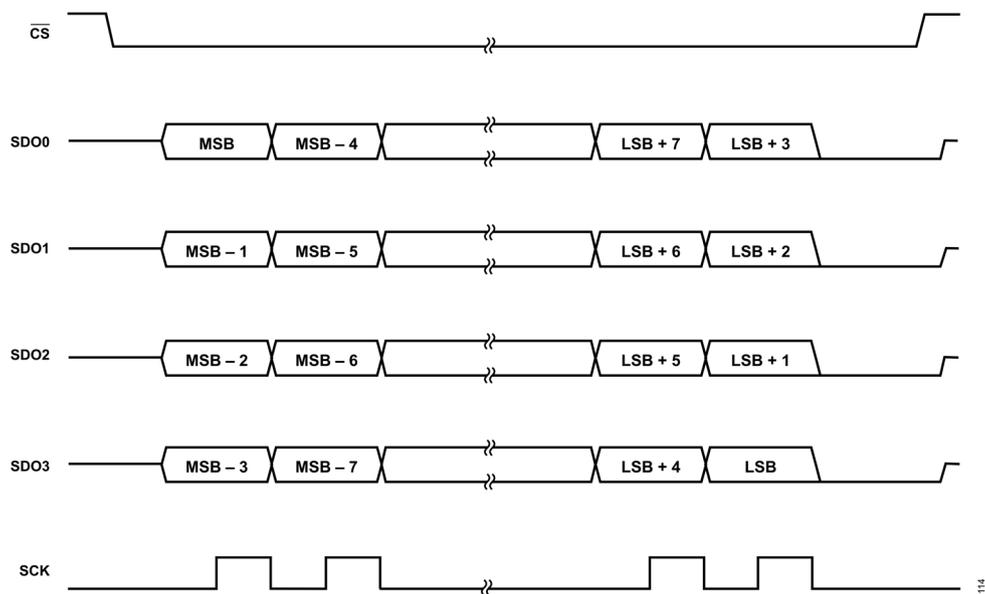


図 114. 4 レーン、SDR のタイミング図

シリアル・インターフェース

エコー・クロックのタイミング図

1 レーン、SDR モード、エコー・クロック・モード

図 7 に 1 レーン・エコー・クロック・モードを使用した SDR モード (SCK 周期あたり 1 ビット) のタイミング関係を示します。信号間のタイミング関係は 16 ビットと 32 ビットの両方のサンプル・ワード・フォーマットに適用されます。

SCKOUT は、入力 SCK の遅延バージョンです。この遅延 (t_{nsdo}) の最大値は 5.6ns です (V_{IO} > 1.71V の場合)。SDO_x のロジック状態の変化は、SCKOUT の立上がりエッジに一致します。クロックとデータのエッジのアライメントは、1 レーン、2 レーン、4 レーンの出力データ・モードで同じです。

1 レーン、DDR モード、エコー・クロック・モード

図 8 に 1 レーン・エコー・クロック・モードでの DDR モード (SCKOUT 周期あたり 2 ビットの遷移) のタイミング関係を示します。信号間のタイミング関係は 16 ビットと 32 ビットの両方のサンプル・ワード・フォーマットに適用されます。

SDR モードと同様、SCKOUT は入力 SCK の遅延バージョンです。SDO_x のロジック状態の変化は、SCKOUT の立上がりエッジと立下がりエッジの両方に一致します。

ホスト・クロック・モードのタイミング

1 レーン、ホスト・クロック・モード、SDR

図 9 に、SDR モードと 1 レーン・モードを使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジはデータ・ビットの遷移と一致します。SCKOUT 信号の周波数は、内部発振器レジスタで設定された OSC_DIV の値で制御されます (詳細については内部発振器レジスタのセクションを参照)。出力データ・フォーマットが 16 ビット差動の場合 (モード・レジスタの OUT_DATA_MD=000)、各 16 ビットサンプルは 8 つのゼロでパディングされ、全ワード長は 24 ビットになります。データの処理をする際、ホスト・プロセッサはこのビットを破棄します。

1 レーン、ホスト・クロック・モード、DDR

図 10 に、DDR を使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジと立下がりエッジがデータ・ビットの遷移と一致します。SCKOUT 信号の周波数は、内部発振器レジスタで設定された OSC_DIV の値で制御されます (詳細については内部発振器レジスタのセクションを参照)。出力データ・フォーマットが 16 ビット差動の場合 (モード・レジスタの OUT_DATA_MD = 000)、各 16 ビットサンプルは 8 つのゼロでパディングされ、全ワード長は 24 ビットになります。データの処理をする際、ホスト・プロセッサはこのビットを破棄します。

レイアウトのガイドライン

ADAQ4216 の最高性能を実現するために、以下のようなレイアウトのガイドラインを推奨します。

- ▶ ADAQ4216 は、VDD_5V および VDD_1.8V に 1 μ F のバイパス・コンデンサを、VIO に 0.2 μ F のコンデンサを内蔵しています。したがって、外付けのバイパス・コンデンサは不要です。これにより基板スペースと部品点数を減らし、レイアウト感を低下させることができます。
- ▶ すべてのアナログ信号を ADAQ4216 の左側から入力するようにし、すべてのデジタル信号を ADAQ4216 の右側から入出力するようにすることを推奨します。これは、アナログ信号とデジタル信号を互いに絶縁する効果があるためです。
- ▶ ADAQ4216 の下には強固なグランド・プレーンを用い、すべてのアナログ・グラウンド (GND) ピンとデジタル・グラウンド (IOGND) ピンは共通のグランド・プレーンに接続して、グラウンド・ループが形成されないようにします。
- ▶ REFIN ピンへの配線パターンはその他の信号から絶縁し、シールドする必要があります。リファレンス配線パターン (REFIN) の下には信号を配線しないようにしてください。リファレンス (またはバッファ) の出力と選択したリファレンス入力の上にノイズ除去フィルタを配置する場合は、ADAQ4216 にできるだけ近付けて配置する必要があります。

レジスタ

ADAQ4216には、デバイスの設定に使用するプログラマブル・ユーザ・レジスタがあります。これらのレジスタは、ADAQ4216がレジスタ設定モードのときにアクセスできます。表16には、ADAQ4216のユーザ・レジスタおよびレジスタのビット・フィールドがすべて記載されています。レジスタの詳細のセクションには、各ビット・フィールドの機能の詳細が記載されています。アクセスのモードは、そのレジスタが読出し専用ビット（R）だけで構成されているか、読出し専用ビットと読出し/書込みビット（R/W）の組合せで構成されているかを指定するものです。読出し専用ビットは、SPI書込みトランザクションでは上書きできませんが、読出し/書込みビットは上書きできます。

表 16. ADAQ4216 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASC ENSION	SDO_EN ABLE	RESERVED		SW_RES ETX	0x10	R/W	
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INST	STALLING	RESERVED		SHORT_INST RUCTION	RESERVED		0x00	R/W	
0x02	DEVICE_CONFIG	[7:0]	RESERVED						OPERATING_MO DES	0x00	R/W	
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE			0x07	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x00	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x20	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION			0x00	R	
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE								0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION						0x81	R
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R
0x0E	STREAM_MODE	[7:0]	LOOP_COUNT								0x00	R/W
0x11	INTERFACE_STATUS_A	[7:0]	RESERVED		CLOCK_C OUNT_ER R	RESERVED				0x00	R/W	
0x14	EXIT_CFG_MD	[7:0]	RESERVED						EXIT_CO NFIG_MD	0x00	R/W	
0x15	AVG	[7:0]	AVG_SYNC	RESERVED		AVG_VAL				0x00	R/W	
0x16	RESERVED	[7:0]	RESERVED								0x00	R/W
0x17	OFFSET_LB	[7:0]	USER_OFFSET[7:0]								0x00	R/W
0x18	OFFSET_HB	[7:0]	USER_OFFSET[15:8]								0x00	R/W
0x19	UNUSED1_LB	[7:0]	UNUSED1[7:0]								0x00	R/W
0x1A	UNUSED1_MB	[7:0]	UNUSED1[15:8]								0x00	R/W
0x1B	UNUSED1_HB	[7:0]	UNUSED1[23:16]								0x00	R/W
0x1C	GAIN_LB	[7:0]	USER_GAIN[7:0]								0x00	R/W
0x1D	GAIN_HB	[7:0]	USER_GAIN[15:8]								0x80	R/W
0x1E	UNUSED2_LB	[7:0]	UNUSED2[7:0]								0x00	R/W
0x1F	UNUSED2_HB	[7:0]	UNUSED2[15:8]								0x80	R/W
0x20	MODES	[7:0]	LANE_MD		CLK_MD		DDR_MD	OUT_DATA_MD			0x00	R/W
0x21	OSCILLATOR	[7:0]	OSC_LIMIT				OSC_DIV			0x00	R/W	
0x22	IO	[7:0]	RESERVED						IO2X	0x00	R/W	
0x23	TEST_PAT_BYTE0	[7:0]	TEST_DATA_PAT[7:0]								0x0F	R/W
0x24	TEST_PAT_BYTE1	[7:0]	TEST_DATA_PAT[15:8]								0x0F	R/W
0x25	TEST_PAT_BYTE2	[7:0]	TEST_DATA_PAT[23:16]								0x5A	R/W
0x26	TEST_PAT_BYTE3	[7:0]	TEST_DATA_PAT[31:24]								0x5A	R/W
0x34	DIG_DIAG	[7:0]	POWERUP_CO MPLETED	RESET_OC CURRED	RESERVED				FUSE_CR C_EN	0x40	R/W	
0x35	DIG_ERR	[7:0]	RESERVED						FUSE_CR C_ERR	0x00	R/W	

レジスタの詳細

インターフェース設定 A レジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

インターフェースの設定値。

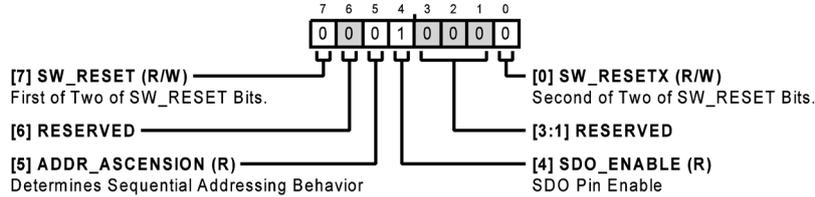


表 17. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つの SW_RESET ビットの 1 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0 : ストリーミング時、アクセスされるアドレスはデータ・バイトごとに 1 ずつデクリメントします。 1 : 有効なオプションではありません。	0x0	R
4	SDO_ENABLE	SDO ピン・イネーブル。	0x1	R
[3:1]	RESERVED	予約済み。	0x0	R
0	SW_RESETX	2つの SW_RESET ビットの 2 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W

インターフェース設定 B レジスタ

アドレス : 0x01、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_B

追加のインターフェース設定値。

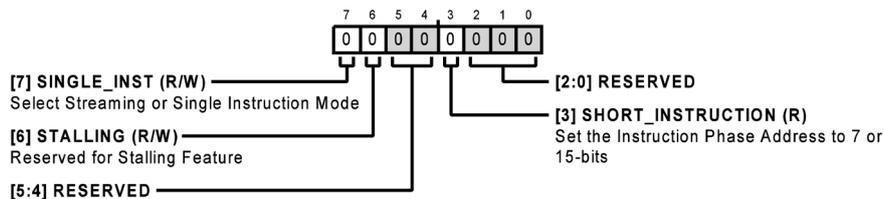


表 18. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーム・モードまたは単一命令モードを選択します。 0 : ストリーミング・モードがイネーブルになります。連続するデータ・バイトを受信するごとに、アドレスがデクリメントされます。 1 : 単一命令モードがイネーブルになります。	0x0	R/W
6	STALLING	ストーリング機能用に予約。	0x0	R/W
[5:4]	RESERVED	予約済み。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを 7 ビットまたは 15 ビットに設定します。 0 : 15 ビットのアドレス指定 1 : 7 ビットのアドレス指定	0x0	R
[2:0]	RESERVED	予約済み。	0x0	R

レジスタの詳細

デバイス設定レジスタ

アドレス : 0x02、リセット : 0x00、レジスタ名 : DEVICE_CONFIG

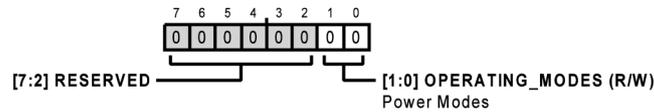


表 19. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	OPERATING_MODES	電力モード。 00 : 通常動作モード。 11 : シャットダウン・モード。	0x0	R/W

チップ・タイプ・レジスタ

アドレス : 0x03、リセット : 0x07、レジスタ名 : CHIP_TYPE

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズ製品ファミリーを識別するために用います。目的の製品を一意に識別するにはチップ・タイプと製品 ID を使用してください。

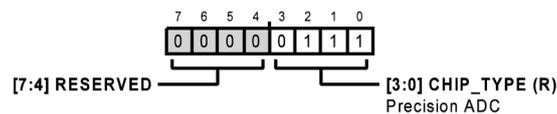


表 20. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 ADC。	0x7	R

製品 ID ロー・レジスタ

アドレス : 0x04、リセット : 0x00、レジスタ名 : PRODUCT_ID_L

製品 ID の下位バイト。

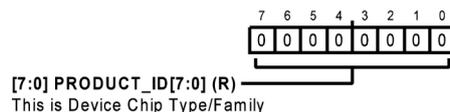


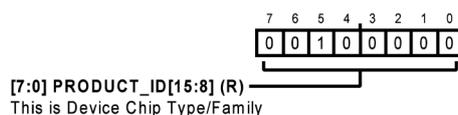
表 21. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	これはデバイスのチップ・タイプ／ファミリーです。製品を識別するには、製品 ID とチップ・タイプを使用してください。	0x0	R

製品 ID ハイ・レジスタ

アドレス : 0x05、リセット : 0x20、レジスタ名 : PRODUCT_ID_H

製品 ID の上位バイト。



レジスタの詳細

表 22. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	これはデバイスのチップ・タイプ／ファミリです。製品を識別するには、製品 ID とチップ・タイプを使用してください。	0x20	R

チップ・グレード・レジスタ

アドレス：0x06、リセット：0x81、レジスタ名：CHIP_GRADE

製品のバリエーションとデバイスのリビジョンを識別します。

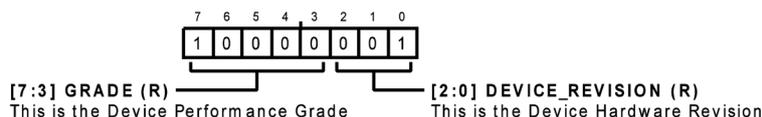


表 23. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	GRADE	デバイス性能のグレードです。 ADAQ4224 : 0b11100	0x1E	R
[2:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョンです。	0x1	R

スクラッチ・パッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

このレジスタを使用して書き込みや読み出しをテストできます。

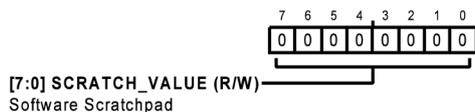


表 24. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

SPI リビジョン・レジスタ

アドレス：0x0B、リセット：0x81、レジスタ名：SPI_REVISION

SPI リビジョンを示します。

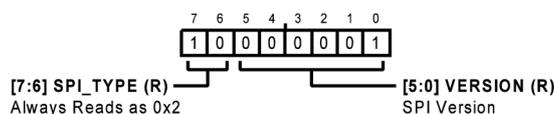


表 25. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	常に 0x2 として読み出されます。	0x2	R
[5:0]	VERSION	SPI (後工程) のバージョン。	0x1	R

レジスタの詳細

ベンダ ID ロー・レジスタ

アドレス : 0x0C、リセット : 0x56、レジスタ名 : VENDOR_L

ベンダ ID の下位バイト。

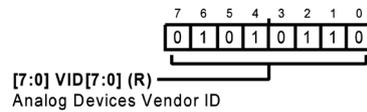


表 26. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダ ID。	0x56	R

ベンダ ID ハイ・レジスタ

アドレス : 0x0D、リセット : 0x04、レジスタ名 : VENDOR_H

ベンダ ID の上位バイト。

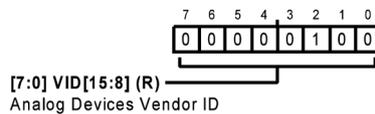


表 27. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイセズのベンダ ID。	0x4	R

ストリーム・モード・レジスタ

アドレス : 0x0E、リセット : 0x00、レジスタ名 : STREAM_MODE

データのストリーミング時のループ長を定義します。

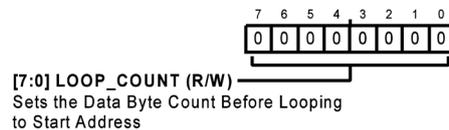


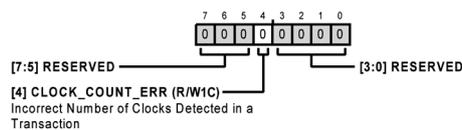
表 28. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	開始アドレスにループするまでのデータ・バイト・カウントを設定。 ADAQ4216 ではイネーブルされません。	0x0	R/W

インターフェース・ステータス A レジスタ

アドレス : 0x11、リセット : 0x00、レジスタ名 : INTERFACE_STATUS_A

ステータス・ビットが 1 にセットされていると、アクティブ状態であることを示しています。ステータス・ビットは対応するビット位置に 1 を書き込むことでクリアできます。



レジスタの詳細

表 29. INTERFACE_STATUS_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	CLOCK_COUNT_ERR	0 = エラーなし。 1 = トランザクションで誤った数のクロックを検出。クリアするには 1 を書き込みます。	0x0	R/W1C
[3:0]	RESERVED	予約済み。	0x0	R

設定モード終了レジスタ

アドレス : 0x14、リセット : 0x00、レジスタ名 : EXIT_CFG_MD

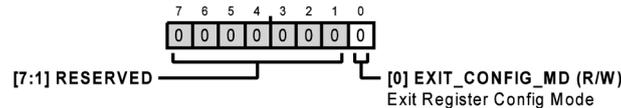


表 30. EXIT_CFG_MD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	EXIT_CONFIG_MD	レジスタ設定モードを終了。レジスタ設定モードを終了するには 1 を書き込みます。CS = 1 になると自動クリアされます。	0x0	R/W

平均化モード・レジスタ

アドレス : 0x15、リセット : 0x00、レジスタ名 : AVG

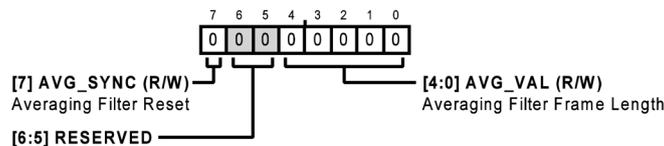


表 31. AVG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AVG_SYNC	平均化フィルタ・リセット。1 = リセット、自動クリア。	0x0	R/W
[6:5]	RESERVED	予約済み。	0x0	R
[4:0]	AVG_VAL	平均化フィルタのフレーム長、 2^N 。 0x00 = 平均化なし。平均モードには 0x01~0x10 のみを使用。 0x01 = 2^1 サンプル。 0x02 = 2^2 サンプル。 0x03 = 2^3 サンプル。 0x04 = 2^4 サンプル。 0x05 = 2^5 サンプル。 ... 0x0F = 2^{15} サンプル。 0x10 = 2^{16} サンプル。 0x11~0x1F = 無効。	0x0	R/W

オフセット・レジスタ

アドレス : 0x17、リセット : 0x00、レジスタ名 : OFFSET_LB



レジスタの詳細

表 32. OFFSET_LB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[7:0]	16 ビットのオフセット。2 の補数（符号付き）。 $1LSB = \frac{V_{REF}}{2^{15}} / GAIN$	0x0	R/W

アドレス : 0x18、リセット : 0x00、レジスタ名 : OFFSET_HB



表 33. OFFSET_HB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_OFFSET[23:16]	16 ビットのオフセット。2 の補数（符号付き）。 $1LSB = \frac{V_{REF}}{2^{15}} / GAIN$	0x0	R/W

ゲイン・レジスタ

アドレス : 0x1C、リセット : 0x00、レジスタ名 : GAIN_LB

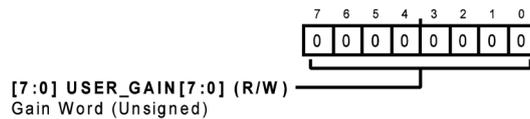


表 34. GAIN_LB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_GAIN[7:0]	ゲイン・ワード（符号なし）。複数出力 = 入力 × ゲイン・ワード / 0x8000。 最大実効ゲイン = 0xFFFF / 0x8000 = 1.99997。	0x0	R/W

アドレス : 0x1D、リセット : 0x80、レジスタ名 : GAIN_HB

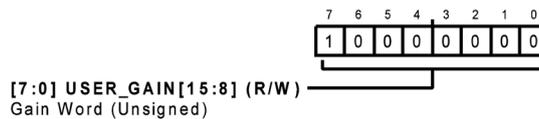
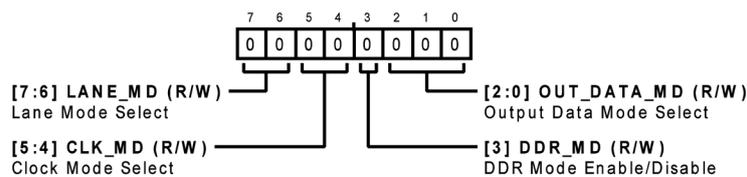


表 35. GAIN_HB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_GAIN[15:8]	ゲイン・ワード（符号なし）。複数出力 = 入力 × ゲイン・ワード / 0x8000。 最大実効ゲイン = 0xFFFF / 0x8000 = 1.99997。	0x80	R/W

モード・レジスタ

アドレス : 0x20、リセット : 0x00、レジスタ名 : MODES



レジスタの詳細

表 36. MODES のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	LANE_MD	レーン・モードの選択。 00 = 1 レーン。 01 = 2 レーン。 10 = 4 レーン。 11 = 無効な設定。	0x0	R/W
[5:4]	CLK_MD	クロック・モードの選択。 00 = SPI クロック・モード。 01 = エコー・クロック・モード。 10 = ホスト・クロック・モード。 11 = 無効な設定。	0x0	R/W
3	DDR_MD	DDR モードのイネーブル/ディスエーブル。 0 = SDR。 1 = DDR (エコー・クロック・モードおよびホスト・クロック・モードでのみ有効)。	0x0	R/W
[2:0]	OUT_DATA_MD	出力データ・モードの選択。 000 = 16 ビット差動データ。 001 = 16 ビット差動データ + 8 ビット・コモンモード・データ。 010 = 不使用。 011 = 30 ビット平均化差動データ + OR ビット + SYNC ビット。 100 = 32 ビット・テスト・データ・パターン (TEST_DATA_PAT)。	0x0	R/W

内部発振器レジスタ

アドレス : 0x21、リセット : 0x00、レジスタ名 : OSCILLATOR

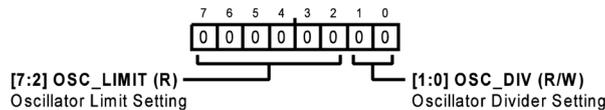


表 37. OSCILLATOR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	OSC_LIMIT	発振器制限の設定値。発振器は、クロック・パルス数に 1 を加えた数に制限されます。データ・ワード・サイズ、アクティブな SDO レーンの数、データ・レート・モード (SDR または DDR) に基づき ADAQ4216 が自動で計算します。	0x0	R
[1:0]	OSC_DIV	発振器分周器の設定値。 00 = 分周なし (1 分周)。 01 = 2 分周。 10 = 4 分周。 11 = 無効な設定。	0x0	R/W

出力ドライバ・レジスタ

アドレス : 0x22、リセット : 0x00、レジスタ名 : IO

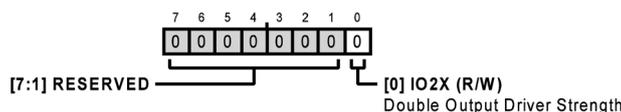


表 38. IO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	IO2X	ダブル出力ドライバ強度。 1 = ダブル出力ドライバ強度。 0 = 通常出力ドライバ強度。	0x0	R/W

レジスタの詳細

テスト・パターン・レジスタ

アドレス : 0x23、リセット : 0x0F、レジスタ名 : TEST_PAT_BYTE0

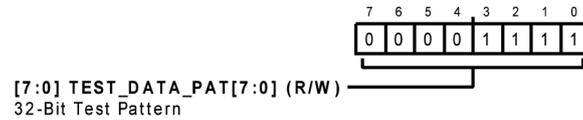


表 39. TEST_PAT_BYTE0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[7:0]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0xF	R/W

アドレス : 0x24、リセット : 0x0F、レジスタ名 : TEST_PAT_BYTE1



表 40. TEST_PAT_BYTE1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[15:8]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0xF	R/W

アドレス : 0x25、リセット : 0x5A、レジスタ名 : TEST_PAT_BYTE2



表 41. TEST_PAT_BYTE2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[23:16]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0x5A	R/W

アドレス : 0x26、リセット : 0x5A、レジスタ名 : TEST_PAT_BYTE3



表 42. TEST_PAT_BYTE3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[31:24]	32 ビットのテスト・パターン。OUT_DATA_MD = 4 の場合に適用。	0x5A	R/W

レジスタの詳細

デジタル診断レジスタ

アドレス : 0x34、リセット : 0x40、レジスタ名 : DIG_DIAG

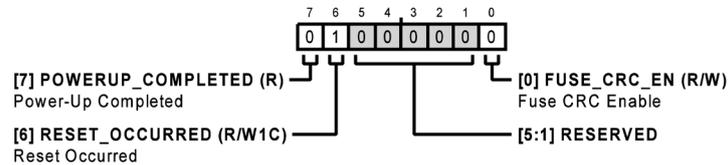


表 43. DIG_DIAG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	POWERUP_COMPLETED	1 = パワーアップ完了。自動クリア。	0x0	R
6	RESET_OCCURRED	リセット発生。リセットが発生すると、このビットが 1 にセットされます。クリアするには 1 を書き込みます (ブラウンアウト検出に役立ちます)。	0x1	R/W1C
[5:1]	RESERVED	予約済み。	0x0	R
0	FUSE_CRC_EN	ヒューズ CRC をイネーブル。1 を書き込むと、CRC の再チェックが実行されます。	0x0	R/W

デジタル・エラー・レジスタ

アドレス : 0x35、リセット : 0x00、レジスタ名 : DIG_ERR

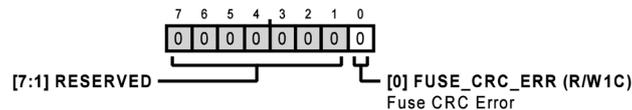


表 44. DIG_ERR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FUSE_CRC_ERR	ヒューズ CRC エラー。ヒューズ CRC エラーが発生すると、このビットが 1 にセットされます。クリアするには 1 を書き込みます。	0x0	R/W1C

外形寸法

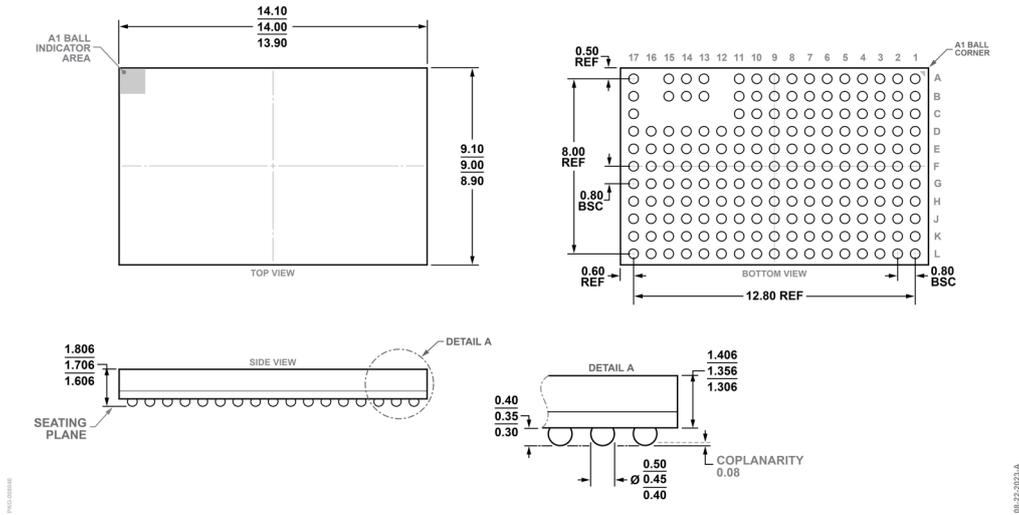


図 115. 178 ボール・チップ・スケール・パッケージ、ボール・グリッド・アレイ (BC-178-2)
寸法：mm

更新：2025年1月13日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADAQ4216BBCZ	-40°C to +105°C	178-Lead, BGA (14mm × 9mm × 0.8mm)	Tray, 0	BC-178-2

¹ Z = RoHS 準拠製品。

評価用ボード

Evaluation Board ¹	Description
EVAL-ADAQ4216-FMCZ	Evaluation Board

¹ Z = RoHS 準拠製品。