

プログラマブルなトランシスインピーダンスを 備えた電流／ビット変換レシーバ μModule

特長

- 以下の機能を備えた、高性能電流入力データ・アクリジション μModule
 - プログラマブル・ゲイン・トランシスインピーダンス・アンプ (PGTIA)
 - 完全差動アンプ (FDA)
 - プログラマブルなアナログ・ローパス・フィルタ (LPF)
 - 14 ビット 125MSPS の ADC
 - 選択可能な 3 つのゲイン
 - ADC 用 1.8V LDO を内蔵
- 小フォーム・ファクタ : 12.00mm × 6.00mm BGA
- 3.3V の単電源で動作
- 選択可能な PGTIA ゲインと 20ns 単パルス感度
 - $T_Z = 133\text{k}\Omega$ 、250nA~10μA
 - $T_Z = 11\text{k}\Omega$ 、1μA~100μA
 - $T_Z = 4.54\text{k}\Omega$ 、10μA~300μA
- オプションの外部電流分流回路により、最大 60mA の電流検出が可能
- 入力過負荷からの高速回復
- アナログ・フィルタによるノイズ除去およびアンチエイリアス・フィルタ処理
 - 1.0MHz と 100MHz の LPF 帯域幅を選択可能
- 低入力換算電流ノイズ : 3.5nA RMS
 - $T_Z = 133\text{k}\Omega$ 、1MHz アナログ・フィルタ
- サンプル・レートが最大 125MSPS の 14 ビット ADC
 - シリアル LVDS データ出力
 - シリアル・ペリフェラル・インターフェース (SPI) 制御
- 自己消費電力 : 546mW、LDO 有効化時
- 温度範囲 : -40°C~+85°C

アプリケーション

- Time of flight (ToF)
- 電流からビットへの変換
- レンジ・ファインダ
- 光ファイバ・センシング
- 光時間領域反射率測定 (OTDR)

概要

ADA4356 は、低ノイズ、広ダイナミック・レンジの電流入力 A/D コンバータ (ADC) μModule です。サイズが重要なアプリケーションにおいてスペースを節約できるよう、ADA4356 には、プログラマブルなゲインとフィルタ特性を備えたフル機能電流／ビット変換データ・アクリジション・ソリューションの実現に必要な、能動部品と受動部品がすべて内蔵されています。

ADA4356 の高速トランシスインピーダンス・アンプ (TIA) フロント・エンド・アンプは 20ns のパルス幅をサポートしているため、ToF 測定で高い空間分解能が得られ、また、大きな入力信号からの高速オーバードライブ回復を実現できます。ADA4356 では、プログラマブル TIA ゲイン用に、3 つの TIA 帰還抵抗値が選択可能です。

内蔵のアナログ・ローパス・フィルタは 100MHz または 1MHz のカットオフ周波数が可能であり、広帯域ノイズを低減すると共に、ADC 入力のアンチエイリアシング・フィルタとして機能します。低帯域幅の信号に対しては、1MHz のフィルタ構成を用いるとノイズを更に低減できます。

TIA およびフィルタ・ブロックに続いて、14 ビットのパイプライン ADC がアナログ信号を 125MSPS で変換し、各レーン最大 1GBPS で動作するシリアル接続された低電圧差動信号伝送 (LVDS) データ・レーン 2 つを介して、デジタル化された信号を出力します。データ・クロック出力 (DCO) は最大 500MHz の周波数で動作し、ダブル・データ・レート (DDR) 動作に対応しています。

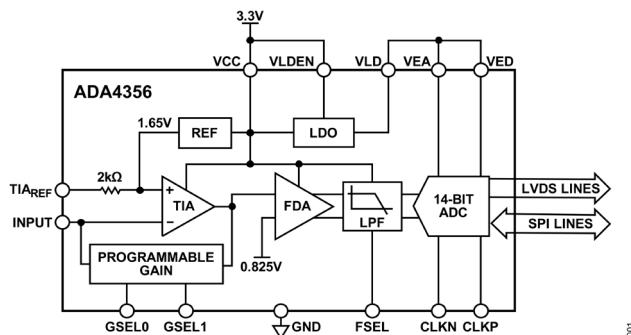


図 1. 簡略ブロック図

簡略アプリケーション回路図

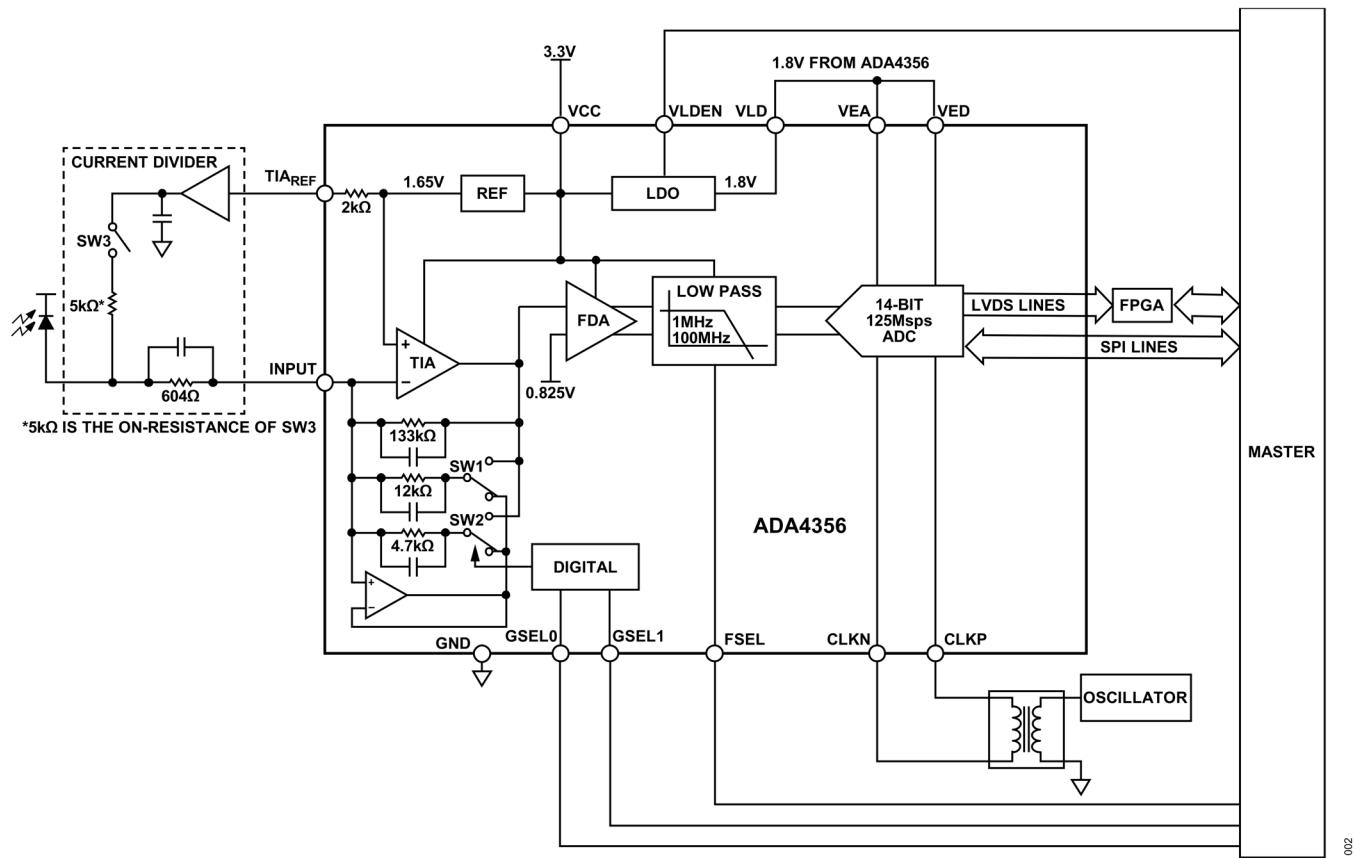


図2. 簡略アプリケーション・ブロック図

目次

特長	1
アプリケーション	1
概要	1
簡略アプリケーション回路図	2
改訂履歴	5
仕様	6
ADC の LVDS 出力タイミング図	14
絶対最大定格	18
熱抵抗	19
ESD に関する注意	19
ピン配置およびピン機能の説明	20
代表的な性能特性	22
等価回路	33
動作原理	34
アプリケーション情報	35
電源および電源制御	35
トランジスインピーダンス・アンプの入力	35
入力電流範囲の拡張	35
電流分流回路	36
AC グラウンド V_t	36
30mA の電流分流器の例	37
TIA _{REF} のバッファ処理要件	38
バッファの選択	38
抵抗の選択	38
コンデンサの選択	38
スイッチの選択	38
スイッチのオン抵抗	39
スイッチの電流制限	39
スイッチの容量	39
OTDR アプリケーション	39
クロック	40
入力クロック分周器	41
クロックのデューティサイクル	41
ジッタに関する考慮事項	42

クロック安定性に関する考慮事項	42
制御	43
トランジンピーダンス・ゲインおよび性能の制御	43
LDO イネーブル制御	43
LPF の帯域幅の選択	43
システム・データのインターフェースおよびタイミング	43
デジタル出力のコーディング	46
シリアル・ペリフェラル・インターフェース	49
SPI を使用する構成設定	49
ADC SPI のスタートアップ・シーケンス	49
ハードウェア・インターフェース	50
SPI からアクセスできる機能	50
メモリ・マップ	51
概要	51
オープンの位置	51
デフォルト値	51
ロジック・レベル	51
メモリ・マップ・レジスタ表	51
メモリ・マップ・レジスタの説明	54
PCB 設計のコツ	59
熱設計に関する推奨事項	59
表面実装設計	59
外形寸法	60
オーダー・ガイド	60

改訂履歴

版数	改訂日	説明	改訂ページ
0	10/25	初版発行	-

仕様

表 1. 性能仕様

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ 、LDO 有効 (図 3 の電源接続図を参照)、 $\text{FSEL} = 0$ 、信号源キャパシタンス (C_S) = 0.5pF_\circ 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT						
Input Referred Current Noise, $C_S = 5\text{pF}$	i_N	$T_Z = 4.54\text{k}\Omega^1$		68		nA rms
		$T_Z = 11\text{k}\Omega^2$		33		nA rms
		$T_Z = 133\text{k}\Omega$		8.4		nA rms
		$T_Z = 133\text{k}\Omega$, $\text{FSEL} = 1$		3.5		nA rms
		$T_Z = 4.54\text{k}\Omega$, 65,536 averages		270		pA rms
		$T_Z = 11\text{k}\Omega$, 65,536 averages		130		pA rms
		$T_Z = 133\text{k}\Omega$, 65,536 averages		31		pA rms
		$T_Z = 133\text{k}\Omega$, $\text{FSEL} = 1$, 65,536 averages		14		pA rms
Equivalent Voltage Noise at Output, $C_S = 5\text{pF}$	V_N	$T_Z = 4.54\text{k}\Omega$		310		$\mu\text{V rms}$
		$T_Z = 11\text{k}\Omega$		363		$\mu\text{V rms}$
		$T_Z = 133\text{k}\Omega$		1.11		mV rms
		$T_Z = 133\text{k}\Omega$, $\text{FSEL} = 1$		0.465		mV rms
Input Voltage	V_{IN}			1.65		V
Noninverting TIA internal reference voltage	$\text{TIA}_{\text{REF}}^3$	No load		1.65		V
Input Bias Current	I_B			± 1		nA
Linear Input Current Range	I_{IN}	$T_Z = 4.54\text{k}\Omega$		+3 to +300		μA
		$T_Z = 11\text{k}\Omega$		+1 to +100		μA
		$T_Z = 133\text{k}\Omega$		+0.1 to +10		μA
T_Z Gain Accuracy	$\Delta T_Z/T_Z$	All gains		± 1	± 5	%
Input Capacitance	C_{IN}			2		pF
ADC Input Bias Voltage	V_{BIAS}	$I_{IN} = 0\mu\text{A}$, all gains ³		825		mV
AC PERFORMANCE						

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ 、LDO 有効 (図 3 の電源接続図を参照) 、 $\text{FSEL} = 0$ 、信号源キャパシタンス (C_S) = 0.5pF 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Referred Supply Sensitivity		All gains		0.5		nA/mV
TIA Bandwidth	TIA_{BW}	$T_Z = 4.54\text{k}\Omega$		38		MHz
		$T_Z = 11\text{k}\Omega$		22		MHz
		$T_Z = 133\text{k}\Omega$		3.5		MHz
LPF Bandwidth	LPF_{BW}	$\text{FSEL} = 0$		100		MHz
		$\text{FSEL} = 1$		1		MHz

ADC PERFORMANCE

ADC Internal Reference Voltage	V_{REF}		0.98	1	1.02	V
Resolution	N		14			Bits
Sampling Rate	F_S		20		125	MSPS
No Missing Code				Guaranteed		

DIGITAL OUTPUTS, ANSI-644

Logic Compliance				LVDS		
Differential Output Voltage	V_{OD}		290	345	400	mV
Output Offset Voltage	V_{OS}		1.15	1.25	1.35	V
Output Coding (Default)				Two's complement		

TEMPERATURE

Operation Temperature Range			-40		+85	°C
-----------------------------	--	--	-----	--	-----	----

¹ $T_Z = 4.54\text{k}\Omega$ は、 $4.7\text{k}\Omega \parallel 133\text{k}\Omega$ 。

² $T_Z = 11\text{k}\Omega$ は、 $12\text{k}\Omega \parallel 133\text{k}\Omega$ 。

³ 図 2 参照。

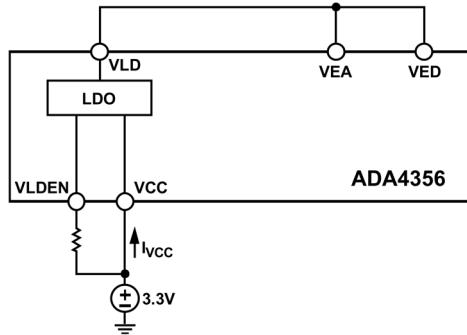
表 2. 電源仕様

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ および $V_{CC} = 3.3\text{V}$ 。VEA および VED は内部 ADC の 1.8V 電源レール（図 3 参照）、VLD は内蔵の 1.8V LDO 出力。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
VCC Range	V_{CC}		3.1	3.3	3.6	V
VCC Current	I_{VCC}	LDO enabled ¹		165		mA
		LDO disabled ²		72		mA
ADC Digital Circuit Supply	V_{ED}	LDO disabled ²		$1.8 \pm 5\%$		V
VED Current	I_{VED}			47		mA
ADC Analog Circuit Supply	V_{EA}	LDO disabled ²		$1.8 \pm 5\%$		V
VEA Current	I_{VEA}			47		mA
On-Chip LDO Output	V_{LD}	LDO enabled ¹		1.8		V
Quiescent Power	P_Q	LDO enabled ¹		546		mW
		LDO disabled ²		406		mW
		ADC power-down mode		238		mW
		ADC standby mode		322		mW

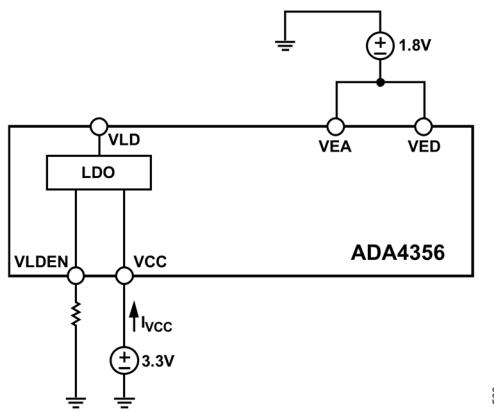
¹ 図 3 参照。

² 図 4 参照。



63

図 3. オンチップ LDO 有効化



500

図 4. オンチップ LDO 無効化

表 3. CLK、SPI、制御の仕様

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ 、LDO 有効化 (図 3 の電源接続図を参照)。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUTS (CLKP AND CLKN)						
External Clock Frequency			10		1000	MHz
Conversion Rate			10		125	MSPS
Logic Compliance				MOS, LVDS, VPECL		
Differential Input Voltage		For LVDS and LVPECL	0.2		3.6	Vp-p
Input Voltage Range			GND – 0.2		VEA + 0.2	V
Input Common-Mode Voltage	V_{CM}			0.9		V
Input Resistance (Differential)	$R_{IN,CLK}$			15		k Ω
Input Capacitance	$C_{IN,CLK}$			4		pF
SPI CLOCK						
SCLK Frequency					25	MHz
SPI INPUTS (SCLK, CS, AND SDIO)						
Input High Voltage	V_{INH}		1.2		VEA + 0.2	V
Input Low Voltage	V_{INL}		0		0.8	V
SCLK Input Resistance	$R_{IN,SCLK}$			30		k Ω
SCLK Input Capacitance	$C_{IN,SCLK}$			2		pF
\overline{CS} Input Resistance	$R_{IN,CS}$			26		k Ω
\overline{CS} Input Capacitance	$C_{IN,CS}$			2		pF

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ 、LDO 有効化 (図3の電源接続図を参照)。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SDIO Input Resistance	$R_{IN,SDIO}$			26		$\text{k}\Omega$
SDIO Input Capacitance	$C_{IN,SDIO}$			5		pF
SPI OUTPUT (SDIO)						
Logic 1 Output Voltage	V_{OH}	High output current (I_{OH}) = $800\mu\text{A}$		1.79		V
Logic 0 Output Voltage	V_{OL}	Low output current (I_{OL}) = $50\mu\text{A}$			0.05	V
OTHER CONTROL INPUTS (GSEL0, GSEL1, FSEL, AND VL DEN)						
Input High Voltage	V_{INH}		2		V_{CC}	V
Input Low Voltage	V_{INL}		0		0.4	V
Input Low Current	I_{INL}	Input voltage (V_{IN}) = V_{INL}		40		nA
Input High Current	I_{INH}	Input voltage (V_{IN}) = V_{INH}		40		nA
Input Capacitance	$C_{IN,SEL}$			2		pF

表 4. ADC の SPI タイミング要件

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ および $V_{CC} = 3.3\text{V}$ 。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SPI TIMING REQUIREMENTS (See <i>Figure 5</i> , unless otherwise noted)						
Setup Time	t_{DS}	Between the data and the rising edge of SCLK	2			ns
Hold Time	t_{DH}	Between the data and the rising edge of SCLK	2			ns
SCLK Period	t_{CLK}		40			ns
Setup Time	t_s	Between \overline{CS} and SCLK	2			ns
Hold Time	t_H	Between \overline{CS} and SCLK	2			ns
SCLK	t_{HIGH}	Pulse width high	10			ns
	t_{LOW}	Pulse width low	10			ns
SDO Switching ¹	t_{EN_SDIO}	SDIO switch time from input to output relative to the SCLK falling edge	10			ns
SDO Switching ¹	t_{DIS_SDIO}	SDIO switch time output to input relative to the SCLK rising edge	10			ns

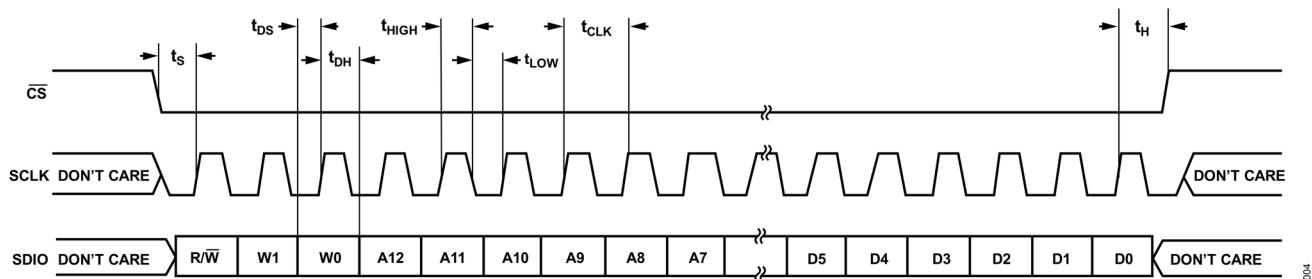
¹ このパラメータは *図 5* には示されていません。

図 5. シリアル・ポート・インターフェースのタイミング図

表 5. ADC の LVDS 出力仕様^{1,2}

(特に指定のない限り、全温度範囲。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK³						
Input Rate			10		1000	MHz
Conversion Rate ⁴	f_{conv}		10		125	MSPS
Pulse Width	t_{EH}	High		6.25 to 4.0		ns
	t_{EL}	Low		6.25 to 4.0		ns
OUTPUT PARAMETERS³						
Propagation Delay	t_{PD}		1.5	2.3	3.1	ns
Rise Time ⁵	t_R	20% to 80%		300		ps
Fall Time ⁵	t_F	80% to 20%		300		ps
Frame Clock Output (FCO) Propagation Delay	t_{FCO}		1.5	2.3	3.1	ns
DCO Propagation Delay ⁶	t_{CPD}			$t_{FCO} + (t_{SAMPLE}/16)$		ns
DCO to Data Delay ⁶	t_{DATA}		$(t_{SAMPLE}/16) - 300$	$t_{SAMPLE}/16$	$(t_{SAMPLE}/16) + 300$	ps
DCO to FCO Delay ⁶	t_{FRAME}		$(t_{SAMPLE}/16) - 300$	$t_{SAMPLE}/16$	$(t_{SAMPLE}/16) + 300$	ps
Lane Delay	t_{LD}			90		ps
Data to Data Skew ⁵	$t_{DATA-MAX} - t_{DATA-MIN}$			± 50	± 200	ps
Wake-Up Time		Standby, 25°C		250		ns
		Power-down, 25°C		375		μs
Pipeline Latency				16		Clock Cycles
APERTURE						
Aperture Delay	t_A	25°C		1		ns
Aperture Uncertainty (Jitter) ⁵	t_J	25°C		174		fs rms

(特に指定のない限り、全温度範囲。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Out-of-Range Recovery Time		25°C		1		Clock Cycles

¹ 定義およびこれらのテストの実施方法の詳細については、アプリケーション・ノート、AN-835：高速 A/D コンバータ (ADC) のテストと評価についてを参照してください。

² これらのパラメータは標準的な FR4 材料で測定しています。

³ クロックは SPI を通じて調整できます。

⁴ 変換レートは、分周器後のクロック・レートです。2 レーン動作に対し有効です。

⁵ このパラメータは、図 6～図 11 には示されていません。

⁶ $t_{\text{SAMPLE}/16}$ は、2 つの LVDS データ・レーンでのビット数に基づいています。 $t_{\text{SAMPLE}} = 1/f$ 。

ADC の LVDS 出力タイミング図

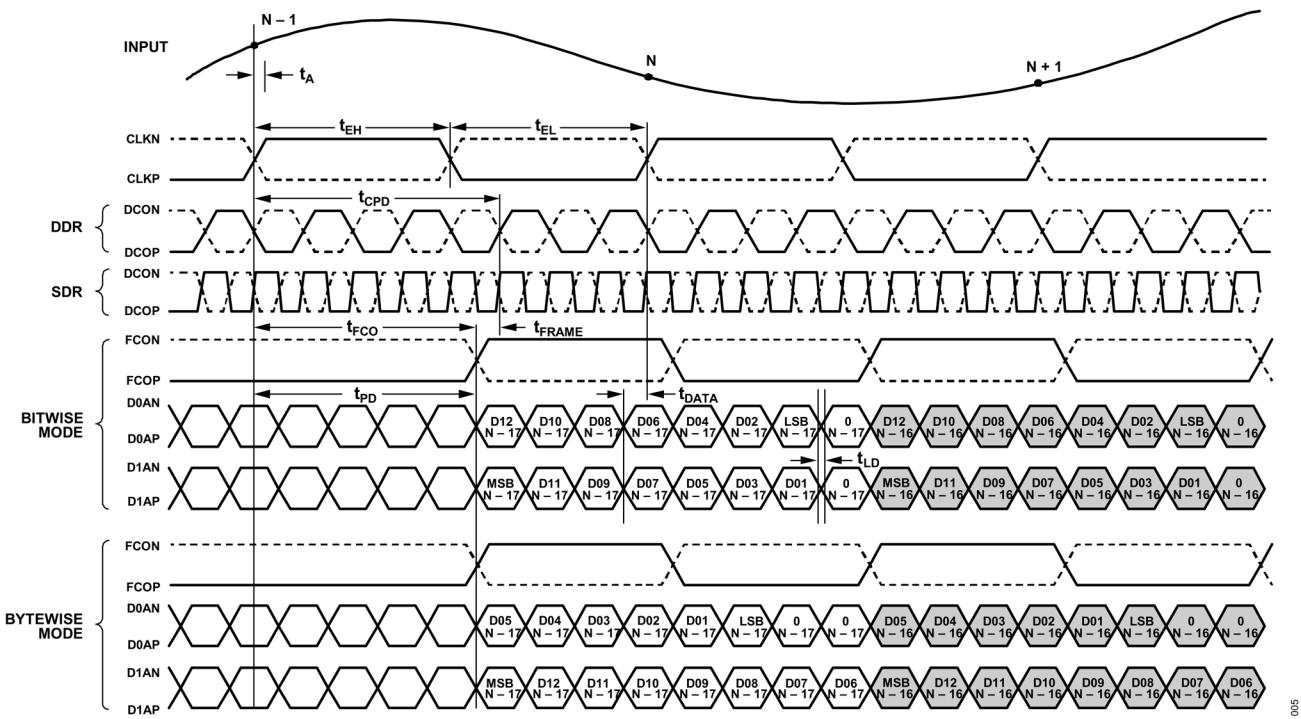
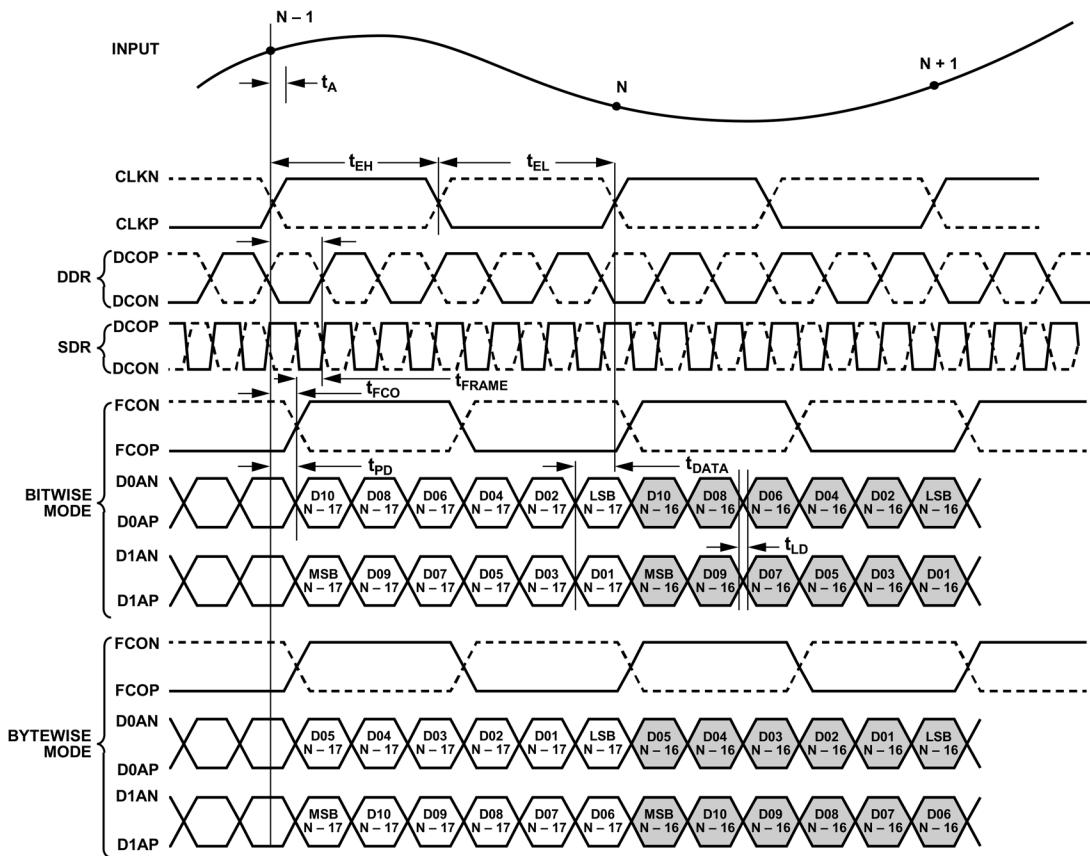


図 6. 16 ビット DDR／シングル・データ・レート (SDR)、2 レーン、1×フレーム・モード (デフォルト)



203

図 7.12 ビット DDR/SDR、2 レーン、1x フレーム・モード

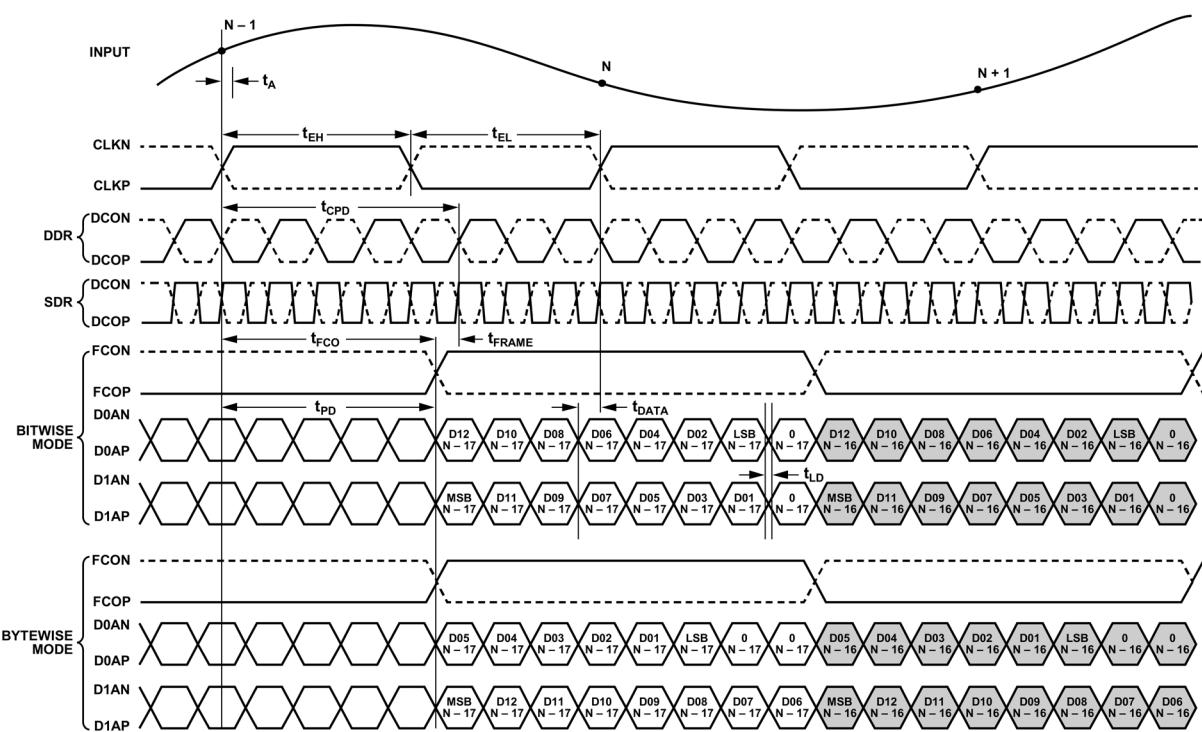


図 8.16 ビット DDR/SDR、2 レーン、2x フレーム・モード

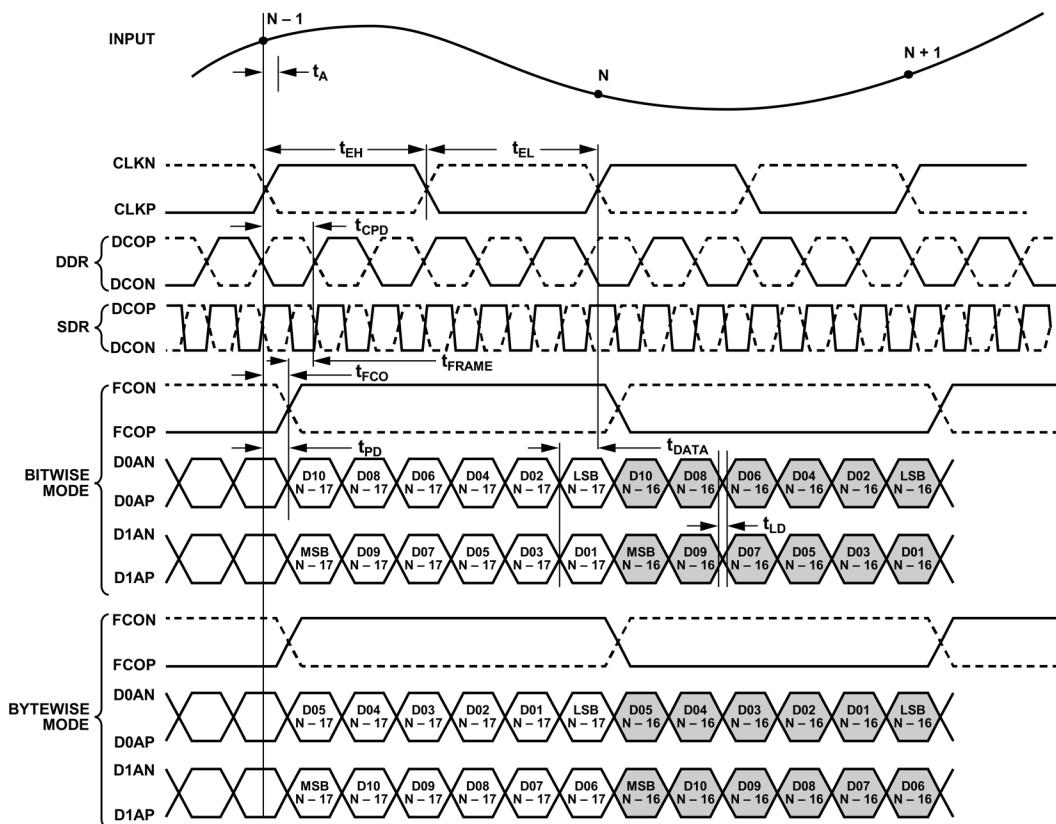


図 9.12 ビット DDR/SDR、2 レーン、2x フレーム・モード

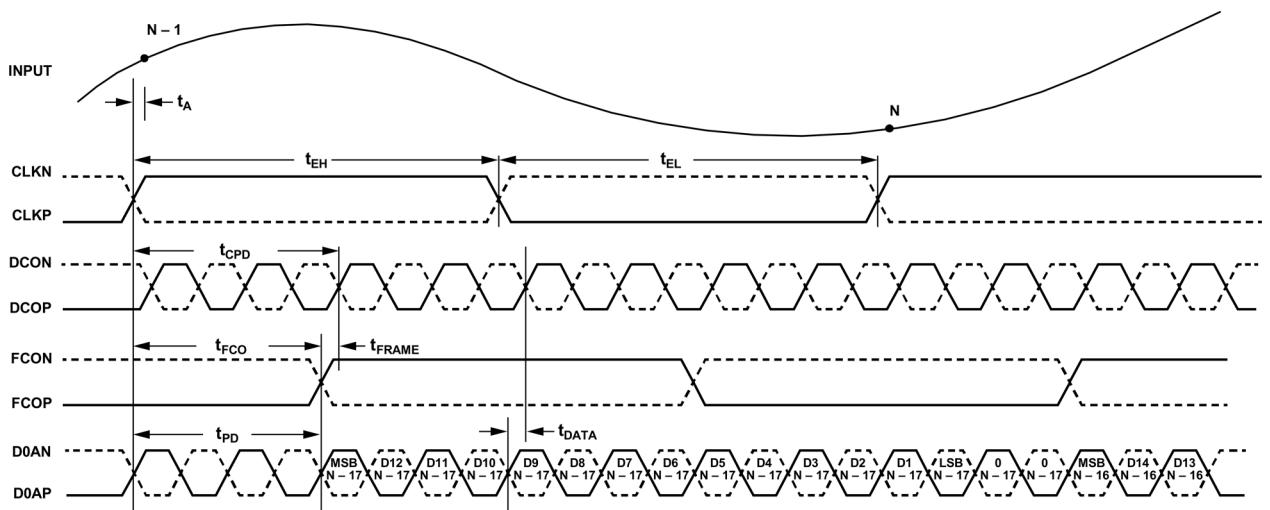


図 10. ワード幅 DDR、1 レーン、1×フレーム、16 ビット出力モード

206

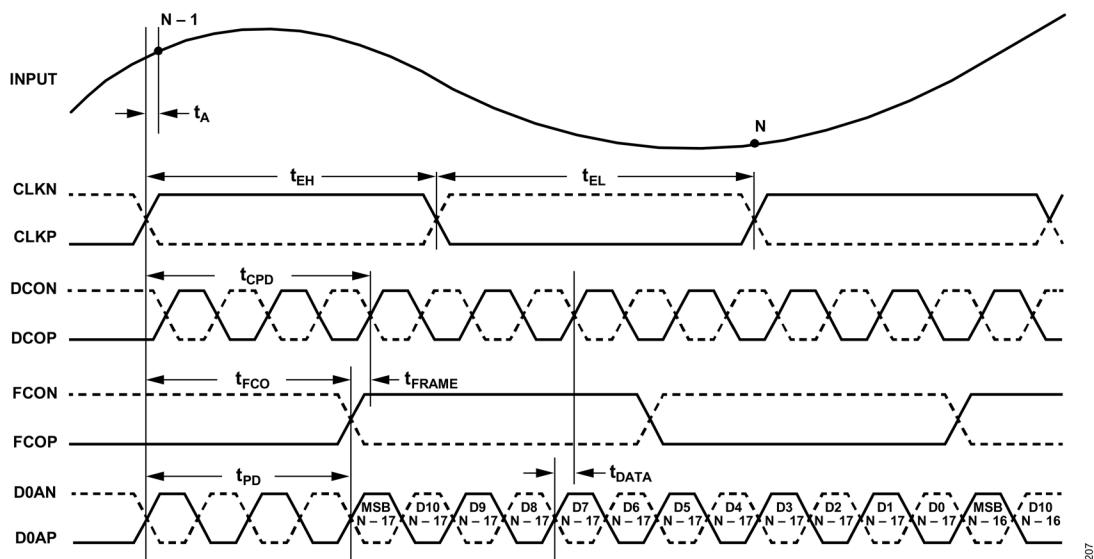


図 11. ワード幅 DDR、1 レーン、1×フレーム、12 ビット出力モード

207

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6. 絶対最大定格

PARAMETER	RATING
V_{CC} to GND	-0.3V to +4.0V
V_{EA} , V_{ED} to GND	-0.3V to +2.0V
V_{LD} to GND	-0.3V to V_{CC}
CLK_P , CLK_N , SPI ¹ to GND	-0.3V to +2.0V
INPUT to GND	-0.2V to $V_{CC} + 0.2V$
Analog Input Current	40mA
Control ² to GND	-0.3V to $V_{CC} + 0.3V$ or 1mA, whichever occurs first
Digital Output ³ to GND	-0.3V to +2.0V
Environmental Temperature	
Storage Range (Ambient)	-65°C to +125°C
Maximum Junction	+125°C
Assemble (Soldering, 10sec)	300°C
Electrostatic Discharge (ESD)	
Human Body Model, INPUT (Ball E1) and $T_{IA_{REF}}$ (Ball F1) Balls	500V
Human Body Model, All Other Balls	3000V
Field Induced Charge Device Model (FICDM)	1250V

¹ SCLK、SDIO、 \overline{CS} を含みます。

² FSEL、GSEL1、GSEL0、VLDEN を含みます。

³ D0AP、D0AN、D1AP、D1AN、DCOP、DCON、FCOP、FCON を含みます。

上記の**絶対最大定格**を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 7 に仕様規定した熱抵抗値は、標準的な JEDEC の仕様に基づいて計算されたものです。

表 7. 热抵抗

PACKAGE TYPE	Θ_{JA}	Θ_{JC_TOP}	Ψ_{JT}	UNIT
BC-84-4	52.6	22.0	17.7	°C/W

記載されているすべてのテスト条件が同じ場合は、 Θ_{JA} と Θ_{JC_TOP} のみを用いて、デバイスのパッケージの熱性能を他の半導体パッケージと比較できます。よくある間違いは、 Θ_{JA} と Θ_{JC} を用いてシステム環境でのジャンクション温度を推算することです。システム環境において最も厳しいケースのデバイスのジャンクション温度を推算するには、代わりに Ψ_{JT} を用いた方が適切です。まず、デバイスがシステム環境で動作している間に、デバイスの上部中央（この場合はモールド化合物上）で正確な熱測定を行います。この測定値は、次式中の T_{TOP} として知られています。次に、この式を用いて、与えられた環境における最も厳しいケースの T_J を求めることができます。

$$T_J = \Psi_{JT} \times P + T_{TOP}$$

ここで、

Ψ_{JT} は、データシートで仕様規定されている、ジャンクションからケース上部への熱特性値。

P はチップ内の総消費電力 (W)。

T_{TOP} はパッケージ上部の温度 (°C) で、与えられた環境においてパッケージの上部中央で測定されます。

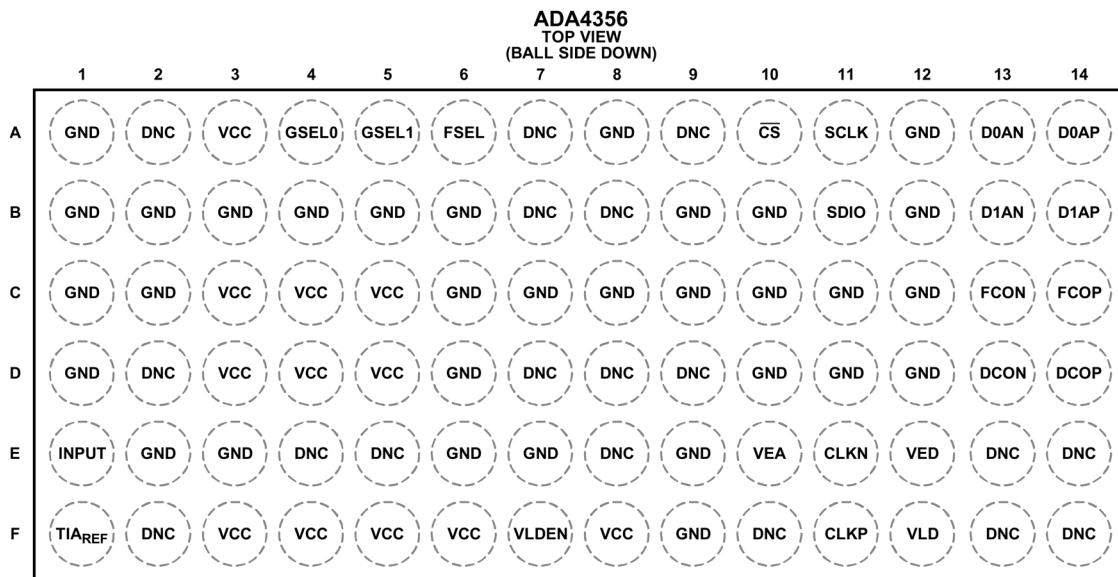
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES:

1. DO NOT CONNECT (DNC). THESE BALLS ARE RESERVED.

012

図 12. ボール配置

表 8. ボールの説明

ボール	名称	説明	タイプ
A1, A8, A12, B1, B2, B3, B4, B5, B6, B9, B10, B12, C1, C2, C6, C7, C8, C9, C10, C11, C12, D1, D6, D10, D11, D12, E2, E3, E6, E7, E9, F9	GND	グラウンド。	P ¹
A3, C3, C4, C5, D3, D4, D5, F3, F4, F5, F6, F8	VCC	3.3V 電源。	P ¹
E10	VEA	ADC への 1.8V アナログ電源。	P ¹
E12	VED	ADC への 1.8V デジタル電源。	P ¹
F1	TIA_REF	TIA の DC バイアス用 1.65V リファレンス電圧。 入力電流範囲の拡張 のセクションを参照してください。	AQ ²
F12	VLD	1.8V LDO 出力。内部 LDO から ADC に給電するには、VLD を VEA および VED に接続します。外部電源から ADC に給電する場合は、VLD をフローティング状態にします。VLD は外部回路には接続しないでください。	PO ³

ポート	名称	説明	タイプ
F7	VLDEN	VLD 出力の有効化。VLDEN = 1 にセットすると VLD 出力が有効になります。	DI ⁴
A6	FSEL	LPF 帯域幅の選択。FSEL により 100MHz (FSEL = 0) または 1.0MHz (FSEL = 1) の LPF 帯域幅が選択できます。	DI ⁴
A10	\overline{CS}	チップ・セレクト。 $\overline{CS} = 0$ にセットすると SPI モードが有効になります。 \overline{CS} には 15k Ω のプルアップ抵抗が内蔵されています。	DI ⁴
B11	SDIO	シリアル・データ入出力。SPI モード時に、SDIO は 31k Ω のプルダウン抵抗を内蔵する双方向 SPI データ入出力になります。	DIO ⁵
A11	SCLK	SPI モードでの SPI クロック入力。SCLK は 30k Ω のプルダウン抵抗を内蔵しています。	DI ⁴
D13, D14	DCON, DCOP	データ・クロック出力、差動 LVDS 信号。	DO ⁶
C13, C14	FCON, FCOP	フレーム・クロック出力、差動 LVDS 信号。	DO ⁶
B13, B14	D1AN, D1AP	レーン 1 デジタル出力、差動 LVDS 信号。	DO ⁶
A13, A14	D0AN, D0AP	レーン 0 デジタル出力、差動 LVDS 信号。	DO ⁶
F11, E11	CLKP, CLKN	ADC サンプリング・クロック入力、差動 LVDS 信号。	DI ⁴
A4, A5	GSEL0, GSEL1	TIA ゲインの選択。真理値表については表 11 を参照してください。	DI ⁴
E1	INPUT	アナログ入力。プログラマブル・ゲイン・トランシスタ・アンプ (PGTIA) への入力。	AI ⁷
A2, A7, A9, B7, B8, D2, D7, D8, D9, E4, E5, E8, E13, E14, F2, F10, F13, F14	DNC	接続しないでください。これらのポートは予約済みです。	N/A ⁸

¹ P は電源を表します。² AO はアナログ出力を表します。³ PO は電源出力を表します。⁴ DI はデジタル入力を表します。⁵ DIO はデジタル入出力を表します。⁶ DO はデジタル出力を表します。⁷ AI はアナログ入力を表します。⁸ N/A は該当なしを表します。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{CC}} = 3.3\text{V}$ 、平均化なし、LDO 有効化（図3の電源接続図を参照）。

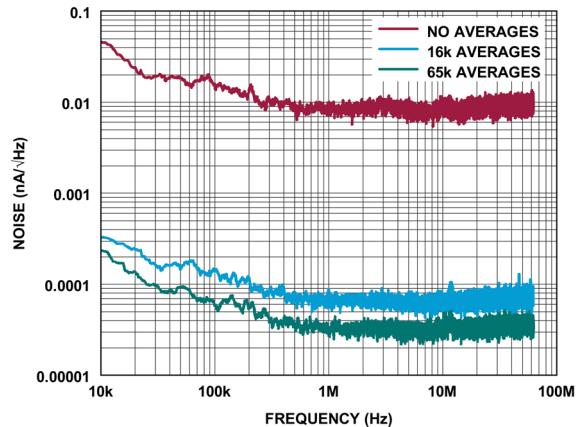


図 13. ノイズ・スペクトル密度、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

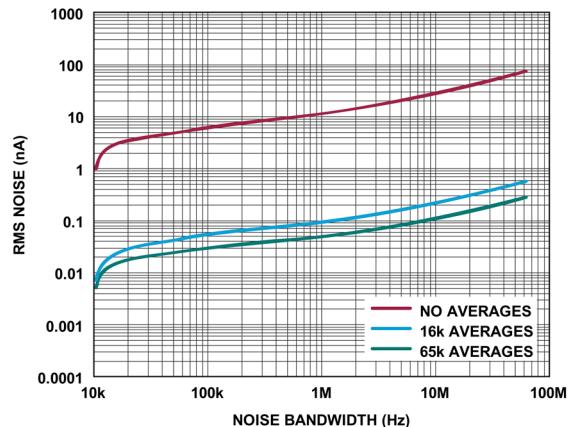


図 14. 実効値ノイズとノイズ帯域幅の関係、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

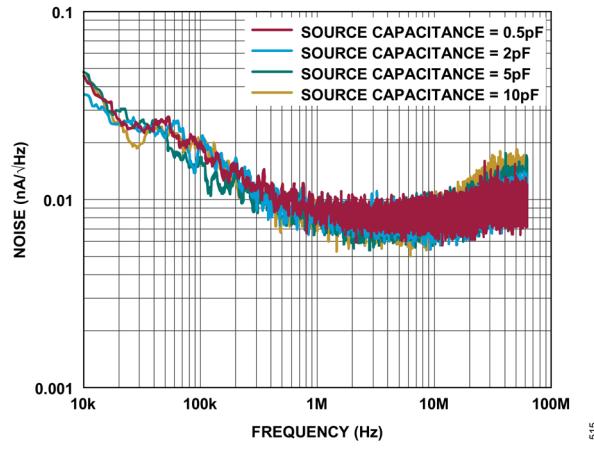


図 15. 様々な信号源キャパシタンスでのノイズ・スペクトル密度、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

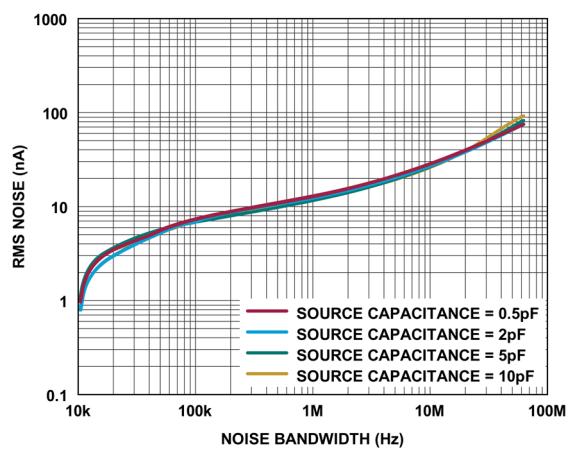


図 16. 様々な信号源キャパシタンスでの実効値ノイズとノイズ帯域幅の関係、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

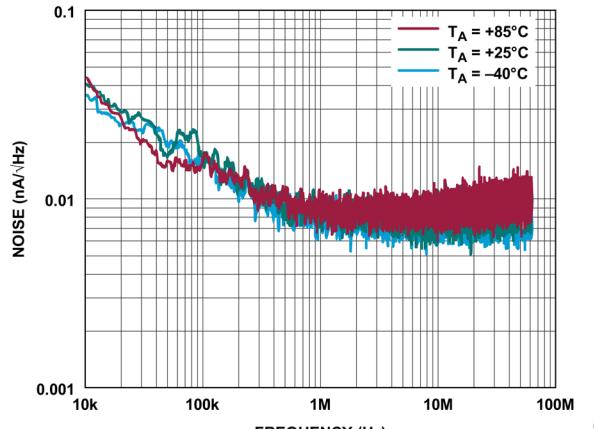


図 17. 様々な温度でのノイズ・スペクトル密度、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

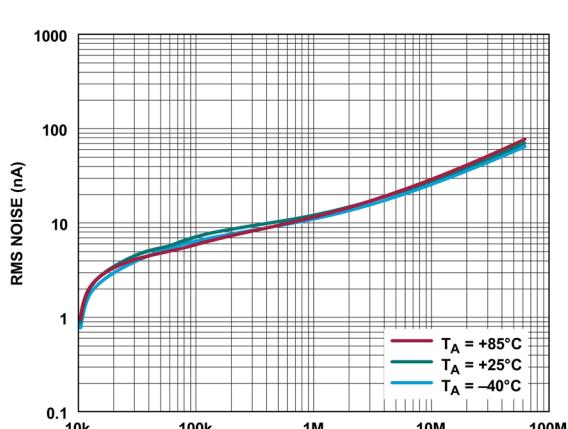
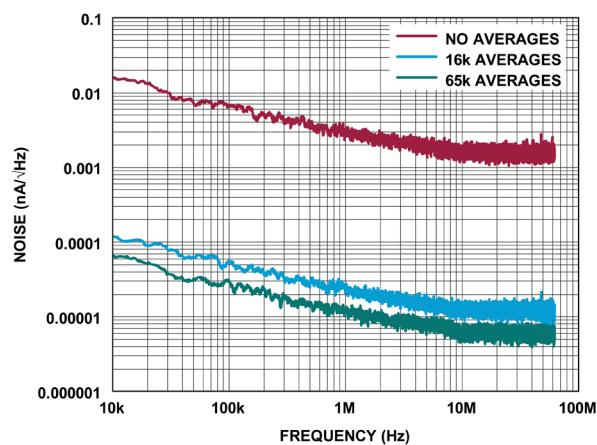
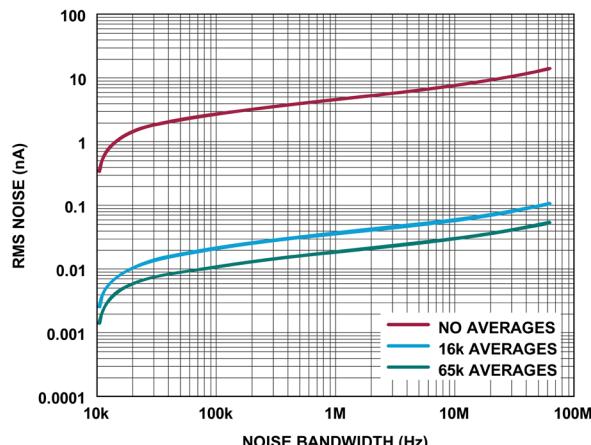


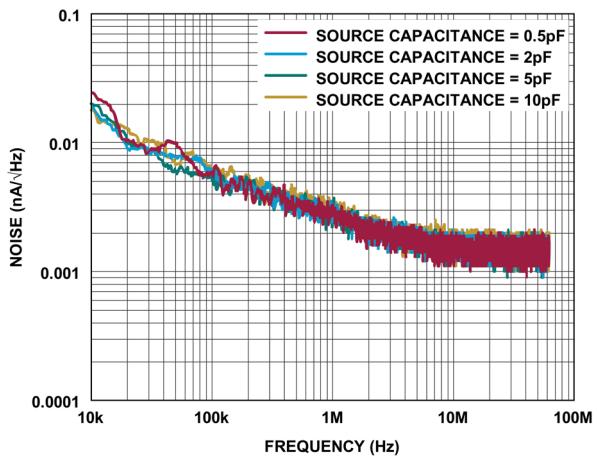
図 18. 様々な温度での実効値ノイズとノイズ帯域幅の関係、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

図 19. ノイズ・スペクトル密度、 $T_Z = 11\text{k}\Omega$ 、LPF = 1MHz

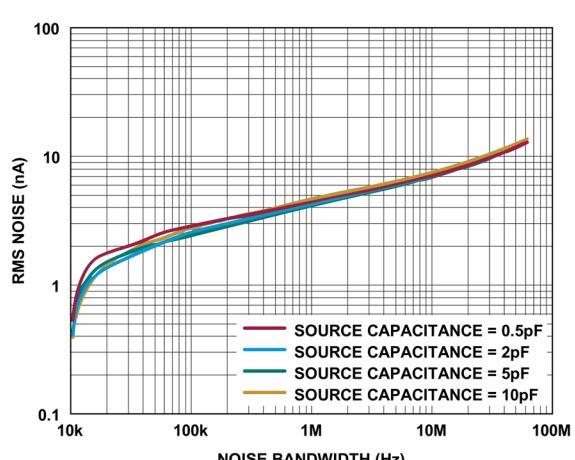
519

図 20. 実効値ノイズとノイズ帯域幅の関係、 $T_Z = 11\text{k}\Omega$ 、LPF = 1MHz

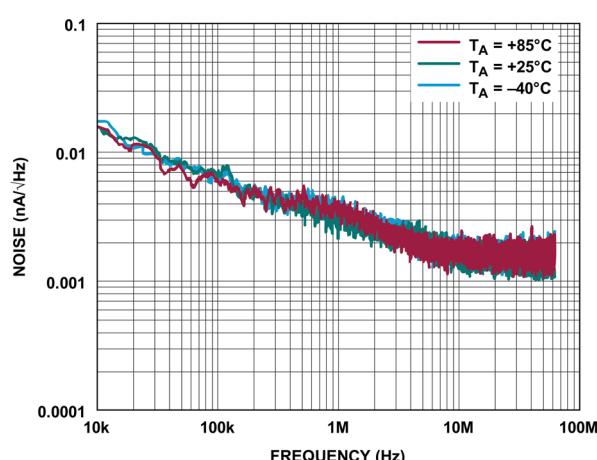
520

図 21. 様々な信号源キャパシタンスでのノイズ・スペクトル密度、 $T_Z = 11\text{k}\Omega$ 、LPF = 1MHz

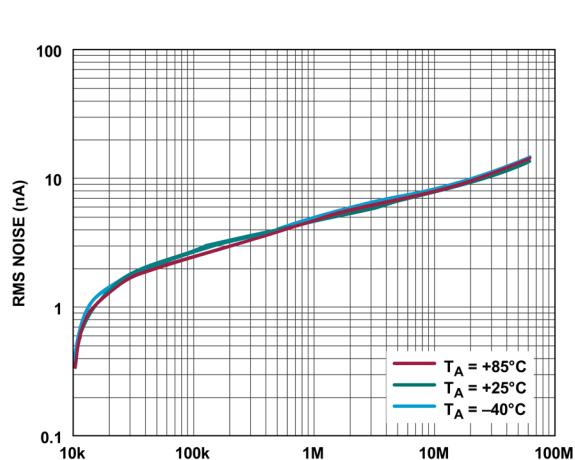
521

図 22. 様々な信号源キャパシタンスでの実効値ノイズとノイズ帯域幅の関係、 $T_Z = 11\text{k}\Omega$ 、LPF = 1MHz

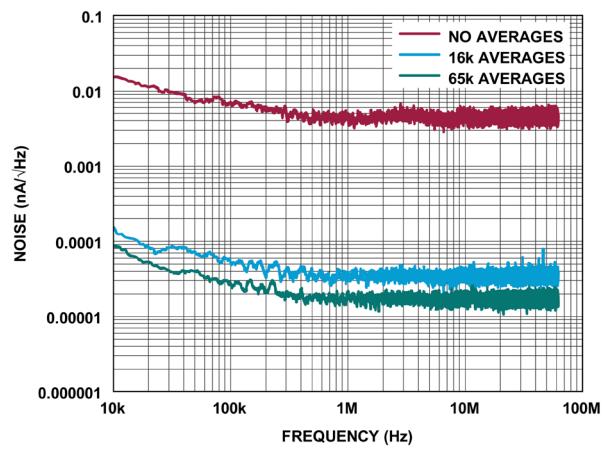
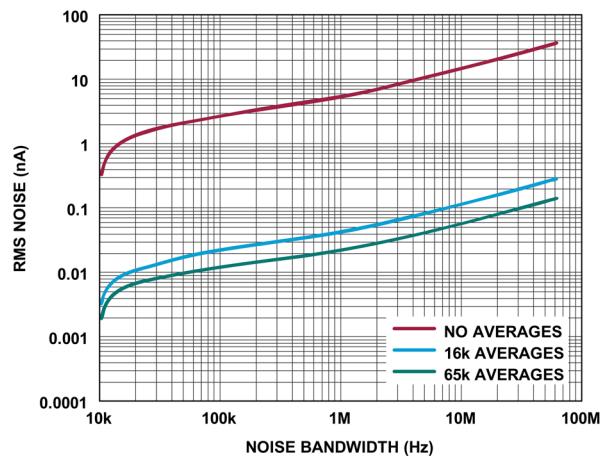
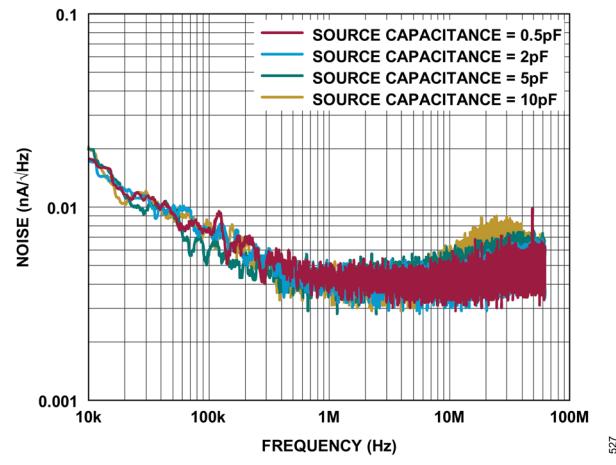
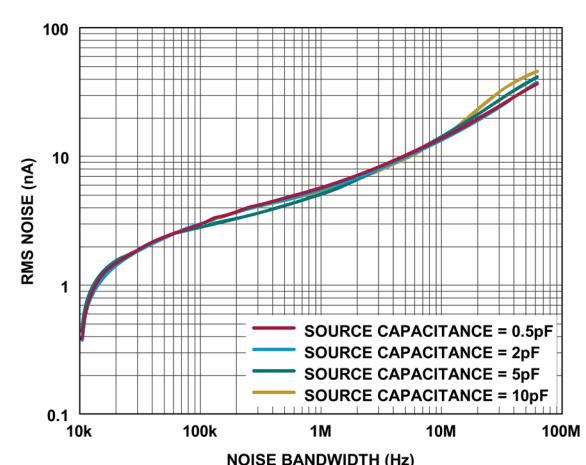
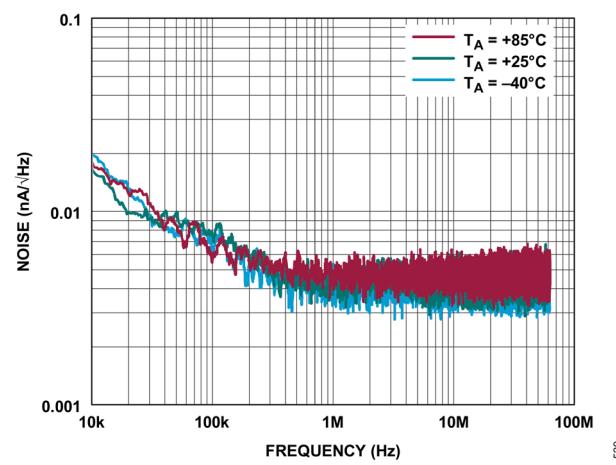
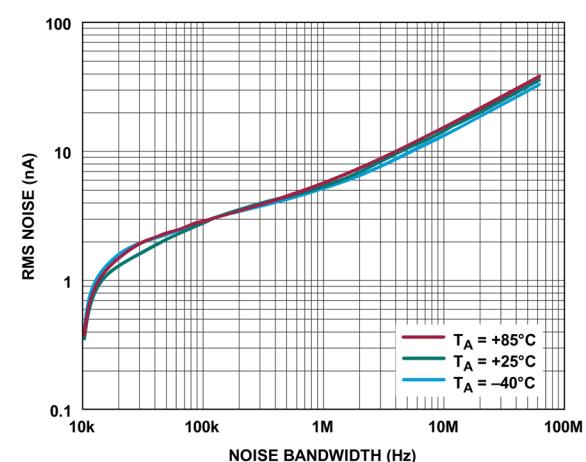
522

図 23. 様々な温度でのノイズ・スペクトル密度、 $T_Z = 11\text{k}\Omega$ 、LPF = 1MHz

523

図 24. 様々な温度での実効値ノイズとノイズ帯域幅の関係、 $T_Z = 11\text{k}\Omega$ 、LPF = 1MHz

524

図 25. ノイズ・スペクトル密度、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz図 26. 実効値ノイズとノイズ帯域幅の関係、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz図 27. 様々な信号源キャパシタンスでのノイズ・スペクトル密度、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz図 28. 様々な信号源キャパシタンスでの実効値ノイズとノイズ帯域幅の関係、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz図 29. 様々な温度でのノイズ・スペクトル密度、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz図 30. 様々な温度での実効値ノイズとノイズ帯域幅の関係、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz

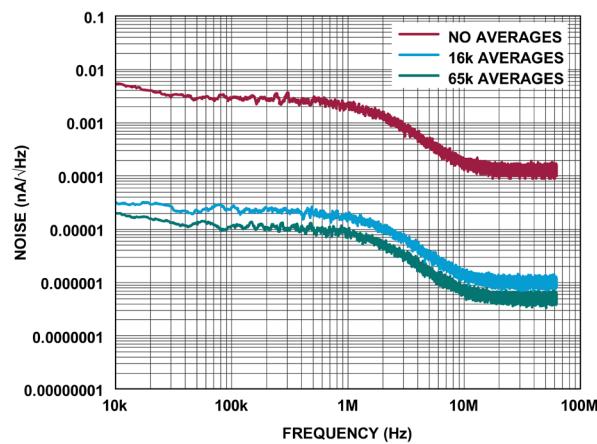


図 31. ノイズ・スペクトル密度、 $T_Z = 133\text{k}\Omega$ 、LPF = 1MHz

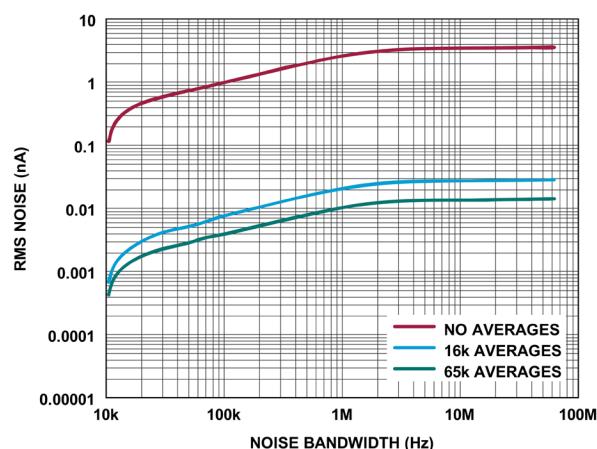


図 32. 実効値ノイズとノイズ帯域幅の関係、 $T_Z = 133\text{k}\Omega$ 、LPF = 1MHz

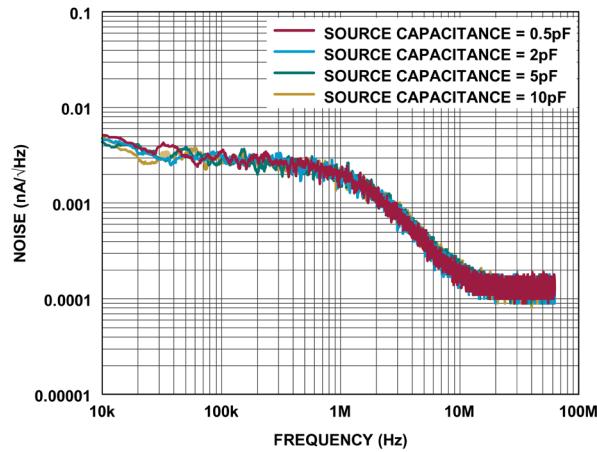


図 33. 様々な信号源キャパシタンスでのノイズ・スペクトル密度、 $T_Z = 133\text{k}\Omega$ 、LPF = 1MHz

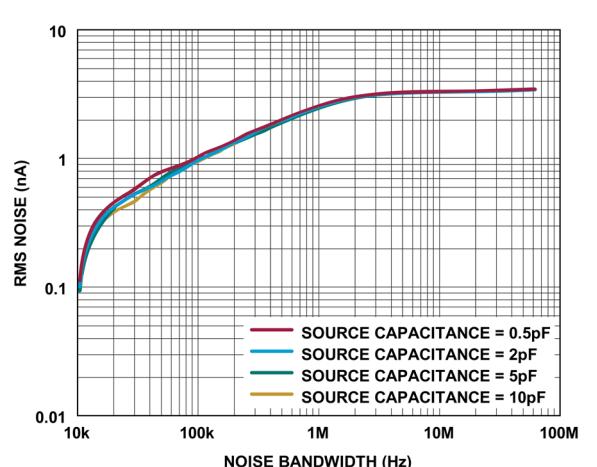


図 34. 様々な信号源キャパシタンスでの実効値ノイズとノイズ帯域幅の関係、 $T_Z = 133\text{k}\Omega$ 、LPF = 1MHz

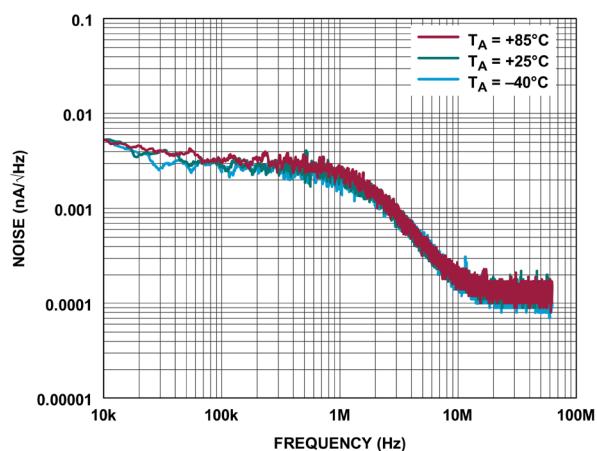


図 35. 様々な温度でのノイズ・スペクトル密度、 $T_Z = 133\text{k}\Omega$ 、LPF = 1MHz

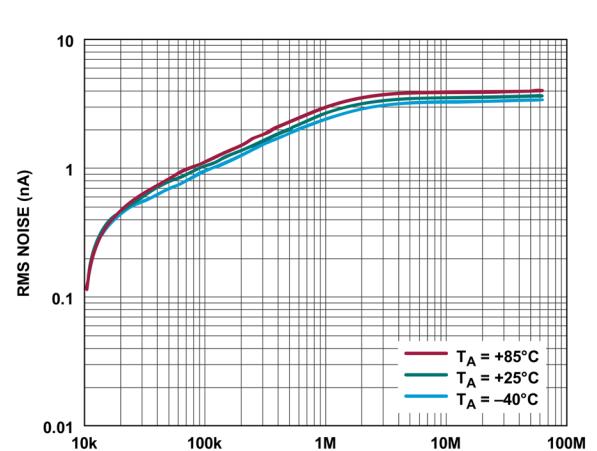


図 36. 様々な温度での実効値ノイズとノイズ帯域幅の関係、 $T_Z = 133\text{k}\Omega$ 、LPF = 1MHz

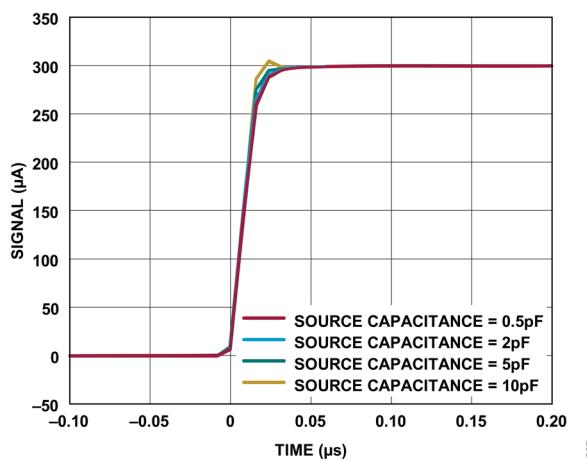


図 37. 様々な信号源キャパシタンスでのパルス応答の立上がりエッジ、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

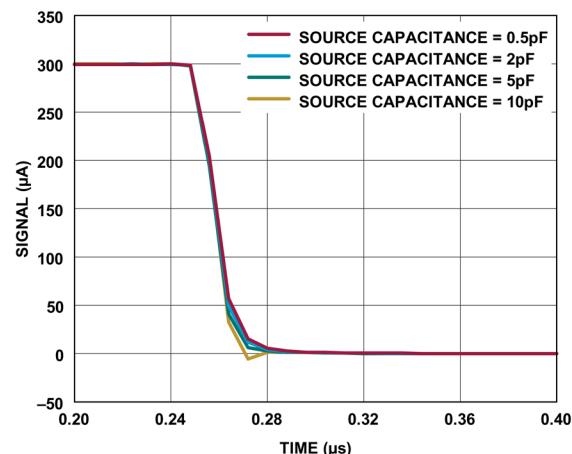


図 38. 様々な信号源キャパシタンスでのパルス応答の立下がりエッジ、 $T_z = 4.54\text{k}\Omega$ 、LPF = 100MHz

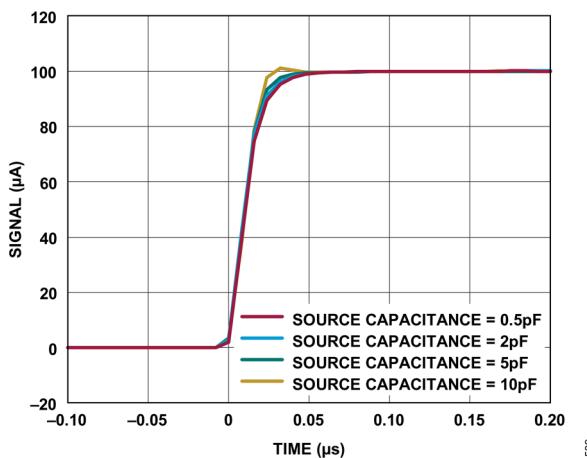


図 39. 様々な信号源キャパシタンスでのパルス応答の立上がりエッジ、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz

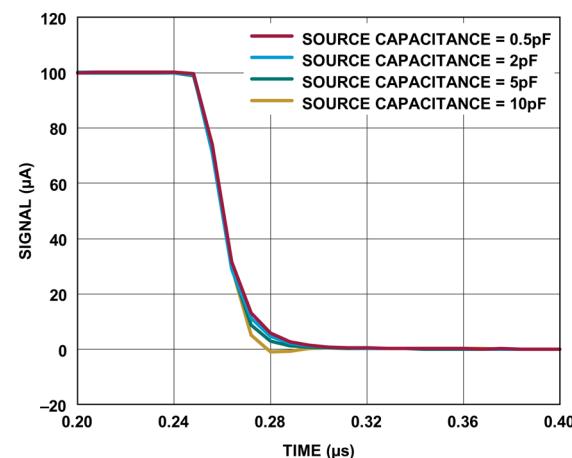


図 40. 様々な信号源キャパシタンスでのパルス応答の立下がりエッジ、 $T_z = 11\text{k}\Omega$ 、LPF = 100MHz

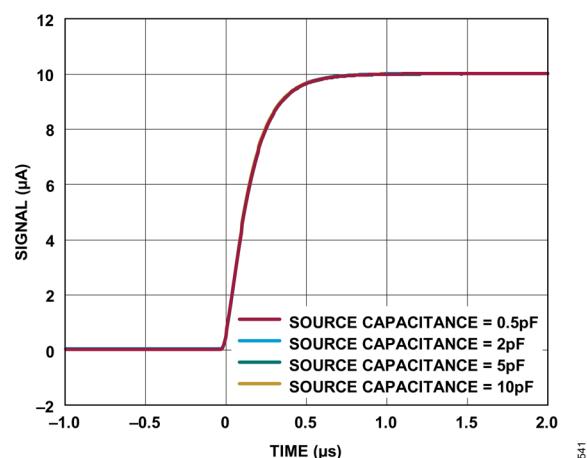


図 41. 様々な信号源キャパシタンスでのパルス応答の立上がりエッジ、 $T_z = 133\text{k}\Omega$ 、LPF = 1MHz

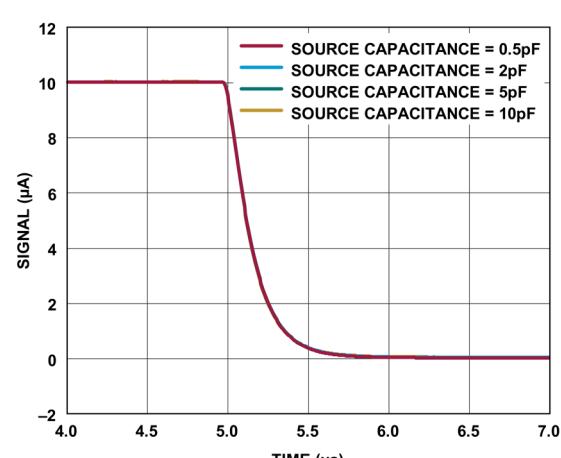


図 42. 様々な信号源キャパシタンスでのパルス応答の立下がりエッジ、 $T_z = 133\text{k}\Omega$ 、LPF = 1MHz

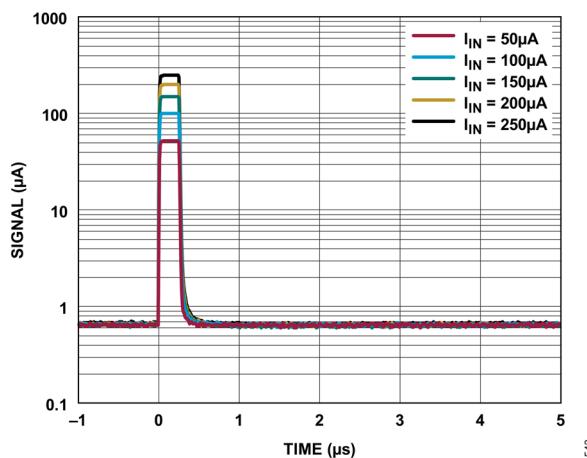


図 43. 様々な入力電流でのセトリング時間、
 $T_z = 4.54\text{k}\Omega$ 、パルス幅 250ns、LPF = 100MHz

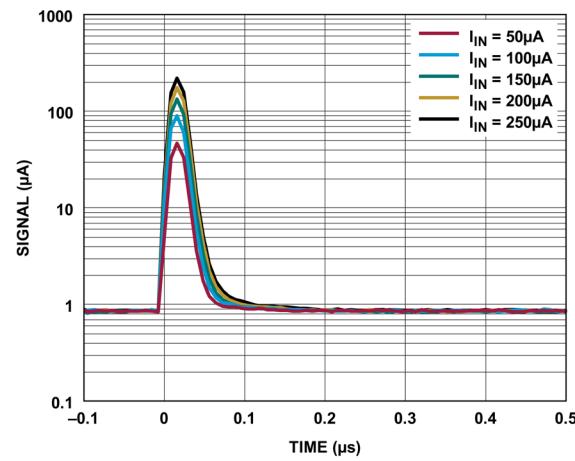


図 44. 様々な入力電流でのセトリング時間、
 $T_z = 4.54\text{k}\Omega$ 、パルス幅 20ns、LPF = 100MHz

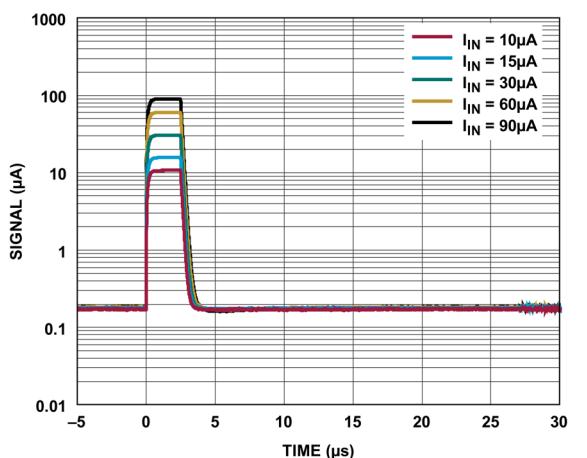


図 45. 様々な入力電流でのセトリング時間、
 $T_z = 11\text{k}\Omega$ 、パルス幅 2.5μs、LPF = 1MHz

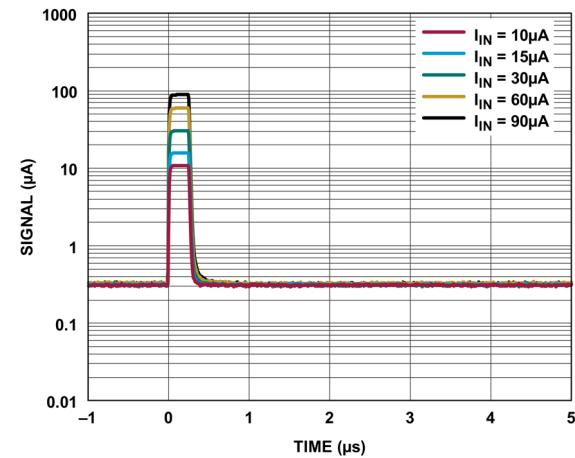


図 46. 様々な入力電流でのセトリング時間、
 $T_z = 11\text{k}\Omega$ 、パルス幅 250ns、LPF = 100MHz

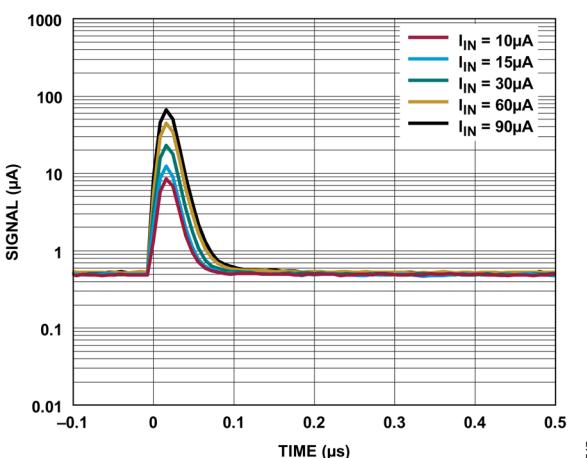


図 47. 様々な入力電流でのセトリング時間、
 $T_z = 11\text{k}\Omega$ 、パルス幅 20ns、LPF = 100MHz

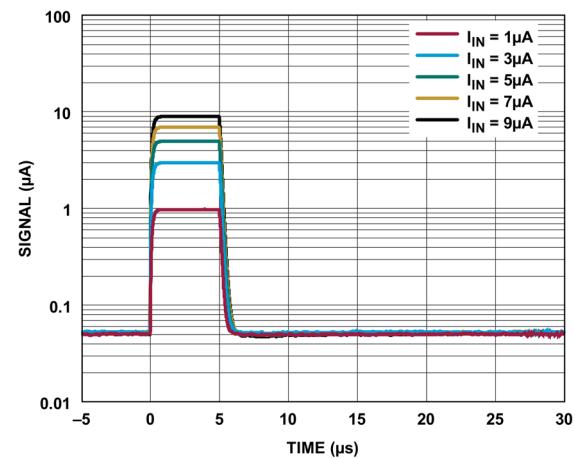


図 48. 様々な入力電流でのセトリング時間、
 $T_z = 133\text{k}\Omega$ 、パルス幅 5μs、LPF = 1MHz

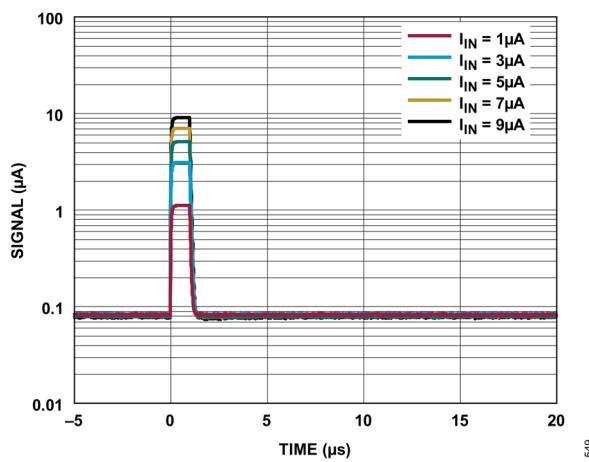


図 49. 様々な入力電流でのセトリング時間、
 $T_Z = 133\text{k}\Omega$ 、パルス幅 1μs、LPF = 100MHz

549

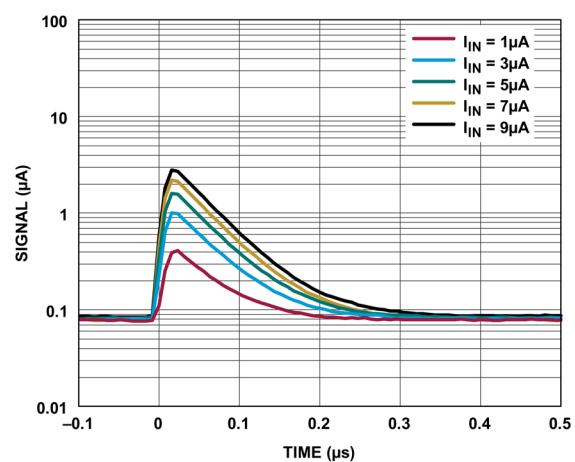
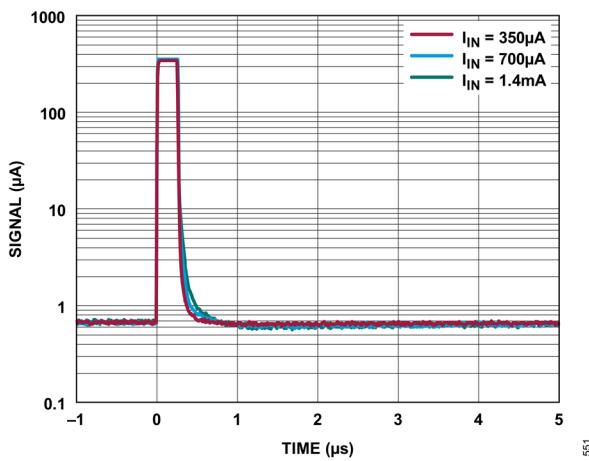


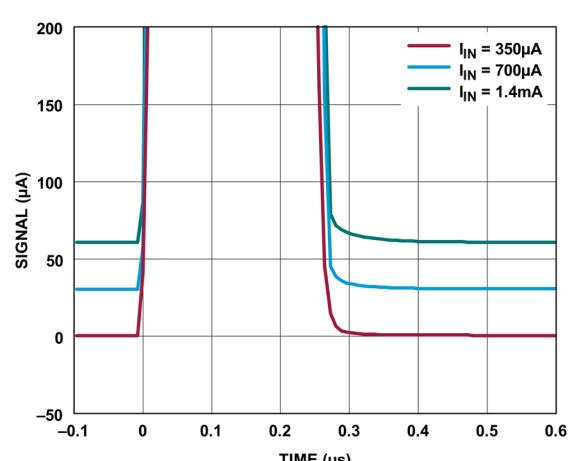
図 50. 様々な入力電流でのセトリング時間、
 $T_Z = 133\text{k}\Omega$ 、パルス幅 20ns、LPF = 100MHz

550



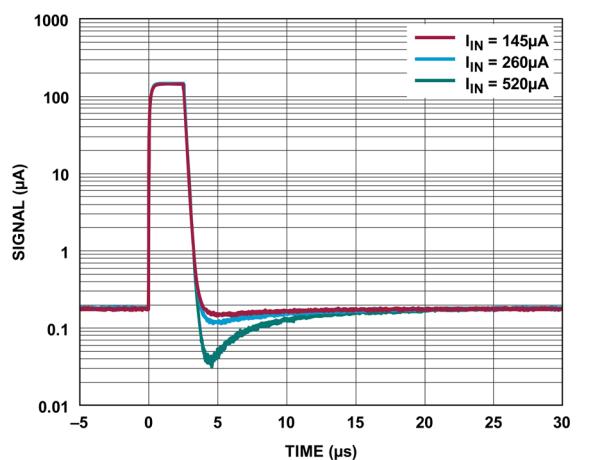
551

図 51. 過負荷からの回復、
 $T_Z = 4.54\text{k}\Omega$ 、パルス幅 250ns、LPF = 100MHz



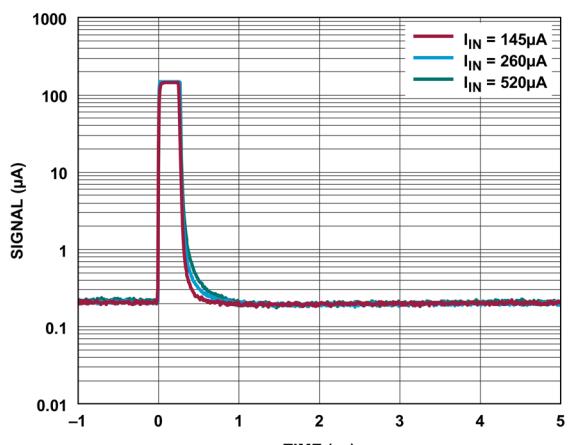
552

図 52. 過負荷からの回復（拡大図）、
 $T_Z = 4.54\text{k}\Omega$ 、パルス幅 250ns、LPF = 100MHz
(視認性向上のため、信号トレースを垂直方向にオフセット)



553

図 53. 過負荷からの回復、
 $T_Z = 11\text{k}\Omega$ 、パルス幅 2.5μs、LPF = 1MHz



554

図 54. 過負荷からの回復、
 $T_Z = 11\text{k}\Omega$ 、パルス幅 250ns、LPF = 100MHz

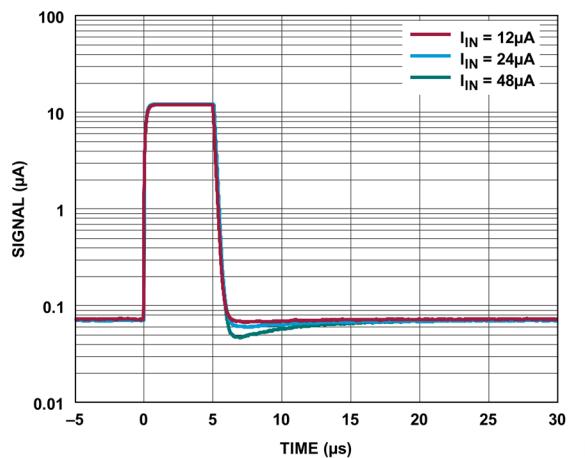


図 55. 過負荷からの回復、
 $T_Z = 133k\Omega$ 、パルス幅 $5\mu s$ 、LPF = 1MHz

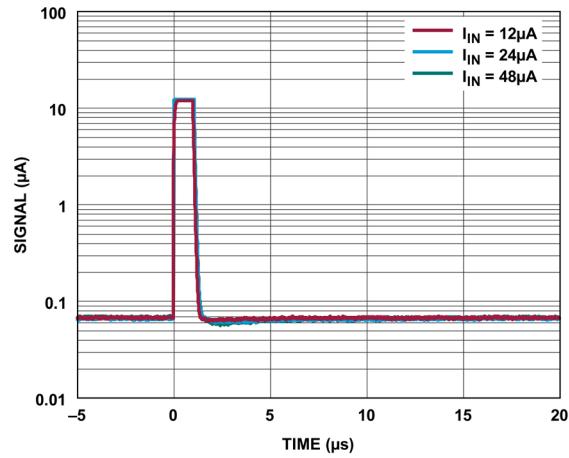


図 56. 過負荷からの回復、
 $T_Z = 133k\Omega$ 、パルス幅 $1\mu s$ 、LPF = 100MHz

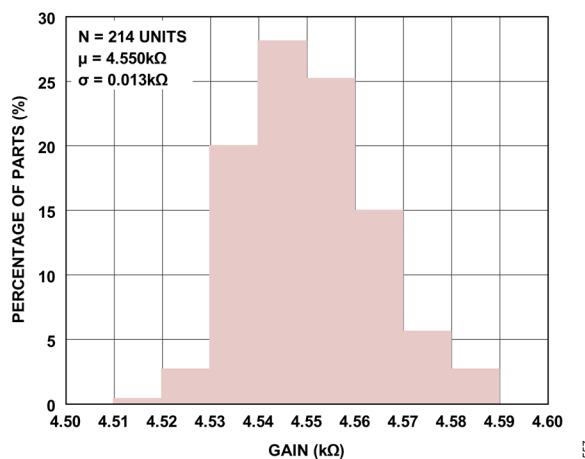


図 57. TIA ゲインの分布、 $T_Z = 4.54k\Omega$

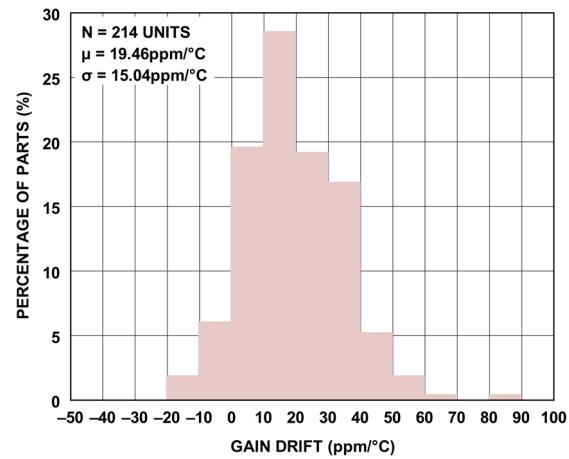


図 58. TIA ゲインのドリフトの分布、 $T_Z = 4.54k\Omega$

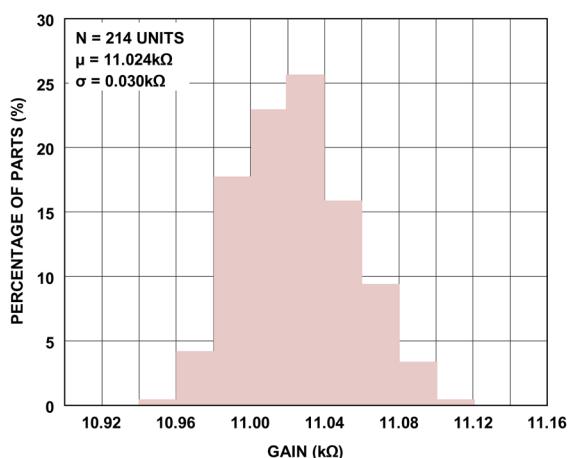


図 59. TIA ゲインの分布、 $T_Z = 11k\Omega$

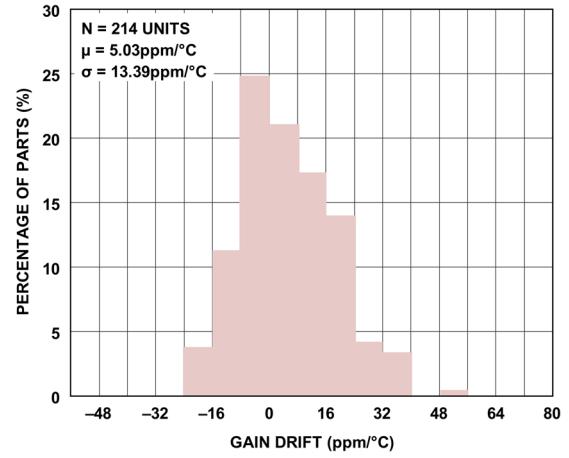
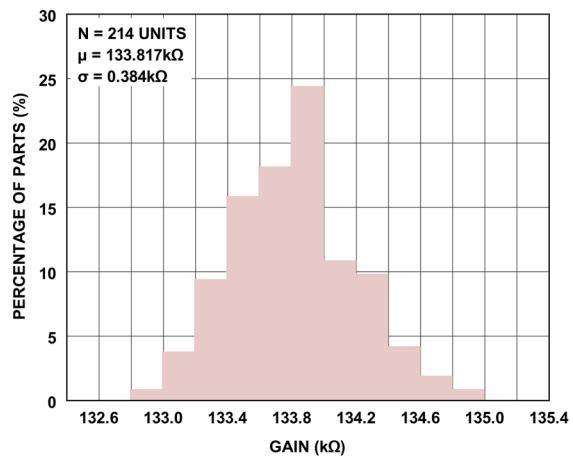
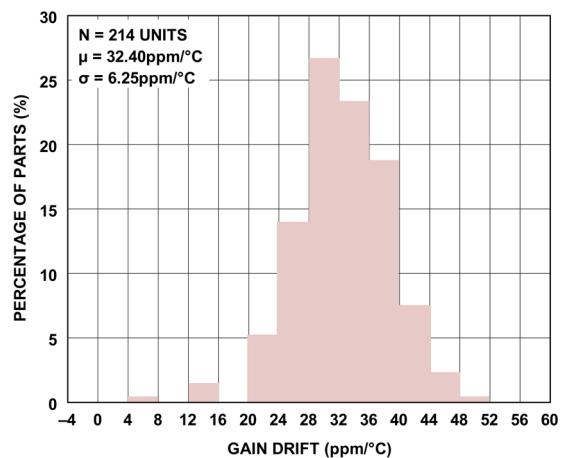
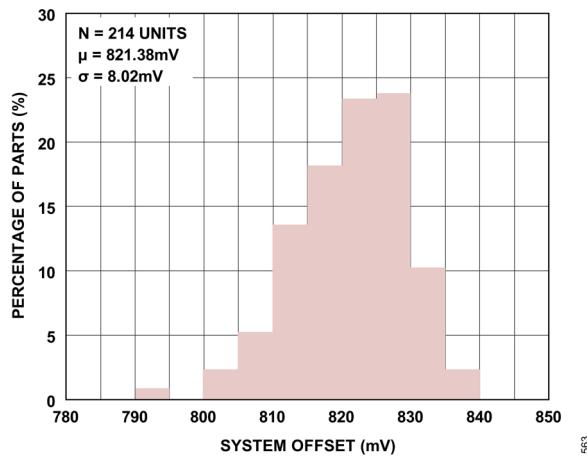
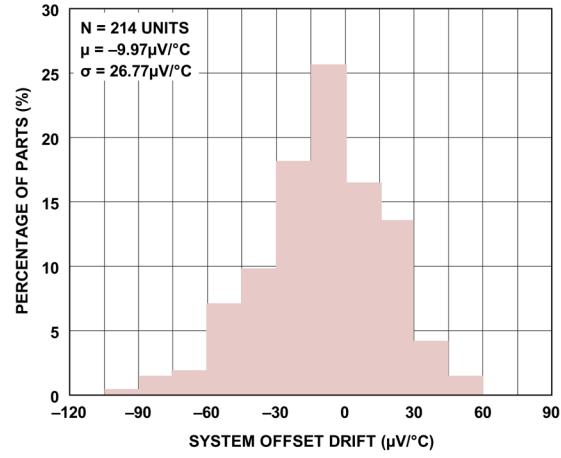
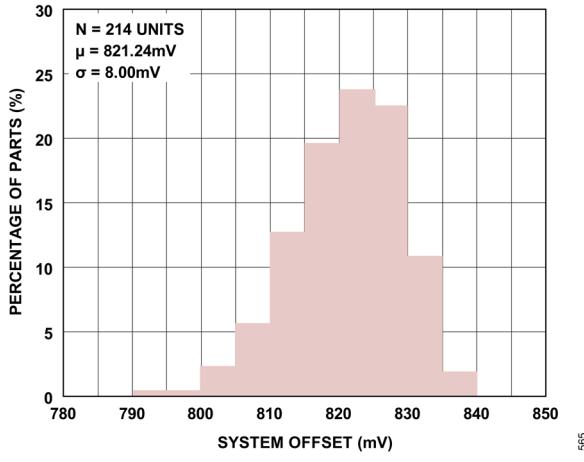
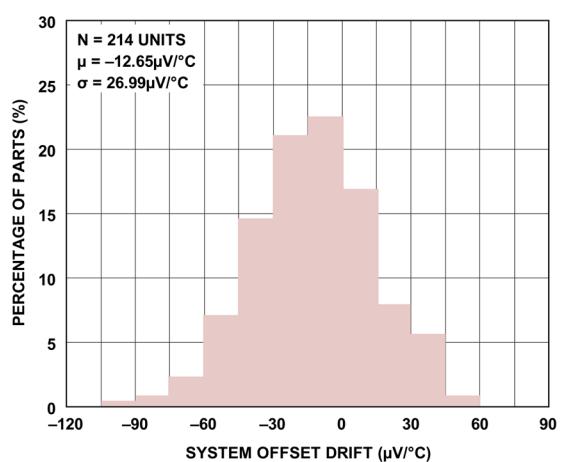


図 60. TIA ゲインのドリフトの分布、 $T_Z = 11k\Omega$

図 61. TIA ゲインの分布、 $T_z = 133\text{k}\Omega$ 図 62. TIA ゲインのドリフトの分布、 $T_z = 133\text{k}\Omega$ 図 63. システム・オフセットの分布、 $T_z = 4.54\text{k}\Omega$ 図 64. システム・オフセットのドリフトの分布、 $T_z = 4.54\text{k}\Omega$ 図 65. システム・オフセットの分布、 $T_z = 11\text{k}\Omega$ 図 66. システム・オフセットのドリフトの分布、 $T_z = 11\text{k}\Omega$

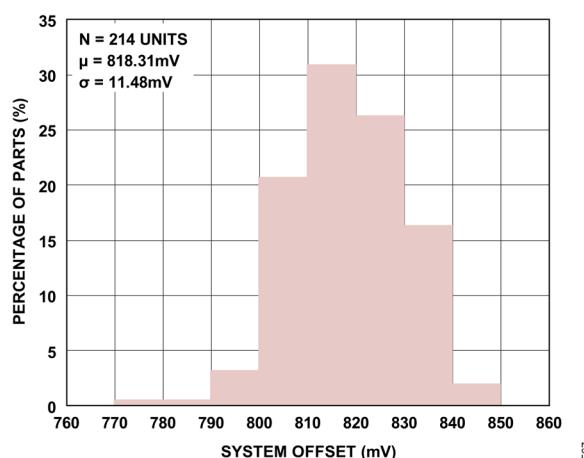
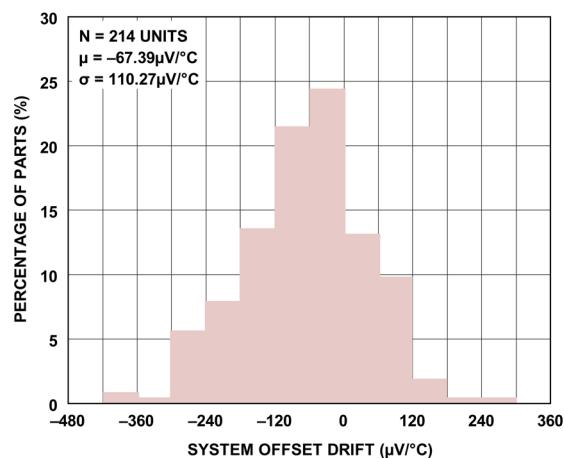
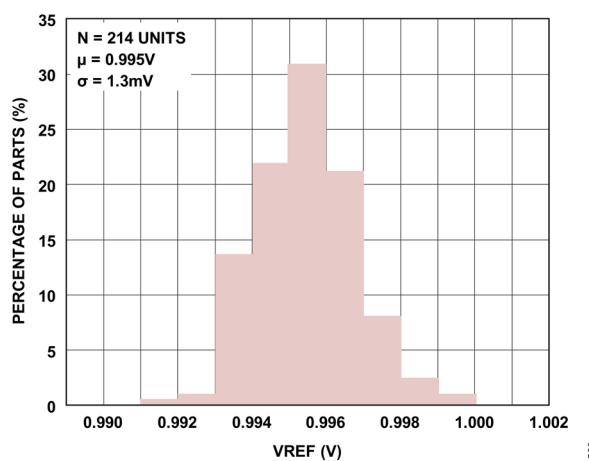
図 67. システム・オフセットの分布、 $T_z = 133\text{k}\Omega$ 図 68. システム・オフセットのドリフトの分布、 $T_z = 133\text{k}\Omega$ 

図 69. ADC 内部リファレンス電圧 (VREF) の分布

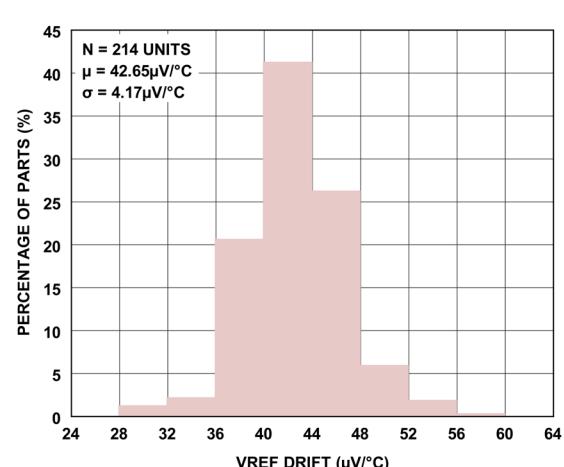
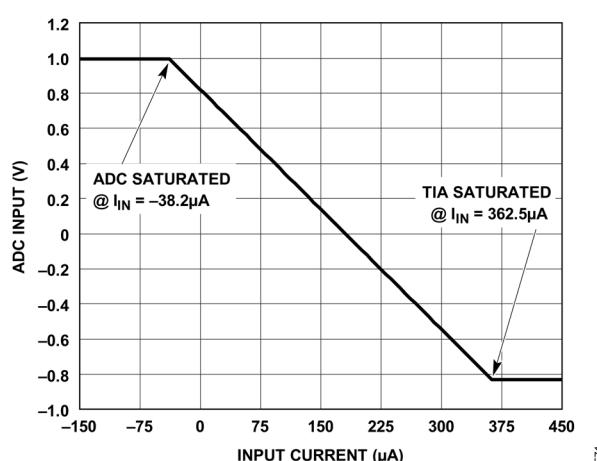
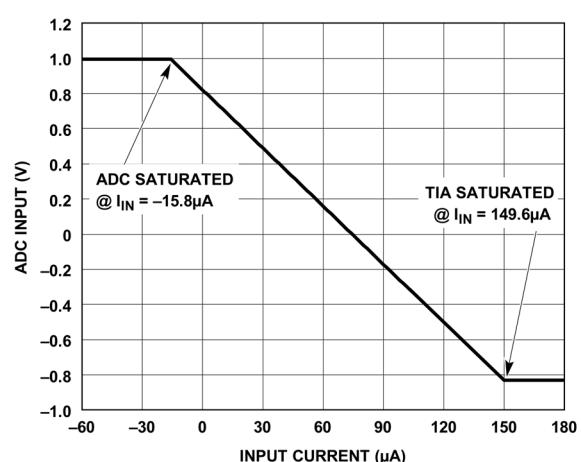
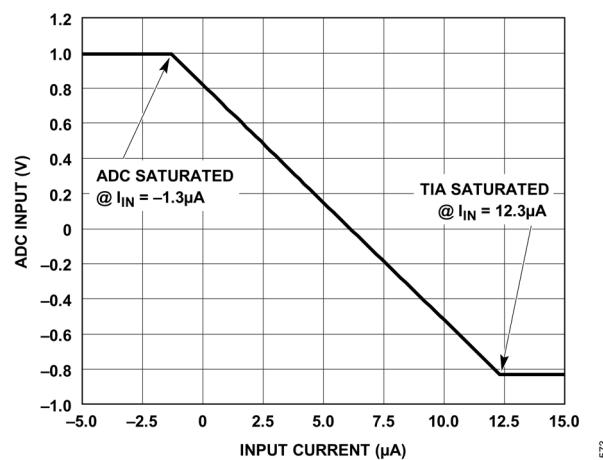


図 70. ADC 内部 VREF のドリフトの分布

図 71. ADC の入力電圧と入力電流の関係、 $T_z = 4.54\text{k}\Omega$ 図 72. ADC の入力電圧と入力電流の関係、 $T_z = 11\text{k}\Omega$



573

図 73. ADC の入力電圧と入力電流の関係、 $T_Z = 133\text{k}\Omega$

等価回路

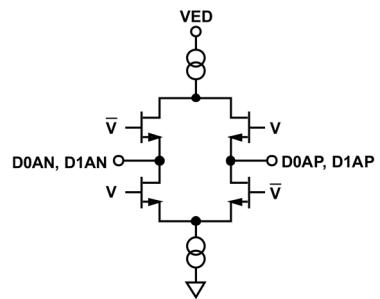


図 74. デジタル出力の等価回路

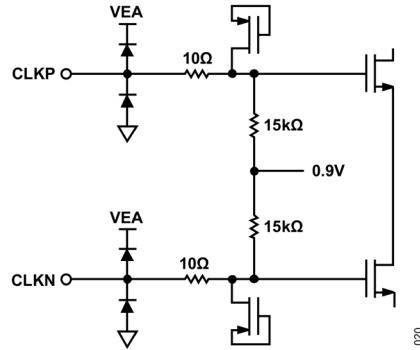


図 75. クロック入力の等価回路

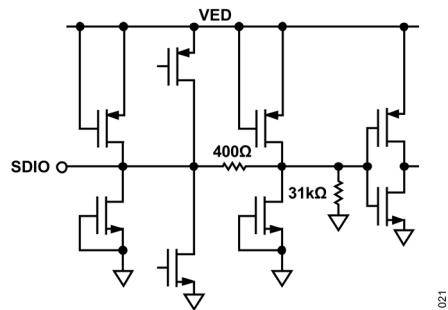


図 76. SDIO 入力の等価回路

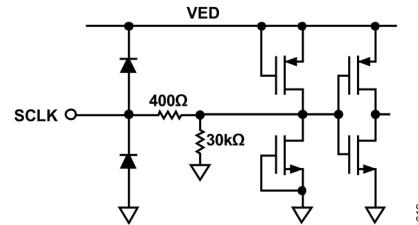


図 77. SCLK 入力の等価回路

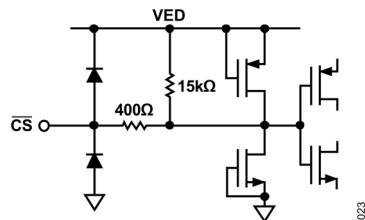


図 78. CS 入力の等価回路

動作原理

ADA4356 は、切り替え可能な 3 通りのゲイン (4.54k Ω 、11k Ω 、133k Ω) を備えた、電界効果トランジスタ (FET) 入力の TIA を内蔵しています。ゲイン・スイッチは、セトリング時間および過負荷からの回復時間が長くなる原因である誤差源を最小限に抑えるよう設計されています。過負荷電流保護機能が内蔵されているため、入力電流がフルスケール電流を超えると、過負荷からの高速回復を維持できます。更に、この過負荷電流保護機能により、TIA に損傷を生じさせることなく、最大 40mA のアナログ入力電流レベルが可能です。図 2 に示すように、TIA の正側ノードは 1.65V にバイアスされています。

図 79 にシステム全体の伝達関数を示します。フォト・ダイオードが単極性 (シンクまたはソース) の電流を供給するため、全体の伝達関数には 0.825V のオフセットがあり、これによって ADC の入力範囲を最大化しています。入力電流が 0 μ A のとき、ADC の差動入力は 0.825V になります。入力電流が増加すると、TIA の出力は GND に向かって減少します。入力電流が 1.65V/T_Z に達すると、TIA の出力が GND になり、ADC の差動入力電圧を -0.825V に制限します。正側のフルスケール入力電流は 1.65V/T_Z であり、-0.175V/T_Z までの負の入力電流を測定できる余地があります。

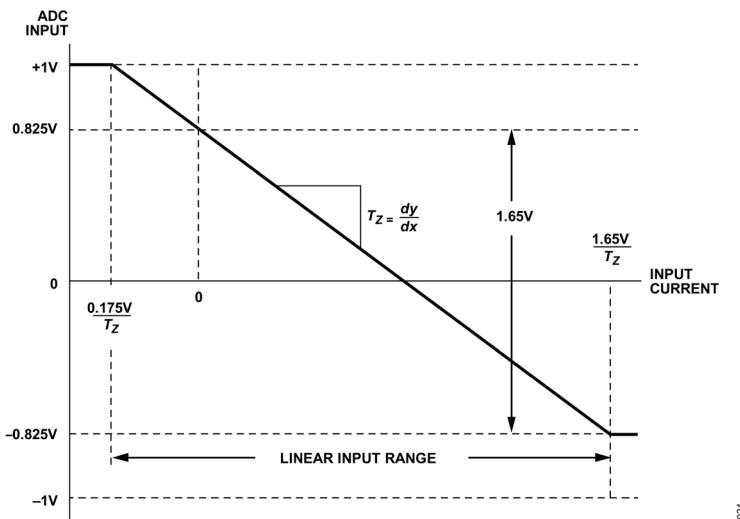


図 79. 全体の伝達関数

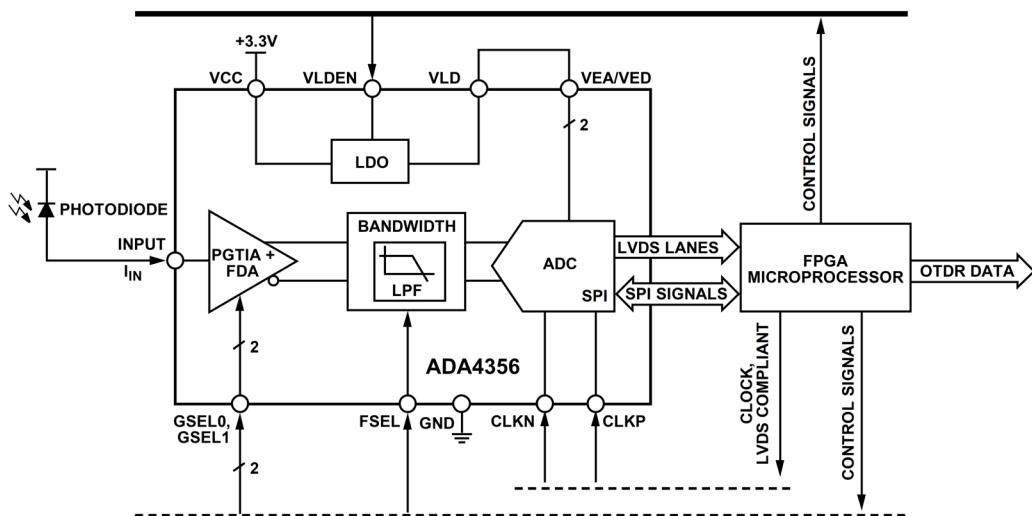


図 80. 単一 VCC 電源、FPGA 制御、データ処理を伴う代表的なアプリケーション・ブロック図

アプリケーション情報

電源および電源制御

12mm × 6mm の CSP_BGA には、ADA4356 の電源要件を満たすために割り当てられた複数の専用ボールが備わっています。すなわち、VCC には 12 個のボールが割り当てられ、また、VEA、VED、VLD にそれぞれ 1 つのボールが割り当てられています。ADA4356 では、すべての電源に対し 0.1 μ F のバイパス・コンデンサが内蔵されているため、電源デカップリングを外部に追加する必要はありません。

VCC は、ADA4356 のアナログ・コアおよび内部 LDO に給電する 3.3V の電源です。すべての VCC ボール (A3、C3～C5、D3～D5、F3～F6、F8) は、ノイズのない安定した 3.3V 電源に接続してください。

VLD (F12) は、1.8V 内部 LDO の出力です。この LDO は、内部 ADC のアナログ電源とデジタル電源に給電するための 1 つのオプションとして提供されています。この LDO を有効化するには、VLDEN (F7) をハイにプルアップします。

VEA (E10) および VED (E12) は、それぞれ、内部 ADC 用のアナログ電源およびデジタル電源のボールです。これらのボールは、ノイズのない安定した 1.8V 電源に接続する必要があります。1.8V 内部 LDO で ADC に給電するには、VLD を VEA と VED の両方に接続し、VLDEN を有効にします (図 3 参照)。

内部 LDO ではなく外部の 1.8V 電源を使用して内部 ADC に給電するには、VLDEN をローにプルダウンして内部 LDO を無効化し、VEA と VED を外部の 1.8V 電源に接続します (図 4 参照)。

ADA4356 には GND に割り当てられたボールが 32 個あります。これらの GND ボールはパッケージ内では相互接続されません。そのため、すべての GND ボールを PCB 上の低インピーダンス GND プレーンに接続してください。

トランシスインピーダンス・アンプの入力

ADA4356 内の TIA の性能は、INPUT ボールに存在する合計容量 C_s の影響を受けます。 C_s が大きくなるほど TIA の帯域幅が減少しノイズが増加します。

C_s は、入力フォト・ダイオード容量 (通常はこれが最大)、TIA 自体の入力容量 (2.0pF)、ボード・レイアウトに由来する浮遊容量、INPUT (E1) に存在するその他の容量の総和です。

TIA 入力でのボード・レイアウト容量を低減する方法の詳細は、[PCB 設計のコツ](#) のセクションを参照してください。

入力電流範囲の拡張

ADA4356 の線形電流入力範囲は、TIA の出力の飽和によって制限されます。入力バイアスが 1.65V で電源が 3.3V の場合、電流がフォト・ダイオードへ供給されると仮定すると、非直線かつ飽和状態に達しない TIA の出力振幅は、バイアス電圧を約 1.5V 上回る値までが可能です。

$T_z = 4.54\text{k}\Omega$ の最低ゲインの場合、出力は、1.5V/4.54k Ω 、つまり約 330 μ A の入力電流で飽和します。

同様に、 $T_z = 11\text{k}\Omega$ の場合は 136 μ A、 $T_z = 133\text{k}\Omega$ では 11.3 μ A で飽和します。

表 9 に、TIA が直線動作するために推奨される最大入力電流と、それに対応する、フィルタ処理および平均化処理を行わず合計入力容量が 5pF の場合の入力換算電流ノイズ i_N を示します。

表 9. TIA の直線動作のために推奨される最大入力電流

GAIN RANGE (k Ω)	MAXIMUM LINEAR INPUT CURRENT (μ A)	INPUT REFERRED CURRENT NOISE, $C_s = 5\text{pF}$, FSEL = 0
4.54	300	68nA rms
11	100	33nA rms
133	10	8.4nA rms

電流分流回路

最大信号源電流が上記範囲を超えるアプリケーションの場合、ADA4356 の線形入力範囲内に収まるよう TIA の入力電流を比例配分するため、追加の外部回路が必要です。

この分流は、単純な 2 抵抗電流分流器をグラウンドとの間に接続することでは実現できません。ADA4356 の TIA 入力が 1.65V の DC 電圧にバイアスされた状態になっている必要があるためです。そのため、TIA 入力の DC バイアス電圧を維持したまま入力電流を比例配分できる回路が必要です。また、この回路は、動的な信号源電流レベルに応答してメインの TIA 入力経路に入ったり、そこから出たりできるよう、切り替え可能であることが理想です。

そのような回路の 1 つを図 81 に示します。これは以下の要素で構成されています。

1. C_1 、高速で変化する電流をグラウンドにシャントするためのコンデンサ。
2. A_1 、バイアス電圧が INPUT に一致するよう V_1 の電圧を 1.65V に保持するためのユニティ・ゲイン・バッファ。
3. S_1 、この回路とメイン TIA 入力経路の接続/切断を行うためのスイッチ。
4. R_1 および R_2 、フォト・ダイオード出力と ADA4356 の TIA 入力の間の抵抗分流器ネットワーク。

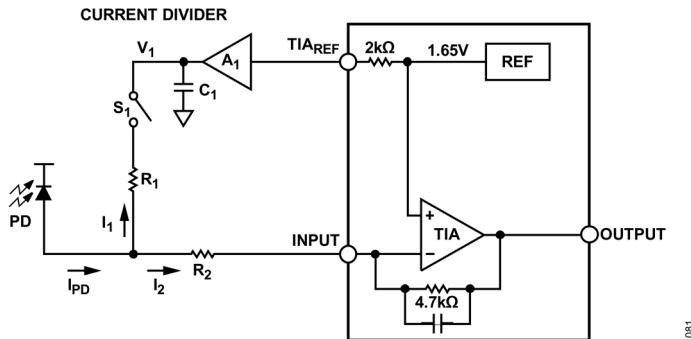


図 81. 外部高速電流分流回路

スイッチ S_1 が開いている場合、フォト・ダイオードのすべての信号源電流 (I_{PD}) はポール INPUT (E1) で TIA に供給されます。

スイッチ S_1 が閉じている場合、 I_{PD} は、 R_1 と R_2 の比に応じて、 I_1 と I_2 の 2 つの成分に分割されます。

スイッチ S_1 と電圧バッファ A_1 が理想的であり、更に、 TIA_{REF} と INPUT が同じ電位 (1.65V) であると仮定すると、 I_{PD} のうち ADA4356 の INPUT に供給される成分 (I_2) の大きさは、次式で与えられます。

$$I_2 = \frac{R_1}{R_1 + R_2} \times I_{PD}$$

分流された入力電流のもう一方の成分 (I_1) は、図 81 に示す分流器経路によってシャントされます。

AC グラウンド V_1

高速アプリケーションでは、入力フォト・ダイオードの電流パルス I_{PD} があまりに高速であるために、アクティブなデバイスが電流 I_1 を吸収できない場合があります。大きな電流を短時間でシャントするには、大容量 C_1 をノード V_1 とグラウンドの間に接続し、1.65V の DC バイアスを維持したまま AC グラウンドを作成します。

C_1 が I_{PD} の I_1 成分を吸収した後、図 82 の LTspice シミュレーション曲線に示すように、 V_1 での DC バイアスには摂動が生じます。バッファ A_1 は、ノード V_1 を急速に 1.65V に戻すことによってこの摂動を補正し、INPUT と TIA_{REF} を同じ DC 電圧に維持します。

シミュレーションによるトランジエント曲線のズームアウト図 (図 83) に、 I_{PD} の複数の入力電流パルスと、その結果生じる、 A_1 がこのノードを正確に 1.65V に戻すときのノード V_1 での AC グラウンドのセトリング動作を示します。

バッファ A₁がないと、入力電流パルスが続いたびに電荷が C₁に蓄積し続け、ノード V₁の電圧を電源電圧まで押し上げます。C₁単独では放電が遅すぎて、V₁のAC グラウンドが 1.65V に戻るのが I_{PD}の次のパルスに間に合わないため、INPUT と TIA_{REF}の DC バイアスは常に等しいという電流分流器の根底にある前提に反してしまいます。

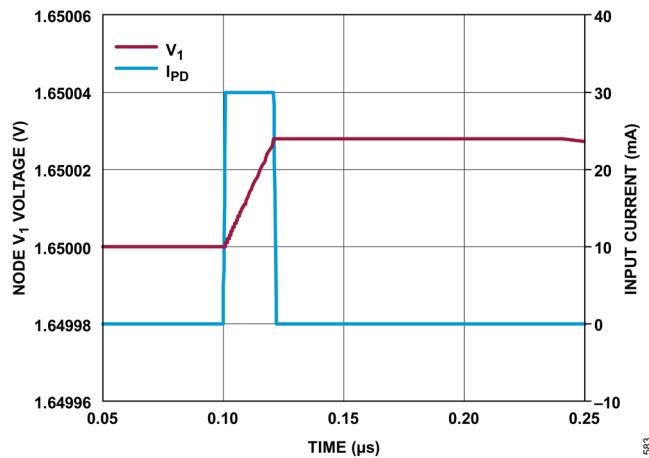


図 82. 入力電流パルス I_{PD}とその結果生じるノード V₁での電圧の摂動のシミュレーション

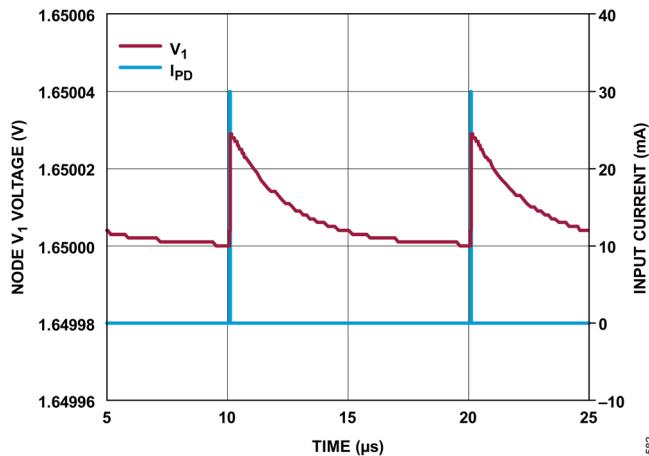


図 83. 入力電流パルス I_{PD}と V₁での AC グラウンドのセトリング応答のシミュレーション

30mA の電流分流器の例

I_{PD}からの 30mA の最大 DC 入力電流を分流して ADA4356 の 300μA の線形入力電流範囲内に収めることのできる回路例を、図 84 に示します。

コンデンサ C₁は、22.11μF であり、これは、22μF、100nF、10nF のコンデンサを並列に組み合わせることで実現されています。抵抗 R₁は、選択したスイッチ S₁ (ADG772) のオン抵抗であり、電源電圧が 3.3V の場合、室温で約 5Ω です。抵抗 R₂はディスクリート部品であり 604Ω です。この結果、分流値は次のようになります。

$$I_2 = \frac{R_{ON}}{R_{ON} + R_2} \times I_{PD} = \frac{5\Omega}{5\Omega + 604\Omega} \times I_{PD} = 0.00821 \times I_{PD} \approx \frac{I_{PD}}{120}$$

したがって、I₂ = 30mA/120 = 250μA となり、320μA の線形入力範囲内に収まっています。

V₁で AC グラウンドに分流されるその他の電流は、I₁ = 30mA - I₂ = 30mA - 250μA = 29.833mA となります。

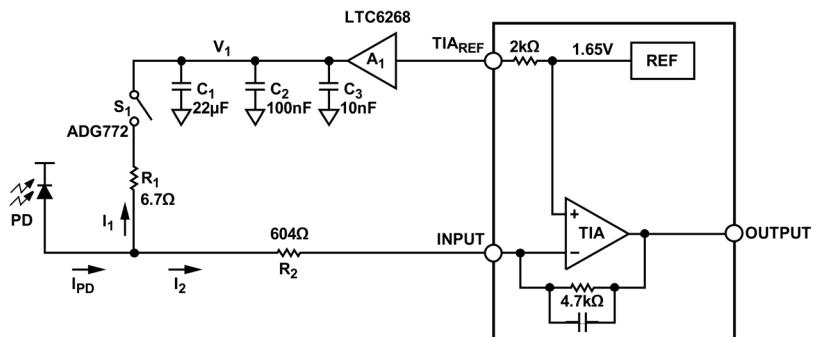


図 84. 外部高速電流分流回路の実装例

以下のサブセクションでは、電流分流器の部品を選択する場合に考慮すべき点を説明します。

TIA_{REF} のバッファ処理要件

TIA_{REF} のポール (F1) は、保護のために $2\text{k}\Omega$ の直列抵抗を介して ADA4356 の 1.65V 内部リファレンスに接続されています。TIA_{REF} から引き出される電流は、 $2\text{k}\Omega$ の抵抗での IR 降下により、DC バイアス電圧の誤差の原因となります。TIA_{REF} から直接電流を引き出すのではなく、電圧バッファ A₁ で TIA_{REF} の出力をバッファすることを推奨します。このバッファは、DC バイアス電圧の誤差を生じることなく、C₁ を大電流で急速に充電できます。

バッファの選択

バッファ A₁ は、広いゲイン帯域幅、高速のスルーレート、入力信号周波数範囲全域にわたる低出力インピーダンス、優れた安定性を保持していると同時に、数十 μF の範囲の大容量コンデンサを駆動できることが必要です。LTC6268/LTC6269 がこのバッファに対する優れた選択肢となります。

抵抗の選択

抵抗 R₂ の値は大きすぎないことが必要です。R₂ を流れる電流 I₂ が IR 降下の原因となりフォト・ダイオードのバイアス電圧を変化させてしまうためです。最大の I₂ が $300\mu\text{A}$ の場合、R₂ の値を $1\text{k}\Omega$ 未満に選択すると、このバイアス誤差を 300mV 未満に抑えることができます。

コンデンサの選択

比較的大きな電流を処理しながらも広い周波数範囲をカバーするには、複数の小さなコンデンサを並列に配置して C₁ を構成することを推奨します。

コンデンサの実際の帯域幅は、自己共振周波数によって制限されます。実際のコンデンサではすべて、パッケージの寄生インダクタンスが避けられません。通常のコンデンサ値で組み合わせた場合、これによって LC タンクが生じます。LC タンクの自己共振周波数を超えると、公称コンデンサはインダクタとして作用します。

コンデンサのパッケージが大きいとより大きな電流を処理できますが、寄生インダクタンスも大きくなります。それによって、LC タンクの自己共振周波数が低下し、その結果コンデンサの実効周波数は低下します。

自己共振 LC タンクは、バッファ A₁ の出力に不安定性の問題が生じる原因になりかねません。発振のリスクを低減するために、コンデンサとグラウンドの間に小さな直列抵抗 (0.1Ω) を配置し、自己共振タンクの品質係数 (Q) を減少させることを推奨します。

推奨する C₁ の組み合わせ方法は、 $22\mu\text{F}$ 、 100nF 、 10nF を並列に配置することです。

スイッチの選択

スイッチ S₁ の選択に際しては、スイッチが理想的でないと電流分流回路にどのような影響が及ぶかを考慮することが必要です。

スイッチのオン抵抗

現実のスイッチのオン抵抗 (R_{ON}) はゼロではなく、 R_1 と直列に発生します。したがって、スイッチのオン抵抗は、 R_1 と R_2 の分流比に影響します。非ゼロのスイッチ R_{ON} がある場合の電流分流は次式によって与えられます。

$$I_2 = \frac{(R_1 + R_{ON})}{(R_1 + R_{ON}) + R_2} \times I_{PD}$$

$R_1 = 0\Omega$ の特殊な場合では、この式は次のように短縮されます。

$$I_2 = \frac{R_{ON}}{R_{ON} + R_2} \times I_{PD}$$

したがって、スイッチの非理想性 R_{ON} は、実質的に、図 81 に示した本来の分流器の抵抗 R_1 の役割に影響します。

なお、スイッチの R_{ON} の温度係数は、ディスクリート抵抗の温度係数とは異なっており、温度範囲全域で電流分流の精度に影響します。温度範囲全域でキャリブレーションを行うことが、このような精度の問題に対処する助けとなります。

スイッチの電流制限

電流分流器で許容可能な最大入力電流は、スイッチ S_1 の絶対最大電流制限値によって制限されます。電流パルスに対する絶対最大電流制限値は、多くの場合、連続電流に対する制限値よりはるかに大きな値です。

スイッチ電流の絶対最大値とは別に、大入力電流 I_1 に伴うもう 1 つの問題は、スイッチのオン抵抗によるトランジエントな IR 降下 ($R_{ON} \times I_1$) が大きくなることです。TIA 入力は 1.65V に固定されているので、この IR 降下はスイッチ自体の出力をより高くなる方向に押し上げます。IR 降下が大きすぎると、スイッチの出力がそれ自体の電源電圧に近くなりすぎ、その結果、非直線性誤差が生じる可能性があります。

更に、 S_1 を大電流が流れることによる自己加熱も、 R_{ON} の温度係数がシフトする原因になります。

スイッチの容量

スイッチが大きいと、大電流が可能になり、スイッチのオン抵抗 R_{ON} が小さくなる、という利点がありますが、スイッチ寄生容量 C_{SW} が増加するというトレードオフがあります。この容量は TIA の入力にも発生するため、[トランスインピーダンス・アンプの入力](#) のセクションで説明したように TIA の性能に影響する可能性があります。

抵抗 R_1 および R_2 は、典型的なノード解析ルールに従って、INPUT ノードを合計入力容量 C_S とスイッチ容量から切り離すように見える場合もありますが、この仮定はここでは当てはまりません。TIA 入力は電流であり、電圧ではないためです。抵抗は電流を増やしたり減らしたりできませんが、入力源（つまり APD）と INPUT (E1) ボールの間の経路に容量があると、必要な入力電流が変化します。

コンデンサ C_1 は唯一の例外です。この容量は非常に大きく、関連する極とゼロがこのアプリケーションの対象となる周波数を数桁下回っているためです。これは AC グラウンドとしてのみ現れ、TIA の性能には影響しません。これに対し、スイッチ容量 C_{SW} は通常 pF の範囲であり、関連する極とゼロは TIA 自体の極とゼロに非常に近いため、帯域幅とノイズに影響します。

低オン抵抗と低寄生ジャンクション容量のバランスが取れた推奨スイッチは、ADG772 です。

OTDR アプリケーション

ADA4356 マイクロモジュールは、フォーム・ファクタが小さく、本質的に集積化されているために、スペースが重要となるアプリケーションに最適です。データセンターや通信ネットワークに光ファイバー・ケーブルを敷設するために組み込まれた、光時間領域反射率測定 (OTDR) がその一例です。

133k Ω のトランスインピーダンス・ゲインおよび 1MHz の LPF カットオフ周波数により、ADA4356 は、ダイナミック・レンジの広い長距離 OTDR アプリケーションに必要な、高感度および低ノイズ・レベルを実現します。逆に、4.54k Ω のゲインおよび 100MHz の LPF カットオフ周波数は、広い帯域幅を提供します。データセンター・アプリケーションでは間隔の詰まったイベント検出が不可欠ですが、これには狭パルス幅が必要となります。広い帯域幅はこれに応えるものです。リアルタイム平均化処理を行うことで、ノイズ・フロアの低減も可能です。

クロック

最大限の性能を引き出すには、ADC のサンプル・クロック入力 (CLKP (F11) および CLKN (E11)) を差動信号で駆動してください。クロック信号は通常、トランスまたはコンデンサを介して CLKP ポールと CLKN ポールに AC カップリングされます。これらのポールは、内部でバイアスされており (図 75 参照) 、外部バイアスは不要です。

クロック入力オプション

ADA4356 は、柔軟なクロック入力構造を備えています。クロック入力には、CMOS、LVDS、低電圧正エミッタ結合ロジック (LVPECL) 、サイン波信号が可能です。ジッタに関する考慮事項のセクションで説明するように、使用する信号の種類によらず、クロック源のジッタが重要な考慮事項です。

図 85 および図 86 は、ADA4356 のクロッキング方法 (内部クロック分周器前段で最大 1GHz のクロック・レート) として推奨される 2 つの方法を示しています。低ジッタのクロック源が、RF トランスまたは RF バランのいずれかを用いてシングルエンド信号から差動信号に変換されます。

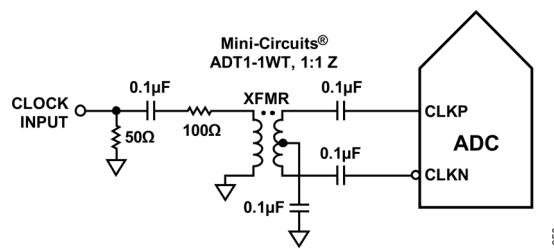


図 85. トランス・カップリング差動クロック (最大 200MHz)

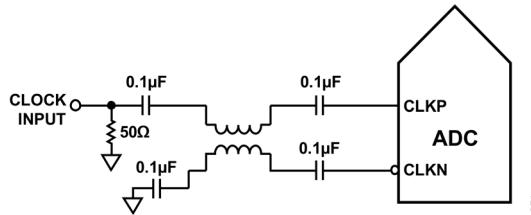


図 86. バラン・カップリング差動クロック (最大 1GHz)

RF バラン構成は、クロック周波数が 125MHz~1GHz の範囲の場合に推奨され、RF トランス構成は、クロック周波数が 10MHz~200MHz の場合に推奨されます。

低ジッタのクロック源を使用できない場合は、別のオプションとして、図 87 に示すように差動 PECL 信号をサンプル・クロック入力ポールに AC カップリングさせる方法があります。このアプリケーションに適した優れたジッタ性能を持つ PECL ドライバのリストについては、表 10 を参照してください。

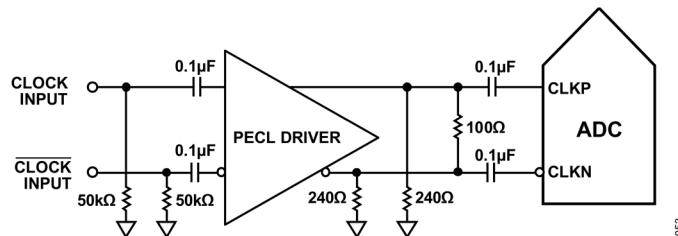


図 87. 差動 PECL サンプル・クロック (最大 1GHz)

表 10. 推奨 PECL/LVDS ドライバ

PART NUMBER (s)	FREQUENCIES
AD9510/AD9511/AD9512 (AD9512-EP grade available)	1.2GHz LVPECL, 800MHz LVDS
AD9513	800MHz LVDS
AD9514/AD9515	1.6GHz LVPECL, 800MHz LVDS
AD9516-0/AD9516-1/AD9516-2/AD9516-3/AD9516-4/AD9516-5	1.6GHz LVPECL, 800MHz LVDS
AD9517-0/AD9517-1/AD9517-2/AD9517-3/AD9517-4	1.6GHz LVPECL, 800MHz LVDS

3つ目のオプションは、図 88 に示すように、差動 LVDS 信号をサンプル・クロック入力ポールに AC カップリングさせることです。優れたジッタ性能を持つ推奨 LVDS ドライバについては、表 10 を参照してください。

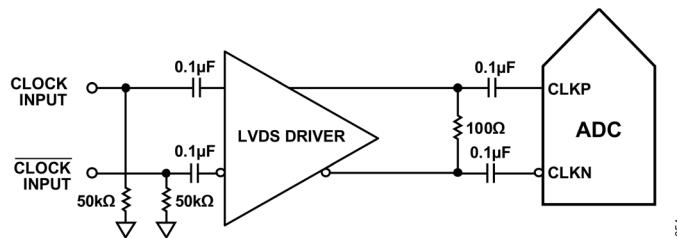


図 88. 差動 LVDS サンプル・クロック (最大 1GHz)

アプリケーションによっては、サンプル・クロック入力をシングルエンドの 1.8V CMOS 信号で駆動できる場合があります。そのようなアプリケーションでは、CLKP ポール (F11) を CMOS ゲートから直接駆動し、CLKN ポール (E11) を 0.1μF のコンデンサでグラウンドにバイパスします (図 89 参照)。

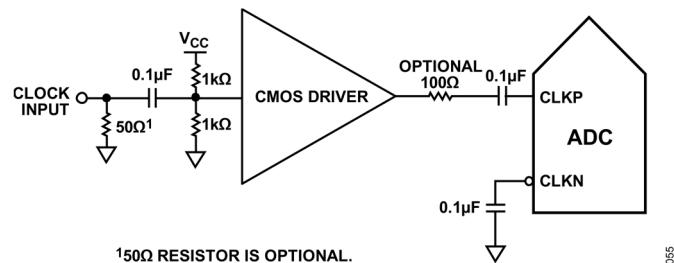


図 89. シングルエンド 1.8V CMOS 入力クロック (最大 200MHz)

入力クロック分周器

ADA4356 は、入力クロックを 1~8 の整数値で分周できる入力クロック分周器が内蔵されています。電源投入時のデフォルト・クロック分周比は、常に 1 です。異なるクロック分周比が必要な場合は、SPI レジスタ 0x0B を変更します。与えられたサンプル・レートを達成するには、外部印加クロックの周波数を分周比の値だけ倍速します。外部クロックのレートを増加させると、通常はクロック・ジッタが低下します。これは、中間周波数 (IF) アンダーサンプリング・アプリケーションの場合に利点があります。

クロックのデューティサイクル

ADC は、クロック・エッジの両方を用いて様々な内部タイミング信号を生成するため、その結果として、クロックのデューティサイクルの影響を受けることがあります。一般的に、動的な性能特性を維持するのに必要なクロックのデューティサイクルの許容誤差は、±5%です。

ADA4356 は、非サンプリング (立下がり) エッジをリタイミングするデューティサイクル・スタビライザ (DCS) を備えており、デューティサイクルが公称 50% の内部クロック信号を供給します。DCS を用いることで、ユーザは、ADA4356 の性能に影響を及ぼすことなく、広い範囲のクロック入力デューティサイクルを供給できます。ノイズ性能と歪み性能は、DCS をオンにすることで広い範囲のデューティサイクルに対しほぼ不变です。DCS 機能を無効にするには、SPI レジスタ 0x09h の最下位ビットを 0 にクリアします。

クロックの立上がりエッジのジッタは依然として懸念事項であり、内部安定化回路では容易に除去されません。デューティサイクル制御ループは、公称 20MHz 未満のクロック・レートに対しては機能しません。ループにはそれに関連する時定数があり、クロック・レートが動的に変化する可能性のあるアプリケーションではそれを考慮しなくてはなりません。DCS ループを入力信号に再度ロックさせるには、動的なクロック周波数が増加または減少してから 5μs の待機時間が必要です。

ジッタに関する考慮事項

高速で高分解能の ADC は、クロック入力の品質に大きく影響されます。次式は、S/N 比 (SNR) が所定の入力周波数 (f_A) に対しアペーチャ・ジッタ (t_J) にのみ依存してどのように低下するかを示すものです。

$$\text{SNR Degradation} = 20 \log_{10} \left(\frac{1}{2\pi \times f_A \times t_J} \right)$$

この式で、アペーチャ・ジッタ実効値は、クロック入力、アナログ入力信号、ADC のアペーチャ・ジッタ仕様を含むすべてのジッタ・ソースの実効値を表します。IF アンダーサンプリング・アプリケーションは、ジッタに対して特に敏感です。他のノイズによる影響を含まない、ジッタのみの S/N 比への影響を、図 90 に示します。

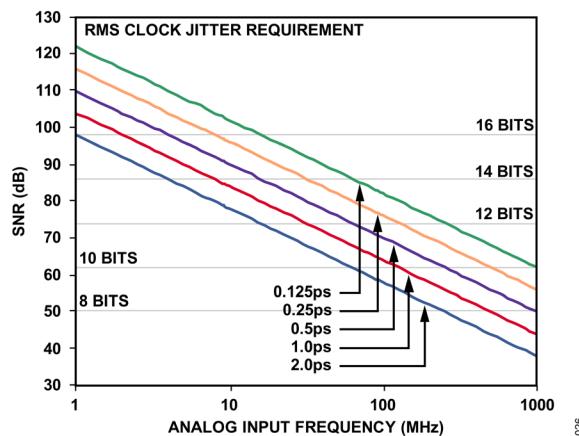


図 90. 理想 S/N 比、アナログ入力周波数、ジッタの関係

アペーチャ・ジッタが ADA4356 のダイナミック・レンジに影響する可能性がある場合は、クロック入力をアナログ信号として扱います。デジタル・ノイズによるクロック信号の変調を避けるために、クロック・ドライバ電源は ADC 出力ドライバの電源から分離してください。低ジッタの水晶発振器が最善のクロック源です。クロックが別のタイプのソース (ゲーティング、分周、その他の方法) から生成されている場合は、最終ステップで、オリジナル・クロックによりクロックのリタイミングを行うことを推奨します。

ADA4356 の内部 ADC に関する場合のジッタ性能の詳細については、アプリケーション・ノート AN-501 : アペーチャ不確定性と ADC システム性能およびアプリケーション・ノート AN-756 : サンプル化システムに及ぼすクロック位相ノイズとジッタの影響を参照してください。

クロック安定性に関する考慮事項

電源投入後直ちに、ADA4356 は、初期化フェーズに入ります。この間は、内部ステート・マシンがバイアスとレジスタをセットアップして正しい動作を可能にします。初期化プロセスの間、ADA4356 には安定したクロックが必要です。ADC 電源投入時に ADC へのクロック源が存在しない、または不安定な場合は、ステート・マシンが動作せず、ADC が不定の状態で起動する原因になります。これを補正するには、クロック源が安定になった後にレジスタ 0x08 を通じてデジタル・リセットを起動します。通常動作中にクロックが不安定になった場合も、デジタル・リセットを行って適切な動作を回復することが必要となる場合があります。

デジタル・リセットを行うための擬似コード・シーケンスは次のとおりです。

1. デジタル・リセットを行うには、レジスタ 0x08 に 0x03 を書き込みます。
2. 通常動作を行うには、レジスタ 0x08 に 0x00 を書き込みます。

制御

ADA4356 は、4 個のボールを使用してアナログ・フロント・エンドの様々な機能を制御します。 T_z を選択するには (表 11 参照) GSEL1 (A5) ボールおよび GSEL0 (A4) ボール、内部 LDO を有効化または無効化するには VL DEN (F7) ボール、内部 LPF のフィルタ帯域幅を選択するには FSEL (A6) ボールを使用します。プルアップ抵抗またはプルダウン抵抗が内蔵されていないため、これらの制御ボールは駆動する必要があります。

トランスインピーダンス・ゲインおよび性能の制御

表 9 に示すように、 T_z によって、対応する最大線形入力電流および入力換算実効値電流ノイズ (i_N) が決まります。GSEL0 および GSEL1 のロジック・レベルは、表 11 に示すように、TIA のゲイン設定を定めます。

表 11. GSEL1 および GEL0 の真理値表

GSEL1 (BALL A5)	GSEL0 (BALL A4)	INTERNAL GAIN SELECTION	TRANSIMPEDANCE
0	1	$4.7\text{k}\Omega\parallel 133\text{k}\Omega$	$T_z = 4.54\text{k}\Omega$
1	0	$12\text{k}\Omega\parallel 133\text{k}\Omega$	$T_z = 11\text{k}\Omega$
0	0	$133\text{k}\Omega$	$T_z = 133\text{k}\Omega$
1	1	Reserved	Reserved

LDO イネーブル制御

1.8V 内部 LDO は、VL DEN ボールによって制御されます。制御信号と LDO 出力の関係を表 12 に示します。

表 12. LDO 制御信号の真理値表

VLDEN (BALL F7)	VLD (BALL F12)
0	No output
1	1.8V

LPF の帯域幅の選択

ADA4356 は、内部アナログ LPF を使用してセトリング時間とノイズ性能を最適化します。表 13 に示すように、LPF は FSEL ボールを介して制御されます。LPF の帯域幅を選択する場合は、入力信号のパルス幅を考慮してください。

表 13. LPF の真理値表

FSEL (BALL A6)	LPF BANDWIDTH (MHz)
0	100
1	1

システム・データのインターフェースおよびタイミング

ADA4356 は、高速のデジタル・シリアル出力をサポートします。これらのシリアル差動出力は、LVDS 対応のデータ・レーンおよびクロック・レーンです。これらの出力レーンは、D0AP (A14)、D0AN (A13)、D1AP (B14)、D1AN (B13)、DCOP (D14)、DCON (D13)、FCOP (C14)、FCON (C13) の各ボールで構成されます。

電源投入時のデフォルトでは、ADA4356 の差動出力は、ANSI-644 の LVDS 規格に従います。LVDS 出力ドライバの各電流は、3.5mA (公称値) に設定されています。100Ω の差動終端抵抗を LVDS レシーバ入力に配置すると、レシーバにおいて 350mV (公称値) の振幅 (または 700mV p-p の差動) が得られます。

ADA4356 の差動出力は、SPI プログラミングを行うことによって、低消費電力の縮小信号範囲オプション (IEEE 1596.3 規格に類似) もサポートします。縮小範囲モードで動作する場合、LVDS 出力ドライバ電流は、2mA に減少します。この減少により、レシーバの 100Ω 終端での振幅は 200mV (または 400mV p-p の差動) になります。

LVDS 出力は、カスタムの特定用途向け IC (ASIC) や FPGA の LVDS レシーバと容易にインターフェースできるため、ノイズの多い環境においてスイッチング性能を向上できます。環境ノイズの影響を低減するには、PCB パターン設計において、 100Ω の終端抵抗をレシーバのできるだけ近くに配置した単一ポイント・ツー・ポイント・ネット・トポロジを使用することが推奨されます。相手側のレシーバに終端がなかったり、差動パターンのルーティングが適切でなかったりした場合は、タイミング誤差が生じることがあります。このようなタイミング誤差を避けるために、パターン長を最小限に抑え、差動出力パターン同士を近付けて、同じ長さとするようにしてください。

図 91 に、パターンの長さと位置を適切なものにした場合の FCO とデータ・ストリームの例を示します。図 91 および図 92 において、D0 は差動信号 D0AP – D0AN、D1 は差動信号 D1AP – D1AN です。

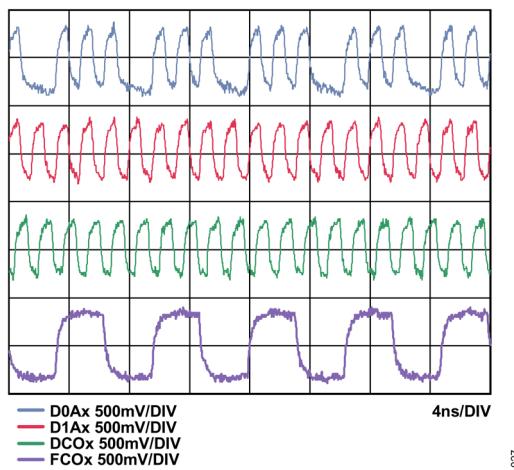


図 91. ANSI-644 モード（デフォルト）での出力タイミング例

図 92 に、縮小範囲モードでの LVDS 出力タイミング例を示します。

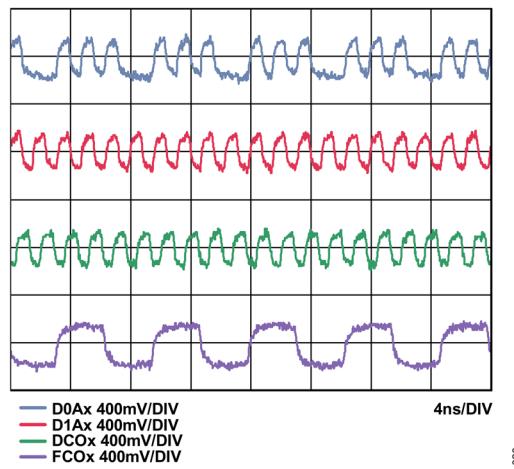


図 92. 縮小範囲モードでの LVDS 出力タイミング例

図 93 に、標準的な FR-4 材料上でパターン長を 24 インチ未満にして ANSI-644 規格（デフォルト）を使用した場合の、LVDS 出力データのアイ・パターン例を示します。

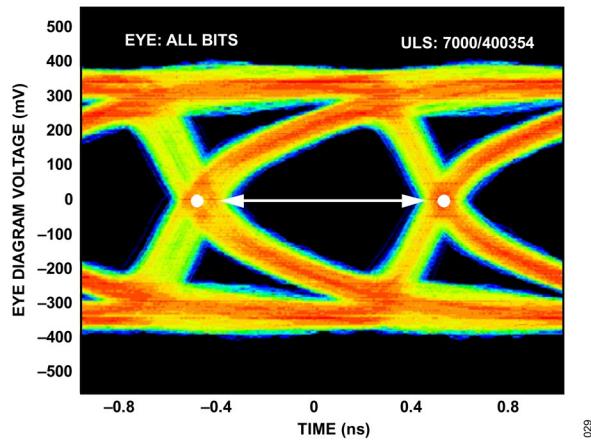


図 93. 100Ω のレシーバ側終端のみを外付けし、標準的な FR-4 材料上でパターン長を 24 インチ未満にして ANSI-644 モードを使用した場合の、LVDS 出力データのアイ・パターン（約 6 インチのパターン長の結果を表示）

図 94 に、標準的な FR-4 材料上でパターン長を 24 インチ未満にした場合の時間間隔誤差 (TIE) ジッタのヒストグラムを示します。

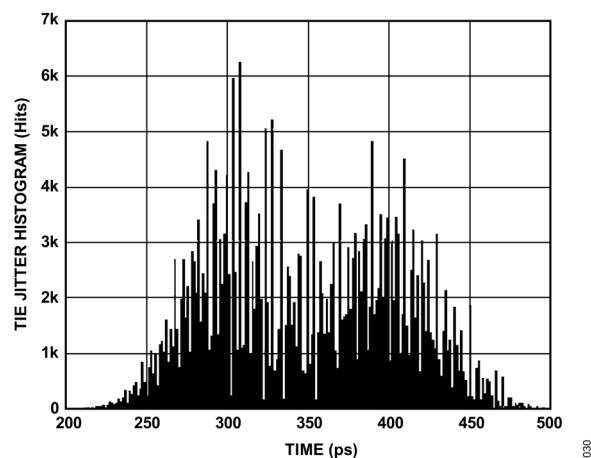


図 94. 標準的な FR-4 材料上でパターン長を 24 インチ未満にした場合の TIE ジッタのヒストグラム（約 6 インチのパターン長の結果を表示）

TIE ジッタのヒストグラムは、データのアイ開口の減少を反映しています。エッジが理想的な位置からずれるためです。波形が設計のタイミング余裕度を満たしているかどうかを判定するのはユーザの責務です。

出力データのフォーマットは、2 の補数がデフォルトです。出力コーディング・フォーマットの例については、表 14 を参照してください。出力データ・フォーマットをオフセット・バイナリに変更するには、メモリ・マップのセクションを参照してください。

電源投入後直ちに、ADA4356 の出力シリアル・ストリームは、ダブル・データ・レート (DDR)、2 レーン、バイト幅、MSB ファースト、1×フレーム、16 ビットのモードに設定されます。このデフォルト設定では、ADA4356 の各シリアル・ストリームに対するデータ・レートは、 $(16 \text{ ビット} \times \text{サンプル・クロック・レート})/2$ レーンに等しく、レーンあたり最大 1Gbps ($(16 \text{ ビット} \times 125 \text{ MSPS})/2$ レーン = レーンあたり 1Gbps) になります。

図 95 に、標準的な FR-4 材料上でパターン長を 24 インチより長くして ANSI-644 規格（デフォルト）を使用した場合の、LVDS 出力データのアイ・パターン例を示します。

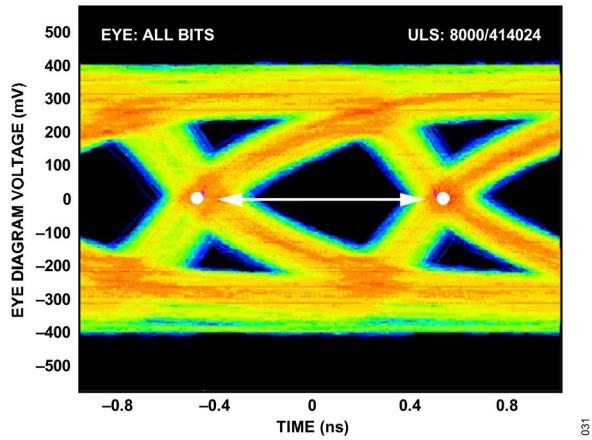


図 95. 100Ω のレシーバ側終端のみを外付けし、標準的な FR-4 材料上でパターン長を 24 インチより長くして ANSI-644 モードを使用した場合の、LVDS 出力データのアイ・パターン（約 36 インチのパターン長の結果を表示）

図 96 に、標準的な FR-4 材料上でパターン長を 24 インチより長くした場合の TIE ジッタのヒストグラムを示します。

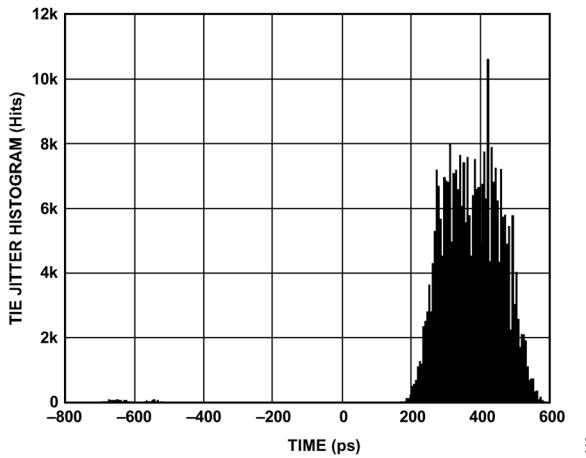


図 96. 標準的な FR-4 材料上でパターン長を 24 インチより長くした場合の TIE ジッタのヒストグラム（約 36 インチのパターン長の結果を表示）

出力クロックが 2 つあることは、ADA4356 からのデータ取得の助けとなります。DCO は出力データのクロックであり、デフォルト動作モードの場合、サンプル・クロック (CLK) のレートの 4 倍です。データはクロックに同期して ADA4356 から出力され、DDR キャプチャをサポートする DCO の立上がりエッジおよび立下がりエッジでキャプチャされなくてはなりません。FCO は新しい出力バイトの開始を通知する信号を発し、そのレートは、1×フレーム・モードではサンプル・クロックのレートと同じです。詳細については図 6 を参照してください。

SPI を使用している場合、DCO の位相は、1 データ・サイクルを基準に約 60° のインクリメント（1 DCO サイクル基準で 30°）で調整できます。この調整により、必要に応じてシステムのタイム・マージンをより精密化できます。図 6 に示す DCOP および DCON のタイミング例は、1 データ・サイクルを基準に 180°（1 DCO サイクル基準で 90°）となっています。

図 6 に示す電源投入後のデフォルト・モードでは、MSB ファーストでデータ出力シリアル・ストリームが形成されています。この構成は、SPI をプログラムすることによって、LSB ファーストのデータ出力シリアル・ストリームとなるよう反転できます。

デジタル出力のコーディング

12 枝の出力テスト・パターン・オプションが使用できます。これは SPI を通じて起動できます。この機能は、レシーバのキャプチャとタイミングを検証するのに有用です。使用可能な出力ビット・シーケンス・オプションについては、表 15 を参照してください。テスト・パターンによっては、2 種類のシリアル・シーケンス・ワードがあり、選択したテスト・パターンに応じて様々な方法で切り替えることができます。

なお、パターンによってはデータ・フォーマット選択オプションに従わない場合もある点に注意してください。また、ユーザにより定義されたカスタム・テスト・パターンを次に示すレジスタ・アドレスで指定することもできます。つまり、レジスタ 0x19、レジスタ 0x1A、レジスタ 0x1B、レジスタ 0x1C です。

表 14. デジタル出力のコーディング

INPUT (V) ¹	CONDITION	OFFSET BINARY OUTPUT MODE	TWO's COMPLEMENT MODE
VIN+ – VIN–	<–1V – 0.5LSB	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ – VIN–	–1V	0000 0000 0000 0000	1000 0000 0000 0000
VIN+ – VIN–	0V	1000 0000 0000 0000	0000 0000 0000 0000
VIN+ – VIN–	+1V – 1.0LSB	1111 1111 1111 1100	0111 1111 1111 1100
VIN+ – VIN–	>+1V – 0.5LSB	1111 1111 1111 1100	0111 1111 1111 1100

¹ VIN+およびVIN–は、正および負の入力電圧です。

表 15. 柔軟な出力テスト・モード

OUTPUT TEST MODE BIT SEQUENCE	PATTERN NAME	DIGITAL OUTPUT WORD 1	DIGITAL OUTPUT WORD 2	SUBJECT to DATA FORMAT SELECT	NOTES
0000	Off (default)	Not applicable (N/A)	N/A	N/A	N/A
0001	Midscale short	1000 0000 0000 (12-bit) 1000 0000 0000 0000 (16-bit)	N/A	Yes	Offset binary code shown
0010	+Full-scale short	1111 1111 1111 (12-bit) 1111 1111 1111 1100 (16-bit)	N/A	Yes	Offset binary code shown
0011	–Full-scale short	0000 0000 0000 (12-bit) 0000 0000 0000 0000 (16-bit)	N/A	Yes	Offset binary code shown
0100	Checkerboard	1010 1010 1010 (12-bit) 1010 1010 1010 1000 (16-bit)	0101 0101 0101 (12-bit) 0101 0101 0101 0100 (16-bit)	No	N/A
0101	PN sequence long ¹	N/A	N/A	Yes	PN23 ITU 0.150 $X^{23} + X^{18} + 1$
0110	PN sequence short ¹	N/A	N/A	Yes	PN9 ITU 0.150 $X^9 + X^5 + 1$

OUTPUT TEST MODE BIT SEQUENCE	PATTERN NAME	DIGITAL OUTPUT WORD 1	DIGITAL OUTPUT WORD 2	SUBJECT to DATA FORMAT SELECT	NOTES
0111	One-/zero-word toggle	1111 1111 1111 (12-bit) 111 1111 1111 1100 (16-bit)	0000 0000 0000 (12-bit) 0000 0000 0000 0000 (16-bit)	No	N/A
1000	User input	Register 0x19 and Register 0x1A	Register 0x1B and Register 0x1C	No	N/A
1001	1-/0-bit toggle	1010 1010 1010 (12-bit) 1010 1010 1010 1000 (16-bit)	N/A	No	N/A
1010	1× sync	0000 0011 1111 (12-bit) 0000 0001 1111 1100 (16-bit)	N/A	No	N/A
1011	1-bit high	1000 0000 0000 (12-bit) 1000 0000 0000 0000 (16-bit)	N/A	No	Pattern associated with the external ball
1100	Mixed frequency	1010 0011 0011 (12-bit) 1010 0001 1001 1100 (16-bit)	N/A	No	N/A

¹ 擬似乱数 (PN) シーケンス・ショートおよびPNシーケンス・ロング以外のすべてのテスト・モード・オプションは、12ビット～16ビットのワード長をサポートしており、レシーバに対しデータ・キャプチャを検証できます。

シリアル・ペリフェラル・インターフェース

ADA4356 の SPI を使用すると、構造化されたレジスタ空間を使用し、特定の機能や動作に合わせて内部 ADC を設定できます。レジスタには SPI ポートを介してアクセスできます。レジスタの内容は、ポートに書き込みを行うことによって変更できます。更にフィールドに分割できるバイトはレジスタ・メモリを構成します。これについては [メモリ・マップ](#) のセクションに記載されています。このデータシートで仕様規定されている詳細情報は、アプリケーション・ノート AN-877 : SPI を使った高速 ADC へのインターフェースに優先します。このアプリケーション・ノートは、一般的な情報を提供するものです。

SPI を使用する構成設定

ADA4356 は、3 線式 SPI 構成 (SCLK、SDIO、 \overline{CS}) を使用します。各ポートの機能については、[表 16](#) を参照してください。

表 16. シリアル・ポート・インターフェースのポート

記号	ポート	機能
SCLK	A11	\overline{CS} がローの場合のシリアル・クロック。シリアル・インターフェースの読み出しおよび書き込みに同期するシリアル・シフト・クロック入力。
SDIO	B11	\overline{CS} がローの場合のシリアル・データ入出力。送信された命令およびタイミング・フレームでの相対位置に応じて、入力または出力として機能します。
\overline{CS}	A10	チップ・セレクト。SPI モードの読み出しサイクルおよび書き込みサイクルを有効化する、アクティブ・ローの制御。

\overline{CS} の立下がりエッジと SCLK の立上がりエッジの関係によって、タイミングの開始が決まります。シリアル・タイミングの例を [図 5](#) に示します。タイミング・パラメータの定義については、[表 4](#) を参照してください。

ADA4356 アプリケーションでは、SPI モードを有効にするために電源投入時に \overline{CS} をローにする必要があります。そしてその後もそれを保持します。これをストリーミングと呼びます。 \overline{CS} は、バイトとバイトの間でハイ状態を保持することによって、外部タイミングを追加できます。

SPI 動作の命令フェーズの間は、16 ビットの命令が送信されます。データが命令フェーズの後に続き、このデータの長さは、W0 ビットと W1 ビットによって決まります ([図 5](#) 参照)。

ワード長に加えて、命令フェーズはシリアル・フレームが読み出し動作か書き込み動作かを決定します。これによって、チップのプログラミングとオンチップ・メモリの内容読み出しの両方でシリアル・ポートを使用できるようになります。マルチバイト・シリアル・データ転送フレームにおける先頭バイトの先頭ビットは、発行されているのが読み出しコマンドか書き込みコマンドかを示します。命令がリードバック動作の場合は、リードバックを実行すると、SDIO ポートがシリアル・フレーム内の適当な位置で入力から出力に方向を変えます。

すべてのデータは、8 ビット・ワードで構成されます。データは、MSB ファースト・モードまたは LSB ファースト・モードで送信できます。MSB ファースト・モードは電源投入時のデフォルトですが、SPI ポート構成レジスタを介して変更できます。この機能やその他の機能の詳細については、アプリケーション・ノート AN-877 : SPI を使った高速 ADC へのインターフェースを参照してください。

ADC SPI のスタートアップ・シーケンス

適切なデバイス動作と消費電力を確保するには、ADA4356 の電源投入後や電源の再投入を行った場合は常に、以下の SPI シーケンスを書き込む必要があります。

```
//SPI_WRITE(Memory Map Register,  
Register Value)  
SPI_WRITE(0x00, 0x00);  
SPI_WRITE(0x05, 0x02);  
SPI_WRITE(0x22, 0x03);  
SPI_WRITE(0x05, 0x31);
```

ハードウェア・インターフェース

表 16 に示すポートは、ユーザ・プログラミング・デバイスと ADA4356 のシリアル・ポートとの間の物理的インターフェースを構成します。SCLK ポートと CS ポートは、SPI 使用時の入力として機能します。SDIO ポートは双方で、書き込みフェーズ時には入力として、リードバック時には出力として機能します。

SPI は、FPGA またはマイクロコントローラによって制御するのに十分な柔軟性を備えています。SPI の構成方法の 1 つが、アプリケーション・ノート AN-812 : Microcontroller-Based Serial Port Interface (SPI®) Boot Circuit に詳しく記載されています。

コンバータのすべての動的性能が必要な場合は、SPI ポートをアクティブにしないことを推奨します。一般に、SCLK、CS、SDIO の各信号は ADC クロックに同期していないため、これらの信号からのノイズによってコンバータの性能が低下することがあります。内蔵 SPI バスを他のデバイスに対して使用する場合は、このバスと ADA4356 の間にバッファを設けて、重要なサンプリング期間にコンバータ入力でこれらの信号が変化するのを防止する必要があります。

SPI からアクセスできる機能

表 17 に、SPI を介してアクセスできる一般的な機能の概要を示します。これらの機能の一般的な説明については、アプリケーション・ノート AN-877 : SPI を使った高速 ADCへのインターフェースを参照してください。ADA4356 のデバイス固有の機能は、表 18 に記載されています。

表 17. SPI を使ってアクセスできる機能

機能名	説明
電力モード	パワーダウン・モードまたはスタンバイ・モードのいずれかに設定できます。
クロック	DCS へのアクセス、クロック分周器の設定、クロック分周器の位相の設定ができます。
オフセット	コンバータのオフセットをデジタル的に調整できます。

メモリ・マップ

概要

メモリ・マップ・レジスタの表 18 には、ADA4356 のレジスタが記載されています。これらのレジスタは、ADC のみを設定し制御します。メモリ・マップは、3 つのセクションに分かれています。チップ設定レジスタ、デバイス・インデックス・レジスタ、セットアップおよび制御を含むグローバル ADC 機能レジスタです。

各レジスタには 8 つのビット位置があります。ビット 7 (MSB) が見出しえている列には、所定のデフォルト 16 進数値の最上位ビットが入ります。例えば、デバイス・インデックス・レジスタであるレジスタ 0x05 には、0x33 のデフォルトの 16 進数値が入ります。つまり、レジスタ 0x05 のビット[7:6] = 00、ビット[5:4] = 11、ビット[3:2] = 00、ビット[1:0] = 11 (いずれも 2 進数) となります。

SPI ポート機能の詳細については、アプリケーション・ノート AN-877 : SPI を使った高速 ADC へのインターフェースを参照してください。このアプリケーション・ノートでは、レジスタ 0x00～レジスタ 0xFF によって制御される機能が説明されています。

オープンの位置

表 18 において、レジスタ・ビットがオープンの位置は ADA4356 に予約されています。これらのビットは常に 0 に設定する必要があります。

デフォルト値

デフォルト値は表 18 に示されています。

電源投入後、すべてのレジスタにこれらのデフォルト値がロードされます。ADA4356 をソフト・リセットするには、レジスタ 0x00 を使用します。読み出し専用レジスタ (レジスタ 0x02) 以外のすべてのレジスタに、デフォルト値がロードされます。

ロジック・レベル

ロジック・レベルに関する用語を以下に説明します。

- 「ビットをセットする」というのは、「ビットをロジック 1 に設定する」または「そのビットにロジック 1 を書き込む」ということと同義です。
- 「ビットをクリアする」というのは、「ビットをロジック 0 に設定する」または「そのビットにロジック 0 を書き込む」ということと同義です。

メモリ・マップ・レジスタ表

ADA4356 は、3 線式インターフェースと 16 ビットのアドレス指定方式を用います。そのため、レジスタ 0x00 のビット 0 およびビット 7 は 0 に設定され、ビット 3 およびビット 4 は 1 に設定されます。

レジスタ 0x00 のビット 5 がハイに設定されると、SPI はソフト・リセットになります。その場合、すべてのユーザ・レジスタは、デフォルト値に復帰し、ビット 2 は自動的にクリアされます。

表 18. メモリ・マップ・レジスタ

REG. (HEX)	REGISTER NAME	BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)	DEFAULT VALUE (HEX)	COMMENTS
CHIP CONFIGURATION REGISTERS											
0x00	SPI port configuration	0 = SDO active	LSB first	Soft reset	1 = 16-bit address	1 = 16-bit address	Soft reset	LSB first	0 = SDO active	0x18	Nibbles are mirrored to allow a given register value to perform the same function for either MSB-

REG. (HEX)	REGISTER NAME	BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)	DEFAULT VALUE (HEX)	COMMENTS
											first or LSB-first mode.
0x01	Chip ID (global)	8-bit chip ID, Bits[7:0], ADA4356								0x8B	Unique chip ID used to differentiate devices; read only.
DEVICE INDEX and TRANSFER REGISTERS											
0x05	Device index	Open	Open	Clock channel DCO	Clock channel FCO	Open	Open	01 = data channel enabled, 00 = data channel disabled, Bit 1 only used after start-up or power cycle, see the ADC SPI Start-Up Sequence section	0x33	Bits are set to determine which channels receive the next write command. Bit 1 is only used after start-up or power cycle.	
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Initiate override	0x00	Set resolution/ sample rate override.
GLOBAL ADC FUNCTION REGISTERS											
0x08	ADC power modes (global)	Open	Open	Open	Open	Open	Open	Power mode: 00 = chip run, 01 = full power-down, 10 = standby, 11 = reset	0x00	Determines various generic modes of chip operation.	
0x09	Clock (global)	Open	Open	Open	Open	Open	Open	Open	DCS: 0 = off, 1 = on	0x00	Turns DCS on or off.
0x0B	Clock divide (global)	Open	Open	Open	Open	Open	Clock divide ratio[2:0]: 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8	0x00	Not applicable.		
0x0D	Test mode (local except for PN sequence resets)	User input test mode: 00 = single, 01 = alternate, 10 = single once, 11 = alternate once (affects user input test mode only, Bits[3:0] = 1000)	Reset PN long gen	Reset PN short gen	Output test mode, Bits[3:0] (local): 0000 = off (default), 0001 = midscale short, 0010 = positive full-scale, 0011 = negative full-scale, 0100 = alternating checkerboard, 0101 = PN23 sequence, 0110 = PN9 sequence, 0111 = one-/zero-word toggle, 1000 = user input, 1001 = 1-/0-bit toggle, 1010 = 1× sync, 1011 = one bit high, 1100 = mixed bit frequency	0x00	When set, the test data is placed on the output balls in place of normal data.				

REG. (HEX)	REGISTER NAME	BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)	DEFAULT VALUE (HEX)	COMMENTS	
0x14	Output mode	Open	LVDS- ANSI/ LVDS- IEEE option : 0 = LVDS- ANSI, 1 = LVDS- IEEE reduc ed range link (global , see Table 19	Open	Open	Open	Output invert (local)	Open	Output format: 0 = offset binary, 1 = two's comple ment (global)	0x01	Configures the outputs and format of the data.	
0x15	Output adjust	Open	Open	Output driver termination, Bits[1:0]: 00 = none, 01 = 200Ω, 10 = 100Ω, 11 = 100Ω		Open	Open	Open	Output drive: 0 = 1× drive, 1 = 2× drive	0x00	Determines LVDS or other output properties.	
0x16	Output phase	Open	Input clock phase adjust, Bits[6:4] (value is the number of input clock cycles of phase delay), see Table 20				Output clock phase adjust, Bits[3:0] (0000 through 1011), see Table 21				0x03	On devices using global clock divide, Register 0x16 determines which phase of the divider output is used to supply the output clock. Internal latching is unaffected.
0x19	USER_PATT1_ LSB (global)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User- defined pattern 1LSB.	
0x1A	USER_PATT1_ MSB (global)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User- defined pattern 1MSB.	
0x1B	USER_PATT2_ LSB (global)	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User- defined pattern 2LSB.	
0x1C	USER_PATT2_ MSB (global)	B15	B14	B13	B12	B11	B10	B9	B8	0x00	User- defined	

REG. (HEX)	REGISTER NAME	BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)	DEFAULT VALUE (HEX)	COMMENTS
											pattern 2MSB.
0x21	Serial output data control (global)	LVDS output: 0 = MSB first (default), 1 = LSB first	SDR/DDR 1-lane/2-lane, bit wise/byte wise, Bits[6:4]: 000 = SDR 2-lane, bit wise, 001 = SDR 2-lane, byte wise, 010 = DDR 2-lane, bit wise, 011 = DDR 2-lane, byte wise (default), 100 = DDR 1-lane, word wise	Encode mode: 0 = normal encode rate mode (default), 1 = low encode mode for sample rate of <20MSPS	0 = 1× frame (default), 1 = 2× frame	Serial output number of bits: 00 = 16 bits (default), 10 = 12 bits			0x30	Serial stream control. Sample rate of <20MSPS requires that Bits[6:4] = 100 (DDR 1-lane) and Bit 3 = 1 (low encode mode).	
0x22	Serial channel status (local)	Open	Open	Open	Open	Open	Open	Channel output reset	Channel power-down	0x00	Used to power down individual sections of a converter.
0x100	Resolution/sample rate override	Open	Resolution/sample rate override enable	Resolution: 01 = 14 bits 10 = 12 bits	Open	Sample rate: 000 = 20MSPS, 001 = 40MSPS, 010 = 50MSPS, 011 = 65MSPS, 100 = 80MSPS, 101 = 105MSPS, 110 = 125MSPS			0x00	Resolution/sample rate override (requires writing to the transfer register, 0xFF).	
0x101	User input/output control	Open	Open	Open	Open	Open	Open	Open	SDIO pull-down	0x00	Disables SDIO pull-down.

メモリ・マップ・レジスタの説明

ここに記載されていないレジスタの詳細、およびレジスタ 0x00～レジスタ 0xFF で制御される機能の一般的な詳細については、アプリケーション・ノート AN-877 : SPI を使った高速 ADCへのインターフェースを参照してください。

チップ ID (レジスタ 0x01)

このレジスタの電源投入時のデフォルト値は、0x8B です。

レジスタ 0x01 は、チップの識別と SPI 認証のために用いられる、読み出し専用レジスタです。

デバイス・インデックス (レジスタ 0x05)

このレジスタの電源投入時のデフォルト値は、0x33 です。

ビット[7:6]—オープン

ビット 5—クロック・チャンネルの DCO

ビット 5 は、出力 DCO のクロック・チャンネルを選択するために使用します。

ビット 4—クロック・チャンネルの FCO

ビット 4 は、出力 FCO のクロック・チャンネルを選択するために使用します。

ビット[3:2]—オープン**ビット[1:0]—データ・チャンネル**

ビット 1 をセットすると、データ・チャンネルが SPI 書込みコマンドを受信できるようになります。確実にビット 0 が正しく設定されるようにするために、スタートアップまたはリセット後直ちに、[ADC SPI のスタートアップ・シーケンス](#)のセクションで示した SPI 書込みコマンドを実行してください。

ADC のパワー・モード (レジスタ 0x08)

このレジスタの電源投入時のデフォルト値は、0x00 です。

ビット[7:2]—オープン**ビット[1:0]—パワー・モード**

通常動作時 (ビット[1:0] = 00)、ADC はアクティブです。

パワーダウン・モード時 (ビット[1:0] = 01)、デジタル・データパス・クロックは無効化され、この間、デジタル・データパスはリセットされます。出力は無効化されます。

スタンバイ・モード時 (ビット[1:0] = 10)、デジタル・データパスはクロック動作し、出力は無効化されます。

デジタル・リセット時 (ビット[1:0] = 11)、チップのすべてのデジタル・クロックと出力 (適用可能な場合) は、SPI ポートを除きリセットされます。SPI ポートは常にユーザ制御下にあります。つまり、ポートはパワーオン・リセットされた場合を除き、決して自動的に無効化されたり、リセット状態になったりすることはありません。

クロック (レジスタ 0x09)

このレジスタの電源投入時のデフォルト値は、0x00 です。

ビット[7:1]—オープン**ビット 0—DCS**

このビットは DCS をオン／オフします。

クロック分周 (レジスタ 0x0B)

このレジスタの電源投入時のデフォルト値は、0x00 です。

ビット[7:3]—オープン**ビット[2:0]—クロック分周比**

ビット[2:0]は、クロック分周比を設定するために用いられます。

出力モード (レジスタ 0x14)

このレジスタの電源投入時のデフォルト値は、0x01 です。

ビット 7—オープン**ビット 6—LVDS-ANSI/LVDS-IEEE オプション**

このビットをセットすると、LVDS-IEEE (縮小範囲) オプションが選択されます。このビットのデフォルト設定は LVDS-ANSI です。LVDS-ANSI または LVDS-IEEE 縮小範囲リンクが選択されている場合、分流電流は、最適な出力振幅となるよう、自動的に選択されます。

表 19. LVDS-ANSI/LVDS-IEEE オプション

ビット 6	出力モード	出力ドライバ電流
0	LVDS-ANSI (デフォルト)	最適な振幅となるよう自動的に選択されます。
1	LVDS-IEEE 縮小範囲リンク	最適な振幅となるよう自動的に選択されます。

ビット[5:3]—オープン**ビット 2—出力反転**

このビットをセットすると出力ビット・ストリームが反転します。

ビット 1—オープン**ビット 0—出力フォーマット**

デフォルトでは、このビットは、2 の補数フォーマットでデータ出力を送信するよう設定されます。このビットを 0 にクリアすると、出力モードがオフセット・バイナリに変更されます。

出力調整 (レジスタ 0x15)

このレジスタの電源投入時のデフォルト値は、0x00 です。

ビット[7:6]—オープン**ビット[5:4]—出力ドライバ終端**

これらのビットを用いることで内部終端抵抗を選択できます。

ビット[3:1]—オープン**ビット 0—出力ドライバ**

出力調整レジスタのビット 0 は、FCO と DCO の両出力の LVDS ドライバの駆動強度のみを制御します。デフォルト値は駆動強度を 1 倍に設定します。または、レジスタ 0x05 の該当チャンネルのビットをセットし次いでレジスタ 0x15 のビット 0 をセットすることによって、駆動強度を 2 倍に増加できます。これらの機能は出力ドライバ終端選択とは併用できません。出力ドライバ終端および出力ドライバの両方が選択されている場合、終端の選択が FCO および DCO の 2 倍の駆動強度より優先されます。

出力の位相 (レジスタ 0x16)

このレジスタの電源投入時のデフォルト値は、0x03 です。

ビット 7—オープン**ビット[6:4]—入力クロック位相調整**

クロック分周器 (レジスタ 0x0B) を用いる場合、適用されるクロックは、内部サンプリング・クロックより高い周波数となります。レジスタ 0x16 のビット[6:4]は、外部クロック・サンプリングが行われる位相を決定します。入力クロック位相調整は、クロック分周器を用いる場合にのみ適用可能です。レジスタ 0x0B のビット[2:0]より大きな値をビット[6:4]に選択することは禁じられています。表 20 を参照してください。

ビット[3:0]—出力クロック位相調整

詳細については、表 21 を参照してください。

表 20. 入力クロック位相調整のオプション

INPUT CLOCK PHASE ADJUST, REGISTER 0x16, BITS[6:4]	NUMBER of INPUT CLOCK CYCLES of PHASE DELAY
000 (Default)	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

表 21. 出力クロック位相調整のオプション

OUTPUT CLOCK (DCO), PHASE ADJUST, REGISTER 0x16, BITS[3:0]	DCO PHASE ADJUSTMENT (APPROXIMATE DEGREES RELATIVE to the DxAP/DxAN EDGE)
0000	0
0001	60
0010	120
0011 (Default)	180
0100	240
0101	300
0110	360
0111	420
1000	480
1001	540
1010	600
1011 through 1111	600

シリアル出力データの制御（レジスタ 0x21）

このレジスタの電源投入時のデフォルト値は、0x30 です。

シリアル出力データ制御レジスタは、異なるデータ・キャプチャ・ソリューションに対応できるよう、ADA4356 を様々な出力データ・モードにプログラムします。表 22 に、ADA4356 で使用できる各種シリアル化オプションを示します。なお、シングル・データ・レート (SDR) モードの場合、DCO 周波数は与えられたサンプル・レートに対する DDR モードでの周波数の 2 倍になります。SDR モードでは、DCO LVDS ドライバの能力の範囲内に収めるために、ADC のサンプル・レートを 62.5MSPS 未満に減じ、DCO の周波数を 500MHz 未満に維持してください。

ユーザ入力／出力の制御 2（レジスタ 0x101）

このレジスタの電源投入時のデフォルト値は、0x00 です。

ビット[7:1]-オープン

ビット 0-SDIO プルダウンを無効化

ビット 0 は、多くのデバイスが SPI バスに接続されている場合にロードを制限する、SDIO ポール (B11) の $31\text{k}\Omega$ の内部プルダウン抵抗を無効化するよう設定できます。

表 22. レジスタ 0x21 のオプション

SERIALIZATION OPTIONS SELECTED					
REGISTER 0x21 CONTENTS	SERIAL OUTPUT NUMBER of BITS (SONB)	FRAME MODE	SERIAL DATA MODE	DCO MULTIPLIER	TIMING DIAGRAM
0x30	16-bit	1×	DDR 2-lane byte wise	$4 \times f_s$	See Figure 6 (default setting).
0x20	16-bit	1×	DDR 2-lane bit wise	$4 \times f_s$	See Figure 6 .
0x10	16-bit	1×	SDR 2-lane byte wise	$8 \times f_s$	See Figure 6 .
0x00	16-bit	1×	SDR 2-lane bit wise	$8 \times f_s$	See Figure 6 .
0x34	16-bit	2×	DDR 2-lane byte wise	$4 \times f_s$	See Figure 8 .
0x24	16-bit	2×	DDR 2-lane bit wise	$4 \times f_s$	See Figure 8 .
0x14	16-bit	2×	SDR 2-lane byte wise	$8 \times f_s$	See Figure 8 .
0x04	16-bit	2×	SDR 2-lane bit wise	$8 \times f_s$	See Figure 8 .
0x40	16-bit	1×	DDR 1-lane word wise	$8 \times f_s$	See Figure 10 .
0x32	12-bit	1×	DDR 2-lane byte wise	$3 \times f_s$	See Figure 7 .
0x22	12-bit	1×	DDR 2-lane bit wise	$3 \times f_s$	See Figure 7 .
0x12	12-bit	1×	SDR 2-lane byte wise	$6 \times f_s$	See Figure 7 .
0x02	12-bit	1×	SDR 2-lane bit wise	$6 \times f_s$	See Figure 7 .
0x36	12-bit	2×	DDR 2-lane byte wise	$3 \times f_s$	See Figure 9 .
0x26	12-bit	2×	DDR 2-lane bit wise	$3 \times f_s$	See Figure 9 .
0x16	12-bit	2×	SDR 2-lane byte wise	$6 \times f_s$	See Figure 9 .
0x06	12-bit	2×	SDR 2-lane bit wise	$6 \times f_s$	See Figure 9 .
0x42	12-bit	1×	DDR 1-lane word wise	$6 \times f_s$	See Figure 11 .

PCB 設計のコツ

信号の完全性に関する推奨事項

配線パターン長とそれに付随する寄生容量を最小限に抑えるために、フォト・ダイオード信号源は ADA4356 にできるだけ近付けて配置します。更に寄生容量を低減するために、入力パターン直下のすべてのグラウンド・レイヤとは距離を置きます。また、タイミングの問題が生じる可能性をなくすために、すべての LVDS ライン (DCON, DCOP, FCON, FCOP, D0AN, D0AP, D1AN, D1AP) の長さを等しくします。

熱設計に関する推奨事項

ADA4356 は、複数の VCC ボールと GND ボールを使用し、内部の電源とグラウンドィングの要件を満たしやすくしています。モジュール内で適切な電気的接続を実現できるよう、これらのボールをすべて接続する必要があります。また、複数の VCC ボールおよび GND ボールの PCB 接続は、熱設計と一体をなす部分です。ADA4356 の VCC ボールおよび GND ボールはすべて、熱抵抗を可能な限り抑えて PCB 銅プレーンに接続する必要があります。最高の熱性能を発揮するために、これらのプレーンには現実的な範囲でできるだけ多くのサーマル・ビアを設ける必要があります。これにより、PCB の下部を通じて放熱するために可能な限り熱抵抗の低い経路が提供されます。これらのビアは半田処理によってフィルまたはプラグします。

表面実装設計

表 23 は、CSP_BGA スタイルの表面実装パッケージに適応した PCB 設計を行うための補助として提示するものです。業界標準の設計推奨事項については、IPC-7351, Generic Requirements for Surface-Mount Design and Land Pattern Standard を参照してください。

表 23. 表面実装設計で用いる CSP_BGA データ

PACKAGE	BALL ATTACH TYPE	SOLDER MASK OPENING	BALL PAD SIZE
84-Ball CSP_BGA (BC-84-4)	Solder mask defined	0.35mm diameter	0.40mm diameter

外形寸法

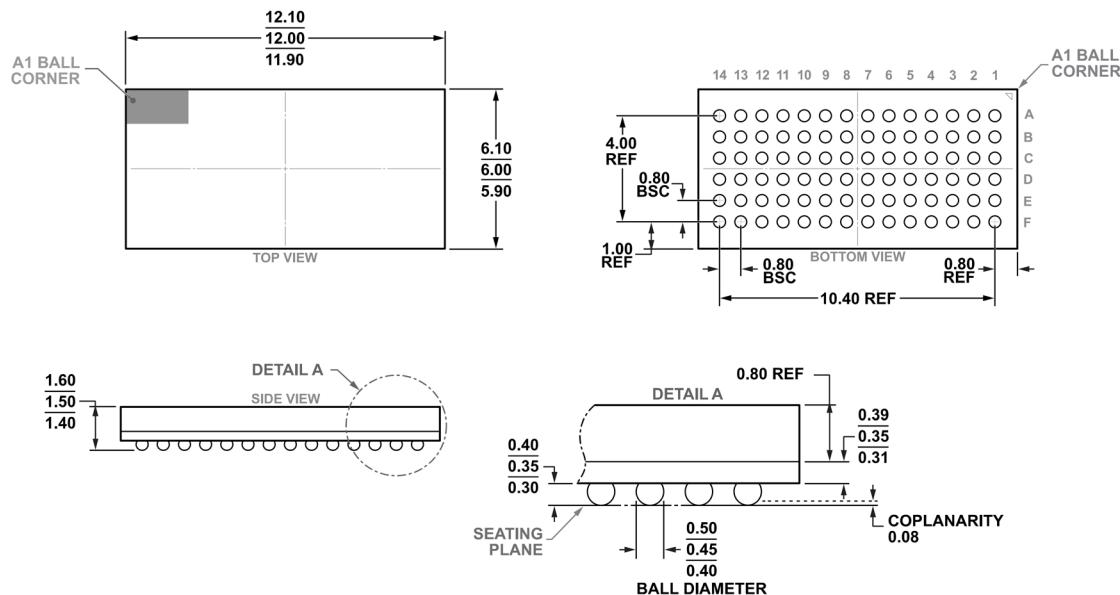


図 97.84 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-84-4)
寸法: mm

09-25-2018-A

オーダー・ガイド

表 24. オーダー・ガイド

MODEL ¹	TEMPERATURE RANGE	PACKAGE DESCRIPTION	PACKAGE OPTION
ADA4356ABCZ	-40°C to +85°C	84-Ball Chip-Scale Package Ball Grid Array [CSP_BGA]	BC-84-4

¹ Z = RoHS 準拠製品。

ここに含まれるすべての情報は現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズ社は、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。明示か默示かを問わず、アナログ・デバイセズの製品またはサービスが使用される組み合わせ、マシン、またはプロセスに関連するアナログ・デバイセズの特許権、著作権、マスク・ワーク権、またはその他のアナログ・デバイセズの知的所有権に基づいてライセンスが付与されるわけではありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載のすべてのアナログ・デバイセズ製品は、販売状況および在庫状況に依存します。