



データシート

AD9084

Apollo MxFE、16 ビット 28GSPS クワッド RF DAC および 12 ビット 20GSPS クワッド RF ADC

特長

- ▶ 設定変更可能なミックスド・シグナル・プラットフォーム設計
- ▶ 4 個ずつの 16 ビット RF DAC と 12 ビット RF ADC (4T4R)
- ▶ 使用可能 RF アナログ帯域幅: 最大 18GHz
- ▶ 高速 AGC 制御用の低遅延・高速検出
- ▶ スペクトラム・スニファおよびモニタ
- ▶ 低速 AGC 制御用の信号検モニタ
- ▶ 複数ループバック (ADC から DAC)
- ▶ パワー・アンプ後段の保護回路
- ▶ 最大 DAC/ADC サンプル・レート: 28GSPS/20GSPS
- ▶ 汎用デジタル機能
- ▶ 最大瞬時帯域幅: チャンネルあたり 10GHz (2T2R)
- ▶ ADC および DAC の最大サンプル・レートでプログラム可能な FIR フィルタ
- ▶ 設定変更可能な微調整用および粗調整用 DDC と DUC
- ▶ プロファイルによる高速周波数ホッピング
- ▶ SPI、HSCI、または GPIO を通じた動的設定
- ▶ 1 倍から 2 倍まで設定可能なフラクショナル・データレート・リサンプリング
- ▶ JESD204B および JESD204C: 20Gbps および 28.21Gbps
- ▶ 温度モニタリング・ユニット内蔵
- ▶ パッケージ: 24mm × 26mm、0.8mm ピッチの 899 ボール BGA

概要

このミックスド・シグナル・フロントエンド (Apollo MxFE®) は、16 ビットで最大サンプル・レート 28GSPS の RF D/A コンバータ (DAC) コア、および 12 ビットで最大サンプル・レート 20GSPS の RF A/D コンバータ (ADC) コアを内蔵した高集積デバイスです。AD9084 は、4 つのトランスミッタ・チャンネルと 4 つのレシーバ・チャンネルをサポートしており、広範な瞬時帯域幅の信号を処理するための広帯域 ADC と DAC が必要なアプリケーションに最適です。このデバイスは、48 レーンの 28.21Gbps JESD204C または 20Gbps JESD204B データ・トランスミッタ・ポート、オン・チップ・クロック逓倍器、およびデジタル・シグナル・プロセッサ (DSP) 機能を搭載し、広帯域またはマルチバンドの DC~RF アプリケーションを対象としています。また、DSP データパスをバイパスして ADC コアや DAC コアの全帯域幅を使用できるバイパス・モードも備えています。更に、フェーズド・アレイ・レーダー・システムと電子戦アプリケーションを対象とした低遅延ループバック・モードと周波数ホッピング・モードも備えています。

AD9084 は、24mm × 26mm の 899 ボール BGA_{ED} を採用しています。

アプリケーション

- ▶ レーダーおよびフェーズド・アレイ・システム
- ▶ シーカ・フロント・エンド
- ▶ 戦術防衛無線インフラストラクチャ
- ▶ 電子戦およびシグナル・インテリジェンス
- ▶ ワイヤレス通信インフラストラクチャ
- ▶ ワイヤレス通信テスト (5G ミリ波、5G C バンド、バックホール)

表 1. 製品を構成する特徴的なトランスミッタ機能とレシーバ機能

Model	Transmitter (Tx)				Receiver (Rx)				Input Network
	DAC Channel	Maximum DAC Rate (GSPS)	Analog BW ¹ (GHz)	Maximum Tx iBW ² (GHz)	ADC Channel	Maximum ADC Rate (GSPS)	Analog BW ³ (GHz)	Maximum Rx iBW ² (GHz)	
AD9084-DF	4	28	18	14	4	20	18	10	Differential

¹ アナログ帯域幅は、DAC 出力ポートが対応している許容周波数範囲。

² 最大 iBW は最大瞬時帯域幅。

³ アナログ帯域幅は、ADC 入力ポートが対応している許容周波数範囲。

Rev. B

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	差動 ADC の AC 仕様	16
アプリケーション	1	シリアル・ポート・インターフェース (SPI) と 高速制御インターフェース (HSCI) の仕様	19
概要	1	絶対最大定格	20
機能ブロック図	4	リフロー・プロファイル	20
仕様	6	熱抵抗	21
推奨動作条件	6	静電放電 (ESD 定格)	21
消費電力	7	ESD に関する注意	21
DAC の DC 仕様	8	ピン配置およびピン機能の説明	22
差動 ADC の DC 仕様	8	代表的な性能特性	30
クロック入力とフェーズ・ロック・ループ (PLL) の仕様	9	DAC	30
サンプル・レートの仕様	9	ADC	38
数値制御発振器 (NCO) の周波数仕様	10	消費電力スweep	52
JESD204B および JESD204C の速度仕様	11	動作原理	53
CMOS ピンの仕様	12	アプリケーション情報	55
DAC の AC 仕様	13	外形寸法	56
		オーダー・ガイド	56
		評価用ボード	56

改訂履歴

6/2025—Rev. A to Rev. B	
Changes to Figure 4	22
6/2025—Rev. 0 to Rev. A	
Changes to Features Section	1
Changes to General Description Section	1
Changes to Figure 1	4
Added Figure 2; Renumbered Sequentially	5
Changed AD9084 ADC Digital Supply Sampling Frequency (fS) > 16GSPS then 1V Supply Parameter to AD9084 ADC Digital Supply Sampling Frequency (fS) > 16GSPS: 1.0V Parameter, Table 2	6
Changed Clock Input Specifications Section to Clock Input and Phase-Locked Loop (PLL) Specifications Section	9
Changed Output Data Rate Parameter to Data Rate Parameter, Table 3	7
Changes to Table 7	9
Changes to Table 11	11
Added Note 3, Table 17	13
Changes to Table 18	16
Changes to Table 19	17
Changes to Absolute Maximum Ratings Section and Table 23	20
Added Table 24; Renumbered Sequentially	20
Changes to Table 27	22
Changes to 20GSPS Section and Figure 5	30
Added Figure 8	30
Changes to 28GSPS Section and Figure 21	33
Added Figure 24 and Figure 32	33
Added Sample Rate Sweep Section, Figure 38, Figure 39, Figure 40, and Figure 41	37
Changes to 20GSPS Section	38
Added Figure 58	41

目次

Changes to 14GSPS Section 46

Added Figure 91 and Figure 102 47

Changes to Theory of Operation Section 53

Changes to Ordering Guide 56

4/2025—Revision 0: Initial Version

機能ブロック図

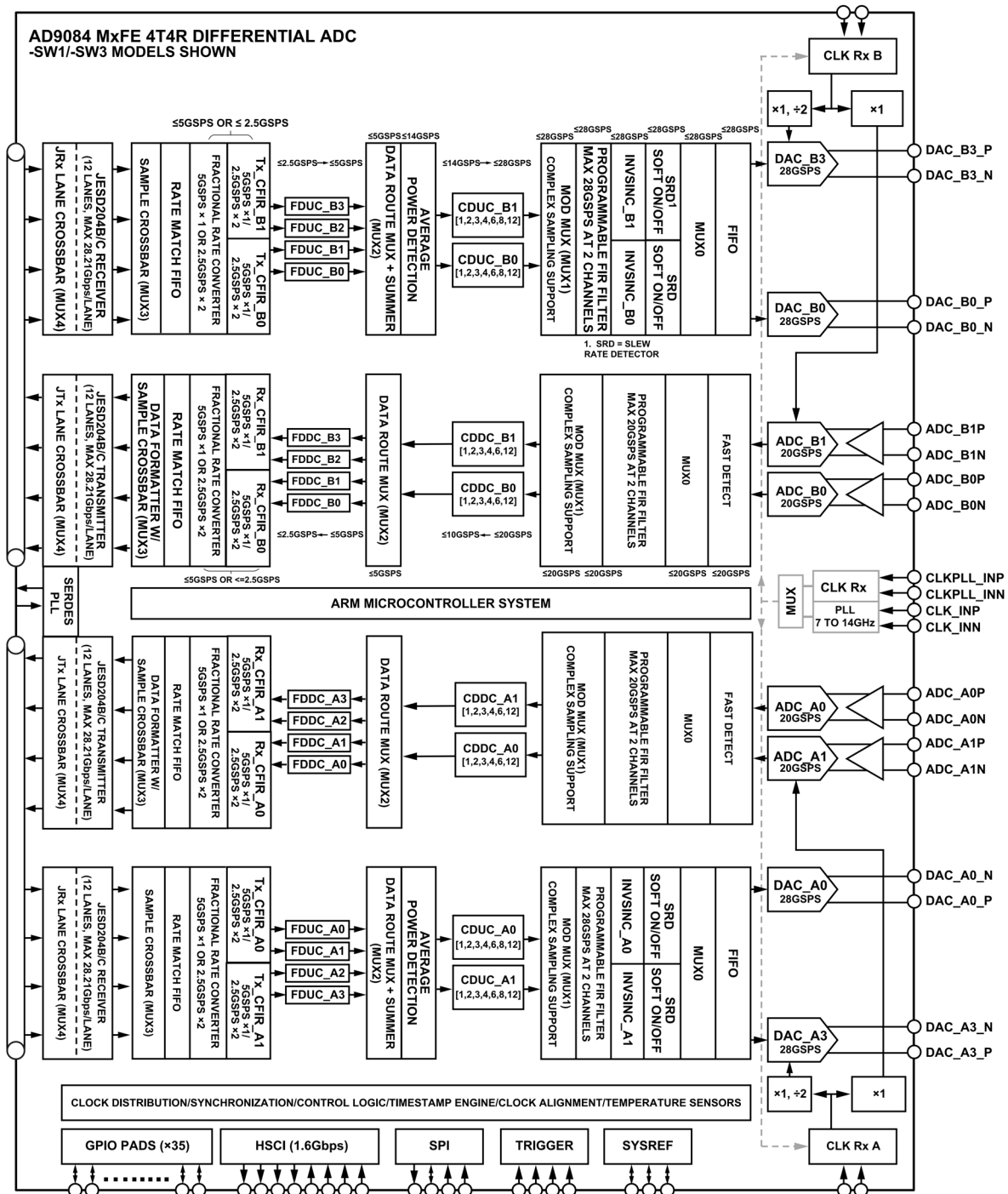


図 1. 4T4R 差動 ADC (SW1、SW3)

100

機能ブロック図

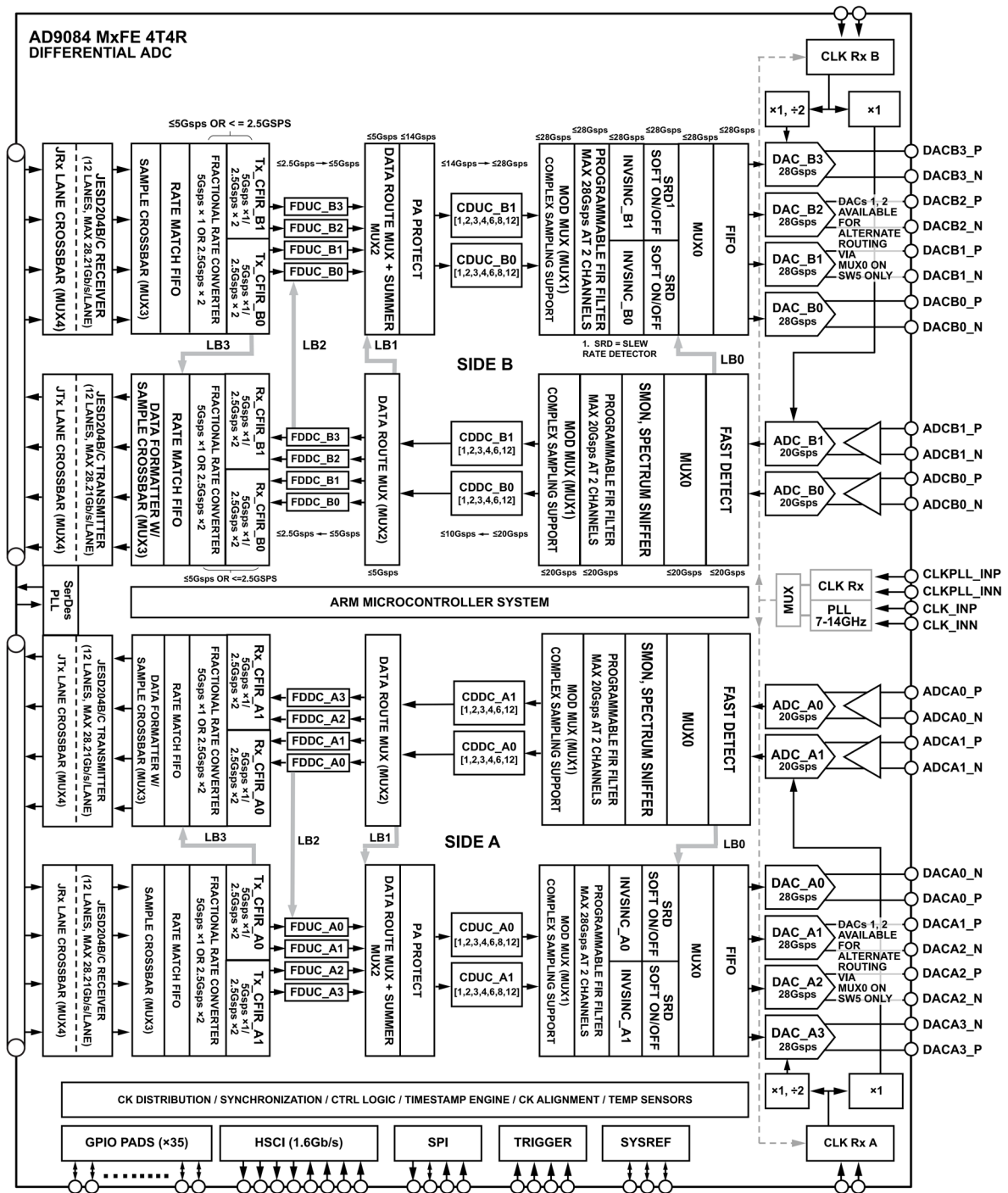


図 2. 4T4R 差動 ADC (SW5)

仕様

推奨動作条件

デバイス初期化の詳細については、デバイス・ユーザ・ガイド UG-2300 を参照してください。

表 2. 推奨動作条件

Parameters	Functional (Transient) ¹			Performance (Static) ²			Unit
	Min	Typ	Max	Min	Typ	Max	
OPERATING JUNCTION TEMPERATURE ³	-40		+110	-10		+110	°C
ANALOG DOMAIN							
AVDD1P8_DAC_A and AVDD1P8_DAC_B	1.755	1.8	1.845	1.755	1.8	1.845	V
AVDD1P8, AVDD1P8_MCS, and AVDD1P8_PLL	1.755	1.8	1.845	1.755	1.8	1.845	V
AVDD1P0_DAC_DIG_B and AVDD1P0_DAC_DIG_A	0.95	1	1.05	0.975	1	1.025	V
AVDD1P8_ADC_A and AVDD1P8_ADC_B	1.755	1.8	1.845	1.755	1.8	1.845	V
AVDD1P0_ADC_A and AVDD1P0_ADC_B	1		1.05	1.025	1.04	1.05	V
AVDD1P0_MCS, AVDD1P0_CK, and AVDD1P0_PLL_SYN	1		1.05	1.025	1.04	1.05	V
AVDD1P0_ADC_SCLK_A and AVDD1P0_ADC_SCLK_B	1		1.05	1.025	1.04	1.05	V
ANEG1P0_ADC_A, ANEG1P0_ADC_B, ANEG1P0_DAC_A, and ANEG1P0_DAC_B	-0.975	-1	-1.025	-0.975	-1	-1.025	V
AVDD1P0_DAC_A and AVDD1P0_DAC_B	0.95	1	1.05	0.975	1	1.025	V
AVDD1P0_ADCBK_A and AVDD1P0_ADCBK_B	1		1.05	1.025	1.04	1.05	V
DIGITAL DOMAIN POWER							
DVDD1P8	1.71	1.8	1.89	1.71	1.8	1.89	V
DVDD1P0	0.95	1	1.05	0.95	1	1.05	V
DVDD1P0_ADC							
AD9084 ADC Digital Supply Sampling Frequency (f_s) > 16GSPS: 1.0V	0.95	1	1.05	0.95	1	1.05	V
AD9084 ADC Digital Supply $f_s \leq 16$ GSPS: 0.8V	0.76	0.8	0.84	0.76	0.8	0.84	V
DVDD0P8	0.76	0.8	0.84	0.76	0.8	0.84	V
SERDES (JESD204B/JESD204C) DOMAIN POWER							
SVDD1P0_TX	0.95	1	1.05	0.975	1	1.025	V
SVDD1P0_RX	0.95	1	1.05	0.975	1	1.025	V
SVDD1P0_PLL and SVDD1P0_PLL_SYN	0.95	1	1.05	0.975	1	1.025	V
SVDD1P8_PLL	1.71	1.8	1.89	1.71	1.8	1.89	V

¹ 「Functional」（動作）はコンバータが動作可能な範囲を意味しますが、データシートに記載されたレベルの性能は得られません。このような状態は、電源に生じたトランジェントによって電源が通常動作電圧範囲を外れてしまうことにより発生します。デジタル・データバスは、あたかも電源グリッチが存在しないかのように動作を続け、レイテンシ、機能、およびタイミングは維持されます。

² 「Performance」（性能）は、DAC、ADC、または SERDES（シリアライザ/デシリアライザ）がデータシートに規定された性能仕様で動作することが予想される電圧範囲です。データ・コンバータは、最大値と最小値の間の DC 値の電源で仕様を満たす必要があります。

³ デバイス動作は-40°C から+110°C までの T_j で保証されており、性能は-10°C から+110°C までの T_j で保証されています。

仕様

消費電力

公称電源使用時の代表値。最小値と最大値は $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ での値で、代表値は特に指定のない限り $T_J = 65^{\circ}\text{C}$ での値です。

消費電力は、ADC と DAC のサンプル・レート、オンチップ DSP や SERDES のセットアップの選択といったデバイスのセットアップによって大きく変化します。表 4 に示す消費電力データは、表 3 に指定したユース・ケースに基づいて測定されています。

表 3. AD9084-BBPZ-MX-DF-SW1 および AD9084BBPZ-MX-DF-SW3

Parameter	Value	Unit
SAMPLE RATE		
ADC	20	GSPS
DAC	20	GSPS
NUMBER OF ADC AND DAC CHANNELS	4	
TOTAL DECIMATION	16	
TOTAL INTERPOLATION	16	
DATA RATE		
ADC	1.25	GSPS
DAC	1.25	GSPS
SERDES SETUP (JT _x AND JR _x)		
Number of Lanes (L)	8	
Number of Virtual Converters (M)	4	
Line Rate	10.3125	Gbps

JESD204B および JESD204C のモード設定の詳細、およびこのデータシートで述べる設定の詳細については、デバイス・ユーザ・ガイド UG-2300 を参照してください。

表 4. AD9084BBPZ-MX-DF-SW1 および AD9084BBPZ-MX-DF-SW3

Parameter	Min	Typ	Max	Unit
ANALOG DOMAIN CURRENT				
AVDD1P8_DAC ($I_{AVDD1P8_DAC_A} + I_{AVDD1P8_DAC_B}$)	0.15	0.18	0.21	A
AVDD1P8_ANALOG ($I_{AVDD1P8_ADC_A} + I_{AVDD1P8_ADC_B} + I_{AVDD1P8_MCS} + I_{AVDD1P8}$)	0.89	1.04	1.15	A
AVDD1P8_PLL ($I_{AVDD1P8_PLL}$)	0.001	0.001	0.002	A
AVDD1P0_ADC ($I_{AVDD1P0_ADC_A} + I_{AVDD1P0_ADC_B}$)	1.37	1.55	1.70	A
AVDD1P0_ADC_SCLK ($I_{AVDD1P0_ADC_SCLK_A} + I_{AVDD1P0_ADC_SCLK_B}$)	0.50	0.55	0.59	A
AVDD1P0_ADCLK ($I_{AVDD1P0_ADCLK_A} + I_{AVDD1P0_ADCLK_B}$)	4.28	4.87	5.50	A
AVDD1P0_CK ($I_{AVDD1P0_CK}$)	0.85	0.93	1.02	A
AVDD1P0_OTHER ($I_{AVDD1P0_MCS} + I_{AVDD1P0_PLL_SYN}$)	0.24	0.27	0.31	A
AVDD1P0_DAC ($I_{AVDD1P0_DAC_A} + I_{AVDD1P0_DAC_B}$)	2.07	2.26	2.52	A
ANEG1P0_ADC ($I_{ANEG1P0_ADC_A} + I_{ANEG1P0_ADC_B}$) + ANEG1P0_DAC ($I_{ANEG1P0_DAC_A} + I_{ANEG1P0_DAC_B}$)	0.30	0.33	0.34	A
AVDD1P0_DAC_DIG ($I_{AVDD1P0_DAC_DIG_A} + I_{AVDD1P0_DAC_DIG_B}$)	1.2	1.32	1.51	A
DIGITAL DOMAIN CURRENT				
DVDD1P8 ($I_{DVDD1P8}$)	0.009	0.011	0.013	A
DVDD1P0 ($I_{DVDD1P0}$)	0.001	0.002	0.004	A
DVDD1P0_ADC ($I_{DVDD1P0_ADC}$)	4.02	5.20	6.75	A
DVDD0P8 ($I_{DVDD0P8}$)	9.65	11.94	15.35	A
SERDES (JESD204B/JESD204C) DOMAIN CURRENT				
SVDD1P8_PLL ($I_{SVDD1P8_PLL}$)	0.04	0.04	0.05	A
SVDD1P0_RX ($I_{SVDD1P0_RX}$)	0.66	0.83	1.00	A
SVDD1P0_TX ($I_{SVDD1P0_TX}$)	0.80	0.90	1.00	A
SVDD1P0_PLL ($I_{SVDD1P0_PLL} + I_{SVDD1P0_PLL_SYN}$)	0.11	0.12	0.14	A

仕様

表 4. AD9084BBPZ-MX-DF-SW1 および AD9084BBPZ-MX-DF-SW3 (続き)

Parameter	Min	Typ	Max	Unit
TOTAL POWER DISSIPATION	26.7	29.9	34.7	W

DAC の DC 仕様

特に指定のない限り、公称電源、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。DAC セットアップは 20GSPS、デジタル・アップコンバータをイネーブル。特に指定のない限り、最小値と最大値は $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ での値、代表値は $T_J = 65^{\circ}\text{C}$ での値。

表 5. DAC

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DAC RESOLUTION		16			Bit
DAC ANALOG OUTPUTS	DAC_Ax_P, DAC_Ax_N, DAC_Bx_P, and DAC_Bx_N				
Full-Scale Output Current Range	Common-mode output voltage (V_{CMOUT}) = 1.8V, AC-coupled only		20		mA
V_{CMOUT}	AC-coupled only		1.8		V
Differential Resistance			50		Ω
Return Loss ¹	L band (1GHz to 2GHz)		26		dB
	S band (2GHz to 4GHz)		22		dB
	C band (4GHz to 8GHz)		16		dB
	X band (8GHz to 12GHz)		16		dB
	Ku band (12GHz to 18GHz)		9		dB

¹ 50 Ω の差動インピーダンスが基準。

差動 ADC の DC 仕様

特に指定のない限り、公称電源を使用。ADC セットアップは 20GSPS、デジタル・ダウン・コンバータコンバータをイネーブル。特に指定のない限り、最小値と最大値は $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ での値、代表値は $T_J = 65^{\circ}\text{C}$ での値。

表 6. 差動 ADC の DC 仕様 (AD9084BBPZ-MX-DF-SW1 と AD9084BBPZ-MX-DF-SW3 にのみ適用)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC RESOLUTION		12			Bit
ADC ACCURACY					
No Missing Codes			Guaranteed		
ADC ANALOG INPUTS	ADC_A0P, ADC_A0N, ADC_A1P, ADC_A1N, ADC_B0P, ADC_B0N, ADC_B1P, and ADC_B1N				
Differential Input Voltage ¹			500		mV p-p
Input Power			-2		dBm
Common-Mode Input Voltage (VCMA_Ax and VCMA_Bx)	AC-coupled, equal to voltage at VCMA_Ax or VCMA_Bx for ADC_Ax or ADC_Bx inputs		827		mV
Input Impedance			50		Ω
Return Loss ²	L band (1GHz to 2GHz)		21		dB
	S band (2GHz to 4GHz)		14		dB
	C band (4GHz to 8GHz)		10		dB
	X band (8GHz to 12GHz)		8		dB
	Ku band (12GHz to 18GHz)		8		dB

¹ DC デバイスの入力で測定。

² 50 Ω の差動インピーダンスが基準。

仕様

クロック入力とフェーズ・ロック・ループ (PLL) の仕様

公称電源。最小値と最大値は、 $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ で公称電源を使用した場合の値。特に指定のない限り、代表値は $T_J = 65^{\circ}\text{C}$ での値。

表 7. クロック入力と PLL

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CLOCK INPUTS (CLK_B_x, CLK_A_x, and CLK_x)					
Differential Input Power		-1	+5		dBm
Common-Mode Voltage	Self biased on-chip, AC-coupled only	0.5	0.65	0.8	V
Differential Input Resistance			50		Ω
Differential Input Return Loss			10		dB
Frequency Range	Direct RF clock	8		20	GHz
PLL REFERENCE CLOCK INPUTS (PLLREF_CLK_x)					
Differential Input Voltage	Self biased on-chip, AC-coupled only	0.35		1.9	V _{pp}
Differential Input Resistance			100		Ω
Input Reference Frequency Range					GHz
Direct Reference	Reference clock divider = 1	80		307.2	MHz
Divide by 2	Reference clock divider = 2	160		614.4	MHz
Divide by 4	Reference clock divider = 4	320		1228.8	MHz
PLL OUTPUT FREQUENCY RANGE		7.1		14.2	GHz

サンプル・レートの仕様

公称電源。最小値と最大値は、 $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ で公称電源を使用した場合の値。特に指定のない限り、代表値は $T_J = 65^{\circ}\text{C}$ での値。

表 8. DAC

Parameter	Min	Typ	Max	Unit
DAC SAMPLE RATE ¹				
Minimum			8	GSPS
Maximum	28			GSPS

¹ DAC コアの更新レートに関係し、データバスおよび JESD204 モード設定には依存しません。

表 9. ADC

Parameter	Min	Typ	Max	Unit
ADC SAMPLE RATE ¹				
Minimum			8	GSPS
Maximum	20			GSPS

¹ ADC コアの更新レートに関係し、データバスおよび JESD204 モード設定には依存しません。

仕様

数値制御発振器（NCO）の周波数仕様

公称電源。最小値と最大値は、T_J = -10°C~+110°C で公称電源を使用した場合の値。特に指定のない限り、代表値は T_J = 65°C での値。

表 10. NCO の周波数仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
MAXIMUM NCO CLOCK RATE					
Coarse Digital Upconversion (CDUC) NCO	DAC sample rate = 28GSPS			28	GHz
Fine Digital Upconverter (FDUC) NCO				5	GHz
Coarse Digital Downconversion (CDDC) NCO	ADC sample rate = 20GSPS			20	GHz
Fine Digital Downconverter (FDDC) NCO				5	GHz

仕様

JESD204B および JESD204C の速度仕様

公称電源。特に指定のない限り、最小値と最大値は $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ で公称電源を使用した場合の値、代表値は $T_A = 25^{\circ}\text{C}$ での値。

表 11. シリアル・インターフェース・レート

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204B SERIAL INTERFACE RATE		5.0		20	Gbps
Unit Interval		50		200	ps
JESD204C SERIAL INTERFACE RATE		1.0		28.21	Gbps
Unit Interval		35.45		1000	ps

表 12. JESD204 レシーバ (JR_x) の電氣的仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204 DATA INPUTS	SRXA _{xN} , SRXA _{xP} , SRXB _{xP} , and SRXB _{xN} , where x = 0 to 11				
Standards Compliance		JESD204B and JESD204C, Subclass1, Subclass 0			
Differential Voltage, R_{VDIFF}			500		mV
Differential Impedance, Z_{RDIFF}	At DC		100		Ω
Termination Voltage, V_{TT}	AC-coupled		0.5		V
SYNCO _{UTB} _Ax _P , SYNCO _{UTB} _Ax _N , SYNCO _{UTB} _Bx _P , AND SYNCO _{UTB} _Bx _N OUTPUTS ¹	Where x = 0 or1				
Output Differential Voltage, V_{OD}	Driving 100 Ω differential load		200	245	mV
Output Offset Voltage, V_{OS}		1100	1200	1300	mV
SYNCO _{UTB} _Ax _P AND SYNCO _{UTB} _Bx _P OUTPUT ¹	CMOS output option	Refer to the CMOS Pin Specifications section			

¹ IEEE 1596.3 規格の低電圧差動信号 (LVDS) に対応。

表 13. JESD204 トランスミッタ (JT_x) の電気仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204 DATA OUTPUTS	STX _{AxP} , STX _{AxN} , STX _{BxP} and STX _{BxN} , where x = 0 to 12				
Standards Compliance		JESD204B and JESD204C, Subclass 1, Subclass 0			
Differential Output Voltage	Maximum strength		500		mV
Differential Termination Impedance			100		Ω
SYN _{CINB} _Ax _P , SYN _{CINB} _Ax _N , SYN _{CINB} _Bx _P , AND SYN _{CINB} _Bx _N INPUT ¹	Where x = 0 or1				
Logic Compliance			LVDS		
Differential Input Voltage	Internal termination enabled	250			mV
Input Common-Mode Voltage	DC-coupled, Internal termination enabled	1000		1400	mV
Input Resistance (R_{IN}) (Differential)	Internal termination disabled		48		k Ω
	Internal termination enabled		250		Ω
Input Capacitance (Differential)			1		pF
SYN _{CINB} _Ax _P AND SYN _{CINB} _Bx _P INPUT	CMOS input option	Refer to the CMOS Pin Specifications section			

¹ IEEE 1596.3 規格の LVDS と互換。

仕様

表 14. SYSREF 入力の電氣的仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SYSREFP, SYSREF_N, SYSREF_A_P, SYSREF_A_N, SYSREF_B_P, AND SYSREF_B_N INPUTS					
Logic Compliance			LVDS ¹		
Differential Input Voltage		350			mV
Input Common-Mode Voltage Range	High common mode (input only)	1	1.2	1.4	V
	Low common mode (bidirectional SYSREF)	0.4	0.5	0.7	V
R_{IN} (Differential)	SYSREF_N, SYSREF_P, SYSREF_A $\pm$, and SYSREF_B $\pm$ ON		100		Ω
	SYSREF_N, SYSREF_P, SYSREF_A_P, SYSREF_A_N, SYSREF_B_P, and SYSREF_B_N OFF		>30		k Ω
Input Capacitance (Differential)			1		pF
Input Frequency (f_{IN})		1	7.68	78.125	MHz

¹ LVDS は低電圧差動信号を意味します。

表 15. SYSREF 出力の電氣的仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SYSREFP, SYSREF_N, SYSREF_A_P, SYSREF_A_N, SYSREF_B_P, AND SYSREF_B_N OUTPUTS					
Logic Compliance			LVDS ¹		
Differential Output Voltage			550		mV
Output Common-Mode Voltage Range	DC-coupled		500		mV
Output Frequency (f_{OUT})		1	7.68	78.125	MHz

¹ LVDS は低電圧差動信号を意味します。

CMOS ピンの仕様

特に指定のない限り、最小値と最大値は $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ で公称電源を使用した場合の値。

表 16. CMOS ピンの仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUTS		SPI_SDIO, SPI_CLK, SPI_CSB, RESETB, TRIG_x_B, TRIG_x_A, SYNCINB_Ax_P, SYNCINB_Ax_N, SYNCINB_Bx_P, SYNCINB_Bx_N, and GPIO_x				
Logic 1 Voltage	V_{IH}		$0.70 \times DVDD1P8$			V
Logic 0 Voltage	V_{IL}				$0.3 \times DVDD1P8$	V
Input Resistance				>30		k Ω
OUTPUTS		SPI_SDIO, SPI_SDO, GPIOx, SYNCOUTB_Ax_P, SYNCOUTB_Ax_N, SYNCOUTB_Bx_P, and SYNCOUTB_Bx_N, 4mA load				
Logic 1 Voltage	V_{OH}		$DVDD1P8 - 0.45$			V
Logic 0 Voltage	V_{OL}				0.45	V

仕様

DAC の AC 仕様

サンプル・レート = 20GSPS のときに複素 IQ データ・レート周波数 (f_{IQ_DATA}) = 2.5GSPS、サンプル・レート = 28GSPS のときに f_{IQ_DATA} = 1.75GSPS。特に指定のない限りシャッフルをイネーブル。特に指定のない限りベクトル・スケール = -7dBFS。特に指定のない限り、仕様値は DAC I_{OUTFS} = 20mA の場合の 4 つの DAC チャンネルすべての平均値。特に指定のない限り、公称電源を使用。特に指定のない限り、 T_J = 65°C。

表 17. DAC の AC 仕様

Parameter ^{1, 2}	Test Conditions/Comments	Min	Typ	Max	Unit
FULL SCALE OUTPUT POWER					
Single-Tone, DAC Frequency (f_{DAC}) = 20 GSPS	0dBFS continuous waveform, invsinc disabled				
L Band (1GHz to 2GHz)			-2.6		dBm
S Band (2GHz to 4GHz)			-3.0		dBm
C Band (4GHz to 8GHz)			-3.5		dBm
X Band (8GHz to 12GHz)			-5.4		dBm
Ku Band (12GHz to 18GHz)			-12.2		dBm
Single-Tone, f_{DAC} = 28GSPS	0dBFS continuous waveform, invsinc disabled				
L Band (1GHz to 2GHz)			-2.6		dBm
S Band (2GHz to 4GHz)			-2.9		dBm
C Band (4GHz to 8GHz)			-3.2		dBm
X Band (8GHz to 12GHz)			-3.5		dBm
Ku Band (12GHz to 18GHz)			-7.7		dBm
NOISE SPECTRAL DENSITY (NSD)³					
No Shuffling, f_{DAC} = 20GSPS	-7dBFS continuous waveform				
L Band (1GHz to 2GHz)			-166		dBFS/Hz
S Band (2GHz to 4GHz)			-165		dBFS/Hz
C Band (4GHz to 8GHz)			-162		dBFS/Hz
X Band (8GHz to 12GHz)			-158		dBFS/Hz
Ku Band (12GHz to 18GHz)			-157		dBFS/Hz
No Shuffling, f_{DAC} = 28GSPS	-7dBFS continuous waveform				
L Band (1GHz to 2GHz)			-166		dBFS/Hz
S Band (2GHz to 4GHz)			-165		dBFS/Hz
C Band (4GHz to 8GHz)			-163		dBFS/Hz
X Band (8GHz to 12GHz)			-157		dBFS/Hz
Ku Band (12GHz to 18GHz)			-156		dBFS/Hz
Shuffling, f_{DAC} = 20GSPS	-7dBFS continuous waveform				
L Band (1GHz to 2GHz)			-159		dBFS/Hz
S Band (2GHz to 4GHz)			-159		dBFS/Hz
C Band (4GHz to 8GHz)			-158		dBFS/Hz
X Band (8GHz to 12GHz)			-156		dBFS/Hz
Ku Band (12GHz to 18GHz)			-156		dBFS/Hz
Shuffling, f_{DAC} = 28GSPS	-7dBFS continuous waveform				
L Band (1GHz to 2GHz)			-157		dBFS/Hz
S Band (2GHz to 4GHz)			-157		dBFS/Hz
C Band (4GHz to 8GHz)			-157		dBFS/Hz
X Band (8GHz to 12GHz)			-156		dBFS/Hz
Ku Band (12GHz to 18GHz)			-156		dBFS/Hz

仕様

表 17. DAC の AC 仕様（続き）

Parameter ^{1, 2}	Test Conditions/Comments	Min	Typ	Max	Unit
SECOND HARMONIC DISTORTION (HD2)	$f_{DAC} = 20\text{GSPS}$, -7dBFS continuous waveform, shuffling on				
L Band (1GHz to 2GHz)			-87		dBc
S Band (2GHz to 4GHz)			-84		dBc
C Band (4GHz to 8GHz)			-84		dBc
X Band (8GHz to 12GHz)			-83		dBc
Ku Band (12GHz to 18GHz)			-75		dBc
HD2	$f_{DAC} = 28\text{GSPS}$, -7dBFS continuous waveform, shuffling on				
L Band (1GHz to 2GHz)			-85		dBc
S Band (2GHz to 4GHz)			-85		dBc
C Band (4GHz to 8GHz)			-80		dBc
X Band (8GHz to 12GHz)			-83		dBc
Ku Band (12GHz to 18GHz)			-69		dBc
THIRD HARMONIC DISTORTION (HD3)	$f_{DAC} = 20\text{GSPS}$, -7dBFS continuous waveform, shuffling on				
L Band (1GHz to 2GHz)			-94		dBc
S Band (2GHz to 4GHz)			-81		dBc
C Band (4GHz to 8GHz)			-92		dBc
X Band (8GHz to 12GHz)			-87		dBc
Ku Band (12GHz to 18GHz)			-75		dBc
HD3	$f_{DAC} = 28\text{GSPS}$, -7dBFS continuous waveform, shuffling on				
L Band (1GHz to 2GHz)			-90		dBc
S Band (2GHz to 4GHz)			-89		dBc
C Band (4GHz to 8GHz)			-82		dBc
X Band (8GHz to 12GHz)			-90		dBc
Ku Band (12GHz to 18GHz)			-80		dBc
DOUBLE DATA RATE (DDR) Spur	$f_{DAC} = 20\text{GSPS}$, -7dBFS continuous waveform, shuffling on				
L Band (1GHz to 2GHz)			-70		dBc
S Band (2GHz to 4GHz)			-72		dBc
C Band (4GHz to 8GHz)			-70		dBc
X Band (8GHz to 12GHz)			-68		dBc
Ku Band (12GHz to 18GHz)			-63		dBc
DDR Spur	$f_{DAC} = 28\text{GSPS}$, -7dBFS continuous waveform, shuffling on				
L Band (1GHz to 2GHz)			-65		dBc
S Band (2GHz to 4GHz)			-64		dBc
C Band (4GHz to 8GHz)			-62		dBc
X Band (8GHz to 12GHz)			-64		dBc
Ku Band (12GHz to 18GHz)			-57		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR), Excluding HD2, HD3, DDR Spur, f_{DAC} , and $f_{DAC}/2$	$f_{DAC} = 20\text{GSPS}$, -7dBFS continuous waveform, shuffling on				
L Band (1GHz to 2GHz)			-78		dBc
S Band (2GHz to 4GHz)			-78		dBc
C Band (4GHz to 8GHz)			-77		dBc
X Band (8GHz to 12GHz)			-75		dBc
Ku Band (12GHz to 18GHz)			-62		dBc

仕様

表 17. DAC の AC 仕様（続き）

Parameter ^{1,2}	Test Conditions/Comments	Min	Typ	Max	Unit
SFDR, Excluding HD2, HD3, DDR Spur, f_S , and $f_S/2$	$f_{DAC} = 28\text{GSPS}$, -7dBFS continuous waveform, shuffling off				
L Band (1GHz to 2GHz)			-72		dBc
S Band (2GHz to 4GHz)			-72		dBc
C Band (4GHz to 8GHz)			-71		dBc
X Band (8GHz to 12GHz)			-71		dBc
Ku Band (12GHz to 18GHz)			-65		dBc
THIRD-ORDER INTERMODULATION DISTORTION (IMD3)	$f_{DAC} = 20\text{GSPS}$, two tone test, -13dBFS per tone				
L Band (1GHz to 2GHz)			-90		dBc
S Band (2GHz to 4GHz)			-85		dBc
C Band (4GHz to 8GHz)			-85		dBc
X Band (8GHz to 12GHz)			-82		dBc
Ku Band (12GHz to 18GHz)			-71		dBc
IMD3	$f_{DAC} = 28\text{GSPS}$, two tone test, -13dBFS per tone				
L Band (1GHz to 2GHz)			-91		dBc
S Band (2GHz to 4GHz)			-90		dBc
C Band (4GHz to 8GHz)			-86		dBc
X Band (8GHz to 12GHz)			-79		dBc
Ku Band (12GHz to 18GHz)			-61		dBc
SINGLE SIDEBAND PHASE NOISE OFFSET	$f_{DAC} = 20\text{GSPS}$, $f_{OUT} = 1.6\text{GHz}$, 0dBFS continuous waveform				
1kHz			-133		dBc/Hz
100kHz			-148		dBc/Hz
600kHz			-153		dBc/Hz
1.2MHz			-159		dBc/Hz
1.8MHz			-160		dBc/Hz
6MHz			-161		dBc/Hz
SINGLE SIDEBAND PHASE NOISE OFFSET	$f_{DAC} = 28\text{GSPS}$, $f_{OUT} = 1.6\text{GHz}$, 0dBFS continuous waveform				
1kHz			-133		dBc/Hz
100kHz			-148		dBc/Hz
600kHz			-150		dBc/Hz
1.2MHz			-157		dBc/Hz
1.8MHz			-159		dBc/Hz
6MHz			-161		dBc/Hz
RF OUTPUT FREQUENCY					
Maximum			18		GHz
Minimum				10	kHz

¹ 評価用セットアップは、最大 20GHz までの DAC 出力ボールに合わせて損失補正されています。

² 性能は周波数によって変化します。詳細な周波数応答プロットについては、[代表的な性能特性](#)のセクションを参照してください。

³ 値は 10kHz でのフルスケールが基準です。

仕様

差動 ADC の AC 仕様

20GSPS

公称電源、サンプル・レート = 20GSPS、 $f_{IQ_DATA} = 2.5\text{GSPS}$ 。特に指定のない限り、 $T_J = 65^\circ\text{C}$ 。特に指定のない限り、アナログ入力振幅 (A_{IN}) = -7dBFS。特に指定のない限り、ランダム・モードをイネーブル。

表 18. 20GSPS、ランダム・モードをイネーブル

Parameter	Full-Scale Input Voltage = 500mVpp			Unit
	Min	Typ	Max	
NSD				
At -20dBFS				
Random Mode Enabled		-149.9		dBFS/Hz
Random Mode Disabled		-151.0		dBFS/Hz
At -7dBFS, Random Mode Enabled				
L Band (1GHz to 2GHz)		-147.5		dBFS/Hz
S Band (2GHz to 4GHz)		-147.5		dBFS/Hz
C Band (4GHz to 8GHz)		-146.9		dBFS/Hz
X Band (8GHz to 12GHz)		-146.1		dBFS/Hz
Ku Band (12GHz to 18GHz)		-144.4		dBFS/Hz
At -7dBFS, Random Mode Disabled				
L Band (1GHz to 2GHz)		-149.0		dBFS/Hz
S Band (2GHz to 4GHz)		-149.0		dBFS/Hz
C Band (4GHz to 8GHz)		-148.6		dBFS/Hz
X Band (8GHz to 12GHz)		-147.5		dBFS/Hz
Ku Band (12GHz to 18GHz)		-145.5		dBFS/Hz
Noise Figure (NF)				
At -20dBFS				
Random Mode Enabled		22.1		dB
Random Mode Disabled		21.0		dB
At -7dBFS, Random Mode Enabled				
L Band (1GHz to 2GHz)		24.8		dB
S Band (2GHz to 4GHz)		24.5		dB
C Band (4GHz to 8GHz)		24.9		dB
X Band (8GHz to 12GHz)		24.9		dB
Ku Band (12GHz to 18GHz)		26.6		dB
At -7dBFS, Random Mode Disabled				
L Band (1GHz to 2GHz)		23.3		dB
S Band (2GHz to 4GHz)		23.0		dB
C Band (4GHz to 8GHz)		23.2		dB
X Band (8GHz to 12GHz)		23.5		dB
Ku Band (12GHz to 18GHz)		23.5		dB
HD2				
L Band (1GHz to 2GHz)		-75		dBFS
S Band (2GHz to 4GHz)		-75		dBFS
C Band (4GHz to 8GHz)		-72		dBFS
X Band (8GHz to 12GHz)		-70		dBFS
Ku Band (12GHz to 18GHz)		-69		dBFS
HD3				
L Band (1GHz to 2GHz)		-77		dBFS

仕様

表 18. 20GSPS、ランダム・モードをイネーブル（続き）

Parameter	Full-Scale Input Voltage = 500mVpp			Unit
	Min	Typ	Max	
S Band (2GHz to 4GHz)		-75		dBFS
C Band (4GHz to 8GHz)		-75		dBFS
X Band (8GHz to 12GHz)		-78		dBFS
Ku Band (12GHz to 18GHz)		-73		dBFS
$f_s/2 \pm A_{IN}$ Spur				
L Band (1GHz to 2GHz)		-82		dBFS
S Band (2GHz to 4GHz)		-80		dBFS
C Band (4GHz to 8GHz)		-78		dBFS
X Band (8GHz to 12GHz)		-76		dBFS
Ku Band (12GHz to 18GHz)		-73		dBFS
SFDR, EXCLUDING HD2, HD3, and $f_s/2 \pm A_{IN}$, Random Mode Enabled				
L Band (1GHz to 2GHz)		-78		dBFS
S Band (2GHz to 4GHz)		-72		dBFS
C Band (4GHz to 8GHz)		-75		dBFS
X Band (8GHz to 12GHz)		-75		dBFS
Ku Band (12GHz to 18GHz)		-71		dBFS
SFDR, EXCLUDING HD2, HD3, and $f_s/2 \pm A_{IN}$, Random Mode Disabled				
L Band (1GHz to 2GHz)		-75		dBFS
S Band (2GHz to 4GHz)		-70		dBFS
C Band (4GHz to 8GHz)		-68		dBFS
X Band (8GHz to 12GHz)		-67		dBFS
Ku Band (12GHz to 18GHz)		-67		dBFS
TWO-TONE IMD3, Input Amplitude 1 (A_{IN1}) = Input Amplitude 2 (A_{IN2}) = -13dBFS				
L Band (1GHz to 2GHz)		-79		dBFS
S Band (2GHz to 4GHz)		-79		dBFS
C Band (4GHz to 8GHz)		-78		dBFS
X Band (8GHz to 12GHz)		-75		dBFS
Ku Band (12GHz to 18GHz)		-71		dBFS
Third-Order Intercept Point (IP3), $A_{IN1} = A_{IN2} = -13$ dBFS				
L Band (1GHz to 2GHz)		26.5		dBFS
S Band (2GHz to 4GHz)		26.5		dBFS
C Band (4GHz to 8GHz)		26.0		dBFS
X Band (8GHz to 12GHz)		24.5		dBFS
Ku Band (12GHz to 18GHz)		22.5		dBFS

14GSPS

公称電源、サンプル・レート = 14GSPS、 $f_{IQ_DATA} = 1.75$ GSPS。特に指定のない限り、 $T_J = 65^\circ\text{C}$ 。特に指定のない限り、 $A_{IN} = -7$ dBFS。

表 19. 14GSPS

Parameter	Full-Scale Input Voltage = 500mVpp			Unit
	Min	Typ	Max	
NSD				
At -20dBFS		-149.2		dBFS/Hz
At -7dBFS				
L Band (1GHz to 2GHz)		-147.6		dBFS/Hz
S Band (2GHz to 4GHz)		-147.6		dBFS/Hz

仕様

表 19. 14GSPS (続き)

Parameter	Full-Scale Input Voltage = 500mVpp			Unit
	Min	Typ	Max	
C Band (4GHz to 8GHz)		-146.9		dBFS/Hz
X Band (8GHz to 12GHz)		-146.0		dBFS/Hz
Ku Band (12GHz to 18GHz)		-144.4		dBFS/Hz
NF				
At -20dBFS		22.8		dB
At -7dBFS				
L Band (1GHz to 2GHz)		24.7		dB
S Band (2GHz to 4GHz)		24.4		dB
C Band (4GHz to 8GHz)		24.9		dB
X Band (8GHz to 12GHz)		25.0		dB
Ku Band (12GHz to 18GHz)		26.6		dB
HD2				
L Band (1GHz to 2GHz)		-83		dBFS
S Band (2GHz to 4GHz)		-79		dBFS
C Band (4GHz to 8GHz)		-77		dBFS
X Band (8GHz to 12GHz)		-76		dBFS
Ku Band (12GHz to 18GHz)		-70		dBFS
HD3				
L Band (1GHz to 2GHz)		-86		dBFS
S Band (2GHz to 4GHz)		-85		dBFS
C Band (4GHz to 8GHz)		-82		dBFS
X Band (8GHz to 12GHz)		-78		dBFS
Ku Band (12GHz to 18GHz)		-76		dBFS
$f_s/2 \pm A_{IN}$ Spur				
L Band (1GHz to 2GHz)		-85		dBFS
S Band (2GHz to 4GHz)		-83		dBFS
C Band (4GHz to 8GHz)		-81		dBFS
X Band (8GHz to 12GHz)		-77		dBFS
Ku Band (12GHz to 18GHz)		-73		dBFS
SFDR, EXCLUDING HD2, HD3, and $f_s/2 \pm A_{IN}$				
L Band (1GHz to 2GHz)		-73		dBFS
S Band (2GHz to 4GHz)		-75		dBFS
C Band (4GHz to 8GHz)		-75		dBFS
X Band (8GHz to 12GHz)		-72		dBFS
Ku Band (12GHz to 18GHz)		-70		dBFS
TWO-TONE IMD3, $A_{IN1} = A_{IN2} = -13$ dBFS				
L Band (1GHz to 2GHz)		-88		dBFS
S Band (2GHz to 4GHz)		-88		dBFS
C Band (4GHz to 8GHz)		-85		dBFS
X Band (8GHz to 12GHz)		-82		dBFS
Ku Band (12GHz to 18GHz)		-77		dBFS
IP3, $A_{IN1} = A_{IN2} = -13$ dBFS				
L Band (1GHz to 2GHz)		31.0		dBFS
S Band (2GHz to 4GHz)		31.0		dBFS
C Band (4GHz to 8GHz)		29.5		dBFS
X Band (8GHz to 12GHz)		28.0		dBFS
Ku Band (12GHz to 18GHz)		25.5		dBFS

仕様

その他

表 20. その他

Parameter	Min	Typ	Max	Unit
ANALOG BANDWIDTH				
-3dB Frequency		17		GHz
-8dB Frequency		>20		GHz

シリアル・ポート・インターフェース（SPI）と高速制御インターフェース（HSCI）の仕様

特に指定のない限り、最小値と最大値は $T_J = -10^{\circ}\text{C} \sim +110^{\circ}\text{C}$ で公称電源を使用した場合の値。

表 21. SPI のタイミング仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SPI OPERATION						
Maximum Serial Clock (SCLK) Rate	$f_{\text{SCLK}}, 1/t_{\text{SCLK}}$		50			MHz
SPI_CLK Clock High	t_{PWH}	SCLK = 50MHz	8			ns
SPI_CLK Clock Low	t_{PWL}	SCLK = 50MHz	8			ns
SPI_SDIO to SPI_CLK Setup Time	t_{DS}		7			ns
SPI_CLK to SPI_SDIO Hold Time	t_{DH}		4			ns
SPI_CSB to SPI_CLK Setup Time	t_{S}		4			ns
SPI_CLK to SPI_CSB Hold Time	t_{H}		4			ns

表 22. HSCI の電氣的仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
HSCI_DIN_N, HSCI_DIN_P, HSCI_CKIN_P, AND HSCI_CKIN_N INPUTS					
Logic Compliance			LVDS ¹		
Differential Input Voltage			0.43		V p-p
Input Common-Mode Voltage Range	DC-coupled		1.2		V
R_{IN} (Differential)			100		Ω
Clock Duty Cycle			50		%
Data Rate		0.4	1.6	1.6	Gbps
HSCI_DO_P, HSCI_DO_N, HSCI_CKO_P, AND HSCI_CKO_N OUTPUTS					
Logic Compliance			LVDS ¹		
Differential Swing	Driving 100 Ω differential load, DC-coupled		0.5		V p-p
Output Common-Mode Voltage Range	DC-coupled		1.19		V
Data Rate		0.4	1.6	1.6	Gbps
Clock Duty Cycle			50		%

¹ LVDS は低電圧差動信号を意味します。

SPI のタイミング図

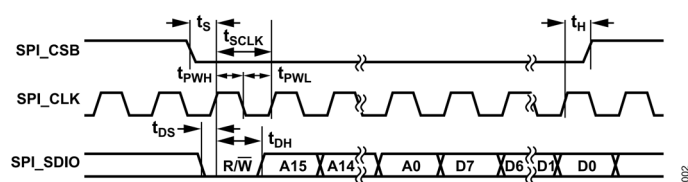


図 3. 3 線動作のタイミング図

絶対最大定格

表 23. 絶対最大定格

Parameter	Rating
ADC_B0P, ADC_B0N, ADC_B1P, ADC_B1N, ADC_A0P, ADC_A0N, ADC_A1P, and ADC_A1N ¹	19dBm
AVDD1P8_DAC_A and AVDD1P8_DAC_B	-0.2V to +2.1V
AVDD1P8, AVDD1P8_MCS, AVDD1P8_PLL, AVDD1P8_ADC_A, and AVDD1P8_ADC_B	-0.2V to +2.1V
AVDD1P0_CK, AVDD1P0_MCS, AVDD1P0_ADC_A, AVDD1P0_ADC_B, AVDD1P0_ADC_SCLK_A, AVDD1P0_ADC_SCLK_B, AVDD1P0_ADCLK_A, AVDD1P0_ADCLK_B, and AVDD1P0_PLL_SYN	-0.2V to +1.1V
ANEG1P0_ADC_A, ANEG1P0_ADC_B, ANEG1P0_DAC_A, and ANEG1P0_DAC_B	-1.05V to +0.2V
DVDD1P8	-0.2V to +2.1V
DVDD1P0	-0.2V to +1.1V
DVDD0P8 and DVDD1P0_ADC	-0.2V to +1.1V
SVDD1P8_PLL	-0.2V to +2.1V
SVDD1P0_RX, SVDD1P0_TX, SVDD1P0_PLL, and SVDD1P0_PLL_SYN	-0.2V to +1.1V
CLK_P, CLK_N, CLK_B_P, CLK_B_N, CLK_A_P, and CLK_A_N	-0.2V to +1.05V
PLLREF_CLK_P and PLLREF_CLK_N	-0.2V to +1.05V
SRXA_xP, SRXA_xN, SRXB_xP, SRXB_xN, STXA_xP, STA_xN, STXB_xP, and STXB_xN	-0.2V to +1.05V
SYSREF_A_N, SYSREF_A_P, SYSREF_B_P, SYSREF_B_N, SYSREF_P, and SYSREF_N	-0.2V to +2.1V
SYNCINB_B0_P, SYNCINB_B0_N, SYNCINB_B1_P, SYNCINB_B1_N, SYNCINB_A0_P, SYNCINB_A0_N, SYNCINB_A1_P, and SYNCINB_A1_N	-0.2V to +2.1V
SYNCOUTB_B0_P, SYNCOUTB_B0_N, SYNCOUTB_B1_P, SYNCOUTB_B1_N, SYNCOUTB_A0_P, SYNCOUTB_A0_N, SYNCOUTB_A1_P, and SYNCOUTB_A1_N	-0.2V to +2.1V
RESETB, SPI_CSB, SPI_SCLK, SPI_SDIO, SPI_SDO, GPIO_x, TRIG_x_B, and TRIG_x_A	-0.2V to +2.1V
HSCI_DIN_P, HSCI_DIN_N, HSCI_CKIN_P, HSCI_CKIN_N, HSCI_DO_P, HSCI_DO_N, HSCI_CKO_P, and HSCI_CKO_N	-0.2V to +2.1V
Temperature	
Junction (T _J) ²	110°C
Storage Range	-65°C to +150°C

¹ AD9084 の入力で許容される絶対最大入力振幅は、差動で 5.6V_{p-p} です。このレベル以上で動作する信号は、直ちに ADC に恒久的な損傷を与えるおそれがあります。

² デバイスに電源が供給されている間は、絶対にこの温度を超えないようにしてください。仕様規定された温度は平均ダイ温度です。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

スタートアップ時にはすべての ADC がイネーブルされます。最大限の寿命を得るために ADC の数を選択する必要があるシステムでは、すべての ADC をイネーブルしてクロッキングさせておく必要があります。使用しない ADC については、対応する受信デジタル・パスをディスエーブルできます。選択に応じて、スタートアップ時にはすべての DAC がイネーブルされます（表 24 を参照）。

表 24. SW オプションと強制的にイネーブルされる DAC

Variant	DACs forced on
SW1	A0, A3, B0, B3
SW3	A0, A3, B0, B3
SW5	A0, A1, A2, A3, B0, B1, B2, B3

最大限の寿命を得るために DAC の数を選択する必要があるシステムでは、すべての DAC をイネーブルしてクロッキングさせておく必要があります。使用しない DAC については、対応する送信デジタル・パスをディスエーブルできます。同様に、すべての SERDES レーンがデフォルトでイネーブルされます。

システムの全寿命期間を通じて一定の ADC、DAC、または送信 SERDES レーン、もしくはそのすべてがディスエーブルのままになるシステムでは、スタートアップ時にそれらの ADC、DAC、または送信 SERDES レーンをディスエーブルして、その状態を恒久的に保つ特別な手順をアナログ・デバイセズに要求して実行することができます。詳細については、最寄りの [アナログ・デバイセズ販売代理店](#) にお問い合わせ頂くか、ApolloSupport@analog.com まで電子メールでお問い合わせください。

リフロー・プロファイル

AD9084 のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JSTD-020 の基準に従っています。最高リフロー温度は 260°C です。

絶対最大定格

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。温度管理を適切に行って、 T_J の最大値が表 23 に示す制限値を超えないようにすることを推奨します。

θ_{JA} は 1 立方フィートの密閉容器内で測定された自然対流時の周囲とジャンクション間の熱抵抗、 θ_{JC_TOP} はジャンクションとケース間の上面熱抵抗、 θ_{JC_BOT} はジャンクションとケース間の下面熱抵抗、 Ψ_{JT} はジャンクションとパッケージ上面間の熱抵抗、 Ψ_{JB} はジャンクションとボード間の熱抵抗です。

表 25. 熱抵抗の計算値¹

Package Type	Airflow Velocity (m/sec)	θ_{JA}	θ_{JC_TOP}	θ_{JC_BOT}	Ψ_{JT}	Ψ_{JB}	Unit
BP-800-1							
JEDEC 2s2p Board	0.0	8.41		0.54	0.71	2.2	°C/W
JEDEC 1s0p Board	0.0		0.3				°C/W

¹ 仕様規定されている熱抵抗値は、JEDEC 仕様の JESD51-12 に基づき、デバイスの消費電力を 32W として計算しています。

静電放電（ESD 定格）

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

AD9084 の ESD 定格

表 26. AD9084、899 ボール BGA_ED

ESD Model	Withstand Threshold (V)	Class
HBM	±200	0B
CDM	±150	C0B

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

AD9084 TOP VIEW (Not to Scale)																																		
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31			
A	GND	GND	VREF_1P2_B	AVDD1P8	GND	AVDD1P8_DAC_B	DAC_B0_N	DAC_B0_P	AVDD1P8_DAC_B	AVDD1P8_DAC_B	DAC_B1_N	DAC_B1_P	AVDD1P8_DAC_B	AVDD1P8_DAC_B	DAC_B2_N	DAC_B2_P	AVDD1P8_DAC_B	AVDD1P8_DAC_B	DAC_B3_N	DAC_B3_P	AVDD1P8_DAC_B	GND	DGND	SRXB_1P	SRXB_1N	DGND	DGND	SRXB_5P	SRXB_5N	DGND	DGND	A		
B	GND	GND	GND	RBIAS_EXT_S_B	ANEG1P0_DAC_B	GND	GND	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GND	GND	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GND	GND	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GND	GND	ANEG1P0_DAC_B	GND	DGND	DGND	DGND	SRXB_3P	SRXB_3N	DGND	DGND	SRXB_7P	SRXB_7N	B			
C	GND	GND	CLK_B_P	RBIAS_EXT_F_B	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DNC	DNC	DNC	GND	GND	DGND	GPIO_20	DGND	DGND	SRXB_0P	SRXB_0N	DGND	DGND	SRXB_8P	SRXB_8N	DGND	DGND	C		
D	GND	GND	CLK_B_N	GND	GND	SYSREF_B_N	TRIG_0_B	TRIG_1_B	GND	GND	GND	AVDD1P8_DAC_B	GND	AVDD1P8_DAC_B	AVDD1P8_DAC_B	GND	AVDD1P8_DAC_B	GND	GPIO_26	GPIO_27	GPIO_30	RESETB	DGND	DGND	DGND	SRXB_2P	SRXB_2N	DGND	DGND	SRXB_9P	SRXB_9N	D		
E	GND	GND	GND	GND	GND	SYSREF_B_P	GND	GND	GND	DNC	GND	AVDD1P8_DAC_B	GND	AVDD1P8_DAC_B	AVDD1P8_DAC_B	GND	AVDD1P8_DAC_B	GND	GPIO_24	GPIO_25	GPIO_28	GPIO_29	GPIO_31	DGND	DGND	DGND	DGND	SRXB_10P	SRXB_10N	DGND	DGND	E		
F	ADC_B0P	GND	GND	GND	GND	GND	GND	GND	GND	GND	AVDD1P8_DAC_B	GND	AVDD1P8_DAC_B	AVDD1P8_DAC_B	GND	AVDD1P8_DAC_B	GND	GPIO_19	SYNCOUT_B_B1_P	SYNCOUT_B_B0_P	GPIO_22	DGND	DGND	DGND	SRXB_6P	SRXB_6N	DGND	DGND	SRXB_11P	SRXB_11N	F			
G	ADC_B0N	GND	GND	GND	GND	AVDD1P0_CHK	GND	GND	AVDD1P0_MCS	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GND	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GND	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GPIO_19	SYNCOUT_B_B1_N	SYNCOUT_B_B0_N	GPIO_23	DGND	SRXB_4P	SRXB_4N	DGND	DGND	DGND	DGND	DGND	DGND	G			
H	GND	GND	GND	GND	GND	AVDD1P0_CHK	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXB_2P	STXB_2N	DGND	DGND	H			
J	GND	GND	GND	VCMA_B1	VCMA_B0	GND	GND	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GND	GND	AVDD1P0_DAC_B	GND	AVDD1P0_DAC_B	AVDD1P0_DAC_B	GND	AVDD1P0_DAC_B	GND	SYNCINB_B1_P	SYNCINB_B0_P	GPIO_18	SVDD1P0_RX	DGND	DGND	DGND	STXB_0P	STXB_0N	DGND	DGND	STXB_1P	STXB_1N	J		
K	ADC_B1N	GND	GND	GND	AVDD1P0_ADC_SCLK_B	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	DGND	AVDD1P0_ADC_SCLK_B	GND	GND	AVDD1P0_ADC_SCLK_B	GND	DGND	SYNCINB_B0_N	SYNCINB_B1_N	GPIO_17	SVDD1P0_RX	DGND	DGND	DGND	DGND	DGND	STXB_3P	STXB_3N	DGND	DGND	K		
L	ADC_B1P	GND	GND	GND	AVDD1P0_ADC_SCLK_B	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	DGND	AVDD1P0_ADC_SCLK_B	GND	GPIO_12	GPIO_13	GPIO_14	GPIO_15	GPIO_16	SVDD1P0_TX	DGND	DGND	DGND	DGND	DGND	DGND	STXB_4P	STXB_4N	DGND	DGND	STXB_5P	STXB_5N	L	
M	GND	GND	GND	GND	AVDD1P0_ADC_SCLK_B	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXB_6P	STXB_6N	DGND	DGND	STXB_8P	STXB_8N	M	
N	GND	GND	GND	GND	AVDD1P0_ADC_SCLK_B	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	AVDD1P0_ADC_SCLK_B	GND	DNC	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXB_10P	STXB_10N	DGND	DGND	STXB_7P	STXB_7N	N	
P	CLK_P	PLLREF_CLK_N	GND	GND	GND	AVDD1P0_CHK	GND	GND	ANEG1P0_DAC_B	ANEG1P0_DAC_B	GND	GND	GND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXB_11P	STXB_11N	DGND	DGND	STXB_9P	STXB_9N	P	
R	CLK_N	PLLREF_CLK_P	SYSREF_N	SYSREF_P	GND	AVDD1P0_CHK	GND	GND	GND	GND	VPLL_IP0_VREG	AVDD1P0_CHK	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXA_8P	STXA_8N	DGND	DGND	STXB_9P	STXB_9N	R	
T	GND	GND	GND	GND	GND	AVDD1P0_CHK	GND	ANEG1P0_DAC_A	ANEG1P0_DAC_A	GND	GND	GND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXA_11P	STXA_11N	DGND	DGND	T	
U	GND	GND	GND	GND	AVDD1P0_ADC_SCLK_A	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXA_10P	STXA_10N	DGND	DGND	STXA_7P	STXA_7N	U	
V	GND	GND	GND	GND	AVDD1P0_ADC_SCLK_A	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXA_6P	STXA_6N	DGND	DGND	STXA_8P	STXA_8N	V	
W	ADC_A1P	GND	GND	GND	AVDD1P0_ADC_SCLK_A	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	DGND	GPIO_11	GPIO_10	GPIO_9	GPIO_8	GPIO_7	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	STXA_4P	STXA_4N	DGND	DGND	STXA_5P	STXA_5N	W	
Y	ADC_A1N	GND	GND	GND	AVDD1P0_ADC_SCLK_A	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	AVDD1P0_ADC_SCLK_A	GND	DGND	AVDD1P0_DAC_D0_A	GND	GND	AVDD1P0_DAC_D0_A	GND	DGND	SYNCINB_A0_N	SYNCINB_A1_N	GPIO_6	SVDD1P0_RX	DGND	DGND	DGND	DGND	DGND	STXA_3P	STXA_3N	DGND	DGND	Y		
AA	GND	GND	GND	VCMA_A1	VCMA_A0	GND	GND	ANEG1P0_DAC_A	ANEG1P0_DAC_A	GND	GND	AVDD1P0_DAC_A	GND	AVDD1P0_DAC_A	AVDD1P0_DAC_A	GND	AVDD1P0_DAC_A	GND	SYNCINB_A0_P	SYNCINB_A1_P	GPIO_5	SVDD1P0_RX	DGND	DGND	DGND	DGND	DGND	STXA_0P	STXA_0N	DGND	DGND	STXA_1P	STXA_1N	AA
AB	GND	GND	GND	GND	GND	AVDD1P0_CHK	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	DGND	AB	
AC	ADC_A0N	GND	GND	GND	GND	AVDD1P0_CHK	GND	GND	AVDD1P0_MCS	ANEG1P0_DAC_A	ANEG1P0_DAC_A	GND	ANEG1P0_DAC_A	ANEG1P0_DAC_A	GND	ANEG1P0_DAC_A	ANEG1P0_DAC_A	DGND	SYNCOUT_B_A1_N	SYNCOUT_B_A0_N	GPIO_9	DGND	SRXA_4P	SRXA_4N	DGND	DGND	DGND	DGND	DGND	DGND	DGND	AC		
AD	ADC_A0P	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	AVDD1P8_DAC_A	GND	AVDD1P8_DAC_A	AVDD1P8_DAC_A	GND	AVDD1P8_DAC_A	GND	GPIO_4	SYNCOUT_B_A1_P	SYNCOUT_B_A0_P	GPIO_1	DGND	DGND	DGND	SRXA_6P	SRXA_6N	DGND	DGND	SRXA_11P	SRXA_11N	AD		
AE	GND	GND	GND	GND	GND	SYSREF_A_P	GND	GND	GND	DNC	GND	AVDD1P8_DAC_A	GND	AVDD1P8_DAC_A	AVDD1P8_DAC_A	GND	AVDD1P8_DAC_A	GND	HSC_L_DIN_N	HSC_L_CKIN_N	HSC_L_DO_N	HSC_L_CKO_N	GPIO_2	DGND	DGND	DGND	DGND	SRXA_10P	SRXA_10N	DGND	DGND	AE		
AF	GND	GND	CLK_A_N	GND	GND	SYSREF_A_N	TRIG_0_A	TRIG_1_A	GND	GND	GND	AVDD1P8_DAC_A	GND	AVDD1P8_DAC_A	AVDD1P8_DAC_A	GND	AVDD1P8_DAC_A	GND	HSC_L_DIN_P	HSC_L_CKIN_P	HSC_L_DO_P	HSC_L_CKO_P	DGND	DGND	DGND	SRXA_2P	SRXA_2N	DGND	DGND	SRXA_9P	SRXA_9N	AF		
AG	GND	GND	CLK_A_P	RBIAS_EXT_F_A	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	DNC	DNC	DNC	GND	GND	DGND	GPIO_3	DGND	DGND	SRXA_0P	SRXA_0N	DGND	DGND	SRXA_8P	SRXA_8N	DGND	DGND	AG		
AH	GND	GND	GND	RBIAS_EXT_S_A	ANEG1P0_DAC_A	GND	GND	ANEG1P0_DAC_A	ANEG1P0_DAC_A	GND	GND	ANEG1P0_DAC_A	ANEG1P0_DAC_A	GND	GND	ANEG1P0_DAC_A	ANEG1P0_DAC_A	GND	GND	ANEG1P0_DAC_A	GND	DGND	DGND	DGND	SRXA_3P	SRXA_3N	DGND	DGND	SRXA_7P	SRXA_7N	AH			
AJ	GND	GND	VREF_1P2_A	AVDD1P8	GND	AVDD1P8_DAC_A	DAC_A0_N	DAC_A0_P	AVDD1P8_DAC_A	AVDD1P8_DAC_A	DAC_A1_P	DAC_A1_N	AVDD1P8_DAC_A	AVDD1P8_DAC_A	DAC_A2_N	DAC_A2_P	AVDD1P8_DAC_A	AVDD1P8_DAC_A	DAC_A3_N	DAC_A3_P	AVDD1P8_DAC_A	GND	DGND	SRXA_1P	SRXA_1N	DGND	DGND	SRXA_5P	SRXA_5N	DGND	DGND	AJ		
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31			

NOTES
1. DNC = DO NOT CONNECT. LEAVE FLOATING.

図 4. ピン配置 (4T4R 差動 ADC)

表 27. ピン機能の説明 (4T4R 差動 ADC)

ピン番号	記号	タイプ	説明
アナログ電源 A6, A9, A10, A13, A14, A17, A18, A21, E12, E14, E15, E17, F12, F14, F15, F17, D12, D14, D15, D17	AVDD1P8_DAC_B	Input	バンク B の DAC アナログ 1.8V 電源入力。

ピン配置およびピン機能の説明

表 27. ピン機能の説明（4T4R 差動 ADC）（続き）

ピン番号	記号	タイプ	説明
AD12, AD14, AD15, AD17, AE12, AE14, AE15, AE17, AF12, AF14, AF15, AF17, AJ6, AJ9, AJ10, AJ13, AJ14, AJ17, AJ18, AJ21	AVDD1P8_DAC_A	Input	バンク A の DAC アナログ 1.8V 電源入力。
A4, AJ4	AVDD1P8	Input	DAC アナログ 1.8V 電源入力。
R12	AVDD1P8_PLL	Input	内蔵クロック用フェーズ・ロック・ループ（PLL）の 1.8V アナログ電源入力。
G9, AC9	AVDD1P8_MCS	Input	マルチチップ同期用のアナログ 1.8V 電源入力。
K8, L8, M8, N8	AVDD1P8_ADC_B	Input	バンク B の ADC アナログ 1.8V 電源入力。
U8, V8, W8, Y8	AVDD1P8_ADC_A	Input	バンク A の ADC アナログ 1.8V 電源入力。
U12	AVDD1P0_PLL_SYN	Input	アナログ・クロック PLL シンセサイザの 1.0V 電源入力。
G10, AC10	AVDD1P0_MCS	Input	マルチチップ同期用のアナログ 1.0V 電源入力。
G6, H6, P6, R6, T6, AB6, AC6	AVDD1P0_CK	Input	チップ・クロックのアナログ 1.0V 電源入力。
J12, J14, J15, J17	AVDD1P0_DAC_B	Input	バンク B の DAC アナログ 1.0V 電源入力。
AA12, AA14, AA15, AA17	AVDD1P0_DAC_A	Input	バンク A の DAC アナログ 1.0V 電源入力。
K5, L5, M5, N5	AVDD1P0_ADC_B	Input	バンク B の ADC アナログ 1.0V 電源入力。
U5, V5, W5, Y5	AVDD1P0_ADC_A	Input	バンク A の ADC アナログ 1.0V 電源入力。
K6, L6, M6, N6	AVDD1P0_ADC_SCLK_B	Input	バンク B の ADC アナログ・クロック 1.0V 電源入力。
U6, V6, W6, Y6	AVDD1P0_ADC_SCLK_A	Input	バンク A の ADC アナログ・クロック 1.0V 電源入力。
K10, L10, M10, N10	AVDD1P0_ADCBK_B	Input	バンク B の ADC バックエンド・アナログ 1.0V 電源入力。
U10, V10, W10, Y10	AVDD1P0_ADCBK_A	Input	バンク A の ADC バックエンド・アナログ 1.0V 電源入力。
B6, B9, B10, B13, B14, B17, B18, B21, G11, G12, G14, G15, G17, G18	ANEG1P0_DAC_B	Input	バンク B の DAC アナログ 1.0V 電源入力。
AC11, AC12, AC14, AC15, AC17, AC18, AH6, AH9, AH10, AH13, AH14, AH17, AH18, AH21	ANEG1P0_DAC_A	Input	バンク A の DAC アナログ 1.0V 電源入力。
J8, J9, P8, P9	ANEG1P0_ADC_B	Input	バンク B の ADC アナログ 1.0V 電源入力。
T8, T9, AA8, AA9	ANEG1P0_ADC_A	Input	バンク A の ADC アナログ 1.0V 電源入力。
A3, AJ3	VREF_1P2_B, VREF_1P2_A	Input/Output	ADC と DAC の 1.2V リファレンス。オンチップ・リファレンスを使用するときは、0.1μF のコンデンサを介してこのピンを AGND に接続します。もしくは、このピンを外部 1.2V リファレンスに接続すると AM ノイズが改善されます。
P24	VSPLL_1P0_VREG	Output	SERDES クロック PLL の 1.0V 電源出力。このピンは、0.1μF のコンデンサと 1μF のコンデンサを並列に接続して、GND とデカップリングします。
R11	VPLL_1P0_VREG	Output	オン・チップ・クロック PLL の 1.0V 電源出力。このピンは、0.1μF のコンデンサと 1μF のコンデンサを並列に接続して、GND とデカップリングします。
デジタル電源			
G19, R18, AC19	DVDD1P8	Input	デジタル 1.8V 電源入力。
H19, AB19	DVDD1P0	Input	デジタル 1.0V 電源入力。
L12, M12, V12, W12	DVDD1P0_ADC	Input	ADC デジタル 1.0V/0.8V 電源入力。
L19, L21, M14, M16, M18, M19, N14, N16, N18, P14, P16, P18, R14, R16, T14, T16, T18, U14, U16, U18, V14, V16, V18, V19, W19, W21	DVDD0P8	Input	メインのデジタル 0.8V 電源入力。
ミックス電源			
K13, K16	AVDD1P0_DAC_DIG_B	Input	バンク B の DAC デジタルおよびアナログ 1.0V 電源入力。
Y13, Y16	AVDD1P0_DAC_DIG_A	Input	バンク A の DAC デジタルおよびアナログ 1.0V 電源入力。
SERDES 電源			
P21	SVDD1P8_PLL	Input	SERDES PLL 1.8V 電源入力。
R21	SVDD1P0_PLL	Input	SERDES PLL 1.0V 電源入力。
T21	SVDD1P0_PLL_SYN	Input	SERDES PLL シンセサイザ 1.0V 電源入力。
J22, K22, Y22, AA22	SVDD1P0_RX	Input	JESD204B および JESD204C 受信用 1.0V 電源入力。
N22, P22, T22, U22	SVDD1P0_TX	Input	JESD204B および JESD204C 送信用 1.0V 電源入力。

ピン配置およびピン機能の説明

表 27. ピン機能の説明（4T4R 差動 ADC）（続き）

ピン番号	記号	タイプ	説明
アナログ・グラウンド A1, A2, A5, A22, B1, B2, B3, B4, B7, B8, B11, B12, B15, B16, B19, B20, B22, C1, C2, C4, C6, C7, C8, C9, C10, C11, C12, C13, C14, C18, C19, D1, D2, D4, D5, D9, D10, D11, D13, D16, D18, E1, E2, E3, E4, E5, E7, E8, E9, E11, E13, E16, E18, F2, F3, F4, F5, F6, F7, F8, F9, F10, F11, F13, F16, F18, G2, G3, G4, G5, G7, G8, G13, G16, H1, H2, H3, H4, H5, H7, H8, H9, H10, H11, H12, H13, H14, H15, H16, H17, H18, J1, J2, J3, J6, J7, J10, J11, J13, J16, J18, K2, K3, K4, K7, K9, K11, K14, K15, K17, L2, L3, L4, L7, L9, L11, M1, M2, M3, M4, M7, M9, M11, N1, N2, N3, N4, N7, N9, N11, P3, P4, P5, P7, P10, P11, P12, R5, R7, R8, R9, R10, T1, T2, T3, T4, T5, T7, T10, T11, T12, U1, U2, U3, U4, U7, U9, U11, V1, V2, V3, V4, V7, V9, V11, W2, W3, W4, W7, W9, W11, Y2, Y3, Y4, Y7, Y9, Y11, Y14, Y15, Y17, AA1, AA2, AA3, AA6, AA7, AA10, AA11, AA13, AA16, AA18, AB1, AB2, AB3, AB4, AB5, AB7, AB8, AB9, AB10, AB11, AB12, AB13, AB14, AB15, AB16, AB17, AB18, AC2, AC3, AC4, AC5, AC7, AC8, AC13, AC16, AD2, AD3, AD4, AD5, AD6, AD7, AD8, AD9, AD10, AD11, AD13, AD16, AD18, AE1, AE2, AE3, AE4, AE5, AE7, AE8, AE9, AE11, AE13, AE16, AE18, AF1, AF2, AF4, AF5, AF9, AF10, AF11, AF13, AF16, AF18, AG1, AG2, AG4, AG6, AG7, AG8, AG9, AG10, AG11, AG12, AG13, AG14, AG18, AG19, AH1, AH2, AH3, AH4, AH7, AH8, AH11, AH12, AH15, AH16, AH19, AH20, AH22, AJ1, AJ2, AJ5, AJ22	GND	Input/Output	アナログ・グラウンド・リファレンス。
デジタル・グラウンド A23, A26, A27, A30, A31, B23, B24, B25, B28, B29, C20, C22, C23, C26, C27, C30, C31, D23, D24, D25, D28, D29, E24, E25, E26, E27, E30, E31, F23, F24, F25, F28, F29, G23, G26, G27, G28, G29, G30, G31, H20, H21, H22, H23, H24, H25, H26, H27, H30, H31, J23, J24, J25, J28, J29, K12, K18, K23, K24, K25, K26, K27, K30, K31, L13, L20, L22, L23, L24, L25, L28, L29, M13, M15, M17, M20, M21, M22, M23, M26, M27, M30, M31, N13, N15, N17, N23, N24, N25, N28, N29, P13, P15, P17, P20, P23, P26, P27, P30, P31, R13, R15, R17, R19, R20, R22, R23, R24, R25, R28, R29, T13, T15, T17, T20, T23, T26, T27, T30, T31, U13, U15, U17, U23, U24, U25, U28, U29, V13, V15, V17, V20, V21, V22, V23, V26, V27, V30, V31, W13, W20, W22, W23, W24, W25, W28, W29, Y12, Y18, Y23, Y24, Y25, Y26, Y27, Y30, Y31, AA23, AA24, AA25, AA28, AA29, AB20, AB21, AB22, AB23, AB24, AB25, AB26, AB27, AB30, AB31, AC23, AC26, AC27, AC28, AC29, AC30, AC31, AD23, AD24, AD25, AD28, AD29, AE24, AE25, AE26, AE27, AE30, AE31, AF23, AF24, AF25, AF28, AF29, AG20, AG22, AG23, AG26, AG27, AG30, AG31, AH23,	DGND	Input/Output	デジタル・グラウンド・リファレンス。

ピン配置およびピン機能の説明

表 27. ピン機能の説明（4T4R 差動 ADC）（続き）

ピン番号	記号	タイプ	説明
AH24, AH25, AH28, AH29, AJ23, AJ26, AJ27, AJ30, AJ31			
ADC 入力			
F1, G1	ADC_B0P, ADC_B0N	Input	50Ω の差動抵抗を内蔵した ADCB0 の差動入力。これらのピンを使用しない場合はフロート状態にします。
K1, L1	ADC_B1N, ADC_B1P	Input	50Ω の差動抵抗を内蔵した ADCB1 の差動入力。これらのピンを使用しない場合はフロート状態にします。
W1, Y1	ADC_A1P, ADC_A1N	Input	50Ω の差動抵抗を内蔵した ADCA1 の差動入力。これらのピンを使用しない場合はフロート状態にします。
AC1, AD1	ADC_A0N, ADC_A0P	Input	50Ω の差動抵抗を内蔵した ADCA0 の差動入力。これらのピンを使用しない場合はフロート状態にします。
DAC 出力			
A7, A8	DAC_B0_N, DAC_B0_P	Output	DAC_B0 出力、1.8V 基準。これらのピンを使用しない場合は 1.8V に接続します。
A11, A12	DAC_B1_P, DAC_B1_N	Output	DAC_B1 出力、1.8V 基準。SW5 でのみ使用可能です。これらのピンを使用しない場合は 1.8V に接続します。
A15, A16	DAC_B2_N, DAC_B2_P	Output	DAC_B2 出力、1.8V 基準。SW5 でのみ使用可能です。これらのピンを使用しない場合は 1.8V に接続します。
A19, A20	DAC_B3_P, DAC_B3_N	Output	DAC_B3 出力、1.8V 基準。これらのピンを使用しない場合は 1.8V に接続します。
AJ7, AJ8	DAC_A0_N, DAC_A0_P	Output	DAC_A0 出力、1.8V 基準。これらのピンを使用しない場合は 1.8V に接続します。
AJ11, AJ12	DAC_A1_P, DAC_A1_N	Output	DAC_A1 出力、1.8V 基準。SW5 でのみ使用可能です。これらのピンを使用しない場合は 1.8V に接続します。
AJ15, AJ16	DAC_A2_N, DAC_A2_P	Output	DAC_A2 出力、1.8V 基準。これらのピンを使用しない場合は 1.8V に接続します。
AJ19, AJ20	DAC_A3_P, DAC_A3_N	Output	DAC_A3 出力、1.8V 基準。SW5 でのみ使用可能です。これらのピンを使用しない場合は 1.8V に接続します。
クロック入力			
C3, D3	CLK_B_P, CLK_B_N	Input	バンク B の直接クロック入力。使用しない場合はフロート状態にします。
P1, R1	CLK_P, CLK_N	Input	50Ω の差動抵抗を内蔵した差動クロック入力。
P2, R2	PLLREF_CLK_N, PLLREF_CLK_P	Input	オンチップ PLL リファレンス入力。これらのピンを使用しない場合はフロート状態にします。
AF3, AG3	CLK_A_N, CLK_A_P	Input	バンク A の直接クロック入力。使用しない場合はフロート状態にします。
HSCI ポートの入力と出力			
AE19, AF19	HSCI_DIN_N, HSCI_DIN_P	Input	プログラム可能な 100Ω 差動抵抗を内蔵した HSCI データの LVDS 入力。
AE20, AF20	HSCI_CKIN_N, HSCI_CKIN_P	Input	プログラム可能な 100Ω 差動抵抗を内蔵した HSCI クロックの LVDS 入力。
AE21, AF21	HSCI_DO_N, HSCI_DO_P	Output	HSCI データの LVDS 出力。
AE22, AF22	HSCI_CKO_N, HSCI_CKO_P	Output	HSCI クロックの LVDS 出力。
CMOS の入力と出力			
B5	RBIAS_EXT_S_B	Input	DAC バイアス電流設定ピン。このピンは RBIAS_EXT_F_B に接続します。
C5	RBIAS_EXT_F_B	Output	DAC バイアス電流設定ピン。このピンは、精度 0.1% の 464Ω 抵抗に接続します。
AG5	RBIAS_EXT_F_A	Output	DAC バイアス電流設定ピン。このピンは、精度 0.1% の 464Ω 抵抗に接続します。
AH5	RBIAS_EXT_S_A	Input	DAC バイアス電流設定ピン。このピンは RBIAS_EXT_F_A に接続します。

ピン配置およびピン機能の説明

表 27. ピン機能の説明（4T4R 差動 ADC）（続き）

ピン番号	記号	タイプ	説明
C21	GPIO_20	Input/Output	汎用入出力（GPIO）。
D7	TRIG_0_B	Input	バンク B のトリガ入力 0。このピンを使用しない場合はフロート状態にします。
D8	TRIG_1_B	Input	バンク B のトリガ入力 1。このピンを使用しない場合はフロート状態にします。
D19	GPIO_26	Input/Output	GPIO。
D20	GPIO_27	Input/Output	GPIO。
D21	GPIO_30	Input/Output	GPIO。
D22	RESETB	Input	アクティブ・ローのリセット入力。RESETB は、デジタル・ロジックと SPI レジスタを既知のデフォルト状態にセットします。RESETB は、デバイス初期化プロセスの最初のステップでリセット信号を発信できるデジタル IC に接続する必要があります。
E19	GPIO_24	Input/Output	GPIO。
E20	GPIO_25	Input/Output	GPIO。
E21	GPIO_28	Input/Output	GPIO。
E22	GPIO_29	Input/Output	GPIO。
E23	GPIO_21	Input/Output	GPIO。
F19	GPIO_19	Input/Output	GPIO。
F22	GPIO_22	Input/Output	GPIO。
G22	GPIO_23	Input/Output	GPIO。
J4, J5	VCMA_B1, VCMA_B0	Output	バンク B の ADC バッファ VCM _{OUT} 。これらのピンは 1nF のコンデンサを使って GND とデカップリングします。
J21	GPIO_18	Input/Output	GPIO。
K21	GPIO_17	Input/Output	GPIO。
L14	GPIO_12	Input/Output	GPIO。
L15	GPIO_13	Input/Output	GPIO。
L16	GPIO_14	Input/Output	GPIO。
L17	GPIO_15	Input/Output	GPIO。
L18	GPIO_16	Input/Output	GPIO。
N19	SPI_SDO	Output	シリアル・ポート・データ出力。
N20	GPIO_31	Input/Output	GPIO。
N21	GPIO_32	Input/Output	GPIO。
P19	SPI_SDIO	Input/Output	シリアル・ポートの双方向データ入出力。
T19	SPI_CSB	Input	シリアル・ポートのイネーブル入力。アクティブ・ロー。
U19	SPI_CLK	Input	シリアル・ポートのクロック入力。
U20	GPIO_33	Input/Output	GPIO。
U21	GPIO_34	Input/Output	GPIO。
W14	GPIO_11	Input/Output	GPIO。
W15	GPIO_10	Input/Output	GPIO。
W16	GPIO_9	Input/Output	GPIO。
W17	GPIO_8	Input/Output	GPIO。
W18	GPIO_7	Input/Output	GPIO。
Y21	GPIO_6	Input/Output	GPIO。
AA4, AA5	VCMA_A1, VCMA_A0	Output	バンク A の ADC バッファ VCM _{OUT} 。これらのピンは 1nF のコンデンサを使って GND とデカップリングします。
AA21	GPIO_5	Input/Output	GPIO。
AC22	GPIO_0	Input/Output	GPIO。
AD19	GPIO_4	Input/Output	GPIO。
AD22	GPIO_1	Input/Output	GPIO。
AE23	GPIO_2	Input/Output	GPIO。
AF7	TRIG_0_A	Input	バンク A のトリガ入力 0。

ピン配置およびピン機能の説明

表 27. ピン機能の説明（4T4R 差動 ADC）（続き）

ピン番号	記号	タイプ	説明
AF8	TRIG_1_A	Input	バンク A のトリガ入力 1。
AG21	GPIO_3	Input/Output	GPIO。
JESD204B または JESD204C に準拠した SERDES データ・レーンと制御信号 ¹			
H28, H29	STXB_2P, STXB_2N	Output	JTx レーンの出力、+側データと-側データ。
J26, J27	STXB_0P, STXB_0N	Output	JTx レーンの出力、+側データと-側データ。
J30, J31	STXB_1P, STXB_1N	Output	JTx レーンの出力、+側データと-側データ。
K28, K29	STXB_3P, STXB_3N	Output	JTx レーンの出力、+側データと-側データ。
L26, L27	STXB_4P, STXB_4N	Output	JTx レーンの出力、+側データと-側データ。
L30, L31	STXB_5P, STXB_5N	Output	JTx レーンの出力、+側データと-側データ。
M24, M25	STXB_6P, STXB_6N	Output	JTx レーンの出力、+側データと-側データ。
M28, M29	STXB_8P, STXB_8N	Output	JTx レーンの出力、+側データと-側データ。
N26, N27	STXB_10P, STXB_10N	Output	JTx レーンの出力、+側データと-側データ。
N30, N31	STXB_7P, STXB_7N	Output	JTx レーンの出力、+側データと-側データ。
P28, P29	STXB_11P, STXB_11N	Output	JTx レーンの出力、+側データと-側データ。
R26, R27	STXA_9P, STXA_9N	Output	JTx レーンの出力、+側データと-側データ。
R30, R31	STXB_9P, STXB_9N	Output	JTx レーンの出力、+側データと-側データ。
T28, T29	STXA_11P, STXA_11N	Output	JTx レーンの出力、+側データと-側データ。
U26, U27	STXA_10P, STXA_10N	Output	JTx レーンの出力、+側データと-側データ。
U30, U31	STXA_7P, STXA_7N	Output	JTx レーンの出力、+側データと-側データ。
V24, V25	STXA_6P, STXA_6N	Output	JTx レーンの出力、+側データと-側データ。
V28, V29	STXA_8P, STXA_8N	Output	JTx レーンの出力、+側データと-側データ。
W26, W27	STXA_4P, STXA_4N	Output	JTx レーンの出力、+側データと-側データ。
W30, W31	STXA_5P, STXA_5N	Output	JTx レーンの出力、+側データと-側データ。
Y28, Y29	STXA_3P, STXA_3N	Output	JTx レーンの出力、+側データと-側データ。
AA26, AA27	STXA_0P, STXA_0N	Output	JTx レーンの出力、+側データと-側データ。
AA30, AA31	STXA_1P, STXA_1N	Output	JTx レーンの出力、+側データと-側データ。
AB28, AB29	STXA_2P, STXA_2N	Output	JTx レーンの出力、+側データと-側データ。
D6, E6	SYSREF_B_N, SYSREF_B_P	Input	CLK_B_P と CLK_B_N の SYSREF_P および SYSREF_N 入力。
R3, R4	SYSREF_N, SYSREF_P	Input	CLK_P と CLK_N の SYSREF_P および SYSREF_N 入力。
AE6, AF6	SYSREF_A_P, SYSREF_A_N	Input	CLK_A_P と CLK_A_N の SYSREF_P および SYSREF_N 入力。
F20, G20	SYNCOUTB_B1_P, SYNCOUTB_B1_N	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JRx リンク B1 同期出力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 出力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。
F21, G21	SYNCOUTB_B0_P, SYNCOUTB_B0_N	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JRx リンク B0 同期出力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 出力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。
J19, K19	SYNCINB_B0_P, SYNCINB_B0_N	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JTx リンク B0 同期入力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 入力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。

ピン配置およびピン機能の説明

表 27. ピン機能の説明 (4T4R 差動 ADC) (続き)

ピン番号	記号	タイプ	説明
J20, K20	SYNCINB_B1_P, SYNCINB_B1_N	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JTx リンク B1 同期入力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 入力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。
Y19, AA19	SYNCINB_A0_N, SYNCINB_A0_P	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JTx リンク A0 同期入力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 入力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。
Y20, AA20	SYNCINB_A1_N, SYNCINB_A1_P	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JTx リンク A1 同期入力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 入力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。
AC20, AD20	SYNCOUTB_A1_N, SYNCOUTB_A1_P	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JRx リンク A1 同期出力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 出力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。
AC21, AD21	SYNCOUTB_A0_N, SYNCOUTB_A0_P	Input/Output	デュアル・ユース・ピン。これら 2 本のピンは、JESD204B インターフェース用の差動 JRx リンク A0 同期出力ポートとして、あるいは 2 本のシングルエンド GPIO ピンとして設定します。また、LVDS モードでは差動の 100Ω 出力インピーダンスとしても使用できます。これらのピンを使用しない場合はフロート状態にします。
A24, A25	SRXB_1P, SRXB_1N	Input	JRx レーン入力、+側データと-側データ。
A28, A29	SRXB_5P, SRXB_5N	Input	JRx レーン入力、+側データと-側データ。
B26, B27	SRXB_3P, SRXB_3N	Input	JRx レーン入力、+側データと-側データ。
B30, B31	SRXB_7P, SRXB_7N	Input	JRx レーン入力、+側データと-側データ。
C24, C25	SRXB_0P, SRXB_0N	Input	JRx レーン入力、+側データと-側データ。
C28, C29	SRXB_8P, SRXB_8N	Input	JRx レーン入力、+側データと-側データ。
D26, D27	SRXB_2P, SRXB_2N	Input	JRx レーン入力、+側データと-側データ。
D30, D31	SRXB_9P, SRXB_9N	Input	JRx レーン入力、+側データと-側データ。
E28, E29	SRXB_10P, SRXB_10N	Input	JRx レーン入力、+側データと-側データ。
F26, F27	SRXB_6P, SRXB_6N	Input	JRx レーン入力、+側データと-側データ。
F30, F31	SRXB_11P, SRXB_11N	Input	JRx レーン入力、+側データと-側データ。
G24, G25	SRXB_4P, SRXB_4N	Input	JRx レーン入力、+側データと-側データ。
AC24, AC25	SRXA_4P, SRXA_4N	Input	JRx レーン入力、+側データと-側データ。
AD26, AD27	SRXA_6P, SRXA_6N	Input	JRx レーン入力、+側データと-側データ。
AD30, AD31	SRXA_11P, SRXA_11N	Input	JRx レーン入力、+側データと-側データ。
AE28, AE29	SRXA_10P, SRXA_10N	Input	JRx レーン入力、+側データと-側データ。
AF26, AF27	SRXA_2P, SRXA_2N	Input	JRx レーン入力、+側データと-側データ。
AF30, AF31	SRXA_9P, SRXA_9N	Input	JRx レーン入力、+側データと-側データ。
AG24, AG25	SRXA_0P, SRXA_0N	Input	JRx レーン入力、+側データと-側データ。
AG28, AG29	SRXA_8P, SRXA_8N	Input	JRx レーン入力、+側データと-側データ。
AH26, AH27	SRXA_3P, SRXA_3N	Input	JRx レーン入力、+側データと-側データ。
AH30, AH31	SRXA_7P, SRXA_7N	Input	JRx レーン入力、+側データと-側データ。
AJ24, AJ25	SRXA_1P, SRXA_1N	Input	JRx レーン入力、+側データと-側データ。
AJ28, AJ29	SRXA_5P, SRXA_5N	Input	JRx レーン入力、+側データと-側データ。

ピン配置およびピン機能の説明

表 27. ピン機能の説明（4T4R 差動 ADC）（続き）

ピン番号	記号	タイプ	説明
接続不可 C15, C16, C17, E10, N12, P25, T24, T25, AE10, AG15, AG16, AG17	DNC	DNC	接続しないでください。フロート状態のままにします。

¹ STXA_xP、STXA_xN、STXB_xP、STXB_xN、SRXA_xP、SRXA_xN、SRXB_xP、SRXB_xN は、100Ω の終端抵抗を内蔵しています。

代表的な性能特性

DAC

20GSPS

これらのデータ曲線はすべての出力の平均性能を表しています。特に指定のない限り、ベクトル・スケール = 0dBFS。すべてのデータはラボの評価用ボード上で測定。特に指定のない限り、公称電源を使用、サンプル・レート = 20GSPS、 $f_{IQ_DATA} = 2.5\text{GSPS}$ 、JESD N'=16 ビット、 $T_J = 65^\circ\text{C}$ 。

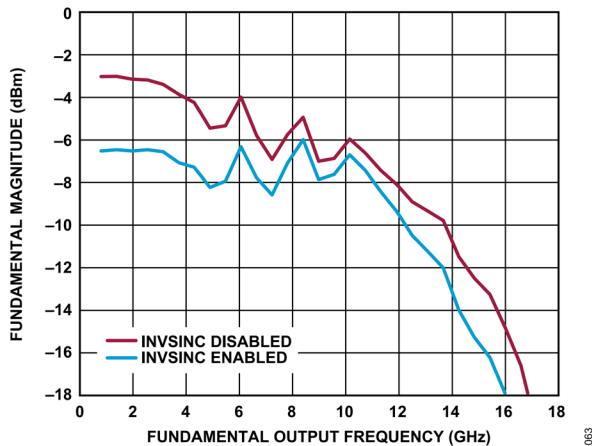


図 5. DAC の基本振幅と基本出力周波数の関係

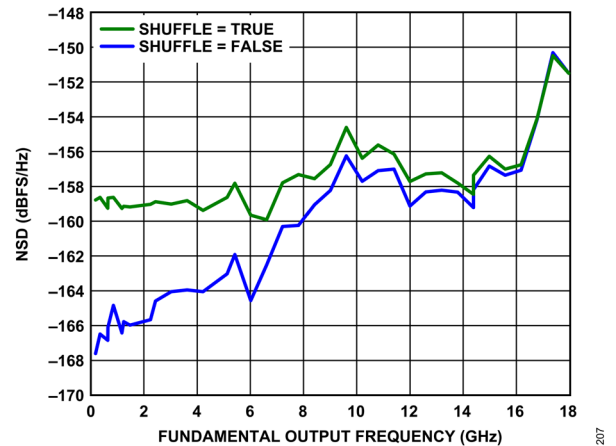


図 7. NSD (f_{OUT} より上に 500MHz オフセットした位置で測定) と基本出力周波数の関係、ベクトル振幅バックオフ = -7dBFS、図の 16GHz より上の NSD はラボの測定セットアップによって制限

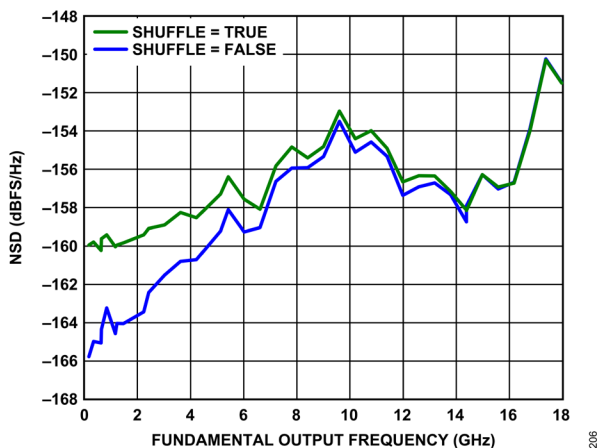


図 6. NSD (f_{OUT} より上に 500MHz オフセットした位置で測定) と基本出力周波数の関係、ベクトル振幅バックオフ = 0dBFS、図の 16GHz より上の NSD はラボの測定セットアップによって制限

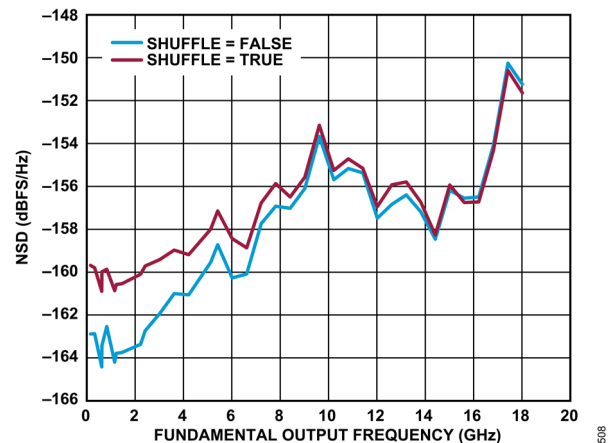


図 8. NSD (f_{OUT} より上に 500MHz オフセットした位置で測定) と基本出力周波数の関係、ベクトル振幅バックオフ = 0dBFS、N' = 12 ビット、図の 16GHz より上の NSD はラボの測定セットアップによって制限

代表的な性能特性

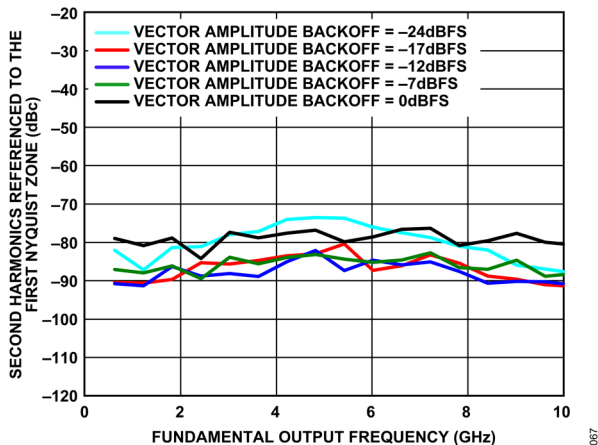


図 9. 第 1 ナイキスト・ゾーンを基準とする 2 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

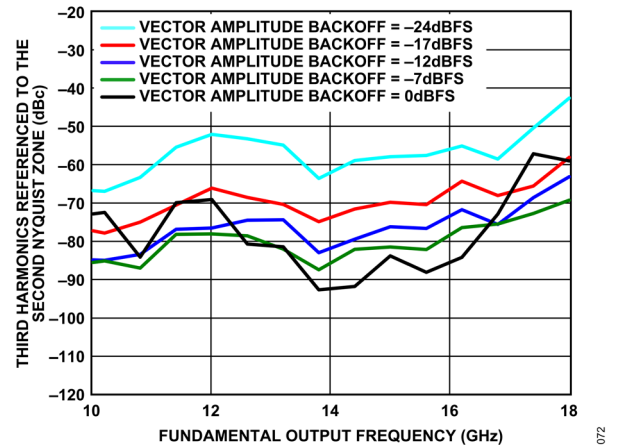


図 12. 第 2 ナイキスト・ゾーンを基準とする 3 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

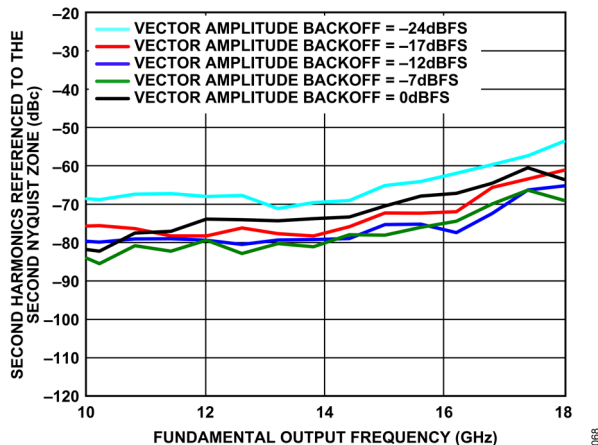


図 10. 第 2 ナイキスト・ゾーンを基準とする 2 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

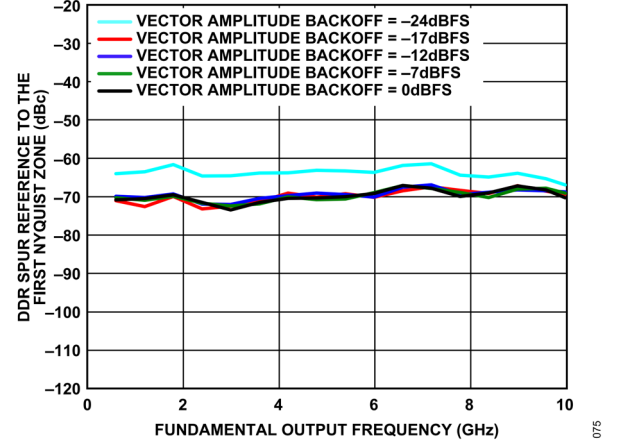


図 13. 第 1 ナイキスト・ゾーンを基準とする DDR スプリアスと基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

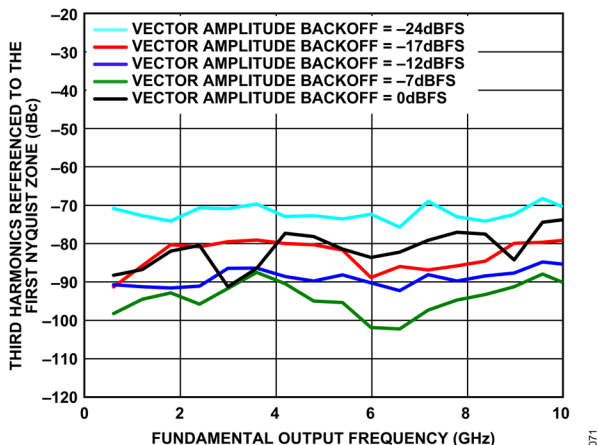


図 11. 第 1 ナイキスト・ゾーンを基準とする 3 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

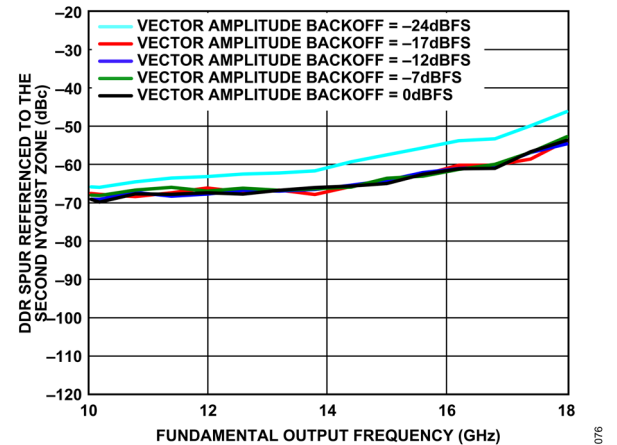


図 14. 第 2 ナイキスト・ゾーンを基準とする DDR スプリアスと基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

代表的な性能特性

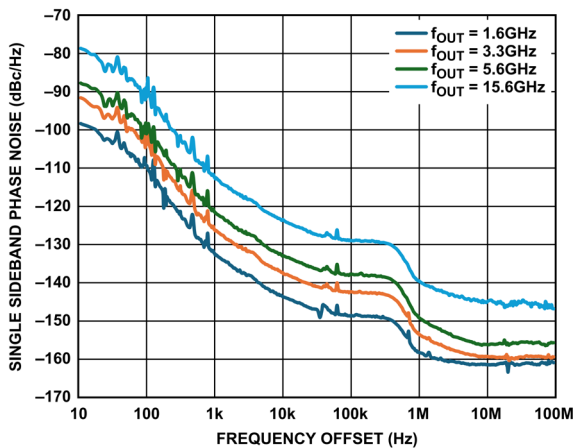


図 15. 単側波帯位相ノイズと周波数オフセットの関係、複数の基本出力周波数について表示

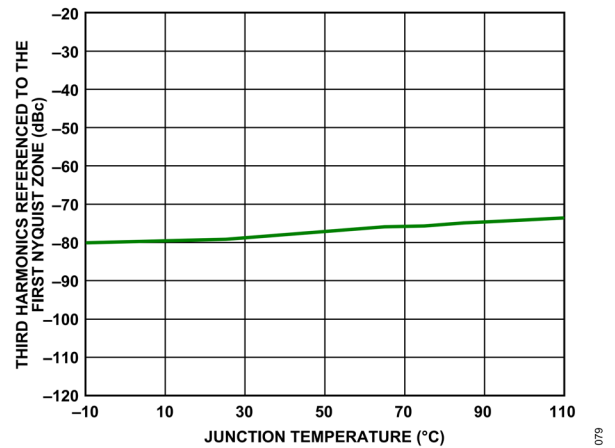


図 18. 第1ナイキスト・ゾーンを基準とする3次高調波とジャンクション温度の関係、 $f_{OUT} = 4.1\text{GHz}$

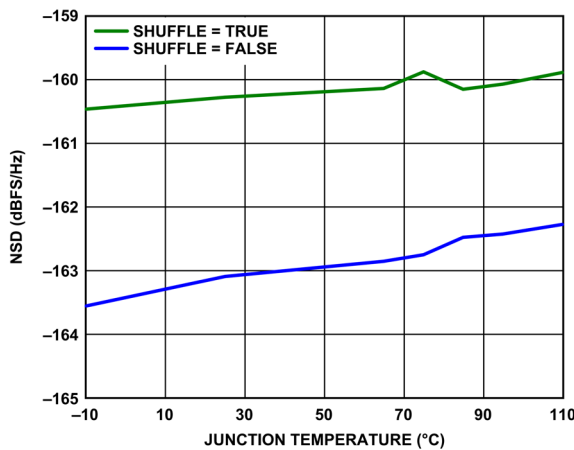


図 16. NSD (f_{OUT} より 500MHz 高い周波数で測定) とジャンクション温度の関係、ベクトル振幅バックオフ = 0dBFS

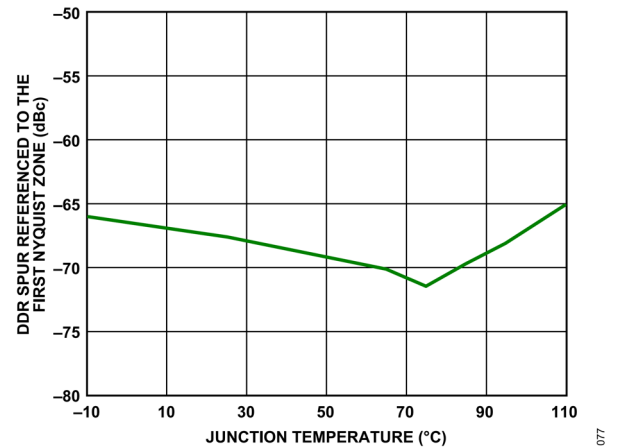


図 19. 第1ナイキスト・ゾーンを基準とするDDRスプリアとジャンクション温度の関係、 $f_{OUT} = 4.1\text{GHz}$

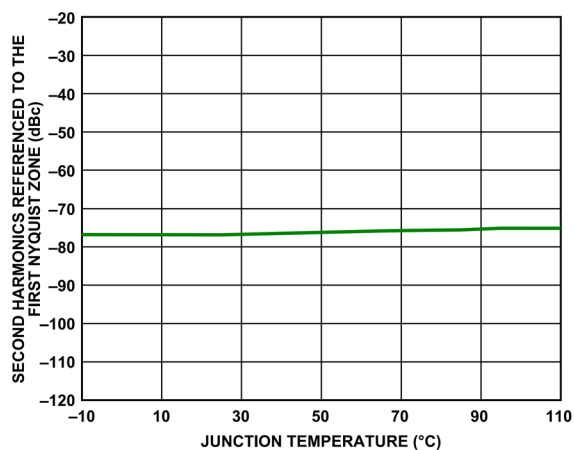


図 17. 第1ナイキスト・ゾーンを基準とする2次高調波とジャンクション温度の関係、 $f_{OUT} = 4.1\text{GHz}$

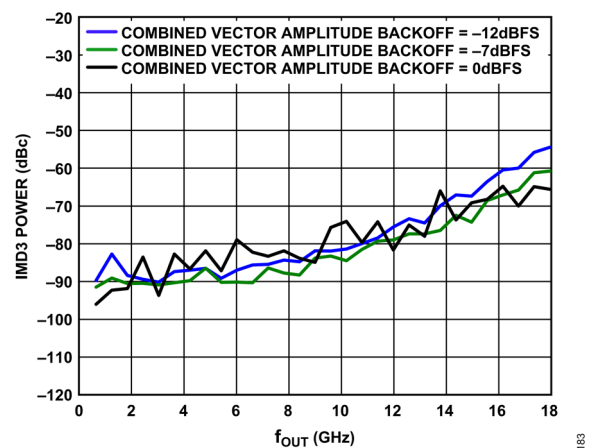


図 20. IMD3 電力と f_{OUT} の関係、複数のベクトル振幅バックオフについて表示

代表的な性能特性

28GSPS

これらのデータ曲線はすべての出力の平均性能を表しています。特に指定のない限り、ベクトル・スケール = 0dBFS。すべてのデータはラボの評価用ボード上で測定。特に指定のない限り、公称電源を使用、サンプル・レート = 28GSPS、 $f_{IQ_DATA} = 1.75\text{GSPS}$ 、JESD N'=16ビット、 $T_J = 65^\circ\text{C}$ 。

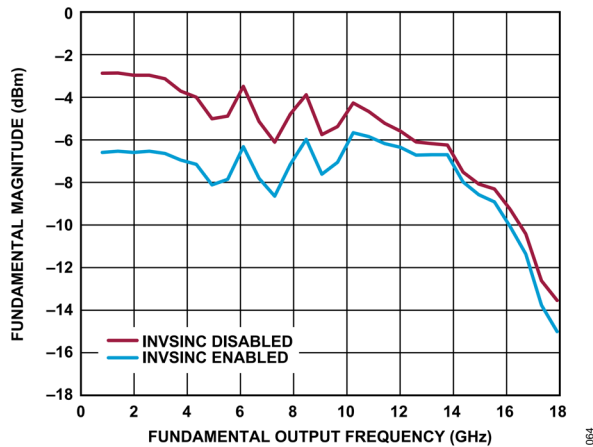


図 21. DAC の基本振幅と基本出力周波数の関係

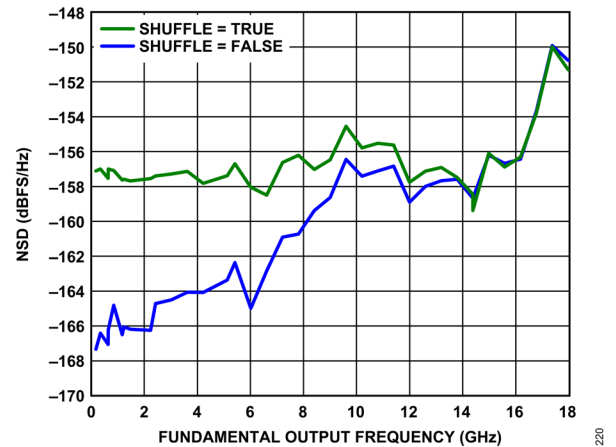


図 23. NSD (f_{OUT} より上に 500MHz オフセットした位置で測定) と基本出力周波数の関係、ベクトル振幅バックオフ = -7dBFS、図の 16GHz より上の NSD はラボの測定セットアップによって制限

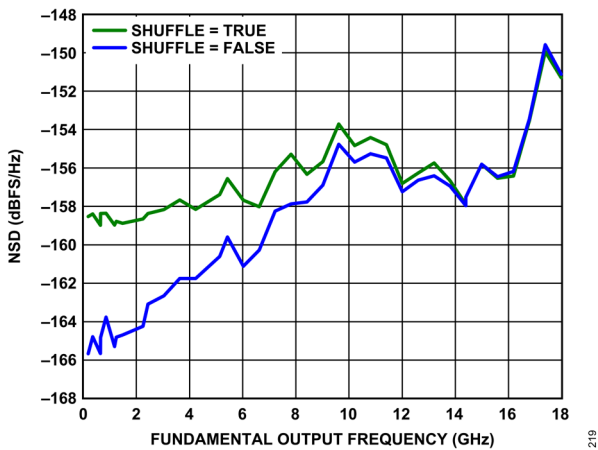


図 22. NSD (f_{OUT} より上に 500MHz オフセットした位置で測定) と基本出力周波数の関係、ベクトル振幅バックオフ = 0dBFS、図の 16GHz より上の NSD はラボの測定セットアップによって制限

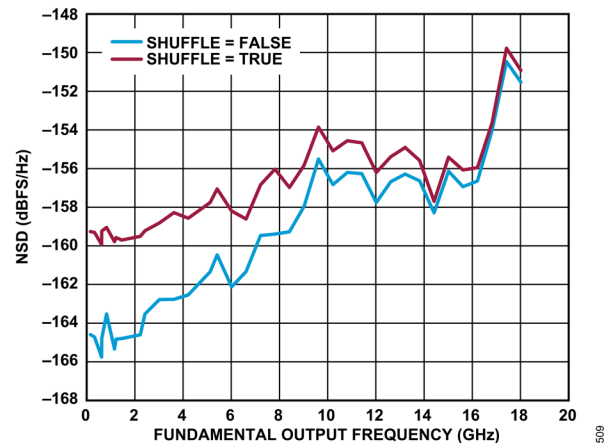


図 24. NSD (f_{OUT} より上に 500MHz オフセットした位置で測定) と基本出力周波数の関係、ベクトル振幅バックオフ = 0dBFS、N' = 12 ビット、図の 16GHz より上の NSD はラボの測定セットアップによって制限

代表的な性能特性

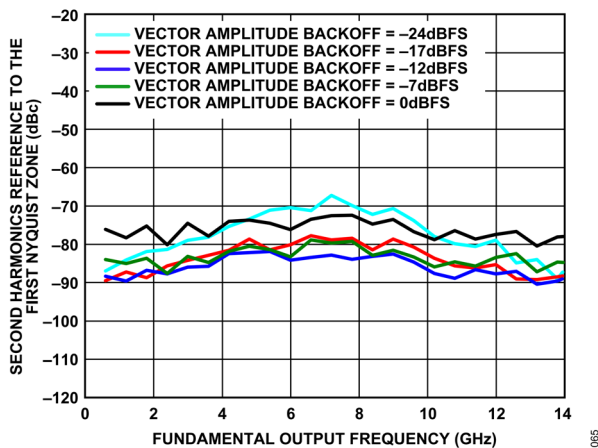


図 25. 第 1 ナイキスト・ゾーンを基準とする 2 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

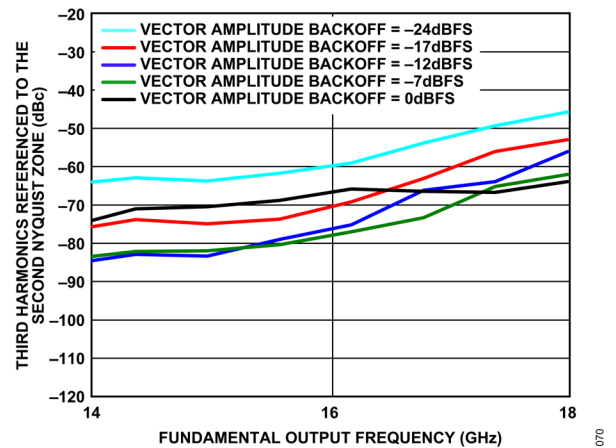


図 28. 第 2 ナイキスト・ゾーンを基準とする 3 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

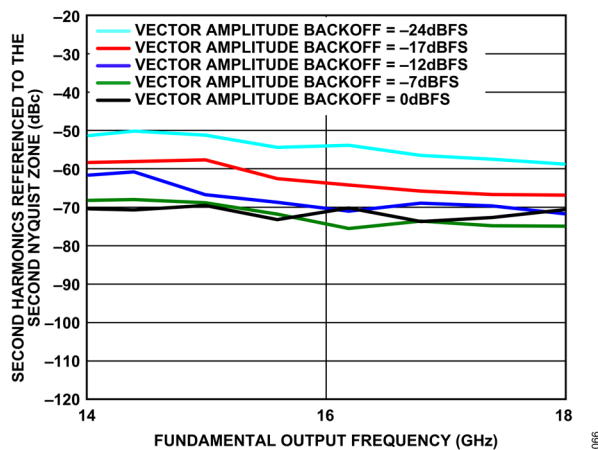


図 26. 第 2 ナイキスト・ゾーンを基準とする 2 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

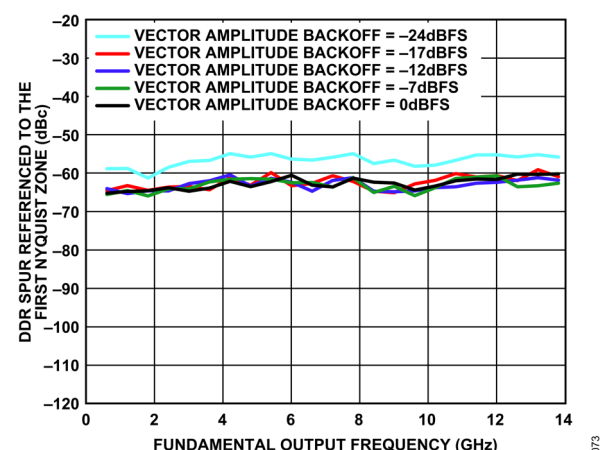


図 29. 第 1 ナイキスト・ゾーンを基準とする DDR スプリアスと基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

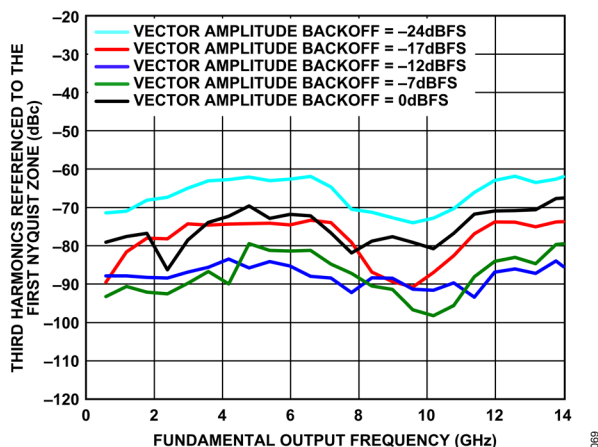


図 27. 第 1 ナイキスト・ゾーンを基準とする 3 次高調波と基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

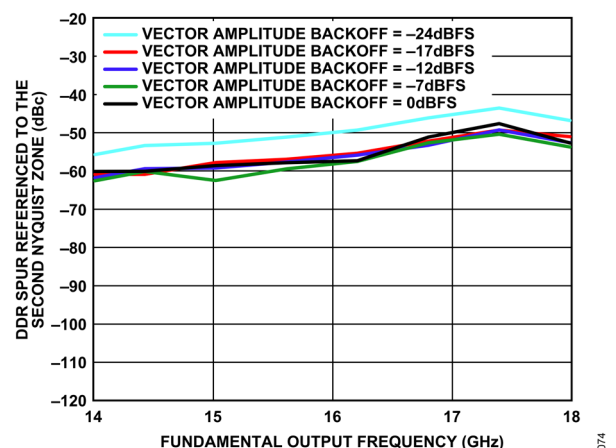


図 30. 第 2 ナイキスト・ゾーンを基準とする DDR スプリアスと基本出力周波数の関係、複数のベクトル振幅バックオフについて表示

代表的な性能特性

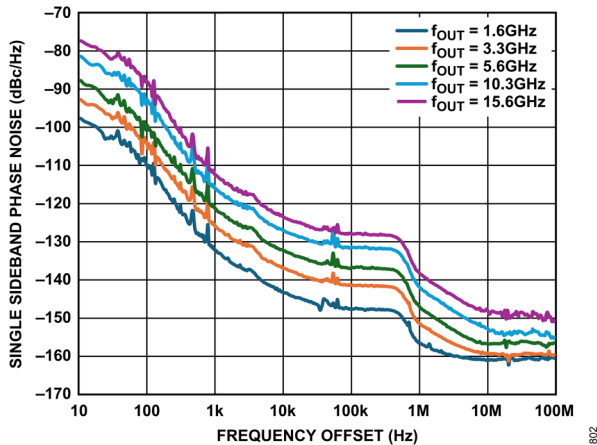


図 31. 単側波帯位相ノイズと周波数オフセットの関係、複数の基本出力周波数について表示

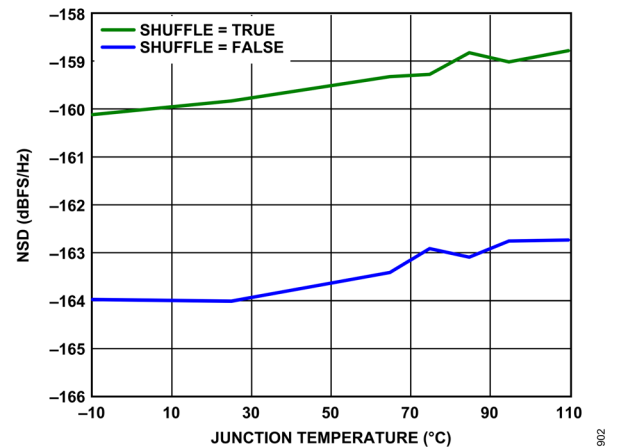


図 34. NSD (f_{OUT} より 500MHz 高い周波数で測定) とジャンクション温度の関係、ベクトル振幅バックオフ = 0dBFS

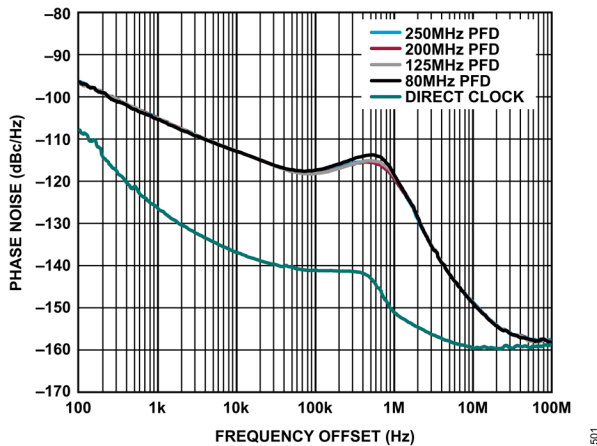


図 32. 単側波帯位相ノイズと周波数オフセットの関係、複数の PFD 周波数について表示、 $f_{OUT} = 3.2\text{GHz}$

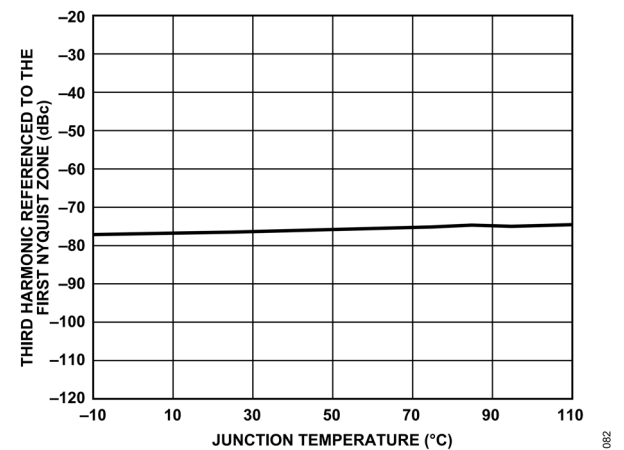


図 35. 第 1 ナイキスト・ゾーンを基準とする 3 次高調波とジャンクション温度の関係、 $f_{OUT} = 4.1\text{GHz}$

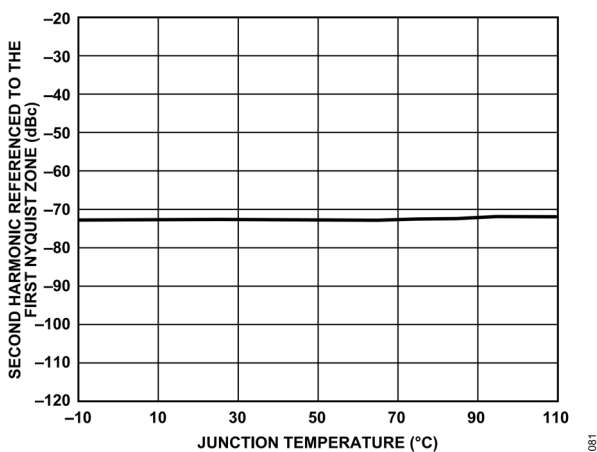


図 33. 第 1 ナイキスト・ゾーンを基準とする 2 次高調波とジャンクション温度の関係、 $f_{OUT} = 4.1\text{GHz}$

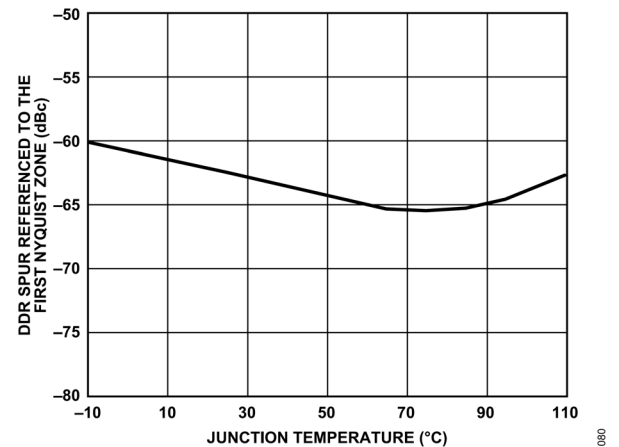


図 36. 第 1 ナイキスト・ゾーンを基準とする DDR スプリアスとジャンクション温度の関係、 $f_{OUT} = 4.1\text{GHz}$

代表的な性能特性

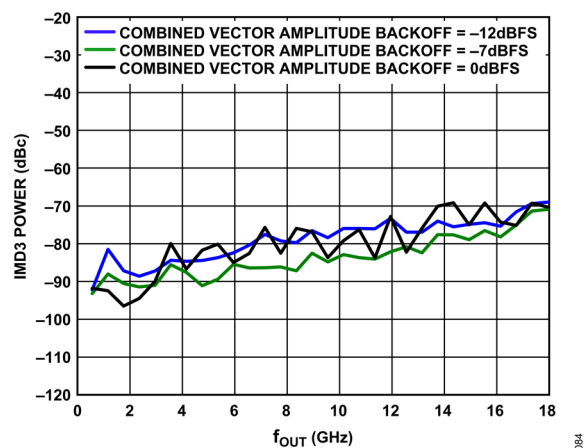


図 37. IMD3 電力と f_{OUT} の関係、
複数の総合ベクトル振幅バックオフについて表示

代表的な性能特性

サンプル・レート・スweep

これらのデータ曲線はすべての出力の平均性能を表しています。特に指定のない限り、ベクトル・スケール = 0dBFS。すべてのデータはラボの評価用ボード上で測定。特に指定のない限り、公称電源を使用、 $T_J = 65^\circ\text{C}$ 。

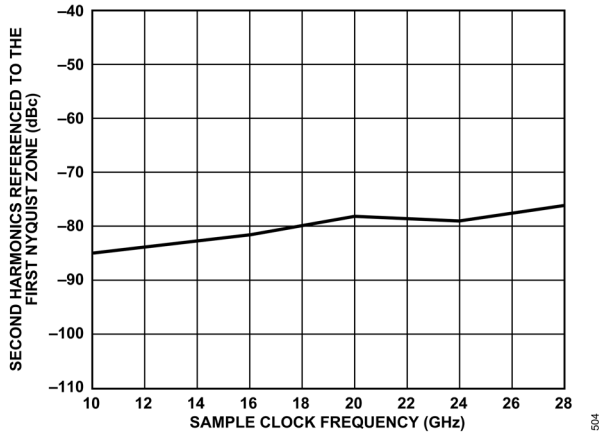


図 38. 第 1 ナイキスト・ゾーンを基準とする 2 次高調波と DAC サンプル・クロック周波数の関係、 $f_{\text{OUT}} = 4.1\text{GHz}$

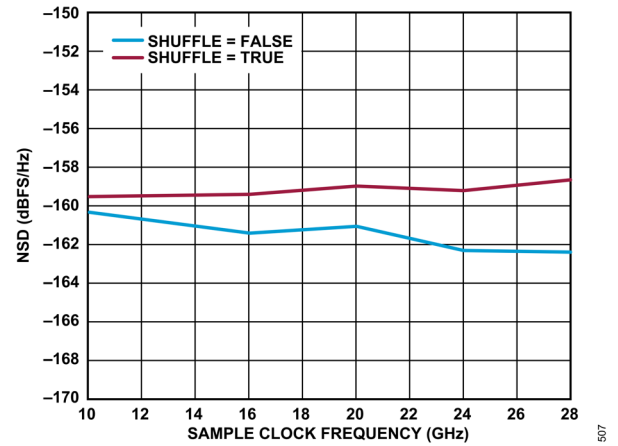


図 41. 第 1 ナイキスト・ゾーンを基準とする NSD と DAC サンプル・クロック周波数の関係、 $f_{\text{OUT}} = 4.1\text{GHz}$

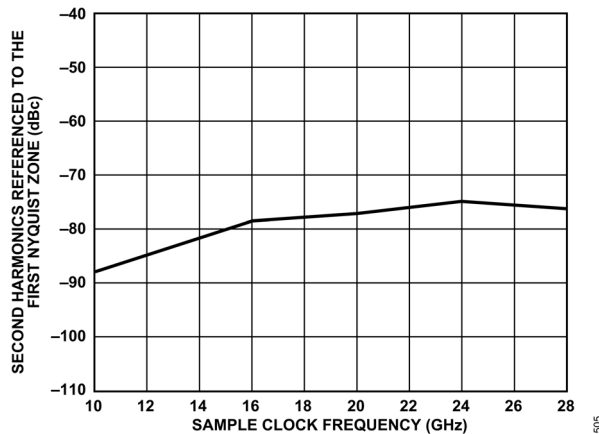


図 39. 第 1 ナイキスト・ゾーンを基準とする 3 次高調波と DAC サンプル・クロック周波数の関係、 $f_{\text{OUT}} = 4.1\text{GHz}$

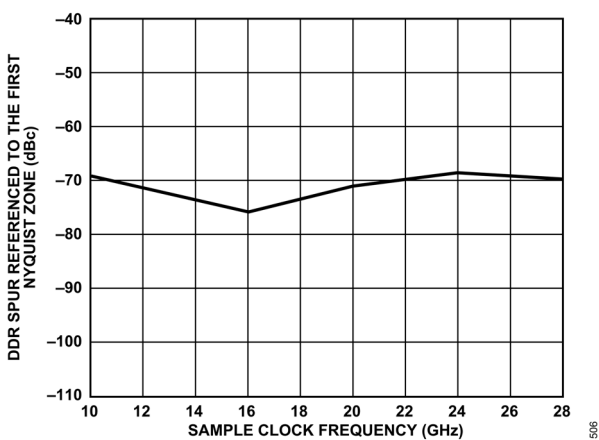


図 40. 第 1 ナイキスト・ゾーンを基準とする DDR スプリアスと DAC サンプル・クロック周波数の関係、 $f_{\text{OUT}} = 4.1\text{GHz}$

代表的な性能特性

ADC

20GSPS

公称電源、サンプル・レート = 20GSPS、 $f_{IQ_DATA} = 2.5\text{GSPS}$ 。特に指定のない限り、 $T_J = 65^\circ\text{C}$ 。特に指定のない限り、入力振幅 (A_{IN}) = -7dBFS、JESD N'=16 ビット。

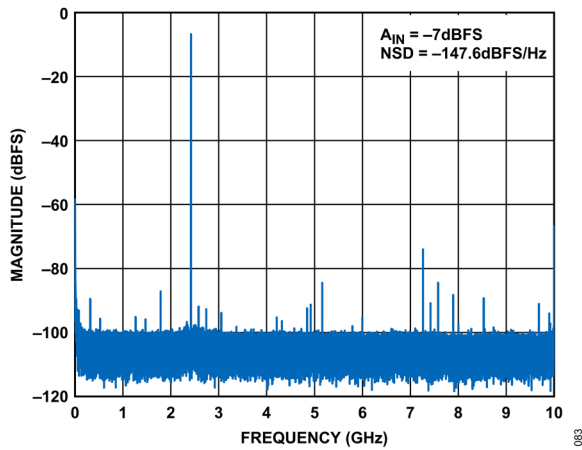


図 42. シングルトーン高速フーリエ変換 (FFT)、 $f_{IN} = 2.421\text{GHz}$ 、ランダム・モードをイネーブル (CDDC と FDDC をバイパス)

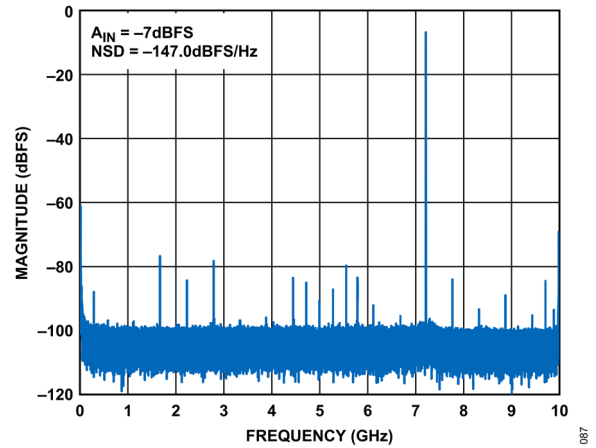


図 44. シングルトーン FFT、 $f_{IN} = 7.221\text{GHz}$ 、ランダム・モードをイネーブル (CDDC と FDDC をバイパス)

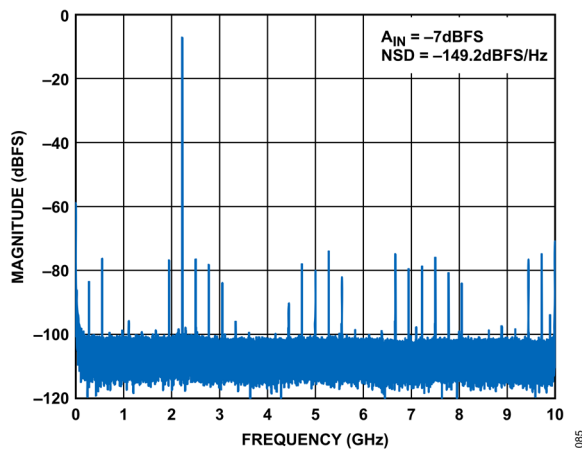


図 43. シングルトーン FFT、 $f_{IN} = 2.421\text{GHz}$ 、ランダム・モードをディスエーブル (CDDC と FDDC をバイパス)

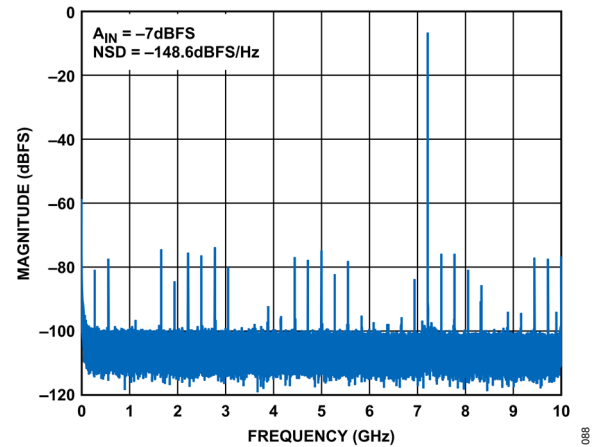


図 45. シングルトーン FFT、 $f_{IN} = 7.221\text{GHz}$ 、ランダム・モードをディスエーブル (CDDC と FDDC をバイパス)

代表的な性能特性

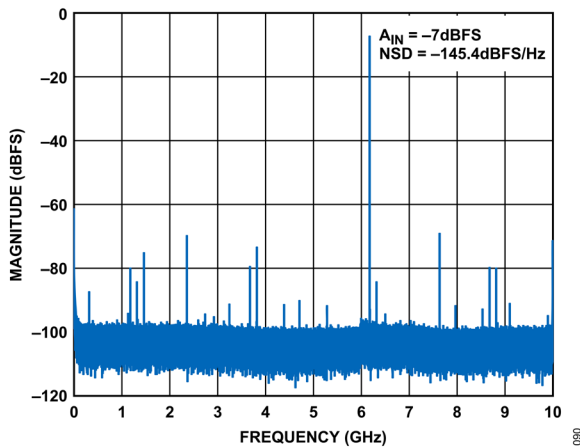


図 46. シングルトーン FFT、 $f_{IN} = 13.821\text{GHz}$ 、ランダム・モードをイネーブル (CDDC と FDDC をバイパス)

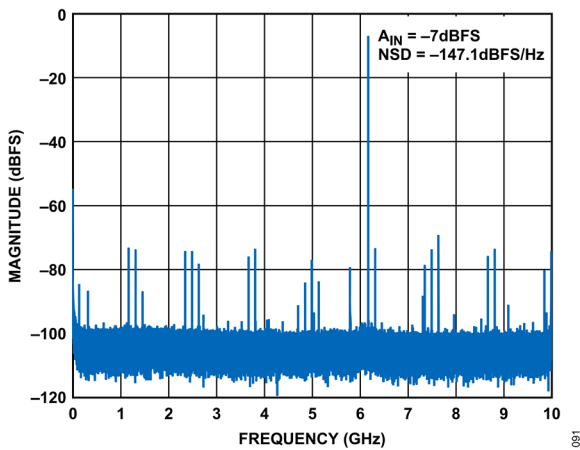


図 47. シングルトーン FFT、 $f_{IN} = 13.821\text{GHz}$ 、ランダム・モードをディスエーブル (CDDC と FDDC をバイパス)

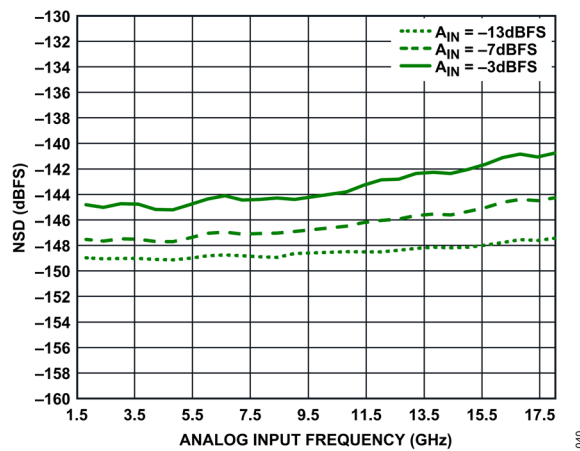


図 48. シングルトーン NSD とアナログ入力周波数の関係、ランダム・モードをイネーブル

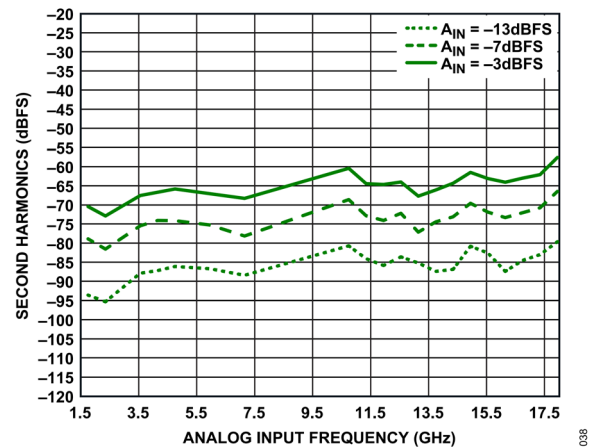


図 49. シングルトーン 2 次高調波とアナログ入力周波数の関係、ランダム・モードをイネーブル

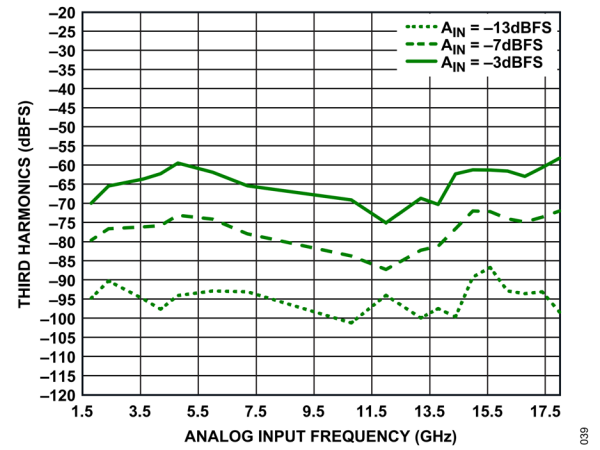


図 50. シングルトーン 3 次高調波とアナログ入力周波数の関係、ランダム・モードをイネーブル

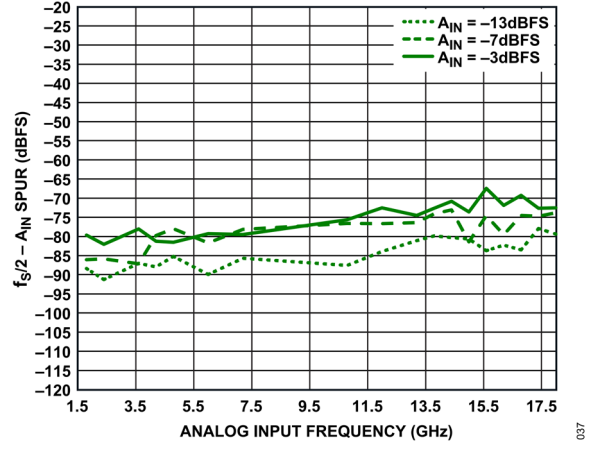


図 51. シングルトーン $f_s/2 - A_{IN}$ スプリアスとアナログ入力周波数の関係、ランダム・モードをイネーブル

代表的な性能特性

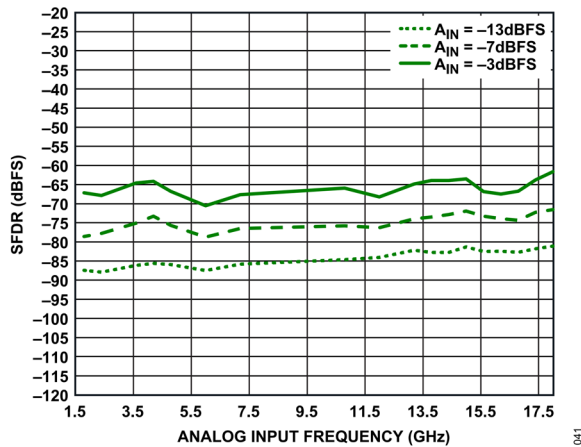


図 52. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とアナログ入力周波数の関係、ランダム・モードをイネーブル

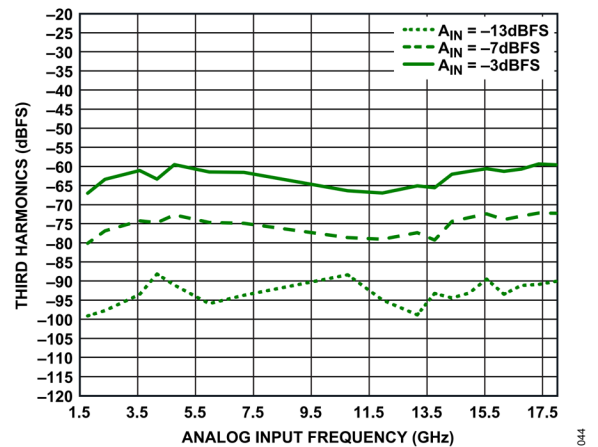


図 55. シングルトーン 3 次高調波とアナログ入力周波数の関係、ランダム・モードをディスエーブル

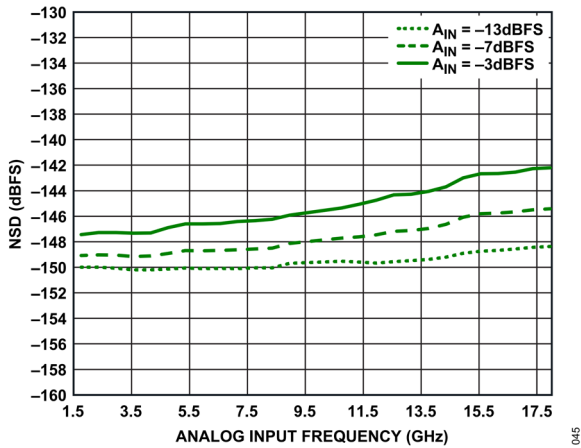


図 53. シングルトーン NSD とアナログ入力周波数の関係、ランダム・モードをディスエーブル

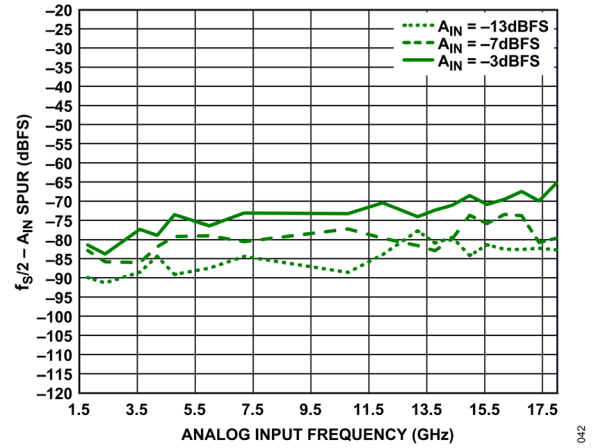


図 56. シングルトーン $f_s/2 - A_{IN}$ スプリアスとアナログ入力周波数の関係、ランダム・モードをディスエーブル

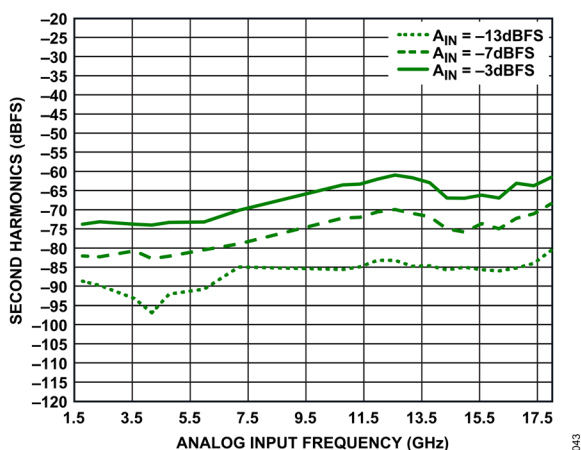


図 54. シングルトーン 2 次高調波とアナログ入力周波数の関係、ランダム・モードをディスエーブル

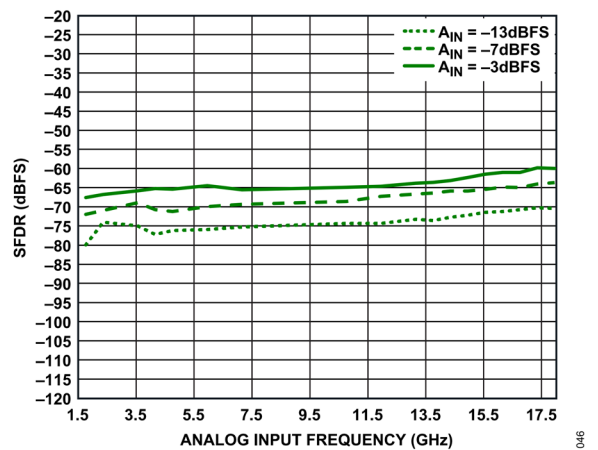


図 57. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とアナログ入力周波数の関係、ランダム・モードをディスエーブル

代表的な性能特性

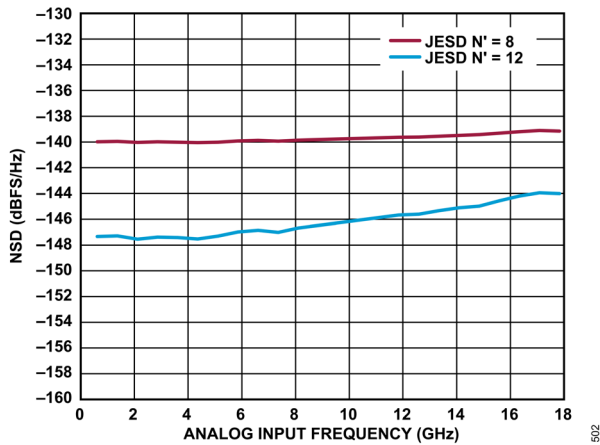


図 58. シングルトーン NSD とアナログ入力周波数の関係、
-7dBFS、複数の JESD N' 設定について表示

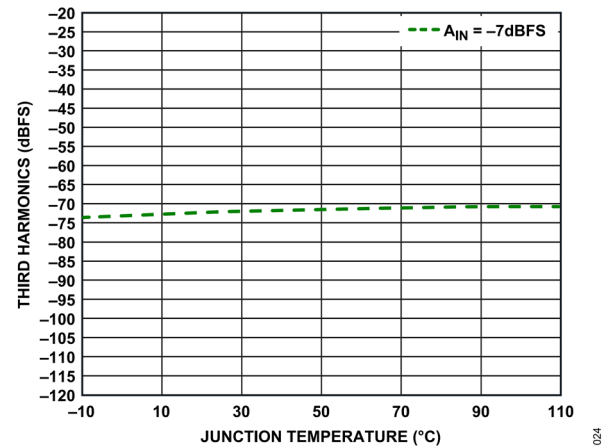


図 61. シングルトーン 3 次高調波とジャンクション温度の関係、
ランダム・モードをイネーブル

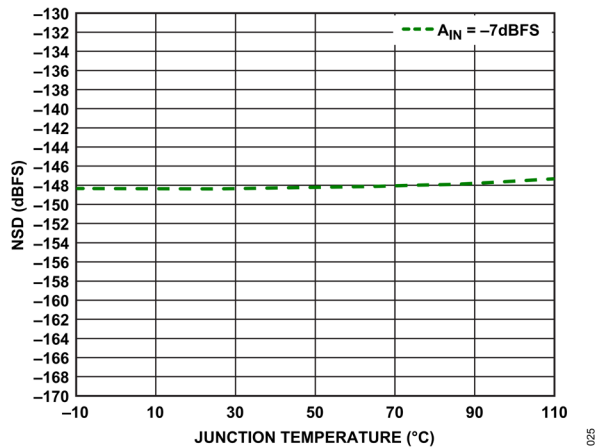


図 59. シングルトーン NSD とジャンクション温度の関係、
ランダム・モードをイネーブル

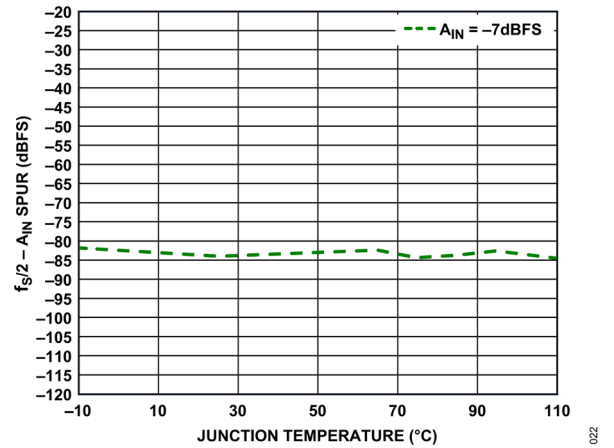


図 62. シングルトーン $f_s/2 - A_{IN}$ スプリアスと
ジャンクション温度の関係、ランダム・モードをイネーブル

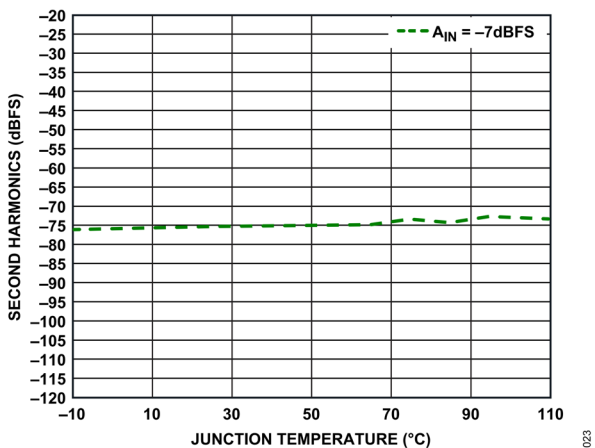


図 60. シングルトーン 2 次高調波とジャンクション温度の関係、
ランダム・モードをイネーブル

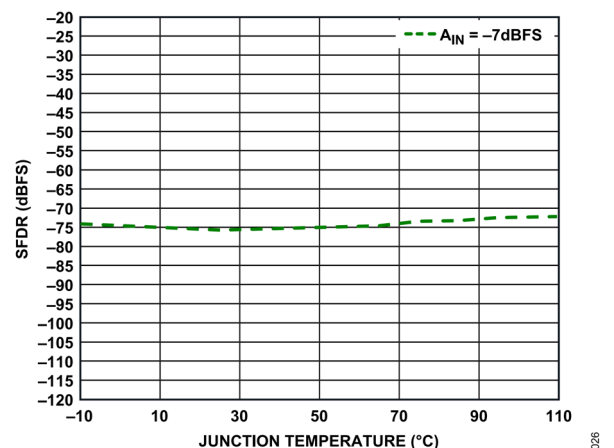


図 63. シングルトーン SFDR (2 次および 3 次高調波と
 $f_s/2 - A_{IN}$ を除く) とジャンクション温度の関係、
ランダム・モードをイネーブル

代表的な性能特性

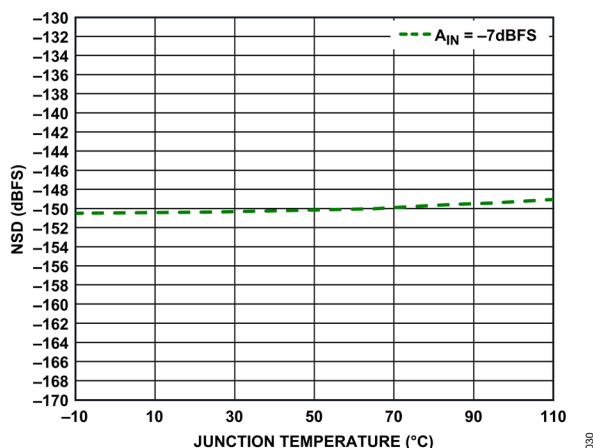


図 64. シングルトーン NSD とジャンクション温度の関係、ランダム・モードをディスエーブル

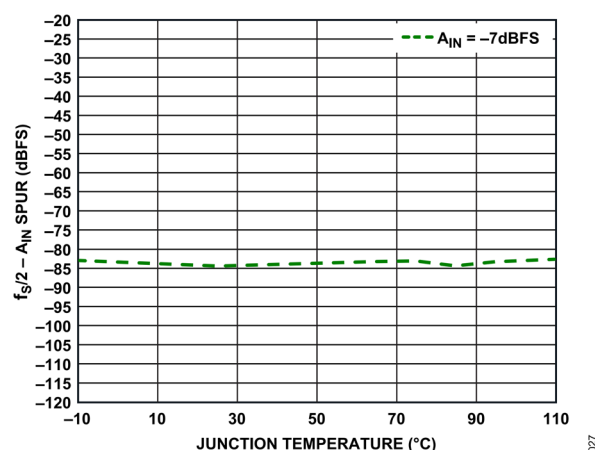


図 67. シングルトーン $f_s/2 - A_{IN}$ スプリアスとジャンクション温度の関係、ランダム・モードをディスエーブル

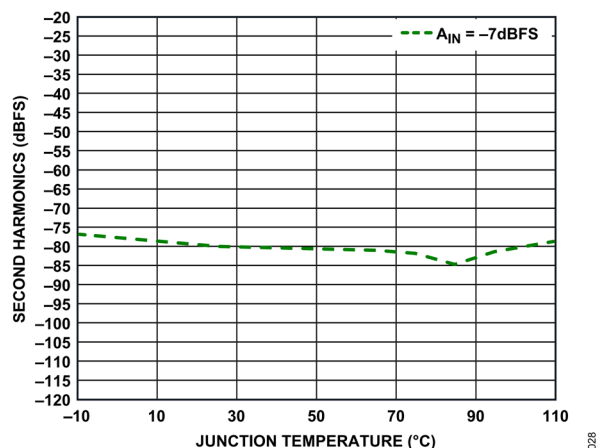


図 65. シングルトーン 2 次高調波とジャンクション温度の関係、ランダム・モードをディスエーブル

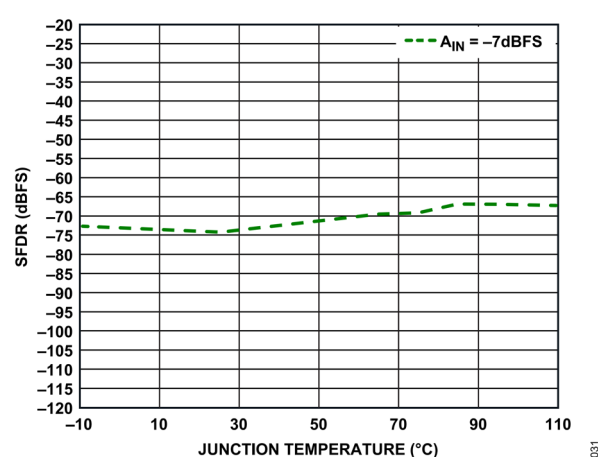


図 68. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とジャンクション温度の関係、ランダム・モードをディスエーブル

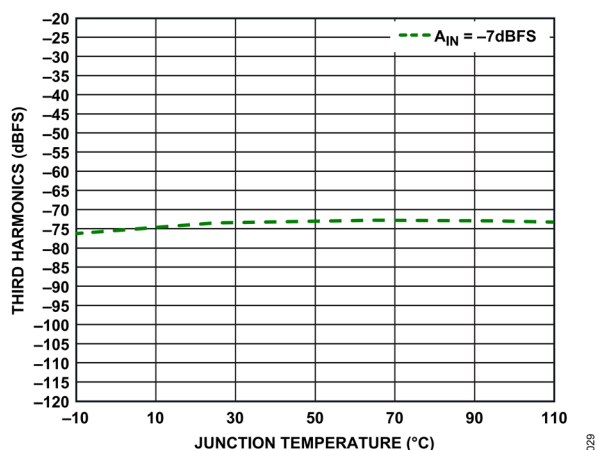


図 66. シングルトーン 3 次高調波とジャンクション温度の関係、ランダム・モードをディスエーブル

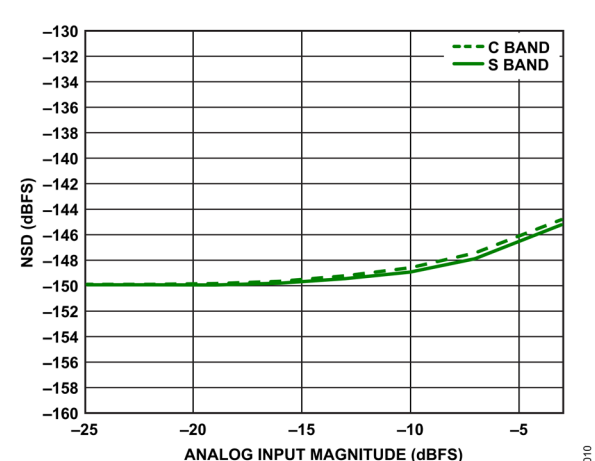


図 69. シングルトーン NSD とアナログ入力振幅の関係、ランダム・モードをイネーブル

代表的な性能特性

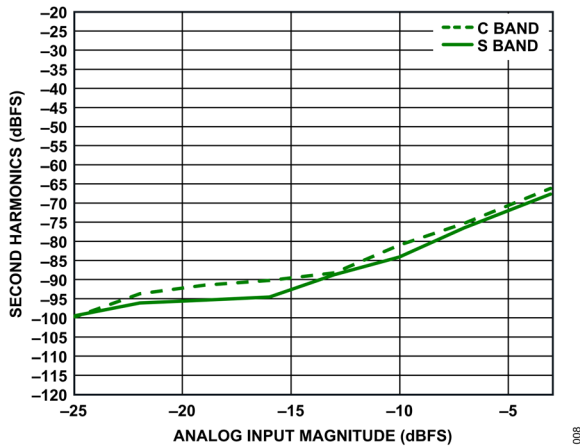


図 70. シングルトーン 2 次高調波とアナログ入力振幅の関係、ランダム・モードをイネーブル

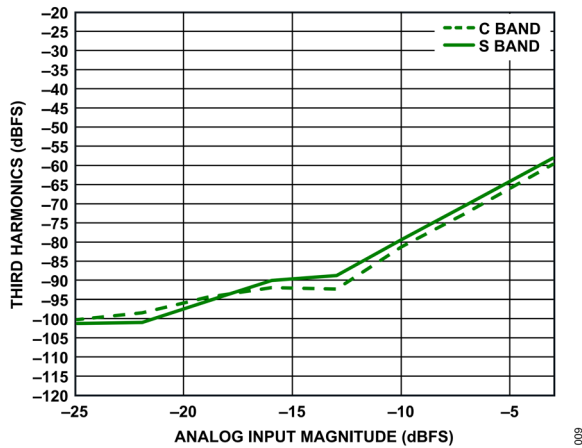


図 71. シングルトーン 3 次高調波とアナログ入力振幅の関係、ランダム・モードをイネーブル

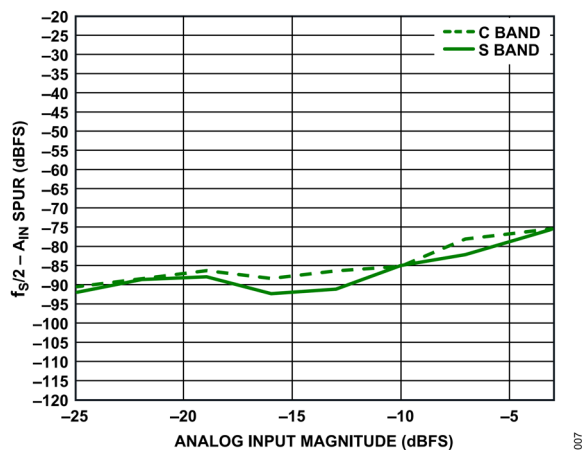


図 72. シングルトーン $f_s/2 - A_{IN}$ スプリアスとアナログ入力振幅の関係、ランダム・モードをイネーブル

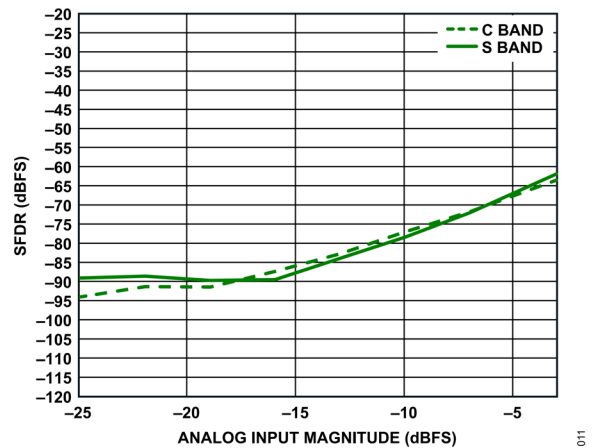


図 73. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とアナログ入力振幅の関係、ランダム・モードをイネーブル

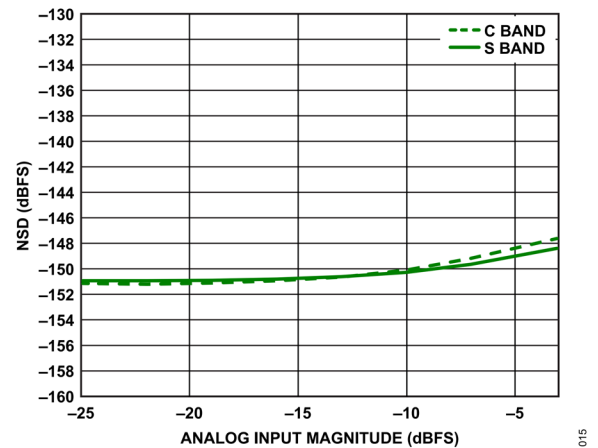


図 74. シングルトーン NSD とアナログ入力振幅の関係、ランダム・モードをディスエーブル

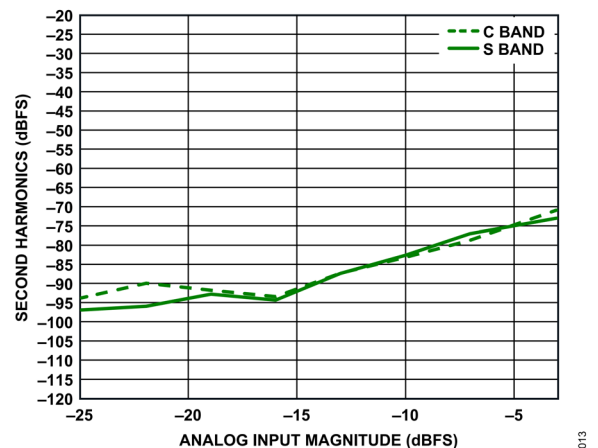


図 75. シングルトーン 2 次高調波とアナログ入力振幅の関係、ランダム・モードをディスエーブル

代表的な性能特性

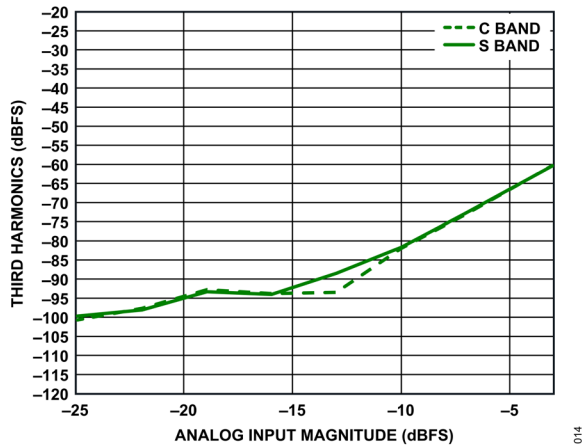


図 76. シングルトーン 3 次高調波とアナログ入力振幅の関係、ランダム・モードをディスエーブル

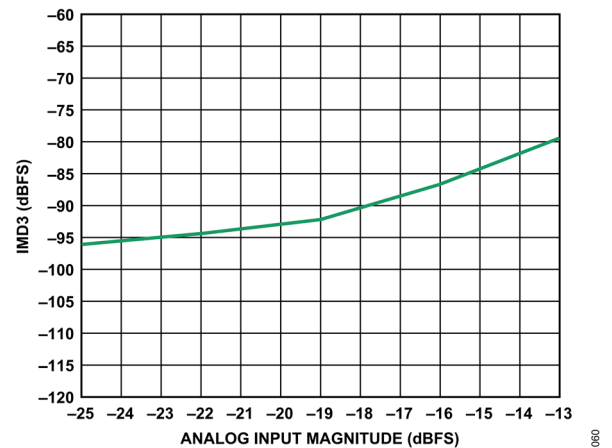


図 79. ツートーン IMD3 とアナログ入力振幅の関係、S バンド、ランダム・モードをイネーブル

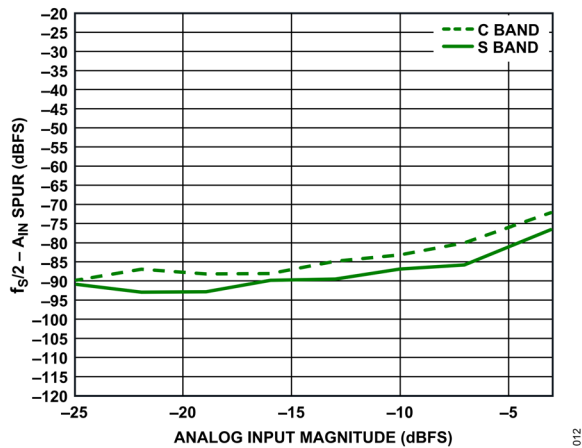


図 77. シングルトーン $f_s/2 - A_{IN}$ スプリアスとアナログ入力振幅の関係、ランダム・モードをディスエーブル

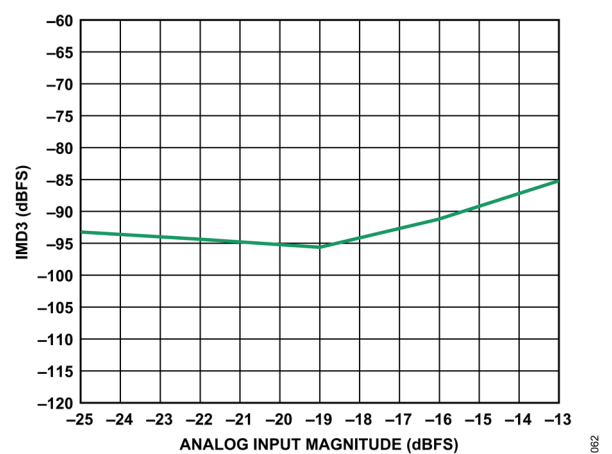


図 80. ツートーン IMD3 とアナログ入力振幅の関係、S バンド、ランダム・モードをディスエーブル

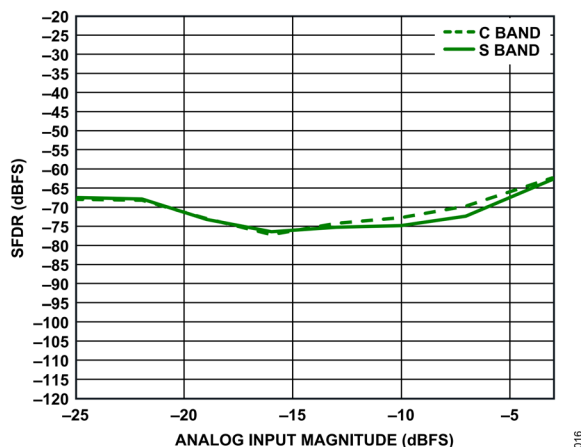


図 78. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とアナログ入力振幅の関係、ランダム・モードをディスエーブル

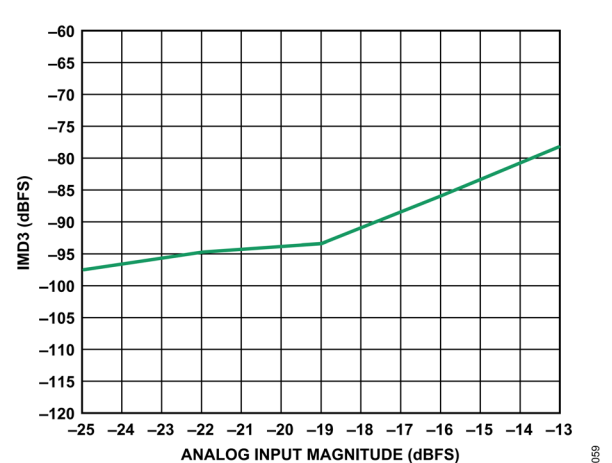


図 81. ツートーン IMD3 とアナログ入力振幅の関係、C バンド、ランダム・モードをイネーブル

代表的な性能特性

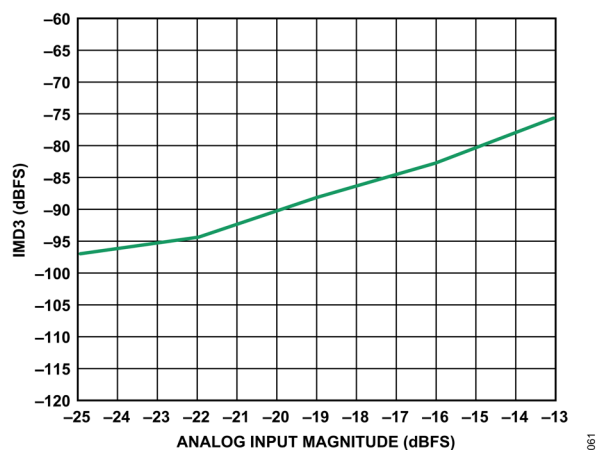


図 82. ツートーン IMD3 とアナログ入力振幅の関係、
C バンド、ランダム・モードをディスエーブル

代表的な性能特性

14GSPS

公称電源、サンプル・レート = 14GSPS、 $f_{IQ_DATA} = 1.75\text{GSPS}$ 。特に指定のない限り、 $T_J = 65^\circ\text{C}$ 。特に指定のない限り、 $A_{IN} = -7\text{dBFS}$ 、JESD N=16 ビット。

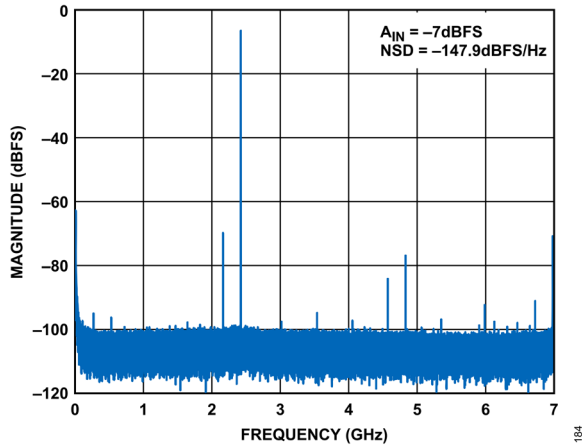


図 83. シングルトーン FFT、 $f_{IN} = 2.421\text{GHz}$
(CDDC と FDDC をバイパス)

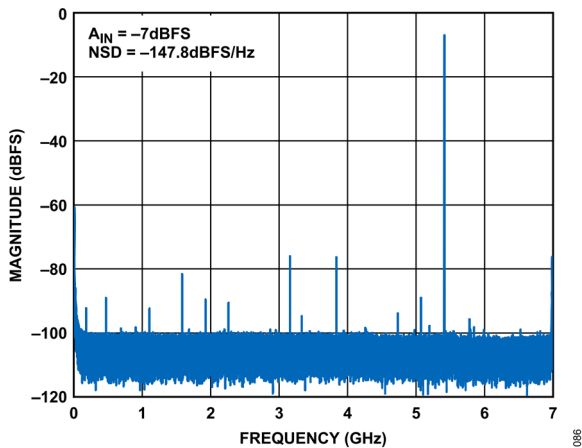


図 84. シングルトーン FFT、 $f_{IN} = 5.421\text{GHz}$
(CDDC と FDDC をバイパス)

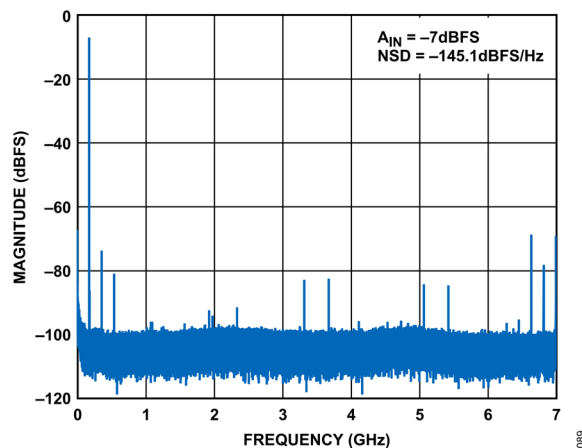


図 85. シングルトーン FFT、 $f_{IN} = 13.821\text{GHz}$
(CDDC と FDDC をバイパス)

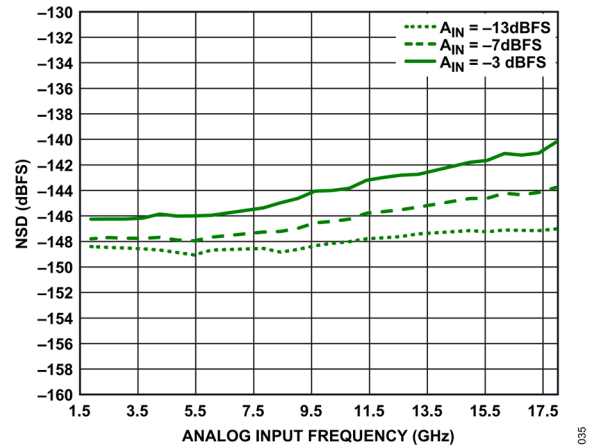


図 86. シングルトーン NSD とアナログ入力周波数の関係

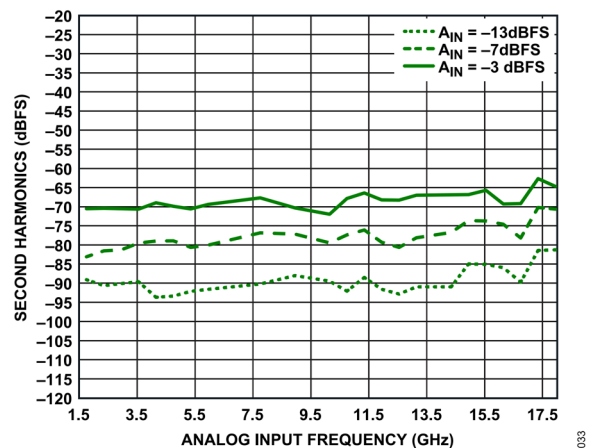


図 87. シングルトーン 2 次高調波とアナログ入力周波数の関係

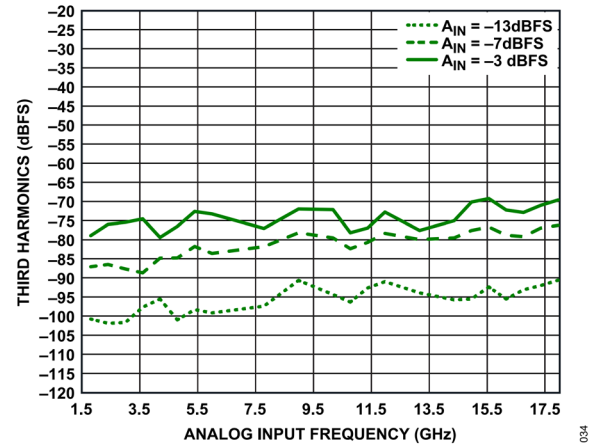


図 88. シングルトーン 3 次高調波とアナログ入力周波数の関係

代表的な性能特性

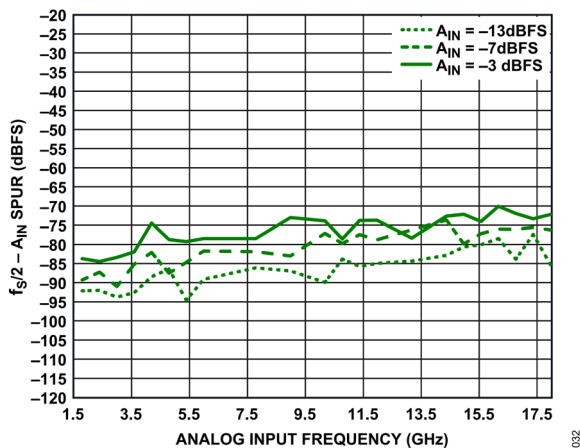


図 89. シングルトーン $f_s/2 - A_{IN}$ スプリアスとアナログ入力周波数の関係

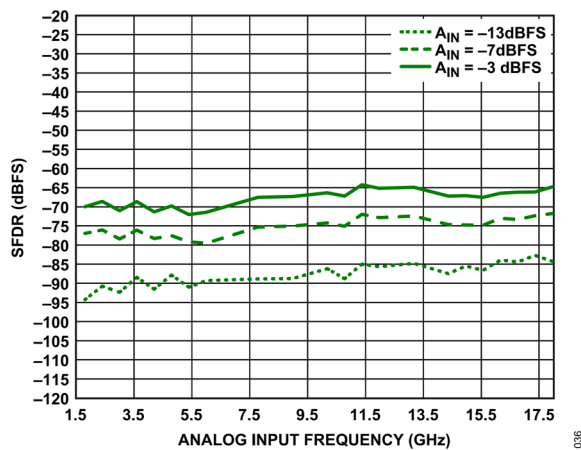


図 90. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とアナログ入力周波数の関係

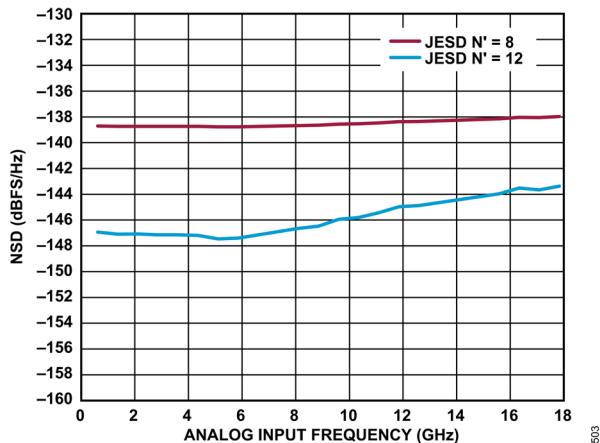


図 91. シングルトーン NSD とアナログ入力周波数の関係、-7dBFS、複数の JESDN' 設定について表示

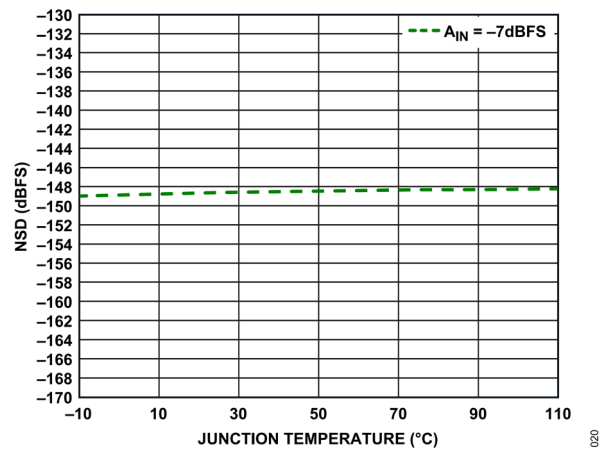


図 92. シングルトーン NSD とジャンクション温度の関係

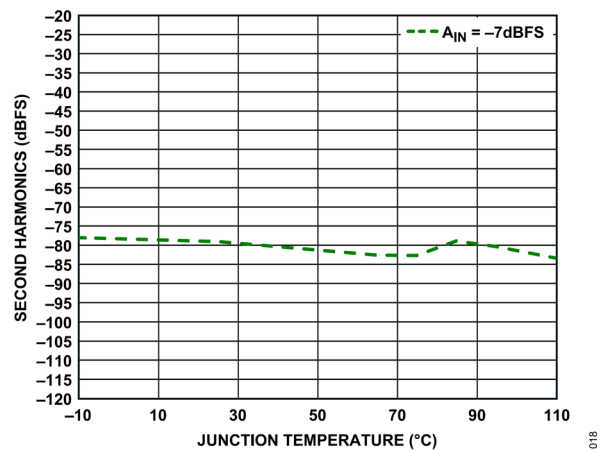


図 93. シングルトーン 2 次高調波とジャンクション温度の関係

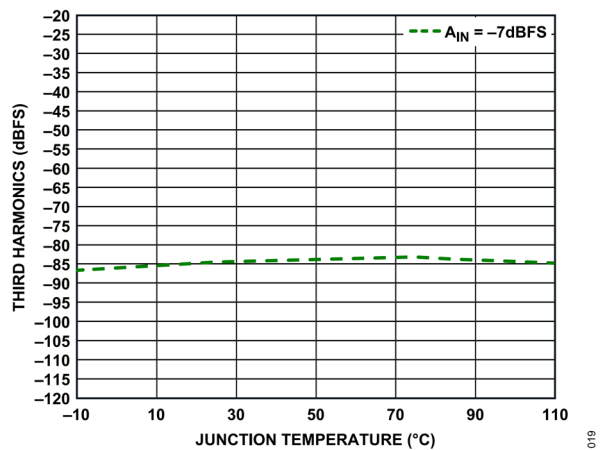


図 94. シングルトーン 3 次高調波とジャンクション温度の関係

代表的な性能特性

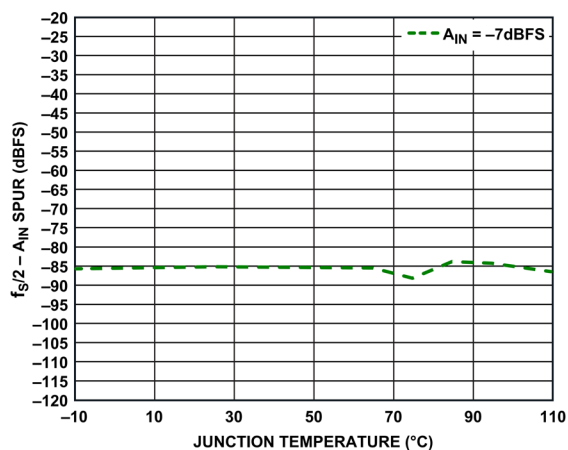


図 95. シングルトーン $f_s/2 - A_{IN}$ スプリアスとジャンクション温度の関係

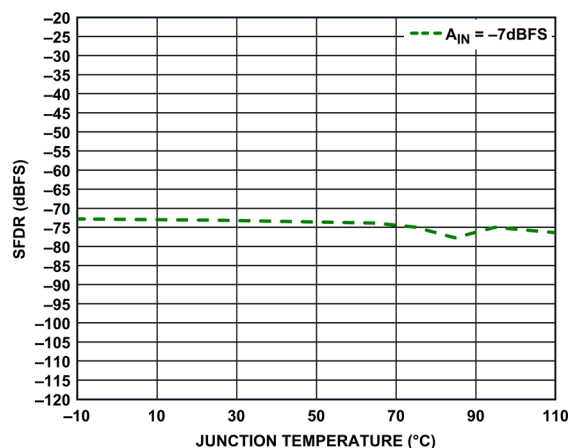


図 96. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とジャンクション温度の関係

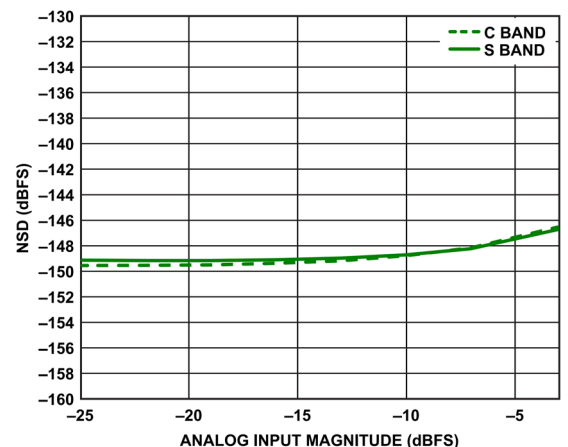


図 97. シングルトーン NSD とアナログ入力振幅の関係

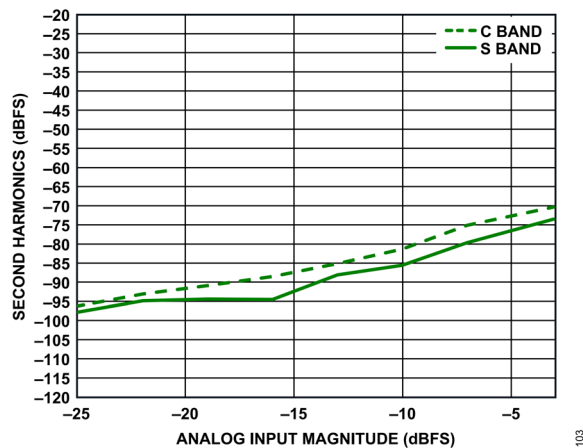


図 98. シングルトーン 2 次高調波とアナログ入力振幅の関係

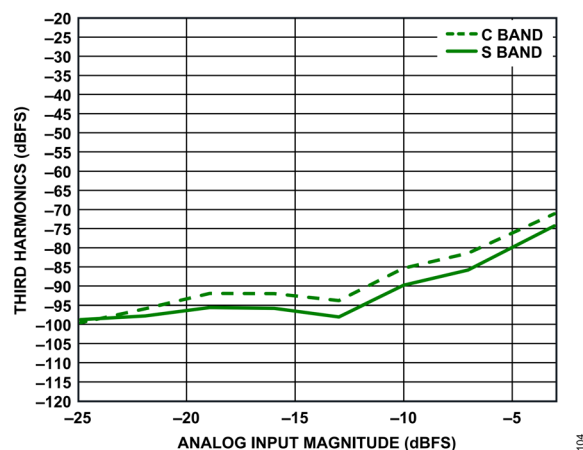


図 99. シングルトーン 3 次高調波とアナログ入力振幅の関係

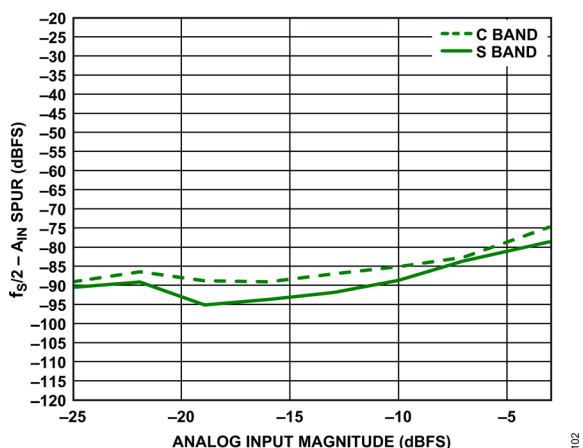


図 100. シングルトーン $f_s/2 - A_{IN}$ スプリアスとアナログ入力振幅の関係

代表的な性能特性

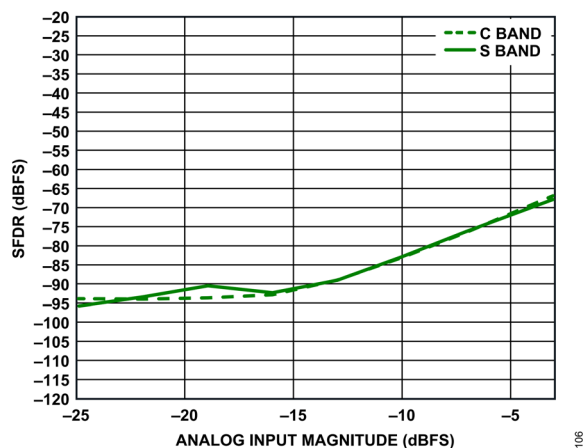


図 101. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ を除く) とアナログ入力振幅の関係

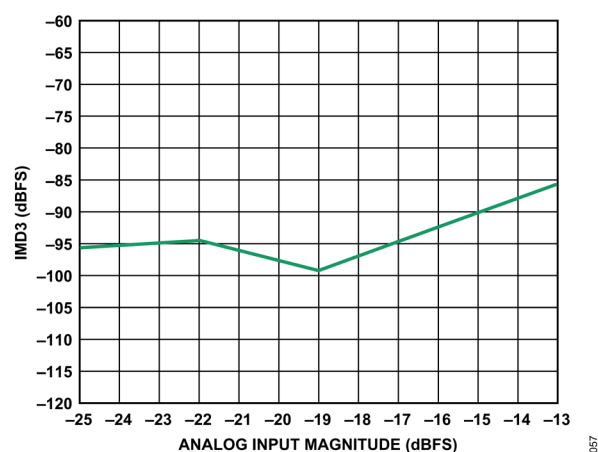


図 104. ツートーン IMD3 とアナログ入力振幅の関係、C バンド

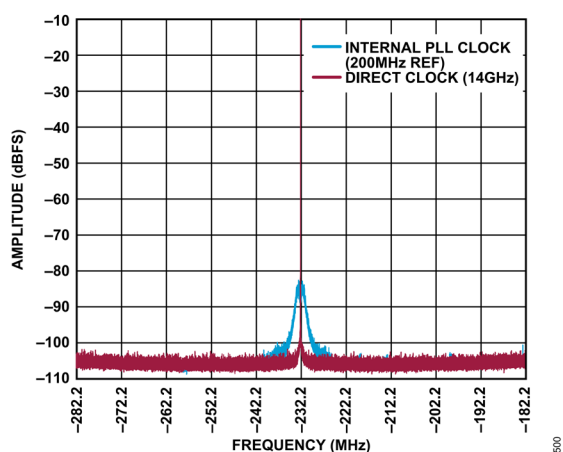


図 102. ADC 直接クロックと内部 PLL クロックの比較、リファレンス周波数 200MHz、アナログ入力周波数 2.267GHz

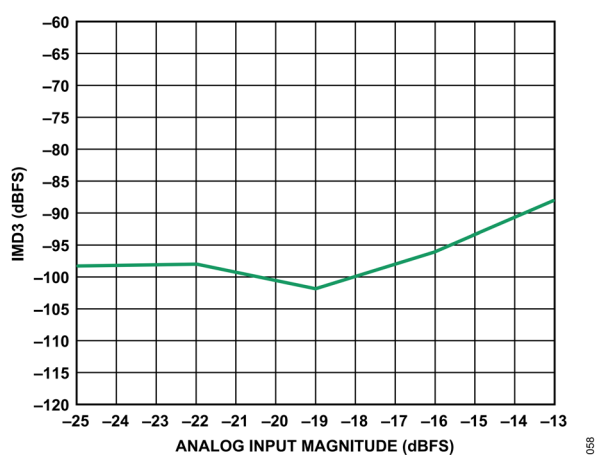


図 103. ツートーン IMD3 とアナログ入力振幅の関係、S バンド

代表的な性能特性

サンプル・レート・スイープ

特に指定のない限り、公称電源を使用、 $T_J = 65^\circ\text{C}$ 。特に指定のない限り、 $A_{IN} = -7\text{dBFS}$ 。

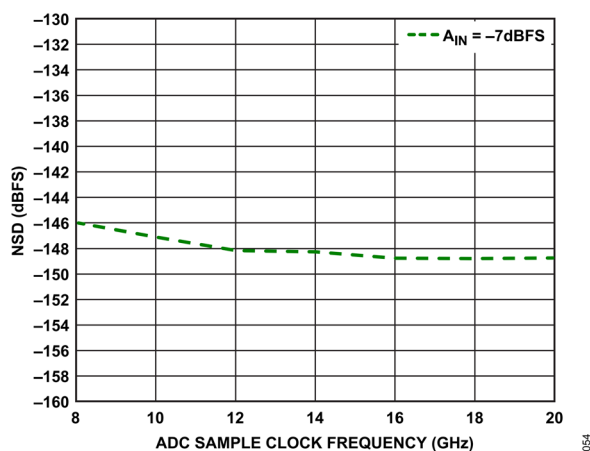


図 105. シングルトーン NSD と

ADC サンプル・クロック周波数の関係、S バンド

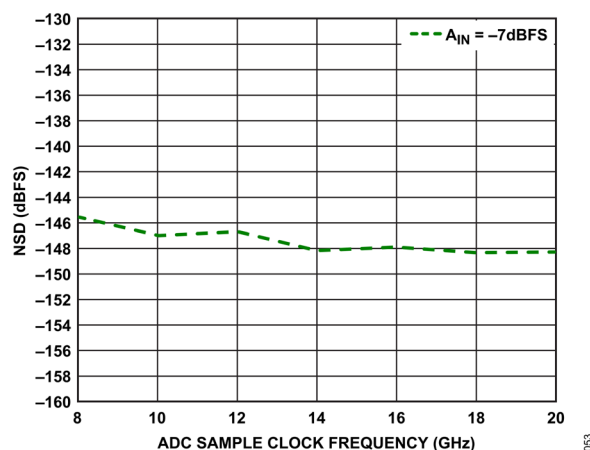


図 106. シングルトーン NSD と

ADC サンプル・クロック周波数の関係、C バンド

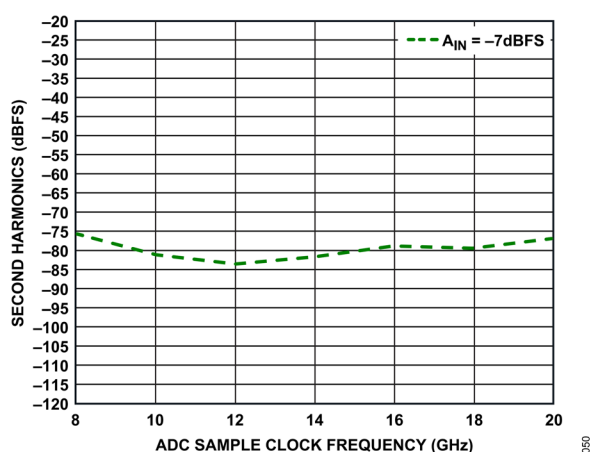


図 107. シングルトーン 2 次高調波と

ADC サンプル・クロック周波数の関係、S バンド

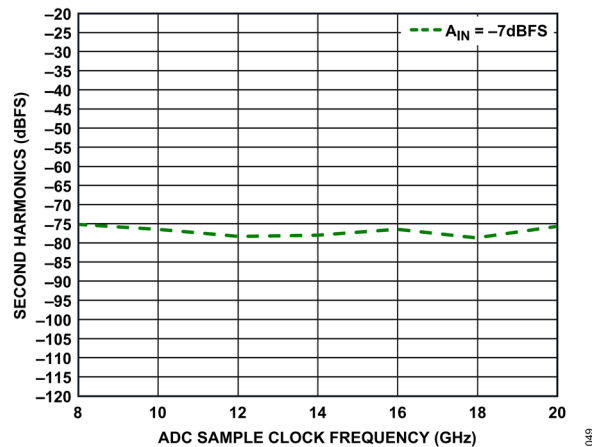


図 108. シングルトーン 2 次高調波と

ADC サンプル・クロック周波数の関係、C バンド

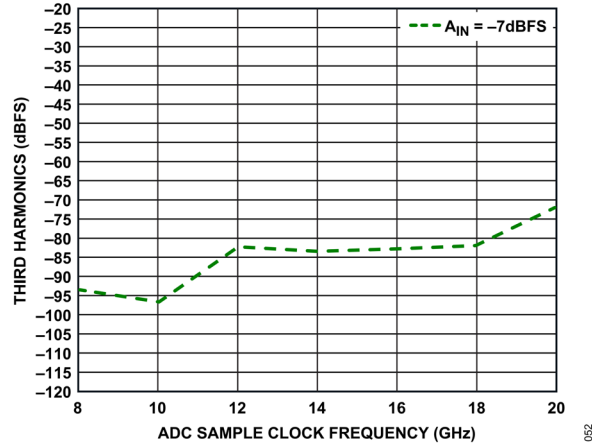


図 109. シングルトーン 3 次高調波と

ADC サンプル・クロック周波数の関係、S バンド

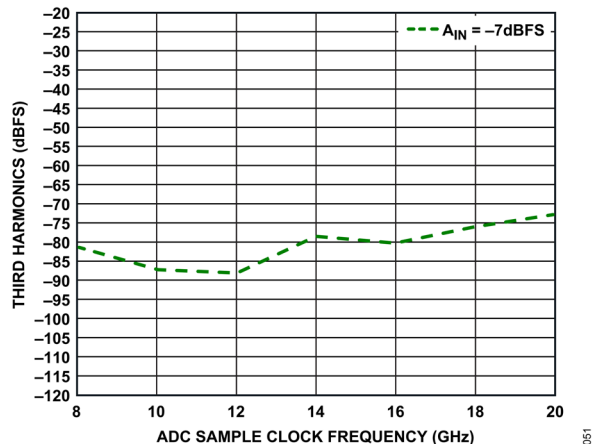


図 110. シングルトーン 3 次高調波と

ADC サンプル・クロック周波数の関係、C バンド

代表的な性能特性

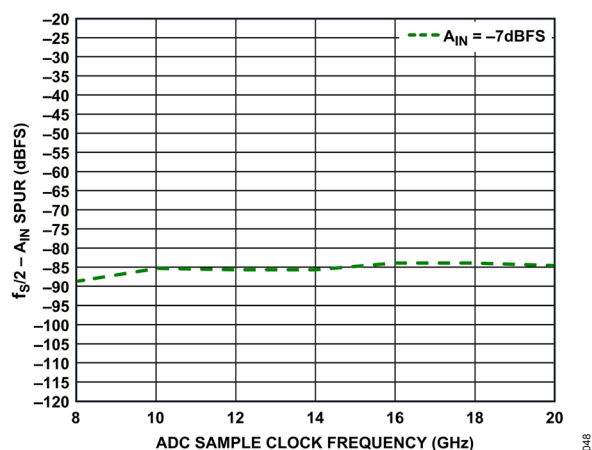


図 111. シングルトーン $f_s/2 - A_{IN}$ スプリアスと ADC サンプル・クロック周波数の関係、S バンド

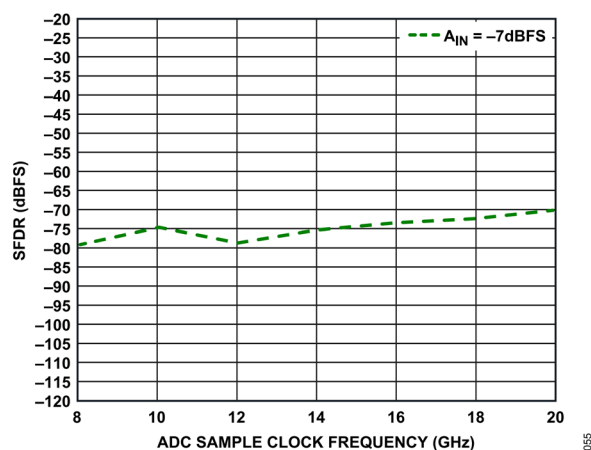


図 114. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ スプリアスを除く) と ADC サンプル・クロック周波数の関係、C バンド

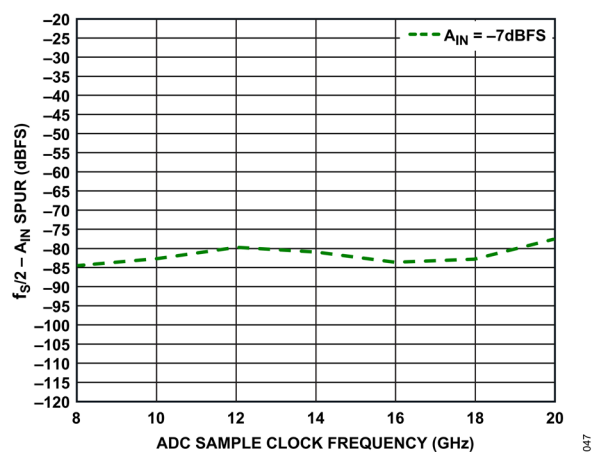


図 112. シングルトーン $f_s/2 - A_{IN}$ スプリアスと ADC サンプル・クロック周波数の関係、C バンド

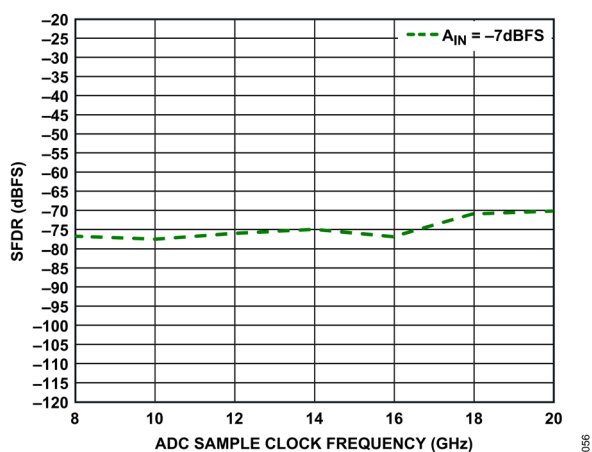


図 113. シングルトーン SFDR (2 次および 3 次高調波と $f_s/2 - A_{IN}$ スプリアスを除く) と ADC サンプル・クロック周波数の関係、S バンド

代表的な性能特性

消費電力スweep

サンプル・レート = 20GSPS で DAC $f_{IQ_DATA} = 2.5\text{GSPS}$ 。サンプル・レート = 28GSPS で DAC $f_{IQ_DATA} = 1.75\text{GSPS}$ 。サンプル・レート = 20GSPS で ADC $f_{IQ_DATA} = 2.5\text{GSPS}$ 。サンプル・レート = 14GSPS で ADC $f_{IQ_DATA} = 1.75\text{GSPS}$ 。特に指定のない限り公称電源を使用。特に指定のない限り、 $T_J = 65^\circ\text{C}$ 。

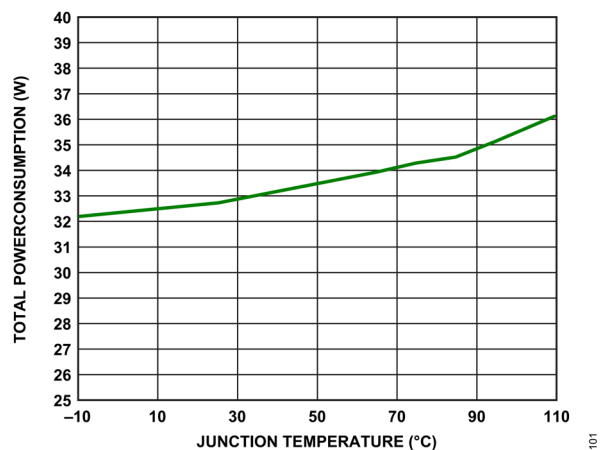


図 115. 合計消費電力とジャンクション温度の関係、
20GSPS ADC、20GSPS DAC

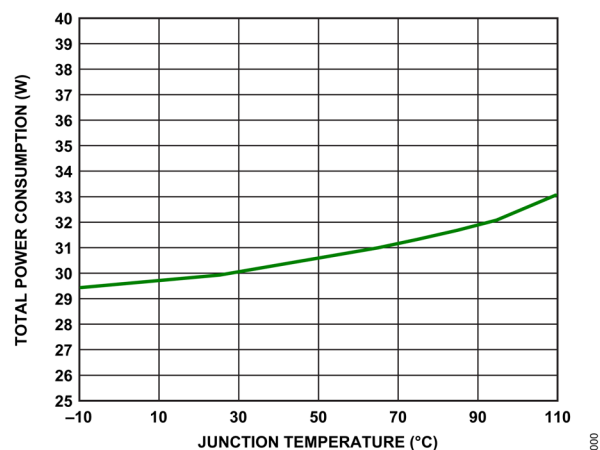


図 116. 合計消費電力とジャンクション温度の関係、
14GSPS ADC、28GSPS DAC

動作原理

AD9084 は高集積の RF ミックスド・シグナル・フロント・エンド (MxFE) で、4 個の 16 ビット 28GSPS DAC コアと 4 個の 12 ビット 20GSPS ADC コア (4T4R) を備えています。ADC コアと DAC コアは共に差動の広帯域コアであり、50Ω で終端されたオンチップ・バッファ付きの入力と出力を備えています。

これらの高速データ・コンバータ・コアの特徴は、以下に示すように優れたダイナミック・レンジ性能を備えていることです。

- ▶ 差動 ADC の AC 性能 (14GSPS 時)
 - ▶ フルスケール入力電圧: 500mVp-p (-2dBm)
 - ▶ NSD: -149.2dBFS/Hz (-20dBFS 時)
 - ▶ HD2 および HD3: それぞれ -83dBFS と -86dBFS (-7dBFS、L バンド時)
 - ▶ HD2 および HD3: それぞれ -76dBFS と -78dBFS (-7dBFS、X バンド時)
- ▶ 差動 ADC の AC 性能 (20GSPS 時)
 - ▶ フルスケール入力電圧: 500mVp-p (-2dBm)
 - ▶ NSD: -151.0dBFS/Hz (-20dBFS 時、ランダム・モードをディスエーブル)
 - ▶ HD2 および HD3: それぞれ -75dBFS と -77dBFS (-7dBFS、L バンド時)
 - ▶ HD2 および HD3: それぞれ -72dBFS と -75dBFS (-7dBFS、C バンド時)
- ▶ DAC の AC 性能 (28GSPS 時)
 - ▶ フルスケール出力電力: -2.6dBm (L バンド) および -3.5dBm (X バンド)
 - ▶ NSD (シャッフルリングをディスエーブル): -165.2dBFS/Hz (L バンド) および -155.1dBFS/Hz (X バンド)、いずれも -7dBFS 時
- ▶ DAC の AC 性能 (20GSPS 時)
 - ▶ フルスケール出力電力: -2.6dBm (L バンド) および -3.5dBm (C バンド)
 - ▶ NSD (シャッフルリングをディスエーブル): -164.9dBFS/Hz (L バンド) および -157.0dBFS/Hz (C バンド)、いずれも -7dBFS 時

AD9084 はアナログ帯域幅が広く、マルチバンド機能を備えているので、DAC AC 性能は第 1 および第 2 ナイキスト・ゾーンの両方で特性評価されます。これらの特性評価は以下の式に従って行われます。

$$HD_{N_REAL} = (N \times f_{OUT}) \bmod f_{DAC}$$

$$HD_{N_FOLDED} = (f_{DAC} - N \times f_{OUT}) \bmod f_{DAC}$$

$$HD_{N, FIRST NYQUIST} =$$

$$\left(x \in HD_{N_REAL}, HD_{N_FOLDED}: 0 < x < \frac{f_{DAC}}{2} \right)$$

$$HD_{N, SECOND NYQUIST} =$$

$$\left(x \in HD_{N_REAL}, HD_{N_FOLDED}: \frac{f_{DAC}}{2} < x < f_{DAC} \right)$$

ここで

HD_{N_REAL} は DAC の実際の N 次高調波の周波数位置、

N は整数、

HD_{N_FOLDED} は DAC の折り返し N 次高調波の周波数位置、

x は式内に指定された数値、

$HD_{N, FIRST NYQUIST}$ は第 1 ナイキスト・ゾーンを基準とする実際の N 次高調波の周波数位置、

$HD_{N, SECOND NYQUIST}$ は第 2 ナイキスト・ゾーンを基準とする実際の N 次高調波の周波数位置です。

送信および受信デジタル・データパスは設定の自由度が高く、広範囲のシングルバンドおよびマルチバンド・アプリケーションをサポートしますが、RF 帯域幅に関する要求事項はそれぞれ異なります。AD9084 は高度なマルチチップ同期機能を備えており、同一チップの ADC と DAC の間、および複数チップ間の正確なパイプライン遅延をサンプリングできます。AD9084 の送信および受信データパスは、広帯域信号をサポートする 4 つのメイン・データパスと、狭帯域信号をサポートする 8 つのチャネライザで構成されています。RF 帯域同士の間隔が広いマルチバンド・アプリケーションでは、不連続な狭帯域をサポートするために全体としてデータ・レートが複雑なものになりますが、チャネライザを使って個々の RF 帯域を処理することにより、この複雑さを軽減することができます。メイン・データパスおよびチャネライザ・データパスの両方で柔軟にインターポレーション係数とデシメーション係数を使用できるため、実際の信号帯域幅要求に合った、より扱いやすいデータ・インターフェース・レートを選ぶことができます。また、各段の NCO を独立して調整できるので、周波数を柔軟に配置できます。

以下に示す汎用デジタル機能を使用すれば、動作時に広範な構成に対応できます。

- ▶ 実数または複素数のデジタル・データ (8、12、または 16 ビット) に対応
- ▶ 設定可能な DDC と DUC
 - ▶ 8 つの微調整用複素 DUC と 4 つの粗調整用複素 DUC
 - ▶ 8 つの微調整用複素 DDC と 4 つの粗調整用複素 DDC
 - ▶ オプションで微調整および粗調整用の DUC/DDC をバイパス可能
 - ▶ DUC と DDC のエイリアス除去
 - ▶ インターポレーション・フィルタは 85dB、デシメーション・フィルタは 100dB
 - ▶ 粗調整インターポレーション・レシオ: 1×、2×、3×、4×、6×、8×、12×
 - ▶ 粗調整デシメーション・レシオ: 1×、2×、3×、4×、6×、12×
 - ▶ 微調整インターポレーション/デシメーション・レシオ: 1×、2×、4×、8×、16×、32×、64×
 - ▶ レート変更は 1× から 2× までプログラム可能
- ▶ FSRC
- ▶ 48 ビット微調整チューニング・ワードと 32 ビット粗調整チューニング・ワード
- ▶ 送信および受信用のプログラマブル有限インパルス応答 (FIR) フィルタ
 - ▶ フル・コンバータ・レート、32 タップのプログラマブル有限インパルス応答 (PFIR) フィルタ
 - ▶ 実数、半複素数、および複素数の各モードをサポート
- ▶ 最大データ・レート 5GSPS、16 タップ複素 FIR フィルタ
 - ▶ ゼロ・スパース・モードでは 128 タップをサポート
- ▶ SPI、HSCI、または GPIO を通じた動的設定

動作原理

- ▶ 粗調整数値制御発振器 (CNCO) と微調整数値制御発振器 (FNCO) の高速周波数ホッピング
- ▶ CFIR および PFILT プロファイルによるホッピング
- ▶ CDDC と CDUC はオンザフライで 1×から 8×まで設定変更可能
- ▶ CDDC、CDUC、FDDC、FDUC は、オンザフライでデシメーション・レシオとインターポレーション・レシオの設定を変更可能
- ▶ インターフェース
 - ▶ SPI : 50MHz の最大 SCLK レート
 - ▶ HSCI : 1.6Gbps の最大レート (DDR モード)
- ▶ JESD204B および JESD204C : 16Gbps と 28.21Gbps
- ▶ 受信 24 レーン、送信 24 レーン
- ▶ AGC 対応レシーバ
- ▶ 高速 AGC 制御用の低遅延・高速検出
- ▶ 低速 AGC 制御用の信号検モニタ
- ▶ パワー・アンプ後段の保護回路
- ▶ その他のデジタル機能はデバイス・ユーザ・ガイド UG-2300 にリストされています。

アプリケーション情報

デバイス初期化の詳細とその他のアプリケーション情報については、デバイス・ユーザ・ガイド UG-2300 を参照してください。

外形寸法

Package Drawing Option	Package Type	Package Description
BP-899-1	BGA_ED	899-Ball Ball Grid Array, Thermally Enhanced

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range ²	Package Description	Package Option
AD9084BBPZ-MX-DF-SW1	-40°C to +110°C	899-Ball BGA_ED, AD9084 MxFE with Differential ADC Inputs, CDDC, CDUC, FDDC, FDUC, and Fast Frequency Hopping NCOs	BP-899-1
AD9084BBPZ-MX-DF-SW3	-40°C to +110°C	899-Ball BGA_ED, AD9084 MxFE with Differential ADC Inputs, SW1 plus PFILT, CFIR, FSRC, and Dynamic Reconfiguration	BP-899-1
AD9084BBPZ-MX-DF-SW5	-40°C to +110°C	899-Ball BGA_ED, AD9084 MxFE with Differential ADC Inputs, SW3 plus Loopback, FFT Sniffer, and DACs A1, A2, B1, B2	BP-899-1

¹ Z = RoHS 準拠製品。
² 動作時の T_J仕様については、[推奨動作条件](#)のセクションを参照してください。

評価用ボード

表 28. 評価用ボード

Model	Description
AD9084-FMCA-EBZ	AD9084 Evaluation Board with Four Differential ADC Inputs and Eight DAC Outputs; On-Board Clocking Includes ADF4382 and ADF4030