

特長

更新レート: 30 MSPS
 16ビット分解能
 直線性: 14ビットでDNLが $1/2$ LSB
 14ビットでINLが1LSB
 高速なセトリング: 25 ns
 (フル・スケールから0.025%へのセトリング)
 SFDR: 1 MHz出力で86 dBc
 THD: 1 MHz出力で71 dBc
 低グリッチ・インパルス: 35 pV-s
 消費電力: 465 mW
 2.5 Vのリファレンスを内蔵
 エッジ検出のラッチ
 リファレンス乗算機能

アプリケーション

任意波形の発生
 通信用の波形再生
 ベクタ・ストローク表示

製品説明

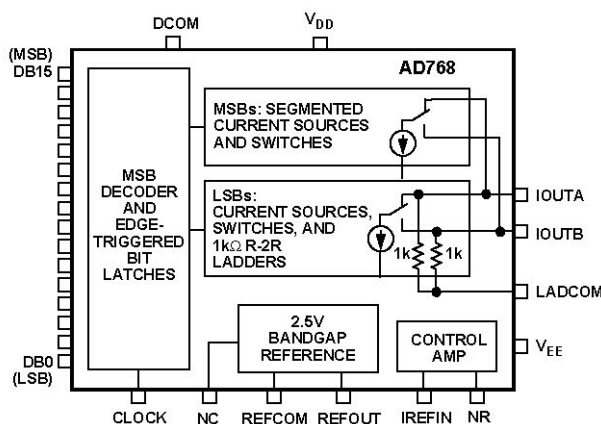
AD768は、優れたAC性能とDC性能を提供する16ビット高速D/Aコンバータ(DAC)です。AD768は、バイポーラ・トランジスタの高速性、レーザ・トリム可能な薄膜抵抗の高精度、効率良いCMOSロジックを組み合わせたADIの最新バイポーラCMOS(ABCMOS)プロセスによって製造されています。セグメント化電流源アーキテクチャと当社独自のスイッチング技術の組み合わせにより、グリッチ・エネルギーを削減し、ダイナミック精度を最大にしています。エッジ検出の入力ラッチと温度補償されたバンド・ギャップ・リファレンスが内蔵されているため、完全なモノリシックDACソリューションを提供します。

AD768は電流出力DACであり、公称フル・スケール出力電流は20 mA、出力インピーダンスは1 k Ω です。差動電流出力により、シングルエンド・アプリケーションまたは差動アプリケーションをサポートすることができます。電流出力を直接出力抵抗に接続して電圧出力に変換するか、または高速アンプの加算点に接続してバッファされた電圧出力を提供することができます。また、差動出力をトランスまたは差動アンプにインターフェースさせることもできます。

内蔵のリファレンスとコントロール・アンプは、最大の精度と柔軟性を持つように設定することができます。AD768は、内蔵リファレンス電圧から、または外付け抵抗の選択にもとづいて様々な外付けリファレンス電圧から駆動することができます。外付けコンデンサを使うと、リファレンス帯域幅とノイズ性能との間の最適なトレードオフを行うことができます。

AD768は ± 5 V電源で動作し、消費力は465 mW (typ)です。AD768は28ピンのSOICパッケージを採用し、動作は工業用温度範囲で規定されています。

機能ブロック図



製品のハイライト

1. 低グリッチと高速セトリング・タイムにより、通信などでの波形再生やデジタル・シンセシス要求に対して優れたダイナミック性能を提供します。
2. AD768は優れたDC精度を持つため、高速A/D変換アプリケーションに適しています。
3. 内蔵のエッジ検出入力CMOSラッチは、CMOSロジック・ファミリーに容易にインターフェースすることができます。AD768は、最大40 MSPSの更新レートをサポートすることができます。
4. 温度補償済みの2.5 Vバンドギャップ・リファレンス電圧を内蔵しているため、1本の外付け抵抗を使ってリファレンス入力電流を発生することができます。外付けリファレンスも使用することができます。
5. AD768の電流出力は、負荷抵抗または外部オペアンプの加算点へ接続するか、またはトランスを使って、シングルエンドまたは差動で使用することができます。
6. 性能要求が厳しい場合、外付け抵抗と補償コンデンサを適切に選択することにより、AD768のリファレンス・レベルとターゲット・アプリケーションの帯域幅を最適化することができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©1996 Analog Devices, Inc. All rights reserved.

Rev. B

AD768–仕様

(特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $V_{DD} = +5.0\text{ V}$ 、 $V_{EE} = -5.0\text{ V}$ 、 $LADCOM$ 、 $REFCOM$ 、 $DCOM = 0\text{ V}$ 、 $IREFIN = 5\text{ mA}$ 、 $CLOCK = 10\text{ MHz}$)

Parameter	Min	Typ	Max	Units
RESOLUTION	16			Bits
DC ACCURACY ¹				
Linearity Error				
$T_A = +25^\circ\text{C}$	-8	± 4	+8	LSB
T_{MIN} to T_{MAX}	-8		+8	LSB
Differential Nonlinearity				
$T_A = +25^\circ\text{C}$	-6	± 2	+6	LSB
T_{MIN} to T_{MAX}	-8		+8	LSB
Monotonicity (13-Bit)	GUARANTEED OVER RATED SPECIFICATION TEMPERATURE RANGE			
ANALOG OUTPUT				
Offset Error	-0.2		+0.2	% of FSR
Gain Error	-1.0		+1.0	% of FSR
Full-Scale Output Current ²		20		mA
Output Compliance Range	-1.2		+5.0	V
Output Resistance	0.8	1.0	1.2	k Ω
Output Capacitance		3		pF
REFERENCE OUTPUT				
Reference Voltage	2.475	2.5	2.525	V
Reference Output Current ³		+5.0	+15	mA
REFERENCE INPUT				
Reference Input Current	1	5	7	mA
Reference Bandwidth ⁴				
Small Signal, $IREF = 5\text{ mA} \pm 0.1\text{ mA}$		28		MHz
Large Signal, $IREF = 4\text{ mA} \pm 2\text{ mA}$		9		MHz
TEMPERATURE COEFFICIENTS				
Unipolar Offset Drift	-5		+5	ppm of FSR/ $^\circ\text{C}$
Gain Drift ⁵	-20		+20	ppm of FSR/ $^\circ\text{C}$
Gain Drift ⁶	-40		+40	ppm of FSR/ $^\circ\text{C}$
Reference Voltage Drift	-30		+30	ppm/ $^\circ\text{C}$
DYNAMIC PERFORMANCE ⁷				
Maximum Output Update Rate	30	40		MSPS
Output Settling Time (t_{ST}) (to 0.025%)		25	35	ns
Output Propagation Delay (t_{PD})		10		ns
Glitch Impulse		35		pV-s
Output Rise Time (10% to 90%)		5		ns
Output Fall Time (10% to 90%)		5		ns
Output Noise (DB0–DB15 High, into 50 Ω)		3		ns nV/ $\sqrt{\text{Hz}}$
Differential Gain Error		0.01		%
Differential Phase Error		0.01		Degree
DIGITAL INPUTS				
Logic "1" Voltage	3.5			V
Logic "0" Voltage			1.5	V
Logic "1" Current	-10		+10	μA
Logic "0" Current	-10		+10	μA
Input Capacitance		10		pF
Input Setup Time (t_s)	10			ns
Input Hold Time (t_h)	5			ns
Latch Pulse Width (t_{LPW})	10			ns
AC LINEARITY ⁷				
Spurious-Free Dynamic Range (SFDR Within a Window)				
$F_{OUT} = 1.002\text{ MHz}$; $CLOCK = 10\text{ MHz}$; 2 MHz Span		86	79	dB
$F_{OUT} = 1.002\text{ MHz}$; $CLOCK = 20\text{ MHz}$; 2 MHz Span		85		dB
$F_{OUT} = 5.002\text{ MHz}$; $CLOCK = 30\text{ MHz}$; 10 MHz Span		78		dB
Spurious-Free Dynamic Range (SFDR to Nyquist)				
$F_{OUT} = 1.002\text{ MHz}$; $CLOCK = 10\text{ MHz}$		74	70	dB
$F_{OUT} = 1.002\text{ MHz}$; $CLOCK = 20\text{ MHz}$		73		dB
$F_{OUT} = 5.002\text{ MHz}$; $CLOCK = 30\text{ MHz}$		67		dB
Total Harmonic Distortion (THD)				
$F_{OUT} = 1.002\text{ MHz}$; $CLOCK = 10\text{ MHz}$		-71	-68	dB
$F_{OUT} = 1.002\text{ MHz}$; $CLOCK = 20\text{ MHz}$		-66		dB
$F_{OUT} = 5.002\text{ MHz}$; $CLOCK = 30\text{ MHz}$		-61		dB

Parameter	Min	Typ	Max	Units
POWER SUPPLY				
Positive Voltage Range	4.75	5	5.25	V
Negative Voltage Range	-5.25	-5	-4.75	V
Positive Supply Current		30	40	mA
Negative Supply Current		63	73	mA
Nominal Power Dissipation		465	600	mW
Power Supply Rejection Ratio (PSRR)	-0.2		+0.2	% of FSR/V
OPERATING RANGE				
	-40		+85	°C

注

¹ 仮想グラウンドを駆動し、IOUTA で測定。² 公称 FS 出力電流は、IREFIN 電流の 4 倍。したがって、公称 FS 電流は IREFIN = 5 mA のとき 20 mA。³ 出力電流は、IREFIN と任意の外部負荷で使用できる合計電流として定義されます。⁴ リファレンスの帯域幅は、NR ピンの外付け容量の関数です。詳細については、データシートの補償のセクション参照。⁵ 内部リファレンス・ドリフトを含みません。⁶ 内部リファレンス・ドリフトを含みます。⁷ IOUTB での 50 Ω 負荷の FS 電流で、バッファなしの電圧出力(1 V 範囲)として測定。

仕様は予告なく変更されることがあります。

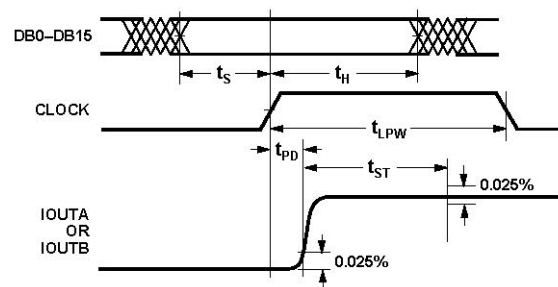
絶対最大定格*

Parameter	with Respect to	Min	Max	Units
Positive Supply Voltage (V_{DD})	DCOM, REFCOM, LADCOM	-0.5	+6.0	V
Negative Supply Voltage (V_{EE})	DCOM, REFCOM, LADCOM	-6.0	+0.5	V
Analog-to-Other Grounds (REFCOM)	DCOM, LADCOM	-0.5	+0.5	V
Digital-to-Other Grounds (DCOM)	LADCOM, REFCOM	-0.5	+0.5	V
Reference Output (REFOUT)	REFCOM		$V_{DD} + 0.5$	V
Reference Input Current (IREFIN)			+7.5	mA
Digital Inputs (DB0-DB15, CLOCK)	DCOM	-0.5	$V_{DD} + 0.5$	V
Analog Outputs (IOUTA, IOUTB)	LADCOM	-2.0	+5.0	V
Maximum Junction Temperature			+150	°C
Storage Temperature		-65	+150	°C
Lead Temperature			+300	°C

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

オーダー・ガイド

Model	Package Description	Package Option
AD768AR	28-Pin 300 mil SOIC	R-28
AD768ACHIPS	Die	
AD768-EB	AD768 Evaluation Board	



タイミング図

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ウェハー・テストの規定値¹

(特に指定がない限り、 $T_A = +25^\circ\text{C}$ 、 $V_{DD} = +5.0\text{ V}$ 、 $V_{EE} = -5.0\text{ V}$ 、 $I_{REFIN} = 5\text{ mA}$)

Parameter	AD768ACHIPS Limit	Units
Integral Nonlinearity ²	± 8	LSB max
Differential Nonlinearity ²	± 6	LSB max
Offset Error	± 0.2	% FSR max
Gain Error	± 1.0	% FSR max
Reference Voltage	± 1.0	% of nom. 2.5 V max
Positive Supply Current	40	mA max
Negative Supply Current	73	mA max
Power Dissipation	600	mW max

注

¹ 電氣的テストは、上記規定値を使ってウェハー・プローブ時に実施します。組み立て方法と通常の歩留まり損失の変動により、標準製品チップのパッケージ組み立て後の歩留まりは保証されません。

² 個々のビット誤りのテストから外装した規定値。

³ チップはラッチ・コントロール・パッドを提供します。ラッチ・コントロール・パッドとクロック・パッドがハイ・レベルのとき、エッジ検出ラッチはレベル検出になります。

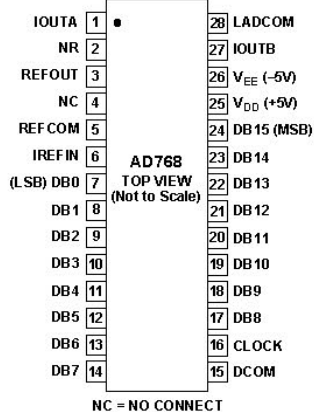
⁴ チップのサブストレートは V_{EE} に接続されます。

ピン説明

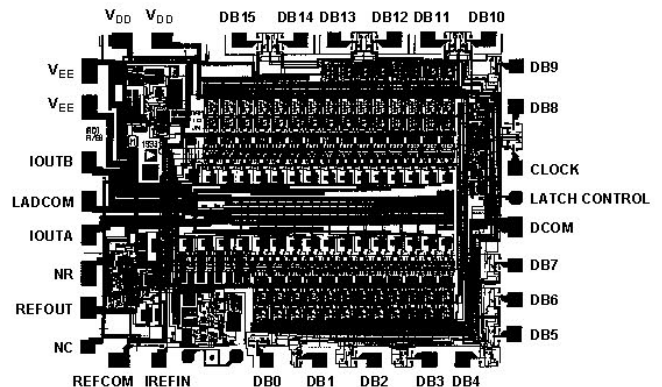
ピン番号	記号	タイプ	名前と機能
1	IOUTA	AO	DACの電流出力。すべてのデータ・ビットが1のとき、フル・スケール電流が流れます。
2	NR	AI	ノイズ削減ノード。ノイズ削減用のコンデンサを接続します。
3	REFOUT	AO	リファレンス出力電圧。公称値は2.5 V。
4	NC	NC	未接続。内部用途に予約済み。
5	REFCOM	P	リファレンス・グラウンド。
6	IREFIN	AI	リファレンス入力電流。公称値は5 mA。DACフル・スケールはこの電流の4倍。
7	DB0	DI	データ・ビット0 (LSB)。
8~14	DB1~DB7	DI	データ・ビット1~7。
15	DCOM	P	デジタル・グラウンド。
16	CLOCK	DI	クロック入力。クロックの正エッジでデータをラッチ。
17~23	DB8~DB14	DI	データ・ビット8~14。
24	DB15	DI	データ・ビット15 (MSB)。
25	V_{DD}	P	正電源電圧。公称値は+5 V。
26	V_{EE}	P	負電源電圧。公称値は-5 V。
27	IOUTB	AO	相補DAC電流出力。すべてのデータ・ビットが0のとき、フル・スケール電流が流れます。
28	LADCOM	P	DACラダーのコモン。

タイプ: AI=アナログ入力; DI=デジタル入力; AO=アナログ出力; P=電源。

ピン配置



チップの特性^{3, 4}



チップ・サイズ: 0.1106 × 0.1417 インチ、15,672 平方ミル
(2.81 × 3.60 mm、10.116 mm²)

仕様の定義

直線性誤差(積分非直線性または INL とも呼ばれます)

直線性誤差は、ゼロとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性(すなわち DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。

単調性

デジタル入力が増加したとき、出力が増加するか不変である場合に、D/A コンバータは単調であるといえます。

オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。I_{OUTA} に対しては、全入力ビットが 0 の場合、0 mA 出力が期待されます。I_{OUTB} に対しては、全入力ビットが 1 の場合、0 mA 出力が期待されます。

ゲイン誤差

理論出力スパンと実際の出力スパンの差をいいます。実際の出力スパンは、全入力ビットが 1 に設定されたときの出力から全入力ビットが 0 に設定されたときの出力を減算したときの差として定義されます。理論出力電流振幅は、I_{REFIN} ピンに入力される電流の 4 倍です。

出力コンプライアンス範囲

電流出力型 DAC の出力における許容電圧範囲。最大コンプライアンス規定値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度(+25°C)での値から T_{MIN} または T_{MAX} での値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトはフル・スケール範囲(FSR)に対する 1°C 当たりの ppm 値で表されます。リファレンス・ドリフトの場合は、ドリフトは 1°C 当たりの ppm 値で表されます。

電源除去比

電源が公称値から最小規定電圧値と最大規定電圧値へ変化したときのフル・スケール出力の最大変化を意味します。

セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

スプリアス・フリー・ダイナミック・レンジ

入力信号の rms 振幅値と規定帯域内のピーク・スプリアス信号との差を意味し、dB 値で表します。

総合高調波歪み

THD は、入力信号測定値(rms 値)と最初の 6 種類の高調波成分の rms 値の和との比をいい、パーセント値またはデシベル値(dB)で表されます。

グリッチ・インパルス

望ましくない出力過渡電圧を発生させる、DAC 内の非対称なスイッチング時間をいい、1 個のグリッチ・インパルスでその大きさを表します。グリッチ内の正味面積を表す単位 pV-s を使って規定します。

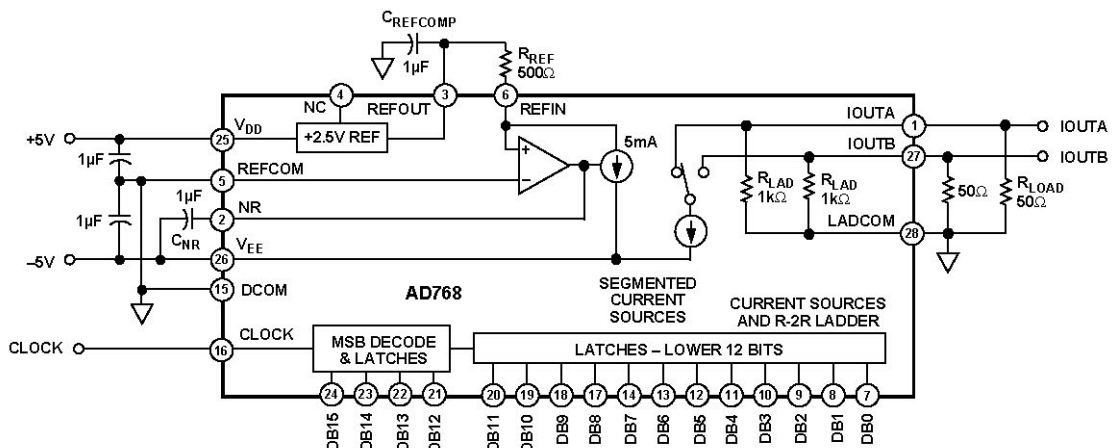


図 1.機能ブロック図と基本接続

機能説明

AD768 は電流出力 DAC であり、公称フル・スケール出力電流は 20 mA、出力インピーダンスは 1 k Ω です。差動電流出力により、シングルエンド・アプリケーションまたは差動アプリケーションをサポートすることができます。DAC アーキテクチャでは、上位 4 ビット(MSB)用のセグメント化電流源と下位 12 ビット(LSB)用の 1 k Ω R-2R ラダーを組み合わせています。DAC の電流源は、優れた DC 直線性を得るためレーザ・トリム可能な薄膜抵抗から構成されています。当社独自のスイッチング技術を採用して、グリッチ・エネルギーを小さくし、ダイナミック精度を最大化しています。

デジタル・インターフェースでは、CMOS 互換のエッジ検出入力ラッチを提供しています。このラッチは、CMOS ロジックへ容易にインターフェースして、最大 40 MSPS のクロック・レートをサポートします。温度補償済みの 2.5 V バンドギャップ・リファレンス電圧を内蔵しているため、1 本の外付け抵抗を使ってリファレンス入力電流を発生することができます。図 1 の機能ブロック図は、AD768 動作の理解に役立つ簡素化した内部回路です。DAC の伝達関数を説明し、続いて回路の各キー・ポートを詳しく説明します。代表的な回路構成は、AD768 の使用方法のセクションに示します。

DAC伝達関数

AD768 は、出力を仮想グラウンドに接続する電流出力モード、または出力を抵抗負荷に接続する電圧出力モードで動作させることができます。

電流出力モード:

$$I_{OUT} = (\text{DAC CODE}/65536) \times (I_{REFIN} \times 4)$$

電圧出力モード:

$$V_{OUT} = I_{OUT} \times R_{LOAD} \parallel R_{LAD}$$

ここで、

DAC CODE は、DAC 入力の 10 進数表示で、0~65535 の整数。

I_{REFIN} は、IREFIN ピンに流入する電流で、 V_{REF}/R_{REF} により決定。

I_{OUT} と I_{REFIN} に代入すると、

$$V_{OUT} = -V_{REF} \times (\text{DAC CODE}/65536) \times 4 \times [(R_{LOAD} \parallel R_{LAD})/R_{REF}]$$

これらの式は、AD768 伝達関数の重要な点を表しています。すなわち、DAC のフル・スケール電流出力は電流入力に比例しています。電圧出力は比 $(R_{LOAD} \parallel R_{LAD})/R_{REF}$ の関数であるため、抵抗ドリフトを特性の一致する抵抗を選択することにより相殺させることができます。

リファレンス入力

IREFIN ピンは、REFCOM に対する低インピーダンスの電流入力ノードです。この入力電流は、フル・スケール出力電流が IREFIN に流入された電流の正確に 4 倍になるように DAC 電流源の大きさを設定します。公称入力電流 = 5 mA の場合、公称フル・スケール出力電流 = 20 mA になります。

5 mA のリファレンス入力電流は、REFOUT と IREFIN との間に 500 Ω の抵抗を外付けして 2.5 V の内蔵リファレンスから発生することができます。必要に応じて、適切な抵抗を選択することにより、様々な外付けリファレンス電圧を使用することができますが、リファレンス・アンプの安定性を維持するため、IREFIN の外部インピーダンスを 1kΩ より小さくする必要があります。

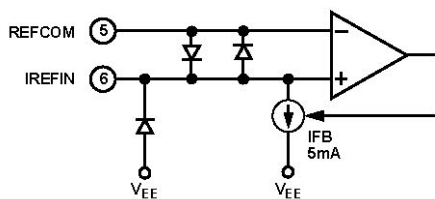


図 2. リファレンス入力の等価回路

I_{REFIN} 電流は 1 mA ~ 7 mA の範囲で変えることができ、これにより DAC フル・スケールが比例して変化します。DAC 内の動作電流は I_{REFIN} により変化するため、消費電力も変化します。図 3 に、この関係を示します。

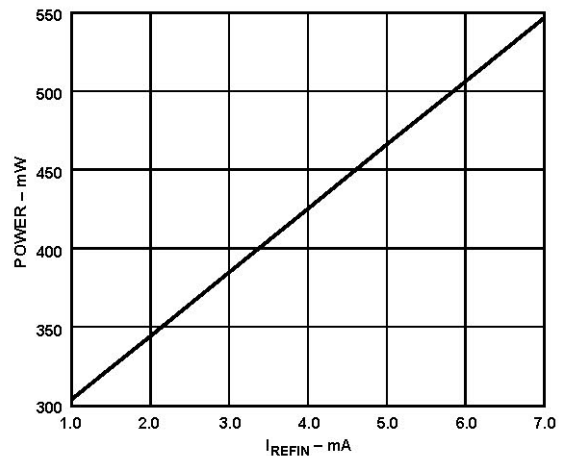


図 3. I_{REFIN} 電流対消費電力

AD768 は、入力電流 = 5 mA での動作に対して最適化されていることに注意してください。その他の入力電流では、直線性とダイナミックの性能はある程度低下します。図 4 に、入力電流範囲に対する DC 直線性 (typ) を示します。図 5 に、入力電流範囲と 1 MHz の出力周波数を得る CLOCK 入力レートに対するナイキストまでの SFDR 性能 (typ) を示します。

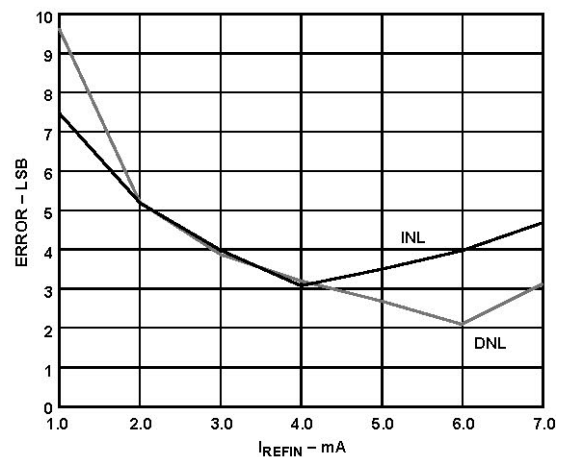


図 4. I_{REFIN} 電流対 INL/DNL

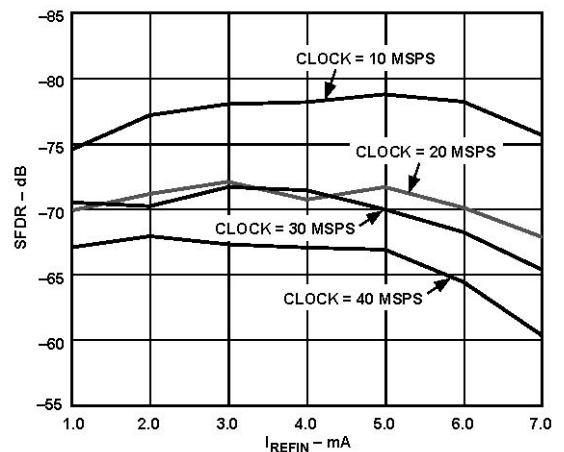


図 5. $F_{OUT} = 1 \text{ MHz}$ での I_{REFIN} 対 SFDR (ナイキストまで)

リファレンス電圧出力

2.5 V のバンドギャップ・リファレンスは、 I_{REFIN} 電流の発生のために内蔵されており、REFOUT と REFCOM との間に 0.1 μF 以上のコンデンサを接続して外部で補償する必要があります。外付けリファレンスを使用する場合は、REFOUT を直接正電源電圧 V_{DD} に接続する必要があります。これにより、内蔵リファレンス電圧が実質的にターンオフされるため、REFOUT の外付けコンデンサが不要になります。リファレンスは、公称負荷 5 mA、最大 15 mA で駆動するように規定されています。これより重い負荷で動作させると、電源除去比とリファレンス電圧精度が低下します。このため、負荷電流の増加が必要な場合は、アンプを使ってリファレンス出力をバッファする必要があります。適切な大きさのプルアップ抵抗を使って、負荷への追加電流を供給することもできます。抵抗値は、REFOUT から IREFIN と追加負荷に常に最小 5 mA を供給するように選択する必要があります。

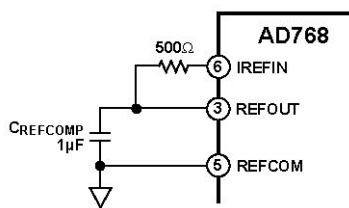


図 6. 代表的なリファレンス接続

温度についての考慮事項

リファレンスは、AD768 の温度性能に重要な役割を持っていることに注意してください。すべての I_{REFIN} ドリフトは直接 I_{OUT} に現れます。出力を電流として取るとき、 I_{REFIN} のドリフト (V_{REF} と R_{REF} に依存します) を最小する必要があります。これは、内部で温度補償されたリファレンスを V_{REF} として使い、低温度係数の抵抗を R_{REF} として使うことにより行われます。出力を電圧として取るときは、絶対抵抗値ではなく抵抗比の関数になります。 R_{REF} と R_{LOAD} に対して温度係数の一致する抵抗を選択することにより、抵抗値のドリフトが相殺されて、最適なドリフト性能が得られます。

リファレンス・ノイズの削減と乗算帯域幅

アプリケーションの柔軟性と乗算能力のため、NR ノードと負電源ピン V_{EE} との間に外付けコンデンサを接続することにより狭くできる調整可能な帯域幅を提供するようにリファレンス・アンプはデザインされています。このコンデンサは帯域幅を制限するため、リファレンス・アンプのノイズ成分を小さくするフィルタとして機能します。

ノイズ削減コンデンサ CNR は安定性のためには不要であり、DAC 出力のセトリング・タイムには影響を与えません。このコンデンサなしで、IREFIN 帯域幅は 15 MHz になるため、リファレンス入力ノードを介する DAC フル・スケール範囲の高周波変調が可能になります。図 7 に、外付けノイズ削減コンデンサとリファレンス・アンプの -3 dB 帯域幅との関係を示します。

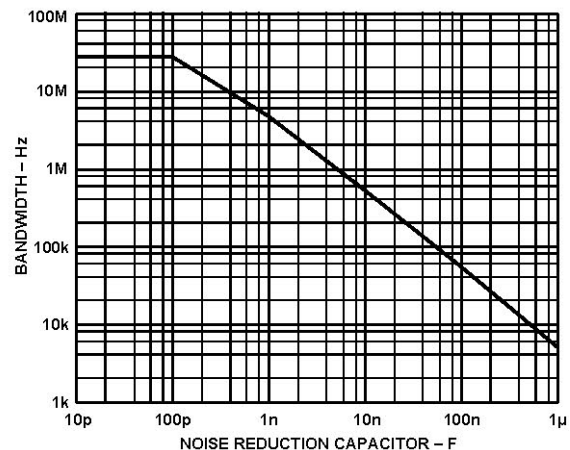


図 7. -3 dB 帯域幅對外付けノイズ削減コンデンサ

NR ノードの感度の点から、コンデンサの配置には注意が必要です。このコンデンサはパッケージ・ピンのできるだけ近くに配置し、リード長を短くする必要があります。このため、チップ・コンデンサの使用が推奨されます。IREFIN で高周波変調を必要としないアプリケーションの場合は、NR と V_{EE} との間に 1 μF オーダーのコンデンサを接続することが推奨されます。リファレンス入力に純粋に DC である場合は、ノイズは 1 μF および 0.1 μF のような複数のコンデンサの使用により、さらに効果的に高周波と低周波の成分を除去することができます。

アナログ出力

AD768 は、2 つのアナログ出力を提供します。IOUTA は最適な INL と DNL 性能を得るように調整され、すべてのビットがハイ・レベルのときフル・スケール出力になります。特別な DC 精度を必要とするアプリケーションには、IOUTA を使う必要があります。IOUTB は相補出力であり、すべてのビットがロー・レベルのとき、フル・スケール出力になります。IOUTA と IOUTB は同じダイナミック性能を提供します。図 8 と図 9 に、INL と DNL の代表的な性能カーブを示します。出力は差動でも使用することができます。

種々の出力構成については、AD768 の使用のセクションを参照してください。

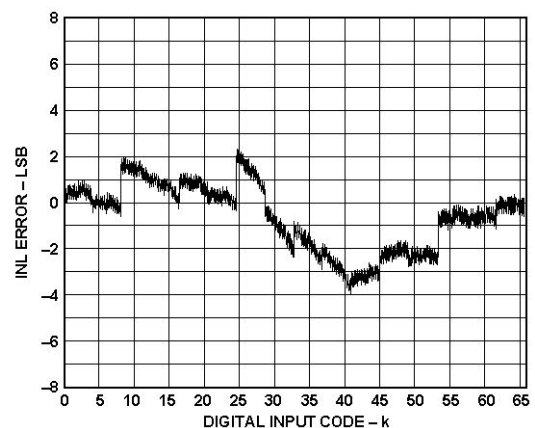


図 8. 代表的な INL 性能

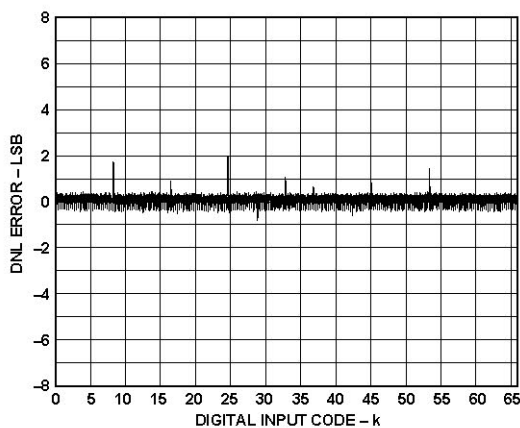


図 9. 代表的な DNL 性能

出力は、LADCOM に対して $-1.2\text{ V} \sim +5.0\text{ V}$ のコンプライアンス範囲を持っています。電流切り替え出力ステージは、この範囲で機能を維持します。コンプライアンスの最大規定値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性が発生することがあります。DC と AC の定格性能は $0\text{ V} \sim -1\text{ V}$ の出力電圧です。

LADCOM の電流は I_{REFIN} に比例し、出力を仮想グラウンドに接続したときは、デジタル・コードに依存しないように注意深く設定されています。これにより、直線性に対するラダー・グラウンド抵抗の悪影響が小さく抑えられています。最適な DC 直線性を得るためには、 I_{OUTA} を直接仮想グラウンドに接続し、 I_{OUTB} をグラウンドに接続する必要があります。この構成例については、バッファ付き電圧出力のセクションを参照してください。 I_{OUTA} により抵抗負荷を直接駆動する場合は、 I_{OUTB} を等しいインピーダンスで終端する必要があります。これにより、LADCOM の電流がデジタル・コードに対して一定に維持されるため、バッファのない電圧出力構成で DC 直線性を改善するために推奨されます。

図 10 に示すように、各出力端子では 3 pF と並列に $1\text{ k}\Omega$ の等価出力インピーダンスが存在します。出力電圧がラダー・コモン電圧と異なる場合、誤差電流がこの $1\text{ k}\Omega$ のインピーダンスを流れます。これは、入力コードにより変化しない直線的な効果を持つため、ゲイン誤差として現れます。 $50\ \Omega$ の出力終端で、発生するゲイン誤差は約 -5% になります。この構成例については、バッファなし電圧出力のセクションを参照してください。

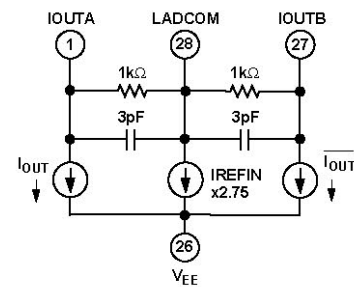


図 10. 等価なアナログ出力回路

デジタル入力

AD768 のデジタル入力は、16 本のデータ入力ピンと 1 本のクロック・ピンから構成されています。16 ビットの平行・データ入力では標準の正バイナリ・コーディングを使用しており、DB15 が最上位ビット(MSB)に、DB0 が最下位ビット(LSB)に、それぞれなります。すべてのデータ・ビットがロジック 1 のとき、 I_{OUTA} はフル・スケール出力電流を発生し、 I_{OUTB} は相補出力であり、すべてのデータ・ビットがロジック 0 のときフル・スケールを発生します。フル・スケール電流は、入力コードの関数として 2 つの出力間で分割されます。

デジタル・インターフェースは、エッジ検出のマスター・スレーブ・ラッチを使って構成されています。DAC 出力は、クロックの立ち上がりエッジで更新され、 40 MSPS までのクロック・レートで動作するようにデザインされています。クロックは、規定の最小ラッチ・パルス幅を満たす任意のデューティ・サイクルで動作することができます。セットアップ・タイムとホールド・タイムは、規定の最小値を満たしている限り、クロック・サイクル内で変えることができます。ただし、これらのエッジ変化の位置がデジタル信号の混入と歪み性能に影響を与えます。デジタル入力は CMOS 互換であり、ロジック・スレッシュホールドをデジタル正電源(DVDD)の約 $1/2$ に設定しています。入力電流条件は小さいため、バッファなし CMOS ロジックに容易にインターフェースすることができます。図 11 に、等価なデジタル入力回路を示します。

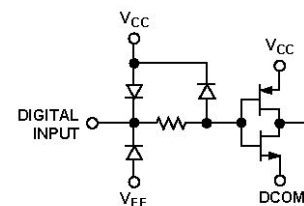


図 11. デジタル入力の等価回路

DAC に対するデジタル入力信号は、可能な限りアナログ出力からアイソレーションする必要があります。DAC 入力への接続は可能な限り短くする必要があります。デジタル・ラインが長くなる場合は、終端抵抗により性能を改善することができます。デジタルの混入を小さくするためには、グリッチとリンギングのない入力とし、エッジ速度を小さくすると、さらに改善することができます。

代表的な性能特性

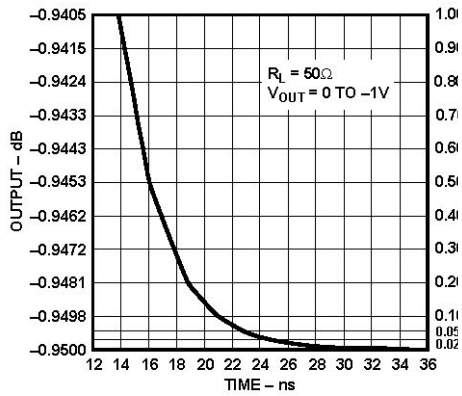


図 12.セトリング・タイム

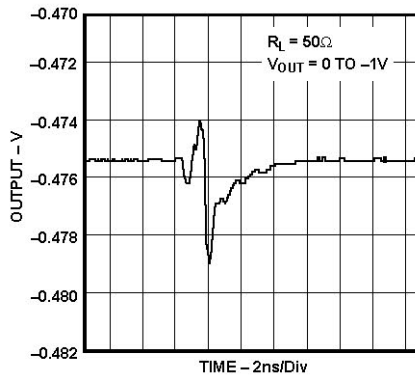


図 13.主要キャリアでのグリッチ・インパルス

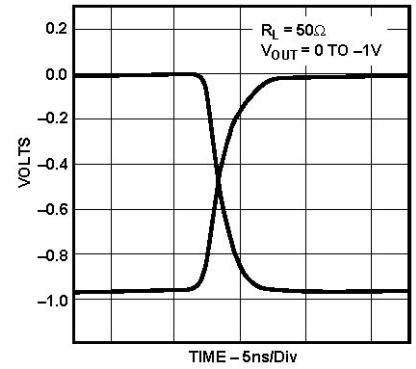


図 14.立ち上がり/立ち下がり特性

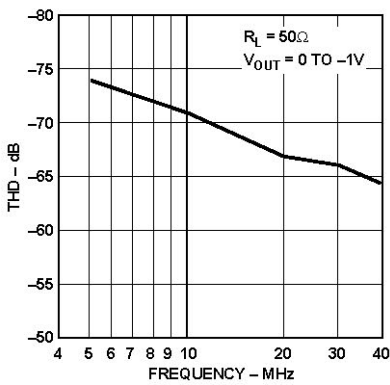


図 15.クロック周波数対 THD、F_{OUT} = 1 MHz

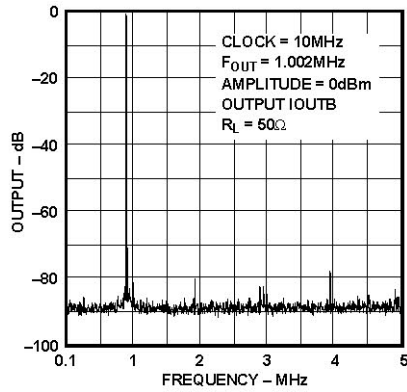


図 16.スペクトル性能

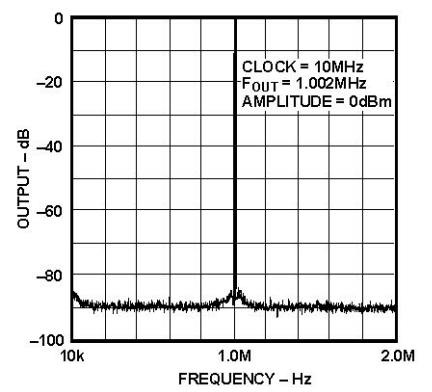


図 17. SFDR (ウインドウあり)

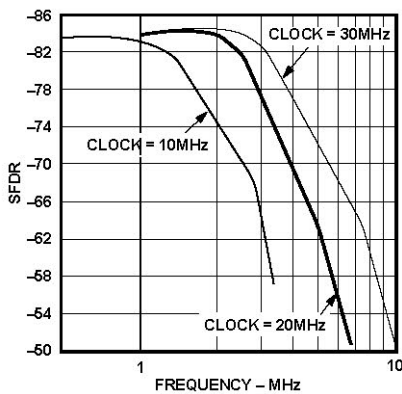


図 18. F_{out} 対 SFDR (ウインドウ内)

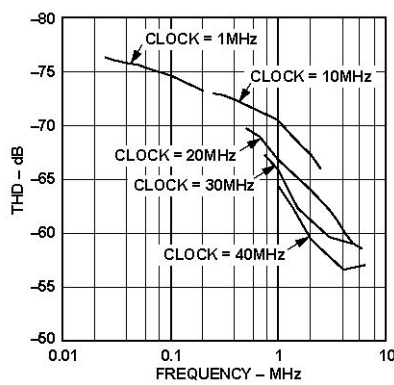


図 19. F_{out} 対 THD

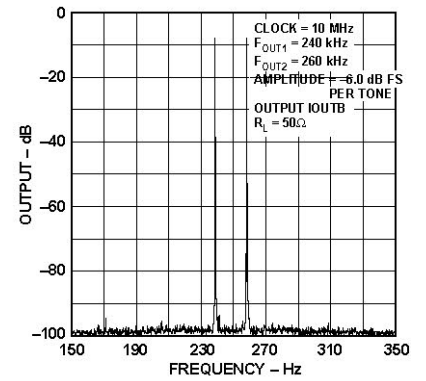


図 20.相互変調歪み

AD768 の使い方

出力構成

以下のセクションでは、代表的な幾つかの AD768 出力構成について説明します。大部分の図では出力を IOUTA から取り出していますが、すべてのケースで IOUTB を代わりに使うことができます。特に注記がない限り、 I_{REFIN} とフル・スケール電流は公称値に設定します。

特定の DC 精度を必要とするアプリケーションでは、適切な抵抗の選択が必要です。絶対抵抗偏差の他に、抵抗の自己発熱により予期しない誤差が発生することがあります。最適な INL を得るためには、図 23 に示すようにバッファ付きの電圧出力が推奨されます。この構成では、 R_{FB} の自己発熱によりゲイン変化が発生して、INL カーブに反りが発生します。この影響は、低い温度係数を持つ抵抗を選択することにより小さくすることができます。

バッファなし電圧出力構成

図 21 に、約 $0\text{ V} \sim -1\text{ V}$ のユニポーラ出力範囲を提供するように構成した AD768 を示します。公称フル・スケール電流は 20 mA で、 $50\ \Omega$ の R_L 抵抗と $1\text{ k}\Omega$ の DAC 出力抵抗 (R-2R ラダー) の並列接続 $47.6\ \Omega$ を流れます。これにより、LADCOM を基準とした理論フル・スケール電圧 -0.952 V が発生します。さらに、 $1\text{ k}\Omega$ の DAC 出力抵抗は $\pm 20\%$ の偏差を持ち、これによりフル・スケール・ゲインが $\pm 1\%$ 変わります。この直線的な変動により、ゲイン誤差が発生し、この誤差は I_{REFIN} を調節することにより容易に補償することができます。

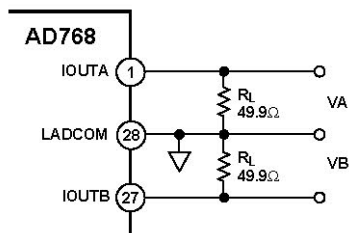


図 21. $0\text{ V} \sim -1\text{ V}$ のバッファなし電圧出力

この構成では、出力コンプライアンス規定値による制約に注意することが重要です。最大負電圧コンプライアンスは -1.2 V であるため、 $0\text{ V} \sim -2\text{ V}$ の出力振幅を発生する $100\ \Omega$ 負荷の使用は禁止されます。このモードでの動作に対するもう 1 つの注意は、積分非直線性です。出力ノードで電圧が変化すると、DAC 電流切り替えスイッチの有限な出力インピーダンスにより、出力電流の小さな変化 (出力電圧により変化します) が発生するため、INL のカーブに反り (最大 8 LSB) が発生します。最適 INL 性能を得るためには、バッファ付きの電圧出力モードが推奨されます。

アナログ出力のセクションで説明したように、INL は未使用出力 (IOUTB) の終端からも少し影響を受けます。この影響をなくすためには、IOUTB を IOUTA と同じインピーダンスで終端して、両出力からグラウンドへ接続した同じ抵抗分圧器が見えるようにする必要があります。これにより LADCOM の電流が一定に維持され、非直線性をさらに発生させる、DAC ラダー内でのコード依存の IR 降下を小さくすることができます。

AC結合出力

図 22 に示すように出力を構成すると、アンプの追加なしに、AD768 のバイポーラ出力信号を提供することができます。DAC 出力の AC 負荷インピーダンスは、AD768 の出力インピーダンス R_L とバイアス抵抗 R_B の並列接続です。

図 22 で示す値での公称出力振幅は、 $R_B \gg R_L$ とすると $\pm 0.5\text{ V}$ になります。回路のゲインは、インピーダンス R_{LAD} 、 R_B 、 R_L の偏差の関数になります。

R_B と C の値の選択は、主に、所要 -3 dB ハイパス・カットオフ周波数と、 R_B に接続された後続ステージのバイアス電流 I_B に依存します。 -3 dB 周波数は次式で近似できます。

$$f_{-3\text{ dB}} = 1/[2 \times \pi \times (R_B + R_L \parallel R_{LAD}) \times C]$$

出力の DC オフセットは、後続ステージのバイアス電流と R_B の値の関数になります。例えば、 $C = 390\text{ pF}$ 、 $R_B = 20\text{ k}\Omega$ 、 $I_B = 1.0\ \mu\text{A}$ の場合、 -3 dB 周波数は約 20.4 kHz に、DC オフセットは 20 mV に、それぞれなります。

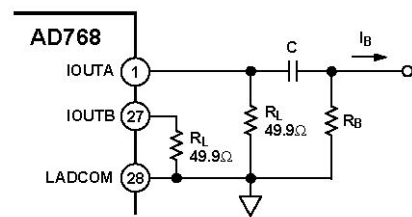


図 22. $0.5\text{ V} \sim -0.5\text{ V}$ のバッファなし AC 結合出力

バッファ付き電圧出力構成

ユニポーラ構成

正出力電圧の場合、または電圧範囲が許容出力コンプライアンス規定値より大きい場合は、何らかの外付けバッファが必要です。速度、精度、コストのような条件に応じて多様なアンプを選択することができます。AD9631 は、ダイナミック性能が重要な場合、優れた選択肢であり、最大 10 MHz まで低歪みを提供します。図 23 に、 $0\text{ V} \sim +2\text{ V}$ フル・スケールのユニポーラ・バッファ付き電圧出力を示します。アンプは、加算ノードを DAC 出力のグラウンドに設定します。バッファ付された出力電圧は、アンプの帰還抵抗 R_{FB} を流れる DAC 出力電流から発生されます。この場合、 R_{FB} ($100\ \Omega$) を流れる 20 mA のフル・スケール電流により $0\text{ V} \sim +2\text{ V}$ の出力電圧範囲が発生します。最適な DC 直線性を得るためには、AD845 のような高精度アンプを使用する同じ構成が推奨されます。

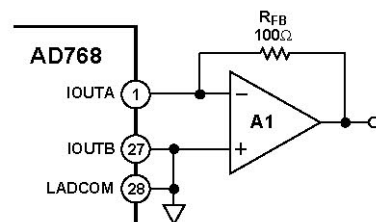


図 23. ユニポーラ $0\text{ V} \sim +2\text{ V}$ のバッファ付き電圧出力

電流分圧器を使うバッファ付き出力

必要とされる 20 mA の帰還電流をアンプから供給できない場合には、図 23 に示す構成を使用できません。その代わりとして、アンプ A1 と抵抗電流分圧器の組み合わせを図 24 に示します。 R_{FF} と R_L の値を選択して、A1 から供給される電流 I_3 を制限します。電流 I_2 は、抵抗 R_L を介してグラウンドへシャントされます。 R_{FF} と R_L の並列接続が $60\ \Omega$ を超えないようにして、規定のコンプライアンス電圧を超えないようにします。

図 24 に示す値の場合、 $I_3 = 4 \text{ mA}$ になり、 $0 \text{ V} \sim 2 \text{ V}$ の公称ユニポーラ出力振幅になります。A1 は約-4 の反転ゲインを持ち、ノイズ・ゲインが+5 であるため、A1 の歪みとノイズの性能を考慮する必要があります。ことに注意してください。

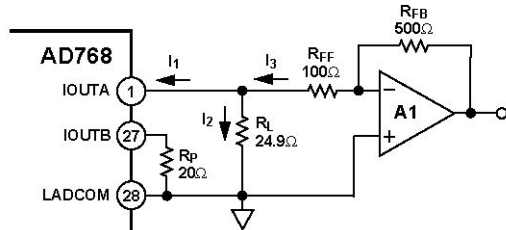


図 24. 電流分路器を使用した $0 \text{ V} \sim 2 \text{ V}$ のバッファ付きユニポーラ出力

バイポーラ構成

バイポーラ・モードは、オフセット電流 I_{BIPOLAR} を I/V アンプ(A1) の加算ポイントへ入力することにより実現されます。 I_{BIPOLAR} を R_{FB} を流れるフル・スケール電流の 1/2 に設定することにより、発生する出力電圧が加算点電圧(一般にグラウンド)を中心にして対称になります。図 25 に、 $\pm 2.5 \text{ V}$ のバイポーラ・バッファ付き電圧出力の構成を示します。抵抗分路器により、フル・スケール電流を $I_{\text{DAC}} = 5 \text{ mA}$ に設定します。 2.5 V の内蔵リファレンスから、 2.5 mA の I_{BIPOLAR} 電流を R_{BIP} に流します。 2.5 mA の電流 I_{DAC} が I_{BIPOLAR} だけ正確にオフセットされるように DAC を 1/2 スケール(100 ... 0)に設定すると、 0 V の出力電圧が発生します。DAC がゼロからフル・スケールへ変化すると、出力電圧は -2.5 V から $+2.5 \text{ V}$ へ変化します。REFOUT から 15 mA 以上の合計電流が必要な構成では、外付けバッファが必要なことに注意してください。

AD811、AD8001、AD9631 のようなオペアンプは、優れたダイナミック性能を得るための優れた選択肢です。DC アプリケーションでは、AD845 や AD797 のようなオペアンプがさらに適しています。

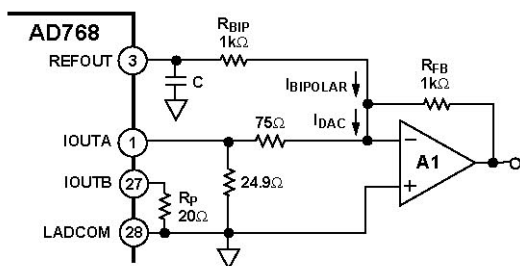


図 25. $\pm 2.5 \text{ V}$ のバイポーラ・バッファ付き電圧出力

差動出力構成

トランスによる AC 結合

ベースバンド動作を必要としないアプリケーションでは、一般にトランス結合が使用されます。AD768 の相補出力を負荷にトランス結合すると、電気的アイソレーションを提供する利点と、消費電力が追加されない利点があります。また、トランスを適切に使用すると、トランスは受動デバイスであるため、ノイズと歪みに関して AD768 の出力信号の品質は低下しません。図 26 に、 50Ω 負荷で $\pm 0.5 \text{ V}$ の信号を駆動する際に、出力 IOUTA と IOUTB で必要とされる DC 負荷条件を満たすセンター・タップ付き出力トランスを示します。この特別な回路では、センター・タップ付きトランスはインピーダンス比 4 を持ち、巻数比 2 に対応します。このため、1 次側換算の任

意の負荷 R_L は、係数倍 (= 4) されます(このケースでは 200Ω)。DC 電流が DAC の R-2R ラダーへ流れるのを防止するため、トランスのセンター・タップは LADCOM に接続する必要があります。

最小電圧コンプライアンス -1.2 V を満たすため、IOUTA と IOUTB から見た最大差動抵抗は 240Ω を超えないようにする必要があります。差動抵抗は、トランスの 1 次側に換算された負荷 R_L と 2 つの出力間に追加されたすべての差動抵抗 R_{DIFF} の並列接続から構成されることに注意してください。 R_{DIFF} は、実効 1 次側ソース・インピーダンスと負荷を整合させるために、一般にトランスの 1 次側に接続されます(このケースでは 200Ω)。

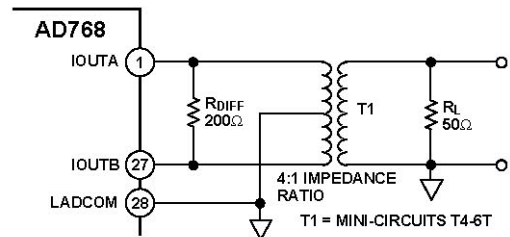


図 26. トランスを使用する差動出力

アンプを使用した DC 結合

DC 差動/シングルエンド変換は、図 27 に示す回路を使って容易に実現することができます。この回路は、回路の差動性により AC と DC の同相モード誤差ソースを減衰させます。したがって、同相モード・ノイズ(クロック・ノイズの混入)と DC ユニポーラ・オフセット誤差が大幅に削減されます。また、 R と R_{REF} に温度に追従する薄膜抵抗を使用することにより優れた温度安定性を得ることができます。与えられたアプリケーションに対して電圧出力振幅と I_{REF} を最適化できるように、回路のデザイン式も示します。

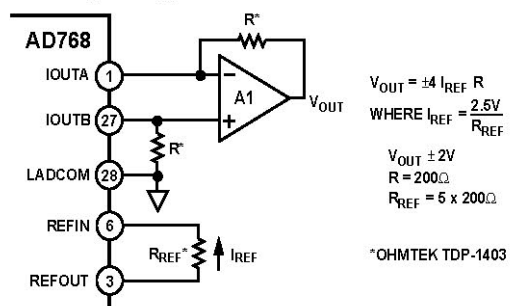


図 27. DC 差動/シングルエンド変換

電源とグラウンドの考慮事項

高速と高精度を同時に実現するシステムでは、プリント回路ボード・デザインの構成が回路デザインで重要になります。適切な RF 技術を使って、デバイスの選択、配置、配線、電源バイパス、グラウンディングを行う必要があります。

電源とグラウンドで低ノイズを維持することは、AD768 から最適な結果を得るために必須です。図 28 に、AD768 評価ボードで使用されたプリント回路ボードの推奨グラウンド・プレーン・レイアウトを示します。

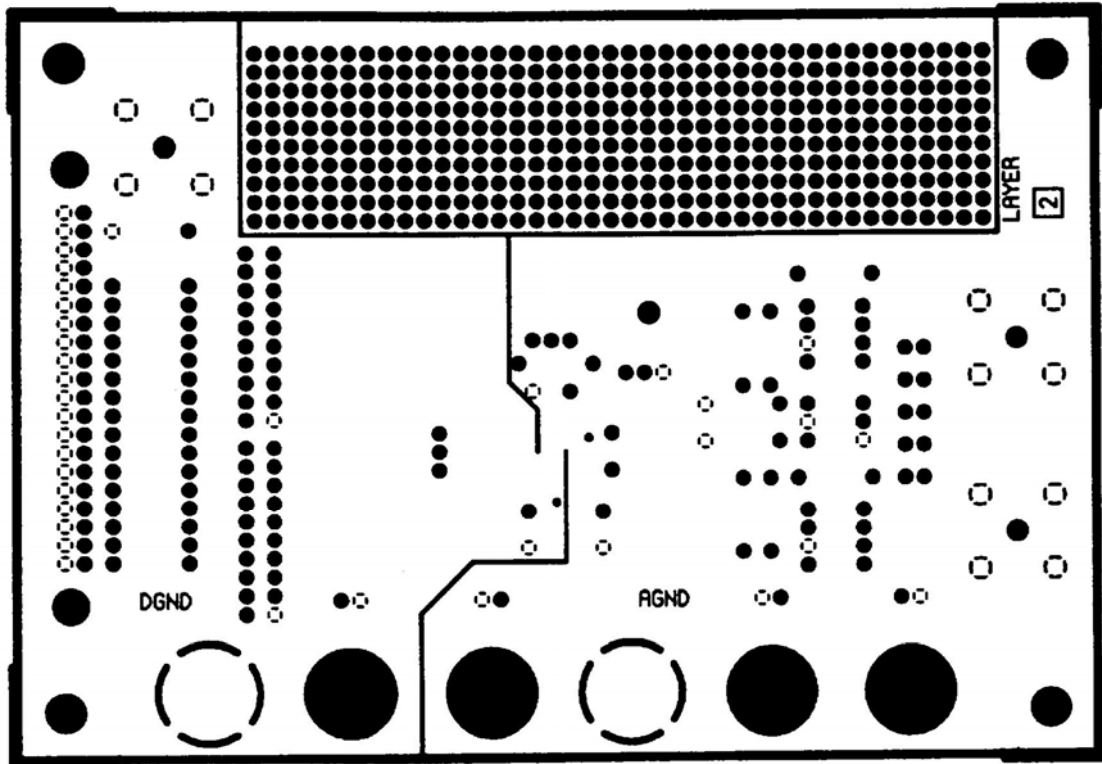


図 28. プリント回路ボード・グラウンド・プレーンのレイアウト

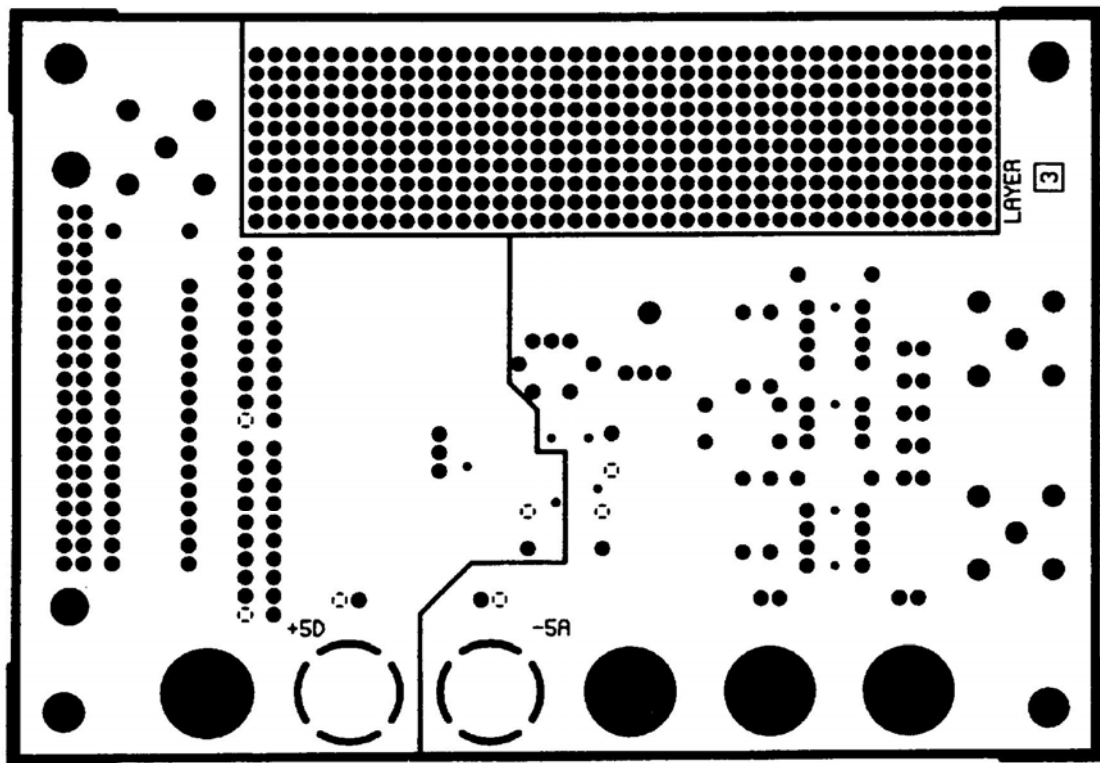


図 29. プリント回路ボード電源プレーンのレイアウト

グラウンド・プレーンは適切に構成された場合、高速回路ボード上で、バイパス、シールド、電流の輸送などの多くの機能を実行します。ミックスド・シグナル・デザインでは、ボードのアナログ部分とデジタル部分を互いに分離して、アナログ・グラウンド・プレーンはアナログ信号パターンをカバーする領域へ、デジタル・グラウンド・プレーンはデジタル接続をカバーする領域へ、それぞれまとめる必要があります。

DAC、リファレンス、その他のアナログ出力部品のすべてのアナログ・グラウンド・ピンは、アナログ・グラウンド・プレーンに直接接続する必要があります。図 28 に示すように、2つのグラウンド・プレーンは、1/4 ~ 1/2 インチ幅のパスにより、DAC の真下または 1/2 インチ以内で接続する必要があります。グラウンド・プレーンは、重要な信号パスに沿って途切れないように注意する必要があります。デジタル側では、DAC へのデジタル入力ラインやクロック信号がこれに含まれます。アナログ側では、DAC 出力信号、リファレンス信号、電源配線がこれに含まれます。

電源ラインの配線では配線またはプレーンを太くすることも推奨されます。これは、部品に対する直列インピーダンスの低い電源の提供と、該当するグラウンド・プレーンへの自由な容量デカップリングの提供の 2つの役割を持っています。図 29 に、AD768 評価ボードで使用した電源プレーンのレイアウトを示します。AD768 評価ボードでは 4 層の PC ボードを使用しており、前述の推奨レイアウト方法を良く示しています。

信号接続と電源グラウンド接続のレイアウトでは、信号グラウンド・パスで余分な電圧降下が生じないように注意することが不可欠です。すべての接続は可能な限り短くし、パッケージの近くに配置して、様々な電流によりパスが共用されることを少なくすることが推奨されます。長さが 1 インチを超える場合は、何らかのタイプの終端抵抗が必要です。この抵抗の必要性と値は、使用するロジック・ファミリーに依存します。

最大の AC 性能を得るためには、DAC を回路ボードに直接実装する必要があります。ソケットの使用は、デバイスの隣接ピン間で不要な容量結合が発生するため避ける必要があります。

電源とデカップリング

高速デザインに関して最も重要な外付け部品の 1つは、電源のバイパスに使用するコンデンサです。これらのコンデンサの選択と配置は非常に重要であり、可成の程度、システム構成の詳細に依存します。AD768 のバイパス・コンデンサの選択についての主な考慮事項は、直列の抵抗とインダクタンスを小さくすることです。多くのコンデンサでは、20 MHz 以上で誘導性を持ち始めます。セラミックと薄膜タイプのコンデンサは一般に、タンタルまたは電解タイプより小さい直列インダクタンスを持ちます。

AD768 の各電源は、デバイス・ピンのできるだけ近くに接続する 0.1 μF のコンデンサでデカップリングすることが推奨されます。低い寄生インダクタンスを持つ表面実装のチップ・コンデンサは、スルーホール・タイプに適しています。DAC 電源ピンと電源プレーンとの間に直列インダクタンスを接続すると、高周波電源ノイズのフィルタ機能の強化に役立ちます。このインダクタンスは、小型のフェライト・ビードを使って作ることができます。

クリーンなデジタル電源は、図 30 に示す回路を使って発生することができます。この回路は電源ラインとリターン・ラインが分離された差動 LC フィルタで構成されています。低ノイズは、低 ESR (等

価直列抵抗)タイプの電解コンデンサとタンタル・コンデンサを使って実現することができます。

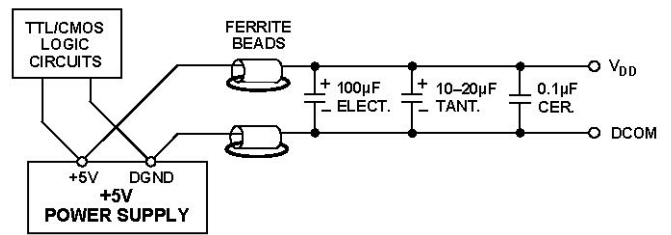


図 30. +5 V 単電源アプリケーション用の差動 LC フィルタ

アプリケーション

AD768 の乗算 DAC としての使用

AD768 は、 I_{REFIN} を 1 mA ~ 7 mA で変調できるため、容易に乗算 DAC として構成することができます。リファレンス・アンプにより最大乗算帯域幅を 15 MHz に設定し、NR ノードに接続する外付けコンデンサを図 7 に従って帯域幅の制限に使用します。IREFIN ノードに入力される変調信号を適切にスケールして加算することにより、 I_{REFIN} は容易に変調されます。図 31 に、変調信号 VMOD をピーク電流が 3.0 mA を超えないようにスケールし、 R_{REFMOD} を使って電流へ変換する方法を示します。図 32 に、AD768 の代表的な歪み対リファレンス・チャンネル周波数を示します。

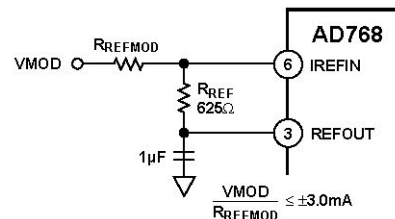


図 31. 代表的な乗算 DAC アプリケーション

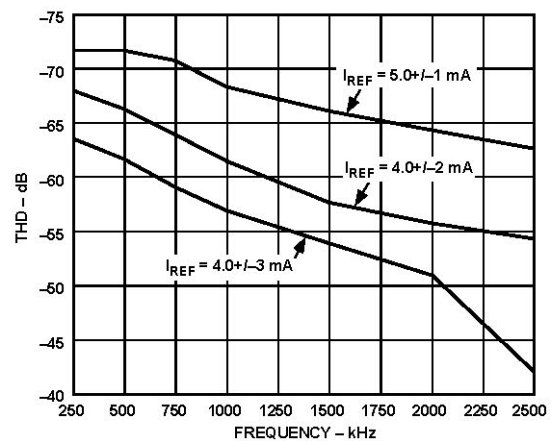


図 32. リファレンス・チャンネル歪みの周波数特性

マルチトーン・トランスミッタ(ADSL用)での AD768 の使用

通信アプリケーションでは、一般的な SNR テストと THD テストで使われる簡素なシングル・トーン信号とは大幅に異なる部品性能が必要とされることがあります。周波数帯域に広く分散している多数の小さい信号成分に情報が保持されている拡散スペクトル・タイプの信号と周波数領域多重化(FDM)タイプの信号の場合には、特にこのことが要求されます。これらのアプリケーションでは、広いダイナミック・レンジ、きめ細かいスケール直線性、小さい相互変調歪みの組み合わせが必要とされます。残念なことに、部品のフル・スケール SNR と THD の性能は、これらのマルチトーン・アプリケーションでの動作を表す信頼度の高いインジケータにはなりません。

FDM 通信システムの 1 つの例は、現在 ANSI で検討されている DMT (Discrete Multitone) ADSL (Asymmetrical Digital Subscriber Line)規格です。図 33 に、トランスミッタ機能のブロック図を示します。

デジタル・ビットを使って、約 200 個の各ディスクリット・トーンを QAM 変調します。逆 FFT を使って、この変調された周波数領域の情報を 2.2 MSPS サンプル・レートの 512 個の時間ポイントに戻します。これらの時間ポイントは、FIR インターポレーション・フィルタを通過させて、そのサンプル・レートを上げます(このケースでは 4.4 MSPS に上げます)。このビット・ストリームは AD768 を通過します。この AD768 の後ろには 4 次のアナログ平滑化フィルタとライン・ドライバ回路が続きます。

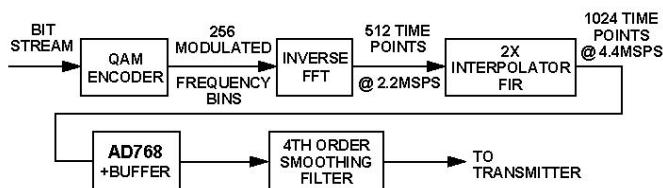


図 33. 代表的な DMT ADSL の送信チェーン

図 34a に、このシステムを通過するテスト・ベクタの周波数領域表現を、図 34b には時間領域表現を、それぞれ示します(明らかに周波数領域表現の方が理解し易くなっています)。各 4 kHz 周波数帯域の SINAD の最適化を行いたいのですが、これはノイズ(広帯域と量子化)と歪み(単純な高調波と相互変調)の関数になっています。

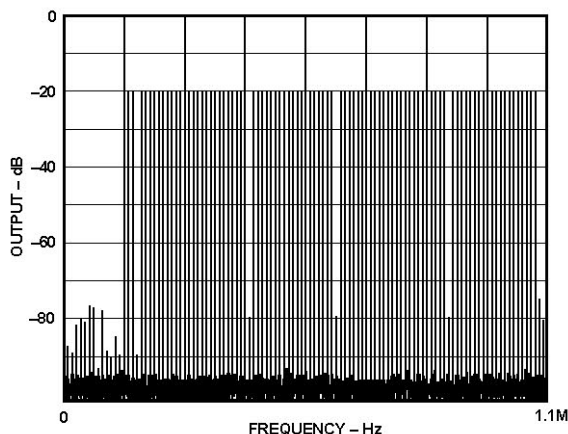


図 34a. ADSL テスト・ベクタの出力スペクトル

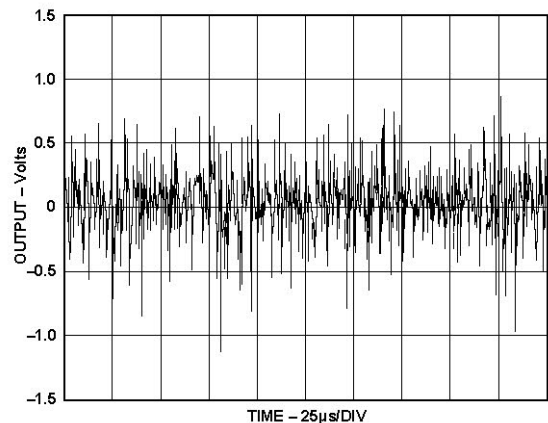


図 34b. ADSL テスト・ベクタの時間領域出力信号

表 I と表 II に、ADSL アプリケーションのフィルタ出力での各周波数の有効 SNR および THD を示します。AD768 での 16 ビットのダイナミック・レンジと 14 ビットの直線性の組み合わせにより、DMT 信号で優れた性能が得られます。インタポレータ内のデジタル・フィルタの複雑さと簡素化したアナログ・フィルタとの間のトレードオフを行う場合、この高速な入力レートにより、オーバー・サンプリングによるさらに高速なレートをサポートすることが可能になります。

表 I. 各周波数での SNR

Frequency	SNR
151 kHz	70.1 dB
349 kHz	69.7 dB
500 kHz	69.4 dB
1 MHz	69.8 dB

表 II. 各周波数での THD

Frequency	THD
160 kHz	-68.9 dBc
418 kHz	-64.0 dBc
640 kHz	-64.3 dBc
893 kHz	-63.8 dBc

AD768 評価ボード

概要

AD768-EB は、16 ビット 30 Msps D/A コンバータ AD768 の評価ボードです。十分注意して行われたレイアウトと回路デザイン、それにアナログとデジタルのプロトタイプ領域の組み合わせにより、高分解能の高速変換を必要とするアプリケーションでの AD768 の容易で効果的な評価が可能です。

AD768-EB へのデジタル入力は、40 ピンの標準 IDC コネクタを使って直接駆動することができます。外部クロックも必要です。これらの信号は、外部から供給するか、またはプロトタイプ領域に構築した回路から発生することができます。AD768-EB のアナログ出力は、BNC コネクタから取り出すことができます。これらの出力は、抵抗、オペアンプ、またはトランスを使うように設定することができます。

動作手順と機能説明

電源

AD768-EB の電源は、配線またはバナナ・プラグにより、プリント回路ボードに設けてある金属ピンに接続することができます。

DGND. デジタル・グラウンド。デジタル・グラウンドとアナログ・グラウンドは、AD768 の真下で接続されています。最適性能は、別々のアナログ電源とデジタル電源を使用したときに得られます。評価目的では、アナログ・グラウンドとデジタル・グラウンドの 2 つ目の接続を電源で行う場合は 1 個の電源の使用も可能です。

+5D. +5 V ($\pm 5\%$) のデジタル電源は 50 mA 供給できる必要があります。

-5A. -5 V ($\pm 5\%$) のアナログ電源は -75 mA 供給できる必要があります。

AGND. アナログ・グラウンド。アナログ・グラウンドとデジタル・グラウンドは、AD768 の真下で接続されています。最適性能は、別々のアナログ電源とデジタル電源を使用したときに得られます。評価目的では、アナログ・グラウンドとデジタル・グラウンドの 2 つ目の接続を電源で行う場合は 1 個の電源の使用も可能です。

-V_{EE}. 負のアナログ電源; -5 V ~ -15 V (typ)。この電源は、外付けオペアンプの負電源レールとして使用されます。AD811 と AD768-EB の組み合わせに対して、-20 mA (外部負荷を除く) 供給できる必要があります。

+V_{CC}. 正のアナログ電源; +5 V ~ +15 V (typ)。この電源は、外付けオペアンプの正電源レールとして使用されます。AD811 と AD768-EB の組み合わせに対して、+20 mA (外部負荷を除く) 供給できる必要があります。

アナログ出力

AD768-EB のアナログ出力は、BNC ジャック“A”と“B”から取り出すことができます。AD768 の相補電流出力は、抵抗、オペアンプ、またはトランスを使うように設定することができます。出荷時には、AD768-EB の“A”部分のみが実装されています。“B”側の相補出力は、必要に応じてユーザが実装する必要があります。

JP1. バッファ付きオペアンプ出力“A”。ジャンパー JP1 は、バッファ付きオペアンプ出力が必要な場合に実装する必要があります。**JP1 を実装する場合は、正常動作のために JP2 と JP3 を取り外す必要があります。**“A”コネクタの出力は、公称電圧振幅 0 V ~ 2 V で、デジタル入力と同相です。これは出荷時のデフォルト設定になっています。

JP2. 50 Ω のバイポーラ・トランス出力。ジャンパ JP2 を実装すると、トランス結合出力を“A”コネクタから取り出すことができます。**JP2 を実装する場合は、正常動作のために JP1 と JP3 を取り外す必要があります。**トランスは、差動/シングルエンド・コンバータとインピーダンス・トランスとして機能します。**正常動作のためには、トランスを 50 Ω 抵抗で終端する必要があります。**R2 は、100 Ω の抵抗 R7 で置換える必要があります。追加の 100 Ω 抵抗とトランスは AD768-EB に添付されています。追加の 100 Ω 抵抗は“R3”と表示された位置にハンダ付けし、トランスは“T1”と表示されたソケットに挿入する必要があります。50 Ω 負荷での公称出力電圧は、同相モード電圧 0 V を中心とする 1 V p-p です。

JP3. 抵抗出力“A”。JP3 を使って抵抗 R2 を“A”出力に接続します。U2 はソケットから取り外す必要があります。24.9 Ω の抵抗を R2 に使うと、出力はバッファなしの 0 V ~ 0.5 V 出力になり、位相はデジタル入力と逆相になります。抵抗 R2 は他の値で置換えることができますが、推奨出力コンプライアンス範囲を維持するように注意が必要です。**JP3 を実装する場合は、正常動作のために JP1 と JP2 を取り外す必要があります。**

JP4. 抵抗出力“B”。JP4 を使って抵抗 R3 を“A”出力に接続します。U3 はソケットから取り外す必要があります。AD768-EB は、抵抗 R3 をグラウンドに接続して出荷されます。ユーザ選択の異なる値を R3 に実装して、デジタル入力と同相のバッファなし出力を発生させることができます。R3 の値を選択するときは、推奨出力コンプライアンス範囲を維持するように注意が必要です。**JP4 を実装する場合は、正常動作のために JP5 を取り外す必要があります。**

JP5. バッファ付きオペアンプ出力“B”。ジャンパー JP5 は、バッファ付きオペアンプ出力が必要な場合に実装する必要があります。**JP5 を実装する場合は、正常動作のために JP4 を取り外す必要があります。**出力は“B”コネクタから取り出すことができ、抵抗 R3、R9、R10 の組み合わせで指定される公称電圧振幅になります。このオペアンプは AD768-EB に添付されていません。

リファレンス

AD768-EB 上で、AD768 の内蔵リファレンスまたは外付けリファレンスを選択することができます。R12 を使って、AD768 のフル・スケール出力電流を調節します。

SW2. 内蔵/外付けリファレンス選択スイッチ。SW2 がポジション 1 のとき、AD768 の内蔵リファレンスが選択されます。SW2 がポジション 2 のとき、ユーザは外付けリファレンスを用意する必要があります。

アナログ出力のレベル・シフト

抵抗ソケット R8 と R6 には、オペアンプ構成で使用する出力 DC オフセット電流を追加するために適切な値の抵抗を実装することができます。一例として、バイポーラ出力信号を発生するときは、1.25 k Ω の抵抗を“R8”ソケットに実装して、通常のユニポーラ出力を -1 V だけレベル・シフトさせます。R8 と R6 はオープンで出荷されます。

クロック入力

外部サンプル・クロックは、“CLOCK”と表示された BNC コネクタまたは IDC コネクタのピン 33 へ入力する必要があります。このクロックは、AD768 データシートで規定するロジック・レベルを満たす必要があります。“CLOCK”入力は取り外し可能な 51 Ω 抵抗で終端されています。IDC コネクタ・クロック接続は終端されていません。

SW1. クロック・ソース選択スイッチ。SW1 がポジション 1 のとき、IDC のピン 33 が AD768 の CLOCK 入力に接続されます。SW2 がポジション 2 のとき、“CLOCK” BNC コネクタが AD768 の CLOCK 入力に接続されます。

デジタル入力

AD768 のデジタル入力 DB0~DB15 は、40 ピンの IDC コネクタ J1 から入力します。これらの入力は、AD768 データシートの規定を満たす必要があります。

レイアウト時の考慮事項

図 28 と図 29 に、AD768-EB のグラウンド・プレーンと電源プレーンのレイアウトを示します。図 35~図 38 に、AD768 4 層評価ボードの回路図、パターン配線、シルク・スクリーン、部品レイアウトを示します。

グラウンド・プレーンと電源プレーンの分離には、高速レイアウトに対して幾つかの利点があります。(これらの利点の詳細については、アプリケーション・ノート「Design and Layout of a Video Graphics System for Reduced EMI [E1309]」をご覧ください)。デジタル・リターン電流がアナログ・グラウンド・プレーンを変調しないように配線できる場合には、一体のしっかりしたグラウンド・プレーンを使うことができます。これが不可能な場合は、電流が制御された方向に流れるようにグラウンド・プレーンを分ける必要があります。このタイプのグラウンド接続方式を図 28 に示します。グラウンド・プレーンはアナログ・プレーンとデジタル・プレーンに分割されており、AD768 の下で相互に接続されています。すべてのケースで、AD768 はアナログ部品として扱い、幾つかのピンは“デジタル”グラウンドと表示され、幾つかのピンは“アナログ”グラウンドと表示されていても、コモン・グラウンド接続は AD768 の真下で行う必要があります。

表 IV に、AD768 評価ボードの全部品表を示します。

表 III. ジャンパー機能の一覧

Installed Jumper	Jumper Function
JP1	Buffered Output A
JP2	50 Ω Transformer Output
JP3 (STBY)	Unbuffered Output A
JP4	Unbuffered Output B
JP5	Buffered Output B

表 IV. AD768-EB の部品表

Reference	Value / Part Type	Package	Qty/Bd
U1	AD768	28-Pin SOIC	1
U2	AD811	8-Pin DIP	1
T1	Mini-Circuits T4-6T	Not Installed	1
A, B, CLOCK	BNC JACKs, Small	Small, Vertical	3
JP1-5	Header	2-Pin	5
SW1, 2	SPDT, Secme	0.1" × 0.3"	2
J1	40-Pin IDC Connector	R.A., Male, w/ Latches	1
R1	500 Ω	1/4 W, 0.01%, Vishay	1
R2	25 Ω	1/4 W, 0.01%, Vishay	1
R3, R13-21, & R23-29	Wire Jumpers		17
R5	500 Ω	1/4 W, 0.01%, Vishay	1
R7	100 Ω	1/4 W, 0.01%, Vishay	1
R11	51 Ω	1/8 W, 5%, Carbon	1
R12	10 kΩ Pot.	3266 W	1
C1-4	1 μF Ceram. Cap.	Leaded	4
C5-8, C10, 12, 14, & C16-19		0.1 μF Chip Cap, 1206	11
C9, 11, 13, 15	22 μF Tant. Cap., 25 V	Teardrop, 0.1" Spacing	4

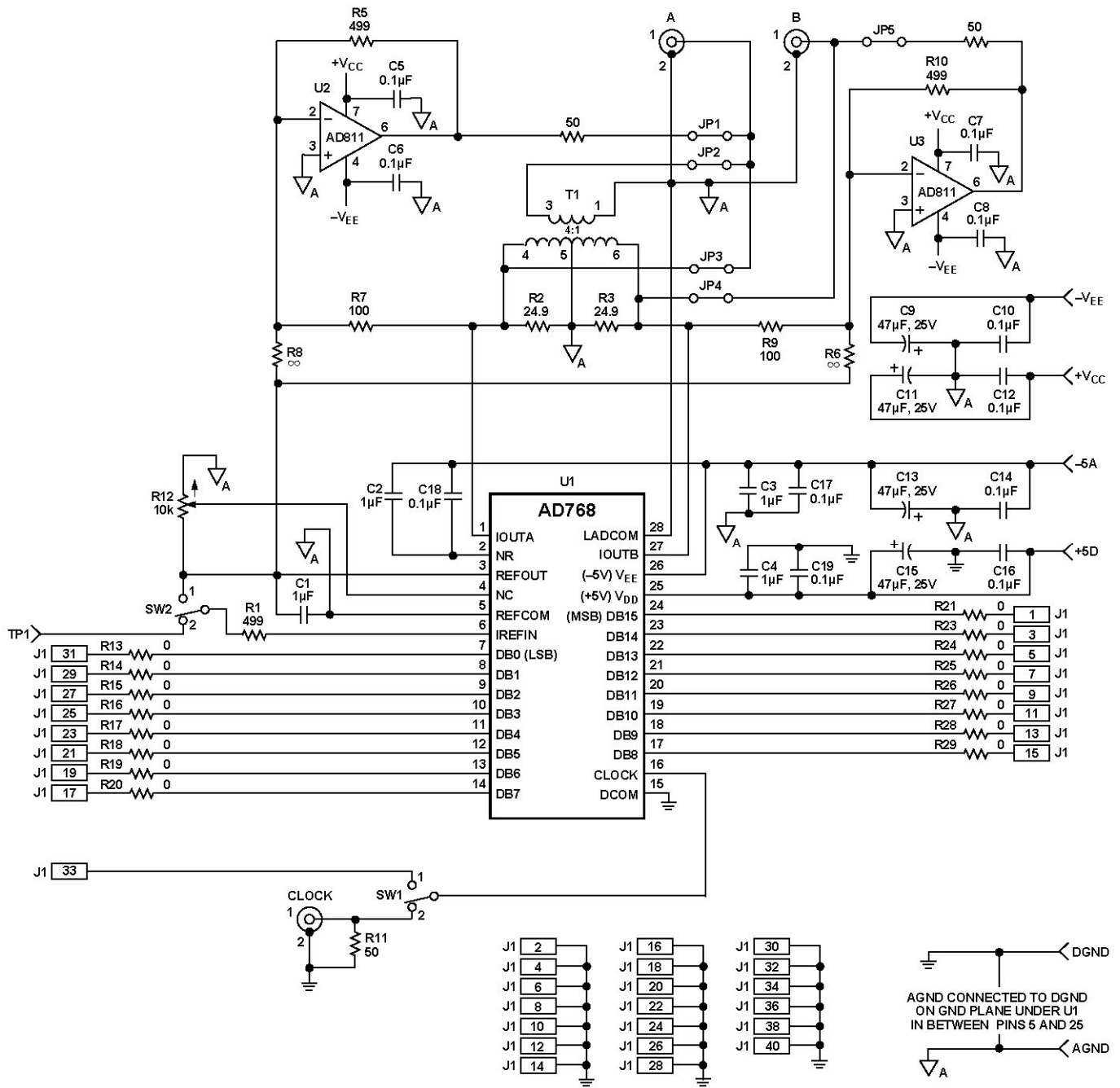


図 35. AD768 評価ボードの回路図

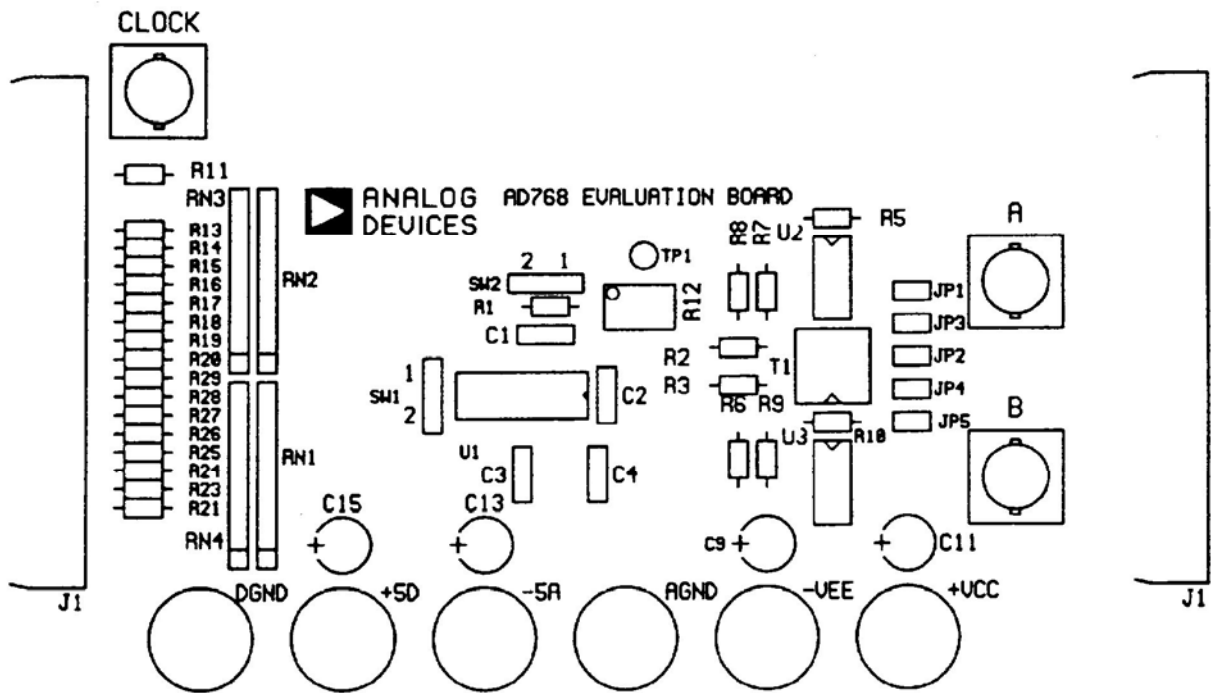


図 36.シルクスクリーン層(スケールは正しくありません)

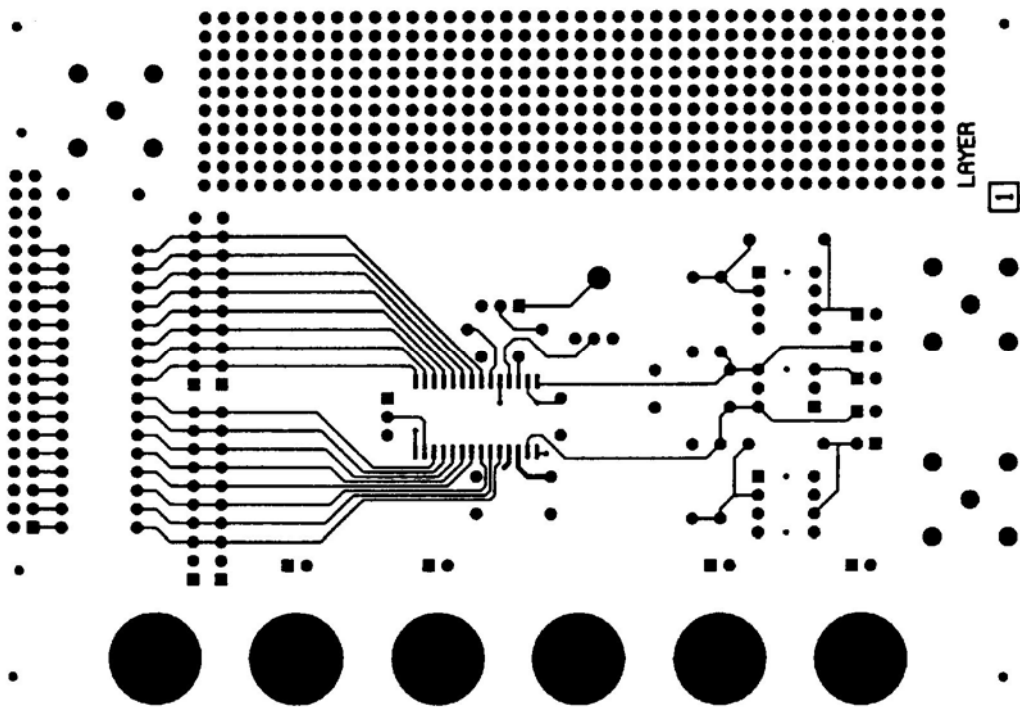


図 37.部品面の PCB レイアウト(スケールは正しくありません)

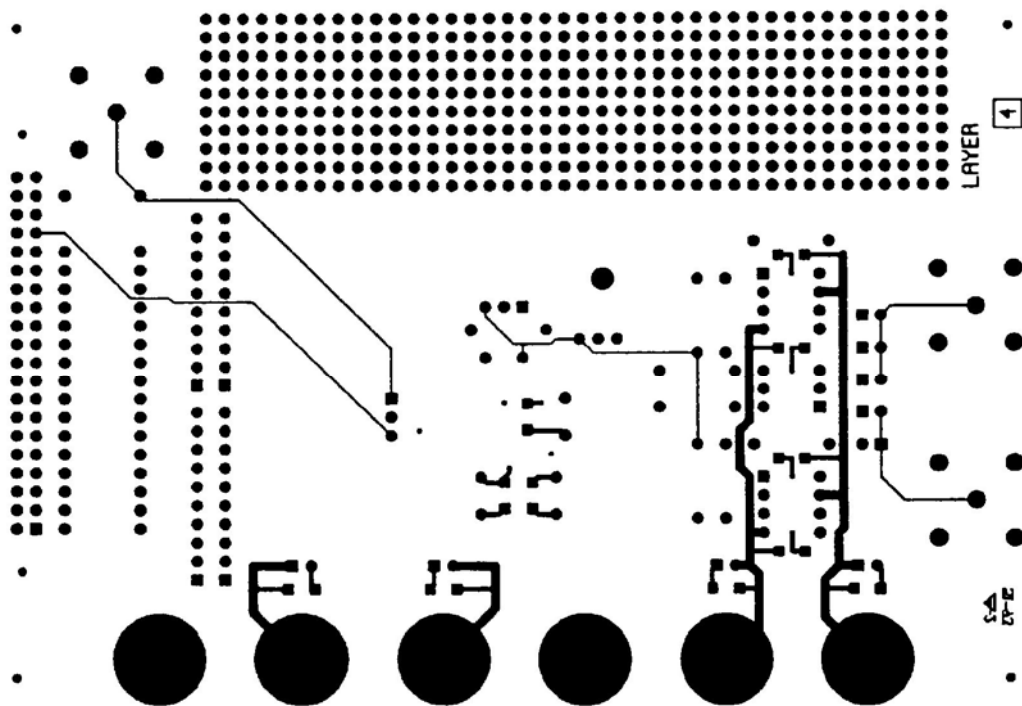


図 38.ハンダ面の PCB レイアウト(スケールは正しくありません)

外形寸法

寸法表示:インチ(mm)

R-28
300ミル28ピン SOIC

