



14 ビット、バイポーラ入力、デュアル同時サンプリング ADC 搭載 16 チャンネル DAS

データシート

AD7617

特長

16 チャンネル、デュアル、同時サンプリング入力
個別に選択可能なチャンネル入力範囲
真のバイポーラ: $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、 $\pm 2.5\text{ V}$
5 V のアナログ単電源と 2.3 V ~ 3.6 V の V_{DRIVE} 電源
完全統合型のデータ・アキュイジション・ソリューション
アナログ入力クランプ保護
アナログ入力のインピーダンスが 1 M Ω の入力バッファ
1 次アンチエイリアシング・アナログ・フィルタ
高精度リファレンスとリファレンス・バッファを内蔵
デュアル 14 ビット SAR ADC
スループット・レート: チャンネル・ペアあたり 2 \times 1 MSPS
デジタル・フィルタによるオーバーサンプリング機能
バースト・モードによる柔軟なシーケンサ
柔軟なパラレル/シリアル・インターフェース
SPI/QSPI/MICROWIRE/DSP 互換
オプションの CRC エラー・チェック
ハードウェア/ソフトウェア設定
性能
500 kSPS 時に 85.3 dB の SNR (代表値) (オーバーサンプリング比が 2 倍)
1 MSPS 時に 85 dB の SNR (代表値)
 $\pm 10\text{ V}$ のレンジで -103 dB の THD (代表値)
 $\pm 0.3\text{ LSB}$ の INL (代表値)、 $\pm 0.99\text{ LSB}$ の DNL (最大値)
8 kV ESD アナログ入力ピンのみ
自己検出機能を内蔵
80 ピン LQFP パッケージ

アプリケーション

電力線のモニタリング
保護リレー
多相モーター・コントロール
計測器および制御システム
データ・アキュイジション・システム (DAS)

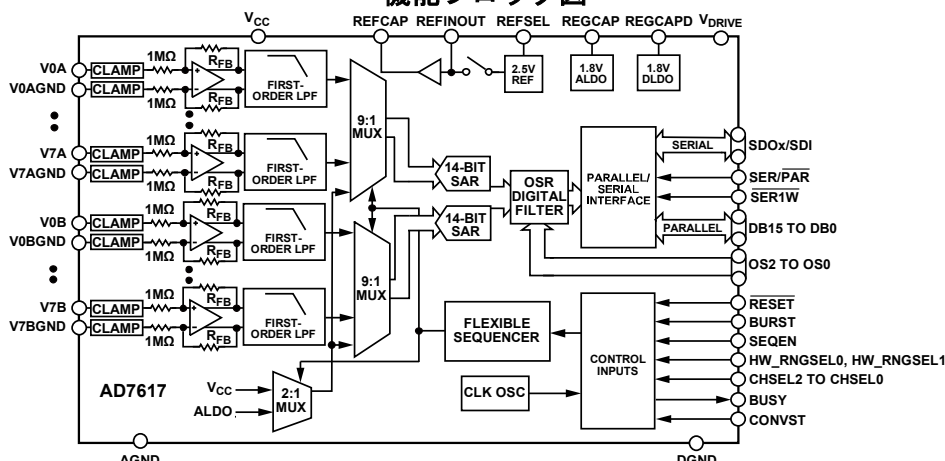
概要

AD7617 は、16 チャンネルのデュアル同時サンプリングに対応する 14 ビット DAS です。AD7617 は +5 V 単電源で動作し、 $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、および $\pm 2.5\text{ V}$ の真のバイポーラ信号に対応します。また、85 dB の S/N 比とチャンネル・ペアあたり最大 1 MSPS のスループット・レートでサンプリングを実行します。オーバーサンプリング・モードを内蔵しているため、高い SNR 性能を発揮できます (オーバーサンプリング比 (OSR) が 2 の場合は 85.3 dB)。

入力クランプ保護回路は最大 $\pm 21\text{ V}$ の電圧に耐えることができます。AD7617 は、サンプリング周波数に関係なく、1 M Ω のアナログ入力インピーダンスを維持します。単電源動作、内蔵のフィルタリング、高い入力インピーダンスにより、ドライバ・オペアンプと外付けバイポーラ電源が不要です。

さらに、アナログ入力のクランプ保護回路、デュアル 14 ビット電荷再配分式の逐次比較型レジスタ (SAR) A/D コンバータ (ADC)、柔軟なデジタル・フィルタ、2.5 V リファレンスとリファレンス・バッファ、シリアルとパラレルの高速インターフェースを内蔵しています。AD7617 はシリアル・ペリフェラル・インターフェース (SPI) /QSPI™/DSP/MICROWIRE と互換性があります。

機能ブロック図



NOTES
1. MULTIFUNCTION PINS, SUCH AS DB15/OS2, ARE REFERRED TO BY A SINGLE FUNCTION OF THE PIN. FOR EXAMPLE, DB15, WHEN ONLY THAT FUNCTION IS RELEVANT. REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION FOR MORE INFORMATION.

図 1. AD7617 の機能ブロック図

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2017 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

| | | | |
|-------------------------|----|------------------------|----|
| 特長 | 1 | デジタル・インターフェース | 28 |
| アプリケーション | 1 | ハードウェア・モード | 28 |
| 概要 | 1 | ソフトウェア・モード | 29 |
| 機能ブロック図 | 1 | リセット機能 | 29 |
| 改訂履歴 | 2 | ピン機能の概要 | 30 |
| 仕様 | 3 | デジタル・インターフェース | 31 |
| タイミング仕様 | 6 | チャンネル選択 | 31 |
| 絶対最大定格 | 10 | パラレル・インターフェース | 32 |
| 熱抵抗 | 10 | シリアル・インターフェース | 33 |
| ESD に関する注意 | 10 | シーケンサ | 36 |
| ピン配置およびピン機能の説明 | 11 | ハードウェア・モード・シーケンサ | 36 |
| 代表的な性能特性 | 15 | ソフトウェア・モード・シーケンサ | 36 |
| 用語の定義 | 21 | バースト・シーケンサ | 37 |
| 動作原理 | 23 | 診断機能 | 39 |
| コンバータの詳細 | 23 | 診断チャンネル | 39 |
| アナログ入力 | 23 | インターフェース・セルフ・テスト | 39 |
| ADC の伝達関数 | 24 | CRC | 39 |
| 内部リファレンス／外部リファレンス | 24 | レジスタの一覧 | 41 |
| シャットダウン・モード | 25 | レジスタのアドレス指定 | 42 |
| デジタル・フィルタ | 25 | 設定レジスタ | 43 |
| アプリケーション情報 | 26 | チャンネル・レジスタ | 44 |
| 機能の概要 | 26 | 入力レンジ・レジスタ | 45 |
| 電源 | 26 | シーケンサ・スタック・レジスタ | 49 |
| 代表的な接続 | 26 | ステータス・レジスタ | 50 |
| デバイスの設定 | 28 | 外形寸法 | 51 |
| 動作モード | 28 | オーダー・ガイド | 51 |
| 内部リファレンス／外部リファレンス | 28 | | |

改訂履歴

7/2017—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{REF} = 2.5\text{ V}$ 外部／内部、 $V_{CC} = 4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE} = 2.3\text{ V} \sim 3.6\text{ V}$ 、サンプリング周波数 (f_{SAMPLE}) = 1 MSPS、 $T_A = -40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 。

表 1.

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|-----------------------------------------------------|-------------------------------------------------------------------------------|------|------------|------------|------------------------|
| DYNAMIC PERFORMANCE | | | | | |
| Signal-to-Noise Ratio (SNR) ^{1, 2} | $f_{IN} = 1\text{ kHz}$ sine wave, unless otherwise noted | | | | |
| | No oversampling, $\pm 10\text{ V}$ range | 84.5 | 85 | | dB |
| | OSR = 2, $\pm 10\text{ V}$ range, ³ $f_{SAMPLE} = 500\text{ kSPS}$ | | 85.3 | | dB |
| | OSR = 4, $\pm 10\text{ V}$ range ³ | | 85.5 | | dB |
| Signal-to-Noise-and-Distortion (SINAD) ¹ | No oversampling, $\pm 5\text{ V}$ range | 84 | 84.5 | | dB |
| | No oversampling, $\pm 2.5\text{ V}$ range | 83 | 83.5 | | dB |
| | No oversampling, $\pm 10\text{ V}$ range | 84 | 84.5 | | dB |
| | No oversampling, $\pm 5\text{ V}$ range | 83.5 | 84 | | dB |
| Dynamic Range | No oversampling, $\pm 2.5\text{ V}$ range | 82.5 | 83.5 | | dB |
| | No oversampling, $\pm 10\text{ V}$ range | | 85.5 | | dB |
| | No oversampling, $\pm 5\text{ V}$ range | | 85.1 | | dB |
| | No oversampling, $\pm 2.5\text{ V}$ range | | 84.5 | | dB |
| Total Harmonic Distortion (THD) ¹ | No oversampling, $\pm 10\text{ V}$ range | | -103 | -93.5 | dB |
| | No oversampling, $\pm 5\text{ V}$ range | | -100 | | dB |
| | No oversampling, $\pm 2.5\text{ V}$ range | | -97 | | dB |
| | No oversampling, $\pm 2.5\text{ V}$ range | | -103 | | dB |
| Peak Harmonic or Spurious Noise ¹ | | | | | dB |
| Intermodulation Distortion (IMD) ¹ | $f_a = 1\text{ kHz}$, $f_b = 1.1\text{ kHz}$ | | | | dB |
| Second-Order Terms | | | -105 | | dB |
| Third-Order Terms | | | -113 | | dB |
| Channel to Channel Isolation ¹ | f_{IN} on unselected channels up to 5 kHz | | -106 | | dB |
| ANALOG INPUT FILTER | | | | | |
| Full Power Bandwidth | -3 dB, $\pm 10\text{ V}$ range | | 39 | | kHz |
| | -3 dB, $\pm 5\text{ V}/\pm 2.5\text{ V}$ range | | 33 | | kHz |
| | -0.1 dB | | 5.5 | | kHz |
| Phase Delay ^{1, 3} | $\pm 10\text{ V}$ range | | 4.4 | 6 | μs |
| | $\pm 5\text{ V}$ range | | 5 | | μs |
| | $\pm 2.5\text{ V}$ range | | 4.9 | | μs |
| Drift ^{1, 3} | $\pm 10\text{ V}$ range | | ± 0.55 | +5 | ns/ $^{\circ}\text{C}$ |
| Matching (Dual Simultaneous Pair) ^{1, 3} | $\pm 10\text{ V}$ range | | 4.4 | 100 | ns |
| | $\pm 5\text{ V}$ range | | 4.7 | | ns |
| | $\pm 2.5\text{ V}$ range | | 4.1 | | ns |
| DC ACCURACY | | | | | |
| Resolution | No missing codes | 14 | | | Bits |
| Differential Nonlinearity (DNL) ¹ | | | ± 0.1 | ± 0.99 | LSB ⁴ |
| Integral Nonlinearity (INL) ¹ | | | ± 0.3 | ± 1 | LSB |
| Total Unadjusted Error (TUE) | $\pm 10\text{ V}$ range | | ± 1.5 | | LSB |
| | $\pm 5\text{ V}$ range | | ± 2 | | LSB |
| | $\pm 2.5\text{ V}$ range | | ± 2.5 | | LSB |
| Positive Full-Scale Error (PFS) ⁵ | $\pm 10\text{ V}$ range | | ± 1.25 | ± 8 | LSB |
| | $\pm 5\text{ V}$ range | | ± 1 | | LSB |
| | $\pm 2.5\text{ V}$ range | | ± 0.5 | | LSB |
| Internal Reference | | | | | |
| | $\pm 10\text{ V}$ range | | ± 1.25 | | LSB |

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|---------------------------------------------------|--------------------------------------------|-------|-------|-------|--------|
| Drift ³ | External reference | | ±2 | ±5 | ppm/°C |
| | Internal reference | | ±3 | ±10 | ppm/°C |
| Matching ¹ | ±10 V range | | 1 | 3 | LSB |
| | ±5 V range | | 1 | | LSB |
| | ±2.5 V range | | 1 | | LSB |
| Bipolar Zero Code Error ¹ | ±10 V range | | ±0.15 | ±2.5 | LSB |
| | ±5 V range | | ±0.2 | ±2.5 | LSB |
| | ±2.5 V range | | ±0.7 | ±3.5 | LSB |
| Drift ³ | ±10 V range | | ±1.5 | ±21 | μV/°C |
| | ±5 V range | | ±1 | | μV/°C |
| | ±2.5 V range | | ±0.5 | | μV/°C |
| Matching ¹ | ±10 V range | | ±0.5 | ±2.5 | LSB |
| | ±5 V range | | ±0.75 | | LSB |
| | ±2.5 V range | | ±0.75 | | LSB |
| Negative Full-Scale (NFS) Error ^{1,5} | External reference | | | | |
| | ±10 V range | | ±1 | ±8 | LSB |
| | ±5 V range | | ±0.75 | | LSB |
| | ±2.5 V range | | ±1.5 | | LSB |
| | Internal reference | | | | |
| | ±10 V range | | ±1 | | LSB |
| Drift ³ | External reference | | ±2 | ±5 | ppm/°C |
| | Internal reference | | ±4 | ±10 | ppm/°C |
| Matching ¹ | ±10 V range | | 1 | 3 | LSB |
| | ±5 V range | | 1 | | LSB |
| | ±2.5 V range | | 2 | | LSB |
| ANALOG INPUT | | | | | |
| Input Voltage Ranges | Software/hardware selectable, ±10 V range | | | ±10 | V |
| | Software/hardware selectable, ±5 V range | | | ±5 | V |
| | Software/hardware selectable, ±2.5 V range | | | ±2.5 | V |
| Analog Input Current | ±10 V range, see Figure 34 | | ±10.5 | | μA |
| | ±5 V range, see Figure 34 | | ±6.5 | | μA |
| | ±2.5 V range, see Figure 34 | | ±4 | | μA |
| Input Capacitance ⁶ | | | 10 | | pF |
| Input Impedance | See the Analog Input section | 0.85 | 1 | | MΩ |
| Input Impedance Drift ³ | | | | 25 | ppm/°C |
| REFERENCE INPUT/OUTPUT | | | | | |
| Reference Input Voltage Range | See the ADC Transfer Function section | 2.495 | 2.5 | 2.505 | V |
| DC Leakage Current | | | | ±1 | μA |
| Input Capacitance ⁶ | REFSEL = 1 | | 7.5 | | pF |
| Reference Output Voltage | Measured at REFINOUT | 2.495 | | 2.505 | V |
| Reference Temperature Coefficient ³ | | | ±2 | ±15 | ppm/°C |
| LOGIC INPUTS | | | | | |
| Input Voltage | | | | | |
| High (V _{INH}) | V _{DRIVE} = 2.7 V to 3.6 V | 2 | | | V |
| | V _{DRIVE} = 2.3 V to 2.7 V | 1.7 | | | V |
| Low (V _{INL}) | V _{DRIVE} = 2.7 V to 3.6 V | | | 0.8 | V |
| | V _{DRIVE} = 2.3 V to 2.7 V | | | 0.7 | V |
| Input Current (I _{IN}) | | | | ±1 | μA |
| Input Capacitance (C _{IN}) ⁶ | | | 5 | | pF |

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|------------------------------------------------|-------------------------------------|-------------------|-------------|---------|---------|
| LOGIC OUTPUTS | | | | | |
| Output Voltage | | | | | |
| High (V_{OH}) | $I_{SOURCE} = 100\ \mu A$ | $V_{DRIVE} - 0.2$ | | | V |
| Low (V_{OL}) | $I_{SINK} = 100\ \mu A$ | | | 0.4 | V |
| Floating State Leakage Current | | | ± 0.005 | ± 1 | μA |
| Floating State Output Capacitance ⁶ | | | 5 | | pF |
| Output Coding | Twos complement | | | | |
| CONVERSION RATE | | | | | |
| Conversion Time | Per channel pair | | 0.5 | | μs |
| Acquisition Time | Per channel pair | | 0.5 | | μs |
| Throughput Rate | Per channel pair | | | 1 | MSPS |
| POWER REQUIREMENTS | | | | | |
| V_{CC} | | 4.75 | | 5.25 | V |
| V_{DRIVE} | | 2.3 | | 3.6 | V |
| I_{VCC} | | | | | |
| Normal Mode | | | | | |
| Static | | | 37 | 57 | mA |
| Operational | $f_{SAMPLE} = 1\ MSPS$ | | 42 | 65 | mA |
| Shutdown Mode | | | 28 | | μA |
| I_{DRIVE} | Digital inputs = 0 V or V_{DRIVE} | | | | |
| Normal Mode | | | | | |
| Static | | | 0.3 | 0.75 | mA |
| Operational | $f_{SAMPLE} = 1\ MSPS$ | | 2.4 | 3.2 | mA |
| Shutdown Mode | | | 20 | | μA |
| Power Dissipation | | | | | |
| Normal Mode | | | | | |
| Static | | | 185 | 300 | mW |
| Operational | $f_{SAMPLE} = 1\ MSPS$ | | 230 | 350 | mW |
| Shutdown Mode | | | 0.25 | | mW |

¹ 用語の定義のセクションを参照してください。

² オーバーサンプリングを有効にすることで、85.3 dB の S/N 比を実現できます。この値は手動モードで有効です。バースト・モードでは、この値が約 1 dB 低下します。

³ 出荷テストの対象外です。初期リリース時のサンプル・テストにより、適合性が確保されています。

⁴ LSB は最下位ビットを意味します。 $\pm 2.5\ V$ の入力レンジでは、1 LSB = 305.175 μV です。 $\pm 5\ V$ の入力レンジでは、1 LSB = 610.351 μV です。 $\pm 10\ V$ の入力レンジでは、1 LSB = 1.220 mV です。

⁵ 内部リファレンスの正と負のフルスケール誤差には、リファレンス誤差は含まれません。

⁶ シミュレーション・データによって裏付けられています。

タイミング仕様

共通タイミング仕様

特に指定のない限り、 $V_{CC}=4.75\text{ V} \sim 5.25\text{ V}$ 、 $V_{DRIVE}=2.3\text{ V} \sim 3.6\text{ V}$ 、 $V_{REF}=2.5\text{ V}$ 外部リファレンス／内部リファレンス、 $T_A=-40\text{ }^{\circ}\text{C} \sim +125\text{ }^{\circ}\text{C}$ 。インターフェースのタイミングは、30pF の負荷容量 (C_{LOAD}) を使用してテストされ、 V_{DRIVE} とシリアル・インターフェースの負荷容量に依存します (表 15 参照)。

表 2.

| Parameter ¹ | Min | Typ | Max | Unit | Description |
|------------------------|------|-----|-----|---------------|--------------------------------------------------------------------------------------------------------|
| t_{CYCLE} | 1 | | | μs | Minimum time between consecutive CONVST rising edges (excluding burst and oversampling modes) |
| t_{CONV_LOW} | 50 | | | ns | CONVST low pulse width |
| t_{CONV_HIGH} | 50 | | | ns | CONVST high pulse width |
| t_{BUSY_DELAY} | | | 32 | ns | CONVST high to BUSY high (manual mode) |
| t_{CS_SETUP} | 20 | | | ns | BUSY falling edge to \overline{CS} falling edge setup time |
| t_{CH_SETUP} | 50 | | | ns | Channel select setup time in hardware mode for CHSELx |
| t_{CH_HOLD} | 20 | | | ns | Channel select hold time in hardware mode for CHSELx |
| t_{CONV} | | 475 | 520 | ns | Conversion time for the selected channel pair |
| t_{ACQ} | 480 | | | ns | Acquisition time for the selected channel pair |
| t_{QUIET} | 50 | | | ns | \overline{CS} rising edge to next CONVST rising edge |
| t_{RESET_LOW} | | | | | |
| Partial Reset | 40 | | 500 | ns | Partial \overline{RESET} low pulse width |
| Full Reset | 1.2 | | | μs | Full \overline{RESET} low pulse width |
| t_{DEVICE_SETUP} | | | | | |
| Partial Reset | 50 | | | ns | Time between partial \overline{RESET} high and CONVST rising edge |
| Full Reset | 15 | | | ms | Time between full \overline{RESET} high and CONVST rising edge |
| t_{WRITE} | | | | | |
| Partial Reset | 50 | | | ns | Time between partial \overline{RESET} high and \overline{CS} for write operation |
| Full Reset | 240 | | | μs | Time between full \overline{RESET} high and \overline{CS} for write operation |
| t_{RESET_WAIT} | 1 | | | ms | Time between stable V_{CC}/V_{DRIVE} and release of \overline{RESET} (see 図 51) |
| t_{RESET_SETUP} | | | | | Time prior to release of \overline{RESET} that queried hardware inputs must be stable for (see 図 51) |
| Partial Reset | 10 | | | ns | |
| Full Reset | 0.05 | | | ms | |
| t_{RESET_HOLD} | | | | | Time after release of \overline{RESET} that queried hardware inputs must be stable for (see 図 51) |
| Partial Reset | 10 | | | ns | |
| Full Reset | 0.24 | | | ms | |

¹ 出荷テストの対象外です。初期リリース時のサンプル・テストにより、適合性が確保されています。

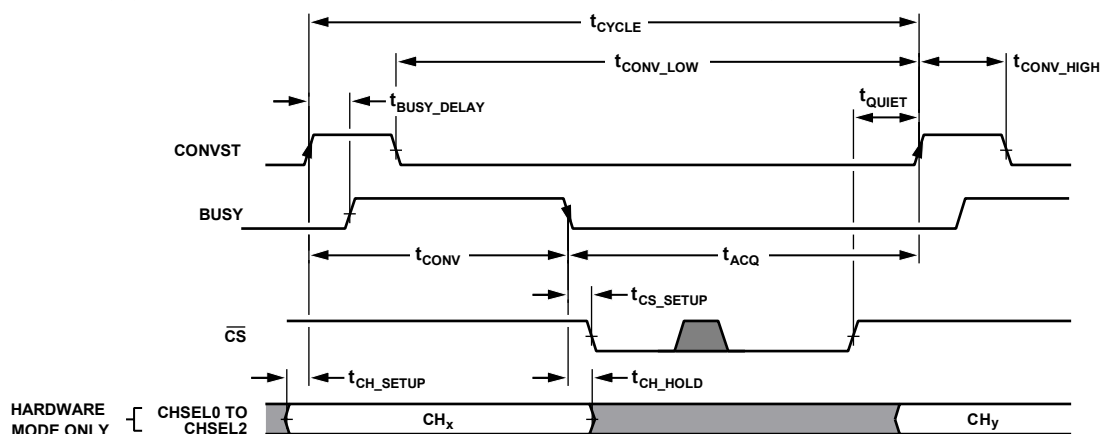


図 2. すべてのインターフェースに共通のタイミング図

16077-102

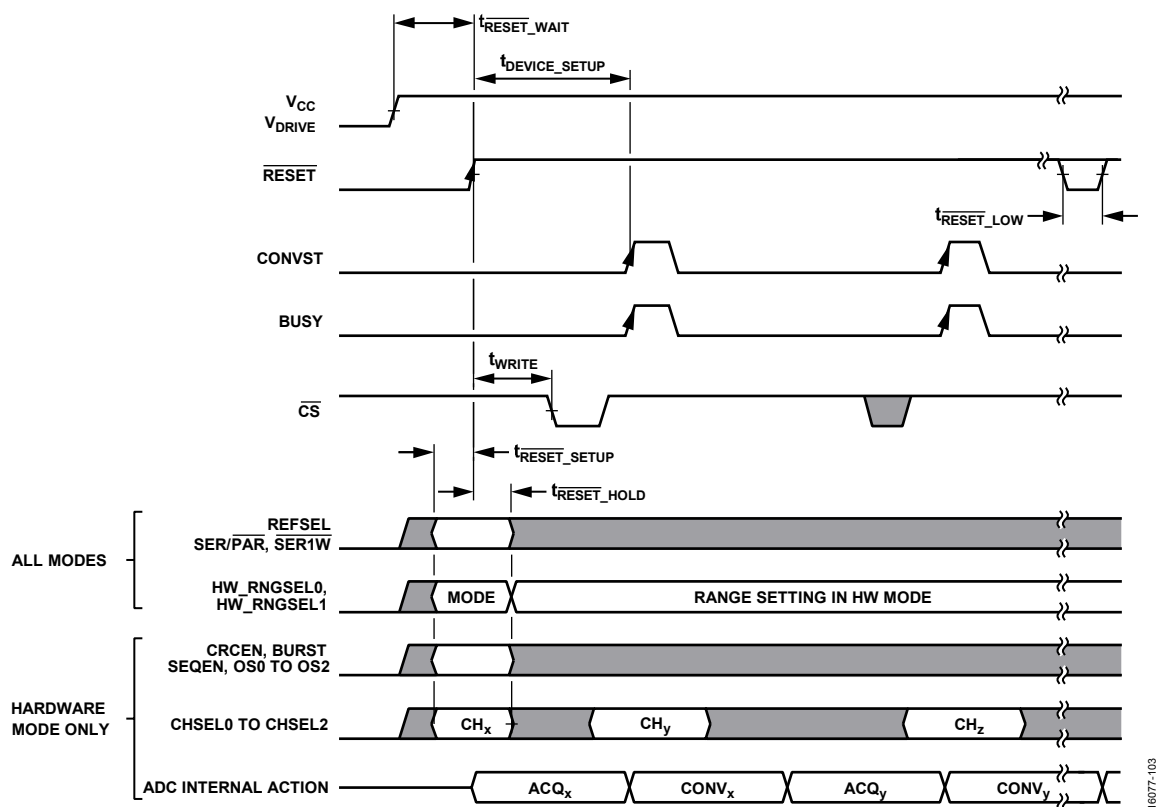


図 3. リセット・タイミング

パラレル・モードのタイミング仕様

表 3.

| Parameter | Min | Typ | Max | Unit | Description |
|--------------------|-----|-----|-----|------|-------------------------------------------------------------------------------------|
| t_{RD_SETUP} | 10 | | | ns | \overline{CS} falling edge to \overline{RD} falling edge setup time |
| t_{RD_HOLD} | 10 | | | ns | \overline{RD} rising edge to \overline{CS} rising edge hold time |
| t_{RD_HIGH} | 10 | | | ns | \overline{RD} high pulse width |
| t_{RD_LOW} | 30 | | | ns | \overline{RD} low pulse width |
| t_{DOUT_SETUP} | | | 30 | ns | Data access time after falling edge of \overline{RD} |
| t_{DOUT_3STATE} | | | 11 | ns | \overline{CS} rising edge to \overline{DBx} high impedance |
| t_{WR_SETUP} | 10 | | | ns | \overline{CS} to \overline{WR} setup time |
| t_{WR_HIGH} | 20 | | | ns | \overline{WR} high pulse width |
| t_{WR_LOW} | 30 | | | ns | \overline{WR} low pulse width |
| t_{WR_HOLD} | 10 | | | ns | \overline{WR} hold time |
| t_{DIN_SETUP} | 30 | | | ns | Configuration data to \overline{WR} setup time |
| t_{DIN_HOLD} | 10 | | | ns | Configuration data to \overline{WR} hold time |
| t_{CONF_SETTLE} | 20 | | | ns | Configuration data settle time, \overline{WR} rising edge to $CONVST$ rising edge |

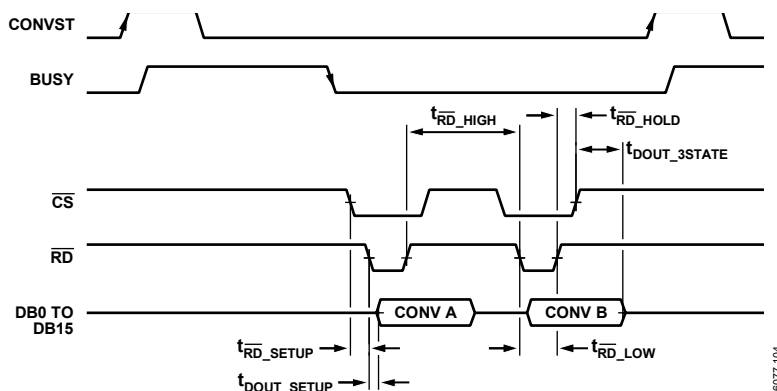


図 4. パラレル読出しのタイミング図

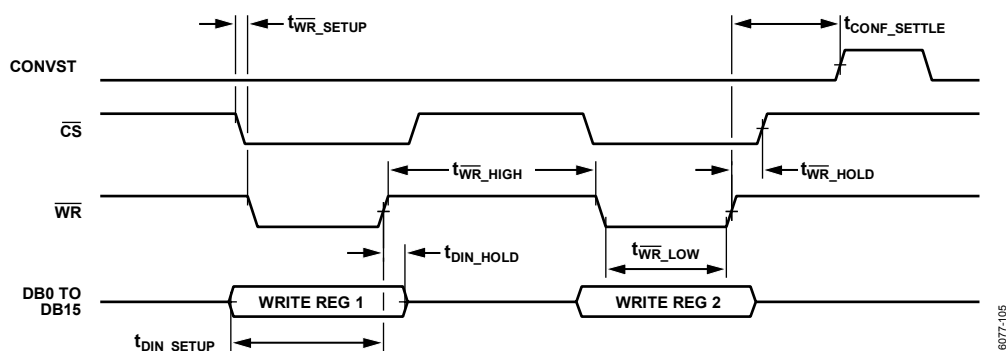


図 5. パラレル書込みのタイミング図

シリアル・モードのタイミング仕様

表 4.

| Parameter | Min | Typ | Max | Unit | Description |
|----------------------------|---------------------|-----|-------|------|----------------------------------------------------------------------------------------|
| f_{SCLK}^1 | | | 40/50 | MHz | SCLK frequency |
| t_{SCLK} | $1/f_{\text{SCLK}}$ | | | | Minimum SCLK period |
| $t_{\text{SCLK_SETUP}}^1$ | 10.5 | | | ns | $\overline{\text{CS}}$ to SCLK falling edge setup time, V_{DRIVE} above 3 V |
| | 13.5 | | | ns | $\overline{\text{CS}}$ to SCLK falling edge setup time, V_{DRIVE} above 2.3 V |
| $t_{\text{SCLK_HOLD}}$ | 10 | | | ns | SCLK to $\overline{\text{CS}}$ rising edge hold time |
| $t_{\text{SCLK_LOW}}$ | 8 | | | ns | SCLK low pulse width |
| $t_{\text{SCLK_HIGH}}$ | 9 | | | ns | SCLK high pulse width |
| $t_{\text{DOUT_SETUP}}^1$ | | 9 | | ns | Data out access time after SCLK rising edge, V_{DRIVE} above 3 V |
| | | 11 | | ns | Data out access time after SCLK rising edge, V_{DRIVE} above 2.3 V |
| $t_{\text{DOUT_HOLD}}$ | 4 | | | ns | Data out hold time after SCLK rising edge |
| $t_{\text{DIN_SETUP}}$ | 10 | | | ns | Data in setup time before SCLK falling edge |
| $t_{\text{DIN_HOLD}}$ | 8 | | | ns | Data in hold time after SCLK falling edge |
| $t_{\text{DOUT_3STATE}}$ | | 10 | | ns | $\overline{\text{CS}}$ rising edge to SDOx high impedance |

¹ V_{DRIVE} と C_{LOAD} に依存する (表 15 参照)。

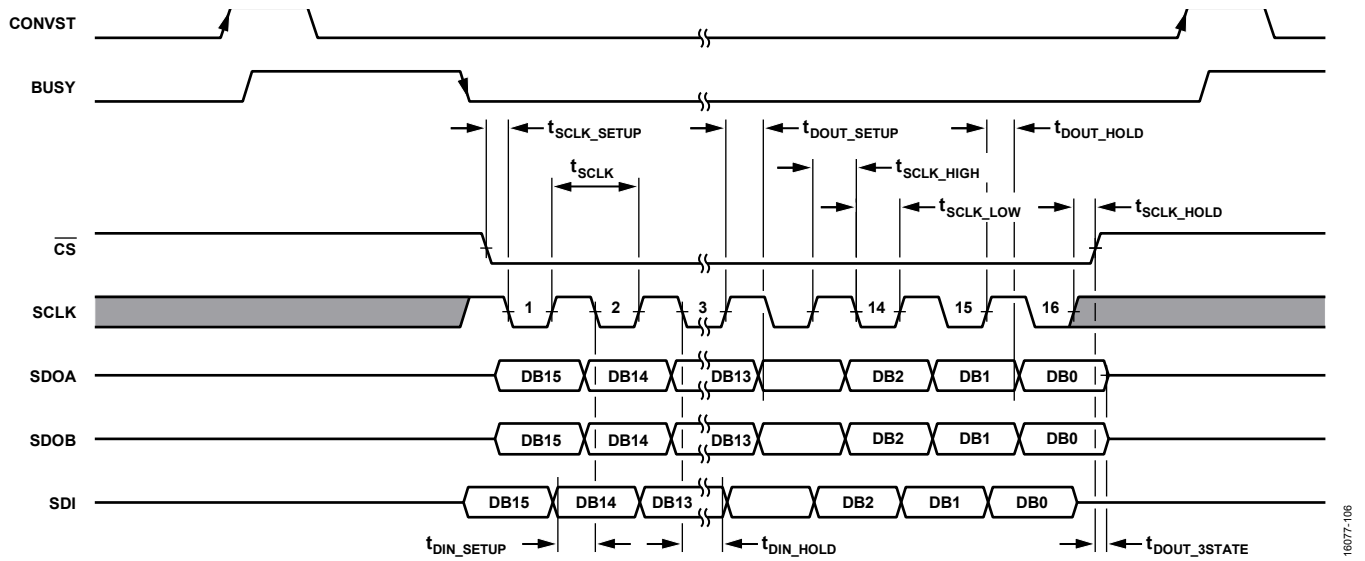


図 6. シリアルタイミング図

16077-108

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5.

| Parameter | Rating |
|-------------------------------------------------------|-------------------------------|
| V_{CC} to AGND | -0.3 V to +7 V |
| V_{DRIVE} to AGND | -0.3 V to $V_{CC} + 0.3$ V |
| Analog Input Voltage to AGND ¹ | ± 21 V |
| Digital Input Voltage to AGND | -0.3 V to $V_{DRIVE} + 0.3$ V |
| Digital Output Voltage to AGND | -0.3 V to $V_{DRIVE} + 0.3$ V |
| REFINOUT to AGND | -0.3 V to $V_{CC} + 0.3$ V |
| Input Current to Any Pin Except Supplies ¹ | ± 10 mA |
| Operating Temperature Range | -40°C to +125°C |
| Storage Temperature Range | -65°C to +150°C |
| Junction Temperature | 150°C |
| Soldering Reflow | |
| Pb/Sn Temperature (10 sec to 30 sec) | 240 (+0)°C |
| Pb-Free Temperature | 260 (+0)°C |
| ESD | |
| All Pins Except Analog Inputs | 2 kV |
| Analog Input Pins Only | 8 kV |

¹ 最大 100 mA までの過渡電流では SCR ラッチアップは生じません。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意が必要です。

θ_{JA} は、1 立方フィートの密閉容器内で測定される、周囲温度とジャンクション温度の間の熱抵抗です。 θ_{JC} は、ジャンクション温度とケース温度の間の熱抵抗です。

表 6. 熱抵抗

| Package Type | θ_{JA} | θ_{JC} | Unit |
|----------------------|---------------|---------------|------|
| ST-80-2 ¹ | 41 | 7.5 | °C/W |

¹ 熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD51 を参照。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうちに放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

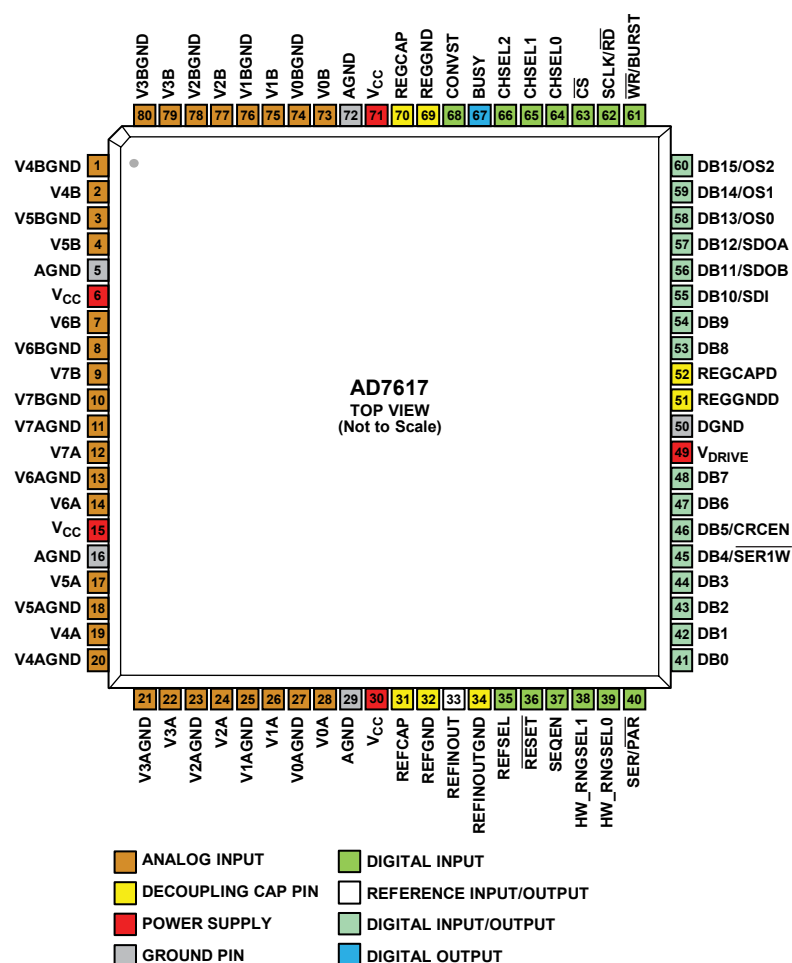


図 7. ピン配置

表 7. ピン機能の説明

| ピン番号 | タイプ ¹ | 記号 ² | 説明 |
|------------|------------------|-----------------|---------------------------------------------------------------------------------------------------------------------------|
| 1 | AI GND | V4BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V4B に対応します。 |
| 2 | AI | V4B | チャンネル 4、ADC B のアナログ入力 |
| 3 | AI GND | V5BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V5B に対応します。 |
| 4 | AI | V5B | チャンネル 5、ADC B のアナログ入力 |
| 5、16、29、72 | GND | AGND | アナログ電源のグラウンド・ピン |
| 6、15、30、71 | P | V _{CC} | アナログ電源電圧は 4.75 V ～ 5.25 V です。この電源電圧は、内部フロントエンド・アンプと ADC コアに供給されます。0.1 μF と 10 μF のコンデンサを並列に接続して、これらのピンを AGND にデカップリングします。 |
| 7 | AI | V6B | チャンネル 6、ADC B のアナログ入力 |
| 8 | AI GND | V6BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V6B に対応します。 |
| 9 | AI | V7B | チャンネル 7、ADC B のアナログ入力 |
| 10 | AI GND | V7BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V7B に対応します。 |
| 11 | AI GND | V7AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V7A に対応します。 |
| 12 | AI | V7A | チャンネル 7、ADC A のアナログ入力 |
| 13 | AI GND | V6AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V6A に対応します。 |
| 14 | AI | V6A | チャンネル 6、ADC A のアナログ入力 |
| 17 | AI | V5A | チャンネル 5、ADC A のアナログ入力 |
| 18 | AI GND | V5AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V5A に対応します。 |
| 19 | AI | V4A | チャンネル 4、ADC A のアナログ入力 |
| 20 | AI GND | V4AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V4A に対応します。 |

| ピン番号 | タイプ ¹ | 記号 ² | 説明 |
|-----------------|------------------|------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 21 | AI GND | V3AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V3A に対応します。 |
| 22 | AI | V3A | チャンネル 3、ADC A のアナログ入力 |
| 23 | AI GND | V2AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V2A に対応します。 |
| 24 | AI | V2A | チャンネル 2、ADC A のアナログ入力 |
| 25 | AI GND | V1AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V1A に対応します。 |
| 26 | AI | V1A | チャンネル 1、ADC A のアナログ入力 |
| 27 | AI GND | V0AGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V0A に対応します。 |
| 28 | AI | V0A | チャンネル 0、ADC A のアナログ入力 |
| 31 | CAP | REFCAP | リファレンス・パツファの強制／検出ピン。REFCAP ピンのできるだけ近くに等価直列抵抗 (ESR) の小さな 10 μ F の X5R セラミック・コンデンサを配置し、このピンを REFVND にデカップリングしてください。このピンの標準電圧は 4.096 V です。 |
| 32 | CAP | REFVND | リファレンスのグラウンド・ピン。このピンは AGND に接続します。 |
| 33 | REF | REFINOUT | リファレンス入力／リファレンス出力。REFSEL ピンをロジック・ハイに設定した場合は、この REF ピンから 2.5 V の内部リファレンスを外部で使用できます。逆に、REFSEL ピンをロジック・ローに設定して内部リファレンスをイネーブルにすることで、2.5 V の外部リファレンスをこのピンに印加できます。内部、外部のいずれのリファレンスを選択しても、このピンにはデカップリングが必要です。REFINOUT ピンと REFINOUTGND ピンの間で、REFINOUT ピンのできるだけ近くに 100 nF の X7R コンデンサを接続します。外部リファレンスを使用する場合は、10 k Ω の直列抵抗をこのピンに接続し、リファレンス信号を帯域制限します。 |
| 34 | CAP | REFINOUTGND | リファレンス入力、リファレンス出力のグラウンド・ピン |
| 35 | DI | REFSEL | 内部リファレンス／外部リファレンスの選択入力。REFSEL はロジック入力です。このピンをロジック・ハイに設定すると、内部リファレンスが選択されイネーブルになります。このピンをロジック・ローにすると、内部リファレンスがディスエーブルになるので、外部リファレンス電圧を REFINOUT ピンに印加する必要があります。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。 |
| 36 | DI | $\overline{\text{RESET}}$ | リセット入力。 $\overline{\text{RESET}}$ とグラウンドの間に 100 μ F 以上の出力コンデンサを接続してください。フル・リセットまたはパツシャル・リセットを選択できます。リセットのタイプは $\overline{\text{RESET}}$ パルスの長さによって決まります。 $\overline{\text{RESET}}$ をローに維持すると、デバイスはシャットダウン・モードに移行します。詳細については、リセット機能のセクションを参照してください。 |
| 37 | DI | SEQEN | チャンネル・シーケンサ・イネーブル入力 (ハードウェア・モードのみ)。SEQEN をローにすると、シーケンサはディスエーブルになります。 SEQEN をハイにすると、シーケンサはイネーブルになります (ハードウェア・モードでは機能が制限されます)。詳細については、シーケンサのセクションを参照してください。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。 ソフトウェア・モードでは、このピンを DGND に接続する必要があります。 |
| 38、39 | DI | HW_RNGSEL1、 HW_RNGSEL0 | ハードウェア／ソフトウェアのモード選択、ハードウェア・モードでのレンジ選択入力。ハードウェア／ソフトウェアのモード選択はフル・リセット時にラッチされます。ハードウェア・モードでのレンジ選択はラッチされません。 HW_RNGSELx = 00: ソフトウェア・モード。AD7617 はソフトウェア・レジスタを使用して設定されます。 HW_RNGSELx = 01: ハードウェア・モード。アナログ入力レンジは ± 2.5 V。 HW_RNGSELx = 10: ハードウェア・モード。アナログ入力レンジは ± 5 V。 HW_RNGSELx = 11: ハードウェア・モード。アナログ入力レンジは ± 10 V。 |
| 40 | DI | SER/ $\overline{\text{PAR}}$ | シリアル／パラレルのインターフェース選択入力。ロジック入力。このピンをロジック・ローに接続すると、パラレル・インターフェースが選択されます。このピンをロジック・ハイに接続すると、シリアル・インターフェースが選択されます。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。 |
| 41、42、 43、44 | DO/DI | DB0、DB1、 DB2、DB3 | パラレル入出力のデータ・ビット 0 ～ データ・ビット 3。パラレル・モードでは、DB2 が 14 ビットの変換結果の LSB になり、DB0 と DB1 出力がゼロになります。ソフトウェア・パラレル・モードでは、DB0、DB1、DB2、DB3 がレジスタ書込み／読出し動作の 4 つの LSB になります。ハードウェア・パラレル・モードでは、DB0 と DB1 をフロート状態のままにするか、10 k Ω のプルダウン抵抗経路で DGND に接続できます。詳細については、パラレル・インターフェースのセクションを参照してください。シリアル・モードでは、これらのピンを DGND に接続する必要があります。 |

| ピン番号 | タイプ ¹ | 記号 ² | 説明 |
|----------|------------------|----------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 45 | DO/DI | DB4/SER1W | <p>パラレル入出力データ・ビット4／シリアル出力の選択。パラレル・モードでは、このピンは3ステートのパラレル・デジタル入出力ピンとして機能します。詳細については、パラレル・インターフェースのセクションを参照してください。</p> <p>シリアル・モードでは、このピンを使用してシリアル出力を SDOA と SDOB の両方で動作させるか、SDOA でのみ動作させるか決定します。SER1W がローの場合、シリアル出力は SDOA でのみ動作します。SER1W がハイの場合、シリアル出力は SDOA と SDOB の両方で動作します。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。</p> |
| 46 | DO/DI | DB5/CRCEN | <p>パラレル入出力データ・ビット5／巡回冗長性チェック (CRC) イネーブル入力。パラレル・モードでは、このピンは3ステートのパラレル・デジタル入出力として機能します。シリアル・モードでは、このピンはCRC イネーブル入力として機能します。CRCEN の信号状態はフル・リセット解除時にラッチされ、再設定するには再度フル・リセットする必要があります。詳細については、デジタル・インターフェースのセクションを参照してください。</p> <p>シリアル・モードでは、CRCEN がローの場合、変換結果の後に CRC ワードはありません。CRCEN がハイの場合、CHSELx によって設定される最後の変換ワードの後に CRC ワードが続きます。詳細については、CRC のセクションを参照してください。</p> <p>ソフトウェア・モードでは、このピンを DGND に接続する必要があります。</p> |
| 47、48 | DO/DI | DB6、DB7 | <p>パラレル入出力のデータ・ビット6およびデータ・ビット7。SER/PAR=0 の場合、これらのピンは3ステートのパラレル・デジタル入出力として機能します。詳細については、パラレル・インターフェースのセクションを参照してください。シリアル・モードでは、SER/PAR=1 の場合、これらのピンを DGND に接続する必要があります。</p> |
| 49 | P | V _{DRIVE} | <p>ロジック電源入力。このピンに供給される電圧 (2.3 V ~ 3.6 V) により、インターフェースの動作電圧が決まります。このピンの公称電圧は、ホスト・インターフェースの電源電圧と同じです。0.1 μF と 10 μF のコンデンサを並列に接続して、このピンをデカップリングします。</p> |
| 50 | GND | DGND | <p>デジタル・グラウンド。このピンは、AD7617 の全デジタル回路に対するグラウンド基準ポイントになります。DGND ピンはシステムの DGND プレーンに接続する必要があります。</p> |
| 51 | CAP | REGGNDD | <p>REGCAPD (ピン 52) に接続されるデジタル低ドロップアウト (LDO) レギュレータのグラウンド。</p> |
| 52 | CAP | REGCAPD | <p>内蔵デジタル・レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。10 μF のコンデンサを使用して、この出力ピンを REGGNDD へ個別にデカップリングします。このピンの標準電圧は 1.89 V です。</p> |
| 53、54 | DO/DI | DB8、DB9 | <p>パラレル入出力のデータ・ビット9およびデータ・ビット8。SER/PAR=0 の場合、これらのピンは3ステートのパラレル・デジタル入出力として機能します。詳細については、パラレル・インターフェースのセクションを参照してください。</p> |
| 55 | DO/DI | DB10/SDI | <p>シリアル・モードでは、SER/PAR=1 の場合、これらのピンを DGND に接続する必要があります。</p> <p>パラレル入出力データ・ビット DB10／シリアル・データ入力。SER/PAR=0 の場合、このピンは3ステートのパラレル・デジタル入出力として機能します。詳細については、パラレル・インターフェースのセクションを参照してください。ハードウェア・シリアル・モードでは、このピンを DGND に接続します。</p> |
| 56 | DO/DI | DB11/SDOB | <p>シリアル・モードでは、SER/PAR=1 の場合、このピンは SPI インターフェースのデータ入力として機能します。</p> <p>パラレル入出力データ・ビット 11／シリアル・データ出力 B。SER/PAR=0 の場合、このピンは3ステートのパラレル・デジタル入出力として機能します。詳細については、パラレル・インターフェースのセクションを参照してください。</p> |
| 57 | DO/DI | DB12/SDOA | <p>シリアル・モードでは、SER/PAR=1 で DB4/SER1W=1 の場合、このピンは SDOB として機能し、シリアル変換データを出力します。</p> <p>パラレル入出力データ・ビット 12／シリアル・データ出力 A。SER/PAR=0 の場合、このピンは3ステートのパラレル・デジタル入出力として機能します。詳細については、パラレル・インターフェースのセクションを参照してください。</p> |
| 58、59、60 | DO/DI | DB13/OS0、DB14/OS1、DB15/OS2 | <p>シリアル・モードでは、SER/PAR=1 の場合、このピンは SDOA として機能し、シリアル変換データを出力します。</p> <p>パラレル入出力データ・ビット 13、データ・ビット 14、データ・ビット 15／オーバーサンプリング比の選択。SER/PAR=0 の場合、これらのピンは3ステートのパラレル・デジタル入出力として機能します。詳細については、パラレル・インターフェースのセクションを参照してください。</p> |
| 61 | DI | WR/BURST | <p>シリアル・ハードウェア・モードでは、これらのピンでオーバーサンプリングの設定を制御します。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。詳細については、デジタル・フィルタのセクションを参照してください。</p> <p>ソフトウェア・シリアル・モードでは、これらのピンを DGND に接続する必要があります。</p> <p>書込み／バースト・モード・イネーブル。</p> <p>ソフトウェア・パラレル・モードでは、このピンがパラレル・インターフェースの WR として機能します。</p> <p>ハードウェアのパラレル・モードまたはシリアル・モードでは、このピンでバースト・モードを有効にします。信号状態はフル・リセットの解除時にラッチされ、再設定するには再度フル・リセットする必要があります。詳細については、バースト・シーケンサのセクションを参照してください。</p> <p>ソフトウェア・シリアル・モードでは、このピンを DGND に接続します。</p> |

| ピン番号 | タイプ ¹ | 記号 ² | 説明 |
|----------|------------------|----------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 62 | DI | SCLK/RD | シリアル・クロック入力/パラレル・データ読出し制御入力。シリアル・モードでは、このピンがデータ転送用のシリアル・クロック入力として機能します。 \overline{CS} の立下がりエッジが発生すると、SDOA と SDOB のデータ出力ラインが 3 ステートから抜け出し、変換結果の MSB がクロック・アウトされます。SCLK の立上がりエッジで、後続のすべてのデータ・ビットが SDOA と SDOB のシリアル・データ出力にクロック・アウトされます。 |
| 63 | DI | \overline{CS} | パラレル・モードで \overline{CS} と \overline{RD} の両方がロジック・ローの場合、出力バスはイネーブルになります。チップ・セレクト。このアクティブ・ローのロジック入力により、データ転送がフレーム化されます。パラレル・モードでは、 \overline{CS} と \overline{RD} の両方がロジック・ローの場合、DBx 出力バスがイネーブルになり、変換結果がパラレルのデータ・バス・ラインに出力されます。シリアル・モードでは、 \overline{CS} によってシリアル読出し転送がフレーム化され、シリアル出力データの MSB がクロック・アウトされます。 |
| 64、65、66 | DI | CHSEL0、CHSEL1、CHSEL2 | チャンネル選択入力 0 ～ 入力 2。ハードウェア・モードでは、これらの入力によって、チャンネル・グループ A とチャンネル・グループ B の次の変換の入力チャンネルが選択されます。例えば、CHSELx = 0x000 は次回の変換に V0A と V0B を選択し、CHSELx = 0x001 は次回の変換に V1A と V1B を選択します。 |
| 67 | DO | BUSY | ソフトウェア・モードでは、これらのピンを DGND に接続する必要があります。ソフтверウェア・モードでは、これらのピンを DGND に接続する必要があります。ビジー出力。このピンは、CONVST の立上がりエッジ後にロジック・ハイに遷移し、変換プロセスが開始されたことを示します。現在選択されているチャンネルの変換処理が完了するまで、BUSY 出力はハイを維持します。BUSY の立下がりエッジは、変換データが出力データ・レジスタにラッチされ、読出しが可能になったことを知らせます。BUSY がローに戻った後でデータを読み出す必要があります。BUSY 信号がハイの間は、CONVST の立上がりエッジによる影響はありません。 |
| 68 | DI | CONVST | チャンネル・グループ A とチャンネル・グループ B の変換開始入力。このロジック入力によって、アナログ入力チャンネルの変換が開始されます。CONVST がローからハイに遷移すると、選択されたアナログ入力ペアに対する変換が開始します。バースト・モードとオーバーサンプリング・モードが無効になっている場合は、CONVST がローからハイに遷移するたびに 1 つのチャンネル・ペアが変換されます。シーケンサ・モードにおいて、バースト・モードまたはオーバーサンプリングが有効になっている場合、必要な変換回数を実行するには、CONVST がローからハイに 1 回だけ遷移する必要があります。 |
| 69 | CAP | REGGND | 内部アナログ・レギュレータのグラウンド。このピンはシステムの AGND プレーンに接続する必要があります。 |
| 70 | CAP | REGCAP | 内部アナログ・レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。10 μ F のコンデンサを使用して、この出力ピンを REGGND へ個別にデカップリングします。このピンの標準電圧は 1.87 V です。 |
| 73 | AI | V0B | チャンネル 0、ADC B のアナログ入力 |
| 74 | AI GND | V0BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V0B に対応します。 |
| 75 | AI | V1B | チャンネル 1、ADC B のアナログ入力 |
| 76 | AI GND | V1BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V1B に対応します。 |
| 77 | AI | V2B | チャンネル 2、ADC B のアナログ入力 |
| 78 | AI GND | V2BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V2B に対応します。 |
| 79 | AI | V3B | チャンネル 3、ADC B のアナログ入力 |
| 80 | AI GND | V3BGND | アナログ入力のグラウンド・ピン。このピンはアナログ入力ピン V3B に対応します。 |

¹ AI はアナログ入力、GND はグラウンド、P は電源、CAP はデカップリング・コンデンサ、REF はリファレンス入出力、DI はデジタル入力、DO はデジタル出力です。

² このデータシートでは、SER/ \overline{PAR} などの複数の機能を備えたピンは、全機能を表すピン名で表記しているか、あるいは SER のように該当する機能のピン名のみで表記しています。

代表的な性能特性

特に指定のない限り、 $V_{REF} = 2.5\text{ V}$ 内部、 $V_{CC} = 5\text{ V}$ 、 $V_{DRIVE} = 3.3\text{ V}$ 、 $f_{SAMPLE} = 1\text{ MSPS}$ 、 $f_{IN} = 1\text{ kHz}$ 、 $T_A = 25\text{ }^{\circ}\text{C}$ 。

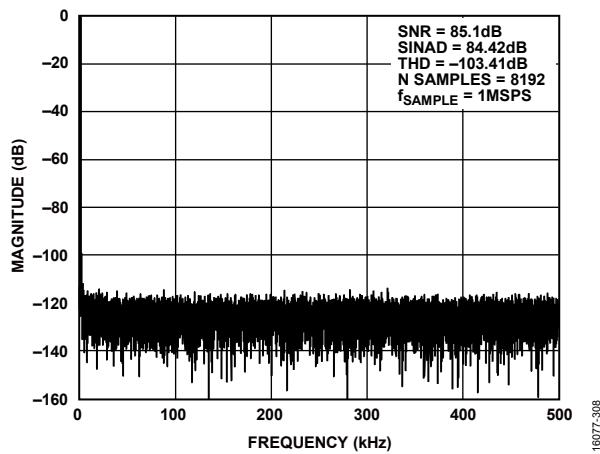


図 8. 高速フーリエ変換 (FFT)、 $\pm 10\text{ V}$ レンジ

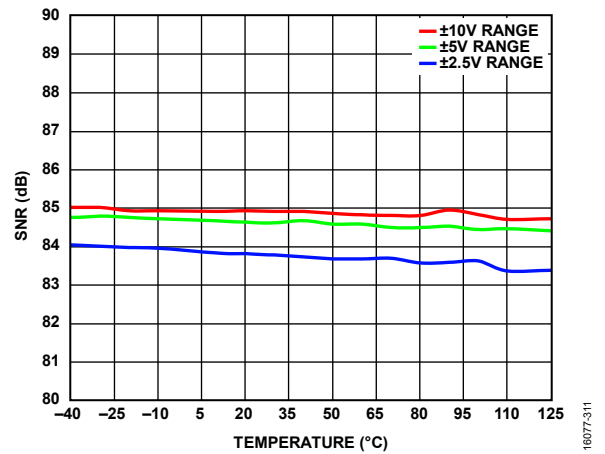


図 11. SNR と温度の関係

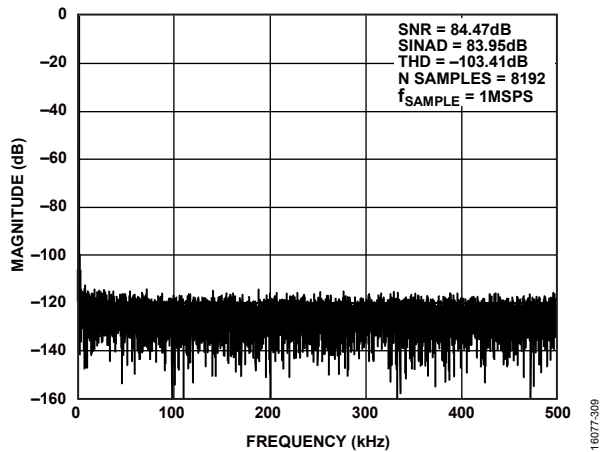


図 9. FFT、 $\pm 5\text{ V}$ レンジ

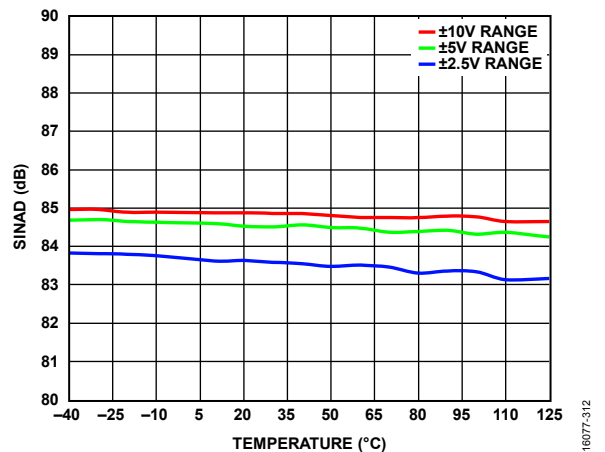


図 12. SINAD と温度の関係

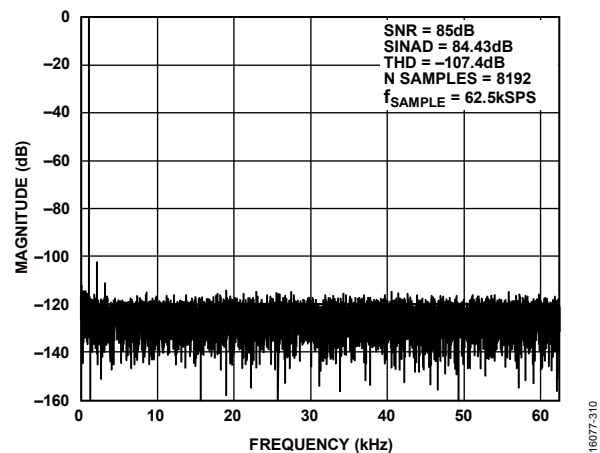


図 10. FFT バースト・モード、 $\pm 10\text{ V}$ レンジ

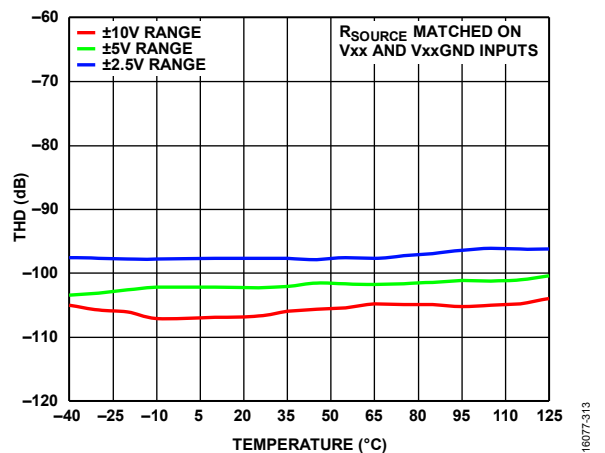


図 13. THD と温度の関係

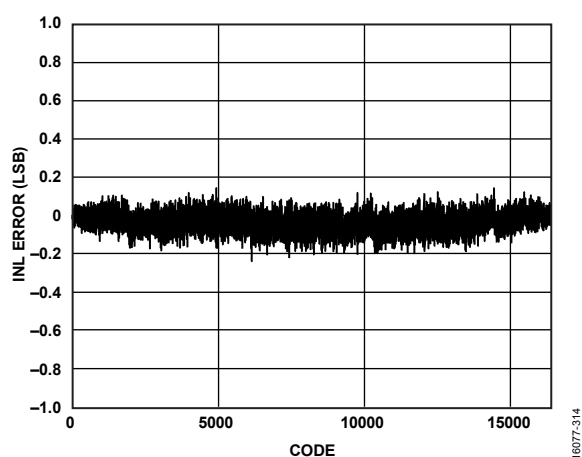


図 14. 標準 INL 誤差、±10 V レンジ

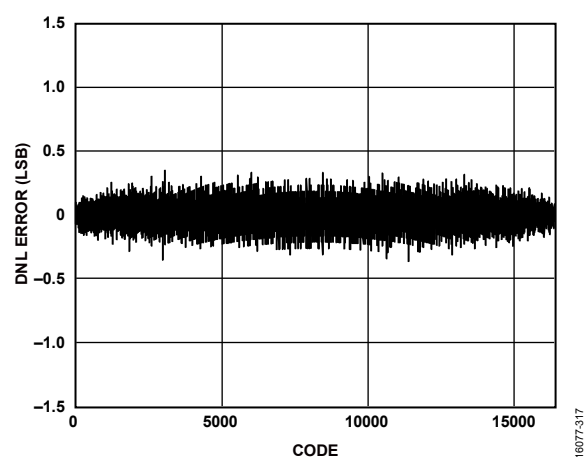


図 17. 標準 DNL 誤差、±5 V レンジ

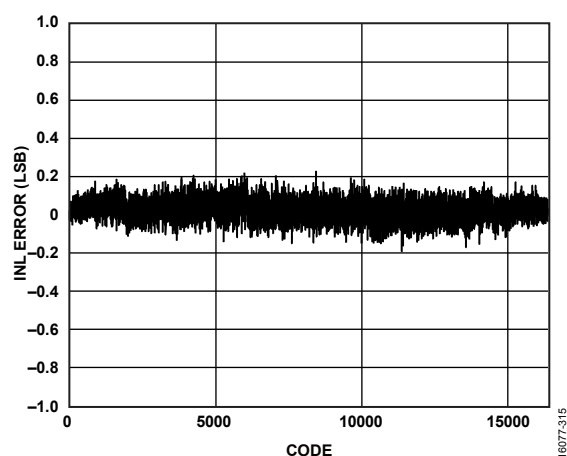


図 15. 標準 INL 誤差、±5 V レンジ

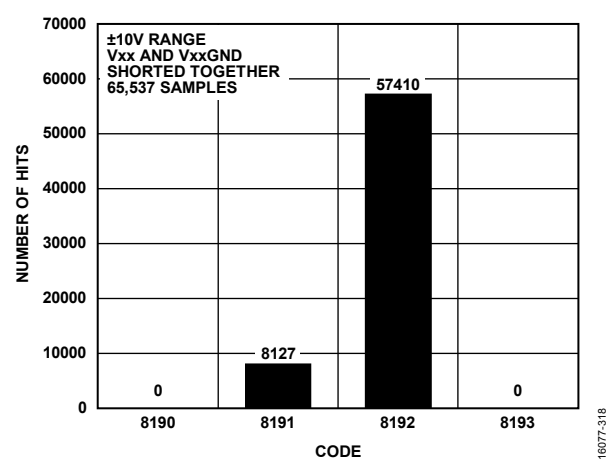


図 18. コード中央値での DC ヒストグラム、±10 V レンジ

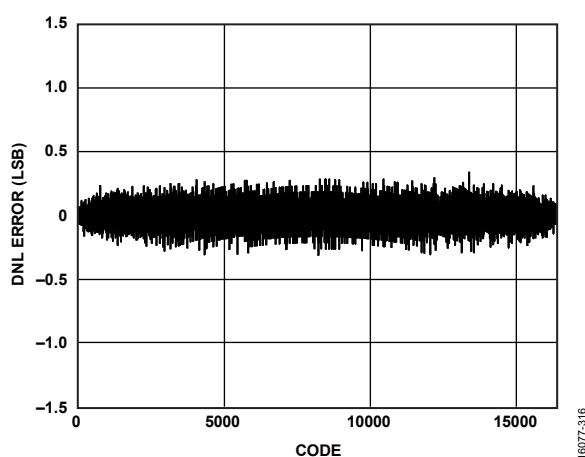


図 16. 標準 DNL 誤差、±10 V レンジ

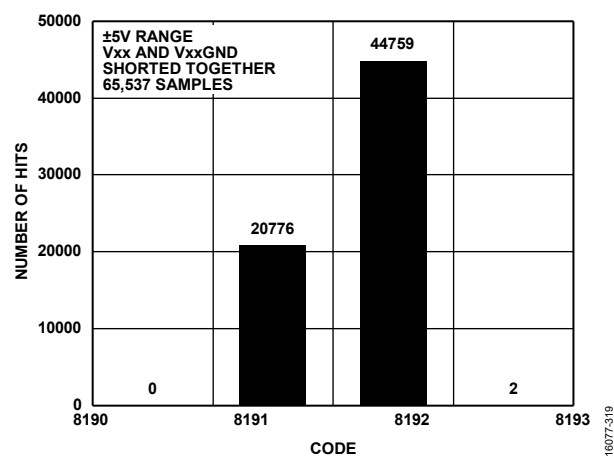


図 19. コード中央値での DC ヒストグラム、±5 V レンジ

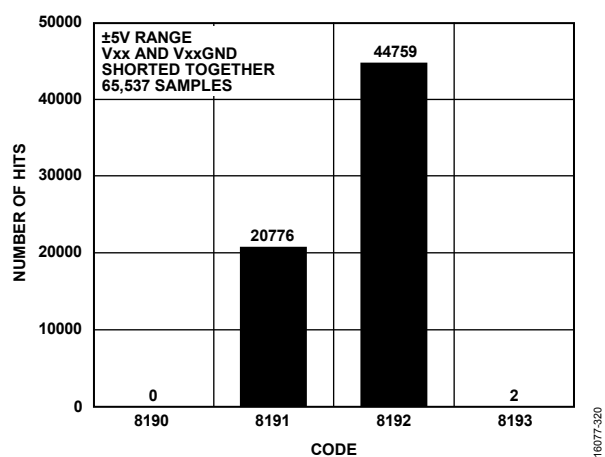


図 20. コード中央値での DC ヒストグラム、 $\pm 2.5\text{ V}$ レンジ

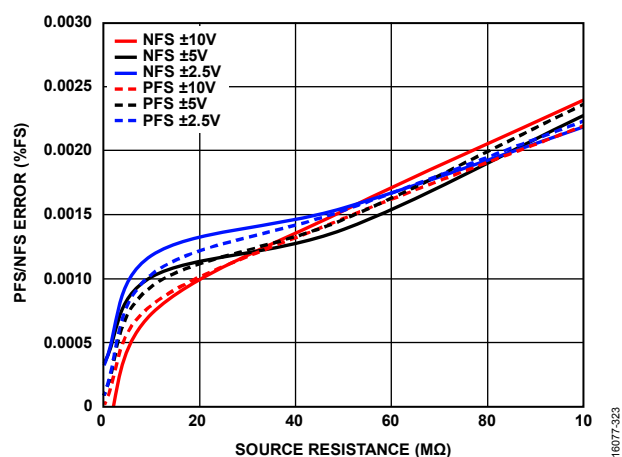


図 23. PFS/NFS 誤差とソース抵抗の関係

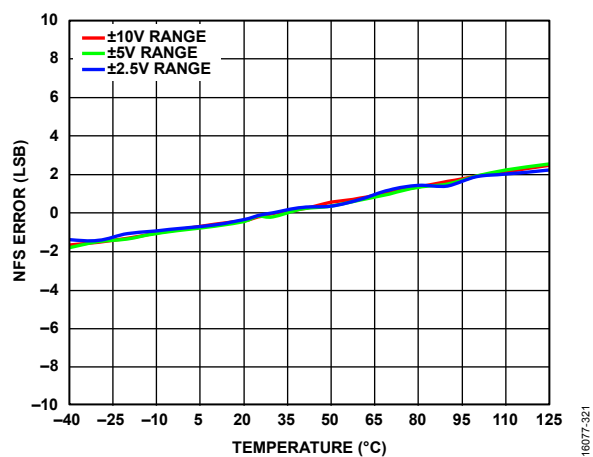


図 21. NFS 誤差と温度の関係

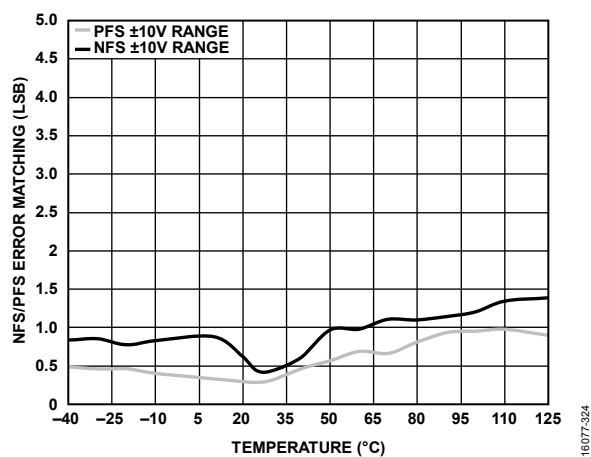


図 24. NFS/PFS 誤差マッチングと温度の関係

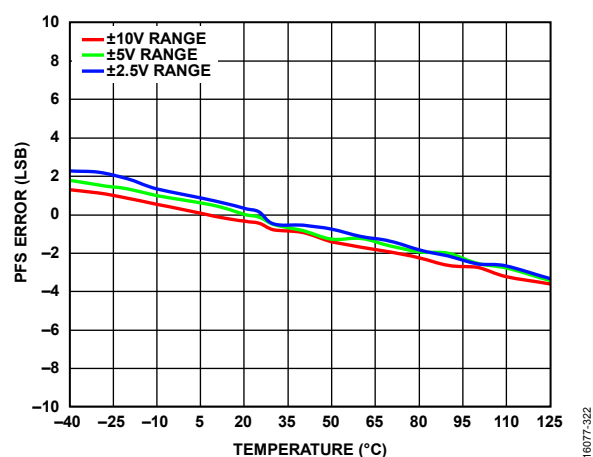


図 22. PFS 誤差と温度の関係

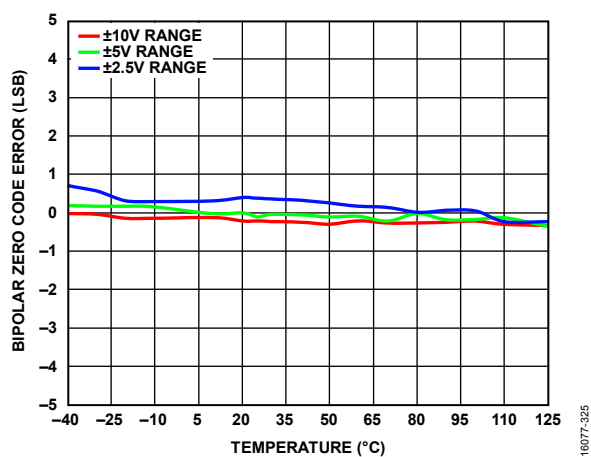


図 25. バイポーラ・ゼロ・コード誤差と温度の関係

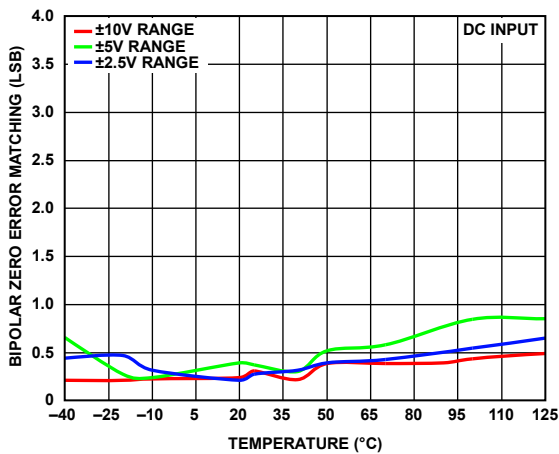


図 26. バイポーラ・ゼロ・コード誤差マッチングと温度の関係

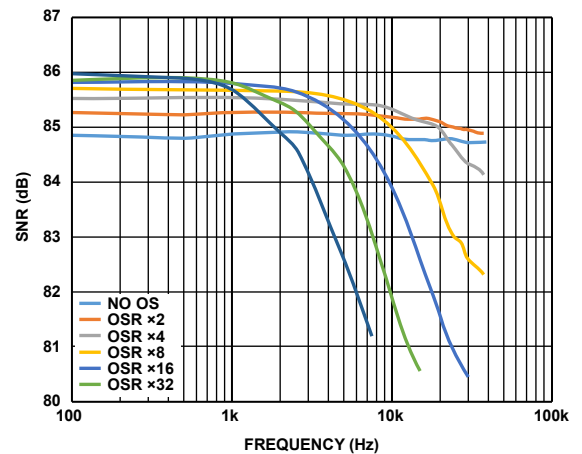


図 29. 各種オーバーサンプリング・レートでの SNR と入力周波数の関係、±10 V レンジ

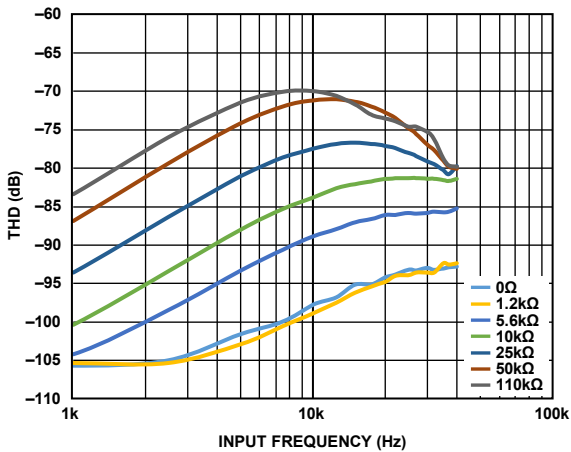


図 27. 各種ソース・インピーダンスでの THD と入力周波数の関係、±10 V レンジ

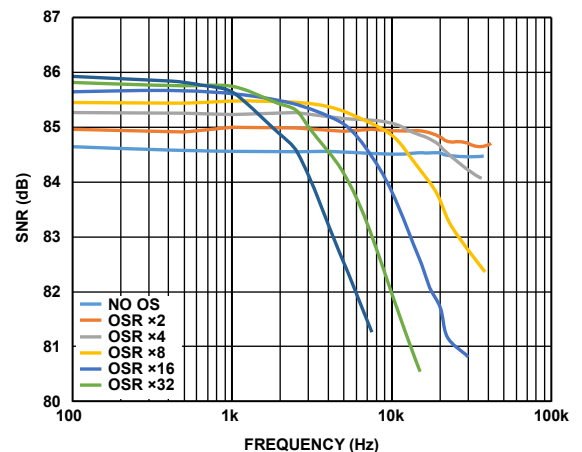


図 30. 各種オーバーサンプリング・レートでの SNR と入力周波数の関係、±5 V レンジ

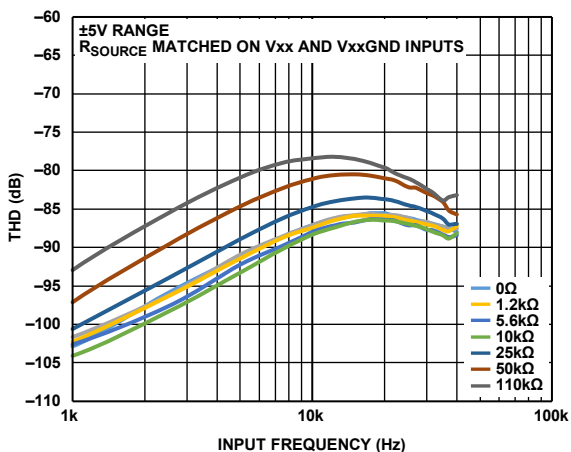


図 28. 各種ソース・インピーダンスでの THD と入力周波数の関係、±5 V レンジ

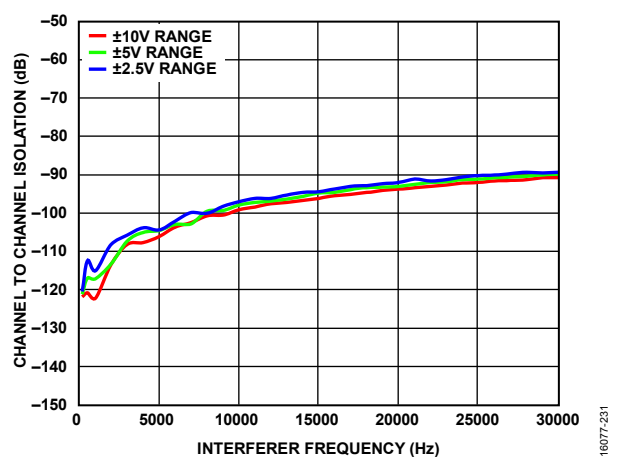


図 31. チャンネル間アイソレーションと干渉周波数の関係

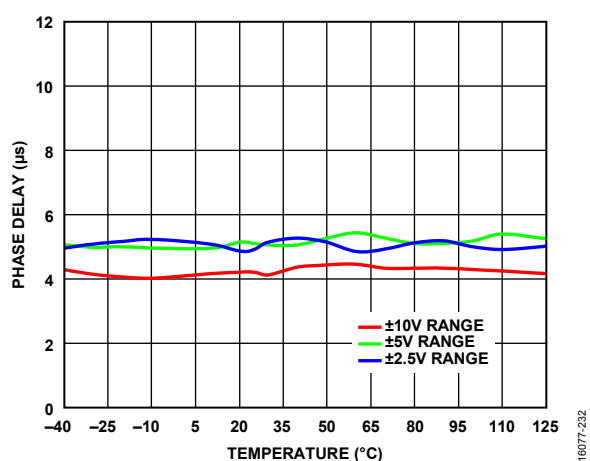


図 32. 位相遅延と温度の関係

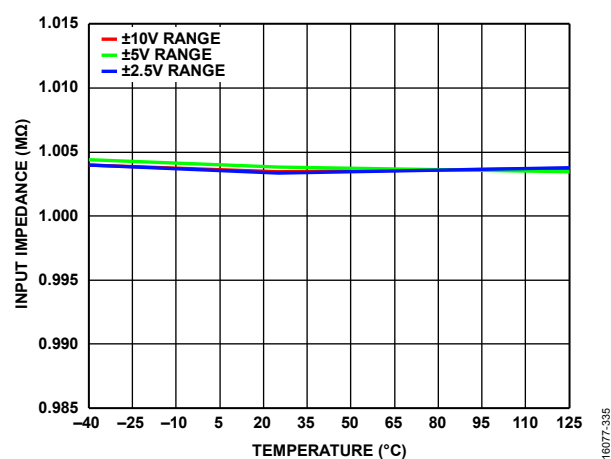


図 35. 入力インピーダンスと温度の関係

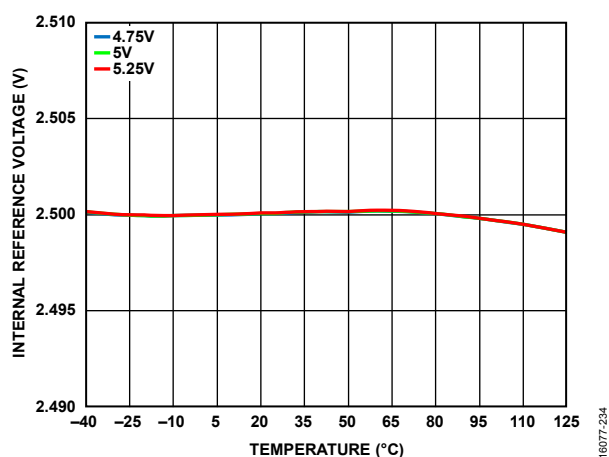


図 33. 各種電源電圧での内部リファレンス電圧と温度の関係

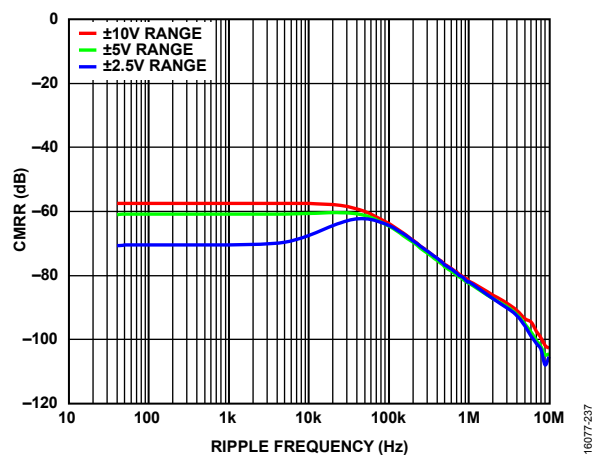


図 36. CMRR 対リップル周波数

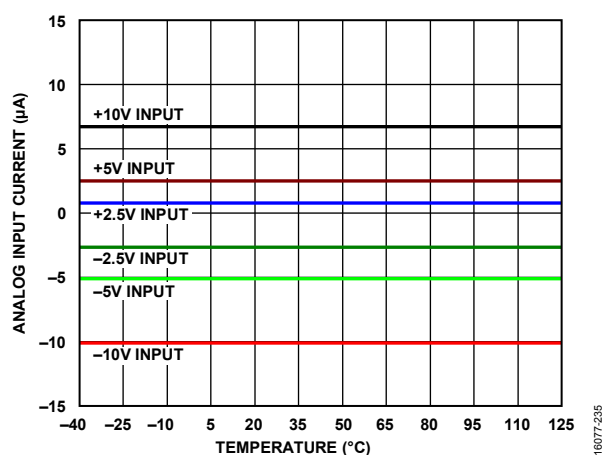


図 34. 各種電源電圧でのアナログ入力電流と温度の関係

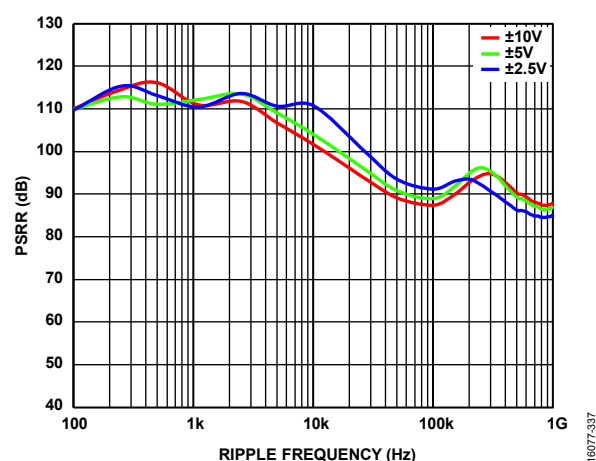


図 37. PSRR とリップル周波数の関係

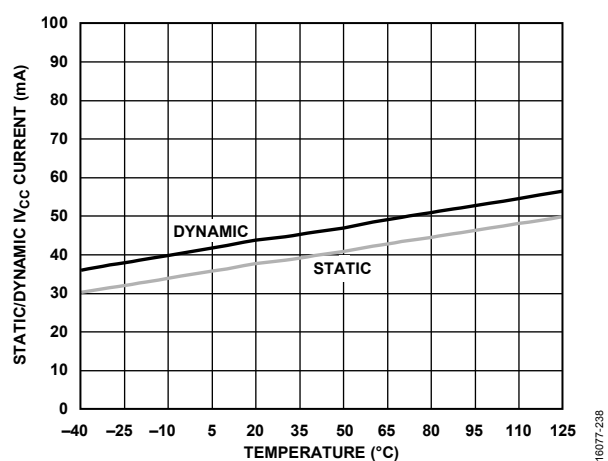


図 38. スタティク／ダイナミック I_{VCC} 電流と温度の関係

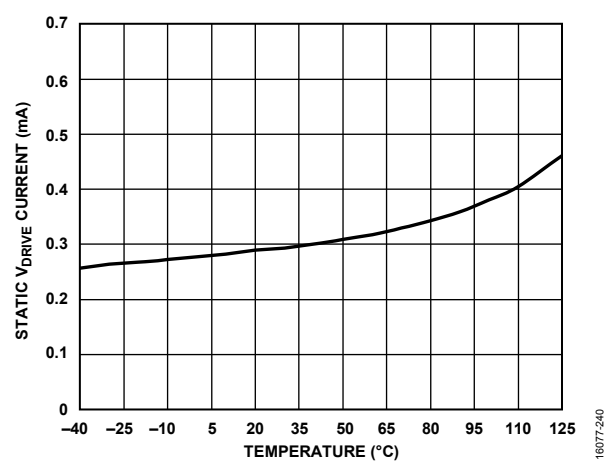


図 40. スタティク V_{DRIVE} 電流と温度の関係

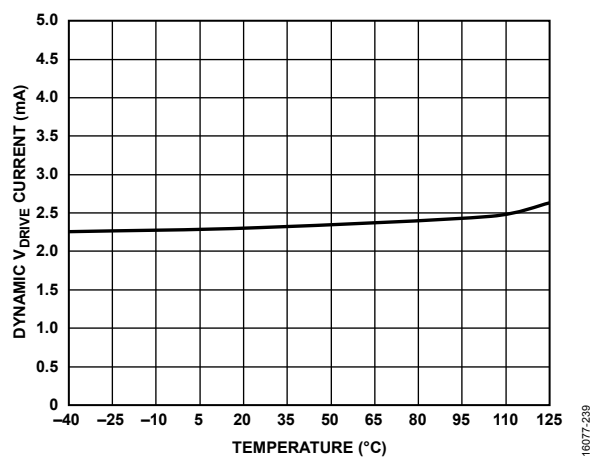


図 39. ダイナミック V_{DRIVE} 電流と温度の関係

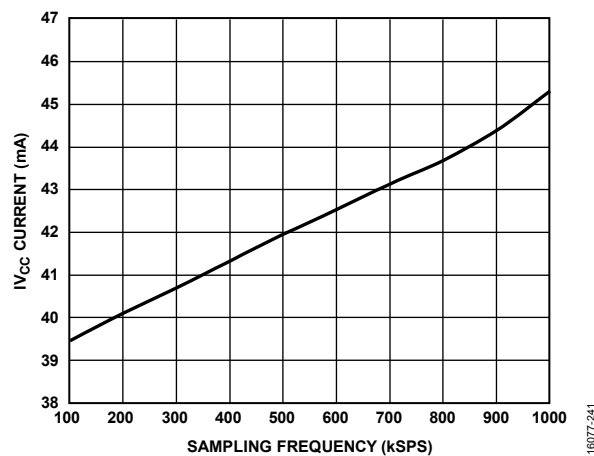


図 41. I_{VCC} 電流とサンプリング周波数の関係

用語の定義

積分非直線性 (INL)

ADC 伝達関数の両端を結ぶ直線からの最大許容誤差です。伝達関数の両端は、ゼロ・スケール(最初のコード遷移より ½ LSB 下)とフルスケール(最後のコード遷移より ½ LSB 上)です。

微分非直線性 (DNL)

ADC の 2 つの隣接コード間における 1 LSB 変化の測定値と理論値の差です。

バイポーラ・ゼロ・コード誤差

バイポーラ・ゼロ・コード誤差は(すべて 1 からすべて 0 への)ミッドスケール遷移の理想値からの偏差 (0 V - ½ LSB) です。

バイポーラ・ゼロ・コード誤差マッチング

バイポーラ・ゼロ・コード誤差マッチングは、2 つの入力チャンネル間のバイポーラ・ゼロ・コード誤差の絶対差です。

正のフルスケール (PFS) 誤差

正のフルスケール誤差は、バイポーラ・ゼロ・コード誤差の調整後、理想的な最後のコード遷移 (10V - 1½ LSB (9.99954)、5V - 1½ LSB (4.99977)、2.5V - 1½ LSB (2.49989)) からの実際の最後のコード遷移の偏差です。正のフルスケール誤差には、内部リファレンス・バッファの寄与も含まれます。

正のフルスケール誤差マッチング

正のフルスケール誤差マッチングは、2 つの入力チャンネル間の正のフルスケール誤差の絶対差です。

負のフルスケール (NFS) 誤差

負のフルスケール誤差は、バイポーラ・ゼロ・コード誤差の調整後、理想的な最初のコード遷移 (-10 V + 1½ LSB (-9.99985)、-5 V + 1½ LSB (-4.99992)、-2.5 V + 1½ LSB (-2.49996)) からの実際の最初のコード遷移の偏差です。負のフルスケール誤差には、内部リファレンス・バッファの寄与も含まれます。

負のフルスケール誤差マッチング

負のフルスケール誤差マッチングは、2 つの入力チャンネル間の負のフルスケール誤差の絶対差です。

信号／ノイズ + 歪み (SINAD)

SINAD は、A/D コンバータ出力での信号対 (ノイズ + 歪み) 比の測定値です。信号はサイン波の rms 値で、ノイズはサンプリング周波数の 1/2 ($f_s/2$) までの非基本波信号の rms 和です (DC 以外の高調波を含む)。

S/N 比 (SNR)

SNR は、ADC 出力で測定された信号とノイズの比です。信号は基本波の rms 振幅で表します。ノイズは 1/2 サンプリング周波数 ($f_s/2$) までの非基本波の総和で表します (DC を除く)。

この比はデジタル化における量子化レベル数に依存し、レベル数が多いほど、量子化ノイズは小さくなります。サイン波入力の理想的な N ビット・コンバータにおける SNR の理論値は次式で与えられます。

$$S/N \text{ 比} = (6.02N + 1.76) \text{ dB}$$

したがって、14 ビット・コンバータの場合、SNR は 86 dB になります。

全高調波歪み (THD)

THD は最初の 5 つの高調波成分の rms 和とフルスケール入力信号の rms 値との比で、デシベル (dB) で表されます。

ピーク高調波またはスプリアス・ノイズ

基本波 rms 値に対する ADC 出力スペクトル内 (DC を除いて $f_s/2$ まで) で次に大きい成分の rms 値の比。一般に、この値はスペクトルに含まれる最大の高調波によって決まりますが、高調波がノイズ・フロアに埋まっている ADC ではノイズ・ピークによって決まります。

相互変調歪み

2 つの周波数 f_a と f_b のサイン波で構成される入力により、あらゆる非線形アクティブ・デバイスで、 $m f_a \pm n f_b$ (ここで、 $m, n = 0, 1, 2, 3$) の和と差の周波数による歪み積が発生します。相互変調歪み項とは、 m も n も 0 ではない項です。例えば、2 次の項は $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3 次の項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、および $(f_a - 2f_b)$ を含みます。

相互変調歪みの計算は THD の仕様に従い、基本波の和の rms 振幅に対する個々の歪み積の rms 総和の比で、デシベル (dB) で表します。

電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。電源電圧変動除去は、電源電圧の公称値からの変化によるフルスケール遷移点の最大変化量です。PSRR は、フルスケール周波数 f の ADC の出力電力と、ADC の V_{CC} 電源に印加された周波数 f_s の 100 mV p-p サイン波の電力の比で定義されます。

$$PSRR \text{ (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

P_f は周波数 f の ADC の出力電力に等しくなります。

P_{f_s} は V_{CC} 電源にカップリングした周波数 f_s の電力です。

AC 同相ノイズ除去比 (AC CMRR)

AC CMRR は、コモンモード電圧 V_{xx} と V_{xxGND} に印加された周波数 f_s のサイン波の電力に対する、周波数 f の ADC 出力電力の比として定義されます。

$$AC\ CMRR\ (dB) = 10\log(P_f/P_{f_s})$$

ここで、

P_f は 周波数 f の ADC の出力電力です。

P_{f_s} は 周波数 f_s の ADC の出力電力です。

チャンネル間アイソレーション

チャンネル間アイソレーションはすべての入力チャンネル間のクロストーク・レベルの大きさです。この値を測定するには、選択されていない入力チャンネルすべてに最大 160 kHz のサイン波信号を入力し、1 kHz のサイン波信号が印加されているチャンネルでフルスケール信号の減衰量を調べます。

位相遅延

位相遅延は、コンバータによって入力をサンプリングした時点から、ADC で結果を読み出すまでの絶対的な時間遅延です。これには、デバイスのアナログ・フロントエンドによる遅延も含まれます。

位相遅延ドリフト

位相遅延ドリフトは、デバイスの動作温度全体にわたる単位温度あたりの位相遅延の変化量です。

位相遅延マッチング

位相遅延マッチングは、同時にサンプリングされたペア間で観測される最大位相遅延です。

動作原理

コンバータの詳細

AD7617 は、高速、低電力、電荷再配分式 SAR ADC を採用したデータ・アキュイジション・システムで、16 個のアナログ入力チャンネルにおけるデュアル同時サンプリングが可能です。AD7617 のアナログ入力、真のバイポーラ・アナログ入力信号に対応します。アナログ入力レンジは $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、 $\pm 2.5\text{ V}$ から選択できます。AD7617 は 5 V の単電源で動作します。

AD7617 の搭載機能には、入力クランプ保護、入力信号スケーリング・アンプ、一次アンチエイリアシング・フィルタ、オンチップ・リファレンス、リファレンス・バッファ、デュアル高速 ADC、デジタル・フィルタ、フレキシブルなシーケンサ、および高速パラレル/シリアル・インターフェースがあります。

AD7617 は、HW_RNGSELx ピンを制御することで、ハードウェア・モードまたはソフトウェア・モードで動作します。ハードウェア・モードでは、AD7617 はピン制御によって設定されます。ソフトウェア・モードでは、AD7617 はシリアルまたはパラレルのインターフェースを介してアクセスする制御レジスタによって設定されます。

アナログ入力

アナログ入力チャンネルの選択

AD7617 は、同時サンプリングのデュアル 14 ビット ADC を内蔵しています。各 ADC には、8 個のアナログ入力チャンネルがあり、合計で 16 個のアナログ入力があります。さらに、AD7617 は、 V_{CC} 電源をモニタするためのオンチップ診断チャンネルおよび調整可能なオンチップの低ドロップアウト・レギュレータを搭載しています。ハードウェア・モードで CHSELx ピンを制御するか、ソフトウェア・モードでチャンネル・レジスタを制御することにより、変換に使用するチャンネルを選択できます。診断チャンネルをサンプリングするには、ソフトウェア・モードにする必要があります。チャンネルは動的に選択するか、あるいは AD7617 に内蔵されたシーケンサによって、変換に使用するチャンネルをあらかじめプログラムすることもできます。ハードウェア・モードでは、同時サンプリングは対応する A チャンネルまたは B チャンネルに制限されます。つまり、チャンネル V0A は常にチャンネル V0B と一緒にサンプリングされます。ソフトウェア・モードでは、任意の A チャンネルと任意の B チャンネルを選択して同時サンプリングできます。

アナログ入力レンジ

AD7617 は真のバイポーラ、シングルエンド入力電圧に対応できます。レンジ選択ピン (HW_RNGSEL0 および HW_RNGSEL1) のロジック・レベルにより、全アナログ入力チャンネルのアナログ入力レンジが決まります。両方のレンジ選択ピンがロジック・ローに接続されている場合、アナログ入力レンジは入力レンジ・レジスタを介してソフトウェア・モードで決定されます (詳細については、レジスタの一覧セクションを参照)。ソフトウェア・モードでは、チャンネルごとに個別のアナログ入力レンジを設定できます。

表 8. アナログ入力レンジの選択

| Analog Input Range | HW_RNGSEL1 | HW_RNGSEL0 |
|------------------------------------------|------------|------------|
| Configured via the Input Range Registers | 0 | 0 |
| $\pm 2.5\text{ V}$ | 0 | 1 |
| $\pm 5\text{ V}$ | 1 | 0 |
| $\pm 10\text{ V}$ | 1 | 1 |

ハードウェア・モードでは、これらのピンでのロジック変化がアナログ入力レンジに直ちに影響を与えます。ただし、通常のアキュイジション時間の要件に加えて、約 $120\text{ }\mu\text{s}$ のセトリング時間がかかります。システム信号に必要な入力レンジに応じて、レンジ選択ピンをハードワイヤ接続する方法が推奨されます。

アナログ入力インピーダンス

AD7617 の低ドリフト・アナログ入力インピーダンスは $1\text{ M}\Omega$ に固定されており、AD7617 のサンプリング周波数によって変化することはありません。このアナログ入力インピーダンスは高いので、AD7617 の前段にドライバ・アンプは不要となり、ソースまたはセンサーを直結できます。

アナログ入力クランプ保護

AD7617 のアナログ入力回路を図 42 に示します。AD7617 の各アナログ入力はクランプ保護回路を備えています。 $+5\text{ V}$ の単電源動作にもかかわらず、このアナログ入力クランプ保護により $-20\text{ V} \sim +20\text{ V}$ の入力過電圧が許容されます。

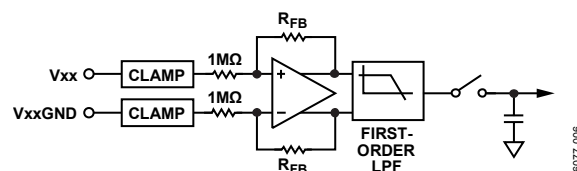


図 42. アナログ入力回路

クランプ回路の入力クランプ電流のソース電圧特性を図 43 に示します。 $-20\text{ V} \sim +20\text{ V}$ のソース電圧では、クランプ回路に電流は流れません。 $+20\text{ V}$ を上回るか -20 V を下回る入力電圧では、AD7617 のクランプ回路がオンになります。

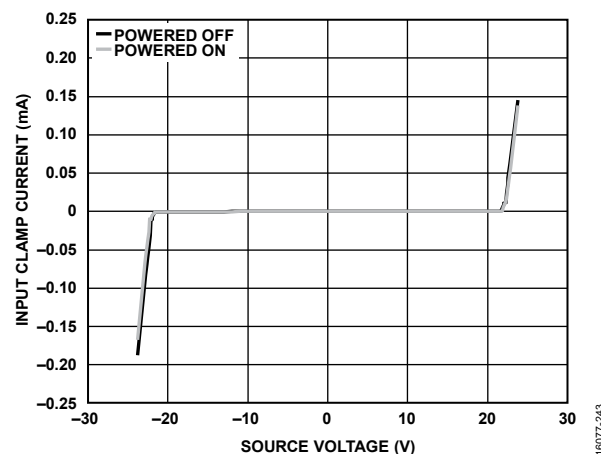


図 43. 入力保護クランプのプロファイル、入力クランプ電流とソース電圧の関係

アナログ入力チャンネルに直列抵抗を接続して、 $+20\text{ V}$ を上回るか -20 V を下回る入力電圧に対する電流を $\pm 10\text{ mA}$ に制限します。アナログ入力チャンネル、VxA または VxB に直列抵抗を挿入するアプリケーションでは、アナログ入力のグラウンド・チャンネル VxAGND または VxBGND に対応する抵抗が必要になります (図 44 を参照)。

V_{AGND} または V_{BGND} のチャンネルに対応する抵抗がないと、オフセット誤差が生じます。この入力過電圧クランプ保護回路を使用して、過渡過電圧から AD7617 を保護します。通常の動作状態またはパワーダウン状態で、クランプ保護回路がアクティブな状態のまま AD7617 を長時間放置することは推奨されません。

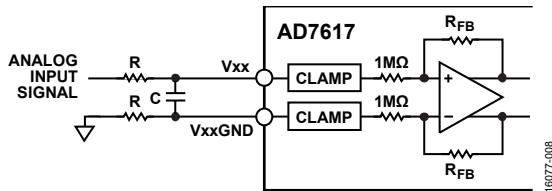


図 44. アナログ入力の入力抵抗マッチング

アナログ入力のアンチエイリアス・フィルタ

AD7617 には、アナログ・アンチエイリアス・フィルタ（1 次バターワース）も備わっています。アナログ・アンチエイリアス・フィルタの周波数応答と位相応答をそれぞれ図 45 と図 46 に示します。±10 V レンジでの標準コーナ周波数は 39 kHz で、±5 V のレンジでは 33kHz です。

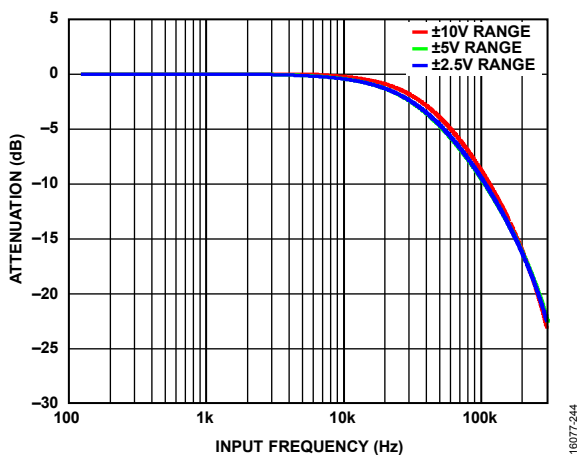


図 45. アナログ・アンチエイリアス・フィルタの周波数応答

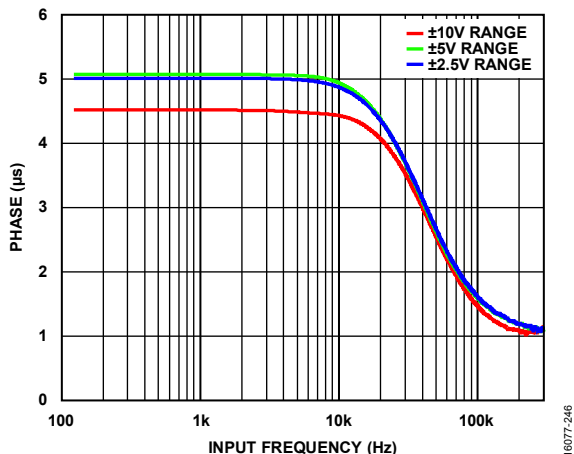
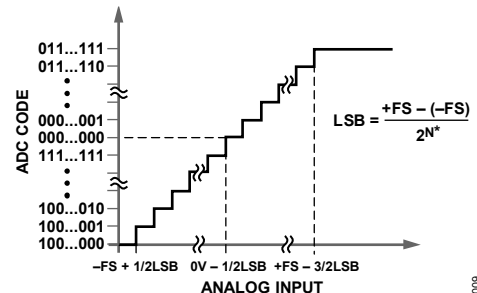


図 46. アナログ・アンチエイリアス・フィルタの位相応答

ADC の伝達関数

AD7617 の出力コーディングは 2 の補数です。コード遷移は LSB の連続する整数値の中間 (1/2 LSB, 3/2 LSB) で発生します。AD7617 では、LSB のサイズはフルスケール・レンジ ÷ 16,384 になります。AD7617 の理想的な伝達特性を図 47 と図 9 に示します。LSB のサイズは、選択されたアナログ入力レンジに依存します。



*WHERE N IS THE NUMBER OF BITS OF THE CONVERTER

図 47. 伝達特性

表 9.

| Range | +FS | Midscale | -FS | LSB |
|--------|--------|----------|--------|----------|
| ±10 V | +10 V | 0 V | -10 V | +1220 μV |
| ±5 V | +5 V | 0 V | -5 V | +610 μV |
| ±2.5 V | +2.5 V | 0 V | -2.5 V | +305 μV |

内部リファレンス／外部リファレンス

AD7617 は、内部または外部のどちらのリファレンスでも動作可能です。このデバイスには、2.5 V のバンドギャップ・リファレンスが内蔵されています。内部で 4.096 V のリファレンスを生成する 2.5 V リファレンスを REFINOUT ピンから取り出すことができます。あるいは、2.5 V の外部リファレンスを AD7617 に印加することもできます。外部から印加する 2.5 V のリファレンス電圧も内部バッファを使用して 4.096 V に増幅されます。この 4.096 V のバッファ付きリファレンスは SAR ADC によって使用されます。

REFSEL ピンはロジック入力ピンです。このピンを使用すれば、内部リファレンスまたは外部リファレンスを選択できます。このピンをロジック・ハイにすると、内部リファレンスが選択されイネーブルになります。このピンをロジック・ローにすると、内部リファレンスがディスエーブルになるので、外部リファレンス電圧を REFINOUT ピンに印加する必要があります。

内蔵リファレンス・バッファは常にイネーブルになります。フル・リセット後、AD7617 は REFSEL ピンによって選択されたリファレンス・モードで動作します。内部、外部のいずれのリファレンス・オプションでも、REFINOUT ピンにはデカップリングが必要です。REFINOUT ピンと REFINOUTGND ピンには、100 nF の X7R セラミック・コンデンサが必要です。

AD7617 には、リファレンス電圧をほぼ 4.096 V に増幅するように構成されたリファレンス・バッファが内蔵されています。REFCAP と REFGND の間には 10 μ F の X5R セラミック・コンデンサが必要です。REFINOUT ピンで利用できるリファレンス電圧は 2.5 V です。AD7617 を外部リファレンス・モードに設定すると、REFINOUT ピンの入力インピーダンスが高くなります。

システム内の他の場所に内部リファレンスを印加する場合は、まず外部でバッファを追加する必要があります。

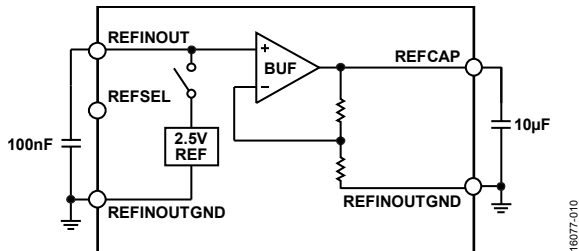


図 48. リファレンス回路

シャットダウン・モード

RESET ピンを 1.2 μ s 以上ローに保つと、AD7617 はシャットダウン・モードに移行します。RESET ピンをローからハイにすると、シャットダウン・モードから通常モードに移行します。

AD7617 をシャットダウン・モードにした場合、消費電流は 48 μ A (代表値) になり、デバイスへの書込みを実行するまでのパワーアップ時間は約 240 μ s になります。変換を実行するまでのパワーアップ時間は 15 ms です。シャットダウン・モードでは、すべての回路がパワーダウン状態になり、すべてのレジスタがクリアされデフォルト値にリセットされます。

デジタル・フィルタ

AD7617 はオプションのデジタル 1 次 Sinc フィルタを内蔵しており、低速スループット・レートを使用するアプリケーション、または高 SNR やダイナミック・レンジを必要とするアプリケーションで使用します。

デジタル・フィルタの OSR は、オーバーサンプリング・ピン OS2 ~ OS0 (OSx) を使用してハードウェアで制御するか、あるいは設定レジスタ内の OS ビットを介してソフトウェアで制御します。

ソフトウェア・モードでは、設定レジスタの OS ビットを設定すると、すべてのチャンネルでオーバーサンプリングが有効になります。ハードウェア・モードでは、フル・リセットが解除された時点の OSx 信号により、使用する OSR が決定されます。

各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 10 に示します。オーバーサンプリング機能に加え、出力結果は 14 ビットの分解能にデシメートされます。

OSx ピン/OS ビットで OS 比を 8 に設定すると、選択されたチャンネルの最初のサンプルが次の CONVST の立上がりエッジでサンプリングされます。そのチャンネルの残りの 7 つのサンプルは、内部で生成されたサンプリング信号でサンプリングされます。次に、これらのサンプルを平均化することで SNR 性能が改善されます。OS 比の増加に伴い、-3 dB の周波数が減少し、許容サンプリング周波数も減少します。変換時間はオーバーサンプリング・レートの増加に伴い延長され、BUSY 信号もオーバーサンプリング・レートに比例して変化します。アキュイジション時間と変換時間はオーバーサンプリング・レートに合わせて直線的に増加します。

オーバーサンプリングがシーケンサによってイネーブルになっている場合、またはバースト・モードになっている場合は、あるチャンネルで追加サンプルを収集してから、シーケンサが次のチャンネルに進みます。

許容される各オーバーサンプリング・レートに対するデバイスの標準 SNR 性能を表 10 に示します。デバイスの 3 つの入力レンジに対する入力トーンとして 1 kHz のサイン波を使用しました。SNR 対 OSR のプロットを図 49 に示します。

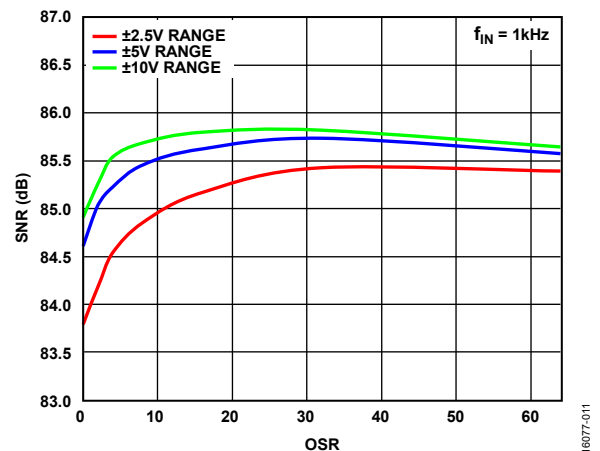


図 49. アナログ入力レンジ全体にわたる標準 SNR 対 OSR

表 10. オーバーサンプリング・ビットのデコード

| OSx Pins/OS Bits | OSR | Typical SNR (dB) | | | -3 dB Bandwidth (kHz) |
|------------------|-----------------|------------------|------------|-------------|-----------------------|
| | | ±2.5 V Range | ±5 V Range | ±10 V Range | All Ranges |
| 000 | No oversampling | 83.8 | 84.6 | 84.9 | 37 |
| 001 | 2 | 84.2 | 85.0 | 85.3 | 36.5 |
| 010 | 4 | 84.5 | 85.2 | 85.5 | 35 |
| 011 | 8 | 84.9 | 85.5 | 85.7 | 30.5 |
| 100 | 16 | 85.2 | 85.6 | 85.8 | 22 |
| 101 | 32 | 85.4 | 85.7 | 85.8 | 13.2 |
| 110 | 64 | 85.4 | 85.6 | 85.6 | 7.2 |
| 111 | 128 | 84.7 | 85.1 | 85.2 | 3.6 |

アプリケーション情報

機能の概要

AD7617には、ハードウェア・モードとソフトウェア・モードの2つの動作モードがあります。さらに、いずれのモードについても、通信インターフェースにシリアルまたはパラレルを選択できます。選択する動作モードとインターフェースによっては、利用できない機能があります。ハードウェアのシリアル・モードとパラレル・モードでは機能が制限されますが、ソフトウェアのシリアル・モードとパラレル・モードでは機能をフルに利用できます。各動作モードで使用可能な機能を表 11 に示します。

電源

AD7617には2つの独立した電源 V_{CC} と V_{DRIVE} があり、それぞれアナログ回路とデジタル・インターフェースに供給されます。100 nF のコンデンサと 10 μ F のコンデンサを並列に接続して、 V_{CC} 電源と V_{DRIVE} 電源の両方をデカップリングします。

さらに、これらの電源は2つの内部 LDO レギュレータによって安定化されます。通常、アナログ LDO (ALDO) は 1.87 V の電圧を供給します。REGCAP ピンと REGGND ピンの間に 10 μ F のコンデンサを接続して ALDO をデカップリングします。通常、

デジタル LDO (DLDO) は 1.89 V の電圧を供給します。REGCAPD ピンと REGGND ピンの間に 10 μ F のコンデンサを接続して DLDO をデカップリングします。

AD7617 は電源シーケンスに対して高い信頼性を発揮します。推奨されるシーケンスでは、 V_{DRIVE} の電源を最初に投入してから、 V_{CC} を投入します。両方の電源が安定するまで \overline{RESET} をローに維持します。

代表的な接続

AD7617 の正常動作に必要な接続の例を図 50 に示します。図 50 に示すように、 V_{CC} と V_{DRIVE} の電源をデカップリングします。小さな 0.1 μ F のコンデンサをできるだけ電源ピンの近くに配置し、大きな 10 μ F のバルク・コンデンサを並列に接続します。リファレンスと LDO レギュレータは、図 50 と表 7 に示すようにデカップリングします。

インピーダンスのミスマッチによるアナログ入力チャンネルでのゲイン誤差を排除するため、アナログ入力ピンには V_{xA} と V_{xAGND} (同様に V_{xB} と V_{xBGND}) の入力にマッチングした抵抗 R が必要です。

表 11. 機能マトリックス

| Functionality | Operation Mode ¹ | | | |
|----------------------------------|-----------------------------------|-------------------------------------|-------------------------------------|-------------------------------------|
| | Software Mode, HW_RNGSELx = 00 | | Hardware Mode, HW_RNGSELx \neq 00 | |
| | Serial, SER/ \overline{PAR} = 1 | Parallel, SER/ \overline{PAR} = 0 | Serial, SER/ \overline{PAR} = 1 | Parallel, SER/ \overline{PAR} = 0 |
| Internal/External Reference | Yes | Yes | Yes | Yes |
| Selectable Analog Input Ranges | | | | |
| Individual Channel Configuration | Yes | Yes | No | No |
| Common Channel Configuration | No | No | Yes | Yes |
| Sequential Sequencer | Yes | Yes | Yes | Yes |
| Fully Configurable Sequencer | Yes | Yes | No | No |
| Burst Mode | Yes | Yes | Yes | Yes |
| On-Chip Oversampling | Yes | Yes | Yes | No |
| CRC | Yes | Yes | Yes | No |
| Diagnostic Channel Conversion | Yes | Yes | No | No |
| Hardware Reset | Yes | Yes | Yes | Yes |
| Serial 1-Wire Mode | Yes | No | Yes | No |
| Serial 2-Wire Mode | Yes | No | Yes | No |
| Register Access | Yes | Yes | No | No |

¹ Yes は利用できることを意味し、No は利用できないことを意味します。

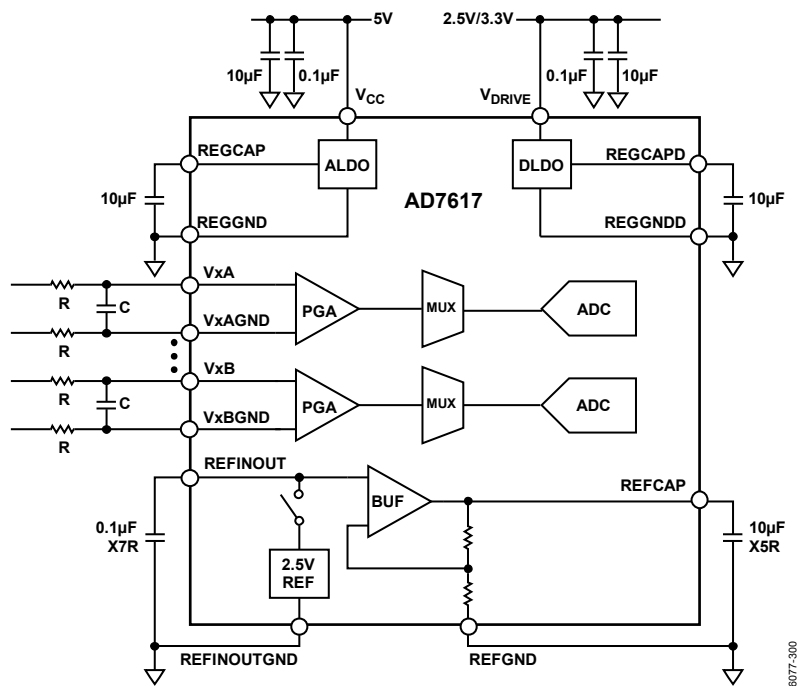


図 50. 代表的な外部接続

デバイスの設定

動作モード

AD7617 がフル・リセットから解除されると、動作モード（ハードウェア・モードまたはソフトウェア・モード）が設定されます。**RESET** ピンがローからハイに遷移すると、**HW_RNGSELx** ピンのロジック・レベルによって動作モードが決まります。**HW_RNGSELx** ピンには 2 つの機能があります。**HW_RNGSELx** = 00 の場合、AD7617 はソフトウェア・モードに移行します。**HW_RNGSELx** が他のどのような組み合わせであっても、AD7617 はハードウェア・モードに設定され、アナログ入力レンジが表 8 に従って設定されます。ソフトウェア・モードの設定後、**HW_RNGSELx** 信号のロジック・レベルは無視されます。動作モードの設定後、その動作モードを終了して別のモードを設定するには、**RESET** ピンによるフル・リセットが必要です。ハードウェア・モードを選択した場合、それ以降のすべてのデバイス設定はピン制御によって行われます。ハードウェア・モードでは、オンチップ・レジスタへのアクセスは禁止されます。ソフトウェア・モードでは、ピン制御を介してインターフェースとリファレンスを設定する必要がありますが、それ以降のデバイス設定はレジスタへの読書きのみで行います。

内部リファレンス／外部リファレンス

AD7617 がフル・リセットから解除されると、内部リファレンスがイネーブルまたはディスエーブルになります。**RESET** ピンがローからハイに遷移すると、**REFSEL** 信号のロジック・レベルによってリファレンスが設定されます。リファレンスの設定後は、**HREFSEL** 信号のロジック・レベルの変化が無視されます。**REFSEL** 信号をロジック 1 に設定すると、内部リファレンスはイネーブルになります。**REFSEL** をロジック 0 に設定すると内部リファレンスがディスエーブルになるため、AD7617 を正常に動作させるには外部リファレンスを **REFINOUT** ピンに印加する必要があります。動作モードを終了して別のモードを設定するには、**RESET** ピンによるフル・リセットが必要です。

REFINOUT ピンと **REFINOUTGND** ピンの間に 100 nF のコンデンサを接続します。外部リファレンスを使用する場合は、リファレンスと AD7617 の **REFINOUT** ピンの間に 10 k Ω の帯域制限抵抗を直列に接続します。

デジタル・インターフェース

AD7617 がフル・リセットから解除されると、デジタル・インターフェースがパラレルまたはシリアルに設定されます。**RESET** ピンがローからハイに遷移すると、**SER/PAR** 信号のロジック・レベルによってインターフェースが設定されます。

SER/PAR 信号を 0 に設定すると、パラレル・インターフェースがイネーブルになります。**SER/PAR** 信号を 1 に設定すると、シリアル・インターフェースが選択されます。さらに、シリアル・インターフェースが選択されている場合は、シリアルで 1 線モードまたは 2 線モードのどちらが選択されているか判別するため、**RESET** ピンの解除時に **SERIW** 信号がモニタされます。インターフェースの設定後は、（シリアル・インターフェースがイネーブルの場合）**SER/PAR** 信号または **SERIW** 信号のロジック・レベルの変更は無視されます。動作モードを終了して別のモードを設定するには、**RESET** ピンを介してフル・リセットする必要があります。

ハードウェア・モード

ハードウェア・モードを選択すると、利用可能な機能が制限され、全機能がピン制御を介して設定されます。AD7617 の機能を設定するため、フル・リセット後に **CRC**、**BURST**、**SEQEN**、**OSx** の各信号のロジック・レベルがチェックされます。フル・リセット解除時に、選択された動作モードに応じて、デバイスによってラッチされる信号を表 12 にまとめます。デバイスの設定後、その設定を終了して別の設定にするには、**RESET** ピンによるフル・リセットが必要です。使用できる機能は、選択したインターフェースのタイプによって制限されます。ハードウェアのパラレル・モードまたはシリアル・モードで利用可能な全機能のリストについては、表 11 を参照してください。

リセット時に **CHSELx** ピンを参照して、変換に使用する最初のアナログ入力チャンネルのペアを決定するか、シーケンサの初期設定を行います。変換に使用するチャンネル・ペアまたはハードウェア・シーケンサは、**CONVST** の立上がりエッジの発生前から **BUSY** の立下がりエッジまで **CHSELx** 信号レベルを設定して維持することにより、通常の動作中に再構成できます。

HW_RNGSELx 信号によって、16 個の全アナログ入力チャンネルのアナログ入力レンジを制御します。これらのピンでのロジック変化はアナログ入力レンジに直ちに影響を与えます。ただし、通常のアキュイジション時間に加えて、標準で約 120 μ s のセトリング時間がかかります。システム信号に必要な入力レンジに応じて、レンジ選択ピンをハードワイヤ接続する方法が推奨されます。

ハードウェア・モードでは、オンチップ・レジスタへのアクセスは禁止されます。

表 12. ラッチされるハードウェア信号の概要¹

| Signal | Latched at Full Reset | | Read at Reset | | Read During Busy | | Edge Driven | |
|--------------------------------------------------|-----------------------|---------|---------------|---------|------------------|---------|-------------|---------|
| | HW Mode | SW Mode | HW Mode | SW Mode | HW Mode | SW Mode | HW Mode | SW Mode |
| REFSEL | Yes | Yes | | | | | | |
| SEQEN | Yes | No | | | | | | |
| HW_RNGSELx (Range Change) | | | Yes | Yes | | | Yes | No |
| HW_RNGSELx (Hardware (HW) or Software (SW) Mode) | Yes | Yes | | | | | | |
| SER/PAR | Yes | Yes | | | | | | |
| CRCEN | Yes | No | | | | | | |
| OSx | Yes | No | | | | | | |
| BURST | Yes | No | | | | | | |
| CHSELx | | | Yes | No | Yes | No | | |
| SER1W | Yes | Yes | | | | | | |

¹ 表 12 の空白セルは該当なしを意味します。

ソフトウェア・モード

ソフトウェア・モードが選択され、リファレンスとインターフェースのタイプが設定されている場合、AD7617 の他のすべての設定はオンチップ・レジスタを介して制御されます。ソフトウェア・モードが選択されると、AD7617 の全機能が利用可能になります。フル・リセット解除時に、選択された動作モードに応じて、デバイスによってラッチされる信号を表 12 にまとめます。

リセット機能

AD7617 はフル・モードとパーシャル・モードの 2 つのリセット・モードを備えています。リセット・モードは、リセットのロー・パルスの長さに応じて選択されます。パーシャル・リセットを行うには、RESET ピンを 40 ns ～ 500 ns にわたりローに保持する必要があります。RESET を解除してから 50 ns 経過した後、デバイスは完全に機能するので、変換を開始できます。フル・リセットを行うには、RESET ピンを最低でも 1.2 μ s にわたりローに保持する必要があります。RESET を解除してから 15 ms 経過した後、デバイスの再設定が完了するので、変換を開始できます。

パーシャル・リセットを実行すると、以下のモジュールが再初期化されます。

- シーケンサ
- デジタル・フィルタ
- SPI
- 両方の SAR ADC

現在の変換結果はパーシャル・リセットの完了時に破棄されます。パーシャル・リセットは、ソフトウェア・モードでプログラムされたレジスタ値、またはハードウェア・モードとソフトウェア・モードの両方でユーザー設定を格納するラッチには影響を与えません。ソフトウェア・モードでは、パーシャル・リセット後にダミー変換が必要です。

フル・リセットを実行すると、デバイスがデフォルトのパワーオン状態に戻ります。AD7617 がフル・リセットから解除されると、以下の機能が設定されます。

- ハードウェア・モードまたはソフトウェア・モード
- 内部リファレンス／外部リファレンス
- インターフェースのタイプ

電源投入時、 V_{CC} 電源と V_{DRIVE} 電源が安定するとすぐに RESET 信号を解除できます。フル・リセット後に RESET ピンが解除されると、HW_RNGSELx、REFSEL、SER/PAR、および DB4/SER1W の各ピンのロジック・レベルによって設定内容が決まります。

ハードウェア・モードが選択されている場合、フル・リセット・モードで RESET ピンがローからハイに遷移すると、CRC、BURSTEN、SEQEN、および OSx 信号によって決定される機能もラッチされます。機能を設定した後、これらの信号に加える変更は無視されます。ハードウェア・モードでは、フル・リセットやパーシャル・リセット中、または通常動作中にアナログ入力レンジ (HW_RNGSELx 信号) を設定できます。ただし、ハードウェア／ソフトウェアのモード選択の再設定には、この設定がラッチされている限り、フル・リセットが必要です。

ハードウェア・モードでは、フル・リセットとパーシャル・リセットの両方から解除された時点で CHSELx ピンと HW_RNGSELx ピンが参照され、以下の操作が実行されます。

- 変換に使用するアナログ入力チャンネルの最初のペアを決定する。
- シーケンサの初期設定を行う。
- アナログ入力の電圧レンジを選択する。

CHSELx 信号と HW_RNGSELx 信号はラッチされません。変換に使用するチャンネル・ペアまたはハードウェア・シーケンサを通常動作中に再設定できます。この場合、CONVST の立上がりエッジが発生する前に CHSELx 信号レベルを設定し、BUSY が再びローに遷移するまで信号レベルを一定に保ちます。詳細については、チャンネル選択のセクションを参照してください。

ソフトウェア・モードでは、オンチップ・レジスタを制御してすべての追加機能を設定します。

ピン機能の概要

AD7617には、デュアル機能のピンがいくつかあります。これらの機能は、HW_RNGSELx ピンによって選択される動作モードに依存します。

各種動作モードとインターフェース・モードでのピン機能の概要を表 13 に示します。

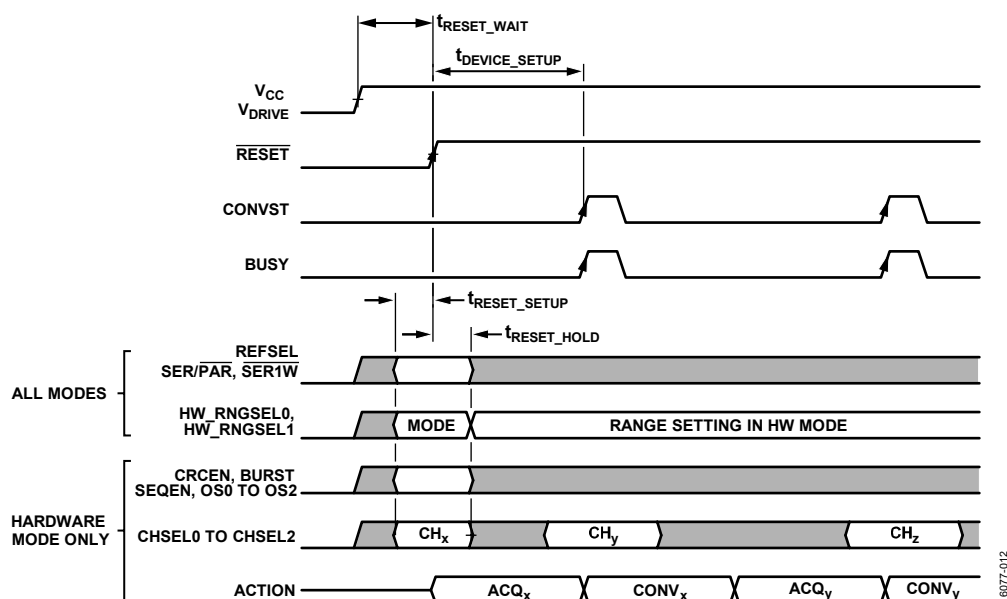


図 51. AD7617 のリセット時の設定

表 13. ピン機能の概要

| ピン | 動作モード | | | |
|---------------------|-----------------------------|---------------------|------------------------|--------------------------------|
| | ソフトウェア、HW_RNGSELx = 00 | | ハードウェア、HW_RNGSELx ≠ 00 | |
| | シリアル、SER/PAR = 1 | パラレル、SER/PAR = 0 | シリアル、SER/PAR = 1 | パラレル、SER/PAR = 0 |
| CHSELx | 機能なし、DGND に接続 | 機能なし、DGND に接続 | CHSELx | CHSELx |
| SCLK/RD | SCLK | RD | SCLK | RD |
| WR/BURST | DGND に接続 | WR | BURST | BURST |
| DB15/OS0 ~ DB13/OS2 | DGND に接続 | DB15 ~ DB13 | OSx | DB15 ~ DB13 |
| DB12/SDOA | SDOA | DB12 | SDOA | DB12 |
| DB11/SDOB | SDOB、シリアル 1 線モードではフロート状態のまま | DB11 | SDOB | DB11 |
| DB10/SDI | SDI | DB10 | DGND に接続 | DB10 |
| DB9 ~ DB6、DB3 ~ DB2 | DGND に接続 | DB9 ~ DB6、DB3 ~ DB2 | DGND に接続 | DB9 ~ DB6、DB3 ~ DB2 |
| DB5/CRCEN | DGND に接続 | DB5 | CRCEN | DB5 |
| DB4/SER1W | SER1W | DB4 | SER1W | DB4 |
| DB1 ~ DB0 | DGND に接続 | DB1 ~ DB0 | DGND に接続 | フロート状態または 10 kΩ 抵抗経由で DGND に接続 |
| HW_RNGSELx | HW_RNGSELx、DGND に接続 | HW_RNGSELx、DGND に接続 | HW_RNGSELx、アナログ入力範囲を設定 | HW_RNGSELx、アナログ入力範囲を設定 |
| SEQEN | 機能なし、DGND に接続 | 機能なし、DGND に接続 | SEQEN | SEQEN |
| REFSEL | REFSEL | REFSEL | REFSEL | REFSEL |

デジタル・インターフェース

チャンネル選択

ハードウェア・モード

CHSELx 信号のロジック・レベルによって、変換に使用するチャンネル・ペアが決定されます。信号のデコードについては、表 14 を参照してください。フル・リセットまたはパーシャル・リセットの一方が解除された時点で、CHSELx 信号によってサンプリングに使用する最初のチャンネル・ペアが決定されます。リセット後、BUSY がハイの期間中に CHSELx 信号のロジック・レベルが参照され、次の変換に使用するチャンネル・ペアが設定されます。CHSELx 信号レベルは CONVST がローからハイに移転する前に設定し、BUSY がハイからローに移転して変換が完了するまで維持する必要があります。詳細については、図 52 を参照してください。

ソフトウェア・モード

ソフトウェア・モードでは、チャンネル・レジスタを制御することで、変換に使用するチャンネルを選択します。電源投入時またはリセット後に、変換に使用するデフォルトのチャンネルは、チャンネル V0A とチャンネル V0B です（図 53 参照）。

表 14. CHSELx ピンのデコード

| Channel Selection Input Pin | | | Analog Input Channels for Conversion |
|-----------------------------|--------|--------|--------------------------------------|
| CHSEL0 | CHSEL1 | CHSEL2 | |
| 0 | 0 | 0 | V0A, V0B |
| 0 | 0 | 1 | V1A, V1B |
| 0 | 1 | 0 | V2A, V2B |
| 0 | 1 | 1 | V3A, V3B |
| 1 | 0 | 0 | V4A, V4B |
| 1 | 0 | 1 | V5A, V5B |
| 1 | 1 | 0 | V6A, V6B |
| 1 | 1 | 1 | V7A, V7B |

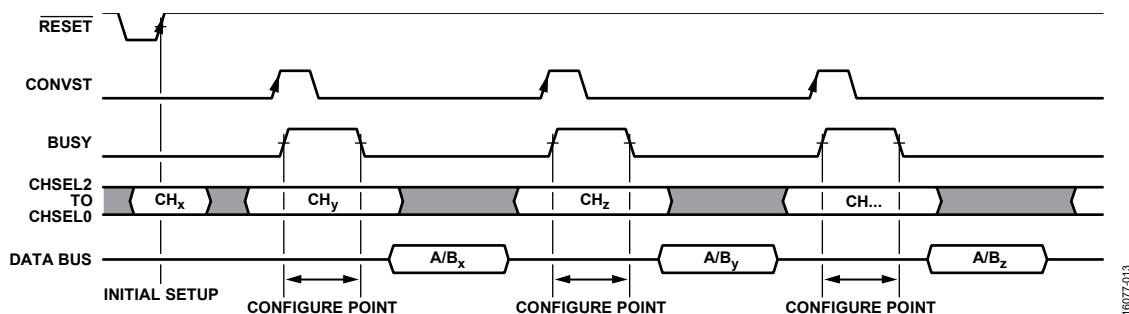


図 52. ハードウェア・モードのチャンネル変換の設定

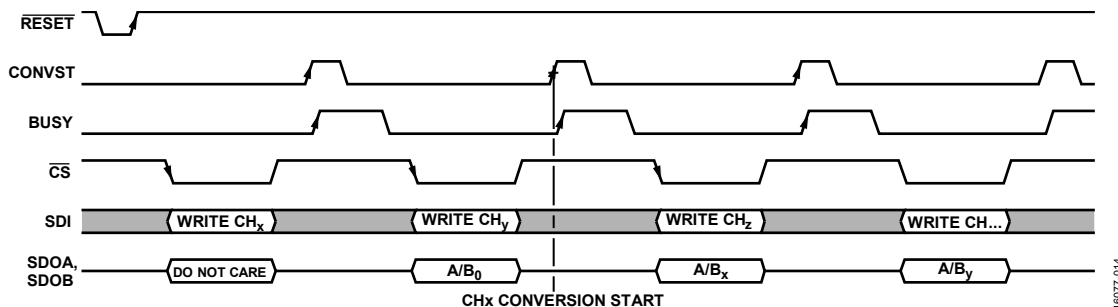


図 53. ソフトウェア・シリアル・モードのチャンネル変換の設定

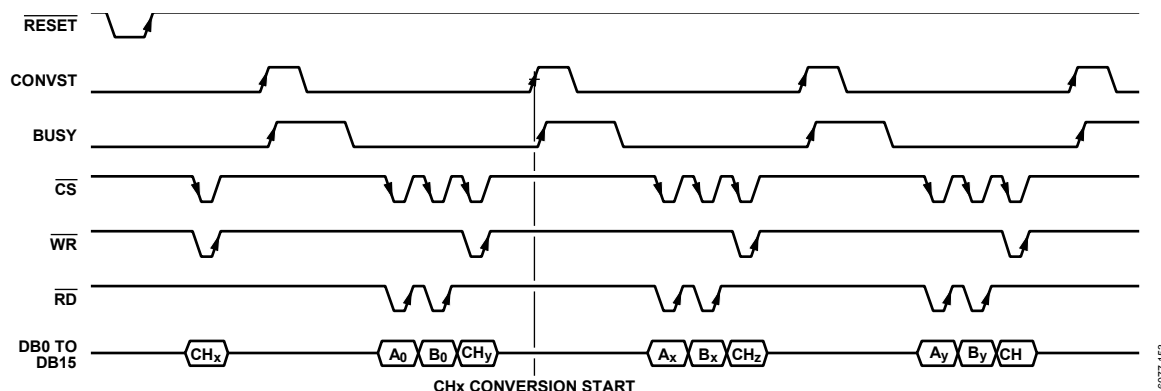


図 54. ソフトウェア・パラレル・モードのチャンネル変換の設定

パラレル・インターフェース

パラレル・インターフェースでは、変換結果の読出しや、オンチップ・レジスタの設定と読出しが実行されます。標準の \overline{CS} 、 \overline{RD} 、 \overline{WR} 信号を使用し、パラレル・データ・バスを介して AD7617 からデータを読み出すことができます。パラレル・バスを介してデータを読み出すには、SER/PAR ピンをローに接続します。

変換結果の読出し

CONVST 信号によって変換プロセスが開始されます。CONVST 信号がローからハイに遷移すると、選択した入力の変換が開始されます。変換の進行中は、BUSY 信号がハイになります。BUSY 信号がハイからローに遷移して変換が完了すると、パラレル・インターフェースで変換結果を読み出すことができます。

標準の \overline{CS} と \overline{RD} の信号を使用し、パラレル・データ・バスを介して AD7617 からデータを読み出すことができます。 \overline{CS} と \overline{RD} の入力信号が内部でゲート制御され、変換結果がデータ・バスに出力されます。 \overline{CS} と \overline{RD} の両方がロジック・ローになると、データ・ライン DB15～DB2 の高インピーダンス状態が解消します。DB15 は変換結果の MSB で、DB2 は 14 ビットの変換結果の LSB です。データ・ライン DB1 と DB0 は、レジスタの書き込み/読出し動作または CRC 結果の読出しのみに使用されます。

\overline{CS} 入力信号の立上がりエッジが発生すると、バスは 3 ステートになります。 \overline{CS} 入力信号の立下がりエッジが発生すると、バスの高インピーダンス状態が解消します。 \overline{CS} はデータ・ラインをイネーブルにする制御信号で、複数の AD7617 デバイスが同じパラレル・データ・バスを共有できるようになります。

必要な読出し操作の数は、デバイス構成によって異なります。同時にサンプリングされた A チャンネルと B チャンネルの変換結果を読み出すには、最低でも 2 回の読出しが必要です。CRC、ステータス、バースト・モードなどの追加機能をイネーブルにすると、必要な読出し回数が増えます。

\overline{RD} ピンは出力変換結果のレジスタからデータを読み出します。AD7617 の \overline{RD} ピンに \overline{RD} パルスのシーケンスを印加すると、各チャンネルからの変換結果がパラレル・バス DB15～DB2 にクロック・アウトされます。

BUSY がローになった後に \overline{RD} の最初の立下がりエッジが発生すると、チャンネル A_x の変換結果がクロック・アウトされます。 \overline{RD} の次の立下がりエッジが発生すると、チャンネル B_x の変換結果でバスが更新されます。

レジスタ・データの書き込み

ソフトウェア・モードでは、パラレル・インターフェースを介して AD7617 のすべてのリード/ライト・レジスタに書き込むことができます。レジスタへの書き込みコマンドは、パラレル・バス (DB15～DB0)、 \overline{CS} と \overline{WR} の信号を介して、1 回の 16 ビット・パラレル・アクセスによって実行されます。AD7617 に書き込むデータを DB15～DB0 入力に与えます。DB0 はデータ・ワードの LSB になります。書き込みコマンドのフォーマットを図 55 に示します。書き込みコマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット [D14:D9] には、レジスタのアドレスが格納されます。後続の 9 ビット (ビット [D8:D0]) には、選択したレジスタに書き込むデータが格納されます。レジスタ・アドレスの完全なリストについては、レジスタの一覧のセクションを参照してください。データは \overline{WR} の立上がりエッジでデバイスにラッチされます。

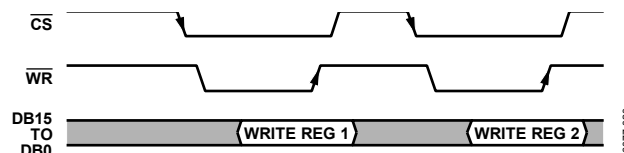


図 55. パラレル・インターフェース・レジスタへの書き込み

レジスタ・データの読出し

デバイス内のすべてのレジスタは、パラレル・インターフェースを介して読み出すことができます。レジスタの読出しは、最初に読み出すレジスタのアドレスを AD7617 に書き込むことによって実行します。これらのレジスタからの読出しコマンドに使用するフォーマットを図 57 に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット [D14:D9] には、レジスタのアドレスが格納されます。後続の 9 ビット (ビット [D8:D0]) は無視されます。読出しコマンドは \overline{WR} の立上がりエッジで AD7617 にラッチされます。このラッチにより、関連するレジスタ・データが出力レジスタに転送されます。その後、標準の読出しコマンドを使用して、DB15～DB0 ピンからレジスタ・データを読み出すことができます。詳細については、図 57 を参照してください。

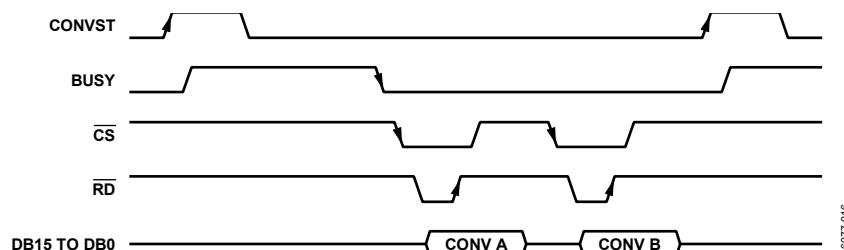


図 56. パラレル・インターフェース変換の読出し

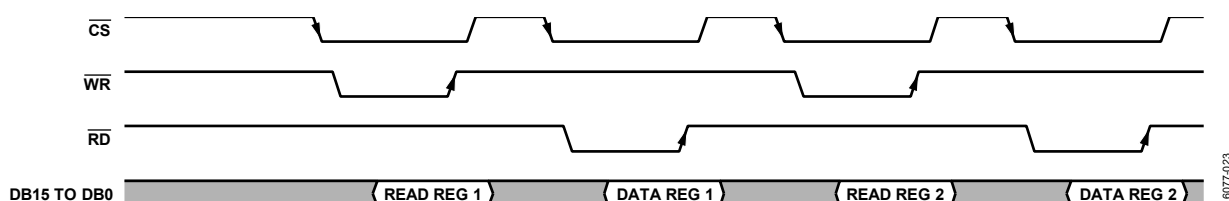


図 57. パラレル・インターフェース・レジスタの読出し

シリアル・インターフェース

SPI を介して AD7617 にインターフェースを形成するには、SER/PAR ピンをハイに接続する必要があります。CS 信号と SCLK 信号は、AD7617 からデータを転送します。AD7617 には、2 つのシリアル・データ出力ピン (SDOA と SDOB) があります。シリアル 1 線モードまたはシリアル 2 線モードを使用して AD7617 からデータを読み出します。 -

AD7617 のシリアル 2 線モードでは、チャンネル V0A からチャンネル V7A までの変換結果は SDOA に出力され、チャンネル V0B からチャンネル V7B までの変換結果は SDOB に出力されます。シリアル 1 線モードでは、チャンネル V0B からチャンネル V7B までの変換結果とチャンネル V0A からチャンネル V7A までの変換結果が交互に出力されます。最大スループットを実現するには、2 線モードを使用する必要があります。

SDOA と SDOB の両方からデータを読み出すには、SER1W ピンをハイに接続する必要があります。SDOA のみからデータを読み出す場合は、SER1W ピンをローに接続します。AD7617 がフル・リセットから解除されると、シリアル 1 線モードまたはシリアル 2 線モードが設定されます。

変換結果の読出し

CONVST 信号によって変換プロセスが開始されます。CONVST 信号がローからハイに遷移すると、選択した入力の変換が開始されます。変換の進行中は、BUSY 信号がハイになります。BUSY 信号がハイからローに遷移して変換が完了すると、シリアル・インターフェースで変換結果を読み出すことができます。

CS の立下がりエッジで、SDOA と SDOB のデータ出力ラインが 3 ステートから解除され、変換結果の MSB がクロック・アウトされます。SCLK の立上がりエッジで、後続のすべてのデータ・ビットがシリアル・データ出力 (SDOA と SDOB) にクロック・アウトされます。AD7617 の 2 本の SDO ラインを使用して、同時変換の 2 つの結果を読み出す様子を図 58 に示します。ステータス・レジスタを変換結果に追加する場合、または 16 SCLK の倍数で AD7617 からのデータにアクセスするシーケンサ・バースト・モードで動作している場合は、CS をロー・レベルに保持してデータ全体をフレーム化します。

SDOx ラインを 1 本だけ使用してデータをクロック・アウトさせることもできます。この場合、SDOA を使用してすべての変換データにアクセスします。AD7617 が 1 本の SDOx ラインでチャンネル VxA とチャンネル VxB の両方の変換結果にアクセスするには、合計 32 SCLK サイクルが必要です。CS 信号 1 つでこれらの 32 SCLK サイクルをフレーム化するか、あるいは 16 SCLK サイクルのグループごとに CS 信号を使用して個別にフレーム化します。スループット・レートが低下するのが、SDO ラインを 1 本だけ使用する場合の欠点です。

シリアル 2 線では、変換結果の読出しを実行するために 16 SCLK サイクルが必要です。最初の SCLK サイクルは、変換結果の MSB の読出しを実行します。14 番目の SCLK サイクルは、LSB の読出しを実行します。最後の 2 つの SCLK サイクルは、0 をクロック・アウトします (図 58 を参照)。シリアル 1 線では、変換結果の読出しを実行するために 32 SCLK サイクル (または 2×16 SCLK サイクル) が必要です。最初の 16 SCLK サイクルでは、14 ビットのチャンネル VxA の結果を読み出した後、2 つの 0 が続きます。次の 16 SCLK サイクルでは、14 ビットのチャンネル VxB の結果を読み出した後、2 つの 0 が続きます (図 59 を参照)。CRC をイネーブルにすると、すべての 16 SCLK サイクルでステータス・レジスタの読出しが実行されます。詳細については、CRC のセクションを参照してください。

シリアル 1 線モードでは、使用しない SDOB ラインは接続しません。SDOA を単一のシリアル・データ出力ラインとして使用する場合、チャンネルの結果は VxA、VxB の順序で出力されます。1 線のシリアル読出し動作を図 59 に示します。

シリアル・インターフェース・モードでデータを読み出す速度は、SPI 周波数、V_{DRIVE} 電源、および SDO ラインの負荷容量 C_{LOAD} に依存します。各種条件下で実現可能な最大速度を表 15 にまとめます。

表 15. SPI 周波数、負荷容量、および V_{DRIVE}

| V _{DRIVE} (V) | C _{LOAD} (pF) | SPI Frequency (MHz) |
|------------------------|------------------------|---------------------|
| 2.3 to 3 | 20 | 40 |
| 3 to 3.6 | 30 | 50 |

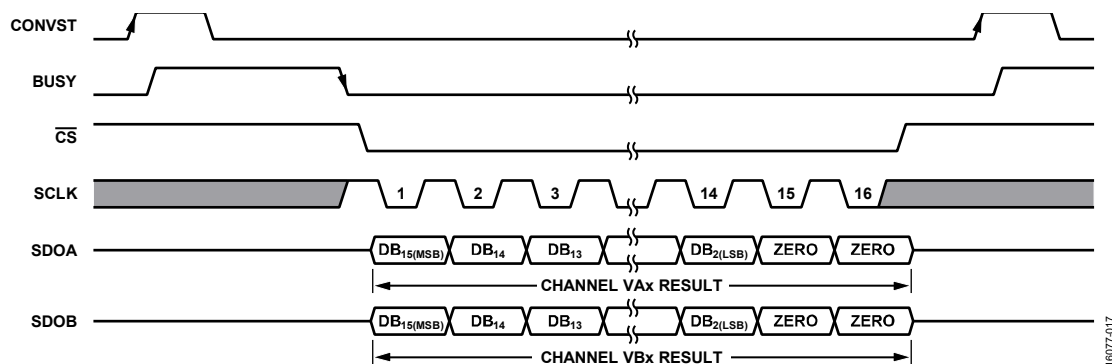


図 58. シリアル・インターフェース、2 線モード読出し変換の結果

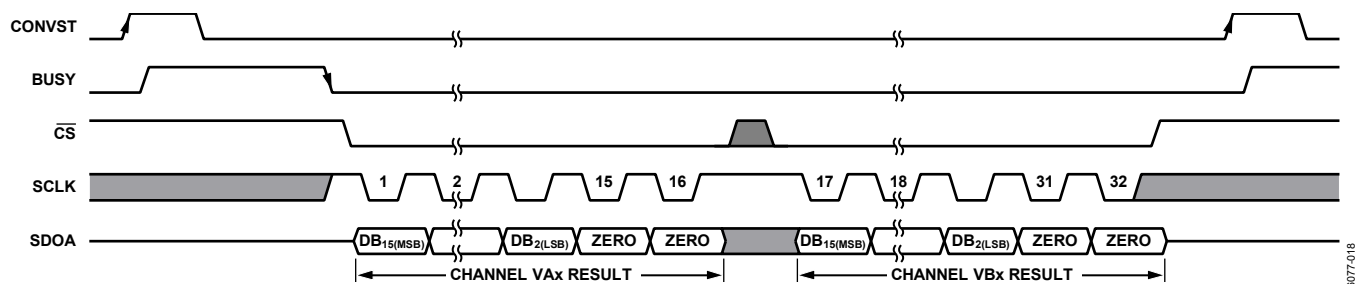


図 59. シリアル・インターフェース、1 線モード読出し変換の結果

レジスタ・データの書き込み

AD7617のすべてのリード／ライト・レジスタに、シリアル・インターフェースを介して書き込むことができます。レジスタ書き込みコマンドは、1回の16ビットSPIアクセスによって実行されます。書き込みコマンドのフォーマットを表16に示します。書き込みコマンドを選択するには、ビットD15を1に設定する必要があります。ビット[D14:D9]には、レジスタのアドレスが格納されます。後続の9ビット（ビット[D8:D0]）には、選択したレジスタに書き込むデータが格納されます。図60に、典型的なシリアル・インターフェース・レジスタへの書き込みコマンドを示します。

レジスタ・データの読出し

デバイス内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作（NOP）のいずれかの追加SPIコマンドを発行します。読出しコマンドのフォーマットを表17に示します。読出しコマンドを選択するには、ビットD15を0に設定する必要があります。ビット[D14:D9]には、レジスタのアドレスが格納されます。後続の9ビット（ビット[D8:D0]）は無視されます。レジスタ・アドレスの完全なリストについては、レジスタの一覧のセクションを参照してください。図61に、典型的なシリアル・インターフェース・レジスタの読出しコマンドを示します。

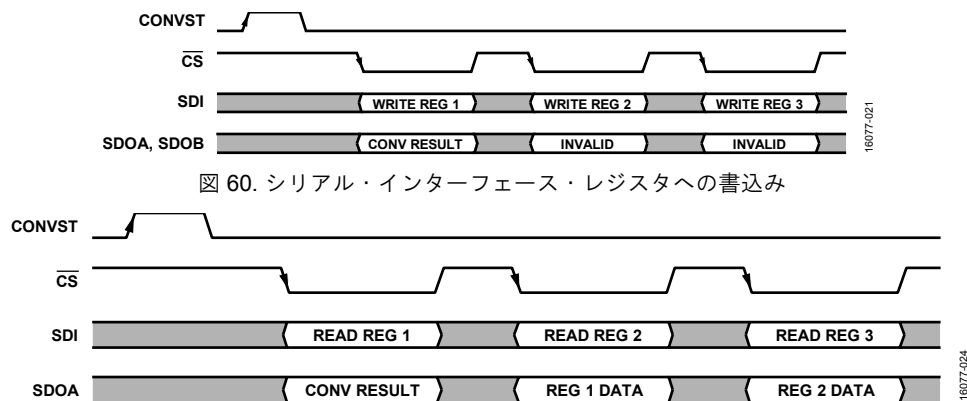


図 60. シリアル・インターフェース・レジスタへの書き込み

図 61. シリアル・インターフェース・レジスタの読出し

表 16. 書き込みコマンド・メッセージの構成

| MSB | | | | | | | | | | | | | | LSB | |
|-----|------------------|-----|-----|-----|-----|----|---------------|----|----|----|----|----|----|-----|----|
| D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| W/R | REGADDR[5:0] | | | | | | Data[8:0] | | | | | | | | |
| 1 | Register address | | | | | | Data to write | | | | | | | | |

表 17. 読出しコマンド・メッセージの構成

| MSB | | | | | | | | | | | | | | LSB | |
|-----|------------------|-----|-----|-----|-----|----|-------------|----|----|----|----|----|----|-----|----|
| D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| W/R | REGADDR[5:0] | | | | | | Data[8:0] | | | | | | | | |
| 0 | Register address | | | | | | Do not care | | | | | | | | |

シーケンサ

AD7617 は、高度に設定可能なオンチップ・シーケンサを備えています。シーケンサの機能と設定は AD7617 の動作モードによって異なります。

ハードウェア・モードのシーケンサは逐次動作のみです。シーケンサは常にチャンネル V0A とチャンネル V0B で変換を開始し、設定された最終チャンネルに達するまで、後続の各チャンネルの信号を変換します。

ソフトウェア・モードでは、シーケンサで追加の機能を使用したり、設定することができます。シーケンサ・スタックには、一意に設定可能な 32 個のシーケンス・ステップがあり、チャンネルの順序を任意にプログラムすることができます。さらに、任意のチャンネル VxA 入力を任意のチャンネル VxB 入力または診断チャンネルとペアにすることができます。

シーケンサは、バースト機能が有効でなくても動作します。バースト機能を有効にすると、CONVST パルスを 1 回発生させるだけで、シーケンス内のすべてのチャンネルを変換できます。バースト・モードを無効にすると、シーケンス内の変換ステップごとに CONVST パルスを 1 回発生させる必要があります。バースト・モード動作の詳細については、バースト・シーケンサのセクションを参照してください。

ハードウェア・モード・シーケンサ

ハードウェア・モードでは、SEQEN ピンと CHSELx ピンによってシーケンサを制御します。AD7617 がフル・リセットから解除されると、シーケンサはイネーブルまたはディスエーブルになります。RESET ピンが解除された時点の SEQEN ピンのロジック・レベルによって、シーケンサがイネーブルまたはディスエーブルになります（設定については、表 18 を参照）。RESET ピンを解除すると機能は固定されるので、その機能を終了して別の設定にするには、RESET ピンでのフル・リセットが必要です。

表 18. ハードウェア・モード・シーケンサの設定

| SEQEN | Interface Mode |
|-------|--------------------|
| 0 | Sequencer disabled |
| 1 | Sequencer enabled |

シーケンサがイネーブルになると、CHSELx ピンのロジック・レベルによって、シーケンス内で変換に使用するチャンネルが決まります。RESET が解除された時点で、CHSELx ピンによってシーケンス内の変換に使用するチャンネルの初期設定が決まります。その後、変換対象に選択されたチャンネルを再設定するには、現在の変換シーケンスが完了する前に、最後の BUSY パルスの持続時間にわたり CHSELx ピンを必要な設定にします。詳細については、図 62 を参照してください。

表 19. CHSELx ピンのデコードによって選択されるシーケンサ

| Channel Selection Input Pin | | | Analog Input Channels for Sequential Conversion |
|-----------------------------|--------|--------|-------------------------------------------------|
| CHSEL0 | CHSEL1 | CHSEL2 | |
| 0 | 0 | 0 | V0x only |
| 0 | 0 | 1 | V0x to V1x |
| 0 | 1 | 0 | V0x to V2x |
| 0 | 1 | 1 | V0x to V3x |
| 1 | 0 | 0 | V0x to V4x |
| 1 | 0 | 1 | V0x to V5x |
| 1 | 1 | 0 | V0x to V6x |
| 1 | 1 | 1 | V0x to V7x |

ソフトウェア・モード・シーケンサ

ソフトウェア・モードでは、AD7617 は 32 つのレイヤによるフル設定可能なシーケンサ・スタックを備えています。シーケンサを制御するには、パラレルまたはシリアルインターフェースを介し、設定レジスタとシーケンサ・スタック・レジスタをプログラムします。

各スタックのステップは、チャンネル VxA の任意の入力とチャンネル VxB の任意の入力をペアにするよう個別にプログラムすることができます。あるいは、任意の診断チャンネルで変換を実行することもできます。シーケンサは 1 ～ 32 の任意の長さに設定できます。シーケンサの深さは SSRENx ビットで制御されます。必要な最後のステップに対応する、シーケンサ・スタック・レジスタの SSRENx ビットを設定します。変換するチャンネルは、必要な深さに対して各シーケンス・スタック・レジスタの ASELx ビットと BSELx ビットをプログラムすることによって選択します。

設定レジスタの SEQEN ビットを 1 に設定すると、シーケンサが動作します。

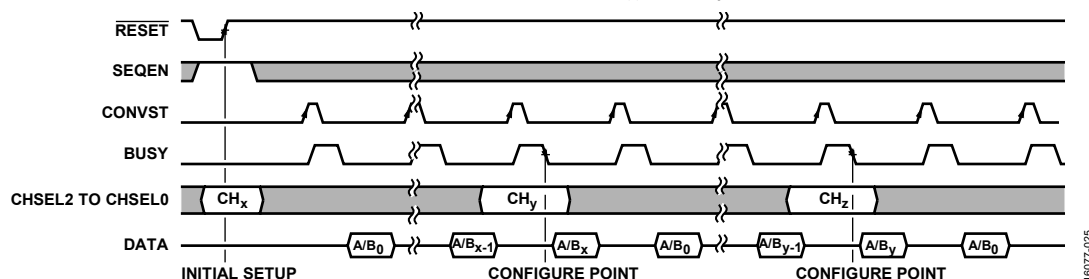


図 62. ハードウェア・モード・シーケンサの設定

シーケンサを設定してイネーブルにするには、以下の手順に従うことが推奨されます（図 63 を参照）。

1. 必要なアナログ入力チャンネルのレンジを設定する。
2. シーケンサ・スタック・レジスタをプログラムして、シーケンスのチャンネルを選択する。
3. 最後に必要なシーケンス・ステップに SSRENx ビットを設定する。
4. 設定レジスタの SEQEN ビットを設定する。
5. ダミーの CONVST パルスを印加する。
6. CONVST パルスと変換の読出しを繰り返し、シーケンサ・スタックの各要素を順番に実行する。

次の CONVST パルスで、シーケンサ・スタックの最初の要素からシーケンスが自動的に再開します。

パーシャル・リセットを実行すると、シーケンサ・ポインタはスタックの最初のレイヤに戻りますが、レジスタにプログラムされた値は変更されません。

バースト・シーケンサ

バースト・モードでは、変換シーケンスのステップごとに CONVST パルスが発生することはありません。CONVST パルスが 1 回発生すると、シーケンス内の全ステップで変換が行われます。

バースト・シーケンサは、シーケンサと連動して動作する追加機能です。バースト機能を有効にすると、CONVST パルスを 1 回発生させるだけで、シーケンサに設定されている全チャンネルの変換が開始されます。バースト機能が無効になっている場合と同様、変換シーケンスのステップごとに CONVST パルスが発生することはありません。

バースト機能の設定は、動作モード（ハードウェア・モードまたはソフトウェア・モード）によって異なります。各モードでのバースト機能の設定については、ハードウェア・モード・バーストセクションとソフトウェア・モード・バーストセクションを参照してください。

バースト機能を設定すると、CONVST の立上がりエッジでバースト・シーケンスが開始されます。BUSY ピンがハイになると、変換が進行中であることがわかります。シーケンス内のすべての変換が完了するまで、BUSY ピンはハイのままです。変換結果は、BUSY ピンがローになった後で読み出すことができます。

バースト・シーケンス内の全データを読み出すのに必要なデータ読出し回数は、設定するシーケンスの長さに依存します。変換結果は、プログラムしたシーケンスと同じ順序で（パラレルまたはシリアル）データ・バスに出力されます。

バースト・モードでは、AD7617 のスループット・レートが制限され、シーケンスの長さに依存します。各チャンネル・ペアには、アキュイジション時間、変換時間、および読出し時間が必要です。チャンネル・ペア数 N のシーケンスを完了するのにかかる時間は、次式で見積ることができます。

$$t_{BURST} = (t_{CONV} + 25 \text{ ns}) + (N - 1)(t_{ACQ} + t_{CONV}) + N(t_{RB})$$

ここで、

t_{CONV} は標準の変換時間です。

t_{ACQ} は標準のアキュイジション時間です。

t_{RB} は、シリアル 1 線、シリアル 2 線、またはパラレルの各モードのいずれかで変換結果を読み出すのに必要な時間です。

ハードウェア・モード・バースト

ハードウェア・モードで BURST ピンを 1 に設定すると、バースト・モードがイネーブルになります。SEQEN ピンを 1 に設定して、シーケンサをイネーブルにする必要もあります。

ハードウェア・モードでは、バースト・シーケンサが BURST、SEQEN、CHSELx の各ピンによって制御されます。AD7617 がフル・リセットから解除されると、バースト・シーケンサがイネーブルまたはディスエーブルになります。RESET ピンが解除された時点で、SEQEN ピンと BURST ピンのロジック・レベルによってバースト・シーケンサがイネーブルになるか、ディスエーブルになるか決まります。RESET ピンを解除すると機能が固定されるので、その機能を終了して別の設定にするには、RESET ピンでのフル・リセットが必要です。

バースト・シーケンサをイネーブルにすると、CHSELx ピンのロジック・レベルによって、バースト・シーケンスでの変換に使用するチャンネルが決まります。RESET が解除された時点で、CHSELx ピンによってバースト・シーケンスで変換に使用するチャンネルの初期設定が決まります。リセット後の変換に使用したチャンネルを設定し直すには、次の BUSY パルス期間中に CHSELx ピンを設定します（詳細については、図 64 を参照）。

ソフトウェア・モード・バースト

ソフトウェア・モードでは、設定レジスタの BURST ビットを 1 に設定することで、バースト機能が有効になります。この操作はソフトウェア・モード・シーケンサセクションで説明したシーケンサ設定の手順に従って、設定レジスタの SEQEN ビットを設定する際に実行する必要があります（詳細については、図 65 を参照）。

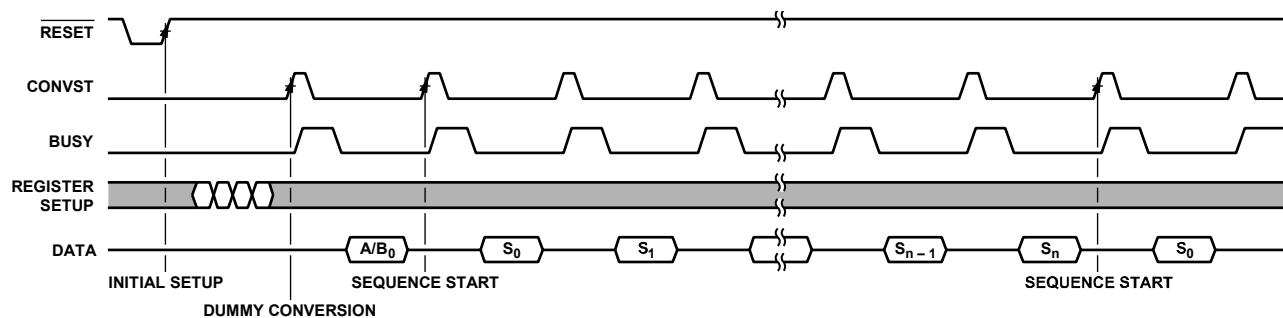


図 63. ソフトウェア・モード・シーケンサの設定

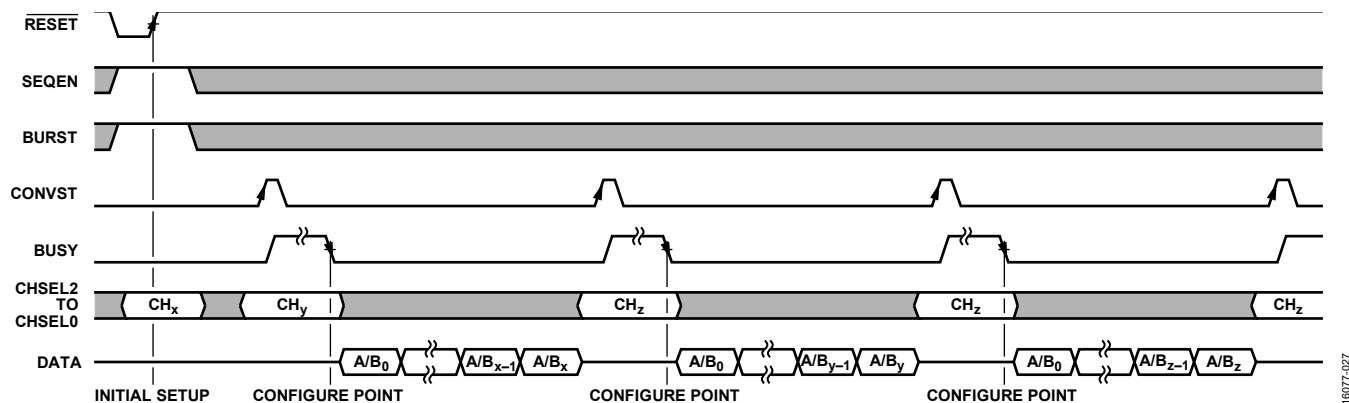


図 64. BURST シーケンサ、ハードウェア・モード

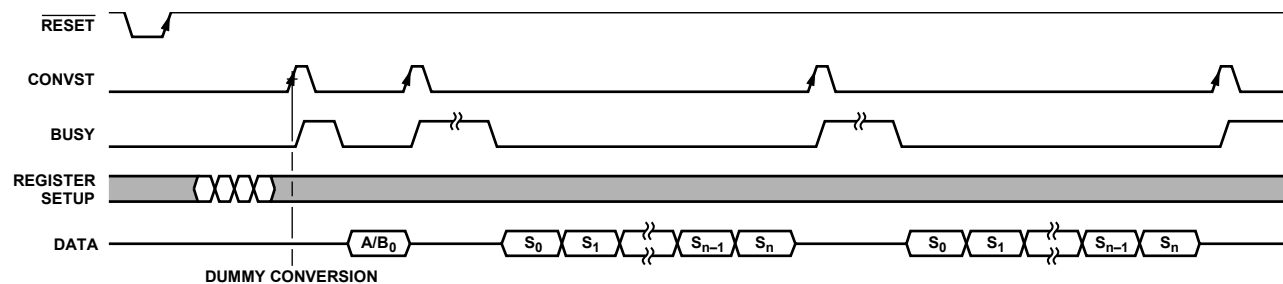


図 65. BURST シーケンサ、ソフトウェア・モード

診断機能

診断チャンネル

AD7617 では、16 個のアナログ入力 (VxA および VxB) に加えて、VCC およびアナログ ALDO 電圧の診断チャンネルを変換することもできます。VCC および ALDO 電圧。変換に使用する診断チャンネルを選択するには、対応するチャンネル識別子にチャンネル・レジスタ (チャンネル・レジスタのセクションを参照) をプログラムします。診断チャンネルはソフトウェア・モードでシーケンサ・スタックに追加できますが、250 kSPS 未満のスループット・レートでないと正確な値を得られません。診断チャンネルを使用する際に予想される、サンプリング周波数に対する期待値からの偏差のプロットについては、図 66 を参照してください。

各チャンネルで予想される出力は、以下の伝達関数によって決まります。

$$V_{CC} \text{ Code} = \frac{((4 \times V_{CC}) - V_{REF}) \times 32,768}{5 \times V_{REF}}$$

$$LDO \text{ Code} = \frac{((10 \times V_{ALDO}) - (7 \times V_{REF})) \times 32,768}{10 \times V_{REF}}$$

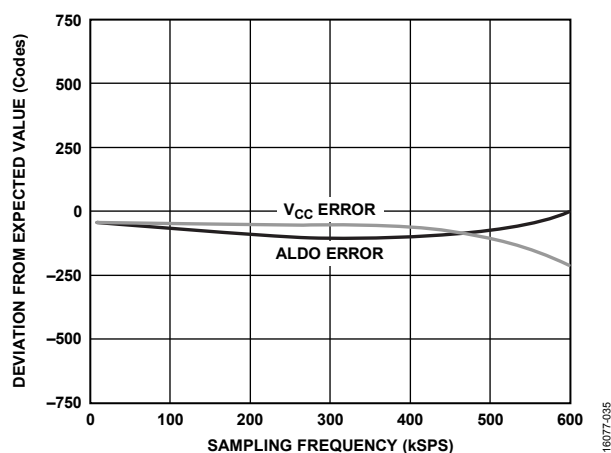


図 66. 期待値からの偏差とサンプリング周波数の関係

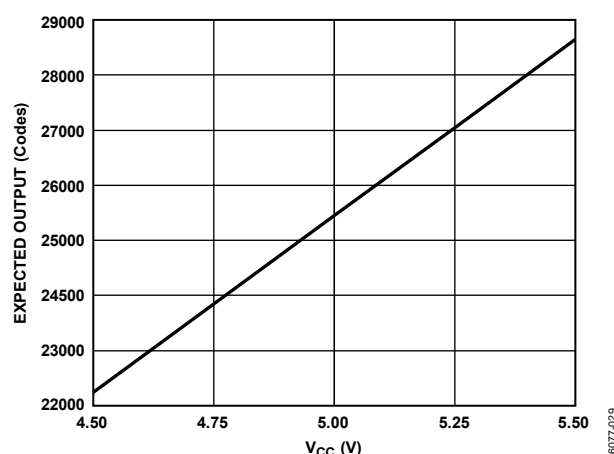


図 67. VCC 診断の伝達関数

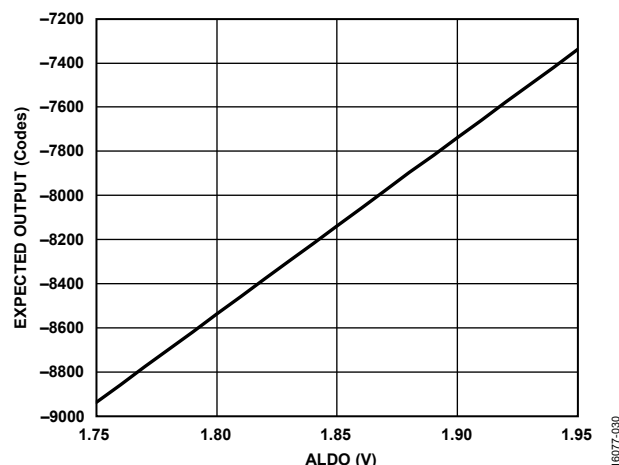


図 68. ALDO 診断の伝達関数

インターフェース・セルフ・テスト

デジタル・インターフェースの整合性は、チャンネル・レジスタで通信セルフ・テスト・チャンネルを選択することでテストできます (チャンネル・レジスタのセクションを参照)。

変換のための通信セルフ・テストを選択すると、変換結果レジスタの値が既知の固定出力に強制的に設定されます。変換コードを読み出すと、ADC A の変換コードとしてコード 0x2AAA が出力され、ADC B の変換コードとしてコード 0x1555 が出力されます。

CRC

AD7617 には、データのエラーを検出するための巡回冗長検査 (CRC) のチェックサム・モードがあるので、インターフェースの信頼性が向上します。CRC 機能は、ソフトウェア (シリアルおよびパラレル) モードとハードウェア (シリアルのみ) モードの両方で使用できます。CRC 機能はハードウェア・パラレル・モードでは使用できません。CRC の結果はステータス・レジスタに格納されます。CRC 機能をイネーブルにすると、ステータス・レジスタがイネーブルになります。その逆も同様です。

ハードウェア・モードでは、CRCEN ピンによって CRC 機能が制御されます。AD7617 がフル・リセットから解除されると、CRC 機能はイネーブルまたはディスエーブルになります。RESET ピンが解除された時点で、CRCEN ピンのロジック・レベルによって CRC 機能がイネーブルになるか、ディスエーブルになるか決まります。CRC 機能をイネーブルにするには、CRCEN ピンを 1 に設定します。RESET ピンを解除すると機能は固定されるので、その機能を終了して別の設定にするには、RESET ピンでのフル・リセットが必要です。詳細については、リセット機能のセクションを参照してください。この機能をイネーブルにすると、CRC の結果が変換結果に付加され、16 ビットのワード構成になります。ここで、前半の 8 ビットには最後に変換されたチャンネル・ペアのチャンネル ID が格納され、後半の 8 ビットには CRC の結果が格納されます。図 69 に示すように、追加の読み出しコマンドを使用して結果にアクセスします。

ソフトウェア・モードでは、設定レジスタのCRCEN ビットまたはSTATUSEN ビットを1に設定することでCRC 機能を有効にします（ステータス・レジスタのセクションを参照）。

CRC 機能が有効になると、チャンネル VxA とチャンネル VxB の変換結果に対して CRC が計算されます。変換結果が送信された後に、デバイスの構成に応じてシリアルまたはパラレルのインターフェースで CRC が計算され、転送されます。ハミング距離は、変換結果のビット数によって変化します。119 ビット以下の変換では、ハミング距離は 4 になります。119 ビットを上回る場合、ハミング距離は 1 になります。すなわち、1 ビット・エラーが常に検出されます。

AD7617 で使用される CRC 多項式は次のとおりです。

$$x^8 + x^2 + x + 1$$

以下の疑似コードを使用して、AD7617 でどのように CRC を実装するか説明します。

```
crc = 8'b0;
i = 0;
x = number of conversion channel pairs;
for (i=0, i<x, i++) begin
  crc1 = crc_out(An,Crc);
  crc = crc_out(Bn,Crc1);
  i = i +1;
end
```

ここで、関数 crc_out (data, crc) は以下のとおりです。

```
crc_out[0] = data[14] ^ data[12] ^ data[8] ^
data[7] ^ data[6] ^ data[0] ^ crc[0] ^ crc[4] ^
crc[6];
crc_out[1] = data[15] ^ data[14] ^ data[13] ^
data[12] ^ data[9] ^ data[6] ^ data[1] ^ data[0] ^
crc[1] ^ crc[4] ^ crc[5] ^ crc[6] ^ crc[7];
```

```
crc_out[2] = data[15] ^ data[13] ^ data[12] ^
data[10] ^ data[8] ^ data[6] ^ data[2] ^ data[1] ^
data[0] ^ crc[0] ^ crc[2] ^ crc[4] ^ crc[5] ^
crc[7];
```

```
crc_out[3] = data[14] ^ data[13] ^ data[11] ^
data[9] ^ data[7] ^ data[3] ^ data[2] ^ data[1] ^
crc[1] ^ crc[3] ^ crc[5] ^ crc[6];
```

```
crc_out[4] = data[15] ^ data[14] ^ data[12] ^
data[10] ^ data[8] ^ data[4] ^ data[3] ^ data[2] ^
crc[0] ^ crc[2] ^ crc[4] ^ crc[6] ^ crc[7];
```

```
crc_out[5] = data[15] ^ data[13] ^ data[11] ^
data[9] ^ data[5] ^ data[4] ^ data[3] ^ crc[1] ^
crc[3] ^ crc[5] ^ crc[7];
```

```
crc_out[6] = data[14] ^ data[12] ^ data[10] ^
data[6] ^ data[5] ^ data[4] ^ crc[2] ^ crc[4] ^
crc[6];
```

```
crc_out[7] = data[15] ^ data[13] ^ data[11] ^
data[7] ^ data[6] ^ data[5] ^ crc[3] ^ crc[5] ^
crc[7];
```

AD7617 が使用する最初の CRC ワードは、ゼロに等しい 8 ビット・ワードです。上記のコードで記述された XOR 演算が実行され、変換結果の A_N に対して CRC ワードの各ビットが計算されます。この CRC ワード (crc1) は、変換結果 B_N の CRC ワード (crc) を計算するための開始点として使用されます。このプロセスは、変換されたチャンネル・ペアごとに循環して繰り返されます。

AD7617 の動作モードに応じて、ステータス・レジスタの値が変換データに付加され、シリアルまたはパラレルのインターフェースを介して追加のコマンドで読み出されます。その後、ユーザーは受け取った変換結果に対して上記のコードで記述された XOR 計算を繰り返すことで、両方の CRC ワードが一致するかどうか確認できます。各動作モードで、CRC ワードがどのようにデータに付加されるかについては、図 69 を参照してください。

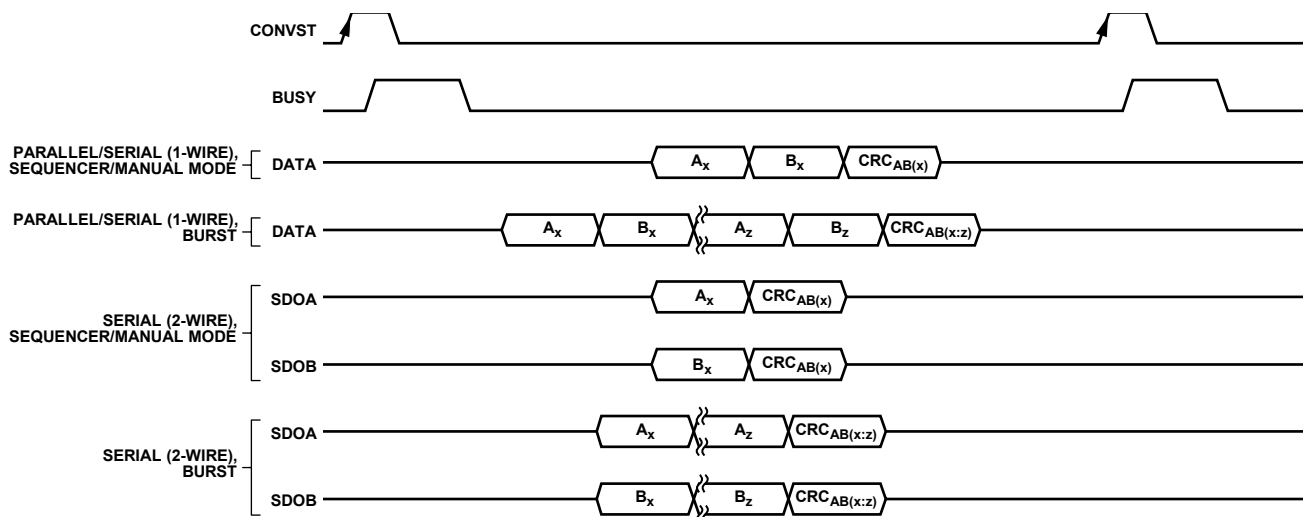


図 69. すべてのモードでの CRC 読出し

レジスタの一覧

AD7617には、ソフトウェア・モードでデバイスを構成するのに使用される6個のリード/ライト・レジスタ、フレキシブルなオンチップ・シーケンサをプログラムするための追加の32個のシーケンサ・スタック・レジスタ、さらに読出し専用のステータス・レジスタがあります。AD7617で使用可能なリード/ライト・レジスタの概要を表20に示します。ステータス・レジスタは、以前に変換されたチャンネル・ペアに関する情報とCRC結果を含む、追加の読出し専用レジスタです。

表 20. レジスタの一覧¹

| Reg. | Name | Bits | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1 | Bit 0 | Reset | R/W |
|--------------------|------------------------------------------------------------------|--------|-----------------|---------|-------|-------|-----------------|----------|-------|----------------------|---------------------|-----|
| 0x02 | Configuration register | [15:8] | Addressing | | | | | | | Reserved | 0x0000 | R/W |
| | | [7:0] | SDEF | BURSTEN | SEQEN | OS | | STATUSEN | | CRCEN | | |
| 0x03 | Channel register | [15:8] | Addressing | | | | | | | Reserved | 0x0000 | R/W |
| | | [7:0] | CHB | | | | CHA | | | | | |
| 0x04 | Input RangeRegister A1 | [15:8] | Addressing | | | | | | | Reserved | 0x00FF | R/W |
| | | [7:0] | V3A | | V2A | | V1A | | V0A | | | |
| 0x05 | Input Range Register A2 | [15:8] | Addressing | | | | | | | Reserved | 0x00FF | R/W |
| | | [7:0] | V7A | | V6A | | V5A | | V4A | | | |
| 0x06 | Input Range Register B1 | [15:8] | Addressing | | | | | | | Reserved | 0x00FF | R/W |
| | | [7:0] | V3B | | V2B | | VB1 | | V0B | | | |
| 0x07 | Input Range Register B2 | [15:8] | Addressing | | | | | | | Reserved | 0x00FF | R/W |
| | | [7:0] | V7B | | V6B | | VB5 | | V4B | | | |
| 0x20 to 0x3F | Sequencer Stack Registers 0 to Sequencer Stack Register 31 | [15:8] | Addressing | | | | | | | SSREN0 to SSREN31 | 0x0000 ² | R/W |
| | | [7:0] | BSEL0 to BSEL31 | | | | ASEL0 to ASEL31 | | | | | |
| N/A | Status register | [15:8] | A[3:0] | | | | B[3:0] | | | | N/A | R |
| | | [7:0] | CRC[7:0] | | | | | | | | | |

¹ N/A は該当なしを意味します。

² フル・リセットまたはパーシャル・リセットを実行した後、シーケンサ・スタック・レジスタは、チャンネル V0A とチャンネル V0B からチャンネル V7A とチャンネル V7B まで循環するように再初期化されます。スタックの残りの24つのレイヤは0x0に初期化されます。

レジスタのアドレス指定

デバイスに書き込まれた 7 つの MSB は、どのレジスタが指定されているか判断するためにデコードされます。この 7 つの MSB は、レジスタ・アドレス (REGADDR)、ビット [5:0]、およびリード/ライト・ビットで構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。リード/ライト・ビットは、指定したレジスタに DB10/SDI ライン上の残りの 9 ビット・データをロードするかどうかを決めます。リード/ライト・ビットが 1 の場合、レジスタ選択ビットによって指定されるレジスタにビットがロードされます。リード/ライト・ビットが 0 の場合、このコマンドは読出し要求とみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

MSB

LSB

| D15 | D14 | D13 to D9 | D8 to D0 |
|-----|----------------|--------------------|-----------------|
| W/R | REGADDR, Bit 5 | REGADDR, Bits[4:0] | DATA, Bits[8:0] |

表 21. アドレス指定レジスタのビットの説明

| ビット | 記号 | 説明 |
|----------|-------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| D15 | W/R | このビットに 1 が書き込まれると、このレジスタのビット [D8:D0] の値が REGADDR のビット [5:0] で指定されたレジスタに書き込まれます。逆に 0 が書き込まれると、次の動作は指定レジスタからの読み出しになります。 |
| D14 | REGADDR、ビット 5 | このビットに 1 が書き込まれると、REGADDR、ビット [4:0] によって 32 個のシーケンサ・スタック・レジスタが指定されます。逆に、このビットに 0 が書き込まれると、REGADDR、ビット [4:0] で指定されたレジスタが選択されます。 |
| [D13:D9] | REGADDR、ビット [4:0] | W/R = 1 の場合、REGADDR、ビット [4:0] の値によって、以下のようにレジスタが選択されます。 00001: 予備 00010: 設定レジスタを選択 00011: チャンネル・レジスタを選択 00100: 入力レンジ・レジスタ A1 を選択 00101: 入力レンジ・レジスタ A2 を選択 00110: 入力レンジ・レジスタ B1 を選択 00111: 入力レンジ・レジスタ B2 を選択 01000: ステータス・レジスタを選択 W/R = 0 で、REGADDR、ビット [4:0] の値が 00000 の場合は、変換コードが読み出されます。 |
| [D8:D0] | ZDATA、ビット [8:0] | これらのビットは、REGADDR、ビット [5:0] で指定されたレジスタに書き込まれます。各レジスタの詳細については、以下のセクションを参照してください。 |

設定レジスタ

設定レジスタはソフトウェア・モードで使用され、シーケンサ、バースト・モード、オーバーサンプリング、CRC などのオプションを含む、ADC の主な機能の設定に使用されます。

アドレス: 0x02、リセット: 0x0000、レジスタ名: 設定レジスタ

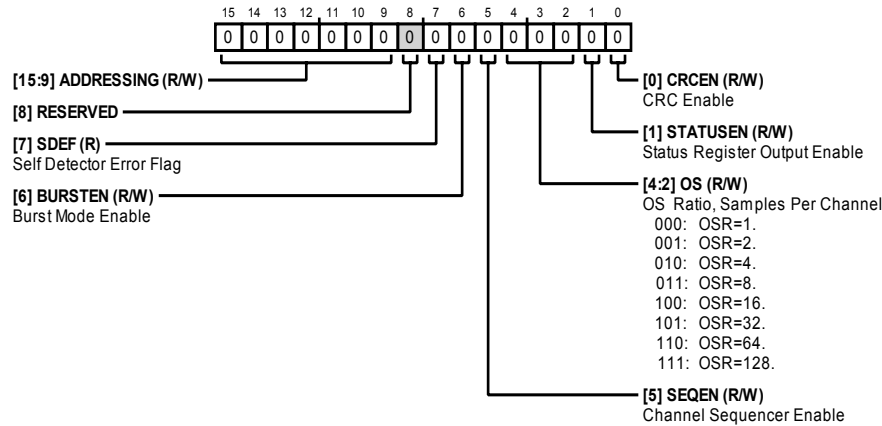


表 22. 設定レジスタのビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット ¹ | アクセス |
|--------|----------|------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------|------|
| [15:9] | アドレス指定 | 0 | ビット [15:9] によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。 | 0x0 | RW |
| 8 | RESERVED | | 予備 | 0x0 | R/W |
| 7 | SDEF | 0 1 | セルフ・ディテクタのエラー・フラグ。 0 テスト合格。電源投入後、AD7617 は正常に自己設定を完了しています。 1 テスト失敗。デバイス設定中に問題が検出されました。リセットが必要です。 | N/A | R |
| 6 | BURSTEN | 0 1 | バースト・モード・イネーブル。 0 バースト・モードはディスエーブルになっています。変換されるチャンネル・ペアごとに CNVST パルスが必要です。 1 CNVST パルスを 1 回発生させることで、32 個のレイヤのシーケンサ・スタック・レジスタにプログラムされたすべてのチャンネル・ペアが、SSRENx ビットで指定されたレイヤまで変換されます。詳細については、ソフトウェア・モード・シーケンサのセクションとソフトウェア・モード・バーストのセクションを参照してください。 | 0x0 | RW |
| 5 | SEQEN | 0 1 | チャンネル・シーケンサ・イネーブル。 0 チャンネル・シーケンサはディスエーブルになっています。 1 チャンネル・シーケンサはイネーブルになっています。 | 0x0 | RW |
| [4:2] | OS | 000 001 010 011 100 101 110 111 | オーバーサンプリング (OS) 比、チャンネルあたりのサンプリング数。 000 オーバーサンプリングはディスエーブルになっています。OSR = 1。 001 オーバーサンプリングをイネーブルにします、OSR = 2。 010 オーバーサンプリングをイネーブルにします、OSR = 4。 011 オーバーサンプリングをイネーブルにします、OSR = 8。 100 オーバーサンプリングをイネーブルにします、OSR = 16。 101 オーバーサンプリングをイネーブルにします、OSR = 32。 110 オーバーサンプリングをイネーブルにします、OSR = 64。 111 オーバーサンプリングをイネーブルにします、OSR = 128。 | 0x0 | RW |
| 1 | STATUSEN | 0 1 | ステータス・レジスタ出力イネーブル。 0 変換結果の読出し中は、ステータス・レジスタの読出しが実行されません。 1 選択したすべてのチャンネルを読み出すと、(シーケンサ・モードで有効にされている場合はセルフ・テスト・チャンネルを含む) すべての変換ワードの最後にステータス・レジスタが読み出されます。CRC の結果は最後の 8 ビットに含まれます。 | 0x0 | RW |
| 0 | CRCEN | | CRC イネーブル。STATUSEN ビットと CRCEN ビットの機能は同一です。 | 0x0 | RW |

¹ N/A は該当なしを意味します。

チャンネル・レジスタ

アドレス: 0x03、リセット: 0x0000、レジスタ名: チャンネル・レジスタ

ソフトウェア手動モードでは、チャンネル・レジスタによって次回の変換に使用する入力チャンネルまたはセルフ・テスト・チャンネルが選択されます。

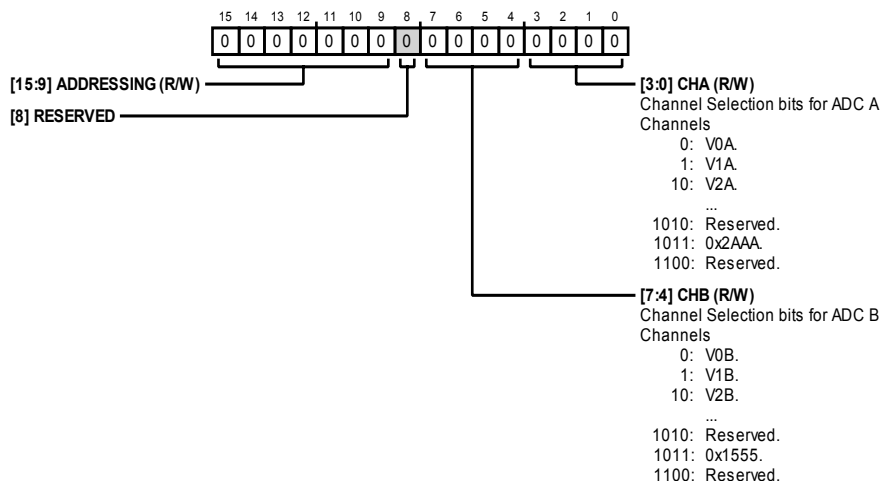


表 23. チャンネル・レジスタのビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット | アクセス |
|--------|----------|------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|
| [15:9] | アドレス指定 | | ビット [15:9] によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。 | 0x0 | R/W |
| 8 | RESERVED | | 予備 | 0x0 | R/W |
| [7:4] | CHB | 0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 | ADC B チャンネルの選択ビット。 V0B に適用されます。 V1B に適用されます。 V2B に適用されます。 V3B に適用されます。 V4B に適用されます。 V5B に適用されます。 V6B に適用されます。 V7B に適用されます。 V _{CC} ALDO 予備 デジタル・インターフェース通信のセルフ・テスト機能に専用のビットが設定されます。変換コードを読み出すと、チャンネル A の変換コードとしてコード 0x2AAA が読み出され、チャンネル B の変換コードとしてコード 0x1555 が読み出されます。 予備 | 0x0 | R/W |
| [3:0] | CHA | | ADC A チャンネルの選択ビット。設定は ADC B と同様です。 | 0x0 | R/W |

入力レンジ・レジスタ

入力レンジ・レジスタ A1 と入力レンジ・レジスタ A2 によって、アナログ入力チャンネル V0A ～ チャンネル V7A に対する 3 つの可能な入力レンジ ($\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、または $\pm 2.5\text{ V}$) の 1 つが選択されます。入力レンジ・レジスタ B1 と入力レンジ・レジスタ B2 によって、アナログ入力チャンネル V0B ～ チャンネル V7B に対する 3 つの可能な入力レンジ ($\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 、または $\pm 2.5\text{ V}$) の 1 つが選択されます。

入力レンジ・レジスタ A1

アドレス: 0x04、リセット: 0x00FF、レジスタ名: 入力レンジ・レジスタ A1

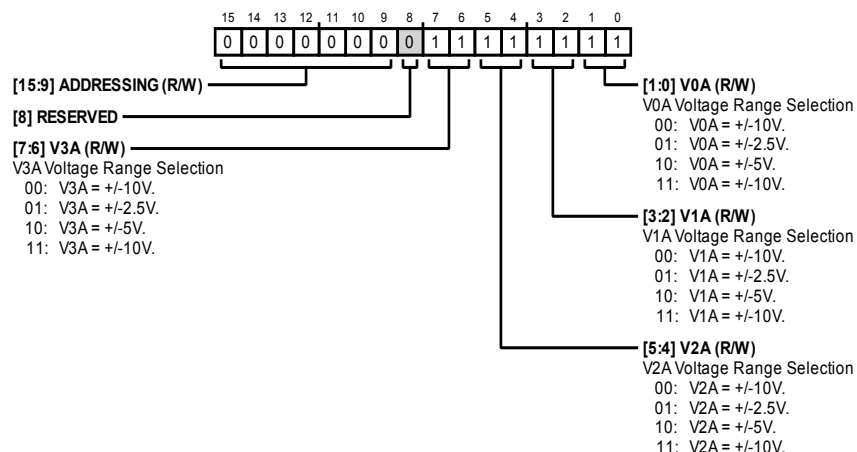


表 24. 入力レンジ・レジスタ A1 のビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット | アクセス |
|--------|----------|----------------------|--------------------------------------------------------------------------------------------------------------------|------|------|
| [15:9] | アドレス指定 | | ビット [15:9] によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。 | 0x0 | R/W |
| 8 | RESERVED | | 予備 | 0x0 | R/W |
| [7:6] | V3A | 00 01 10 11 | V3A の電圧レンジの選択。 V3A $\pm 10\text{ V}$ V3A $\pm 2.5\text{ V}$ V3A $\pm 5\text{ V}$ V3A $\pm 10\text{ V}$ | 0x3 | R/W |
| [5:4] | V2A | 00 01 10 11 | V2A の電圧レンジの選択。 V2A $\pm 10\text{ V}$ V2A $\pm 2.5\text{ V}$ V2A $\pm 5\text{ V}$ V2A $\pm 10\text{ V}$ | 0x3 | R/W |
| [3:2] | V1A | 00 01 10 11 | V1A の電圧レンジの選択。 V1A $\pm 10\text{ V}$ V1A $\pm 2.5\text{ V}$ V1A $\pm 5\text{ V}$ V1A $\pm 10\text{ V}$ | 0x3 | R/W |
| [1:0] | V0A | 00 01 10 11 | V0A の電圧レンジの選択。 V0A $\pm 10\text{ V}$ V0A $\pm 2.5\text{ V}$ V0A $\pm 5\text{ V}$ V0A $\pm 10\text{ V}$ | 0x3 | R/W |

入力レンジ・レジスタ A2

アドレス: 0x05、リセット: 0x00FF、レジスタ名: 入力レンジ・レジスタ A2

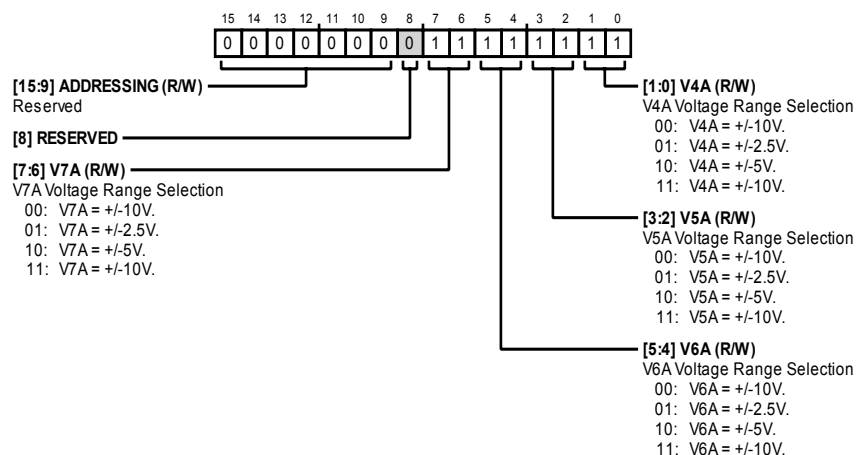


表 25. 入力レンジ・レジスタ A2 のビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット | アクセス |
|--------|----------|----------------------|--------------------------------------------------------------------------|------|------|
| [15:9] | アドレス指定 | | ビット [15:9] によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。 | 0x0 | R/W |
| 8 | RESERVED | | 予備 | 0x0 | R/W |
| [7:6] | V7A | 00 01 10 11 | V7A の電圧レンジの選択。 V7A ± 10 V V7A ± 2.5 V V7A ± 5 V V7A ± 10 V | 0x3 | R/W |
| [5:4] | V6A | 00 01 10 11 | V6A の電圧レンジの選択。 V6A ± 10 V V6A ± 2.5 V V6A ± 5 V V6A ± 10 V | 0x3 | R/W |
| [3:2] | V5A | 00 01 10 11 | V5A の電圧レンジの選択。 V5A ± 10 V V5A ± 2.5 V V5A ± 5 V V5A ± 10 V | 0x3 | R/W |
| [1:0] | V4A | 00 01 10 11 | V4A の電圧レンジの選択。 V4A ± 10 V V4A ± 2.5 V V4A ± 5 V V4A ± 10 V | 0x3 | R/W |

入力レンジ・レジスタ B1

アドレス: 0x06、リセット: 0x00FF、レジスタ名: 入力レンジ・レジスタ B1

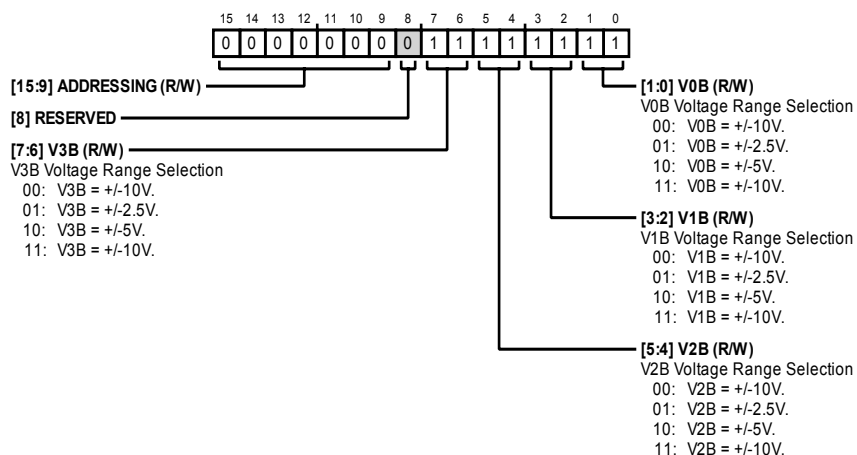


表 26. 入力レンジ・レジスタ B1 のビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット | アクセス |
|--------|----------|----------------------|--------------------------------------------------------------------------|------|------|
| [15:9] | アドレス指定 | | ビット [15:9] によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。 | 0x0 | R/W |
| 8 | RESERVED | | 予備 | 0x0 | R/W |
| [7:6] | V3B | 00 01 10 11 | V3B の電圧レンジの選択。 V3B ± 10 V V3B ± 2.5 V V3B ± 5 V V3B ± 10 V | 0x3 | R/W |
| [5:4] | V2B | 00 01 10 11 | V2B の電圧レンジの選択。 V2B ± 10 V V2B ± 2.5 V V2B ± 5 V V2B ± 10 V | 0x3 | R/W |
| [3:2] | VB1 | 00 01 10 11 | VB1 の電圧レンジの選択。 VB1 ± 10 V VB1 ± 2.5 V VB1 ± 5 V VB1 ± 10 V | 0x3 | R/W |
| [1:0] | V0B | 00 01 10 11 | V0B の電圧レンジの選択。 V0B ± 10 V V0B ± 2.5 V V0B ± 5 V V0B ± 10 V | 0x3 | R/W |

入力レンジ・レジスタ B2

アドレス: 0x07、リセット: 0x00FF、レジスタ名: 入力レンジ・レジスタ B2

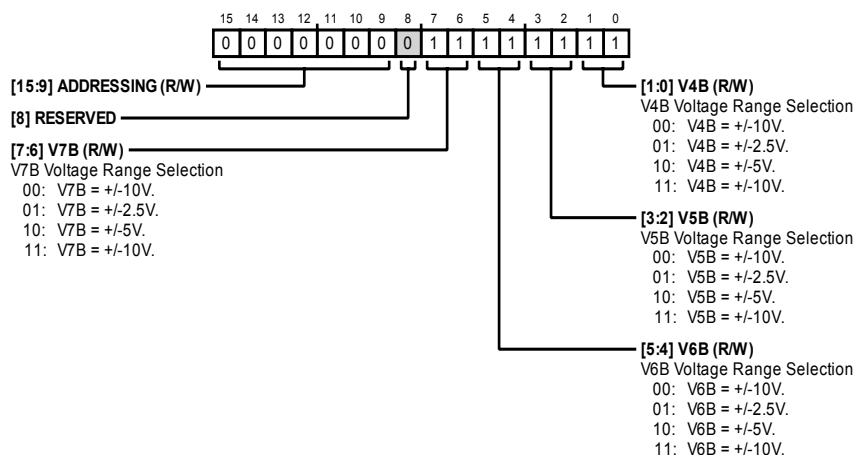


表 27. 入力レンジ・レジスタ B2 のビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット | アクセス |
|--------|----------|----------------------|--------------------------------------------------------------------------|------|------|
| [15:9] | アドレス指定 | | ビット [15:9] によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。 | 0x0 | R/W |
| 8 | RESERVED | | 予備 | 0x0 | R/W |
| [7:6] | V7B | 00 01 10 11 | V7B の電圧レンジの選択。 V7B ± 10 V V7B ± 2.5 V V7B ± 5 V V7B ± 10 V | 0x3 | R/W |
| [5:4] | V6B | 00 01 10 11 | V6B の電圧レンジの選択。 V6B ± 10 V V6B ± 2.5 V V6B ± 5 V V6B ± 10 V | 0x3 | R/W |
| [3:2] | V5B | 00 01 10 11 | V5B の電圧レンジの選択。 V5B ± 10 V V5B ± 2.5 V V5B ± 5 V V5B ± 10 V | 0x3 | R/W |
| [1:0] | V4B | 00 01 10 11 | V4B の電圧レンジの選択。 V4B ± 10 V V4B ± 2.5 V V4B ± 5 V V4B ± 10 V | 0x3 | R/W |

シーケンサ・スタック・レジスタ

チャンネル・レジスタは次回に変換を行うチャンネル（診断チャンネルまたはアナログ入力チャンネルのペア）を指定しますが、多数のアナログ入力チャンネルをサンプリングするには、32 個のシーケンサ・スタック・レジスタを使用すると便利です。通信レジスタ内で REGADDR5 ビットがロジック 1 に設定されている場合、REGADDR [4:0] の内容は 32 個のシーケンサ・スタック・レジスタのうちの 1 つを指定します。各シーケンサ・スタック・レジスタ内で、同時にサンプリングするアナログ入力のパアを指定できます。

シーケンスの構造がスタックを形成しており、各行は同時に変換される 2 つのチャンネルを示します。シーケンスは、シーケンサ・スタック・レジスタ 1 から開始し、シーケンサ・スタック・レジスタ 32 まで繰り返し実行されます。シーケンサ・スタック・レジスタ内のビット D8（イネーブル・ビット、SSRENx）が 1 に設定されている場合、シーケンスは指定されたアナログ入力のパアで終了してから、最初のシーケンサ・スタック・レジスタに戻り、サイクルを再開します。デフォルトでは、シーケンサ・スタック・レジスタはチャンネル V0A とチャンネル V0B からチャンネル V7A とチャンネル V7B まで繰り返すようにプログラムされています。フル・リセットまたはパーシャル・リセットの実行後、シーケンサ・スタック・レジスタは、チャンネル V0A とチャンネル V0B からチャンネル V7A とチャンネル V7B まで循環するように再初期化されます。

アドレス: 0x20 ~ 0x3F、リセット値: 0x0000、レジスタ名: シーケンサ・スタック・レジスタ 0 ~ シーケンサ・スタック・レジスタ 31

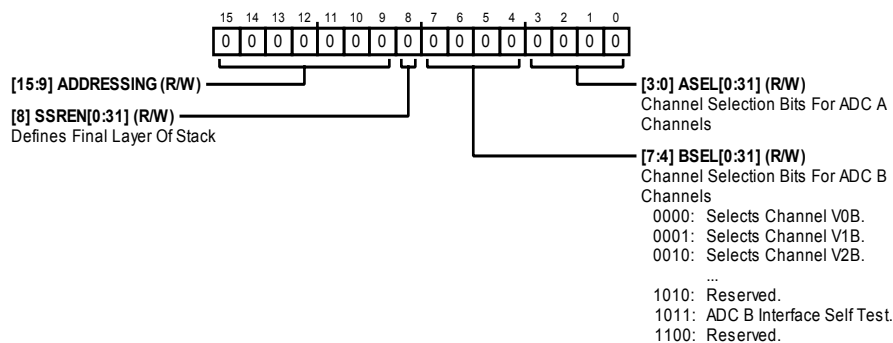


表 28. シーケンサ・スタック・レジスタ 0 ~ シーケンサ・スタック・レジスタ 31 のビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット | アクセス |
|--------|------------------|------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|------|
| [15:9] | アドレス指定 | | ビット [15:9] によって、該当するレジスタのアドレスが指定されます。詳細については、レジスタのアドレス指定のセクションを参照してください。 | 0x0 | R/W |
| 8 | SSREN0 ～ SSREN31 | | このビットを 0 に設定すると、現在のチャンネル・ペアの変換後に、シーケンサ・スタックの次のレイヤに進むよう ADC に指示が与えられます。このビットを 1 に設定すると、シーケンサ・スタックのレイヤがシーケンスの最終レイヤとして指定されます。その後、シーケンサはスタックの最初のレイヤにループバックします。 | 0x0 | R/W |
| [7:4] | BSEL0 ～ BSEL31 | 0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 | ADC B チャンネルの選択ビット。 V0B に適用されます。 V1B に適用されます。 V2B に適用されます。 V3B に適用されます。 V4B に適用されます。 V5B に適用されます。 V6B に適用されます。 V7B に適用されます。 V _{cc} ALDO 予備 デジタル・インターフェース通信のセルフ・テスト機能に専用のビットが設定されます。変換コードを読み出すと、チャンネル A の変換コードとしてコード 0x2AAA が読み出され、チャンネル B の変換コードとしてコード 0x1555 が読み出されます。 予備 | 0x0 ¹ | R/W |
| [3:0] | ASEL0 ～ ASEL31 | | ADC A チャンネルの選択ビット。設定は ADC B と同様です。 | 0x01 | R/W |

¹ フル・リセットまたはパーシャル・リセットを実行した後、シーケンサ・スタック・レジスタは、チャンネル V0A とチャンネル V0B からチャンネル V7A とチャンネル V7B まで循環するように再初期化されます。スタックの残りの 24 つのレイヤは 0x0 に初期化されます。

ステータス・レジスタ

ステータス・レジスタは、16 ビットの読出し専用レジスタです。設定レジスタの STATUSEN ビットまたは CRCEN ビットをロジック 1 に設定すると、シーケンサ・モードでイネーブルになったセルフ・テスト・チャンネルを含む、選択済みチャンネルのすべての変換ワードの最後にステータス・レジスタが読み出されます。CRC のセクションと図 69 を参照してください。

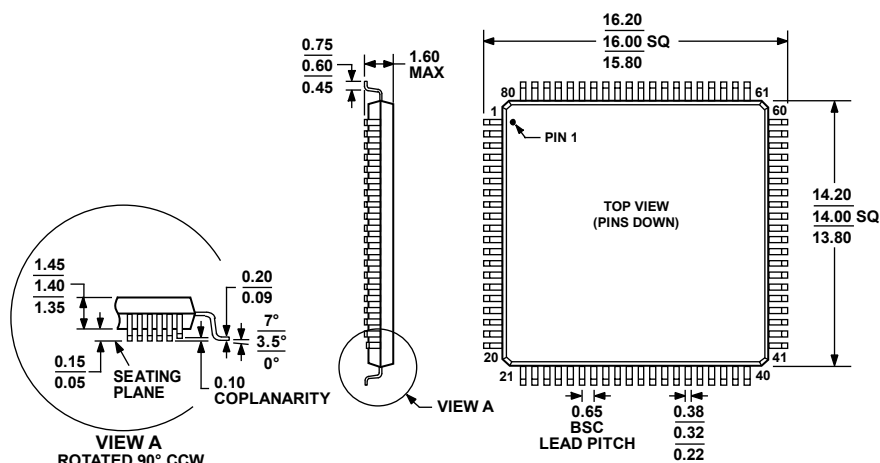
| MSB | | | | | | | | | | | | LSB | | | |
|--------------|-----|-----|-----|--------------|-----|----|----|----------------|----|----|----|-----|----|----|----|
| D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| A, Bits[3:0] | | | | B, Bits[3:0] | | | | CRC, Bits[7:0] | | | | | | | |

表 29. ステータス・レジスタのビットの説明

| ビット | ビット名 | 設定 | 説明 | リセット ¹ | アクセス |
|-----------|-----------|----|-------------------------------------------------|-------------------|------|
| [D15:D12] | A [3:0] | | チャンネル A の前回の変換結果のチャンネル・インデックス | N/A | R |
| [D11:D8] | B [3:0] | | チャンネル B の前回の変換結果のチャンネル・インデックス | N/A | R |
| [D7:D0] | CRC [7:0] | | 前回の変換結果に対する CRC 計算。詳細については、CRC のセクションを参照してください。 | N/A | R |

¹ N/A は該当なしを意味します。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BEC

051706-A

図 70. 80 ピン低プロファイルのクワッド・フラット・パッケージ [LQFP]
(ST-80-2)
寸法 (ミリ単位)

オーダー・ガイド

| Model ^{1, 2} | Temperature Range | Package Description | Package Option |
|-----------------------|-------------------|--------------------------------------------------------|----------------|
| AD7617BSTZ | -40°C to +125°C | 80-Lead Low Profile Quad Flat Package [LQFP] | ST-80-2 |
| AD7617BSTZ-RL | -40°C to +125°C | 80-Lead Low Profile Quad Flat Package [LQFP], 13" Reel | ST-80-2 |
| EVAL-AD7616SDZ | | Use the AD7616 Evaluation Board | |

¹ Z = RoHS 準拠製品

² EVAL-AD7616SDZ は、AD7616 および AD7617 を評価できます。