

HART モデムを備えたクワッドチャンネルのソフトウェア設定可能な入出力

特長

- ▶ クワッドチャンネルのソフトウェア設定可能な入出力
- ▶ 適応型電源切り替えにより消費電力を 40%削減
- ▶ 1つのピンに対し複数の設定可能モード
 - ▶ 電圧入出力
 - ▶ 電流入出力
 - ▶ デジタル入出力
 - ▶ 2線式または3線式 RTD 測定
 - ▶ 熱電対測定
- ▶ ネジ端子対向ピンでの過電圧耐性（パワー・オン時またはパワー・オフ時）
- ▶ 補助検出ピン
- ▶ リファレンス温度係数：10ppm/°C
- ▶ 50Hz および 60Hz 除去機能オプションを備えた 24 ビット $\Sigma\Delta$ ADC
- ▶ チャンネルごとの 16 ビット単調性 DAC
- ▶ ユニポーラおよびバイポーラに対応可能
- ▶ チャンネルごとに HART®モデムを内蔵
- ▶ 診断機能を内蔵
 - ▶ オープン・サーキットおよび短絡の検出
 - ▶ 補助チャンネル測定
 - ▶ 電源測定
- ▶ $\pm 5^\circ\text{C}$ の精度を持つ内部温度センサー
- ▶ SPI 対応
- ▶ 最大 4 個のデバイスをアドレス指定可能
- ▶ ウォッチドッグ・タイマ
- ▶ 広い電源範囲
- ▶ 温度範囲： $-40^\circ\text{C} \sim +105^\circ\text{C}$
- ▶ 64 ピン LFCSP で供給

アプリケーション

- ▶ 産業用制御システム
- ▶ プロセス制御
- ▶ ファクトリ・オートメーション

関連製品

- ▶ 電圧リファレンス：ADR4525
- ▶ フライバック・コンバータ：MAX17691A、MAX17691B

概要

AD74416H はクワッドチャンネルのソフトウェア設定可能な入出力デバイスであり、産業用制御アプリケーション向けに設計されたものです。このデバイスは、1つのチップで様々な使い方ができます。その例としては、アナログ入出力、デジタル入出力、測温抵抗体（RTD）、熱電対測定機能などがあります。

また、AD74416H は、チャンネルごとにハイウェイ・アドレス指定可能リモート・トランスジューサ（HART）モデムを内蔵しています。全 4 チャンネルへの入出力通信と HART 通信には、どちらも、1つのシリアル・ペリフェラル・インターフェース（SPI）を用いて対応できます。

AD74416H には、1つの SPI バスで最大 4 つのデバイスをサポートできる、2つのアドレス・ピンがあります。デジタル入出力には、SPI ピン、またはより高速のデータレートに対応する汎用入出力（GPIO）ピンによってアクセスできます。

AD74416H は、チャンネルごとに 16 ビットの D/A コンバータ（DAC）を備え、また、24 ビットの $\Sigma\Delta$ A/D コンバータ（ADC）1つを内蔵しています。AD74416H には、DAC および ADC のリファレンスとして使用できる 2.5V の高精度内蔵リファレンスが備わっています。

AD74416H は、適応型電源切り替えをサポートしており、出力段が 2 個の別々の電源の間を動的に遷移できます。この遷移機能によって、消費電力を最大 40%削減できるため、モジュールの発熱を抑制できます。

機能ブロック図

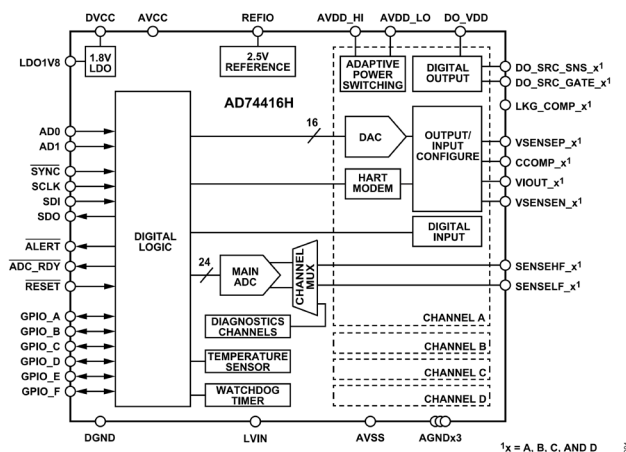


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	電流出力 (I _{OUT})	26
アプリケーション.....	1	RTD の測定	27
関連製品.....	1	ADC	28
概要.....	1	リファレンス	30
機能ブロック図.....	1	HART	31
仕様.....	3	その他.....	32
電圧出力.....	3	用語の定義.....	33
電流出力 (I _{OUT}) および HART 使用時の I _{OUT}	5	動作原理.....	34
電圧入力.....	6	動作の概要.....	35
外部駆動電流入力および HART を使用した		堅牢なアーキテクチャ	36
外部駆動電流入力	7	電源およびリファレンス	36
ループ駆動電流入力および HART を使用した		デバイス機能	37
ループ駆動電流入力	8	開始にあたって.....	55
2 線式 RTD 測定.....	9	ADC の機能.....	56
3 線式 RTD 測定.....	10	DAC 機能.....	65
デジタル入力ロジック	11	リセット機能	67
ループ駆動デジタル入力	12	FET リーク補償.....	67
デジタル出力.....	13	フォルトおよびアラート	67
ADC の仕様.....	14	GPIO_X ピン.....	68
HART モデム通信	16	SPI.....	69
一般仕様.....	17	アプリケーション情報	73
SPI のタイミング特性	20	外付け部品.....	73
絶対最大定格.....	21	ボード設計とレイアウトに関する考慮事項.....	74
熱抵抗.....	21	レジスタ・マップ	75
静電放電 (ESD 定格)	21	ソフトウェア設定可能な入出力レジスタ	76
AD74416H の ESD 定格	21	HART モデム・レジスタ	99
ESD に関する注意.....	21	外形寸法.....	106
ピン配置およびピン機能の説明	22	オーダー・ガイド.....	106
代表的な性能特性.....	25	評価用ボード.....	106
電圧出力.....	25		

改訂履歴

3/2025—Revision 0: Initial Version

仕様

電圧出力

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、センス抵抗 (R_{SENSE}) = 12 Ω （理想値）、負荷抵抗 (R_{LOAD}) = 100k Ω 、負荷容量 (C_{LOAD}) = 4.7nF です。なお、電源電圧を設定する場合は、AVDD_HI、AVDD_LO、AVSS のヘッドルームの仕様値を考慮する必要があります。

表 1. 電圧出力

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VOLTAGE OUTPUT					
Resolution	16			Bits	
Output Range	0		12	V	
	-12		+12	V	
ACCURACY					
Total Unadjusted Error (TUE)	-0.2		+0.2	% FSR	
TUE at 25°C	-0.1		+0.1	% FSR	
Integral Nonlinearity (INL)	-12.0		+12.0	LSB	
Differential Nonlinearity (DNL)	-1.0		+1.0	LSB	Guaranteed monotonic
Offset Error	-5.5		+5.5	mV	Error with code 0x0000 loaded to the DAC, 0V to 12V range only
Offset Error at 25°C	-3.0		+3.0	mV	0V to 12V range only
Bipolar Zero Error	-17		+17	mV	Error with midscale code loaded to the DAC in a $\pm 12\text{V}$ range
Bipolar Zero Error at 25°C	-16		+16	mV	$\pm 12\text{V}$ range only
Gain Error	-0.2		+0.2	% FSR	
Gain Error 25°C	-0.12		+0.12	% FSR	
Common Mode Rejection (CMR) at VSENSEN pin		1.7		mV/V	Relevant only to 4-wire sensing feedback mode Error in sensing voltage due to change in VSENSEN ($\pm 7\text{V}$)
OUTPUT CHARACTERISTICS					
Resistive Load	1	100		k Ω	
Headroom	1.85			V	Voltage difference required between AVDD_HI (or AVDD_LO) ¹ and the input/output positive (I/OP_x ²) screw terminal to provide 12V across a 1k Ω load
Footroom	1.85			V	Voltage difference required between the I/OP_x ² screw terminal and AVSS to provide -12V across a 1k Ω load
Short-Circuit Current		16		mA	Sourcing and sinking, I_LIMIT bit = 0 (default)
		8		mA	Sourcing and sinking, I_LIMIT bit = 1
Short-Circuit Alert Activation Time ³		4		ms	Time in short-circuit before alert is generated ALARM_DEG_PERIOD bit = 0
		20		ms	ALARM_DEG_PERIOD bit = 1
Maximum External Capacitive Load ³			10	nF	Value of the maximum external load capacitance connected to I/OP screw terminal, specification is taking into account recommended loading capacitor 4.7nF
			2	μF	Compensation capacitor (C_{COMP}) is not connected
DC Output Impedance ³		0.1		Ω	Maximum external capacitance when $C_{\text{COMP}} = 220\text{pF}$ is connected
DC Power-Supply Rejection Ratio (PSRR)		5		$\mu\text{V/V}$	PSRR measured with a change in AVDD_HI (or AVDD_LO) ¹
DYNAMIC PERFORMANCE ³					
Output Voltage (V_{OUT}) Settling Time		40		μs	11V step (0.5V to 11.5V or 11.5V to 0.5V) to $\pm 0.05\%$ FSR, $C_{\text{LOAD}} = 4.7\text{nF}$, and no C_{COMP} is connected
		60		μs	22V step (-11V to +11V or +11V to -11V) to $\pm 0.05\%$ FSR, $C_{\text{LOAD}} = 4.7\text{nF}$, and no C_{COMP} is connected
Output Voltage Settling Time with C_{COMP} Connected		300		μs	11V step (0.5V to 11.5V or 11.5V to 0.5V) to $\pm 0.05\%$ FSR, $C_{\text{LOAD}} = 4.7\text{nF}$, and 220pF C_{COMP} is connected

仕様

表 1. 電圧出力（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Noise (External Reference)		300		μs	22V step (–11V to +11V or +11V to –11V) to ±0.05% FSR, C _{LOAD} = 4.7nF, and 220pF C _{COMP} is connected
Output Noise		0.5		LSB p-p	Measured at the I/OP screw terminal, 2.5V output
Output Noise Spectral Density					0.1Hz to 10Hz bandwidth, 10kΩ load, ±12V range
0V to 12V Range		540		nV/√Hz	Measured at 1kHz, midscale output
–12V to +12V Range		750		nV/√Hz	Measured at 1kHz, midscale output
AC PSRR		65		dB	200mV at 1kHz sine wave superimposed on the AVDD_HI (or AVDD_LO) ¹
		55		dB	200mV at 1kHz sine wave superimposed on the AVSS supply

¹ 適応型電源切り替えブロックによって接続された現在動作中の電圧レール。詳細については、[適応型電源切り替え](#)のセクションを参照してください。

² x = A、B、C、D。

³ 設計および特性評価により裏付けられています。

仕様

電流出力 (I_{OUT}) および HART 使用時の I_{OUT}

特に指定のない限り、 $AVDD_HI = +6V \sim +28.8V$ 、 $AVDD_LO = +6V \sim +28.8V$ 、 $AVSS = -2.5V \sim -18V$ 、 $AGND = DGND = 0V$ 、 $REFIO = +2.5V$ (理想値)、 $DVCC = +2.7V \sim +5.5V$ 、 $AVCC = +4.5V \sim +5.5V$ 、全ての仕様は $T_A = -40^\circ C \sim +105^\circ C$ における値であり、また、 $OUTPUT_CONFIG_n$ レジスタの $AVDD_SELECT$ ビット・フィールドは 0 (LOCK_HI) に設定されています。また推奨設定により、 $R_{SENSE} = 12\Omega$ (理想値)、 $R_{LOAD} = 500\Omega$ 、 $C_{LOAD} = 4.7nF$ です。なお、電源電圧を設定する場合は、 $AVDD_HI$ および $AVDD_LO$ のヘッドルームの仕様値を考慮する必要があります。

表 2. 電流出力 (I_{OUT}) および HART 使用時の I_{OUT}

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
I_{OUT}					
Resolution	16			Bits	
Output Range	0		25	mA	
ACCURACY					
TUE	-0.2		+0.2	% FSR	The error of the internal sensing resistor is included (external R_{SENSE} is not used for output current regulation)
TUE at 25°C	-0.1		+0.1	% FSR	The error of the internal sensing resistor is included (external R_{SENSE} is not used for output current regulation)
TUE Long-Term Stability		80		ppm FSR	Drift after 1000 hours, $T_A = 90^\circ C$
INL	-14		+14	LSB	From zero-scale to full-scale
DNL	-1		+1	LSB	Guaranteed monotonic
Offset Error	-10		+10	μA	
Offset Error at 25°C	-7		+7	μA	
Gain Error	-0.2		+0.2	% FSR	
Gain Error at 25°C	-0.1		+0.1	% FSR	
OUTPUT CHARACTERISTICS					
Headroom	3.8			V	Voltage difference required between $AVDD_HI$ (or $AVDD_LO$) ¹ and the I/OP screw terminal to source 25mA
Open-Circuit Voltage		$AVDD_x$ ^{1,2}		V	
Open-Circuit Alert Activation Time ³		4		ms	Time in short-circuit before alert is generated ALARM_DEG_PERIOD bit = 0
		20		ms	ALARM_DEG_PERIOD bit = 1
Output Impedance		20		MΩ	
DC PSRR		25		nA/V	PSRR measured with a change in $AVDD_HI$ (or $AVDD_LO$) ¹ supply
DYNAMIC PERFORMANCE ³					
Output Current Settling Time		10		μs	3.2mA to 23mA step up or down, time to settle within a window of $\pm 100\mu A$ of final current
Output Current Settling Time (with HART Slew Enabled)		60		ms	With HART slew enabled, 3.2mA to 23mA, step up or step down, and time to settle within a window of $\pm 100\mu A$ of final current
Noise					Measured at the I/OP screw terminal with 250Ω load, 12.5mA output
Output Noise		0.38		LSB p-p	0.1Hz to 10Hz bandwidth, 250Ω load
Output Noise Spectral Density		2		nA/ $\sqrt{Hz}$	Measured at 1kHz, 12.5mA output
AC PSRR		75		dB	Measured at the I/OP screw terminal with 250Ω load 200mV at 1kHz sine wave superimposed on the $AVDD_HI$ (or $AVDD_LO$) ¹ supply

¹ 適応型電源切り替えブロックによって接続された現在動作中の電圧レール。詳細については、[適応型電源切り替え](#)のセクションを参照してください。

² x = A、B、C、D。

³ 設計および特性評価により裏付けられています。

仕様

電圧入力

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。なお、電源電圧を設定する場合は、AVDD_HI および AVSS に必要な入力範囲を考慮する必要があります。

表 3. 電圧入力

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VOLTAGE INPUT					
Input Resolution	24			Bits	
Input Range (SENSELF)	0		12	V	
	-12		+12	V	
ACCURACY					
TUE	-0.1		+0.1	% FSR	
TUE at 25°C	-0.01		+0.01	% FSR	
INL	-60		+60	ppm FSR	
Offset Error	-60		+60	ppm FSR	
Offset Error at 25°C	-45		+45	ppm FSR	
Gain Error	-750		+750	ppm FSR	
Gain Error at 25°C	-330		+330	ppm FSR	
OTHER INPUT SPECIFICATIONS					
Footroom	AVSS + 2			V	
Headroom			AVDD_HI - 0.2	V	
DC PSRR		10		$\mu\text{V/V}$	PSRR measured with a change in AVDD_HI, AVDD_LO, AVSS, AVCC, and DVCC
Normal Mode Rejection ¹		80		dB	50Hz $\pm$ 1Hz and 60Hz $\pm$ 1Hz
Input Bias Current	-30		+30	nA	As seen from the I/OP screw terminal, ADC is either idle or converting, does not include transient voltage suppressor (TVS) leakage
Input Bias Current at 25°C		± 6		nA	

¹ 設計および特性評価により裏付けられています。

仕様

外部駆動電流入力および HART を使用した外部駆動電流入力

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。なお、HART モードで電源電圧を設定する場合は、AVDD_HI および AVDD_LO のコンプライアンスの仕様値を考慮する必要があります。

表 4. 外部駆動電流入力および HART を使用した外部駆動電流入力

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CURRENT INPUT					
Input Resolution	24			Bits	Sensed across the external 12Ω resistor
Input Range	0		25	mA	
Screw Terminal Voltage	0			V	
Short-Circuit Current Limit	25	29	35	mA	Nonprogrammable
ACCURACY					
TUE ¹	-0.1		+0.1	% FSR	FSR refers to the maximum code of the ADC at the range from -0.3125V to 0V, for more details, see Table 25
TUE at 25°C ¹	-0.025		+0.025	% FSR	
INL	-60	±30	+60	ppm FSR	Linearity is specified from 0.1mA to 25mA range
Offset Error	-155		+155	ppm FSR	
Offset Error at 25°C	-100		+100	ppm FSR	
Gain Error ^{1, 2}	-250		+250	ppm FSR	
Gain Error at 25°C ^{1, 2}	-100		+100	ppm FSR	
OTHER INPUT SPECIFICATIONS					
DC PSRR ²		In order of noise			Current input, externally powered selected, including 12Ω R _{SENSE} Current input, externally powered with HART selected, including 12Ω R _{SENSE} Current input, externally powered selected, and minimum voltage required at the I/OP screw terminal to sink 25mA Current input, externally powered with HART selected, and minimum voltage required at the I/OP screw terminal to sink 20mA
Input Impedance (without HART Termination)		80		Ω	
Input Impedance (with HART Termination)	270		390	Ω	
Compliance (without HART Termination)		2.0	2.6	V	
Compliance (with HART Termination)		6.4	7.5	V	

¹ R_{SENSE} の精度は総合未調整誤差およびゲイン誤差に直接影響します。

² 設計および特性評価により裏付けられています。

仕様

ループ駆動電流入力および HART を使用したループ駆動電流入力

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。なお、HART モードで電源電圧を設定する場合は、AVDD_HI および AVDD_LO のヘッドルームの仕様値を考慮する必要があります。

表 5. ループ駆動電流入力および HART を使用したループ駆動電流入力

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CURRENT INPUTS					
Input Resolution	24			Bits	Sensed across external 12Ω resistor
Input Range	0		25	mA	
Screw Terminal Voltage			AVDD_x ^{1, 2}	V	
NonHART Current Limit	0		25	mA	Range of the programmable current limit, 16-bit resolution, use DAC_CODE[n] register
HART Mode Current Limit	25	30	35	mA	Current input, loop powered with HART enabled, nonprogrammable
ACCURACY					
TUE ³	-0.1		+0.1	% FSR	FSR refers to the maximum code of the ADC at the range from 0V to 0.3125V, for more details, see Table 25 Linearity is specified from 0.1mA to 25mA range for mode without HART, for mode with HART linearity is specified from 3mA to 23mA range
TUE at 25°C ³	-0.025		+0.025	% FSR	
INL	-60	±30	+60	ppm FSR	
Offset Error	-155		+155	ppm FSR	
Offset Error at 25°C	-100		+100	ppm FSR	
Gain Error ^{3, 4}	-250		+250	ppm FSR	
Gain Error at 25°C ^{3, 4}	-100		+100	ppm FSR	
OTHER INPUT SPECIFICATIONS					
DC PSRR ⁴		In order of noise			
Input Impedance (without HART Termination)		120		Ω	With current input, loop powered selected, includes 12Ω R _{SENSE}
Input Impedance (with HART Termination)	270		460	Ω	With current input, loop powered with HART selected, includes 12Ω R _{SENSE}
Headroom (without HART Termination)	5.0	4.0		V	Required difference between AVDD_HI (or AVDD_LO) ² and the I/OP screw terminal voltage to source 25mA, current input, loop powered selected
Headroom (with HART Termination)	8.0	6.6		V	Required difference between AVDD_HI (or AVDD_LO) ² and the I/OP screw terminal voltage to source 20mA, current input, loop powered with HART selected

¹ x = A、B、C、D。² 選択された電圧レール。OUTPUT_CONFIGn レジスタの AVDD_SELECT ビット・フィールドによって設定。³ R_{SENSE} の精度は総合未調整誤差およびゲイン誤差に直接影響します。⁴ 設計および特性評価により裏付けられています。

仕様

2 線式 RTD 測定

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、SENSEHF_x フィルタ抵抗 = $2\text{k}\Omega$ （理想値）、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。

表 6. 抵抗の 2 線式測定

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
RESISTANCE MEASUREMENT					
Input Range	0.001		4	kΩ	2-wire RTD measurements supported
Excitation Current		500		μA	
Open-Circuit Detect Voltage					Excitation current and resistor combinations generating a voltage greater than this are treated as open-circuit
SENSEHF_x ¹		3.85		V	
ACCURACY ²					
Measurement Range					Does not include external components and external sources of error
100Ω to 4kΩ					Suitable for Pt1000, and 500μA excitation current, and 0V to 12V ADC range Total error [Ω] = RTD [Ω] × (Gain error [%]/100) + Offset error [Ω]
Gain Error	-0.085		+0.085	%	
Gain Error at 25°C	-0.034		+0.034	%	
Offset Error	-1.14		+1.14	Ω	
Offset Error at 25°C	-0.301		+0.301	Ω	

¹ x = A、B、C、D。

² 設計および特性評価により裏付けられています。

仕様

3 線式 RTD 測定

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V (理想値)、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は T_A = -40°C ~ +105°C における値です。また推奨設定により、R_{SENSE} = 12Ω (理想値)、SENSEHF_x フィルタ抵抗 = 2kΩ (理想値)、C_{LOAD} = 4.7nF です。

表 7.3 線式 RTD 測定

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
RESISTANCE MEASUREMENT					
Input Range	0.001		4	kΩ	The voltage generated across the (reference resistor (R _{REF}) + the RTD resistor (R _{RTD})) must be less than the AVCC voltage (V _{AVCC})
Programmable Excitation Current		500		μA	
		1		mA	
Current Matching					
Excitation Current Matching	-0.45		+0.45	%	For 500μA
	-0.3		+0.3	%	For 1mA
Current Matching Drift ¹		5		ppm/°C	
Open-Circuit Detect Voltage					Excitation current and resistor combinations generating a voltage greater than this are treated as open-circuit
VSENSEN_x ²		2.4		V	
SENSEHF_x ²		3.7		V	
ACCURACY ¹					
Measurement Range					Does not include external components and external sources of error
1Ω to 40Ω					Suitable for Pt10, Cu10, or similar, 1mA excitation current and ±104.16mV ADC range Total error [Ω] = RTD [Ω] × (Gain error [%]/100) + Offset error [Ω]
Gain Error	-0.066		+0.066	%	
Gain Error at 25°C	-0.030		+0.030	%	
Offset Error	-0.033		+0.033	Ω	
Offset Error at 25°C	-0.021		+0.021	Ω	
10Ω to 400Ω					Suitable for Pt100 or similar, 1mA excitation current, and 0.625V ADC range Total error [Ω] = RTD [Ω] × (Gain error [%]/100) + Offset error [Ω]
Gain Error	-0.035		+0.035	%	
Gain Error at 25°C	-0.015		+0.015	%	
Offset Error	-0.053		+0.053	Ω	
Offset Error at 25°C	-0.034		+0.034	Ω	
100Ω to 4kΩ					Suitable for Pt1000, and 500μA excitation current, and 0V to 12V ADC range Total error [Ω] = RTD [Ω] × (Gain error [%]/100) + Offset error [Ω]
Gain Error	-0.083		+0.083	%	
Gain Error at 25°C	-0.034		+0.034	%	
Offset Error	-1.044		+1.044	Ω	
Offset Error at 25°C	-0.317		+0.317	Ω	

¹ 設計および特性評価により裏付けられています。

² x = A、B、C、D。

仕様

デジタル入力ロジック

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。

表 8. デジタル入力ロジック

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIGITAL INPUTS					
Unbuffered Input Data Rate			200	kHz	The VIOUT_x ¹ pin is driven by a low impedance source, 0V to 12V signal, duty cycle: 60:40
Buffered Input Data Rate		20		kHz	The VSENSEP_x ¹ pin is driven by a low impedance source, 0V to 12V signal, duty cycle: 60:40
Input Voltage Range ²	-45		+45	V	
Input Resistance		1.2		MΩ	High speed mode
Open-Circuit Detect Current	0.05		0.35	mA	Window for open-circuit detection for compliance with IEC 61131-2 Type 3D
Short-Circuit Detect Current	6			mA	For IEC 61131-2 Type 3D
CURRENT SINK					
Range 0					
Series Resistor Value		2.8		kΩ	
Current Sink Range	0		3.7	mA	Typical programmable current sink to AGND
Current Sink Resolution		120		μA	
Current Sink Accuracy		±2		% FSR	
Current Sink at Decimal Code 20	2.1	2.4		mA	Recommended for IEC 61131-2 Type I and Type III for the I/OP screw terminal > 6V, DIN_SINK = Decimal Code 20
Current Sink at Decimal 15		1.8		mA	Recommended for IEC 61131-2 Type 3D, DIN_SINK bits = Decimal Code 15
Range 1					
Series Resistor Value		1		kΩ	
Current Sink Range	0		7.4	mA	Typical programmable current sink to AGND
Current Sink Resolution		240		μA	
Current Sink Accuracy		±2		% FSR	
Current Sink at Decimal Code 29	6.1	7.0		mA	Recommended for IEC 61131-2 Type II for the I/OP screw terminal > 7V, DIN_SINK bits = Decimal Code 29
VOLTAGE THRESHOLDS MODES					
Threshold Range	AVSS + 2.0		AVDD_HI - 1.5	V	Programmable trip level
AVDD_HI Threshold Mode					
Threshold Resolution		AVDD_HI/50		V	
Hysteresis		AVDD_HI/50		V	
Fixed Threshold Mode					
Threshold Resolution		0.5		V	
Hysteresis		0.5		V	
Threshold Voltage at Decimal Code 55	8.0	8.5	8.8	V	Rising trip point, recommended for IEC 61131-2 Type I, Type II, and Type III, COMP_THRESH bits = Decimal Code 55
Threshold Accuracy		2		% FSR	

¹ x = A、B、C、D。² 設計および特性評価により裏付けられています。

仕様

ループ駆動デジタル入力

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。なお、電源電圧を設定する場合は、AVDD_HI および AVDD_LO のヘッドルームの仕様値を考慮する必要があります。

表 9. ループ駆動デジタル入力

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIGITAL INPUTS					
Input Data Rate ¹			5	kHz	Unfiltered input, typically dominated by wetting current, load capacitance, and threshold voltage
Dry Contact Wetting Current Range	0		25	mA	Loop powered, programmable current, use DAC_CODE[n] register
Headroom	3.8			V	Required voltage difference between AVDD_HI (or AVDD_LO) ² and the I/OP screw terminal to source 25mA
THRESHOLD MODES					
Threshold Range	AVSS + 2.0		AVDD_HI - 1.5	V	Programmable trip level
AVDD_HI Threshold Mode					
Threshold Resolution		AVDD_HI/50		V	
Hysteresis		AVDD_HI/50		V	
Fixed Threshold Mode					
Threshold Resolution		0.5		V	
Hysteresis		0.5		V	
Threshold Accuracy		2		% FSR	

¹ 設計および特性評価により裏付けられています。

² 適応型電源切り替えブロックによって接続された現在動作中の電圧レール。詳細については、[適応型電源切り替え](#)のセクションを参照してください。

仕様

デジタル出力

特に指定のない限り、DO_VDD = +10V~+35V、AVDD_HI = +6V~+28.8V、AVDD_LO = +6V~+28.8V、AVSS = -2.5V~-18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V~+5.5V、AVCC = +4.5V~+5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。

表 10. デジタル出力

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DO_VDD SUPPLY RANGE	10	24	35	V	
Short-Circuit					
Short-Circuit Voltage, V_{SC1}	160		240	mV	With a 0.15Ω set resistor (R_{SET}), the current clamps at 1.3A
Short-Circuit Voltage, V_{SC2}	80		120	mV	With a 0.15Ω R_{SET} , the current clamps at 667mA
Short-Circuit Clamp Time ¹		2		μs	FET input capacitance (C_{ISS}) < 500pF, and the time for the short-circuit clamp to engage during a 0Ω short-circuit
Time Out 1, T_1 ¹	0.1		100	ms	Typical programmable times
Time Out 2, T_2 ¹	0.1			ms	Typical programmable times
On and Off Times ¹					
On Time, t_{ON}		15		μs	FET $C_{\text{ISS}} < 500\text{pF}$, and the time from $\overline{\text{SYNC}}$ rising edge to settle to 90%
Off Time, t_{OFF}		4		μs	FET $C_{\text{ISS}} < 500\text{pF}$, and the time from the $\overline{\text{SYNC}}$ rising edge to FET disable
Gate Drive Voltage	-12	-10	-8	V	The DO_SRC_GATE_ x^2 voltage with respect to DO_VDD

¹ 設計および特性評価により裏付けられています。

² $x = \text{A, B, C, D}$ 。

仕様

ADC の仕様

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。なお、電源電圧を設定する場合は、AVDD_HI および AVSS に必要な入力範囲を考慮する必要があります。

表 11. ADC の仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC SPECIFICATIONS					
Resolution	24			Bits	
No Missing Codes ^{1,2}	24			Bits	
Conversion Rates ¹					Sample rates vary depending on the number of ADC measurements selected and the use of single or continuous conversion modes
		10		SPS	50Hz and 60Hz rejection enabled, rejection of HART fundamental frequencies implemented
		20		SPS	50Hz and 60Hz rejection enabled
		20		SPS	50Hz and 60Hz rejection enabled, rejection of HART fundamental frequencies implemented
		200		SPS	50Hz and 60Hz rejection disabled, moderate rejection of HART fundamental frequencies implemented
		200		SPS	50Hz and 60Hz rejection disabled, rejection of HART fundamental frequencies implemented
		1.2		kSPS	50Hz and 60Hz rejection disabled
		1.2		kSPS	50Hz and 60Hz rejection disabled, rejection of HART fundamental frequencies implemented
		4.8		kSPS	50Hz and 60Hz rejection disabled
		9.6		kSPS	50Hz and 60Hz rejection disabled
		19.2		kSPS	50Hz and 60Hz rejection disabled, available for diagnostics measurements only
Absolute Input Voltage Noise ¹	AVSS + 2		AVDD_HI - 0.2		At ADC pin (SENSEHF_x ³ or SENSELF_x ³) See Table 28
Common-Mode Rejection Ratio (CMRR)		95		dB	
ADC INPUT RANGES					
0V to +12V, $\pm 12\text{V}$					Typically used to measure the voltage across the I/OP to I/ON screw terminals (I/OP is the input and output positive, and I/ON is the input and output negative), and also used for VSENSEP_x ³ and VSENSEN_x ³
Range	0		12	V	
	-12		+12	V	
TUE	-0.1		+0.1	% FSR	
INL	-60		+60	ppm FSR	
Offset Error	-60		+60	ppm FSR	
Gain Error	-750		+750	ppm FSR	
$\pm 2.5\text{V}$					Typically used to measure the current through the R_{SENSE} resistor
Range	-2.5		+2.5	V	Typically used to measure bidirectional current across the 12Ω R_{SENSE} in voltage output mode
TUE	-0.1		+0.1	% FSR	
INL	-60		+60	ppm FSR	
Offset Error	-60		+60	ppm FSR	
Gain Error	-250		+250	ppm FSR	

仕様

表 11. ADC の仕様（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
0V to +0.625V, 0V to +0.3125V, -0.3125V to 0V, ±0.3125V					Typically used to measure 3-wire RTDs
Range	0		0.625	V	
	0		+0.3125	V	
	-0.3125		0	V	
	-0.3125		+0.3125	V	
TUE	-0.1		+0.1	% FSR	
INL	-60		+60	ppm FSR	
Offset Error ¹	-155		+155	ppm FSR	
Gain Error ¹	-250		+250	ppm FSR	
±104.16mV					Typically used to measure thermocouple voltages in voltage input mode
Range	-104.16		+104.16	mV	
TUE	-0.1		+0.1	% FSR	
INL	-60		+60	ppm FSR	
Offset Error ¹	-382	+45.8	+382	ppm FSR	Offset at high temperatures is dominated by leakage through external R _{SENSE}
Gain Error ¹	-500		+500	ppm FSR	
DIAGNOSTICS SPECIFICATIONS					
External Diagnostics					
LVIN Pin 2.5V Range					
Range	0		2.5	V	
TUE	-0.05		+0.05	% FSR	
INL	-60		+60	ppm FSR	
Offset Error	-60		+60	ppm FSR	
Offset Error		±300		ppm FSR	Conversion rate 19.2kSPS
Gain Error	-200		+200	ppm FSR	
Noise ¹					For typical values, see Table 29
Sense Pins Diagnostics					
Accuracy		±0.25		% FSR	VSENSE _P ³ , and VSENSE _N ³
DO Current Sense Accuracy					
External DO		±2		mV	
Internal Diagnostics					
Accuracy		±2		%	Percentage of measured value
TEMPERATURE SENSOR ¹					
Accuracy		±5		°C	
Resolution		0.11		°C	

¹ 設計と特性評価で裏付けられていますが、製品テストは行っていません。² 9.6kSPS のレートは含みません。³ x = A、B、C、D。

仕様

HART モデム通信

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。また推奨設定により、 $R_{\text{SENSE}} = 12\Omega$ （理想値）、 $R_{\text{LOAD}} = 500\Omega$ 、 $C_{\text{LOAD}} = 4.7\text{nF}$ です。

表 12. HART モデム通信

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Power-Up Time ¹		50		μs	Transition time from HART power down to normal operation mode HART modem is powered up by the MODEM_PWRUP bit in the HART_CONFIG register
HART Receive signal ranges					
Data Carrier Detect Assert	85	100	110	mV p-p	Range within which assert occurs
High Impedance Devices ¹	120		1500	mV p-p	
Low Impedance Devices ¹	120		800	mV p-p	
HART Transmit signal ranges					
Output Voltage Range					
Current Output mode	400		600	mV p-p	Measured at the I/OP screw terminal with a current range of 3.2mA to 23mA, and a 500 Ω load in current output mode
Current Input mode	400		600	mV p-p	Measured at the I/OP screw terminal with a current range of 3.2mA to 23mA, and a 1k Ω load in current input (loop powered or externally powered) mode
Mark Frequency		1200		Hz	
Space Frequency		2200		Hz	
Frequency Error	-1.0		+1.0	%	

¹ 設計と特性評価で裏付けられていますが、製品テストは行っていない。

仕様

一般仕様

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V（理想値）、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は T_A = -40°C ~ +105°C における値です。また推奨設定により、R_{SENSE} = 12Ω（理想値）、C_{LOAD} = 4.7nF です。

表 13. 一般仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE SPECIFICATIONS					
Reference Input					
Reference Input Voltage		2.5		V	Accuracy of the external reference has an impact on the accuracy of the AD74416H
DC Input Current		45		μA	
Reference Output					
Output Voltage	2.495	2.5	2.505	V	T _A = 25°C
Reference Temperature Coefficient ¹			10	ppm/°C	Box method have been used
Output Voltage Drift vs. Time ¹		500		ppm FSR	Drift after 1000hours, T _A = 90°C
Output Noise ¹		18		μV p-p	0.1Hz to 10Hz bandwidth
Output Noise Spectral Density ¹		95		nV/√Hz	Frequency = 10kHz
Capacitive Load ¹		22	50	nF	On REFIO pin
FET LEAKAGE COMPENSATION ¹					
Input Voltage Range					Voltage range on the I/OP terminal when leakage compensation is enabled
Sourcing External FET	AVSS + 2		AVDD_x ^{2, 3} – 1		
Voltage Across External Blocking Diode		30		mV	FET leakage compensation enabled, for currents up to 40μA leakage current in screw terminal, for more details on typical performance, see Figure 33
SENSE PINS					
Input Bias Current	–25		+25	nA	SENSEHF_x ³ , SENSELF_x ³ , VSENSEP_x ³ , VSENSEN_x ³
Input Bias Current at 25°C		±2		nA	
Input Bias Matching			10	nA	
High Voltage ADC Buffer - Power Saving					Worst-case difference between any of the SENSEHF_x ³ , SENSELF_x ³ , VSENSEP_x ³ , VSENSEN_x ³ pins
AVDD_HI Current		190		μA	Difference of current drawn between low power mode (standby) and active mode of the buffer
AVSS Current		190		μA	Each buffer draws current from AVDD_HI and AVSS pin
AVCC Current		190		μA	SENSE_AGND_OPT buffer draws current from AVCC and AVSS pin
High Voltage ADC Buffer Power-Up Time ¹		100		μs	
BURNOUT CURRENTS					
VIOUT_x ³ Current		0.1, 1, 10		μA	Programmable source or sink currents
VSENSEN_x ³ pin Current		0.1, 1, 10		μA	
TEMPERATURE ALERT AND RESET ¹					
Temperature Alert		115		°C	Junction temperature, high temperature event flags the alert status and the <u>ALERT</u> pin (if unmasked)
Temperature Alert Accuracy		5		°C	
Temperature Reset		145		°C	Junction temperature, resets the device if over temperature event when the EN_THERM_RST bit = 1

仕様

表 13. 一般仕様（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Temperature Reset Accuracy		5		°C	
LOGIC INPUTS					SCLK, SDI, $\overline{\text{RESET}}$, $\overline{\text{SYNC}}$, GPIO_x ³ (as inputs), AD0, AD1
Input Voltage					
High (V_{IH})	0.7 × DVCC			V	
Low (V_{IL})			0.2 × DVCC	V	
Input Current	-1		+1	μA	Per pin, SCLK, SDI, $\overline{\text{RESET}}$, $\overline{\text{SYNC}}$, GPIO_x ³ (as inputs)
Input Capacitance ¹		3		pF	Per pin
Pull-Down Resistance		100		kΩ	Applicable only to AD0, AD1 and GPIO_x ³ (as inputs)
LOGIC OUTPUTS					
SDO Pin					
Output Low Voltage (V_{OL})			0.4	V	Sink current (I_{SINK}) = 200μA
Output High Voltage (V_{OH})	DVCC - 0.4			V	Source current (I_{SOURCE}) = 200μA
High-Impedance Leakage Current	-1		+1	μA	SDO pin only
High-Impedance Output Capacitance ¹		3		pF	SDO pin only
GPIO_x ³ Pin					As outputs
V_{OL}			0.4	V	GPIO_A, B, C, and D, I_{SINK} = 3mA GPIO_E and F, I_{SINK} = 250μA
V_{OH}	DVCC - 0.4			V	GPIO_A, B, C, and D, I_{SOURCE} = 3mA GPIO_E and F, I_{SOURCE} = 250μA
High-Impedance Leakage Current	-1		+1	μA	
OPEN-DRAIN LOGIC OUTPUTS					ADC_RDY and ALERT
V_{OL}			0.4	V	Capable of sinking 2.5mA
High Impedance Leakage Current	-1		+1	μA	
POWER SUPPLY MONITORS					Falling thresholds
AVDD_HI Threshold		5.4		V	
AVDD_LO Threshold		5.4		V	
AVSS Threshold		-1.6		V	
AVCC Threshold		4.1		V	
DVCC Threshold		2.3		V	
DO_VDD Threshold		9.2		V	
POWER REQUIREMENTS					
Supply Voltages ¹					
AVDD_HI	6	24	28.8	V	Headroom requirements must be met for specific application
AVDD_LO	6	14.5	28.8	V	For power efficiency, see the Adaptive Power Switching section
AVSS	-18	-15	-2.5	V	Footroom requirements must be met for specific application
DVCC	2.7	3.3	5.5	V	
AVCC	4.5	5.0	5.5	V	
DO_VDD	10	24	35	V	
Supply Quiescent Currents ¹					Typical (Typ) measurements are obtained using typ supply voltage setting and T_A = 25°C
High Impedance					4x Channels configured to high impedance, ADC is disabled
AVDD_HI Current	5.5	7.5	9.0	mA	
AVDD_LO Current	0	0.3	0.5	mA	AVDD_LO power supply is at least 200mV lower than AVDD_HI

仕様

表 13. 一般仕様（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
AVSS Current	5.5	7.8	9.5	mA	
DVCC Current	2.0	2.8	3.3	mA	
AVCC Current	2.0	3.4	4.5	mA	
DO_VDD Current	100	170	220	μA	
Channel Functions					4x Channels configured to any analog or digital, input or output mode, ADC is enabled, no load current, unless specified otherwise
AVDD_HI Current	8.0	10.0	11.5	mA	Except for voltage output and RTD measurements
	8.5	11.0	12.5	mA	4x Channels configured to voltage output, ADC is disabled
	13.0	16.5	18.5	mA	4x Channels configured to resistance measurement, ADC is enabled (RTD_CURRENT is set to 1mA)
AVDD_LO Current	0	0.7	3.0	mA	AVDD_LO power supply is at least 200mV lower than AVDD_HI
AVSS Current	5.5	8.0	10.0	mA	Except for Voltage output
	9.0	11.0	13.0	mA	4x Channels configured to voltage output, ADC is disabled
DVCC Current	2.0	2.8	3.3	mA	
AVCC Current	5.5	7.2	8.5	mA	
DO_VDD Current	300	400	480	μA	4x Channels configured to high impedance with DO enabled, ADC is disabled, no load
CONFIGURATION TIMING ¹					
Device Power-Up Time		1		ms	After all supplies are powered up
Device Reset Time		1		ms	Time taken for device reset and calibration memory upload to complete hardware or software reset events after the device is powered up (for the pulse-width specifications, see Table 14)
Channel Function Initialization Time		300		μs	Time in use case before changing to another use case, wait time after the CH_FUNC_SETUP register is programmed before new DAC codes can be loaded
IOUT_HART Channel Function Initialization Time		4.2		ms	VIOUT_DRV_EN_DLY = 0, during channel initialization time, output does not settle
		300		μs	VIOUT_DRV_EN_DLY = 1

¹ 設計および特性評価により裏付けられています。² AVDD_HI（または AVDD_LO）：適応型電源切り替えブロックによって接続された現在動作中の電圧レール。詳細については、[適応型電源切り替えのセクション](#)を参照してください。³ x = A、B、C、D。

仕様

SPI のタイミング特性

SPI のタイミング仕様

特に指定のない限り、AVDD_HI = +6V ~ +28.8V、AVDD_LO = +6V ~ +28.8V、AVSS = -2.5V ~ -18V、AGND = DGND = 0V、REFIO = +2.5V (理想値)、DVCC = +2.7V ~ +5.5V、AVCC = +4.5V ~ +5.5V、全ての仕様は $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$ における値です。

表 14. SPI のタイミング仕様

Parameter ^{1,2}	Description	SDO C _{LOAD} = 30pF	SDO C _{LOAD} = 50pF	Unit
t ₁	SCLK pin cycle time	50	62.5	ns min
t ₂	SCLK high time	17	23	ns min
t ₃	SCLK low time	17	23	ns min
t ₄	SYNC falling edge to SCLK falling edge setup time	t ₁ /2	t ₁ /2	ns min
t ₅	Last SCLK falling edge to SYNC rising edge	t ₁ /2	t ₁ /2	ns min
t ₆	SYNC high time	420	420	ns min
t ₇	Data setup time	5	5	ns min
t ₈	Data hold time	5	5	ns min
t ₉	RESET pulse width	50	50	μs min
t ₁₀	SCLK rising edge to SDO valid	23	28	ns max
t ₁₁	SYNC falling edge to SDO valid (for readback MSB only)	22	25	ns max
t ₁₂	SYNC rising edge to SDO tristate	14	16	ns max
t ₁₃	SYNC rising edge to DAC output response time	2	2	μs typ
t ₁₄ ³	ADC_RDY pulse	25	25	μs typ

¹ すべての入力信号は、 $t_R = t_F = 5\text{ns}$ (DVCC ピン電圧 (V_{DVCC}) の 10% ~ 90%) で仕様規定し、 $V_{DVDD}/2$ の電圧レベルから時間を測定しています。

² 設計と特性評価で裏付けられていますが、製品テストは行っていない。

³ 図 51 を参照してください。

SPI タイミング図

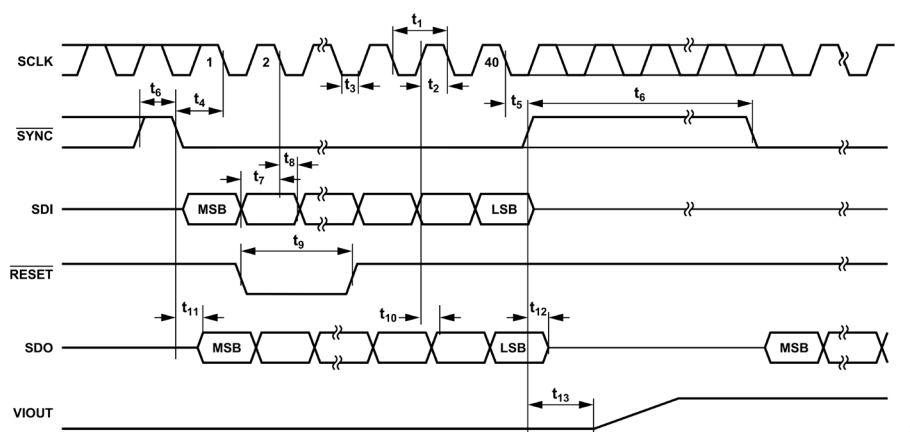


図 2. SPI タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 15. 絶対最大定格

Parameter	Rating
AVDD_HI and AVDD_LO to AGND	-0.3V to +36V
AVSS to AGND	-20V to +0.3V
AVDD_HI and AVDD_LO to AVSS	56V
DVCC to AGND	-0.3V to +6V
AVCC to AGND	-0.3V to +6V
DO_VDD to AGND	-0.3V to +40V
REFIO and LVIN to AGND	-0.3V to AVCC + 0.3V
SENSEHF_x ¹ , SENSELF_x ¹ , VSENSEP_x ¹ and VSENSEP_x ¹ to AGND	-50V to +50V
VIOUT_x ¹ to AGND	-50V to +50V
CCOMP_x ¹ to AGND	AVSS - 0.3V to +50V
DO_SRC_SNS_x ¹ to DO_VDD	-6V to +0.3V
DO_SRC_GATE_x ¹ to DO_VDD	-15V to +0.3V
LKG_COMP_x ¹ to AGND	-50V to DO_VDD + 0.3V
Digital Inputs to DGND (RESET, SYNC, SCLK, and SDI)	-0.3V to DVCC + 0.3V
Logic Digital Outputs to DGND (GPIO_n ² , SDO, ALERT, ADC_RDY)	-0.3V to DVCC + 0.3V
DGND to AGND	-0.3V to +0.3V
Temperature	
Operating Range	-40°C to +105°C
Storage Range	-65°C to +150°C
T _J Maximum ³	125°C
Reflow Profile	JEDEC Industry Standard J-STD-020
Power Dissipation	(T _J maximum - T _A)/θ _{JA}

¹ x = A、B、C、D。

² n = A、B、C、D、E、F。

³ T_Jの最大値を超えることのないよう、AD74416Hの消費電力を管理することが重要です。また、AD74416Hの損傷を避けるために、サーマル・シャットダウン機能を有効にすることを推奨します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意を払う必要があります。

θ_{JA}は、1立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。θ_{JC}は、ジャンクションとケースの間の熱抵抗です。

表 16. 熱抵抗

Package Type	θ _{JA} ¹	θ _{JC} ²	Unit
CP-64-15	23.8	0.8	°C/W

¹ 7×7配列のサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードを使い、JEDEC 自然対流環境でシミュレートしたデータに基づいています。詳細については、JEDEC 仕様 JESD-51 を参照してください。

² 冷却板をパッケージ上面に接触させた状態の露出パッド表面で読出し。

静電放電（ESD 定格）

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDDEC JS-002 準拠の帯電デバイス・モデル（FICDM）。

AD74416H の ESD 定格

表 17. AD74416H、64 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±1750	1C
FICDM	±500	C2a

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

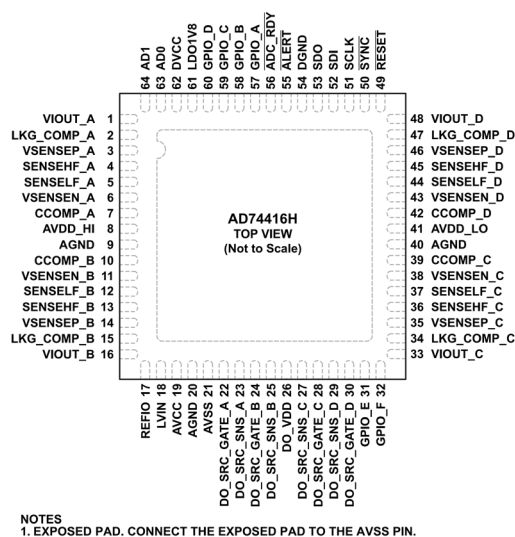


図 3. ピン配置

表 18. ピン機能の説明

ピン番号	記号	説明
1	VIOUT_A	チャンネル A の電圧または電流フォース・ピン。VIOUT_A は、I/OP ネジ端子に電圧または電流を供給します。
2	LKG_COMP_A	チャンネル A のリーク補償。LKG_COMP_A ピンは、高精度測定用にリーク補償を行います。デジタル出力モードで用いられる PMOS トランジスタのリークは、このピンを用いて補償されます。外部 FET でデジタル出力機能を使用しない場合は、LKG_COMP_A ピンを無接続のままにします。
3	VSENSEP_A	チャンネル A の正側電圧検出ピン。
4	SENSEHF_A	チャンネル A のフィルタ付きハイサイド・センス・ピン。SENSEHF_A ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R_{SENSE} の AD74416H 側に経路設定できます。
5	SENSELF_A	チャンネル A のフィルタ付きローサイド・センス・ピン。SENSELF_A ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R_{SENSE} の I/OP ネジ端子側に経路設定できます。
6	VSENSEN_A	チャンネル A の負側電圧検出ピン。VSENSEN_A ピンは補助高電圧検出ピンとして使用できます。
7	CCOMP_A	チャンネル A の補償コンデンサ・ピン。CCOMP_A ピンは、電圧出力の使用時に AD74416H による高容量性負荷の駆動を可能にします。CCOMP_A ピンと I/O ネジ端子の間にコンデンサを接続してください。
8	AVDD_HI ¹	正側アナログ電源ハイ。適応型電源切り替え機能を用いない場合は、AVDD_HI ピンと AVDD_LO ピンを互いに接続します。
9	AGND	アナログ・グラウンド。
10	CCOMP_B	チャンネル B の補償コンデンサ・ピン。CCOMP_B は、電圧出力の使用時に AD74416H による高容量性負荷の駆動を可能にします。CCOMP ピンと I/O ネジ端子側の間にコンデンサを接続してください。
11	VSENSEN_B	チャンネル B の負側電圧検出ピン。補助高電圧検出ピンとして使用します。
12	SENSELF_B	チャンネル B のフィルタ付きローサイド・センス・ピン。SENSELF_B ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R_{SENSE} の I/OP ネジ端子側に経路設定できます。
13	SENSEHF_B	チャンネル B のフィルタ付きハイサイド・センス・ピン。SENSEHF_B ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R_{SENSE} の AD74416H 側に経路設定できます。
14	VSENSEP_B	チャンネル B の正側電圧検出ピン。
15	LKG_COMP_B	チャンネル B のリーク補償。LKG_COMP_B ピンは、高精度測定用にリーク補償を行います。デジタル出力モードで用いられる PMOS トランジスタのリークは、このピンを用いて補償されます。外部 FET でデジタル出力機能を使用しない場合は、LKG_COMP_B ピンを無接続のままにします。
16	VIOUT_B	チャンネル B の電圧または電流フォース・ピン。VIOUT_B は、I/OP ネジ端子に電圧または電流を供給します。
17	REFIO ¹	内部 2.5V リファレンスの入力と出力。
18	LVIN	低電圧入力ピン。LVIN ピンの電圧は、診断ブロックで LVIN オプションを選択することによって測定できます。測定電圧範囲は 0V~2.5V です。最高の性能を発揮するには、LVIN ピンにアンチエイリアシング・フィルタを用います。
19	AVCC ¹	5V アナログ電源。
20	AGND	アナログ・グラウンド。

ピン配置およびピン機能の説明

表 18. ピン機能の説明（続き）

ピン番号	記号	説明
21	AVSS ¹	負のアナログ電源。
22	DO_SRC_GATE_A	チャンネル A のデジタル出力ゲート駆動のソース。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_GATE_A ピンを無接続のままにします。
23	DO_SRC_SNS_A	チャンネル A のデジタル出力センス・ピンのソース。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_SNS_A ピンを DO_VDD ピンに接続します。
24	DO_SRC_GATE_B	チャンネル B のデジタル出力ゲート駆動のソース。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_GATE_B ピンを無接続のままにします。
25	DO_SRC_SNS_B	チャンネル B のデジタル出力センスのソース・ピン。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_SNS_B ピンを無接続のままにします。
26	DO_VDD ¹	デジタル出力回路の正側電源。外部 FET でデジタル出力機能を使用しない場合は、DO_VDD ピンを AVDD_HI ピンに接続します。
27	DO_SRC_SNS_C	チャンネル C のデジタル出力センスのソース・ピン。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_SNS_C ピンを無接続のままにします。
28	DO_SRC_GATE_C	チャンネル C のデジタル出力ゲート駆動のソース。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_GATE_C ピンを無接続のままにします。
29	DO_SRC_SNS_D	チャンネル D のデジタル出力センスのソース・ピン。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_SNS_D ピンを無接続のままにします。
30	DO_SRC_GATE_D	チャンネル D のデジタル出力ゲート駆動のソース。外部 FET でデジタル出力機能を使用しない場合は、DO_SRC_GATE_D ピンを無接続のままにします。
31	GPIO_E	汎用入出力ピン E。
32	GPIO_F	汎用入出力ピン F。
33	VIOUT_C	チャンネル C の電圧または電流フォース・ピン。VIOUT_C ピンは、I/OP ネジ端子に電圧または電流を供給します。
34	LKG_COMP_C	チャンネル C のリーク補償。LKG_COMP_C ピンは、高精度測定用にリーク補償を行います。デジタル出力モードで用いられる PMOS トランジスタのリークは、このピンを用いて補償されます。外部 FET でデジタル出力機能を使用しない場合は、LKG_COMP_C ピンを無接続のままにします。
35	VSENSEP_C	チャンネル C の正側電圧検出ピン。
36	SENSEHF_C	チャンネル C のフィルタ付きハイサイド・センス・ピン。SENSEHF_C ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R _{SENSE} の AD74416H 側に経路設定できます。
37	SENSELF_C	チャンネル C のフィルタ付きローサイド・センス・ピン。SENSELF_C ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R _{SENSE} の I/OP ネジ端子側に経路設定できます。
38	VSENSEN_C	チャンネル C の負側電圧検出ピン。VSENSEN_C ピンは補助高電圧検出ピンとして使用できます。
39	CCOMP_C	チャンネル C の補償コンデンサ・ピン。CCOMP_C ピンは、電圧出力の使用時に AD74416H による高容量性負荷の駆動を可能にします。CCOMP_C ピンと I/O ネジ端子の間にコンデンサを接続してください。
40	AGND	アナログ・グラウンド。
41	AVDD_LO ¹	正側アナログ電源ロー。適応型電源切り替え機能を用いない場合は、AVDD_HI ピンと AVDD_LO ピンを互いに接続します。
42	CCOMP_D	チャンネル D の補償コンデンサ・ピン。CCOMP_D ピンは、電圧出力の使用時に AD74416H による高容量性負荷の駆動を可能にします。CCOMP_D ピンと I/O ネジ端子の間にコンデンサを接続してください。
43	VSENSEN_D	チャンネル D の負側電圧検出ピン。VSENSEN_D ピンは補助高電圧検出ピンとして使用できます。
44	SENSELF_D	チャンネル D のフィルタ付きローサイド・センス・ピン。SENSELF_D ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R _{SENSE} の I/OP ネジ端子側に経路設定できます。
45	SENSEHF_D	チャンネル D のフィルタ付きハイサイド・センス・ピン。SENSEHF_D ピンは、ADC 入力に切り替えられ、オフ・チップのフィルタを通じて R _{SENSE} の AD74416H 側に経路設定できます。
46	VSENSEP_D	チャンネル D の正側電圧検出ピン。
47	LKG_COMP_D	チャンネル D のリーク補償。LKG_COMP_D ピンは、高精度測定用にリーク補償を行います。デジタル出力モードで用いられる PMOS トランジスタのリークは、このピンを用いて補償されます。外部 FET でデジタル出力機能を使用しない場合は、LKG_COMP_D ピンを無接続のままにします。
48	VIOUT_D	チャンネル B の電圧または電流フォース・ピン。VIOUT_D は、I/OP ネジ端子に電圧または電流を供給します。
49	$\overline{\text{RESET}}$	ハードウェア・リセット・ピン。アクティブ・ローの入力。 $\overline{\text{RESET}}$ ピンは、AD74416H をパワー・オン状態にリセットします。
50	$\overline{\text{SYNC}}$	シリアル・インターフェース・フレーム同期ピン。アクティブ・ローの入力。
51	SCLK	シリアル・インターフェース・クロック。
52	SDI	シリアル・インターフェース・データ入力。

ピン配置およびピン機能の説明

表 18. ピン機能の説明（続き）

ピン番号	記号	説明
53	SDO	シリアル・インターフェース・データ出力。
54	DGND	デジタル・グラウンド。
55	$\overline{\text{ALERT}}$	アクティブ・ローのオープン・ドレイン出力。 $\overline{\text{ALERT}}$ ピンは、アラート状態が発生するとローにアサートされます。このピンがアサートされた場合は、 $\overline{\text{ALERT_STATUS}}$ レジスタを読み出してください。このピンはプルアップ抵抗を介して DVCC ピンに接続します。
56	$\overline{\text{ADC_RDY}}$	アクティブ・ローのオープン・ドレイン出力。ADC の変換結果が読出し可能な状態になると、 $\overline{\text{ADC_RDY}}$ ピンがアサートされます。 $\overline{\text{ADC_RDY}}$ ピンは、DVCC ピンへのプルアップ抵抗に接続します。
57	GPIO_A	汎用入出力ピン A。
58	GPIO_B	汎用入出力ピン B。
59	GPIO_C	汎用入出力ピン C。
60	GPIO_D	汎用入出力ピン D。
61	LDO1V8 ¹	1.8V 低ドロップアウト出力（LDO）。LDO1V8 ピンは外部では使用しないでください。
62	DVCC ¹	デジタル電源。DVCC ピンは表 38 に示された推奨コンデンサを使ってデカップリングします。
63	AD0	デバイス・アドレス・ピン 0。AD0 ピンと AD1 ピンで SPI のアドレスを設定します。AD0 および AD1 は、弱いプルダウン抵抗によって DGND に内部接続されています。
64	AD1	デバイス・アドレス・ピン 1。AD0 ピンと AD1 ピンで SPI のアドレスを設定します。AD0 および AD1 は、弱いプルダウン抵抗によって DGND に内部接続されています。
	Exposed Pad	露出パッド（EP）。露出パッドは AVSS ピンに接続します。

¹ 表 38 に示す推奨デカップリング・コンデンサを接続します。

代表的な性能特性

電圧出力

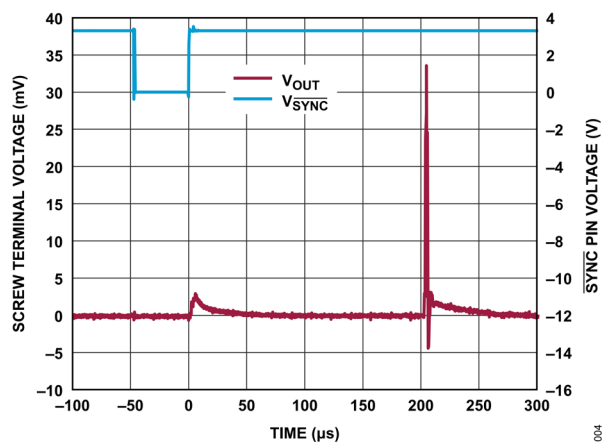


図 4. ネジ端子電圧 (V_{OUT}) および SYNC ピン電圧 (V_{SYNC}) と時間の関係 (電圧出力有効化時)

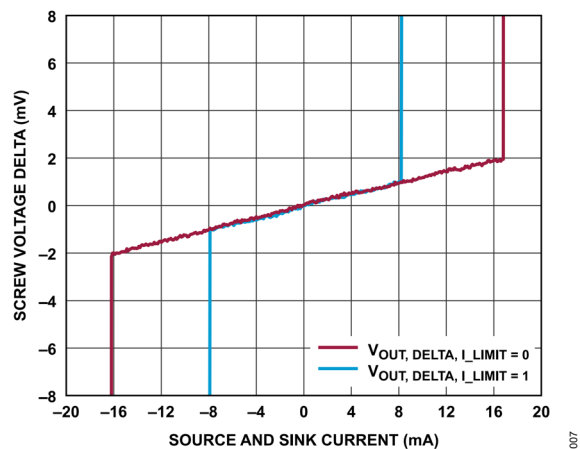


図 7. 出力電圧変化 ($V_{OUT, DELTA}$) とソースおよびシンク電流の関係

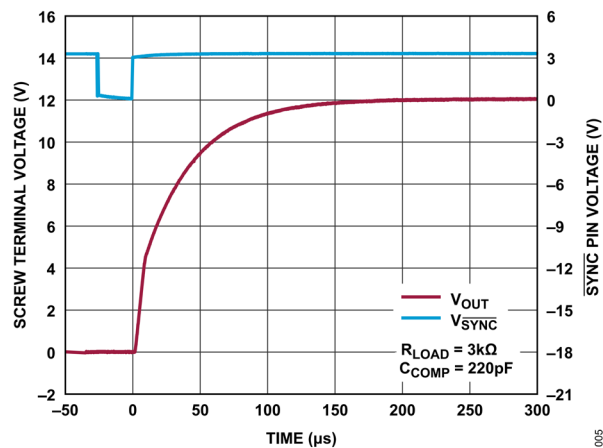


図 5. C_{COMP} 接続時の正のフルスケール・ステップ

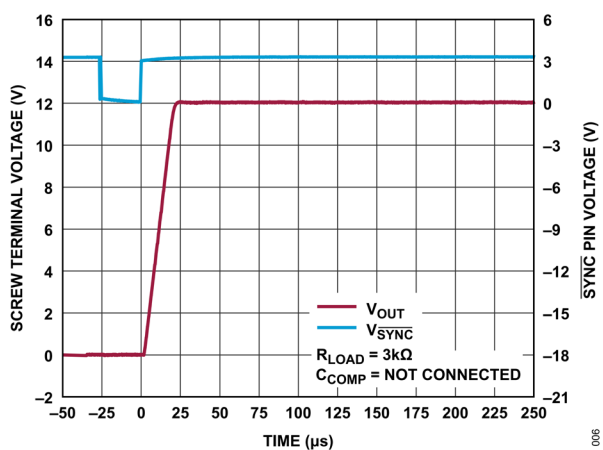


図 6. C_{COMP} 不接続時の正のフルスケール・ステップ

代表的な性能特性

電流出力 (I_{OUT})

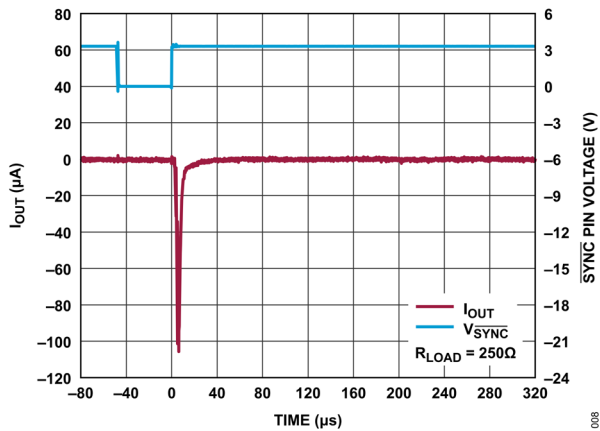


図 8. I_{OUT} および $\overline{SYNC}$ ピン電圧 (V_{SYNC}) と時間の関係 (電流出力有効化時)

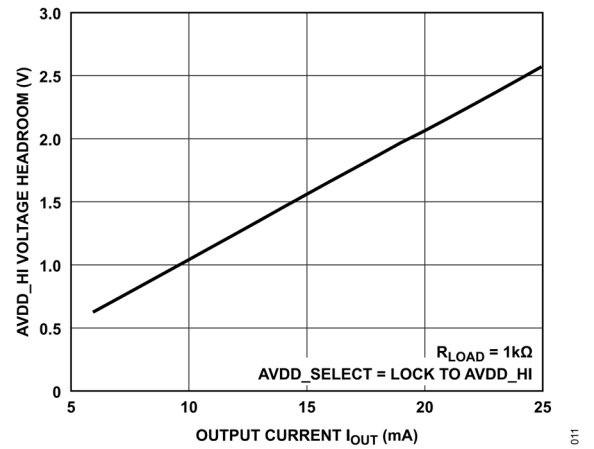


図 11. AVDD_HI の電圧ヘッドルームと I_{OUT} の関係

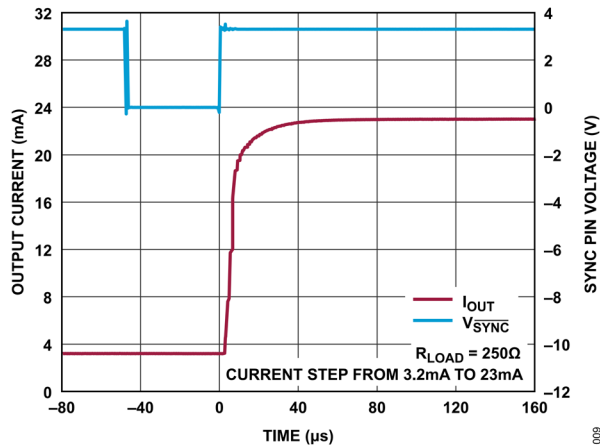


図 9. 出力電流 (I_{OUT}) および $\overline{SYNC}$ ピン電圧 (V_{SYNC}) と時間の関係

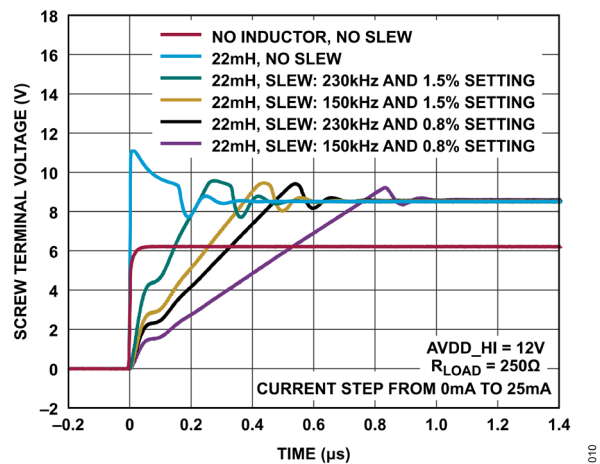
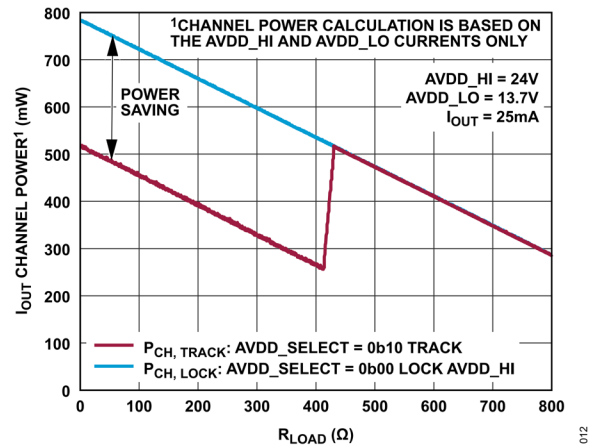


図 10. I_{OUT} のセtring時間 (誘導負荷接続時、スルー・レートを有効にした場合としない場合)

代表的な性能特性

RTD の測定

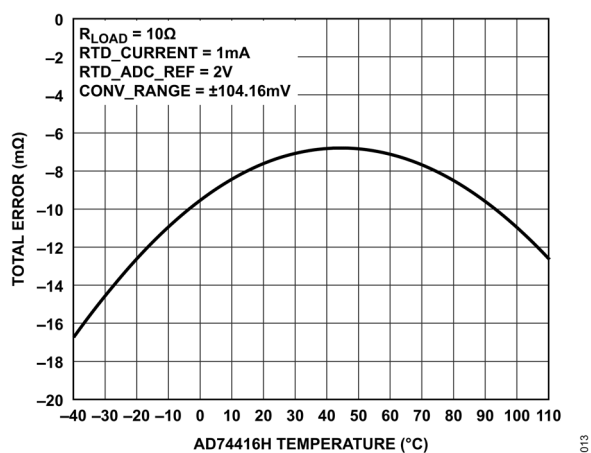


図 13. 公称抵抗値での 3 線式 PT100 の合計誤差

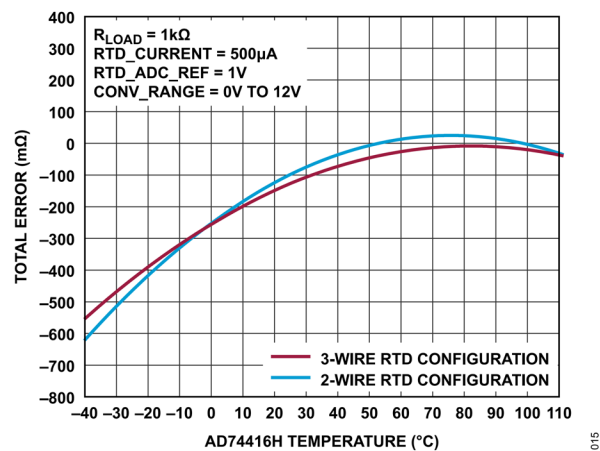


図 15. 公称抵抗値での 2 線式および 3 線式 PT1000 の合計誤差

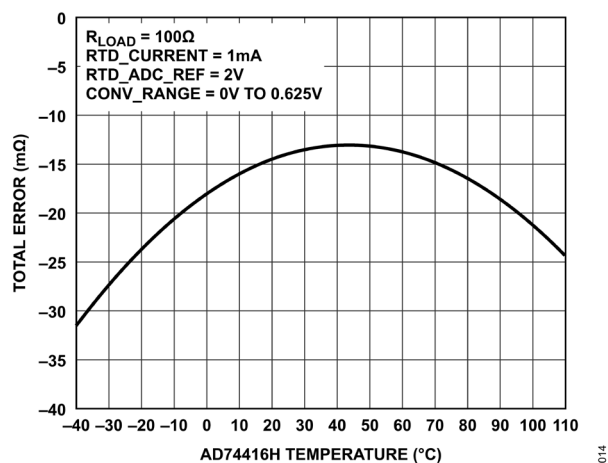


図 14. 公称抵抗値での 3 線式 PT100 の合計誤差

代表的な性能特性

ADC

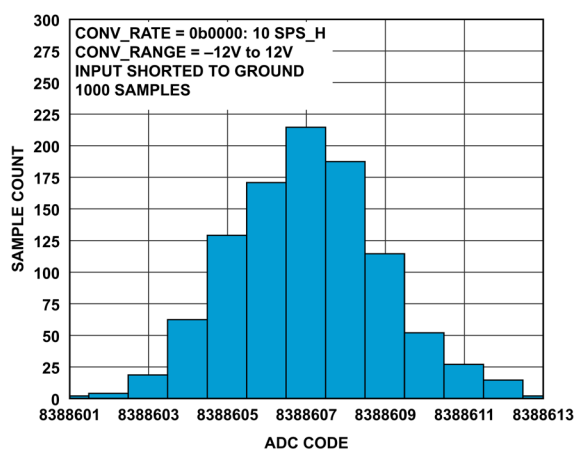


図 16. ADC のノイズ・ヒストグラム
(出力データレート (ODR) = 10SPS)

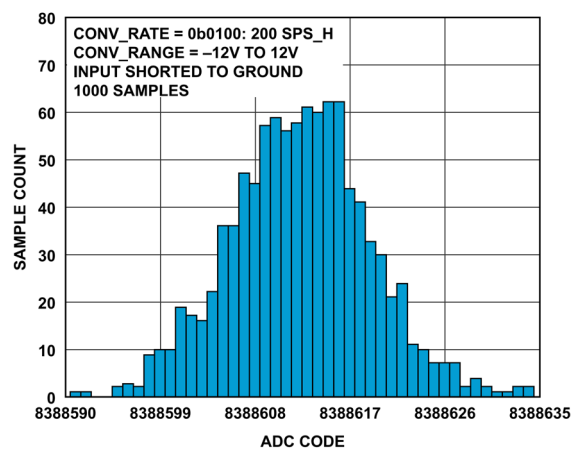


図 19. ADC のノイズ・ヒストグラム (ODR = 200SPS_H)

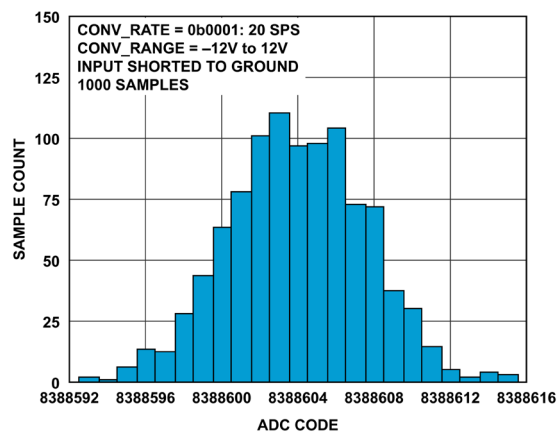


図 17. ADC のノイズ・ヒストグラム (ODR = 20SPS)

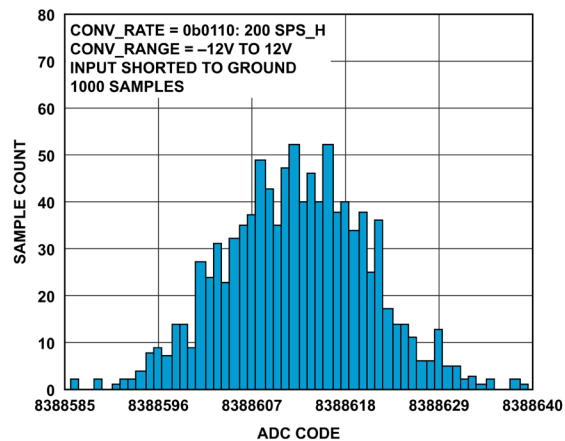


図 20. ADC のノイズ・ヒストグラム (ODR = 200SPS_H1)

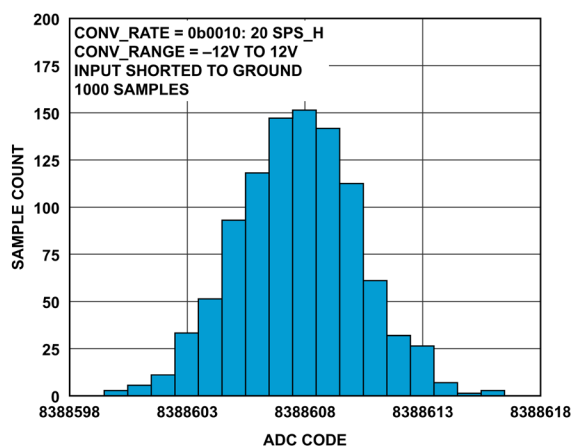


図 18. ADC のノイズ・ヒストグラム (ODR = 20SPS_H)

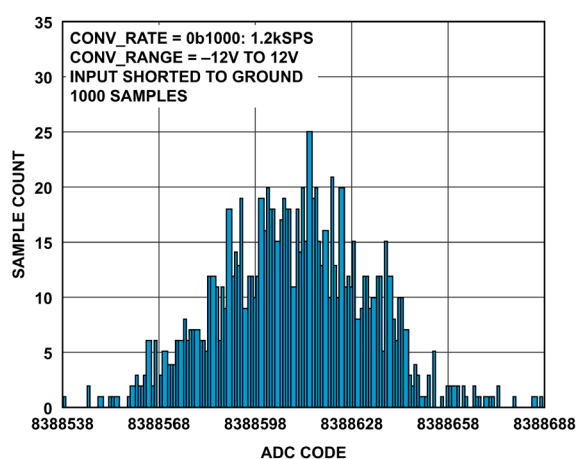


図 21. ADC のノイズ・ヒストグラム (ODR = 1.2kSPS)

代表的な性能特性

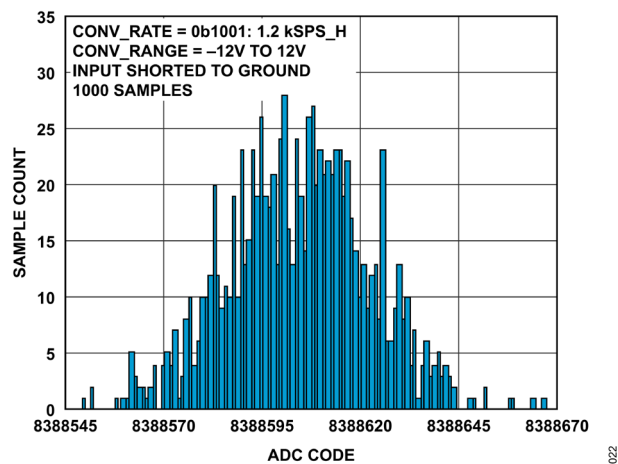


図 22. ADC のノイズ・ヒストグラム (ODR = 1.2kSPS_H)

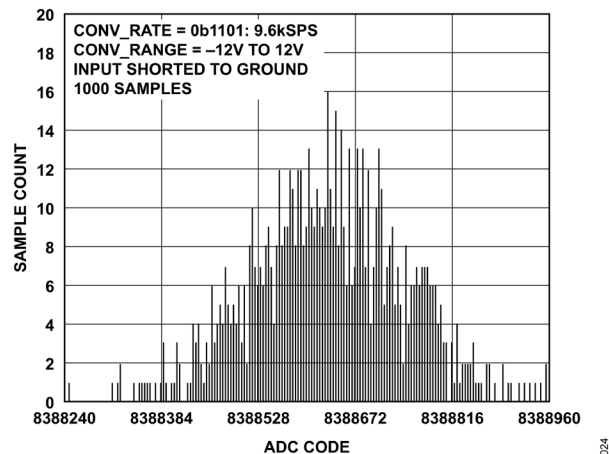


図 24. ADC のノイズ・ヒストグラム (ODR = 9.6kSPS)

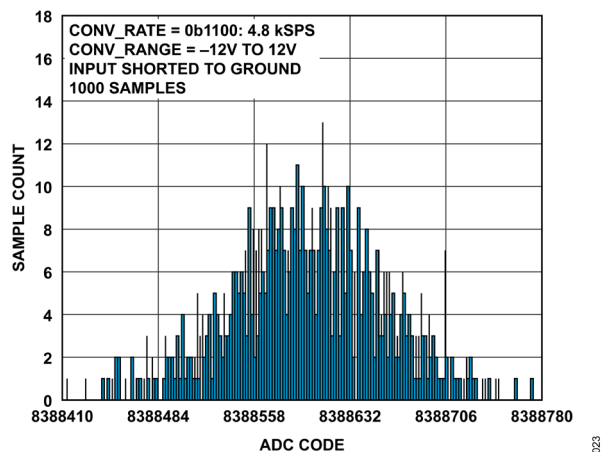


図 23. ADC のノイズ・ヒストグラム (ODR = 4.8kSPS)

代表的な性能特性

リファレンス

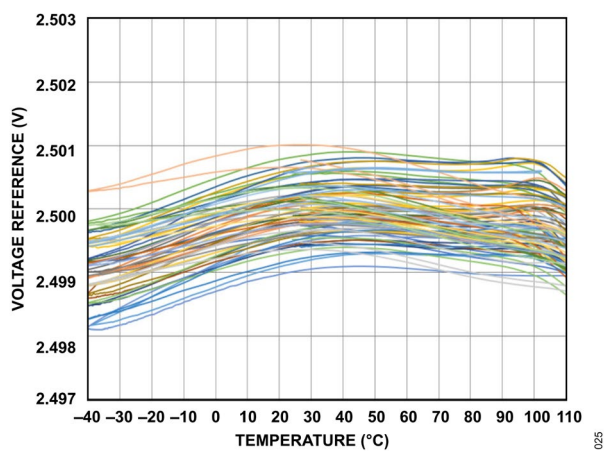


図 25. 電圧リファレンスと温度の関係

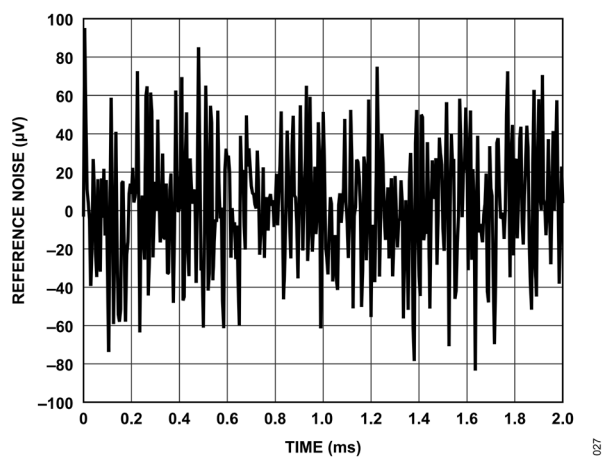


図 27. ピーク to ピーク・ノイズ（100kHz の帯域幅）

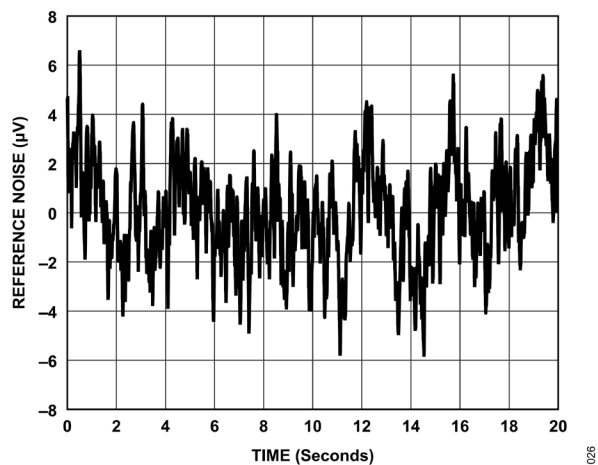


図 26. ピーク to ピーク・ノイズ（0.1Hz~10Hz の帯域幅）

代表的な性能特性

HART

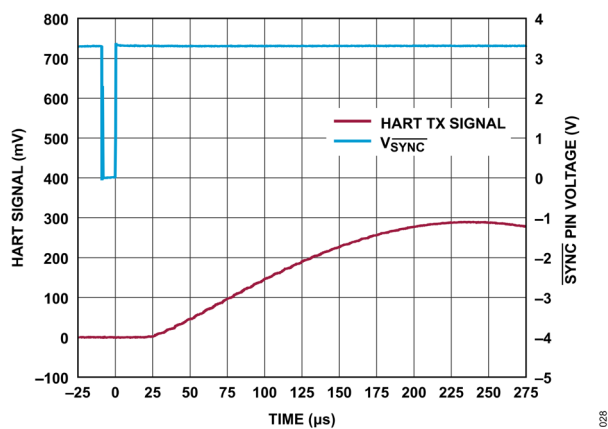


図 28. キャリア開始時間

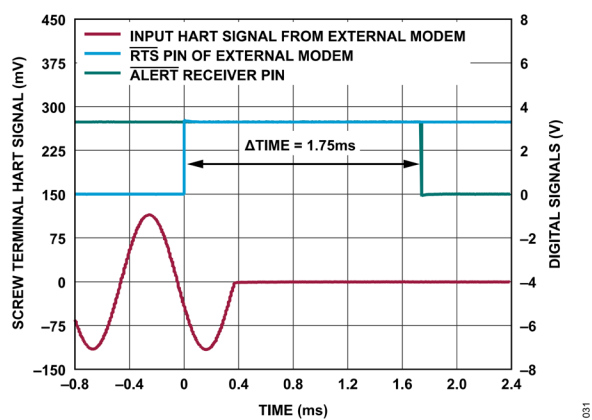


図 31. キャリア検出オフ時間
(ALERTピンがアサートするまで)

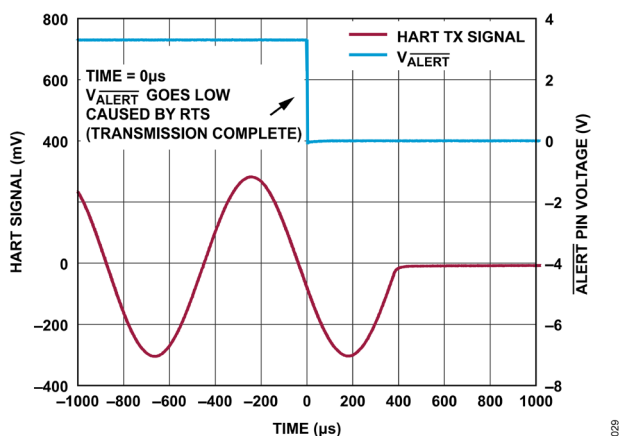


図 29. キャリア停止時間

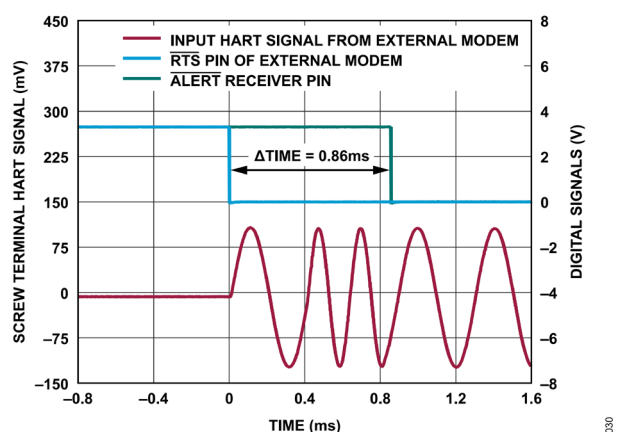


図 30. キャリア検出オン時間 (ALERTピンのアサート)

代表的な性能特性

その他

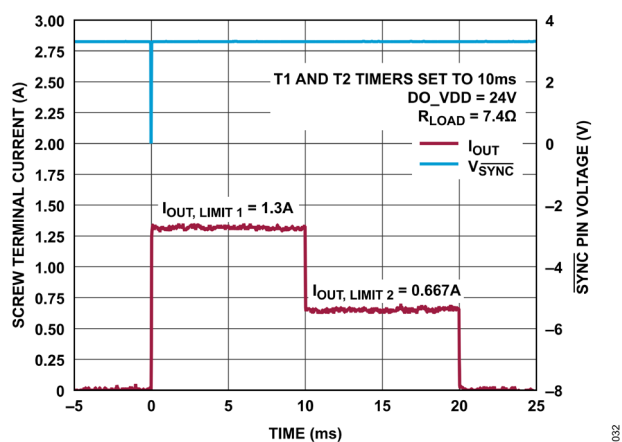


図 32. デジタル出力のプログラマブルな短絡のアクティブ化

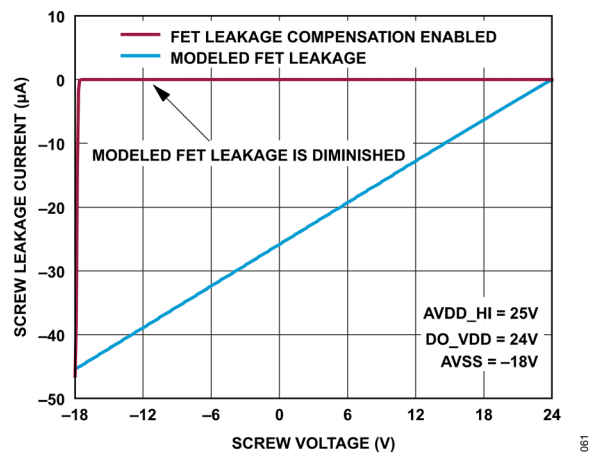


図 33. 電流リーク補償の機能

用語の定義

ADC オフセット誤差

入力範囲がユニポーラの場合、ADC オフセット誤差は、入力短絡時 (0V) のゼロスケール・コード (0x000000) からの偏差です。誤差の単位は ppm FSR です。

入力範囲がバイポーラの場合、ADC オフセット誤差は、入力短絡時 (0V) のミッドスケール・コード (0x800000) からの偏差です。誤差の単位は ppm FSR です。

ADC ゲイン誤差

ゲイン誤差は、ユニポーラおよびバイポーラの両方の範囲に適用されます。ゲイン誤差は ADC のスパン誤差を表します。

どちらの入力範囲の場合でも、ゲイン誤差は、フルスケール誤差からゼロスケール誤差を差し引いたものとして定義されます。誤差の単位は ppm FSR です。

DAC オフセット誤差

オフセット誤差は DAC 出力レジスタに 0x0 をロードしたときの、理想的なゼロスケール出力からのアナログ出力の偏差を表します。オフセット誤差の単位は mV です。ただし、I_{OUT} モードの場合は μ A です。

DAC バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は DAC 出力レジスタに 0x8000 をロードしたときの、0V の理想的なミッドスケール出力からのアナログ出力の偏差を表します。この誤差は出力範囲がバイポーラの場合にのみ適用されます。

DAC ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。DAC の伝達特性の傾きにおける理想値からの偏差で、単位は % FSR です。

総合未調整誤差 (TUE)

TUE は、理想的な出力からの実際の出力の合計偏差です。TUE には、INL 誤差、オフセット誤差、ゲイン誤差が含まれます。

動作原理

AD74416H は、クラウドチャンネルのソフトウェア設定可能な入出力デバイスであり、プロセス制御やファクトリ・オートメーションなどのアプリケーションの要件を満たせるように設計されています。このデバイスは入出力動作の全機能内蔵型シングル・チップ・ソリューションです。AD74416H は、1 個の 24 ビット Σ - Δ ADC と 4 個の 16 ビット DAC を備えており、9mm × 9mm の 64 ピン LFCSP でパッケージされています。また、1 チャンネルに 1 個、合計で 4 個の HART モデムを内蔵しています。

チャンネルは、設定レジスタに書き込みを行うことによって設定します。各動作モードのデフォルト設定は、AD74416H の [レジスタ・マップ](#) によって変更できます。AD74416H の詳細な機能ブロック図については、[図 34](#) を参照してください。

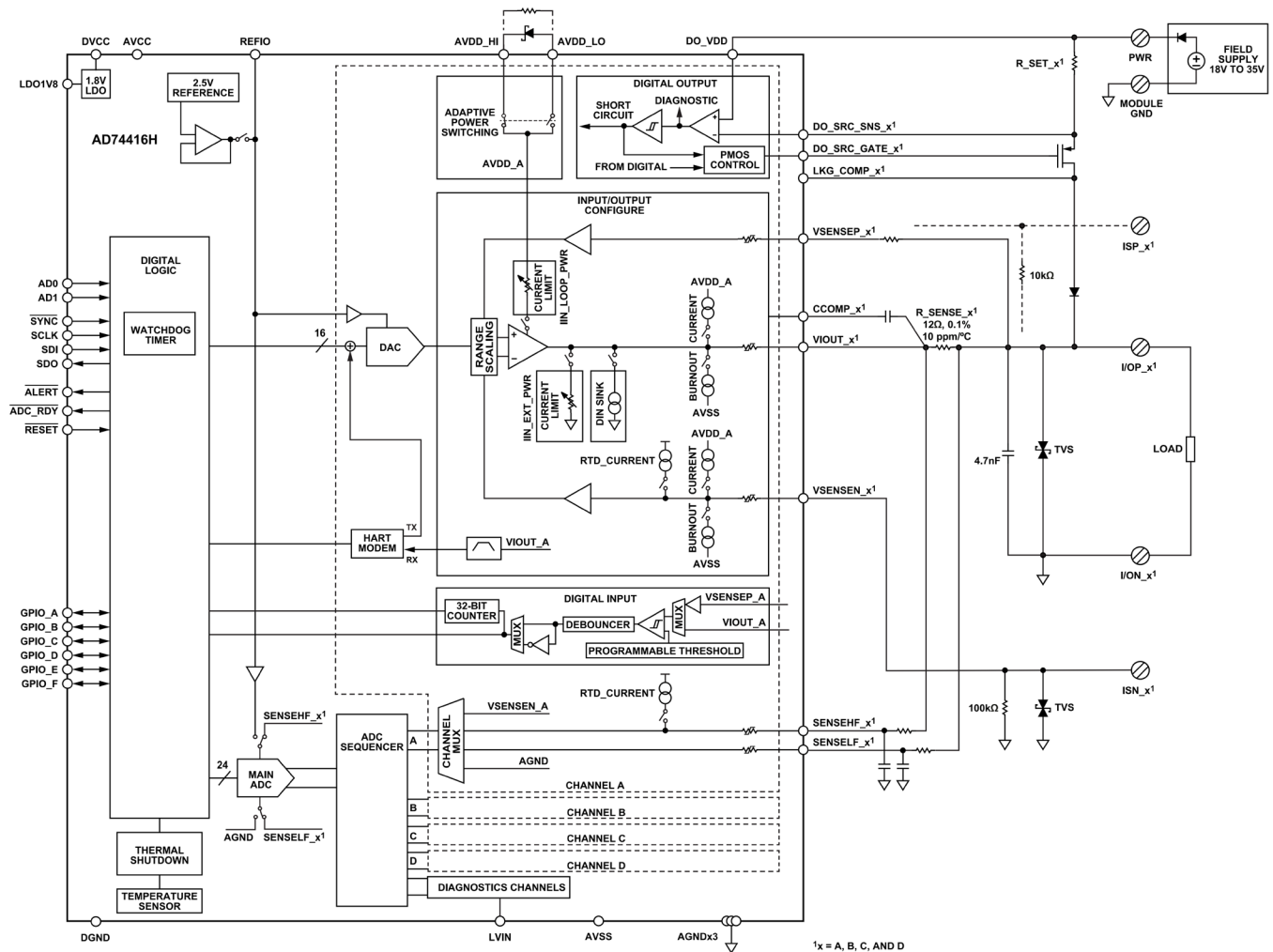


図 34. 詳細な機能ブロック図

動作原理

動作の概要

理に記載の各セクションを参照してください。

表 19 に、様々な機能設定における、AD74416H のネジ端子の動作上の使用方法を示します。各機能の詳細については、[動作原](#)

表 19. AD74416H の動作の概要

Main I/O Screw Terminals			Sensing Terminals		Auxiliary Measurement	
AD74416H Function	I/OP_x ¹ Input/Output Positive	I/ON_x ¹ Input/Output Negative	ISP_x ¹ Input Sense Positive	ISN_x ¹ Input Sense Negative	LVIN Pin ² Low Voltage ADC INPUT ³	Func. Access
High Impedance	High Impedance	High Impedance	N/A ⁴	Auxiliary ADC input	Available ⁵	N/A ⁴
Voltage Output 2-Wire Feedback ⁶	Output and Feedback Sensing	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI
Voltage Output 3-Wire Feedback ⁶	Output	Return Path	Feedback Sensing	Auxiliary ADC Input	Available ⁵	SPI
Voltage Output 4-Wire Feedback ⁶	Output	Return Path	Feedback Sensing	Feedback Sensing	Available ⁵	SPI
Current Output	Output	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI
Voltage Input	Input	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI
Current Input, Externally Powered	Input	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI
Current Input, Loop Powered	Input	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI
Resistance Measurement 3-Wire RTD	Terminal 1	Terminal 2	N/A ⁴	Terminal 3	Available ⁵	SPI
Resistance Measurement 2-Wire RTD	Terminal 1	Terminal 2	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI
Digital Input Logic	Input	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI and GPIO
Digital Input, Loop Powered	Input	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI and GPIO
Digital Output	Output	Return Path	N/A ⁴	Auxiliary ADC Input	Available ⁵	SPI and GPIO

¹ x = A、B、C、D。これはチャンネル A、B、C、D に対応します。

² LVIN ピンを有効化するには、チャンネルの診断を使用します。

³ 詳細については、[診断機能](#)のセクションを参照してください。

⁴ N/A は該当なしを意味します。

⁵ 診断用の測定を使用できます。

⁶ 詳細については、[4、3、2 線式フィードバック検出モード](#)のセクションを参照してください。

動作原理

堅牢なアーキテクチャ

AD74416H システムはノイズの多い環境でも高い堅牢性を発揮し、配線ミスやサージ現象による過電圧にも耐えることができます。

オン・チップのライン・プロテクタは、I/OP ネジ端子の電位が AVDD_HI ピンまたは AVDD_LO 電源より高くなった場合に、この端子から IC に電力が供給されないようにします。

トランジェント電圧サプレッサ (TVS) を含む図 34 と表 38 の推奨外付け部品は、入出力端子にサージが加わっても耐えられるように選ばれています。

推奨部品の使用時、I/OP および I/ON ネジ端子は、デバイスがどのチャンネル機能に設定されている場合でも、DC $\pm 36V$ (外部 TVS により制限) までの過電圧に耐えることができます。

SPI には、ノイズの多い環境下でもエラーのない通信を確保できるように、冗長巡回検査 (CRC) 機能が組み込まれています。

電源およびリファレンス

AD74416H に電力を供給するには、以下のように最大 6 個の外部電圧源レールが必要です。

- ▶ +AVDD_HI および +AVDD_LO は、2 つの正側アナログ電源であり、適応型電源切り替え機能を提供します。
- ▶ -AVSS は、負側アナログ電源です。
- ▶ +AVCC は、低電圧アナログ電源です。
- ▶ +DVCC はデジタル電源であり、デジタル・インターフェースの電圧レベルを決定します。
- ▶ +DO_VDD は、デジタル出力用の電源であり、通常はフィールド電源として実装されます。

外部電源の電圧範囲およびそれに付随する条件については、表 13 を参照してください。システムの電源の数を制限するために DVCC と AVCC を接続することが可能です。

AVDD_HI は、必ず AVDD_LO よりも高電圧でなくてはなりません。これを確実なものにできない場合、特にパワーアップ・トランジェント時には、図 35 に示すように、ショットキー・ダイオードを AVDD_HI ピンと AVDD_LO ピンの間に配置します。推奨するショットキー・ダイオードを表 38 に示します。

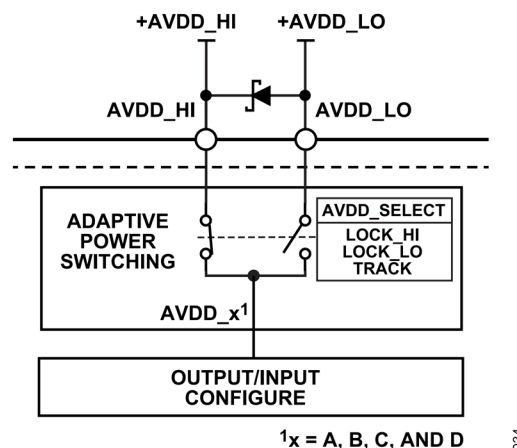


図 35. デュアル AVDD 電源構成

適応型電源切り替え機能が不要な場合は、AVDD 単電源構成を使用します。図 36 に示すように、AVDD_HI ピンに対応する電圧源レールが供給され、AVDD_HI ピンと AVDD_LO ピンの間に抵抗が配置されます。抵抗値は表 38 に仕様規定されています。AVDD_HI ピンと AVDD_LO ピンが抵抗によって互いに接続されると、AVDD_SELECT ピンの LOCK_HI オプションが自動的に強制されます。適応型電源切り替えおよび関連の構成に関する詳細は、[適応型電源切り替え](#)のセクションを参照してください。

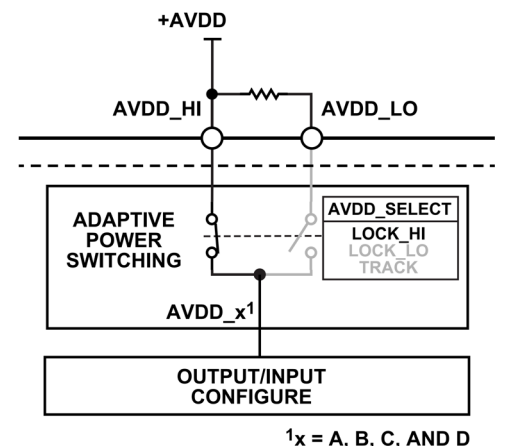


図 36. AVDD 単電源構成

AD74416H への給電

AD74416H をパワーアップする場合は、最初にグラウンド接続を行ってください。パワーアップ後は、デバイスに対して何らかのトランザクションを開始する前に、デバイスのパワーアップ時間 (表 13 参照) だけ待つ必要があります。

AD74416H の最初のパワーアップ時またはデバイス・リセット時には、デフォルトで出力チャンネルが無効化され、高インピーダンス状態になります。

動作原理

適応型電源切り替え

AD74416H は、適応型電源切り替え機能を備えています。AD74416H の適応型電源切り替えを有効化すると、節電および熱放散の低減が可能になります。

適応型電源切り替えは、2 つの電圧源レール、AVDD_HI および AVDD_LO を用いています。AVDD_HI は AVDD 電源電圧ハイを意味し、AVDD_LO は AVDD 電源電圧ローを意味します。必要な結果および節電を実現するには、特定のアプリケーションに応じて AVDD_HI と AVDD_LO の正確な比率を決定してください。推奨する AVDD 電源構成の例については、表 20 を参照してください。

AD74416H が電流出力モードに設定されている場合、電圧ヘッドルームによってどちらの電源レールが負荷に給電しているかが決まります。該当の電源レール (AVDD_HI または AVDD_LO) から接続されている負荷への遷移は自動的に行われます。単一電流出力チャンネルの節電の例を図 12 に示します。

表 20. 推奨するメイン AVDD 電源構成

AVDD_HI	AVDD_LO	Maximal Load (Ω) ¹
25.1V ± 5%	14.3V ± 5%	800
24.0V ± 5%	13.7V ± 5%	760
22.5V ± 5%	13.0V ± 5%	700
21.2V ± 5%	12.3V ± 5%	650
19.8V ± 5%	11.6V ± 5%	600
18.5V ± 5%	10.9V ± 5%	550
17.2V ± 5%	10.3V ± 5%	500

¹ 最大負荷状態に対する出力電流は 25mA と仮定しています。

CH_FUNC_SETUP[n] レジスタを用いて電流出力モードまたは HART での電流出力が選択されると、適応型電源切り替えが自動的に有効化されます。適応型電源切り替え機能が不要な場合、AVDD_HI 電源レールまたは AVDD_LO 電源レールのどちらかをを使用するために、電源をロックしてください。

適応型電源切り替えの電源ロックは、OUTPUT_CONFIG[n] レジスタの AVDD_SELECT ビット・フィールドで使用可能であり、これを用いることで、必要な電源レールへ手動で切り替えることができます。

リファレンス

AD74416H は、外付けまたは内蔵のリファレンス電圧で動作させることができます。AD74416H を正常に動作させるには、リファレンス入力を 2.5V にする必要があります。リファレンス電圧は、内部でバッファされてから DAC と ADC に加えられます。

内部リファレンスを有効にするには、PWR_OPTIM_CONFIG レジスタの REF_EN ビットをセットします。

デバイス機能

以降のセクションでは、ブロック図や、デフォルト設定で変換を行った場合に ADC の出力結果をどのように解釈するかについてのガイドラインを示しながら、AD74416H の様々なプログラマブル・デバイス機能を説明します。これらの機能は、CH_FUNC_SETUP[n] レジスタ内でプログラムされます。

それぞれのデバイス機能はデフォルトの測定設定で構成されていますが、これらの設定は、必要に応じてレジスタ・マップの範囲内で変更することができます。

高インピーダンス

高インピーダンスはパワーアップ時またはデバイス・リセット時のデフォルト機能です。

アナログ入出力機能を使用していない場合など、チャンネルを長時間にわたって高インピーダンスに保持する場合は、I_BURNOUT_CONFIG レジスタの以下に示すビットをプログラムして 1μA のシンキング・バーニアウト電流を有効化することを推奨します。

- ▶ BRN_VIOUT_POL を 0
- ▶ BRN_VIOUT_CURR を 10 (2 進数)

ADC データの解釈

高インピーダンス・モードでは、デフォルトで、ネジ端子間 (I/OP~I/ON) の電圧を、ADC が 0V~12V のレンジで測定します。ADC の測定結果の計算には次式を使用します。

$$V_{ADC} = (ADC_CODE / 16,777,216) \times Voltage\ Range$$

ここで、
 V_{ADC} は測定電圧 (ボルト単位)、
 ADC_CODE は ADC_RESULT_UPR[n] レジスタおよび ADC_RESULT[n] レジスタの CONV_RES ビット・フィールド、
 $Voltage\ Range$ は ADC の測定範囲で、値は 12V です。

動作原理

電圧出力

電圧出力アンプは、0V～+12Vのレンジではユニポーラ電圧、±12Vのレンジではバイポーラ電圧を生成できます。各レンジの分解能は16ビットです。

電圧出力は、4、3、2線式フィードバック検出モードのセクションで説明する3つのフィードバック検出モードで使用できます。

電圧出力モードの場合、出力レンジはデフォルトで0V～12Vに設定されます。バイポーラ・モードを選択するには、次のシーケンスを使用します。

- ▶ 0V 出力となるよう、DAC_CODE レジスタに 0x8000 を書き込みます。
- ▶ OUTPUT_CONFIG[n] レジスタの VOUT_RANGE ビットを1に設定し、バイポーラ出力とします。
- ▶ CH_FUNC_SETUP レジスタの CH_FUNC ビットで電圧出力モードを選択します。

図37に、VIOUT ピンから負荷に流れる電流経路を示します。また、電圧フィードバック負荷検出システムは VOUT (出力) 電圧を調整します。オプションで、ADC 測定を用いることによって、負荷への電流の流れを読み出せます。

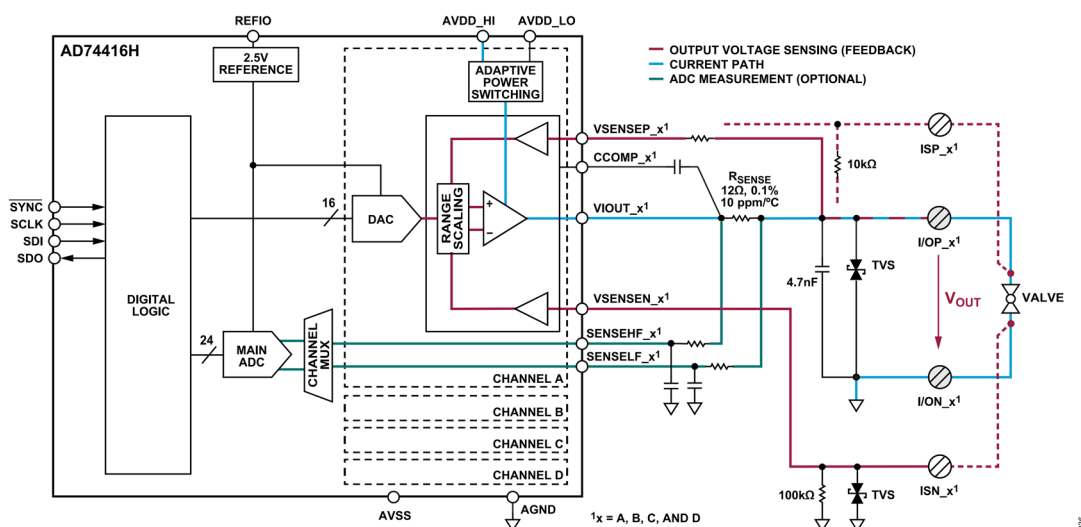


図 37. 電圧出力モードの構成

短絡検出

2つの短絡制限値が使用可能であり、これらは OUTPUT_CONFIG[n] レジスタの I_LIMIT ビットを設定することによって、ユーザが選択できます。仕様規定されている短絡電流値については表1を参照してください。あるチャンネルが、選択した短絡制限値に達した場合は、そのチャンネルに対して電圧出力短絡エラーがフラグされて、ALERTピンがアサートされます。

ADC データの解釈

電圧出力モードでは、RSENSE に流れる電流を ADC が -25mA～+25mA のレンジで測定します (デフォルト)。この ADC 測定結果を使用し、次式により RSENSE を流れる電流を計算します。

$$I_{RSENSE} = \frac{V_{MIN} + \left(\left(\frac{ADC_CODE}{16,777,216} \right) \times Voltage\ Range \right)}{RSENSE}$$

ここで、

I_{RSENSE} はアンペア単位の測定電流値、負の電流は AD74416H から電流がソースされていることを示し、正の電流は AD74416H が電流をシンクしていることを示します。

V_{MIN} は選択した ADC レンジの最小電圧で、デフォルト値は -0.3125V です。

ADC_CODE は ADC_RESULT_UPR[n] レジスタおよび ADC_RESULT[n] レジスタの CONV_RES ビット・フィールド、Voltage Range は ADC レンジの全スパンで、値は 0.625V です。RSENSE は RSENSE の抵抗値で、12Ω です。

4、3、2線式フィードバック検出モード

AD74416H は、電圧出力モードを、4線式、3線式、2線式のフィードバック検出モードで提供します。

4線式電圧出力構成では、VSENSEP_x ピンおよび VSENSEN_x ピンを用いて負荷電圧を検出します。ISP_x 端子と ISN_x 端子は、フィールドにて負荷に接続されます。これにより、出力電圧が差動で検出されるため、より正確な測定が可能になります。チャンネルを4線式電圧出力に構成するには、OUTPUT_CONFIG[n] レジスタの VOUT_4W_EN ビットをセットします。その後、CH_FUNC_SETUP[n] レジスタの CH_FUNC ビット・フィールドを1に設定することによって、チャンネル機能を電圧出力に設定します。

4線式フィードバック検出モードでは、100kΩ の抵抗を VSENSEN_x ピンと AGND の間に接続して、ISN_x 端子が負荷から切り離されたことでフォルト状態になるのを防止する必要があります。

4線式または3線式フィードバック検出モードでは、10kΩ のフィードバック抵抗を I/OP_x 端子と ISP_x 端子の間に接続する必要があります。このフィードバック抵抗は、フィードバック・ループを閉じ、ISP_x 端子が負荷から切り離された場合でも安定性を維持します。

動作原理

3 線式構成は、VSENSE_P_x ピンに接続された ISP_x 端子を用いて負荷の電圧を検出します。チャンネルを 3 線式電圧出力に構成するには、OUTPUT_CONFIG[n] レジスタの VOUT_4W_EN ビットをクリアします。その後、CH_FUNC_SETUP[n] レジスタの CH_FUNC ビット・フィールドを 1 に設定することによって、チャンネル機能を電圧出力に設定します。

スペアの VSENSE_N_x ピンは、ADC の補助入力として使用します。

2 線式構成は、シリアル保護抵抗を用いて I/OP_x ネジ端子を VSENSE_P_x ピンに直接接続することによって、実現できます。2 線式フィードバック検出モードの電圧出力チャンネルは、3 線式と同様に設定できます。2 線式構成では、10k Ω のフィードバック抵抗は不要です。また、この抵抗をシステムに接続する必要はありません。

VSENSE_P_x 直列抵抗は常に接続しなくてはなりません。この抵抗は、高電圧イベントの間、入力電流を VSENSE_P_x ピンに制限します。VSENSE_P_x 直列抵抗の推奨値を表 38 に示します。

動作原理

電流出力

電流出力モードでは、DAC は、内部検出抵抗によって安定化されている VIOUT_x ピンに電流出力を供給します。

図 38 に、電流出力モードの出力電流経路を示します。オプションで、ADC 測定を用いることによって負荷電圧を読み出せます。

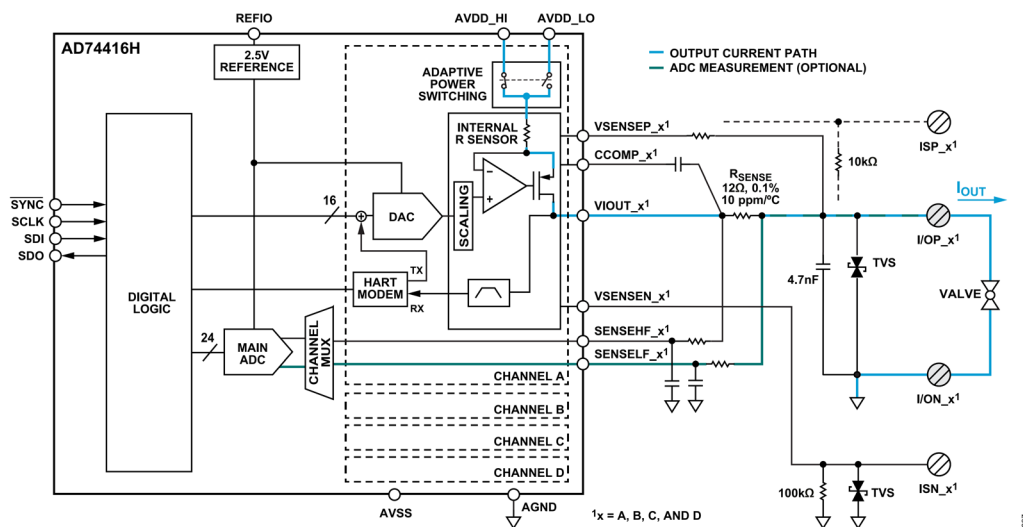


図 38. 電流出力モードの構成

オープン・サーキット検出

電流出力モードでは、チャンネルのオープンループ回路によってヘッドルーム電圧がコンプライアンス電圧（表 2 参照）未満に低下すると、そのチャンネルに電流出力オープン・サーキット・エラーがフラグされて、 $\overline{\text{ALERT}}$ ピンがアサートされます。 $V_{\text{AVDD_HI}}$ （または $V_{\text{AVDD_LO}}$ ）が不十分で、プログラムされた電流出力を駆動できない場合は、オープン・サーキット・エラーがフラグされます。

ADC データの解釈

電流出力モードでは、デフォルトで、ネジ端子間（I/OP~I/ON）の電圧を 0V~12V のレンジで測定するように ADC が設定されます。この ADC 測定結果を使用し、次式によりこれらのネジ端子にかかる電圧を計算します。

$$V_{\text{ADC}} = (\text{ADC_CODE} / 16,777,216) \times \text{Voltage Range}$$

ここで、

V_{ADC} は測定電圧（ボルト単位）、

ADC_CODE は ADC_RESULT_UPR[n] レジスタおよび

ADC_RESULT[n] レジスタの CONV_RES ビット・フィールド、

Voltage Range は ADC の測定範囲で、値は 12V です。

HART 互換性を備えた電流出力モード

OUTPUT_CONFIG[n] レジスタの SLEW_EN ビットによって HART 対応スルー・オプションを有効にすると、HART 付き電流出力モードは HART 送信機能に対応できます。

動作原理

電圧入力

電圧入力モードでは、ADC は SENSEL_F_x ピンと AGND ピンを介して、ネジ端子 (I/OP_x~I/ON_x) にかかる電圧を測定します。電圧入力モードのバーンアウト電流と ADC 測定経路を図 39 に示します。

電圧入力モードでは、最大±12V の電圧を測定できます。ただし、診断機能を用いて I/OP_x ネジ端子電圧を測定するオプションもあります。診断機能を用いると、電圧は電源レール全体にわたって測定できます。診断測定の詳細については、[診断機能](#)のセクションを参照してください。

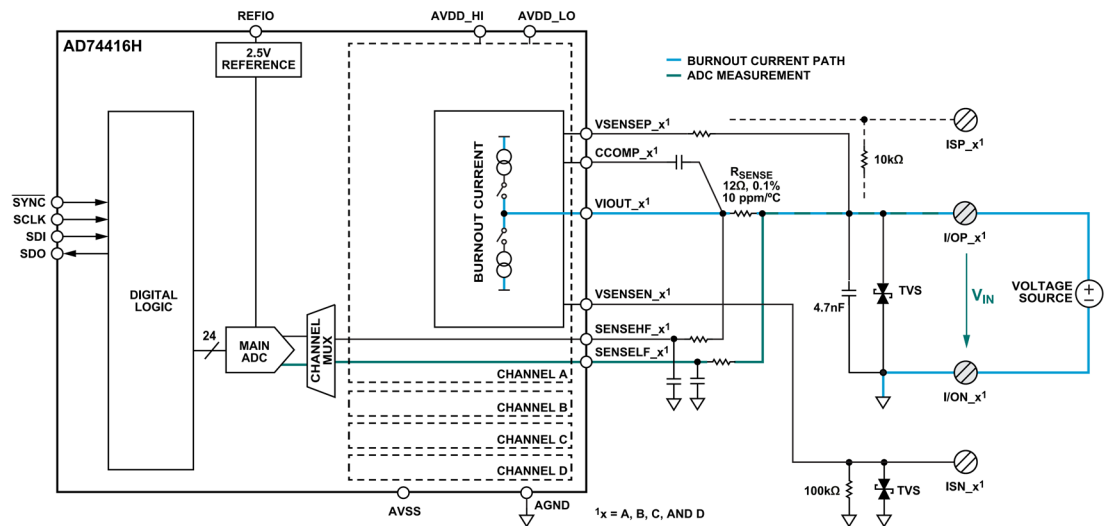


図 39. 電圧入力モードの構成

オープン・サーキット検出

プログラマブルなバーンアウト電流を使用して、電圧入力モードでのオープン・サーキットを検出できます ([バーンアウト電流](#)のセクションを参照)。I_BURNOUT_CONFIG[n] レジスタに書き込むことによって必要なバーンアウト電流を VIOUT_x ピンに設定できます。

I/OP_x ネジ端子がフロート状態の場合は、SENSELF_x ピンが電源レールに引き下げられ、ADC の結果は変換エラーを生じます。そのため、回路のリーク電流をカバーできるだけの十分な大きさのバーンアウト電流値を選択するよう推奨します。

ADC データの解釈

電圧入力モードでは、デフォルトで、ネジ端子間 (I/OP_x~I/ON_x) の電圧を 0V~12V のレンジで測定するように ADC が設定されます。別のレンジを選択するには、ADC_CONFIG[n] レジスタの CONV_RANGE ビットを用います。この ADC 測定結果を使用し、次式によりこれらのネジ端子にかかる電圧を計算します。

$$V_{ADC} = V_0 + (ADC_CODE/16,777,216) \times Voltage\ Range$$

ここで、
 V_0 は、選択した ADC レンジの ADC_CODE = 0 に対応する入力電圧指示値で、デフォルトでは 0V (表 24 参照)、
 V_{ADC} は測定電圧 (ボルト単位)、
 ADC_CODE は ADC_RESULT_UPR[n] レジスタおよび ADC_RESULT[n] レジスタの CONV_RES ビット・フィールド、
 $Voltage\ Range$ は ADC の測定範囲で、値は 12V です。

熱電対測定

ネジ端子 (I/OP_x~I/ON_x) を介して熱電対が接続されているときは、電圧入力モードで熱電対の電圧を測定できます。熱電対の電圧を正確に測定するには、電圧入力モードで ADC_CONFIG[n] レジスタを介して±104mV の入力レンジを選択します。

動作原理

外部駆動電流入力

外部駆動電流入力モードの場合、AD74416H では、外部電流源用に、 V_{IOUT_x} ピンを介してグラウンドへの電流制限経路を使用できます。24 ビット Σ - Δ ADC が R_{SENSE} を流れる電流を測定す

るよう設定されます。電流は、 $SENSEHF_x$ ピンと $SENSELF_x$ ピンを介して R_{SENSE} の電圧をデジタル化することによって測定されます。外部駆動電流入力モードの入力電流経路と ADC 測定経路を図 40 に示します。

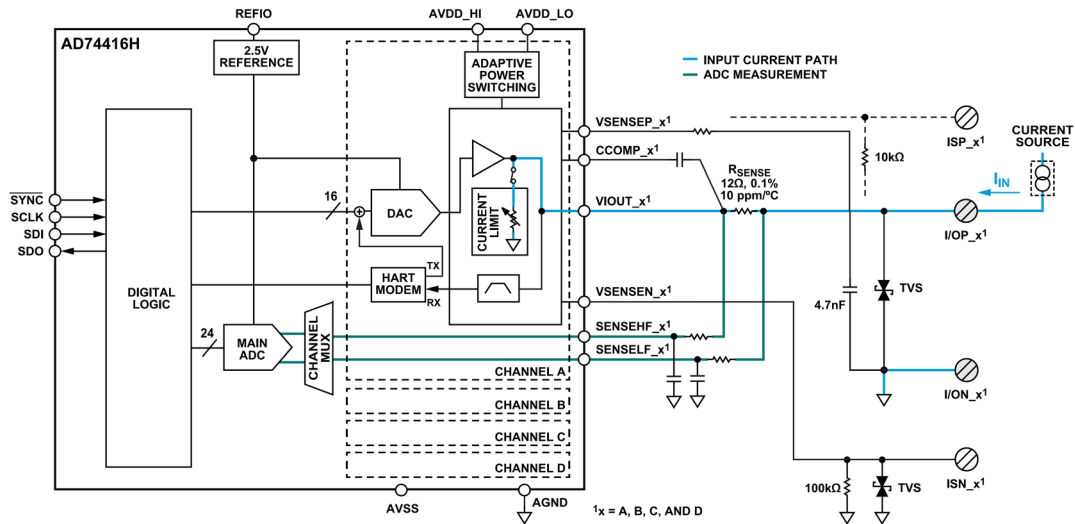


図 40. 外部駆動電流入力モードの構成

短絡の保護と検出

短絡制限は、外部回路を保護し、AD74416H デバイスの消費電力を制限します。短絡制限の値を表 4 に示します。

外部駆動電流入力モードでは、デジタル入力コンパレータがデフォルトで有効化され、短絡状態を検出します。デジタル入力コンパレータは、 $AVDD_HI/2$ の閾値電圧で有効化されます。通常動作時の I/OP_x 電圧は、代表値でグラウンドの 5V 以内です。短絡制限を超える電流を電流源が AD74416H にシンクしようとする、 $SENSEP_x$ ピンの電圧が直ちに増加します。 I/OP_x ネジ端子の電圧が設定閾値電圧を超えると、コンパレータが作動して、 $CHANNEL_ALERT_STATUS[n]$ レジスタの $ANALOG_IO_SC$ ビットがセットされます。

ADC データの解釈

電流入力モードでは、デフォルトで、 I/OP_x ネジ端子から R_{SENSE} を通って AD74416H へ流れ込む電流を、ADC が 25mA のレンジで測定します。この ADC 測定結果を使用し、次式により R_{SENSE} を流れる電流を計算します。

$$I_{R_{SENSE}} = \frac{\left(\frac{ADC_CODE}{16,777,216} \right) \times Voltage\ Range}{R_{SENSE}}$$

ここで、

$I_{R_{SENSE}}$ はアンペア単位の測定電流値、
 ADC_CODE は $ADC_RESULT_UPR[n]$ レジスタおよび $ADC_RESULT[n]$ レジスタの $CONV_RES$ ビット・フィールド、
 $Voltage\ Range$ は ADC レンジの全スパンで値は 0.3125V、
 R_{SENSE} はセンス抵抗で 12 Ω に設定されています。

HART モードでの外部駆動電流入力

このモードは、外部駆動電流入力モードの HART 対応バージョンです。HART 受信インピーダンスに対応するため入力インピーダンスは最低でも 230 Ω に設定されます。

動作原理

ループ駆動電流入力

ループ駆動電流入力モードでは、AD74416H は、電流制限された電圧を I/OP_x ネジ端子に供給します。ループ内に必要な電流制限値を設定するには、DAC_CODE[n]レジスタをプログラムします。DAC コード設定は、チャンネル機能をループ駆動電流入力に変更する前に行うことを推奨します。DAC コードを必要な

値に設定する前にチャンネル機能を切り替えると、短絡を誤検出する原因になります。

入力電流は、SENSEHF_x ピンと SENSELF_x ピンを介して R_{SENSE} の電圧をデジタル化することによって測定されます。ループ駆動電流入力モードのループ電流経路と ADC 測定経路を図 41 に示します。

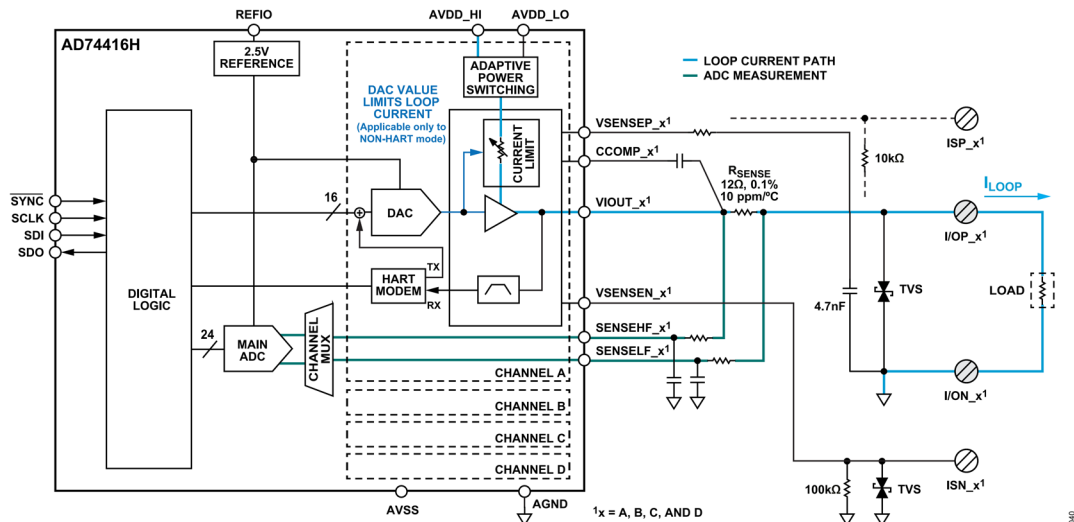


図 41. ループ駆動電流入力モードの構成

短絡の保護と検出

表 5 に示すように、AD74416H からの電流は、短絡制限保護回路によって、短絡制限の値に制限されています。コンパレータはデフォルトで有効化され短絡を検出します。

デジタル入力コンパレータは、AVDD_HI/2 の閾値電圧と反転出力を使って有効化します。通常動作時の I/OP_x の電圧は、代表値で V_{AVDD_HI} の 5V 以内です。負荷がグラウンドに短絡されると、I/OP_x の電圧がグラウンドにプルダウンされます。I/OP_x ネジ端子の電圧が設定閾値レベル未満になると、コンパレータが作動して、CHANNEL_ALERT_STATUS[n]レジスタの ANALOG_IO_SC ビットがセットされます。

ADC データの解釈

ループ駆動電流入力モードでは、デフォルトで、AD74416H から R_{SENSE} を通って I/OP_x ネジ端子へ流れ込む電流を、ADC が 25mA のレンジで測定します。この ADC 測定結果を使用し、次式により電流を計算します。

$$I_{R_{SENSE}} = \frac{\left(\left(\frac{ADC_CODE}{16,777,216} \right) \times Voltage\ Range \right)}{R_{SENSE}}$$

ここで、

$I_{R_{SENSE}}$ はアンペア単位の測定電流値、

ADC_CODE は ADC_RESULT_UPR[n] レジスタおよび

ADC_RESULT[n] レジスタの CONV_RES ビット・フィールド、

Voltage Range は ADC レンジの全 ADC スパンで値は 0.3125V、R_{SENSE} は検出抵抗で値は 12Ω です。

HART 対応ループ駆動電流入力モード

HART 対応ループ駆動電流入力モードは、ループ駆動電流入力モードの HART 対応バージョンです。HART 対応モードは、ループ駆動電流入力モードに抵抗終端を提供します。HART 受信インピーダンスに対応するため、入力インピーダンスは最低でも 230Ω に設定されます。

HART 対応モードのループ電流制限は、固定値です。詳細については表 5 を参照してください。

動作原理

2 線式 RTD 測定

AD74416H は 2 線式 RTD 測定に対応しています。

図 42 に 2 線式 RTD 法の簡略化した構成図を示します。励起電流 I_I は、正確に $2\text{k}\Omega + 12\Omega$ の抵抗で電圧降下を発生し、これが

ADC のリファレンス電圧となります。また、励起電流 I_I は、 IOP_x 端子と ION_x 端子に接続された RTD でも電圧降下を生じます。 IOP_x 端子の電圧は、 $AGND$ ピンを基準として $SENSELF_x$ ピンによって測定されます。この電圧は、RTD 抵抗値に比例しています。

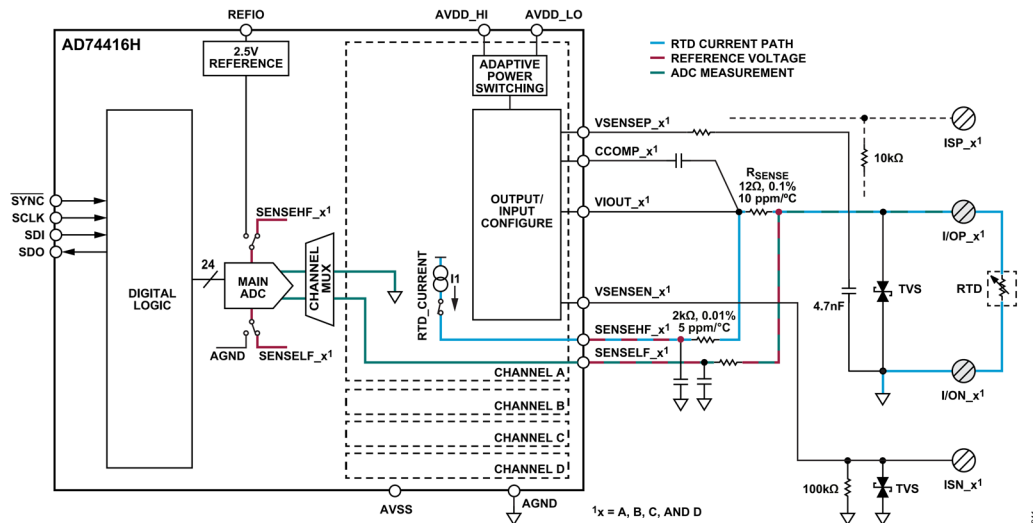


図 42. 抵抗測定構成

2 線式 RTD 測定を Pt1000 RTD 用に構成する方法

2 線式 RTD 測定を Pt1000 RTD 用に構成する方法の例を以下に示します。

- ▶ `CH_FUNC_SETUP[n]` レジスタで抵抗測定を選択します。
- ▶ `RTD_CONFIG[n]` レジスタで `RTD_MODE_SEL` ビットをハイに設定します。
- ▶ `RTD_CONFIG[n]` レジスタの `RTD_CURRENT` ビット・フィールドで、`b0` ($I_{500\mu A} : 500\mu A$) を選択します。
- ▶ `RTD_CONFIG[n]` レジスタの `RTD_ADC_REF` ビット・フィールドを `REF1V` (1V の外部 RTD リファレンス) に設定します。
- ▶ `ADC_CONFIG[n]` レジスタの `CONV_RANGE` ビット・フィールドを `b000 : RNG_0_12V` (0V~12V) に設定します。
- ▶ `ADC_CONFIG[n]` レジスタの `CONV_MUX` ビット・フィールドを `b000 : LF_TO_AGND` ($SENSELF \sim AGND$) に設定します。
- ▶ `ADC_CONV_CTRL` レジスタの `CONV_x_EN` および `CONV_SEQ` を、連続変換を開始するように設定します。

2 線式 RTD 構成は $200\mu s$ 以内に実行することを推奨します。そうでない場合、電流の高励起および負荷抵抗により、スプリアス・アラートが生成されます。

ADC データの解釈

抵抗測定モードでは、24 ビット $\Sigma\Delta$ ADC が RTD の電圧をデジタル化します。

変換実行時は、 R_{RTD} と R_{REF} の比が ADC コードに反映されます。

$$R_{RTD} = \frac{ADC_CODE}{16,777,216 \times ADC_GAIN} \times R_{REF}$$

ここで、

R_{RTD} は RTD の抵抗の計算値 (Ω)、

ADC_CODE は `ADC_RESULT[n]` レジスタから読み出されたコードおよび `ADC_RESULT_UPR[n]` レジスタの `CONV_RES[23:16]` ビット・フィールド、

R_{REF} の値は 2012Ω 、

ADC_GAIN は選択した ADC レンジでの ADC ゲインです。0V~12V のレンジ (Pt1000) を使用する場合、 ADC_GAIN は $1/4.8$ です。

動作原理

3 線式 RTD 測定

AD74416H は 3 線式 RTD 測定に対応しています。CH_FUNC_SETUP[n]レジスタの CH_FUNC ビットを使用するとチャンネルを抵抗測定に設定できます。

図 43 に 3 線式 RTD 法の簡略化した構成図を示します。等しい励起電流 I_1 および I_2 が、2 本の RTD リードに流れます。3 本目のリードはグラウンドに接続されます。励起電流の一方 (I_1) は RTD およびリード抵抗 RL_1 に電圧を生成します。もう一方の励起電流 (I_2) は RL_3 での電圧降下を生成します。その結果端子 I/OP_x と ISN_x の間の電圧は、RTD の電圧降下と等しくなります。リード抵抗が等しいこと、つまり、 $RL_1 = RL_2 = RL_3$ が前提となっています。

I/OP_x 端子と ISN_x 端子の間の電圧は、ADC が SENSELF_x ピンと VSENSE_x ピンを使用して測定します。ADC のフルスケール・レンジは、リファレンス抵抗 R_{REF} の電圧で決まるため、完全なレシオメトリック測定が確保されます。

RTD 端子に印加される励起電流は、RTD_CONFIG[n]レジスタで $500\mu\text{A}$ または 1mA に設定してください。

SENSEHF_x ピンで生成される電圧 ($I_1 \times (R_{REF} + R_{RTD})$) は V_{AVCC} 未満となるよう、注意が必要です。SENSEHF_x ピンの電圧は、ADC の正のリファレンスとなり、 V_{AVCC} の値を超えることはできません。

RTD_CONFIG[n]レジスタの RTD_ADC_REF ビット・フィールドによって、ADC 測定のための ADC オフセットを除去できます。2V と 1V の 2 つのリファレンス・オプションが使用できます。励起電流とリファレンス抵抗 ($2\text{k}\Omega + 12\Omega$ の抵抗) に応じて使い分けます。これらの抵抗を流れる励起電流がリファレンス電圧を生成します。また、RTD のリファレンス電圧を計算するには次式を用います。

$$RTD_ADC_REF = R_{REF} \times I$$

3 線式 RTD モードでは 3 つの測定レンジが使用できます。これらのレンジは表 7 に記載されています。測定レンジの設定は、ADC_CONFIG レジスタの CONV_RANGE ビットを用いて行います。使用する RTD に最適なレンジを選択してください。

3 線式 RTD モードを選択した場合、AD74416H は、Pt100 のレンジで 3 線式 RTD を測定するよう自動設定されます。この場合、励起電流は 1mA となり、ADC の測定レンジは $0\text{V} \sim 0.625\text{V}$ となります。

Pt1000 の測定が必要な場合は、 $500\mu\text{A}$ の励起電流を用い ADC のレンジを $0\text{V} \sim 12\text{V}$ に設定することを推奨します。

Cu10 の場合のように RTD の抵抗が低い場合は、励起電流を 1mA とし ADC レンジを $\pm 104\text{mV}$ とすることを推奨します。

ADC 測定レンジは、ADC_CONFIG[n] レジスタの CONV_RANGE ビットに書き込むことで変更できます。励起電流は、RTD_CONFIG[n] レジスタの RTD_CURRENT ビットに書き込むことで変更できます。

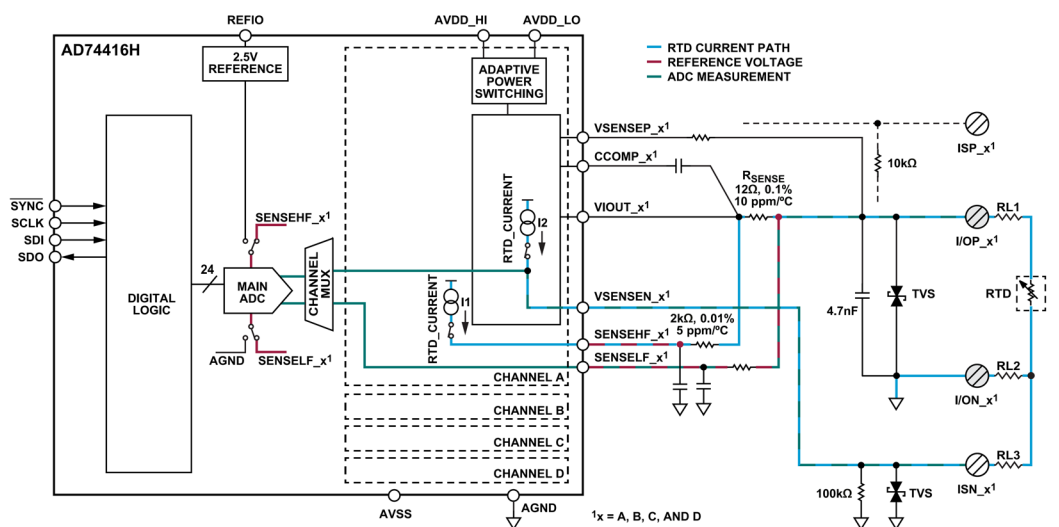


図 43. 3 線式 RTD 測定の構成

動作原理

3 線式 RTD 測定を Pt1000 RTD 用に構成する方法

3 線式 RTD 測定を Pt1000 RTD 用に構成する方法の例を以下に示します。

- ▶ CH_FUNC_SETUP[n] レジスタで抵抗測定を選択します。
- ▶ RTD_CONFIG[n] レジスタの RTD_ADC_REF ビット・フィールドを REF1V (1V の外部 RTD リファレンス) に設定します。
- ▶ RTD_CONFIG[n] レジスタの RTD_CURRENT ビット・フィールドで、b0 (I_500UA : 500μA) を選択します。
- ▶ ADC_CONFIG[n] レジスタの CONV_RANGE ビット・フィールドを b000 : RNG_0_12V (0V~12V) に設定します。
- ▶ ADC_CONV_CTRL レジスタの CONV_x_EN および CONV_SEQ を、連続変換を開始するように設定します。

オープン・サーキット検出

3 線式 RTD のリードでは、オープン・サーキット検出機能を使用できます。励起電流と RTD 抵抗およびリード抵抗の組み合わせにより、SENSEHF_x ピンと VSENSEN_x ピンに電圧が生じます。これらのピンのどちらかの電圧がオープン・サーキット検出電圧 (表 7 参照) を超えると、CHANNEL_ALERT_STATUS[n] レジスタにオープン・サーキット信号がアサートされます。

ADC データの解釈

3 線式 RTD モードでは、SENSELF_x~VSENSEN_x の電圧を測定するよう、24 ビット Σ-Δ ADC を設定します。変換実行時は、R_{RTD} と R_{REF} の比が ADC コードに反映されます。

ユニポーラの ADC レンジを使用する場合は、ADC コードを用いて次式に従い RTD 抵抗を計算します。

$$R_{RTD} = \frac{ADC_CODE}{16,777,216 \times ADC_GAIN} \times R_{REF}$$

ここで、

R_{RTD} は RTD の抵抗の計算値 (Ω)、
ADC_CODE は ADC_RESULT[n] レジスタから読み出されたコードおよび ADC_RESULT_UPR[n] の CONV_RES[23:16] ビット・フィールド、

R_{REF} の値は 2012Ω (SENSEHF_x および R_{SENSE} の抵抗の合計値)、
ADC_GAIN は選択した ADC レンジでの ADC ゲインです。

0V~0.625V のレンジ (Pt100) を使用する場合、ADC_GAIN は 4 です。

0V~12V のレンジ (Pt1000) を使用する場合、ADC_GAIN は 1/4.8 です。

バイポーラの ADC レンジを使用する場合は、ADC コードを用いて次式に従い RTD 抵抗を計算します。

$$R_{RTD} = \frac{ADC_CODE - 8,388,608}{8,388,608 \times ADC_GAIN} \times R_{REF}$$

ここで、

R_{RTD} は RTD の抵抗の計算値 (Ω)、
ADC_CODE は ADC_RESULT[n] レジスタから読み出されたコードおよび ADC_RESULT_UPR[n] の CONV_RES[23:16] ビット・フィールド、

R_{REF} の値は 2012Ω (SENSEHF_x および R_{SENSE} の抵抗の合計値)、
ADC_GAIN は選択した ADC レンジでの ADC ゲインです。
±104mV のレンジ (Cu10) を使用する場合、ADC_GAIN は 24 です。

動作原理

デジタル入力ロジック

デジタル入力回路は、I/OP_x ネジ端子からの高電圧デジタル入力を低電圧デジタル・ロジック信号に変換します。信号は GPIO_x ピンに直接マルチプレックスされるか、SPI によって読み出されます。

外部駆動センサーは、I/OP_x ネジ端子の高電圧デジタル入力を提供します。VSENSEP_x ピンのフィルタ処理されていないネジ端子電圧を、オン・チップのコンパレータに入力します。DIN 入力ピンを選択するには、DIN_CONFIG1 レジスタの DIN_INPUT_SELECT ビットを用います。高速のデジタル入力データレートが必要な場合は、バッファのない VIOUT_x ピンを選択します。バッファ付きおよびバッファなしのデータレートについては、表 8 を参照してください。

デジタル入力コンパレータは、入力信号の電圧をプログラマブルな閾値と比較します（詳細については、デジタル入力閾値の

設定のセクションを参照）。コンパレータ出力のバウンス防止については、バウンス防止機能のセクションを参照してください。

デジタル入力コンパレータ出力は、DIN_COMP_OUT レジスタを読み出すことによってモニタします。GPIO_x ピンを使用してもコンパレータ出力をモニタできます。GPIO_x をコンパレータ出力をモニタするように設定する方法については、デジタル入力コンパレータ出力のモニタリングのセクションを参照してください。

デジタル入力動作に ADC は不要ですが、デジタル入力ロジック・モードを有効にした状態で、電圧および電流測定に ADC を使用することは可能です。

デジタル入力ロジック・モードのコンパレータ入力、SC/OC 電流、出力信号の各経路を図 44 に示します。

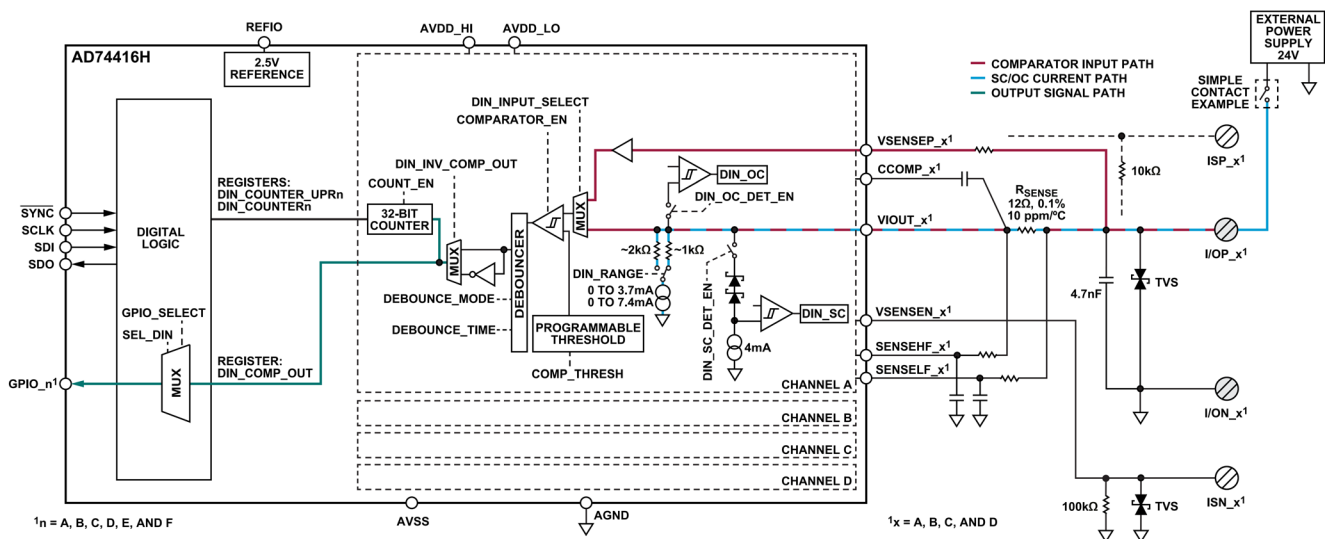


図 44. デジタル入力ロジック・モードの構成

デジタル入力閾値の設定

デジタル入力閾値は内蔵の 7 ビット閾値 DAC によって設定されます。この DAC へのリファレンスは、V_{AVDD_HI}、またはリファレンス電圧 V_{REFIN} によって駆動されます。このリファレンスは、DIN_CONFIG1 レジスタの DIN_THRESH_MODE ビットへの書き込みによって設定されます。

具体的な閾値レベルは、DIN_CONFIG1 レジスタの COMP_THRESH ビットを使ってプログラムします。閾値を設定するには 7 ビットを使用でき、プログラム可能な最大コードは 98 (10 進数) です。

DAC リファレンスを AVDD_HI に設定した場合の、COMP_THRESH ビットにプログラムされたコードと対応閾値電圧の関係を次式に示します。

$$V_{THRESH(AVDD_HI)} = V_{AVDD_HI} \times \left(\frac{Code - 48}{50} \right)$$

ここで、

V_{THRESH(AVDD_HI)} はコンパレータ閾値 (ボルト単位)、
V_{AVDD_HI} は AVDD_HI 電源の値 (ボルト単位)、

Code は COMP_THRESH ビットにロードされた 10 進コードです。

DAC リファレンスを V_{REFIO} に設定した場合の、COMP_THRESH ビットにプログラムされたコードと対応閾値電圧の関係を次式に示します。

$$V_{THRESH(FIXED\ VOLTAGE)} = V_{REFIO} \times (Code - 38)/5$$

ここで、

V_{THRESH(FIXED VOLTAGE)} はコンパレータ閾値 (ボルト単位)、
V_{REFIO} はリファレンス電圧、

Code は COMP_THRESH ビットにロードされた 10 進コードです。

デジタル入力電流シンク

AD74416H はプログラマブルな電流シンクを内蔵しています。この電流シンクは、DIN_CONFIG0 レジスタの DIN_SINK_RANGE ビットと DIN_SINK ビットを介してプログラムされます。このように電流シンクがプログラマブルなので、IEC 61131-2 のタイプ I、タイプ II およびタイプ III に対応できます。

動作原理

IEC 61131-2 のタイプ I およびタイプ III に対応するには、電流シンクと閾値電圧をプログラムします。

タイプ I およびタイプ III に対しては、DIN_CONFIG0 レジスタと DIN_CONFIG1 レジスタを以下のようにプログラムすることを推奨します。

- ▶ DIN_SINK_RANGE ビット : 0x0
- ▶ DIN_SINK ビット : 0x14
- ▶ DIN_THRESH_MODE ビット : 0x1
- ▶ COMP_THRESH ビット : 0x37

これらのビットの設定により、電流シンクは 2.4mA（代表値）、電圧上昇の作動ポイントは 8.5V（代表値）になります。

タイプ II に対しては、DIN_CONFIG0 レジスタと DIN_CONFIG1 レジスタを以下のようにプログラムすることを推奨します。

- ▶ DIN_SINK_RANGE ビット : 0x1
- ▶ DIN_SINK ビット : 0x1D
- ▶ DIN_THRESH_MODE ビット : 0x1
- ▶ COMP_THRESH ビット : 0x37

これらのビットの設定により、電流シンクは 6.96mA（代表値）、電圧上昇の作動ポイントは 8.5V（代表値）になります。

オープン・サーキットおよび短絡の検出

AD74416H には、オープン・サーキットおよび短絡の検出機能があり、IEC 61131-3D に対応するよう設定できます。

オープン・サーキットおよび短絡の検出機能を使用するには、DIN_SINK_RANGE ビットを用いて電流シンクをイネーブルします。電流は DIN_SINK ビットを用いて設定します。

オープン・サーキット診断をイネーブルするには、DIN_OC_DET_EN ビットを用います。入力電流が 0.35mA 未満の場合、オープン・サーキットが検出されます。

短絡診断をイネーブルするには、DIN_SC_DET_EN ビットを用います。DIN_SC_DET_EN ビットがセットされると、4mA の追加電流シンクが可能になります。4mA のシンク制限を超えると短絡フォルトがトリガされます。

オープン・サーキット・フォルトまたは短絡フォルトがトリガされると、該当ビットが ALERT_STATUS レジスタにセットされ、ALERT ピンがアサートされます。

タイプ 3D の診断に対しては、DIN_CONFIG0 レジスタと DIN_CONFIG1 レジスタを以下のようにプログラムすることを推奨します。

- ▶ DIN_SINK_RANGE ビット : 0x0
- ▶ DIN_SINK ビット : 0xF
- ▶ DIN_OC_DET_EN ビット : 0x1
- ▶ DIN_SC_DET_EN ビット : 0x1
- ▶ DIN_THRESH_MODE ビット : 0x1
- ▶ COMP_THRESH ビット : 0x37

これらのビットの設定により、電流シンクは 1.6mA（代表値）、電圧上昇の作動ポイントは 8.5V（代表値）になります。シンク電流が 220μA 未満になるとオープン・サーキット検出がトリガされます。シンク電流が 6.2mA を超えると短絡検出がトリガされます。

デジタル入カインバータ

バウンス防止後のコンパレータ出力は、そのまま DIN_COMP_OUT レジスタに渡すことができます。あるいは、信号を反転させてから DIN_COMP_OUT レジスタへ送ることができます。このインバータを有効にするには、DIN_CONFIG0 レジスタの DIN_INV_COMP_OUT ビットをセットします。DIN_COMP_OUT のビット反転は、DIN_COMP_OUT 信号を GPIO_x ピンによってモニタする場合に特に有効です。

デジタル入力カウンタ

デジタル入力モードでは 32 ビット・カウンタを使用できます。カウンタにより、バウンスが防止されたデジタル入力エッジをカウントできます。カウンタは、デジタル入力インバータを使用しているか否かによって、立上がりエッジまたは立下がりエッジをカウントするように設定できます。デジタル入力カウンタを有効にし、インバータを設定するには、DIN_CONFIG0 レジスタを用います。カウント値の最初の半分は DIN_COUNTER[n] レジスタでアクセスされ、上位半分は DIN_COUNTER_UPR[n] でアクセスされます。

デバイスがリセットされると、カウンタは 0 にリセットされます。カウンタはフルスケールに達すると、0 にロール・オーバーします。COUNT_EN ビットを 0 に設定した場合は、カウンタの動作が停止します。

デジタル入力データレート

AD74416H がデジタル入力モードに設定されている場合、VSENSEP_x ピンの電圧はデジタル入力コンパレータによってバッファおよびモニタが行われます。表 8 に仕様規定されたデータレートを示します。

より高いデータレートを可能にするには、高速のバッファなしオプションが使用できます。これにより、コンパレータは高速信号をモニタできます。バッファのない動作の場合、VIOUT_x ピンの電圧はデジタル入力コンパレータがモニタします。高速モードの特定のデータレートについては、表 8 を参照してください。バッファなしのモードを有効化するには、DIN_CONFIG1 レジスタの DIN_INPUT_SELECT ビットをセットします。

VIOUT ピンを介して負荷との間で電流をソースまたはシンクする間にバッファなしのモードを使用する場合、閾値電圧の設定時に、RSENSE（12Ω）および VIOUT_x ライン・プロテクタ（15Ω）での電圧降下を考慮してください。

バウンス防止機能

デジタル入力コンパレータ出力は定期的な間隔でサンプリングされて、プログラマブル・バウンス防止動作に渡されます。

コンパレータ出力のバウンス防止時間は、DIN_CONFIG0 レジスタの DEBOUNCE_TIME ビット（5 ビット）によってユーザ設定可能な時間量に設定します。バウンス防止機能をバイパスするには、これらのビットを 0x00 に設定してください。

設定可能なバウンス防止時間を表 21 に示します。

動作原理

バウンス防止回路には2つの動作モード、バウンス防止モード0とバウンス防止モード1があります。どちらのモードも、DIN_CONFIG0 レジスタの DEBOUNCE_MODE ビットを介してプログラムします。

表 21. デジタル入力の設定可能バウンス防止時間

DEBOUNCE_TIME Code (Hex)	Debounce Time (ms)
00	Bypass
01	0.0130
02	0.0187
03	0.0244
04	0.0325
05	0.0423
06	0.0561
07	0.0756
08	0.1008
09	0.1301
0A	0.1805
0B	0.2406
0C	0.3203
0D	0.4203
0E	0.5602
0F	0.7504
10	1.0008
11	1.3008
12	1.8008
13	2.4008
14	3.2008
15	4.2008
16	5.6008
17	7.5007
18	10.0007
19	13.0007
1A	18.0006
1B	24.0006
1C	32.0005
1D	42.0004
1E	56.0003
1F	75.0000

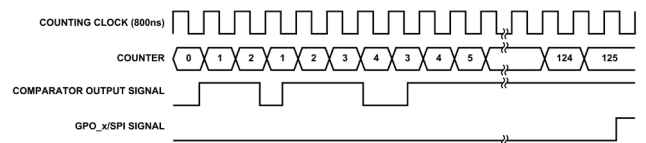


図 45. デジタル入力バウンス防止モード0のタイミング例

バウンス防止モード1

このモードでは、カウンタはサンプリングされたコンパレータ出力をカウントします。サンプリングされたコンパレータ出力の状態変化後、カウンタはプログラムされたバウンス防止時間に達するまでインクリメントを続け、所定の値に達するとDIN_COMP_OUT レジスタの状態が変化して、カウンタがリセットされます。サンプリングされたコンパレータ出力が現在のDIN_COMP_OUT レジスタの値に戻ると、カウンタはリセットされます。

動作時のバウンス防止モード1の例を図46に示します。バウンス防止モード0の場合と同様、バウンス防止時間は240μsに設定されています。バウンス防止モード1では、コンパレータ信号がオリジナルの状態に戻るごとに、カウンタ値がリセットされます。DIN_COMP_OUT 信号を更新するには、コンパレータ出力が、バウンス防止時間全体を通じて新しい状態になっていなければなりません。

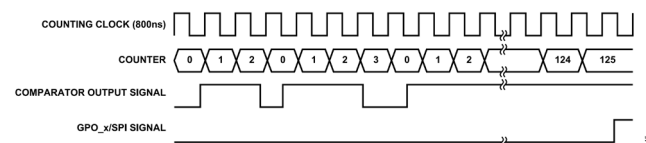


図 46. デジタル入力バウンス防止モード1のタイミング例

バウンス防止モード0（デフォルト）

このモードでは、サンプリングしたコンパレータ出力がカウントされます。サンプル数が多い場合のカウンタを1つの方向（昇順または降順）で行い、少ない場合はその反対の方向で行います。プログラムされた目標カウンタ値に達すると、DIN_COMP_OUT レジスタの状態が変化します。

動作時のバウンス防止モード0の例を図45に示します。バウンス防止時間はDIN_CONFIG0 レジスタで240μsに設定されています。サンプリング周期が約800nsのクロックが、コンパレータ信号をカウントします。コンパレータ信号の状態が現在のバウンス防止信号から変更した後に、バウンス防止機能カウンタが、新しい状態で信号持続時間のカウンタを開始します。コンパレータ信号がオリジナルの状態に戻った場合は、カウンタ方向が変化します。カウンタが目標カウンタ値に達すると、コンパレータ信号の状態に応じてDIN_COMP_OUT レジスタが更新されます。

動作原理

ループ駆動デジタル入力

ループ駆動電流入力モード機能と同様に（[ループ駆動電流入力](#)のセクションを参照）、ループ駆動デジタル入力機能は、外部センサーに電源を供給できるハイサイド電流出力を提供するように出力段を設定します。必要な濡れ電流を供給できるように、DAC_CODE[n]レジスタをプログラムしてください。ループ駆動センサーは、I/OP_x ネジ端子のデジタル入力を提供します。VSENSEP_x ピンのフィルタ処理されていないネジ端子電圧を、オン・チップのコンパレータに入力します。DIN 入力ピンを選択するには、DIN_CONFIG1 レジスタの DIN_INPUT_SELECT ビットを用います。高速のデジタル入力データレートが必要な場合は、バッファのない VIOUT_x ピンを選択します。

このコンパレータは、選択したピンの電圧をプログラマブル閾値電圧の値と比較します。プログラマブル閾値電圧は、固定電圧とするか、V_{AVDD_HI} に比例した電圧とすることができます。プログラマブル閾値電圧の詳細については、[デジタル入力閾値の設定](#)のセクションを参照してください。

コンパレータの出力は、バウンスを防止する（[バウンス防止機能](#)のセクションを参照）ことができます。あるいは、SPI や GPIO_x ピンに直接渡すか、反転して渡すことができます。

デジタル入力コンパレータ出力は、DIN_COMP_OUT レジスタを読み出すことによってモニタします。GPIO_x ピンを使用してもコンパレータ出力をモニタできます。GPIO_x をコンパレータ出力をモニタするように設定する方法については、[デジタル入力コンパレータ出力のモニタリング](#)のセクションを参照してください。

ループ駆動デジタル入力モード構成のコンパレータ入力、濡れ電流、出力信号の各経路を[図 47](#)に示します。

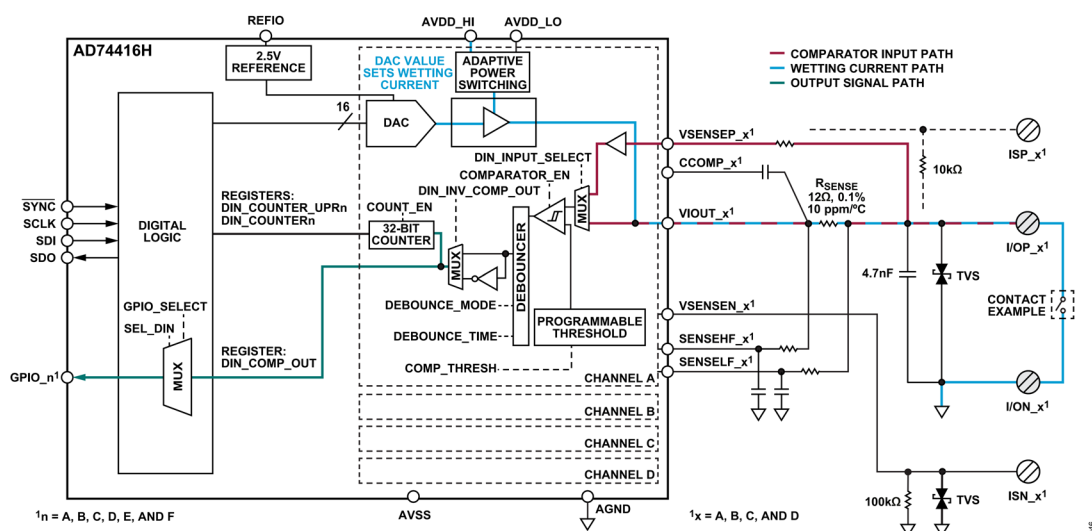


図 47. ループ駆動デジタル入力構成モード

ADC データの解釈

デジタル入力動作に ADC は不要ですが、ループ駆動デジタル入力モードを有効にした状態で、電圧および電流測定に ADC を使用することは可能です。ループ駆動デジタル入力モードでは、デフォルトで、I/OP_x と I/ON_x のネジ端子の間の電圧を、ADC が 0V~12V のレンジで測定します。ADC の測定結果を使用し、次式によりこの電圧を計算します。

$$V_{ADC} = (ADC_CODE / 16,777,216) \times \text{Voltage Range}$$

ここで、

V_{ADC} は測定電圧（ボルト単位）、

ADC_CODE は ADC_RESULT1 レジスタの値、

Voltage Range は ADC の測定範囲で値は 12V です。

動作原理

デジタル出力

AD74416H はデジタル出力のソースに対応しています。デジタル出力機能が有効化されている場合、CH_FUNC_SETUP[n]レジスタは高インピーダンスに設定することを推奨します。

外部デバイスによるデジタル出力のソースは、外付けのPチャネル電界効果トランジスタ (PFET) で動作します。電流の絶対値は、 R_{SET} と短絡電圧値によって決まります。短絡電圧を表 10 に示します。

DO_EXT_CONFIG[n]レジスタを用いてデジタル出力を設定し、以下を実行します。

- ▶ AD74416H のリセット後、あるいは、SUPPLY_ALERT_STATUS でフラグ通知された低電圧状況からの回復後、300 μ s 待機します。
- ▶ DO_MODE ビットを設定することにより、ソース機能を選択します。
- ▶ DO_SRC_SEL ビットを使用してデジタル出力回路のデータのソースを選択します。SPI は、デジタル出力データを (DO_DATA ビットにより、または GPIO_x ピンにより) 回路の直接ハードウェア制御用に供給します。

- ▶ DO_T1 ビットおよび DO_T2 ビットを用いて短絡タイマーを設定します。短絡機能の詳細については、[短絡保護](#)のセクションを参照してください。

構成設定が終了したら、外部 FET をオンにする信号を供給します。SPI 制御の場合、DO_DATA ビットをセットするには、DO_EXT_CONFIG レジスタに新たな書き込みが必要です。DO_DATA を 1 にセットすると外部 FET がオンになります。

GPIO 制御の場合は、GPIO_CONFIGx レジスタの GPIO_SELECT ビット・フィールドに書き込むことで GPIO_x ピンがデジタル出力回路を制御するよう設定できます。GPIO_x ピンをハイにすると FET がオンになります。

デジタル出力機能を変更するには、まずデジタル出力機能を無効化してから新しいモードに変更します (外部デジタル出力を無効化するには DO_MODE をセットします)。

外部 FET を使用してデジタル出力をソースするモードの電流、測定、制御の各経路を図 48 に示します。

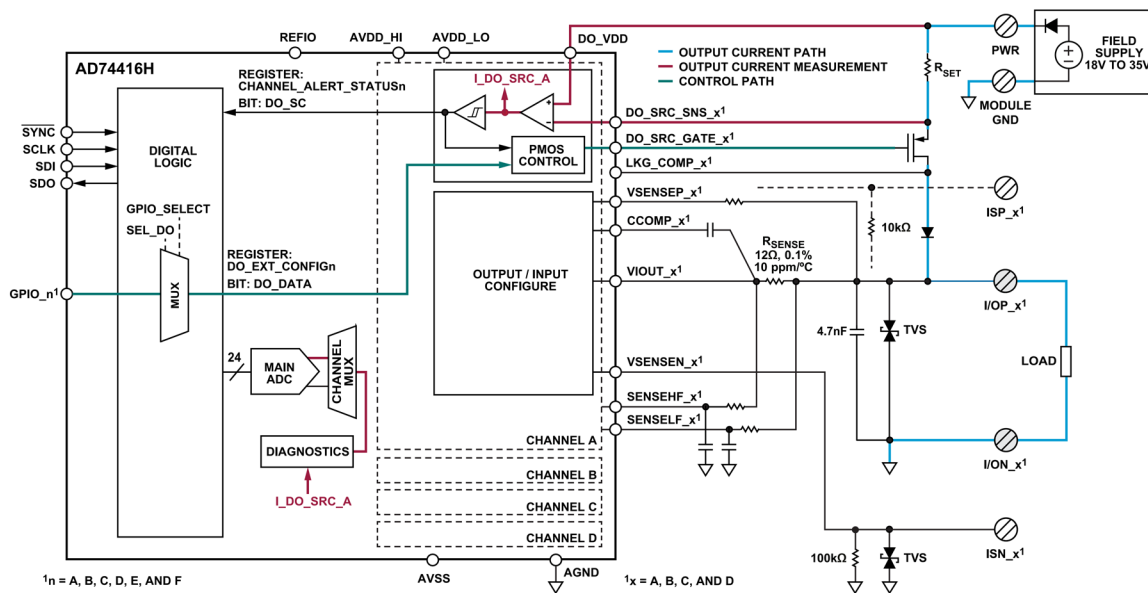


図 48. 外部 FET を使用したデジタル出力のソース

動作原理

短絡保護

デジタル出力を使用する場合、電流制限設定抵抗 R_{SET} を用いて短絡保護が行われます。短絡イベントは、抵抗に発生する電圧が表 10 に示した短絡電圧に達した場合にトリガされます。短絡イベント時は、CHANNEL_ALERT_STATUS[n] レジスタの DO_SC ビットがセットされ、これによって ALERT ピンがアサートされます。

短絡機能を動作させる方法にはプログラマビリティがあります。2つの設定可能な短絡タイムアウト時間は T1 と T2 です。

デジタル出力負荷の初期パワー・オン時に大電流負荷の充電を行うには、プログラマブルな時間量 T1 の間、より大きな短絡電流制限値を有効化します。DO_DATA ビットを使用してデジタル出力 FET がオンになると、短絡イベントがトリガされていなくても、T1 がカウントを開始します。短絡イベントが発生すると、デジタル出力 FET はオンを維持し、プログラムされた T1 の残りの時間、より大きな短絡電流にクランプされます。この間、短絡アラートはトリガされません。

もう 1 つの短絡制限値は、T1 の時間が経過してから利用されるもので、電流値はより小さく、また、プログラマブルな時間 T2 の間アクティブになります。T2 カウンタは、T1 が経過し短絡が検出された場合にのみカウントを開始します。短絡イベントの間、FET はオン状態を維持しますが、電流はプログラムされた時間 T2 の間、より小さい短絡電流に制限されます。

T2 カウンタは、上下カウンタですが、短絡時には時間はインクリメントします。短絡状態が解消されると、時間カウンタはデクリメントします。

T1 および T2 は DO_EXT_CONFIG[n] レジスタでプログラムします。より大きな短絡電流制限が不要な場合は、T1 を無効化します。仕様規定されている短絡電流値および T1 と T2 の時間については表 10 を参照してください。

T2 の時間が経過しても短絡が継続する場合は、FET が自動的に無効化されます。無効化されると、CHANNEL_ALERT_STATUS[n] レジスタの関連するデジタル出力タイムアウト・ビットがセットされます。デジタル出力が無効化されると、DO_EXT_CONFIG[n] レジスタに反映されます。

図 49 に、2 つのプログラマブルなタイムアウト時間による動作と短絡電流制限値を示します。

タイムアウト後にデジタル出力回路を再度有効化するには次の手順に従います。

- ▶ DO_DATA ビットを 0 にセットします。
- ▶ デジタル出力回路をパワー・オンするために、関連の設定レジスタの DO_MODE ビットでモードを選択します。
- ▶ DO_DATA ビットを 1 に戻し、FET を有効化します。

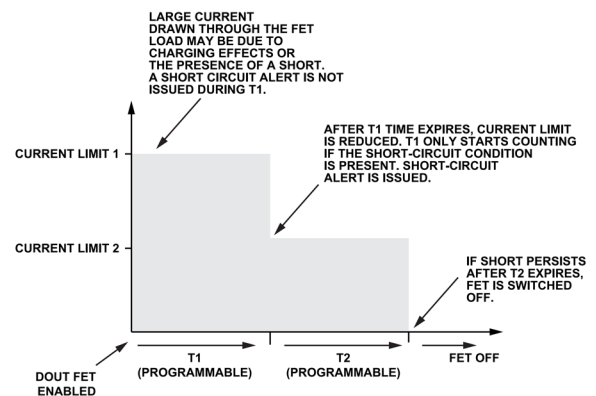


図 49. デジタル出力のプログラマブルな短絡制御

電流検出診断

デジタル出力の電流検出診断機能を使用すると、デジタル出力回路の電流をモニタできます。

電流検出診断を選択するには、DIAG_ASSIGN レジスタをプログラムします。

診断 1 は、外部の R_{SET} 両端での電圧降下を測定します。デジタル出力回路がソースしている電流を計算する場合、選択した R_{SET} の抵抗値を考慮してください。

電流検出診断ブロックが実行するオートゼロ・ルーチンには一定の追加時間を考慮する必要があります。表 27 に変換時間を示します。

動作原理

HART

AD74416H は、4つの HART モデムを内蔵しています。HART モデムはチャンネルごとに内蔵されており、I/OP_x ネジ端子との間で信号を送受信します。電流出力および電流入力の動作モードで HART 通信を行うには、HART モデムを用いてください。

HART 送信信号値は、DAC の入力値に追加されます。それにより、VIOU_x ピンで必要な出力信号になります。

HART 受信信号は、バンドパス・フィルタにより VIOU_x に内部で結合されます。

図 50 に、HART の機能を示します。

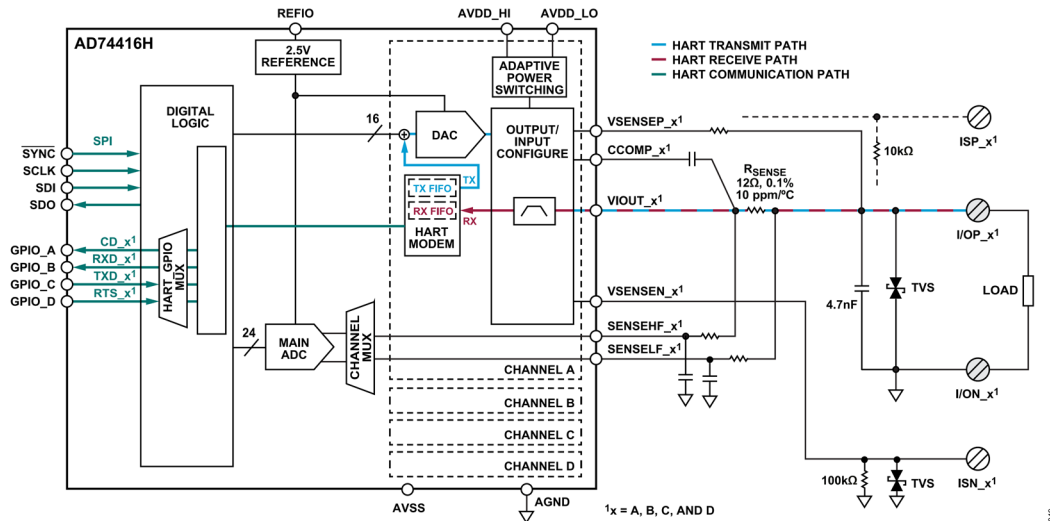


図 50. HART の設定

AD74416H を HART 通信用に設定

AD74416H で HART 通信を開始するには、以下の手順を実行します。

- ▶ チャンネルを該当の機能（HART 対応電流出力、HART 対応ループ駆動電流入力、HART 対応外部駆動電流入力）に設定します。
- ▶ チャンネルの初期化時間（IOUT_HART 機能の場合は 4.2ms、それ以外の場合は 300μs）だけ待機してから次の手順に進みます。
- ▶ HART 対応スルーが安定するまで（OUTPUT_CONFIG_n レジスタの HART_COMPL_SETTLED ビットがハイにセットされるまで）待機します。
- ▶ HART 対応電流出力を選択する場合は、OUTPUT_CONFIG_n レジスタで HART スルー・オプション SLEW_EN を 10（2 進数）（SLEW_HART_COMPL）に設定して有効化します。
- ▶ HART_CONFIG_n レジスタで HART モデムをパワーアップします（MODEM_PWRUP ビット）。それ以外の HART 設定オプションは HART_CONFIG_n レジスタで使用でき、必要に応じて設定できます。なお、2 重モードの動作を使用するとモデムのループバック・テストが可能になり、AD74416H によってデータの送受信を実行できることを確認できます。
- ▶ HART_TX_n レジスタを使用して、送信に必要なデータを HART 送信先入れ先出し（FIFO）にロードします。
- ▶ HART_ALERT_STATUS_n レジスタで HART アラートがクリアされていることを確認します。
- ▶ HART_MCR_n レジスタに RTS ビット（送信要求）を設定し HART 送信を開始します。

- ▶ HART_ALERT_STATUS_n レジスタをモニタし、HART 通信の実行中にステータス・アラートが生じないことを確認します。
- ▶ HART_RX_n レジスタを用いて受信 FIFO を読み出します。データの受信バイトは、受信 FIFO に保存されている点に注意してください。

TX FIFO が空になった後、または、HART モデムがパワーアップ（MODEM_PWRUP ビットを設定）する前に RTS ビットを設定すると、パワーアップ時にモデムの出力に対し 1200Hz のサイン波が連続的に送信されます。これを停止するには、RTS ビットを手動でクリアします。

有効な送信の間（TX FIFO が配置され HART モデムがパワーアップしている間）、RTS ビットは、HART_CONFIG_n レジスタの AUTO_CLR_RTS ビットがクリアされていない限り、メッセージの送信が完了すると自動的にクリアされます。

HART モデムを使用した通信

モデムを介した通信では SPI を使用します。既存のソフトウェア・スタックと通信するために、必要なステータス・ビットが SPI を介して提供されます。SPI は、HART トランザクションおよびソフトウェア設定可能な入出力トランザクションを管理します。

HART モデムの UART インターフェースをモニタまたは制御するために、GPIO_A、GPIO_B、GPIO_C、GPIO_D の各ピンを設定することもできます。

GPIO による HART モデムの制御は、HART_GPIO_IF_CONFIG レジスタを設定することによって可能です。一度に 1 チャンネルの HART モデムを制御できます。

動作原理

GPIO による HART 信号のモニタは、全チャンネルについて使用可能であり、また完全に入れ替え可能です。HART 信号を GPIO に割り当てるには、HART_GPIO_MON_CONFIGn レジスタとそのビット・フィールドを設定します。

送受信 FIFO

AD74416H は、HART 送信 FIFO および HART 受信 FIFO を備えています。ユーザは、送信 FIFO と受信 FIFO のそれぞれに対し最大 32 バイトのデータを格納できます。

送信 FIFO は HART_TXn レジスタを用いてロードできます。受信 FIFO からのデータは HART_RXn レジスタによって読み出します。送信 FIFO にロードされたバイト数がプログラマブルな閾値未満になると、アラートが送出されます。同様に、受信 FIFO にロードされたバイト数がプログラマブルな閾値を超えると、アラートが送出されます。これらの送受信閾値は、HART_FCRn レジスタの TFTRIG ビットおよび RFTRIG ビットを用いてプログラムします。

現在送信 FIFO と受信 FIFO に保存されているバイト数は、それぞれ HART_TFCn レジスタと HART_RFCn レジスタに記録されています。ユーザは FIFO エントリの数を管理する必要があり、エントリ数が FIFO サイズを超えるとデータの消失につながります。

HART アラート

HART_ALERT_STATUSn レジスタは、HART 通信に関する全てのアラート・ビットを格納します。どのビットが HART_ALERT_STATUSn レジスタでアサートされても、HART_ALERT_x ビットが ALERT_STATUS レジスタでアサートされます。そのため、割込みを ALERT ピンで生成できます。HART アラート・ビットをマスクするには、HART_ALERT_x_MASK レジスタを用います。アラート・ビットがマスクされていると、アサートされても ALERT ピンには割込みが発生しません。しかし、HART_ALERT_STATUSn レジスタでアラートを読み出すことはできます。

動作原理

開始にあたって

AD74416H への給電のセクションに従って AD74416H をパワーアップします。最初のパワーアップ後は、ALERT_STATUS レジスタ内の RESET_OCCURRED ビットなど様々なビットがセットされ、その結果 ALERT ピンがローになります。レジスタをクリアしてから、AD74416H を引き続き使用することを推奨します。ALERT_STATUS レジスタの該当ビットに 1 を書き込んでクリアします。

チャンネル機能の使用

チャンネル機能は CH_FUNC_SETUPn レジスタを使って選択します。チャンネル機能の選択後は、多数のレジスタの内容が既定値に更新されて、最小限のコマンド・セットでデバイスを設定できるようになります。更新された設定値には、ADC のチャンネル変換の設定が含まれます。所定のチャンネル機能に対応

するビットのデフォルト設定を、表 22 に示します。表 22 に記載されたデフォルト設定の他、これらのビット・フィールドは、CH_FUNC_SETUP の選択に関わらず、以下に示す値に設定されます。

- ▶ RTD_CONFIG[n] レジスタの RTD_MODE_SEL は 0 にセット (3 線式 RTD を選択)。
- ▶ RTD_CONFIG[n] レジスタの RTD_CURRENT は 1 にセット (1mA を選択)。
- ▶ RTD_CONFIGn レジスタの RTD_ADC_REF は 0 にセット (2V のリファレンスを選択)。
- ▶ DIN_CONFIG0 レジスタの DIN_SINK は 0 にセット (シンク電流をオフ)。
- ▶ DIN_CONFIG1 レジスタの DIN_THRESH_MODE は 0 にセット (DIN 閾値は AVDD_HI に比例)。

表 22. チャンネル機能選択に基づくレジスタのデフォルト設定

CH_FUNC Bits (Programmed by the CH_FUNC_SETUP[n] Register)	Defaults of the ADC_CONFIG[n] Register		Defaults of the DIN_CONFIG0 [n] Register		Defaults of the DIN_CONFIG1 [n] Register	Defaults of the OUTPUT_CONFIG[n] Register
	CONV_MUX Bits	CONV_RANGE Bits	COMPARATOR_EN Bit	DIN_INV_COMP_OUT Bit	COMP_THRESH Bits	AVDD_SELECT Bits
0b0000: HIGH_IMP High Impedance	0b000: SENSEL _x ¹ to AGND	0b000: 0V to 12V	0: Disabled	0: Inverted disabled	0: -0.96 × AVDD_HI	00: Lock to AVDD_HI
0b0001: VOUT Voltage Output	0b001: SENSEHF _x ¹ to SENSEL _x ¹	0b010: -0.3125V to +0.3125V	0: Disabled	0: Inverted disabled	0: -0.96 × AVDD_HI	00: Lock to AVDD_HI
0b0010: IOUT Current Output	0b000: SENSEL _x ¹ to AGND	0b000: 0V to 12V	0: Disabled	0: Inverted disabled	0: -0.96 × AVDD_HI	10: Track Supply
0b0011: VIN Voltage Input	0b000: SENSEL _x ¹ to AGND	0b000: 0V to 12V	0: Disabled	0: Inverted disabled	0: -0.96 × AVDD_HI	00: Lock to AVDD_HI
0b0100: IIN_EXT_PWR Current Input, Externally Powered	0b001: SENSEHF _x ¹ to SENSEL _x ¹	0b011: -0.3125V to 0V	1: Enabled	0: Inverted disabled	0x49: AVDD_HI/2	00: Lock to AVDD_HI
0b0101: IIN_LOOP_PWR Current Input, Loop Powered	0b001: SENSEHF _x ¹ to SENSEL _x ¹	0b100: 0V to 0.3125V	1: Enabled	1: Inverted enabled	0x49: AVDD_HI/2	00: Lock to AVDD_HI
0b0111: RES_MEAS Resistance Measurement	0b011: SENSEL _x ¹ to VSENSE _x ¹	0b101: 0V to 0.625V	0: Disabled	0: Inverted disabled	0: -0.96 × AVDD_HI	00: Lock to AVDD_HI
0b1000: DIN_LOGIC Digital Input Logic	0b000: SENSEL _x ¹ to AGND	0b000: 0V to 12V	1: Enabled	0: Inverted disabled	0x49: AVDD_HI/2	00: Lock to AVDD_HI
0b1001: DIN_LOOP Digital Input, Loop Powered	0b000: SENSEL _x ¹ to AGND	0b000: 0V to 12V	1: Enabled	0: Inverted disabled	0x49: AVDD_HI/2	00: Lock to AVDD_HI
0b1010: IOUT_HART Current Output with HART	0b000: SENSEL _x ¹ to AGND	0b000: 0V to 12V	0: Disabled	0: Inverted disabled	0: -0.96 × AVDD_HI	10: Track supply
0b1011: IIN_EXT_PWR_HART Current Input, Externally Powered with HART	0b001: SENSEHF _x ¹ to SENSEL _x ¹	0b011: -0.3125V to 0V	1: Enabled	0: Inverted disabled	0x49: AVDD_HI/2	00: Lock to AVDD_HI
0b1100: IIN_LOOP_PWR_HART Current Input, Loop Powered with HART	0b001: SENSEHF _x ¹ to SENSEL _x ¹	0b100: 0V to 0.3125V	1: Enabled	1: Inverted enabled	0x49: AVDD_HI/2	00: Lock to AVDD_HI

¹ x = A, B, C, D.

動作原理

チャンネル機能の切り替え

新しいチャンネル機能へ遷移する場合は、遷移前に CH_FUNC_SETUPn レジスタを介してチャンネル機能を高インピーダンスに設定してください。1 つのチャンネル機能から別のチャンネル機能へ切り替える場合、注意が必要です。全ての機能は、別の機能に変更する前の最小チャンネル初期化時間 (IOUT_HART 機能の場合は 4.2ms、それ以外の場合は 300μs) を満たすよう選択しなくてはなりません。

DAC_CODEn レジスタは、チャンネル機能を変更してもリセットされません。チャンネル機能を変更する前に、DAC コードを目的の値に設定することを推奨します。出力の場合は、DAC_CODEn レジスタを介して DAC コードを 0x0000 に設定することを推奨します。

±12V のバイポーラ電圧出力レンジの場合、DAC_CODE を 0x8000 に更新してから電圧出力を有効にすると、確実に出力段が 0V にパワーアップするようにできます。詳細については、[電圧出力](#)のセクションを参照してください。

新しいチャンネル機能を設定した後は、DAC コードを更新する前にチャンネル初期化時間 (IOUT_HART 機能の場合は 4.2ms、それ以外の場合は 300μs) だけ待機することを推奨します。

前述の内容は、以下のチャンネル機能切り替えプロセスに説明されています。

- ▶ 高インピーダンス・モードに遷移します (CH_FUNC_SETUPn の CH_FUNC ビット・フィールドを 0 にセット)。
- ▶ DAC コードが必要な値に設定します (DAC_CODEn レジスタを使用)。
- ▶ 300μs 待機します。
- ▶ 必要なモードに遷移します (CH_FUNC_SETUPn の CH_FUNC ビット・フィールドをセット)。
- ▶ チャンネル初期化時間 (IOUT_HART 機能の場合は 4.2ms、それ以外の場合は 300μs)。
- ▶ 動作を開始し、必要に応じて DAC コードを更新します。

ADC の機能

AD74416H は 24 ビット Σ - Δ ADC を 1 つ備えています。この ADC は、単一変換シーケンスまたは連続変換で、最大 4 つのチャンネル測定および最大 4 つの診断測定を行うよう、シーケンシングされます。ADC 測定によって、I/OP_x ネジ端子、VSENSEN_x ピン、VSENSEP_x ピンにおいて、様々な電圧および電流モニタリング・オプションが可能になります。

変換は、AD74416H の各使用事例に必要な測定に対応することを目的としています。表 23 に使用可能な測定を示します。CH_FUNC_SETUPn レジスタでいずれかの動作モードが選択された場合、変換はデフォルト測定に設定されます。これらのデフォルト測定については、[チャンネル機能の使用](#)のセクションに示されています。

変換ごとに個別の変換レートおよび電圧レンジ制御があり、ADC_CONFIGn レジスタで設定できます。

また、ADC は、電源、内部ダイ温度、リファレンス、レギュレータなどの選択可能入力に関する診断情報も提供します。診断測定の詳細については、[診断機能](#)のセクションを参照してください。

測定を ADC_CONFIGn レジスタで設定した後は、ADC_CONV_CTRL レジスタを介して関連する ADC 測定を有効化します。

ADC_CONV_CTRL レジスタの CONV_SEQ ビットを該当値に設定することによって、シングル変換モードまたは連続変換モードを選択します。

シングル変換モードでは、ADC シーケンサが有効化されたチャンネル変換を開始し、その後有効化された診断が行われます。有効化された各入力が一度変換されると、ADC はアイドル・モードになり、変換が停止します。

連続変換モードでは、ADC チャンネル・シーケンサが有効化されたチャンネル変換と有効化された各診断を連続的に変換し、変換停止を求めるコマンドが書き込まれるまでこれを続けます。停止コマンドの設定は、ADC_CONV_CTRL レジスタの CONV_SEQ ビットをアイドル・モードまたはパワーダウン・モードに設定することによって行います。コマンドは、現在進行中のシーケンスの終了時に変換を停止します。

測定の設定を変更する必要がある場合は、その変更を行う前に連続変換を停止する必要があります。必要な変更を行った後に、連続変換を再開してください。

シーケンスの完了後、全てのデータ結果は関連する ADC_RESULTn、ADC_RESULT_UPRn、ADC_DIAG_RESULTn の各レジスタに転送されます。

表 23. ADC 変換の選択オプション

CONV_MUX Settings in the ADC_CONFIGn Register	Measurement Selection	Description
0b000	SENSELF_x ¹ to AGND	Voltage measurement across the I/OP_x ¹ and I/ON_x ¹ screw terminals.
0b001	SENSEHF_x ¹ to SENSELF_x ¹	Voltage measurement across the R _{SENSE} .
0b010	VSENSEN_x ¹ to AGND	Voltage measurement across the ISN_x ¹ and I/ON_x ¹ screw terminals.
0b011	SENSELF_x ¹ to VSENSEN_x ¹	Voltage measurement for 3-wire RTD measurement.
0b100	AGND to AGND	Diagnostic.

¹ x = A, B, C, D.

動作原理

ADC の伝達関数

ADC で電圧を測定する場合に使用可能な各電圧レンジに対する、ゼロスケール、ミッドスケール、フルスケールのコードに対応する理想的な入力電圧を表 24 に示します。

外部の R_{SENSE} を流れる電流は、 R_{SENSE} 両端の電圧を測定することで求められます。SENSEHF_x と SENSELF_x の間の電圧を測定するには CONV_MUX ビットを設定します。使用可能な各電圧レンジに対する、ゼロスケール、ミッドスケール、フルスケールのコードに対応する理想的な入力電流を表 25 に示します（電流

を計算するために、測定した電圧値を R_{SENSE} の値である 12Ω で除しています）。

ADC により測定された電圧がフルスケールを超えるかゼロスケールを下回る場合は、ALERT_STATUS レジスタの ADC_ERR ビットがセットされて $\overline{\text{ALERT}}$ ピンがアサートされます。フルスケールを超えた場合の ADC の出力は 0xFFFFF に、ゼロスケールを下回った場合は 0x000000 になります。これらのアラートが不要な場合は、ALERT_MASK レジスタ（オプション）を介して ADC_ERR ビットをマスクします。

表 24. 理想的な出力コードと入力電圧の関係

Input Voltage Range	Input Voltage for Selected ADC Codes ¹		
	0x0	0x800000	0xFFFFF
0V to +12V	0V	6V	12V – 1LSB
±12V	–12V	0V	12V – 1LSB
±2.5V	–2.5V	0V	2.5V – 1LSB
0V to +0.625V	0V	0.3125V	0.625V – 1LSB
–0.3125V to 0V	0V	–0.15625V	–0.3125V – 1LSB
0V to +0.3125V	0V	0.15625V	0.3125V – 1LSB
±0.3125V	–0.3125V	0V	0.3125V – 1LSB
±104.16mV	–104.16mV	0V	104.16mV – 1LSB

¹ 1LSB = (フルスケール – ゼロスケール)/16,777,216。

表 25. 理想的な出力コードと入力電流の関係

Input Voltage Range	Input Current for Selected ADC Codes ^{1,2}			Sourcing or Sinking
	0x0	0x800000	0xFFFFF	
±0.3125V	–26.04mA (Sinking)	0mA	26.04mA – 1LSB (Sourcing)	Sink and source
0V to +0.3125V	0mA	13.02mA	26.04mA – 1LSB	Sourcing
–0.3125V to 0V	0mA	13.02mA	26.04mA – 1LSB	Sinking

¹ 1LSB = (フルスケール – ゼロスケール)/16,777,216。

² チャンネル機能のレンジは、実現可能な最高 ADC コードに影響します。

動作原理

ADC 使用時の節電

ADC による測定に使用できる高電圧検出ピン (SENSEHF_x、SENSELF_x、VSENSEP_x、VSENSEN_x) には、それぞれ、デフォルトでフルパワー動作モードになる高電圧バッファがあります。

いずれかの検出ピンが ADC による測定に不必要な場合は、そのピンに関連付けられた高電圧バッファは低消費電力モード (スタンバイ) になり、AD74416H の総消費電力を節約できます。

総節電量は電源レールである AVDD_HI、AVSS、または AVCC の電圧値によって決まります。各バッファは AVDD_HI ピンおよび AVSS ピンから電流を引き出します。ただし SENSE_AGND_OPT は除きます。これは、AVCC ピンおよび AVSS ピンから電流を引き出します。バッファをフルパワー動作モードから低消費電力モードにすることによる電流節約量の代表値を表 13 に示します。

なお、バッファ設定によらず、全ての診断測定が利用可能である点に注意してください。

AD74416H を必要なチャンネル機能に設定し、いずれかの高電圧検出ピン・バッファをスタンバイにしてください。バッファをスタンバイにするには、PWR_OPTIM_CONFIG レジスタの該当ビットを設定します。バッファをスタンバイ・モードから復帰させるには、表 13 に示す適切なパワーアップ時間だけ待機します。

少なくとも変換シーケンスを開始する 100 μ s 前にバッファをパワーアップしてください。

ADC 変換シーケンスが行われている間は、PWR_OPTIM_CONFIG の設定値を更新しないでください。

ADC の変換レート

AD74416H で使用可能な ADC 変換レートは、10SPS、20SPS、200SPS、1.2kSPS、4.8kSPS、9.6kSPS です。19.2kSPS の高速変換レートは、診断測定用に使用できます。更に、10SPS と 20SPS の変換レートでは、50Hz および 60Hz の除去機能が備わっています。10SPS、20SPS、200SPS、1.2kSPS では、専用の変換レートが HART 基本周波数の除去を行います。

チャンネル変換レートを設定するにはそれぞれの ADC_CONFIG レジスタを使用します。診断入力の変換レートは、ADC_CONV_CTRL レジスタによって設定します。1 つの変換レートを選択すると、それが全ての診断入力に適用されます。

変換のシーケンスが完了するまでに要する時間は、選択した入力の数、選択した変換レート、シングル変換モードと連続変換モードのどちらが有効になっているかなど、複数の要因によって変化します。変換はオン・チップの発振器によってクロックされます。所定のシーケンスの合計チャンネル変換時間を予測するために必要な各種要素を表 26 に示します。表 27 に、診断測定用の各種要素を示します。

シングル変換の場合、合計シーケンス時間を計算する際には以下の時間要素を考慮します。

- ▶ SPI トランザクションが変換を開始するまでに要する時間。
- ▶ ADC と高電圧バッファがパワーダウンしている場合は、これをパワーアップするのに要する時間。
- ▶ 最初の変換前の初期パイプライン遅延。
- ▶ 各 ADC 変換の変換時間。

シングル変換の例のタイミングの詳細を図 51 に示します。この例では、チャンネルでのシングル変換が有効化されるまで、また、連続変換が 4.8kSPS の変換レートで開始されるまで、ADC および高電圧バッファはパワーダウン状態にあります。

最初の変換 (SYNCピンの立下がりエッジから ADC_RDYピンの立下がりエッジまで) を完全に終了するまでの時間は 378.75 μ s で、SPI 転送時間、ADC および高電圧バッファのパワーアップ時間、パイプライン遅延時間、チャンネルの 4.8kSPS (208.33 μ s) の変換レートを加えることで計算できます。1 つの変換から次の変換までの時間 (ADC_RDYピンの立下がりエッジから ADC_RDYピンの立下がりエッジまで) は 208.33 μ s です。

複数変換の場合、合計シーケンス時間を計算する際には以下の時間要素を考慮します。

- ▶ SPI トランザクションが変換を開始するまでに要する時間。
- ▶ ADC と高電圧バッファがパワーダウンしている場合は、これをパワーアップするのに要する時間。
- ▶ 最初の変換前の初期パイプライン遅延。
- ▶ 各 ADC 変換に必要な変換時間。
- ▶ 選択した ADC チャンネルの切り替えごとに要するチャンネル切り替え時間。

マルチチャンネル変換におけるタイミングの詳細例を図 52 に示します。この例では、チャンネル変換 A が 10SPS_H、チャンネル変換 B が 20SPS、診断 0 および診断 2 が 19.2kSPS に設定されており、全てが有効になっています。

この例では、I_DO_SCR_C 測定は、診断 2 を有効化するように指定されています。この特定の診断の変換を実行するには、従来の変換時間とは別に、41 μ s の追加時間が必要です。

連続変換は 10SPS_H の変換レートで開始されます。この例では、ADC はアイドル・モードになっており、高電圧バッファがパワーアップされます。

最初の変換を完了するまでに要する時間 (SYNCの立下がりエッジから ADC_RDYの立下がりエッジまで) は 155.56329ms で、これは、SPI 転送時間、パイプライン遅延時間、チャンネル A の変換時間、および、チャンネル切り替え時間と残り 3 つの変換に要する変換時間を加えることによって計算されます。

その後の全ての変換シーケンス間の時間 (ADC_RDYピンの立下がりエッジから ADC_RDYピンの立下がりエッジまで) は 155.29516ms で、これは、チャンネル切り替え時間と 4 つの選択した ADC 入力の変換時間を加えることによって計算されます。

動作原理

表 26. チャンネル変換時間要素

ADC_CONFIG.CONV_R ATE Conversion Rate	ADC and/or Buffer Power-Up Time (μ s)	SPI Transfer Time (μ s), 50ns SCLK	Start-Up Pipeline Delay (μ s)	Single ADC Conversion Time	Channel Switch Time, Multiple Enabled Conversions (μ s)	HART Rejection (dB) ¹
0b0000: 10SPS_H ¹	100	2.42	5000	100ms	5024	-96
0b0001: 20SPS	100	2.42	67	50ms	100	N/A ²
0b0011: 20SPS_H ¹	100	2.42	2574	50ms	2519	-96
0b0100: 200SPS_H ^{1,3}	100	2.42	1000	5ms	950	-64
0b0110: 200SPS_H ¹	100	2.42	386	4.583ms	331	-90
0b1000: 1.2kSPS	100	2.42	67	833.33 μ s	13	N/A ²
0b1001: 1.2kSPS_H ¹	100	2.42	124	833 μ s	69	-57
0b1100: 4.8kSPS	100	2.42	68	208.33 μ s	13	N/A ²
0b1101: 9.6kSPS	100	2.42	40	104.17 μ s	13	N/A ²

¹ _H は、HART 基本周波数除去（1.2kHz および 2.2kHz の信号）を示しています。

² N/A は該当なしを意味します。

³ HART 基本周波数の緩やかな除去が行われます。

表 27. 診断変換時間要素

ADC_CONV_CTRL.CONV_R ATE_DIAG Conversion Rate	ADC and/or Buffer Power-Up Time (μ s)	SPI Transfer Time (μ s), 50ns SCLK	Start-Up Pipeline Delay (μ s)	Single ADC Conversion Time ¹	Channel Switch Time, Multiple Enabled Conversions (μ s)	HART Rejection (dB) ²
0b000: 20SPS	100	2.42	67	50ms	100	N/A ³
0b001: 20SPS_H ²	100	2.42	1740	48.33ms	1685	-96
0b010: 1.2kSPS_H ²	100	2.42	124	833 μ s	69	-57
0b011: 4.8kSPS	100	2.42	68	208.33 μ s	13	N/A ³
0b100: 9.6kSPS	100	2.42	40	104.17 μ s	13	N/A ³
0b101: 19.2kSPS	100	2.42	40	52.08 μ s	13	N/A ³

¹ I_DO_SRC_x 診断変換を実行するには、+41 μ s（またはそれ未満）の追加時間が必要です。

² _H は、HART 基本周波数除去（1.2kHz および 2.2kHz の信号）を示しています。

³ N/A は該当なしを意味します。

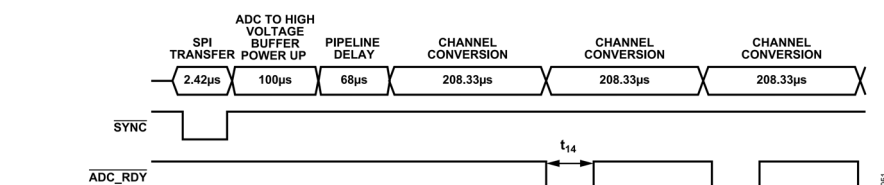


図 51. シングル測定、連続変換のタイミング図

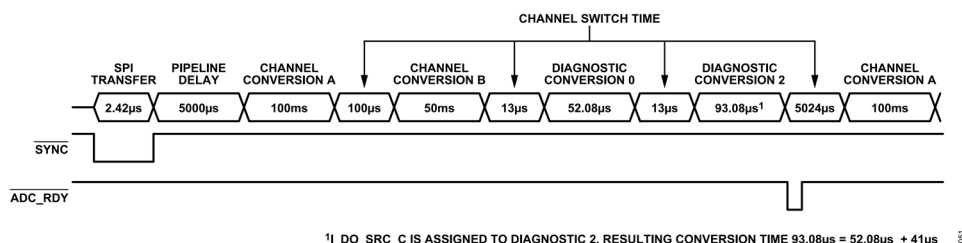


図 52. マルチ測定、連続変換のタイミング図

動作原理

ADC_RDYの機能

ADC_RDY物理ピンのアサートは、ADC_CONV_CTRL レジスタの ADC_RDY_CTRL ビットによって決まります。ADC_RDYピンは、各変換シーケンスの終了時または各変換の終了時にアサートされます。

ADC のステータスのモニタが SPI によってのみ行われている場合は、LIVE_STATUS レジスタの ADC_DATA_RDY ビットまたはリードバック SPI フレームの ADC_RDY ビットをポーリングすることを推奨します (表 36 参照)。ADC 結果レジスタをポーリングすることは避けてください。

ADC_DATA_RDY ビット、ADC_RDY と物理ピンの動作は同じではありません。連続変換モードでは、ADC_RDYピンは、25 μ s 後に自動的にデアサートされますが、ADC_DATA_RDY ビットは手動でクリアしなくてはなりません。ADC_DATA_RDY ビットをクリアするには、ADC_CONV_CTRL レジスタの CONV_SEQ ビット・フィールドに 0b10 を書き込みます。これは、現在アクティブになっている連続変換には割り込みません。ADC_DATA_RDY ビットをクリアすると、SPI リードバック・フレームの ADC_RDY ビットもクリアされます。

ADC_RESULT_UPR[n] レジスタに ADC シーケンス・カウンタがあります。CONV_SEQ_COUNT ビット・フィールドは、2 ビット・カウンタの値を保持しています。これは、ADC の結果がどのシーケンスからのものかを確認するために使用されます。全チャンネルの中で、1 つのカウンタのみが共有されます。ADC シーケンスが終了するごとにカウンタ値がインクリメントします。これは特定のチャンネル測定が無効になった場合でも行われます。

ADC_RESULT_UPR[n] を最初に読み出し、その後直ちに ADC_RESULT[n] を読み出す必要があります。その理由は、同じ変換に対応するデータが確実に読み出されるよう、ADC_RESULT_UPR[n] を読み出すと、ADC_RESULT[n] レジスタがラッチされるためです。同じ規則が、LAST_ADC_RESULT_UPR[n] と LAST_ADC_RESULT[n] にも適用されます。

読出しシーケンスおよび後続のレジスタの即時読出しが確保できないアプリケーションで 24 ビットの ADC 結果を出力するには、バースト読出しを用いる必要があります。

シーケンス変換の最後に ADC_RDYピンがアサートされるよう設定するには、ADC_RDY_CTRL ビットを 0 に設定します。結果となる ADC データは ADC_RESULT_UPR[n]、ADC_RESULT[n]、ADC_DIAG_RESULT[n] によって読み出されることが要求されます。結果レジスタは、シーケンスの最後に更新されます。

シングル変換モードでは、ADC_RDYピンは、以下の状況でデアサートされます (図 53 参照)。

- ▶ ADC_CONV_CTRL レジスタへの書込み。これにより変換シーケンスが開始されます。

連続変換モードでは、ADC_RDYピンは、以下のいずれかの状況でデアサートされます (図 54 参照)。

- ▶ ADC_CONV_CTRL レジスタへの書込み。これにより変換シーケンスが開始されます。
- ▶ 25 μ s 経過後に自動的にデアサート。

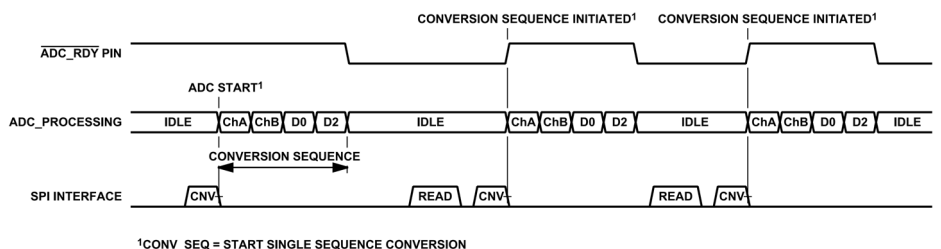


図 53. シングル変換モードで ADC_RDY_CTRL = 0 の場合の ADC_RDY 機能

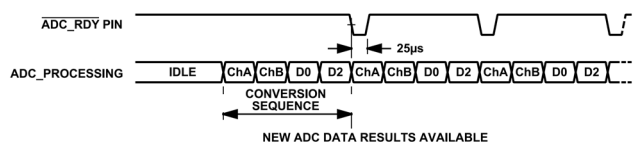


図 54. 連続変換モードで ADC_RDY_CTRL = 0 の場合の ADC_RDY 機能

動作原理

各変換の最後に $\overline{\text{ADC_RDY}}$ ピンがアサートされるよう設定するには、 ADC_RDY_CTRL ビットを 1 に設定します。ADC データを取得するには、 $\text{LAST_ADC_RESULT_UPR}[n]$ および $\text{LAST_ADC_RESULT}[n]$ を読み出します。結果レジスタは、各変換の終了後直ちに更新されます。

シングル変換モードでは、 $\overline{\text{ADC_RDY}}$ ピンは、以下のいずれかの状況でデアサートされます（図 55 参照）。

- ▶ ADC_CONV_CTRL レジスタへの書き込み。これにより変換シーケンスが開始されます。

- ▶ シーケンスにおいて複数の変換が有効化されている場合は、 $25\mu\text{s}$ 経過後に自動的にデアサート。

連続変換モードでは、 $\overline{\text{ADC_RDY}}$ ピンは、以下のいずれかの状況でデアサートされます（図 56 参照）。

- ▶ ADC_CONV_CTRL レジスタへの書き込み。これにより変換シーケンスが開始されます。
- ▶ $25\mu\text{s}$ 経過後に自動的にデアサート。

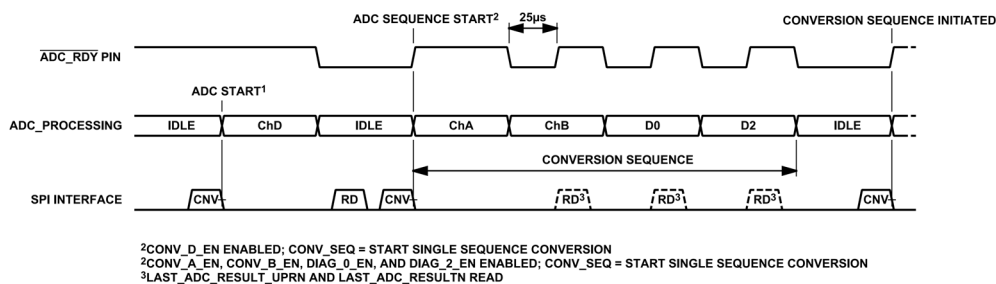


図 55. シングル変換モードで $\text{ADC_RDY_CTRL} = 1$ の場合の $\overline{\text{ADC_RDY}}$ 機能

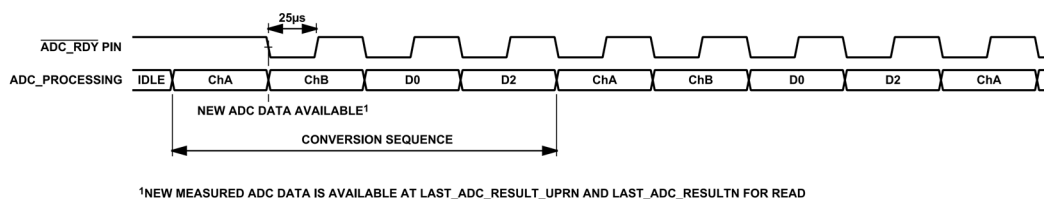


図 56. 連続変換モードで $\text{ADC_RDY_CTRL} = 1$ の場合の $\overline{\text{ADC_RDY}}$ 機能

動作原理

ADC ノイズ

それぞれのチャンネル出力データレートおよび電圧レンジにおける AD74416H のピーク to ピーク・ノイズを、表 28 に示します。表 29 に、AD74416H の診断のピーク to ピーク・ノイズを示

します。これらの数値は標準値であり、ADC が単一チャンネルで連続変換しているときに 0V の差動入力電圧を用いて得られた値です。

表 28. 電圧範囲および出力データレートごとのピーク to ピーク・ノイズ (LSB 単位、入力を短絡)

ADC_CONFIGn.CONV_RATE Conversion Rate	+12V Range (24-Bit LSBs)	±12V Range (24-Bit LSBs)	±2.5V Range (24-Bit LSBs)	+0.625V Range (24-Bit LSBs)	0.3125 V Range ¹ (24-Bit LSBs)	±0.3125V Range (24-Bit LSBs)	±104mV Range (24-Bit LSBs)
0b0000: 10SPS_H ²	23.4	11.7	13.3	52.2	96.0	48.0	129.0
0b0001: 20SPS	44.8	22.4	25.6	105.4	191.2	95.6	257.7
0b0011: 20SPS_H ²	31.8	15.9	18.3	73.2	134.6	67.3	183
0b0100: 200SPS_H ^{2,3}	85.2	42.6	48.2	186.0	350.2	175.1	480.3
0b0110: 200SPS_H ²	106.2	53.1	61.9	242.2	452.0	226.0	602.2
0b1000: 1.2kSPS	297.0	148.5	168.8	693.0	1254.0	627.0	1696.0
0b1001: 1.2kSPS_H ²	234.4	117.2	135.1	587.4	991.0	495.5	1363.2
0b1100: 4.8kSPS	723.2	361.6	430.9	2077.6	3241.4	1620.7	4407.3
0b1101: 9.6kSPS	1417.2	708.6	877.3	4674.4	6340.0	3170.0	8854.8

¹ +0.3125V~0V のレンジと-0.3125V~0V のレンジのノイズの代表値は同じです。

² _H は、HART 基本周波数除去 (1.2kHz および 2.2kHz の信号) を示しています。

³ HART 基本周波数の緩やかな除去が行われます。

表 29. 出力データレートごとの診断ピーク to ピーク・ノイズ (LSB 単位、入力を短絡)

ADC_CONV_CTRL.CONV_RATE_DIAG Conversion Rate	+2.5V Range (16-bit LSBs ¹)
0b000: 20SPS	<1
0b001: 20SPS_H ²	<1
0b010: 1.2kSPS_H ²	2
0b011: 4.8kSPS	4
0b100: 9.6kSPS	7
0b101: 19.2kSPS	18

¹ LVIN 診断の分解能は 16 ビットです。

² _H は、HART 基本周波数除去 (1.2kHz および 2.2kHz の信号) を示しています。

動作原理

診断機能

AD74416H は、ADC によって様々なオン・チップ電圧を測定できる診断機能を備えています。これらの診断電圧は、ADC の測定レンジ内で測定できるようにスケールリングされます。

診断入力は、AD74416H の使用可能な4つのチャンネル測定とは独立しています。DIAG_ASSIGN レジスタは、それぞれの診断入力に電圧測定値を割り当てます。ADC で測定する診断入力は、ADC_CONV_CTRL レジスタでその入力を有効化することによって選択します。

また、変換レートも ADC_CONV_CTRL レジスタによって選ぶことができます。ADC_CONV_CTRL レジスタ内で選択する場合、19.2kSPS、9.6kSPS、4.8kSPS、1.2kSPS、20SPS の変換レートを使用できます。更に 20SPS の変換レートでは、50Hz および 60Hz の除去機能が備わっています。HART 基本周波数除去は、1.2kSPS および専用の 20SPS の変換レートで可能です。

使用可能な診断機能の全てと、診断値の計算に必要な式を表 30 に示します。図 57 に、ユーザが選択できる診断機能を視覚的に強調して示します。

表 30 に示した式において、DIAG_CODE は ADC_DIAG_RESULTn レジスタから読み出す ADC 結果コードで、電圧レンジは ADC の測定レンジ (2.5V) です。

表 30. 選択可能な診断機能¹

DIAGn Settings in the DIAG_ASSIGN Register	Diagnostic	Formula to Interpret ADC Result	Theoretical Measurement Range ²
0b0000	AGND: V _{AGND}	$V_{AGND} = \frac{DIAG_CODE}{65,536} \times 2.5$	0V to 2.5V
0b0001	TEMP: Temperature Sensor (Internal Die Temperature Measurement) ³ °C	$Temperature = \left(\frac{DIAG_CODE - 2034}{8.95} \right) - 40$	For recommended maximum junction temperature, see Table 15
0b0010	DVCC: Voltage on DVCC Pin (V _{DVCC})	$V_{DVCC} = \frac{DIAG_CODE}{65,536} \times \frac{25}{3}$	0V to 8.3V
0b0011	AVCC: Voltage on AVCC Pin (V _{AVCC})	$V_{ALDO5V} = \frac{DIAG_CODE}{65,536} \times 17.5$	0V to 17.5V
0b0100	LDO1V8: Voltage on LDO1V8 Pin (V _{LDO1V8})	$V_{LDO1V8} = \frac{DIAG_CODE}{65,536} \times 7.5$	0V to 7.5V
0b0101	AVDD_HI: Voltage on AVDD_HI Pin (V _{AVDD_HI})	$V_{AVDD_HI} = \frac{DIAG_CODE}{65,536} \times \frac{25}{0.52}$	0V to 48V
0b0110	AVDD_LO: Voltage on AVDD_LO Pin (V _{AVDD_LO})	$V_{AVDD_LO} = \frac{DIAG_CODE}{65,536} \times \frac{25}{0.52}$	0V to 48V
0b0111	AVSS: Voltage on AVSS Pin (V _{AVSS})	$V_{AVSS} = \left(\frac{DIAG_CODE}{65,536} \times 31.017 \right) - 20$	-20V to +11V
0b1000	LVIN: Voltage on LVIN Pin (V _{LVIN}) ³	$V_{LVIN} = \frac{DIAG_CODE}{65,536} \times 2.5^3$	0V to 2.5V ³
0b1001	DO_VDD: Voltage on DO_VDD Pin (V _{DO_VDD})	$V_{DO_VDD} = \frac{DIAG_CODE}{65,536} \times \frac{25}{0.64}$	0V to 39V
0b1010	VSENSE _x ⁴ : Voltage on VSENSE _x ⁴ Pin (V _{VSENSE_n}) DIN_THRESH_MODE Bit = 0	$V_{VSENSE_x} = \left(\frac{DIAG_CODE}{65,536} \times 60 \right) - AVDD_HI$	-AVDD_HI V to +60V - AVDD_HI
	DIN_THRESH_MODE Bit = 1	$V_{VSENSE_x} = \left(\frac{DIAG_CODE}{65,536} \times 50 \right) - 20$	-20V to +30V
0b1011	VSENSE _x ⁴ : Voltage on VSENSE _x ⁴ Pin (V _{VSENSE_x})	$V_{VSENSE_x} = \left(\frac{DIAG_CODE}{65,536} \times 50 \right) - 20$	-20V to +30V
0b1100	I _{DO_SRC} _x ⁴ : Sourcing Current at DO _x ⁴ Flowing Through R _{SET} (I _{RSET})	$I_{RSET} = \left(\frac{DIAG_CODE}{65,536} \times 0.5 \right) / R_{SET}$	0V to 0.5V/RSET (equivalent to 3.3A when using recommended R _{SET} = 0.15Ω external resistor)
0b1101	AVDD _x ⁴ : Voltage on AVDD _x ⁴ Pin (V _{AVDD_x})	$V_{AVDD_x} = \frac{DIAG_CODE}{65,536} \times \frac{25}{0.52}$	0V to 48V

¹ ADC が測定する絶対入力電圧については表 11 を参照してください。

² 実際の測定レンジは、メイン電源の値 (V_{AVDD_HI} および V_{AVSS}) によって制限されます。

³ 通常、熱電対測定用の冷接点補償など、補助的な測定用に用いられます。

⁴ x = A、B、C、D。

動作原理

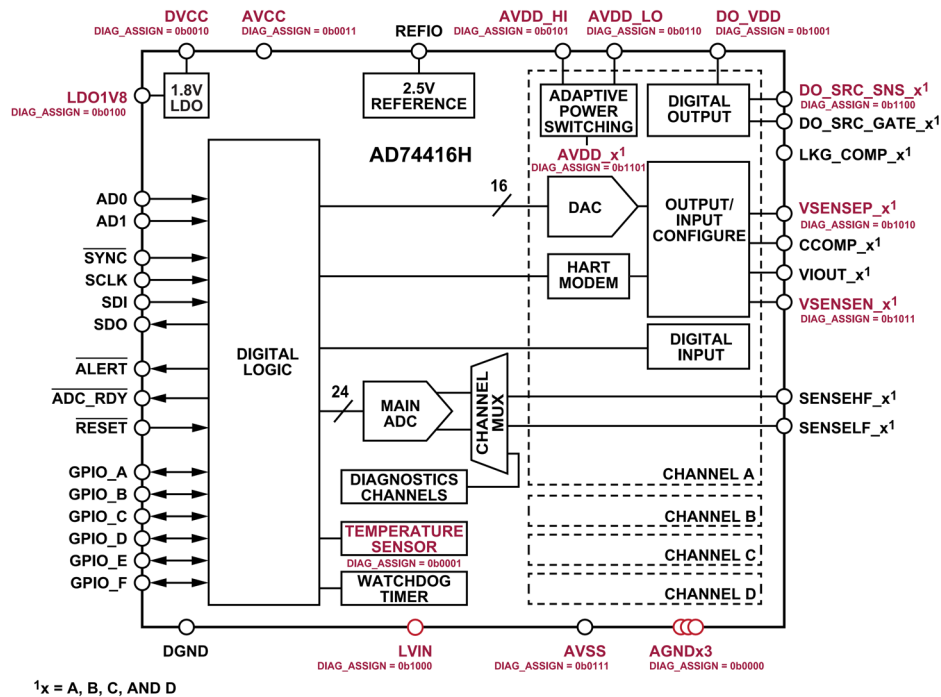


図 57. ユーザ選択可能な診断機能

056

動作原理

DAC 機能

AD74416H には 16 ビットの DAC があります。DAC のコアは 16 ビットのストリング DAC です。このアーキテクチャ構造は、値が R の一連の抵抗で構成されます。ストリング上のどのノードから電圧を取り出して出力アンプに供給するかは、DAC_CODE レジスタにロードされるデジタル入力コードが決定します。このアーキテクチャは、本質的に単調増加性と直線性を有しています。

DAC にロードされるコードのソースは 2 つあります。代表的なオプションは、DAC_CODE レジスタから DAC にコードをロードすることです。2 つめのオプションは、スルーイングを有効にして、DAC コードを DAC ヘロードするレートを制御することです。

これら 2 つのソースから DAC にロードされるコードは、どちらも DAC_ACTIVE レジスタにもロードされます。コードのソースに関わらず、DAC_ACTIVE レジスタは DAC にロードされる電流コードを格納します。

DAC の伝達関数

表 31 に、使用可能な各出力レンジでの入力コードとアナログ出力の理想的な関係を示します。

表 31. 理想的な DAC 入力コードと出力の関係

DAC Code					Analog Output	
MSBs		LSBs		±12V	0V to 12V	0mA to 25mA
0000	0000	0000	0000	-12V	0V	0mA
0000	0000	0000	0001	$24V \times (1/65,536) - 12V$	$12V \times (1/65,536)$	$25mA \times (1/65,536)$
1000	0000	0000	0000	0V	6V	12.5mA
1111	1111	1111	1110	$24V \times (65,534/65,536) - 12V$	$12V \times (65,534/65,536)$	$25mA \times (65,534/65,536)$
1111	1111	1111	1111	$24V \times (65,535/65,536) - 12V$	$12V \times (65,535/65,536)$	$25mA \times (65,535/65,536)$

動作原理

デジタル線形スルー・レート制御

AD74416H のデジタル線形スルー・レート制御機能は、出力が新しい状態に遷移する際のレートを制御します。このスルー・レート制御機能は、電流出力と電圧出力の両方に使用できます。

スルー・レート制御機能を無効にすると、出力値は、出力駆動回路と接続負荷で制限されるレートで遷移します。

スルー・レートを下げるには、OUTPUT_CONFIG[n]レジスタによってデジタル・スルー・レート制御機能を有効にします。

デジタル・スルー・レート制御機能を有効にすると、OUTPUT_CONFIG[n]レジスタにユーザ設定されたレートで出力がデジタル的にステップ変化します。SLEW_LIN_STEP ビットはインクリメントごとのコード数を決定し、SLEW_LIN_RATE ビットはコードの更新レートを決定します。AD74416H で使用できるゼロスケールからフルスケール方向（またはフルスケールからゼロスケール方向）の DAC 更新における代表的なプログラマブル・スルー・レートを表 32 に示します。

計算例を示すと、SLEW_LIN_RATE が 4.8kHz に設定されている場合、DAC のアクティブ値は、208.33 μ s ごとにシングル・ステップだけ変化します。例えば、16 ビットの DAC にはフルスケールまで 65536 のコードが含まれます。SLEW_LIN_STEP を 512 に設定した場合、DAC 値が 0 からフルスケールまで変化するのに 128 ステップを要します。これは、128 $\times$ 208.33 μ s = 26.7ms の時間間隔に相当します。

表 32. ゼロスケールからフルスケールへのコード更新におけるプログラマブル・スルー時間

Update Slew Rate, Programmable by SLEW_LIN_RATE Bits (kHz)	Step Size (% of Full-Scale DAC Voltage), Programmable by SLEW_LIN_STEP Bits ¹			
	0.8% (512) ²	1.5% (960) ²	6.1% (4000) ²	22.2% (14560) ²
4.8	26.7ms	14.4ms	3.54ms	1.04ms
76.8	1.7ms	898 μ s	221 μ s	65.1 μ s
153.6	833 μ s	449 μ s	111 μ s	32.6 μ s
230.4	556 μ s	299 μ s	73.78 μ s	21.7 μ s

¹ これらは理論値です。最終的なスルー・レートは、C_{LOAD}の値によって制限されます。

² 16 ビット DAC のフルスケールを仮定したステップ・サイズに関連するコード数。

DAC_ACTIVE[n]レジスタは、目標 DAC コードへのスルーイングの進捗をモニタできます。このレジスタは、現在 DAC にロードされているコードを格納します。スルーイングがアクティブな間は DAC_CODE[n] を変更してはいけません。DAC_ACTIVE[n]が安定した後にのみ行ってください。

DAC_CODE[n]レジスタのエンド・コードに達する前にデジタル・スルーイングが無効化された場合は、DAC_ACTIVE[n]の値が維持され、エンド・コードまでは増加しません。

HART 対応スルー

強化されたスルー・オプションを用いると、HART のアナログ変化率要件に対応できます。DAC 出力にグリッチが発生するのを防止するために HART 対応スルー・レートを有効にするには、以下の手順に従います。

- ▶ HART 対応スルーが安定するまで待機します。HART 対応スルーが安定したら、OUTPUT_CONFIG[n] レジスタの HART_COMPL_SETTLED ビットがハイに設定されます。
- ▶ このスルー・オプションを有効にするには、OUTPUT_CONFIG[n]レジスタの SLEW_EN フィールドを b10 (SLEW_HART_COMPL) に設定します。

動作原理

誘導負荷の駆動

約 4mH を超える誘導性負荷を駆動する場合は、デジタル・スルー・レート制御を使用します。出力スルー・レートを制御すると、電流変化率 (di/dt) を最小限に抑えることによって、出力電流をステップ変化させるときのリンギングを最小限にすることができます。誘導性負荷接続時にスルー・レートを有効にした場合としない場合の I_{OUT} の代表的なセトリング時間特性については、[図 10](#) を参照してください。

リセット機能

AD74416H をリセットすると、全てのレジスタがデフォルト状態にリセットされて、キャリブレーション・メモリがリフレッシュされます。デバイスは高インピーダンス・モードに設定されます。ユーザがリセットを開始するには、いくつかの方法があります。

ハードウェア・リセットは、 $\overline{RESET}$ ピンにロー・パルスを入力することによって開始されます。 $\overline{RESET}$ パルス幅は [表 14](#) の仕様を満たしていなければなりません。

ソフトウェア・リセットは、`CMD_KEY` レジスタに `0x15FA` コード (ソフトウェア・リセットキー1) を書き込み、その後に `0xAF51` コード (ソフトウェア・リセット・キー2) を書き込むことによって開始されます。ソフトウェア・リセットおよびハードウェア・リセットの機能および結果は同じです。

同じ SPI インターフェースに接続されている全ての AD74416H デバイスにリセットが必要な場合には、`BROADCAST_CMD_KEY` レジスタを用います。全てのデバイスに対するソフトウェア・リセットは、`BROADCAST_CMD_KEY` レジスタに `0x1A78` コード (ソフトウェア・リセット・キー1) を書き込み、その後に `0xD203` コード (ソフトウェア・リセット・キー2) を書き込むことによって開始されます。

[サーマル・アラートとサーマル・リセット](#) のセクションに示すように、リセットはサーマル・リセット機能によって開始することもできます。

ウォッチドッグ・タイマはリセットを生成できます。ウォッチドッグ・タイマの説明については、[ウォッチドッグ・タイマ](#) のセクションを参照してください。

LDO1V8 または DVCC の電圧が低下すると、内部パワー・オン・リセット機能がトリガされ、AD74416H をリセットします。LDO1V8 および DVCC の電圧が回復するまで、デバイスはリセットから復帰しません。

リセット・サイクルが完了すると、`ALERT_STATUS` レジスタの `RESET_OCCURRED` ビットがセットされます。リセット時間経過後は、デバイスの使用を続ける前に、`ALERT_STATUS` レジスタ内の関連ビットをクリアしてください。

リセット・サイクルが完了する前に (リセット時間の代表値については [表 13](#) を参照) SPI 転送が試行された場合、`SUPPLY_ALERT_STATUS` レジスタの `CAL_MEM_ERR` ビットもセットされて、キャリブレーション・メモリが完全にはリフレッシュされず、キャリブレーション・メモリのロードが完了するまでデバイス設定はできないことを表示します。

キャリブレーション・メモリの適切なリフレッシュを確保することが必須です。`CAL_MEM_ERR` ビットがアサートされた場合には、AD74416H をリセットする必要があります。

ハードウェア・リセット、ソフトウェア・リセット、サーマル・リセット、ウォッチドッグ起動リセットは、どれも機能が同じであり、AD74416H がリセットされます。

FET リーク補償

ソフトウェア設定可能な入出力ソリューションは、高精度のアナログ入出力機能と大電流のデジタル出力機能を、1 つのネジ端子に備えています。AD74416H では、デジタル出力機能に用いられる外部 FET は、不使用時にネジ端子に対しオフリークを生じる可能性があります。このリーク電流は、特に RTD 測定などのアナログ機能の精度に影響することがあります。

AD74416H は、FET リーク補償機能を備えており、FET リーク電流に対し代替経路を提供し、`I/OP_x` ネジ端子に流れ込むことを防止します ([図 33](#) 参照)。

この機能を有効化するには、`FET_SRC_LKG_COMP_EN` ビットをデジタル出力に設定することによって、`FET_LKG_COMP[n]` レジスタを設定します。

[図 48](#) に示すように、`LKG_COMP_x` ピンを PMOS FET のドレインに接続します。

FET リーク補償機能は、選択した外部 FET の特定のリーク量が、電流入力や 3 線式または 2 線式 RTD 測定などの、高精度アナログ測定の誤差に影響すると思われる場合に使用できます。

フォルトおよびアラート

AD74416H は、エラー状態を検出するために複数のフォルト・モニタ機能を備えています。

アラート状態やフォルト状態が発生すると、 $\overline{ALERT}$ ピンがアサートされます。 $\overline{ALERT}$ ピンは、フォルトやエラーの状態のアラートを発するだけでなく、特に HART モデムを使用している場合は、様々な情報フラグも含んでいます。

アラート状態の原因を特定するには、`ALERT_STATUS` レジスタを読み出してください。このレジスタには、アラート状態のラッチ・ビットが含まれ、場合によってはアラート源も特定します (`HART_ALERT_x`、`CHANNEL_ALERT_x`、`SUPPLY_ERR`)。

`CHANNEL_ALERT_x` がアサートされた場合は、`CHANNEL_ALERT_STATUS[n]` レジスタを読み出すとアラート源を判別できます。`SUPPLY_ERR` ビットがアサートされた場合は、`SUPPLY_ALERT_STATUS` レジスタにより、アラート源に関するより深い洞察を得ることができます。`HART_ALERT_x` ビットは、アラートが HART モデムに関連することを表示します。`HART_ALERT_STATUS[n]` を読み出すことでより詳しい情報が得られます。

アラート状態の原因が解消されたら、`HART_ALERT_STATUS[n]`、`CHANNEL_ALERT_STATUS[n]`、`SUPPLY_ALERT_STATUS`、または `ALERT_STATUS` の対応するビット位置に 1 を書き込むことによって、アクティブになったフラグをクリアしてください。全てのアラート・ビットをクリアするには、`ALERT_STATUS` レジスタに `0xFFFF` を書き込みます。`SUPPLY_ALERT_STATUS`、`HART_ALERT_STATUS`、または `CHANNEL_ALERT_STATUS[n]` でアサートされたアラートは、`ALERT_STATUS` レジスタより先にクリアする必要があります。

`LIVE_STATUS` レジスタは、現在のエラー状態を示します。このレジスタ内のビットはラッチされず、エラー状態が解消されると自動的にクリアされます。

動作原理

各アラート・レジスタには対応するアラート・マスク・レジスタ（ALERT_MASK、SUPPLY_ALERT_MASK、CHANNEL_ALERT_MASK[n]、HART_ALERT_MASK[n]）があります。マスク・レジスタは、エラー状態によってALERTピンがアクティブ化されるのを防ぎます。

チャンネル・フォルト

AD74416H は、デバイス機能のセクションに示すように、様々な機能において複数のオープン・サーキット・フォルトや短絡フォルトを備えています。デバイスの過熱を避けるために、必要に応じてチャンネルを高インピーダンスに設定することにより、オープン・サーキット・フォルトまたは短絡フォルトに対応することを推奨します。

電源モニタ

AD74416Hは、電源異常を検出するために7つの電源モニタを備えています。いずれかの電源が定められた閾値（表 13 参照）未満に低下すると、ALERT_STATUS レジスタの対応ビットがセットされます。

AVDD_HI、AVDD_LO、または AVCC が定められた閾値未満に低下すると、出力チャンネルが自動的に高インピーダンスに設定されます。レジスタ・マップのチャンネル設定に応じて、チャンネルはそれまでに選択されたチャンネル機能に戻ります。

AVCC および DO_VDD が定められた閾値未満に低下すると、デジタル出力に設定されたチャンネルは無効化されます。電源が回復すると、レジスタ・マップのチャンネル設定に応じて、チャンネルは復帰します。

サーマル・アラートとサーマル・リセット

AD74416H のダイ温度が表 13 に示すアラート温度に達すると、ALERT_STATUS レジスタの高温エラー・ビット（TEMP_ALERT）がセットされて、ダイ温度が上昇していることを警告します。

ダイ温度が高くなるとリセットするようにデバイスを設定することも可能です。温度上昇時にデバイスをリセットするには、THERM_RST レジスタの THERM_RST_EN ビットをセットすることにより、サーマル・リセット機能を有効にします。このビットをセットすると、ダイ温度が表 13 に示すリセット温度に達した後に、デバイスがフル・リセットされます。

バーンアウト電流

バーンアウト電流を用いることで、取り付けされたセンサーの完全性を検証し、そこからの測定値を取得する前にオープン・サーキットになっていないことを確認できます。

AD74416H は、表 13 に示す固定値にプログラムできる、ユーザ設定可能な電流源または電流シンクを提供できます。バーンアウト電流は、VIOUT ピン（I/OP ネジ端子をモニタするため）および VSENSEN_x ピンで使用できます。

バーンアウト電流源はパワーアップ時には無効化されます。バーンアウト電流を設定するには、I_BURNOUT_CONFIG[n] レジスタの BRN_VIOUT_CURR（または BRN_SEN_VSENSEN_CURR）ビット・フィールドを使用します。電流方向をソースまたはシンクに設定するには、BRN_VIOUT_POL（または BRN_SEN_VSENSEN_POL）ビットを用います。

電流源は常時有効化することも、診断機能のために必要な場合に有効化することもできます。バーンアウト電流源が有効化されている場合、選択した電流が選択したピンに向けて切り替えられ、接続された外部負荷に流れ込みます。

GPIO_X ピン

AD74416H には 6 本の GPIO ピンがあります。各 GPIO_x ピンはいくつかの方法で設定できます。その例を以下に示します。

- ▶ 高インピーダンス。
- ▶ ロジック・ハイまたはロジック・ローの出力。
- ▶ ロジック入力。

GPIO_x の設定は、GPIO_CONFIG[n] レジスタの GPIO_SELECT ビットによって行うことができます。更に、HART モデムをモニタまたは制御するために、GPIO_A、GPIO_B、GPIO_C、GPIO_D を設定することもできます。GPIO を用いて HART モデムをモニタまたは制御するには、HART_GPIO_IF_CONFIG レジスタおよび HART_GPIO_MON_CONFIG[n] レジスタを設定します。表 33 に各 GPIO の機能を示します。

デフォルトでは、GPIO_x ピンに、弱いプルダウンが有効になっています。いずれかの GPIO_x ピンをロジック出力として設定する場合は、この弱いプルダウンを無効化します。プルダウンを有効化または無効化するには、関連する GPIO_CONFIG[n] レジスタの GP_WK_PD_EN ビットを 0 にセットします。

表 33. GPIO の構成と設定

Designator	Digital Input Mode	Digital Output Mode	HART Signals	Driving Strength
GPIO_A	Yes	Yes	Yes	Full
GPIO_B	Yes	Yes	Yes	Full
GPIO_C	Yes	Yes	Yes	Full
GPIO_D	Yes	Yes	Yes	Full
GPIO_E	Yes	Yes	No	Reduced ^{1, 2}
GPIO_F	Yes	Yes	No	Reduced ^{1, 2}

¹ 様々な負荷電流に応じて規定されます。詳細については、表 13 を参照してください。

² 他の GPIO に比べレイテンシが 200ns 減少します。

動作原理

デジタル入力コンパレータ出力のモニタリング

デジタル入力ロジック・モードまたはループ駆動デジタル入力モードでのコンパレータの出力は、DIN_COMP_OUT レジスタから直接読み出せます。またはGPIO_xピンをモニタすることで読み出せます。

GPIO_xピンは、GPIO_CONFIGxレジスタを介して、バウンス防止コンパレータ出力信号を駆動するように設定されます。推奨設定は以下のとおりです。

- ▶ GPIO_CONFIGxレジスタで、GPIO_SELECT ビット・フィールドを 2 進数値 010 (SEL_GPIO) に設定し、GPO_DATA を必要な初期状態に設定します。
- ▶ CH_FUNC_SETUP レジスタの CH_FUNC ビットをデジタル入力ロジック・モードまたはループ駆動デジタル入力モードに設定します。
- ▶ DIN_CONFIG0x レジスタ (DIN_INV_COMP_OUT ビット・フィールドおよびCOMPARATOR_ENビット・フィールド) でコンパレータを設定します。
- ▶ DIN_CONFIG0 の設定された DEBOUNCE_TIME ビット・フィールドに対応する時間、待機します。
- ▶ GPIO_CONFIGx レジスタの GPIO_SELECT ビットを 2 進数値 011 (SEL_DIN) に設定します。

SPI

AD74416Hの制御は、最大20MHzのクロック速度で動作し（表 14 の t₁パラメータを参照）、SPI、QSPI[™]、MICROWIRE[™]、DSP の各規格に対応する、2 ビットのアドレスと 8 ビットの CRC を備えた多機能 4 線式 SPI を介して行われます。データ・コーディングは常にストレート・バイナリです。

SPI は、最大 4 個のデバイスをアドレス指定できます。アドレス指定可能ビット AD0 および AD1 は、SPI の従属ノードのアドレスを決定します。アドレス・ビットは、SPI フレームに統合されており、バス上でフレームごとに識別することができます。

AD0 ピンおよび AD1 ピンを適切なロジック・レベルで駆動すると、AD0 ピンと AD1 ピンを DGND または DVCC のいずれかの対応する電圧レベルに接続することによって、AD74416H に認識可能なアドレスを付与できます。アドレス・ピン AD0 および AD1 は、弱いプルダウン抵抗によって内部で DGND に接続されているため、ピンが無接続になってもフローティング状態にはなりません。

SPI 書込み

入力シフト・レジスタは 40 ビット幅で、データは、SCLK の制御の下に MSB ファーストでデバイスにロードされます。データは SCLK の立下がりエッジで入力されます。SPI 書込みフレームの構造を表 34 に示します。

表 34. レジスタへの書込み

MSB						LSB
D39	D38	[D37:D36]	[D35:D32]	[D31:D24]	[D23:D8]	[D7:D0]
0	0	Device address ¹	Reserved	Register address	Data	CRC

¹ AD0 ピンと AD1 ピンで SPI のアドレスを設定します。

動作原理

SPI 読出し

レジスタ位置を読み込むには2つの SPI フレームが必要です。このプロセスは2段階リードバックと呼ばれます。2段階リードバックは、要求段と読出し段の2つの段に分割できます。

最初の SPI フレームは、要求段の間に送信され、読み出すレジスタのアドレスが READ_SELECT レジスタに書き込まれます。最初の SPI フレームの構造を表 35 に示します。

2 番目の SPI フレームは、読出し段の間に送信され、無操作 (NOP) コマンド、または他のレジスタへの書き込みで構成されます。データは、SDO ピンから MSB ファーストでシフトアウトされます。

- ▶ SDO ラインがローにスタックしているかどうかを SPI メインが検出できるように、MSB (ビット 39) は常に 1 に設定されます。この MSB のタイミングが SYNC の立下がりエッジから外され、他の全てのビットは SCLK の立上がりエッジに同期

して出力されます。ビット 38 は常に 0 です。10 (ビット 39、ビット 38) を用いる開始フレーム・シーケンスによって、フレームの検証が可能になり、過酷な環境でのエラー検出の更なるレイヤが追加されます。

- ▶ ビット [D37:D36] は、AD0 ピンおよび AD1 ピンによって設定される SPI デバイス・アドレスに関する情報を提供します。
- ▶ ビット [D35:D32] は、アラートおよび ADC_RDY ピンに関する SDO ピンのステータス情報を提供します。詳細については、表 36 を参照してください。
- ▶ ビット [D31:D24] は、読み出すレジスタのアドレスを提供します。READBACK_ADDR ビット・フィールドの内容は、READ_SELECT レジスタに示されています。
- ▶ 選択したレジスタの内容は、ビット [D23:D8] で読み出すことができます。
- ▶ 8 ビット CRC はビット [D7:D0] で返されます。

図 58 に、2 段階リードバックのタイミング図を示します。

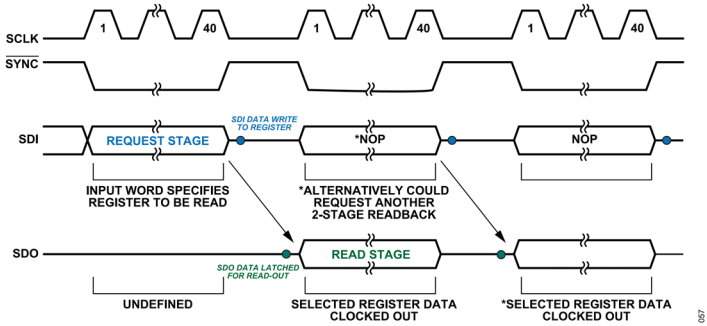


図 58. 2 段階リードバックのタイミング図

表 35. リードバック動作（要求段）の SDI の内容

MSB								LSB	
D39	D38	[D37:D36]	D35	D34	D33	D32	[D31:D24]	[D23:D8]	[D7:D0]
0	0	Device address ¹	0	0	0	0	0x6E	Readback address	CRC

¹ AD0 ピンと AD1 ピンで SPI のアドレスを設定します。

表 36. 読出し動作（読出し段）の SDO の内容

MSB								LSB	
D39	D38	[D37:D36]	D35	D34	D33	D32	[D31:D24]	[D23:D8]	[D7:D0]
1	0	Device address ¹	ALERT ²	HART_ALERT ³	CHANNEL_ALERT ⁴	ADC_RDY ⁵	READBACK_ADDR	Read data	CRC

¹ AD0 ピンと AD1 ピンで SPI のアドレスを設定します。

² 一般アラート。ALERT ピンのステータスを反映します。

³ HART アラート。ALERT_STATUS レジスタの 4 つの HART_ALERT_x ビットの論理 OR です。

⁴ チャンネル・アラート。ALERT_STATUS レジスタの 4 つの CHANNEL_ALERT_x ビットの論理 OR です。

⁵ LIVE_STATUS レジスタの ADC_RDY ビットを反映します。ADC_RDY ビットと ADC_RDY 物理ピンの動作は同じではありません。詳細については、ADC_RDY の機能のセクションを参照してください。

動作原理

バースト読出しモード

AD74416H にはバースト読出しモードがあり、十分な SCLK が
ある限り、SDO ピンで複数のレジスタのシーケンシャルな読出
しが可能です。

複数のレジスタからデータをリードバックするには、2 段リー
ドバックの 2 番目のフレーム後に、 $\overline{\text{SYNC}}$ ラインをローに維持す
ることが必要です（SPI 読出しのセクションを参照）。
AD74416H は、 $\overline{\text{SYNC}}$ ピンがハイに戻るまで、レジスタ・アドレ
スをインクリメントして内容を同期出力します。40 + (n × 24)個
目の SCLK 立上がりエッジでトランザクションが終了しない場
合は、SPI_ERR エラーがレポートされます。ここで、n はトラン
ザクション数です。

チャンネル A およびチャンネル C の ADC 結果レジスタのバース
ト読出しを完了する方法の一例を以下に示します。

1. BURST_READ_SEL レジスタで必要な BURST_READ_SEL
ビットを有効化します。この場合、BURST_READ_SEL[2]お
よび BURST_READ_SEL[4]のみを 1 に設定します。それによ
り、ADC_RESULT_UPR0、ADC_RESULT0、
ADC_RESULT_UPR2、ADC_RESULT2 のバースト読出しが
できます。BURST_READ_SEL レジスタで無効化されたレジ
スタ・アドレスはスキップされ、バースト読出し出力の一部
とはならない点に注意してください。
2. 最初の ADC 結果レジスタを読み出せるよう、
READ_SELECT レジスタの READBACK_ADDR ビットを
0x41 にセットします。
3. NOP コマンドを送出します。ADC_RESULT_UPR0 レジスタ
の内容が SDO ピンおよび CRC に同期出力されます（標準的
なリードバック・フレーム）。

4. $\overline{\text{SYNC}}$ ピンをローに維持して追加の 24 クロックを提供し、
ADC_RESULT0 レジスタからのデータの 16 ビットが CRC の
8 ビットと共に同期出力できるようにします。
5. ステップ 4 を 2 回繰り返します。 $\overline{\text{SYNC}}$ ピンをローに保持し
て、別の 2 つのレジスタ ADC_RESULT_UPR2 および
ADC_RESULT2 に 48 (2 × 24) クロックを供給します。
6. $\overline{\text{SYNC}}$ をハイに戻します。
7. 同じレジスタを再度読み出すには、ステップ 2 から繰り返し
ます。

レジスタのバースト読出しを行う場合の SDO ラインの内容を、
図 59 に示します。SDO に出力されるデータには、デバイス・ア
ドレスとステータス・ビット、読出しレジスタの 16 ビットの
データ、および 8 ビットの CRC を含む、16 ビットのフレーム・
ヘッダが含まれています。標準的なリードバック・フレームに
関する詳細については、表 36 を参照してください。 $\overline{\text{SYNC}}$ ピン
がローに保持された状態で更に 24 クロックが入力されると、次
のシーケンシャル・レジスタ・アドレスからのデータがクロッ
クに同期して出力されます。

レジスタは、BURST_READ_SEL レジスタで選択解除すること
で、バースト読出しシーケンスを解除できます。

バースト読出しが HART_RX レジスタで始まり、 $\overline{\text{SYNC}}$ ピンが複
数読出し用にローに保持されている場合、HART_RX レジスタ
が連続的に読み出されます。この場合、レジスタ・アドレスは
インクリメントされません。

バースト・モードのレジスタ・ストリーミングの間は、レジス
タ・マップへの書き込みはサポートされません。

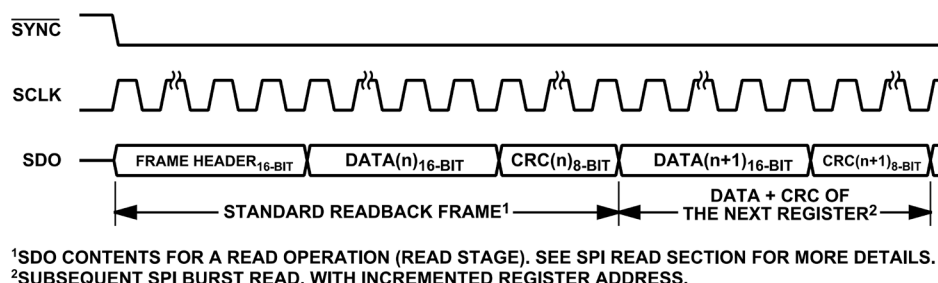


図 59. バースト読出しモードの SDO の内容

動作原理

SPI の CRC

ノイズの多い環境でもデータを正しく受信できるように、AD74416H の SPI には CRC が実装されています。この CRC は 8 ビット CRC に基づいています。AD74416H を制御するデバイスは、次の多項式を使って 8 ビット・フレーム・チェック・シーケンスを生成します。

$$C(x) = x^8 + x^2 + x^1 + 1$$

このフレーム・チェック・シーケンスがデータ・ワードの末尾に追加されて 40 ビットのデータ・ワードが AD74416H へ送信され、その後にSYNCピンがハイになります。

32 個のデータ・ビットと 8 個の CRC ビットを含む 40 ビット幅のフレームを用意する必要があります。CRC チェックにパスすると、選択されたレジスタにデータが書き込まれます。CRC チェックに失敗するとそのデータは無視され、ALERT_STATUS レジスタの SPI_ERR ステータス・ビットがアサートされて、ALERTピンがローになります。

レジスタのリードバック時にも 8 ビットの CRC がデータ読出しと共に提供され、これを利用して、ホスト・マイクロコントローラは読出しトランザクションに SPI エラーがないことを検証します。

ALERT_STATUS レジスタの SPI_ERR ビットを 1 にセットすると、このビットをクリアできます。アラート・ビットはクリアされると、ALERTピンがデアサートされます（それ以外にはアラートが発生していないことが前提です）。ALERT_MASK レジスタの関連ビットに書き込みを行うことによって、SPI CRC エラーをマスクします。

SPI の SCLK カウント機能

SCLK カウント機能は、SPI 診断機能に組み込まれています。SPI は、正確に 40 個の SCLK 立下がりエッジを含む SPI フレームだけを有効な書き込みとして受け入れます。バースト読出しモードの場合、SCLK 立上がりエッジの数が 40 + (n × 24)である必要があります。ここで、n はトランザクション数です。

前述した有効な場合以外の長さの SPI フレームは無視され、ALERT_STATUS レジスタに SPI_ERR ビットがアサートされます。必要に応じ、ALERT_MASK レジスタによって SPI_ERR ビットをマスクしてください。

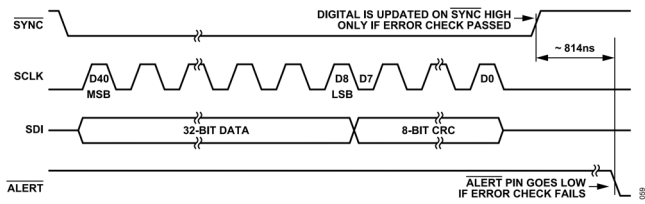


図 60. CRC のタイミング

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ（WDT）機能は、リセットを起動して AD74416H の全チャンネルを既知の高インピーダンス・モードに自動的に設定することによって、SPI 通信が不能となる危険性を低減します。

WDT を有効にするには、WDT_CONFIG レジスタの WDT_EN ビット・フィールドをセットします。WDT を有効にした後の最初の SPI トランザクションにより、WDT タイマーのカウントが始動します。WDT は、有効な SPI フレームが転送されるたびにゼロになります。SPI トランザクションがない状態で指定されたタイムアウトに達すると、AD74416H がリセットされ、ALERT_STATUS レジスタの RESET_OCCURRED ビットがセットされてリセットが生じたことを表示します。図 61 に WDT の機能を示します。

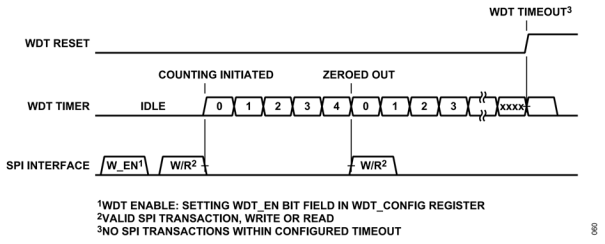


図 61. ウォッチドッグのタイミング図

WDTでは、WDT_CONFIG レジスタの WDT_TIMEOUT ビット・フィールドを用いることにより、プログラマブルなタイムアウトを 1ms〜2s の範囲で設定できます。使用可能なプログラマブル・ウォッチドッグ・タイムアウトを表 37 に示します。

表 37. プログラマブルなウォッチドッグ・タイムアウト

WDT_TIMEOUT Code ¹ (Hex)	Timeout Time (ms)
0	1
1	5
2	10
3	25
4	50
5	100
6	250
7	500
8	750
9	1000
A	2000

¹ WDT_TIMEOUT をここに記載した値以外に設定すると 1000ms のタイムアウトが選択されます。

アプリケーション情報

外付け部品

AD74416H を動作させるために推奨される外付け部品を表 38 に示します。

表 38. 外付け部品

Component	Value			Voltage Rating (V)	Suggested Component ¹	Notes/Comments
	Min	Typ	Max			
DECOUPLING						
AVDD_HI Decoupling		10 μ F		50	Generic	
		0.1 μ F		50	Generic	
AVDD_LO Decoupling		10 μ F		50	Generic	
		0.1 μ F		50	Generic	
AVSS Decoupling		10 μ F		50	Generic	
		100nF		50	Generic	
AVCC Decoupling		10 μ F		16	Generic	
		100nF			Generic	
DVCC Decoupling		10 μ F		16	Generic	
		0.1 μ F		16	Generic	
DO_VDD		10 μ F		100	Generic	
LDO1V8 Decoupling	1 μ F	2.2 μ F		6.3	C0805C225K9RAC7800	
REFIO Decoupling		22.0nF	50nF	6.3	Generic	
SUPPLY CONFIGURATION						Component placed between AVDD_HI and AVDD_LO pins
Schottky Diode		200mA		50	BAT41KFILM	Dual AVDD supply configuration
AVDD Resistor		2k Ω		Generic	Generic	Single AVDD supply configuration 1% accuracy
ANALOG INPUT AND OUTPUT						
CCOMP_x ² Pin Compensation		220pF		100	Generic	This part is recommended for a total C _{LOAD} > 14nF, CCOMP capacitor is connected between the CCOMP pin and the I/OP screw terminal
SENSEHF_x ² Filter Capacitor ³		4.7nF		100	Generic	
SENSEHF_x ² Filter Resistor ³		2k Ω		Generic	Generic	The SENSEH resistor accuracy directly affects RTD specifications Suggested resistor precision 0.05% 2ppm/°C or 0.01% 5ppm/°C RNCF0603TKY2K00 RNCF0805TKY2K00 RU73X1J2K0LTDF RU73X2A2K0LTDF
SENSELF_x ² Filter Capacitor ³		4.7nF		100	Generic	
SENSELF_x ² Filter Resistor ³		2k Ω		Generic	Generic	1% accuracy
VSENSEP_x ² Feedback Resistor		10k Ω		Generic	Generic	
VSENSEN_x ² Pull-Down Resistor		100k Ω		Generic	Generic	
VSENSEP_x ² Serial Resistor		2k Ω		Generic	Generic	1% accuracy
R _{SENSE}		12 Ω		Generic	Generic	R _{SENSE} accuracy directly affects current input and RTD accuracy
SCREW TERMINAL						
Loading Capacitor		4.7nF		100	Generic	
36 V TVS				36	SMBJ36CA	

アプリケーション情報

表 38. 外付け部品（続き）

Component	Value			Voltage Rating (V)	Suggested Component ¹	Notes/Comments
	Min	Typ	Max			
DIGITAL OUTPUT						
External PFET for Sourcing Only				100	Si7113ADN	Suitable for sourcing designs
External Sense Resistor (R_{SET})		0.15 Ω		Generic	Generic	Choose R_{SET} resistor value based on the required current resolution and range
Blocking Diode		1A		Generic	MSE1PB	

¹ 推奨部品または同様の部品を使用してください。

² x = A、B、C、D。

³ アンチエイリアシング・フィルタの値は、全ての使用事例や条件に対し性能上の妥協点を提供します。特定の設計条件について最適化するには、これらの値を調整してください。

ボード設計とレイアウトに関する考慮事項

このセクションでは、AD74416H のボード設計とレイアウトに関する重要な考慮事項を示します。

SENSEHF_x フィルタおよび SENSELF_x フィルタは、 R_{SENSE} のパッドに直接接続します。

CCOMP_x ピンの安定性を確保するには、CCOMP_x ピンと CCOMP（必要な場合）の間でのグラウンドに対する容量を 10pF 未満にします。

VSENSEP_x ピンの安定性を確保するには、VSENSEP_x ピンと必要な 2k Ω 抵抗の間でのグラウンドに対する容量を 10pF 未満にします。

最大限の熱性能を実現するために、AD74416H ボードを設計する際には、少なくとも 4 つの層を使用し、パッドとボードの最下層を複数のサーマル・ビアで接続します。詳細については、

JEDEC JESD-51 仕様を参照してください。AD74416H の露出パッドをサーマル・ビアに接続することを推奨します。

AD74416H のピンを接地する場合、AGND ピンと DGND ピンを 1 つのグラウンド・プレーンに接続します。I/ON_x ネジ端子も同じグラウンド・プレーンに接続する必要があります。

DO_SRC_SNS_x ピンは、外付けの R_{SET} のパッドに直接接続します。DO_VDD および R_{SET} に対しては、4 つのデジタル出力チャネルのスター接続の電流を考慮することを推奨します。

必要な SPI 動作速度を達成するには、SDO の接地容量を制限します。

レジスタ・マップ

レジスタ・マップの概要と、レジスタの読出し／書込み方法に関する情報を表 39 と表 40 に示します。R は読出し専用アクセス、R/W は読出し／書込みアクセス、R/W1C は読出し可能で 1 を書き込んでクリア、W は書込み専用アクセスを示します。

表 39. レジスタ・マップの一覧

アドレス	名称	説明	リセット	アクセス
0x00	NOP	無操作レジスタ。	0x0000	R
0x01 to 0x25 by 12	CH_FUNC_SETUPn	機能セットアップ・レジスタ。	0x0000	R/W
0x02 to 0x26 by 12	ADC_CONFIGn	ADC 設定レジスタ。	0x0100	R/W
0x03 to 0x27 by 12	DIN_CONFIG0n	デジタル入力設定レジスタ。	0x000B	R/W
0x04 to 0x28 by 12	DIN_CONFIG1n	デジタル入力閾値レジスタ。	0x0049	R/W
0x05 to 0x29 by 12	OUTPUT_CONFIGn	出力設定レジスタ。	0x0100	R/W
0x06 to 0x2A by 12	RTD_CONFIGn	抵抗設定レジスタ。	0x0001	R/W
0x07 to 0x2B by 12	FET_LKG_COMPn	FET リーク補償イネーブル・レジスタ。	0x0000	R/W
0x08 to 0x2C by 12	DO_EXT_CONFIGn	DO 外部制御レジスタ。	0x1700	R/W
0x09 to 0x2D by 12	I_BURNOUT_CONFIGn	バーンアウト・レジスタ。	0x0000	R/W
0x0A to 0x2E by 12	DAC_CODEn	DAC コード・レジスタ。	0x0000	R/W
0x0C to 0x30 by 12	DAC_ACTIVEn	DAC アクティブ・コード・レジスタ。	0x0000	R
0x32 to 0x37 by 1	GPIO_CONFIGn	汎用出力設定レジスタ。	0x0008	R/W
0x38	PWR_OPTIM_CONFIG	電力最適化設定レジスタ。	0x0000	R/W
0x39	ADC_CONV_CTRL	ADC 変換制御レジスタ。	0x0000	R/W
0x3A	DIAG_ASSIGN	診断機能選択レジスタ。	0x0000	R/W
0x3B	WDT_CONFIG	ウォッチドッグ用設定レジスタ。	0x0009	R/W
0x3E	DIN_COMP_OUT	バウンス防止デジタル入力コンパレータ出力レジスタ。	0x0000	R
0x3F	ALERT_STATUS	アラート・ステータス・レジスタ。	0x0001	R/W
0x40	LIVE_STATUS	ライブ・ステータス・レジスタ。	0x0000	R
0x41 to 0x47 by 2	ADC_RESULT_UPRn	各チャンネルの ADC 変換結果レジスタ (8MSB)。	0x0000	R
0x42 to 0x48 by 2	ADC_RESULTn	各チャンネルの ADC 変換結果レジスタ (16LSB)。	0x0000	R
0x49 to 0x4C by 1	ADC_DIAG_RESULTn	メイン ADC 診断結果レジスタ。	0x0000	R
0x4D	LAST_ADC_RESULT_UPR	最新 ADC 変換結果上位 8 ビット・レジスタ。	0x0000	R
0x4E	LAST_ADC_RESULT	最新 ADC 変換結果 (16LSB) レジスタ。	0x0000	R
0x4F to 0x55 by 2	DIN_COUNTER_UPRn	各チャンネルのバウンス防止 DIN カウント・レジスタ。	0x0000	R
0x50 to 0x56 by 2	DIN_COUNTERn	各チャンネルのバウンス防止 DIN カウント・レジスタ。	0x0000	R
0x57	SUPPLY_ALERT_STATUS	チャンネル・エラー・ステータス・レジスタ。	0x0000	R/W
0x58 to 0x5B by 1	CHANNEL_ALERT_STATUSn	チャンネル・アラート・ステータス・レジスタ。	0x0000	R/W
0x5C	ALERT_MASK	ALERT_STATUS 用アラート・マスク・レジスタ。	0x0000	R/W
0x5D	SUPPLY_ALERT_MASK	SUPPLY_ALERT_STATUS 用アラート・マスク・レジスタ。	0x0000	R/W
0x5E to 0x61 by 1	CHANNEL_ALERT_MASKn	CHANNEL_ALERT_STATUS レジスタ用アラート・マスク・レジスタ。	0x0000	R/W
0x6E	READ_SELECT	リードバック選択レジスタ。	0x0000	R/W
0x6F	BURST_READ_SEL	Burst Mode でのレジスタ読出しを選択。	0xFFFF	R/W
0x73	THERM_RST	サーマル・リセット・イネーブル・レジスタ。	0x0000	R/W
0x74	CMD_KEY	コマンド・レジスタ。	0x0000	W
0x75	BROADCAST_CMD_KEY	ブロードキャスト書込みレジスタ。	0x0000	W
0x76 to 0x79 by 1	SCRATCHn	スクラッチまたはスベア・レジスタ。	0x0000	R/W
0x7A	GENERIC_ID	ジェネリック ID レジスタ。	0x0000	R
0x7B	SILICON_REV	シリコン・リビジョン・レジスタ。	0x0002	R
0x7D	SILICON_ID0	シリコン ID 0 レジスタ。	0x0000	R
0x7E	SILICON_ID1	シリコン ID 1 レジスタ。	0x0000	R

レジスタ・マップ

表 40. HART レジスタの一覧（続き）

アドレス	名称	説明	リセット	アクセス
0x80 to 0xB0 by 16	HART_ALERT_STATUSn	HART 通信アラート・レジスタ。	0x0020	R/W
0x81 to 0xB1 by 16	HART_RXn	HART 通信受信レジスタ。	0x0000	R
0x82 to 0xB2 by 16	HART_TXn	HART 通信送信レジスタ。	0x0000	W
0x83 to 0xB3 by 16	HART_FCRn	FIFO 制御レジスタ。	0x08C1	R/W
0x84 to 0xB4 by 16	HART_MCRn	HART UART Tx 制御レジスタ。	0x0000	R/W
0x85 to 0xB5 by 16	HART_RFCn	RX FIFO バイト・カウント・レジスタ。	0x0000	R
0x86 to 0xB6 by 16	HART_TFCn	TX FIFO バイト・カウント・レジスタ。	0x0000	R
0x87 to 0xB7 by 16	HART_ALERT_MASKn	HART 通信アラート・マスク・レジスタ。	0x1EFF	R/W
0x88 to 0xB8 by 16	HART_CONFIGn	HART 対応設定レジスタ。	0x0C30	R/W
0x89 to 0xB9 by 16	HART_TX_PREMn	HART 送信プリアンブル・カウント・レジスタ。	0x0005	R/W
0x8A to 0xBA by 16	HART_EVDETN	HART イベント検出時間レジスタ。	0x0000	R
0x8C to 0xBC by 16	HART_CH_RESETN	チャンネルごとの HART リセット・レジスタ。	0x0000	R/W
0xC0	HART_GPIO_IF_CONFIG	GPIO ピンをモデムまたは UART にインターフェースするよう設定するレジスタ。	0x0000	R/W
0xC1 to 0xC4 by 1	HART_GPIO_MON_CONFIGn	GPIO ピンを HART 信号をモニタするよう設定するレジスタ。	0x0000	R/W

ソフトウェア設定可能な入出力レジスタ

入出力機能を設定し AD74416H から測定値を取得するには、以下のレジスタを使用します。

無操作レジスタ

アドレス：0x00、リセット：0x0000、レジスタ名：NOP

無操作（NOP）コマンドを実行するには、このアドレスの[D15:D0]に 0x00 を書き込みます。

表 41. NOP レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	NOP	NOP コマンドを実行するには 0x0000 を書き込みます。	0x0	R

機能セットアップ・レジスタ

アドレス：0x01～0x25（インクリメントは 12）、リセット：0x0000、レジスタ名：CH_FUNC_SETUPn

CH_FUNC_SETUP に書き込みを行うと、そのチャンネルに対する ADC_CONFIG、RTD_CONFIG、DIN_CONFIG0_、DIN_CONFIG1_、OUTPUT_CONFIG の各レジスタの一部のフィールドが変更される可能性があります。

機能を変更する場合は、その新しい使用条件を用いる前に、中間ステップとして高インピーダンスの使用条件を用いる必要があります。

表 42. CH_FUNC_SETUPn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
[3:0]	CH_FUNC	チャンネル機能を設定。最初のパワーアップ時／リセット時のデフォルト状態は高インピーダンスです。以下のリスト以外の値にすると、高インピーダンス機能が選択されます。 0000：高インピーダンス（ADC はこのモードで機能します）。 0001：電圧出力（FVMI）。 0010：電流出力（FIMV）。 0011：電圧入力（ネジ端子 I/O 両端の電圧を測定）。 0100：外部駆動電流入力。 0101：ループ駆動電流入力。 0111：抵抗測定。 1000：デジタル入力（ロジック）。 1001：デジタル入力（ループ駆動）。 1010：HART 対応電流出力。 1011：HART 対応電流入力（外部駆動）。 1100：HART 対応電流入力（ループ駆動）。	0x0	R/W

レジスタ・マップ

ADC 設定レジスタ

アドレス : 0x02~0x26 (インクリメントは 12) 、リセット : 0x0100、レジスタ名 : ADC_CONFIGn

表 43. ADC_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
[11:8]	CONV_RATE	ADC の変換レートを設定。 0000 : 10SPS のサンプリング・レート。50Hz/60Hz ノイズ除去および HART 基本周波数除去が可能です。 0001 : 20SPS のサンプリング・レート。50Hz/60Hz ノイズ除去が可能です。 0011 : 20SPS のサンプリング・レート。50Hz/60Hz ノイズ除去および HART 基本周波数除去が可能です。 0100 : 200SPS のサンプリング・レート。緩やかな HART 基本周波数除去が可能です。 0110 : 200SPS のサンプリング・レート。HART 基本周波数除去が可能です。 1000 : 1200SPS のサンプリング・レート。 1001 : 1200SPS のサンプリング・レート (HART 基本周波数除去に対応)。 1100 : 4800SPS のサンプリング・レート。 1101 : 9600SPS のサンプリング・レート。 その他 : 予約済み。	0x1	R/W
7	RESERVED	予約済み。	0x0	R
[6:4]	CONV_RANGE	変換の ADC のレンジを選択。リスト以外の値の場合、0V~12V のレンジが選択されます。このフィールドは、CH_FUNC_SETUP レジスタに書き込みが行われると変化することがある点に注意してください。どの値に変化するかは、チャンネル機能に依存します。詳細については、CH_FUNC_SETUP を参照してください。 000 : 0V~12V。 001 : -12V~+12V。 010 : -312.5mV~+312.5mV。 011 : -0.3125V~0V。 100 : 0V~0.3125V。 101 : 0V~0.625V。 110 : -104mV~+104mV。 111 : -2.5V~+2.5V。	0x0	R/W
3	RESERVED	予約済み。	0x0	R
[2:0]	CONV_MUX	変換用の ADC の入力ノードを選択。このフィールドは、CH_FUNC_SETUP レジスタに書き込みが行われると変化することがあります。どの値に変化するかは、チャンネル機能に依存します。詳細については、CH_FUNC_SETUP を参照してください。 000 : SENSELF~AGND。 001 : SENSEHF~SENSELF。 010 : VSENSEN~AGND。 011 : SENSELF~VSENSEN。 100 : AGND~AGND。	0x0	R/W

レジスタ・マップ

デジタル入力設定レジスタ

アドレス：0x03～0x27（インクリメントは 12）、リセット：0x000B、レジスタ名：DIN_CONFIG0n

表 44. DIN_CONFIG0n レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	COUNT_EN	DIN カウントの有効化。DIN_INV_COMP_OUT が 0 の場合は、バウンス防止 DIN の立上がりエッジがカウントされます。DIN_INV_COMP_OUT が 1 の場合は、バウンス防止 DIN の立下がりエッジがカウントされます。カウントは DIN_COUNTER レジスタに反映されます。	0x0	R/W
14	DIN_INV_COMP_OUT	1 にセットすると DIN コンパレータからの出力を反転します。	0x0	R/W
13	COMPARATOR_EN	1 にセットするとコンパレータが有効化されます。このフィールドは、対応する CH_FUNC_SETUPn レジスタに書き込みが行われると変化することがあります。どの値に変化するかは、チャンネル機能に依存します。	0x0	R/W
12	DIN_SINK_RANGE	DIN_SINK 電流のレンジを選択。 0：レンジ 0。120μA ステップで 0mA～3.7mA。約 2kΩ の直列抵抗。 1：レンジ 1。240μA ステップで 0mA～7.4mA。約 1kΩ の直列抵抗。	0x0	R/W
[11:7]	DIN_SINK	DIN ピンのシンク電流を設定。このビット・フィールドを用いると、DIN_SINK_RANGE で定めたステップで電流をプログラムできます。電流シンクをオフにするには、DIN_SINK を 0x00 に設定します。このフィールドは、対応する CH_FUNC_SETUPn レジスタへの書き込みが行われると、その機能に関わらず 0 に設定されます。	0x0	R/W
6	DEBOUNCE_MODE	このビットは、DIN のバウンス防止ロジックの動作を決定します。 0：バウンス防止モード 0。積分器法が用いられます。カウンタは、信号がアサートされるとインクリメントし、信号がデアサートされるとデクリメントします。 1：バウンス防止モード 1。シンプルカウンタが、信号がアサートされるとインクリメントし、信号がデアサートされるとリセットされます。	0x0	R/W
5	RESERVED	予約済み。	0x0	R
[4:0]	DEBOUNCE_TIME	このビット・フィールドは、DIN ピンのバウンス防止時間を設定します。リセット値：240μs バウンス防止回路をバイパスするには、DEBOUNCE_TIME[4:0] を 0x0 に設定します。	0xB	R/W

デジタル入力閾値レジスタ

アドレス：0x04～0x28（インクリメントは 12）、リセット：0x0049、レジスタ名：DIN_CONFIG1n

DIN 機能を用いるように設定されている場合にコンパレータ閾値を設定します。

表 45. DIN_CONFIG1n レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予約済み。	0x0	R
10	DIN_INPUT_SELECT	デジタル入力の選択。 1：DIN は VIOUT を選択。 0：DIN は VSENSEP を選択。	0x0	R/W
9	DIN_SC_DET_EN	デジタル入力短絡検出の有効化。	0x0	R/W
8	DIN_OC_DET_EN	デジタル入力オープン・サーキット検出の有効化。	0x0	R/W
7	DIN_THRESH_MODE	このビット・フィールドは、DIN 閾値 DAC に対する基準を設定します。 0：閾値は AVDD_HI に比例して変化します。閾値の範囲は、 $-0.96 \times AVDD_HI \sim AVDD_HI$ です。 1：固定閾値。閾値は -19V～+30V です。	0x0	R/W
[6:0]	COMP_THRESH	コンパレータ閾値。DIN コンパレータの閾値。プログラム可能コードの最大値は 10 進数の 98 です。	0x49	R/W

レジスタ・マップ

出力設定レジスタ

アドレス：0x05～0x29（インクリメントは12）、リセット：0x0100、レジスタ名：OUTPUT_CONFIGn

表 46. OUTPUT_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	AVDD_SELECT	適応型電源切り替え設定。 00：AVDD_HI にロック。 01：AVDD_LO にロック。 10：CH_FUNC = IOUT または CH_FUNC = IOUT_HART の場合、電源に追従します。 11：予約済み。	0x0	R/W
13	RESERVED	予約済み。	0x0	R/W
12	ALARM_DEG_PERIOD	VIOUT アラーム・デグリッチ周期。プログラマブル VOUT SC アラーム・デグリッチ周期。これは、CHANNEL_ALERT_STATUS[n] レジスタに反映される ANALOG_IO_SC および ANALOG_IO_OC の割込みに影響します。 0：デグリッチ周期設定。VOUT モードの OC または SC アラーム用に、4ms のデジタル・デグリッチが用いられます。 1：デグリッチ周期設定。VOUT モードの OC または SC アラーム用に、20ms のデジタル・デグリッチが用いられます。	0x0	R/W
11	VOUT_4W_EN	3 線式 VOUT にデフォルト設定。4 線式の場合はハイにセットします。	0x0	R/W
10	WAIT_LDAC_CMD	LDAC コマンドのキーを受信するまで待機。0 の場合、DAC_CODE レジスタへの書込みは DAC 出力に直ちに反映されます。1 の場合、DAC 出力は、DAC 更新キー・コマンドが CMD_KEY レジスタに書き込まれると更新されます。	0x0	R/W
9	VIOUT_DRV_EN_DLY	VIOUT HV バイアスから駆動の有効化までの遅延。プログラマブルな遅延は、IOUT_HART CH_FUNC でのみ許可されます。IOUT または VOUT では、200μs の固定遅延にデフォルト設定されます。IOUT_HART モードの場合、このモードを有効化する場合に充電する、大きな外部コンデンサがある点に注意してください。ドライバを有効化する前に遅延を増加することで、IOUT_HART を有効化する際のグリッチ・エネルギーを確実に低下できます。これと引き換えに遅延が 4ms 増加しますが、これが生じるのはこのモードの開始時のみです。 0：4ms の遅延。 1：200μs の遅延。	0x0	R/W
8	HART_COMPL_SETTLED	HART 対応スルーの安定化。SLEW_EN が SLEW_HART_COMPL に等しい場合に選択される HART 対応スルー・ブロックは、連続的に動作しており、安定化するとこのフラグがそれを通知します。SLEW_CTRL_OFF または SLEW_LINEAR に等しい SLEW_EN によって DAC を駆動する必要がある場合、HART 対応スルー・ブロックの出力は、DAC_ACTIVE コードより遅れる可能性があります。SLEW_EN が SLEW_HART_COMPL に切り替わると、DAC 対応スルー・ブロックが安定化していない場合、出力が不連続になります。SLEW_CTRL_OFF または SLEW_LINEAR から SLEW_HART_COMPL に切り替える場合、SLEW_HART_COMPL を設定する前にこのフラグが確実に設定されるようにすることを推奨します。CH_FUNC を HIGH_IMP から変更するとアナログ・デバイセズが製造時に設定した DAC オフセットで DAC の更新がトリガされる点に注意してください。それにより、HART 対応スルー・ブロックが安定化するまで HART_COMP_SETTLED はローになり、安定すると HART_COMP_SETTLED はハイに戻ります。	0x1	R
7	VOUT_RANGE	電圧出力レンジ。 0：0V～12V。 1：-12V～+12V。	0x0	R/W
[6:5]	SLEW_EN	要求された DAC コードまでスルーイングさせるには 1 に設定します。 00：スルーイングを無効化。スルーイングは無効化されると直ちに停止し、DAC コードはそれ以上更新されません。 01：DAC 出力の線形スルーイングを有効にします。 10：DAC 出力の HART 対応スルーイングを有効にします。	0x0	R/W
[4:3]	SLEW_LIN_STEP	デジタル線形スルーのステップ・サイズ。 00：フルスケール DAC 電圧の 0.8% の電圧ステップ・サイズ。 01：フルスケール DAC 電圧の 1.5% の電圧ステップ・サイズ。 10：フルスケール DAC 電圧の 6.1% の電圧ステップ・サイズ。 11：フルスケール DAC 電圧の 22.2% の電圧ステップ・サイズ。	0x0	R/W
[2:1]	SLEW_LIN_RATE	デジタル線形スルーの更新レート。 00：4.8kHz のレートで更新。 01：76.8kHz のレートで更新。 10：153.6kHz のレートで更新。 11：230.4kHz のレートで更新。	0x0	R/W
0	I_LIMIT	VOUT モードのシンクとソースの電流制限値。これらの電流制限値は代表値です。 0：VOUT：16mA の電流制限値。 1：VOUT：8mA の電流制限値。	0x0	R/W

レジスタ・マップ

抵抗設定レジスタ

アドレス：0x06～0x2A（インクリメントは12）、リセット：0x0001、レジスタ名：RTD_CONFIGn

表 47. RTD_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	RTD_ADC_REF	スケーリング用に選択されるリファレンス。内蔵の工場設定オフセットを外部 RTD リファレンスに合わせてスケーリングできます。RTD ADC 測定の実行時に選択したリファレンスに応じて、内蔵のデジタル・ロジックは、工場でキャリブレーションした ADC オフセットを自動的にスケーリングします。 0：2V の外部 RTD リファレンス。 1：1V の外部 RTD リファレンス。	0x0	R/W
2	RTD_MODE_SEL	抵抗測定が3線式か2線式かを選択。 0：3線式 RTD。3線式 RTD に設定する場合、CONV_MUX を LF_TO_VSENSEN に設定する必要がある点に注意してください。 1：2線式 RTD。2線式 RTD に設定する場合、CONV_MUX を LF_TO_AGND に設定する必要がある点に注意してください。	0x0	R/W
1	RTD_EXC_SWAP	3線式 RTD 励起スワップ。このビットをセットすると、励起電流 I1 を VSENSEN ピンに、I2 を SENSEH ピンに切り替えます。この機能は3線式 RTD 専用です。	0x0	R/W
0	RTD_CURRENT	RTD 電流。 0：500μA。 1：1mA。	0x1	R/W

FET リーク補償イネーブル・レジスタ

アドレス：0x07～0x2B（インクリメントは12）、リセット：0x0000、レジスタ名：FET_LKG_COMPn

リーク補償は、DO_MODE = DO_DISABLE の場合にのみ機能します。

表 48. FET_LKG_COMPn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FET_SRC_LKG_COMP_EN	リーク補償回路。ソース FET リーク補償回路を有効化。 0：リーク補償回路オフ。 1：リーク補償回路オン。	0x0	R/W

レジスタ・マップ

DO 外部制御レジスタ

アドレス : 0x08~0x2C (インクリメントは 12) 、リセット : 0x1700、レジスタ名 : DO_EXT_CONFIGn

表 49. DO_EXT_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予約済み。	0x0	R
[12:8]	DO_T2	デジタル出力時間 2。このタイマーは、デジタル出力のソース FET 短絡電流レベルをモニタします。 タイマーはプログラマブルな遅延であり、短絡イベントの持続時間がこの時間を超えると、CHANNEL_ALERT_STATUS[n].DO_TIMEOUT がアサートされ、DO はスイッチ・オフされます。このレジスタをゼロに設定すると、短絡が検出された場合に T2 タイマーは最小タイマー・カウントとなりアクティブ化します。 00 : T2 は 100.812μs。 01 : T2 は 100.812μs。 02 : T2 は 100.812μs。 03 : T2 は 100.812μs。 04 : T2 は 100.812μs。 05 : T2 は 100.812μs。 06 : T2 は 100.812μs。 07 : T2 は 100.812μs。 08 : T2 は 130.08μs。 09 : T2 は 180.486μs。 10 : T2 は 240.648μs。 11 : T2 は 320.322μs。 12 : T2 は 420.321μs。 13 : T2 は 560.157μs。 14 : T2 は 750.399μs。 15 : T2 は 1.000803ms。 16 : T2 は 1.3008ms。 17 : T2 は 1.800795ms。 18 : T2 は 2.400789ms。 19 : T2 は 3.200781ms。 20 : T2 は 4.200771ms。 21 : T2 は 5.600757ms。 22 : T2 は 7.500738ms。 23 : T2 は 10.000713ms。 24 : T2 は 13.000683ms。 25 : T2 は 18.000633ms。 26 : T2 は 24.000573ms。 27 : T2 は 32.000493ms。 28 : T2 は 42.000393ms。 29 : T2 は 56.000253ms。 30 : T2 は 100.000626ms。 31 : T2 は無効。	0x17	R/W
7	DO_DATA	FET 駆動。 0 : FET をスイッチ・オフ。 1 : FET をスイッチ・オン。	0x0	R/W
[6:2]	DO_T1	デジタル出力時間 1。このタイマーは、0ms~100ms の持続時間をプログラムするために用いられ、この時間により、短絡回路制限値を増加できます。それによって、FET がオンになった後に FET を流れる電流を増加できます。このレジスタをゼロに設定すると、タイマーは無効化され、短絡が検出された場合に T2 タイマーが直ちにアクティブ化します。 00 : T1 をバイパス。 01 : T1 は 100.812μs。 02 : T1 は 100.812μs。 03 : T1 は 100.812μs。 04 : T1 は 100.812μs。	0x0	R/W

レジスタ・マップ

表 49. DO_EXT_CONFIGn レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		05 : T1 は 100.812μs。 06 : T1 は 100.812μs。 07 : T1 は 100.812μs。 08 : T1 は 130.08μs。 09 : T1 は 180.486μs。 10 : T1 は 240.648μs。 11 : T1 は 320.322μs。 12 : T1 は 420.321μs。 13 : T1 は 560.157μs。 14 : T1 は 750.399μs。 15 : T1 は 1.000803ms。 16 : T1 は 1.3008ms。 17 : T1 は 1.800795ms。 18 : T1 は 2.400789ms。 19 : T1 は 3.200781ms。 20 : T1 は 4.200771ms。 21 : T1 は 5.600757ms。 22 : T1 は 7.500738ms。 23 : T1 は 10.000713ms。 24 : T1 は 13.000683ms。 25 : T1 は 18.000633ms。 26 : T1 は 24.000573ms。 27 : T1 は 32.000493ms。 28 : T1 は 42.000393ms。 29 : T1 は 56.000253ms。 30 : T1 は 75.000063ms。 31 : T1 は 100.000626ms。		
1	DO_SRC_SEL	FET 用のドライバを選択。 1 : GPIO ピンは FET を駆動するように設定されます。いずれかの GPIO を選択してこのチャンネル FET を駆動できます。更に、GPIO を SEL_DO にプログラムすることもできます。 0 : FET をソフトウェアで直接制御。ソフトウェア制御時、FET は DO_DATA によって制御されます。	0x0	R/W
0	DO_MODE	DO ソースのイネーブル・ビット。CHANNEL_ALERT_STATUS[n].DO_TIMEOUT 割込みがアサートされると、DO のソース機能は無効化されます。これを反映するために、DO_MODE BF は、DO_DRC 選択モードを DO_DISABLE に自動的に切り替えます。 0 : DO ソース無効化。 1 : DO ソース有効化。DO_SRC モードを選択した場合、FET_LKG_COMP[n].FET_SRC_LKG_COMP_EN で設定した値とは無関係に、リーク補償モードが無効になります。	0x0	R/W

バーンアウト・レジスタ

アドレス : 0x09~0x2D（インクリメントは 12）、リセット : 0x0000、レジスタ名 : I_BURNOUT_CONFIGn

表 50. I_BURNOUT_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
[6:5]	BRN_SEN_VSENSEN_CURR	VSENSEN バーンアウト電流の検出。 00 : 電流なし。 01 : 100nA。 10 : 1μA。 11 : 10μA。	0x0	R/W

レジスタ・マップ

表 50. I_BURNOUT_CONFIGn レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
4	BRN_SEN_VSENSEN_POL	VSENSEN パーンアウト極性の検出。 0：シンク電流。 1：ソース電流。	0x0	R/W
3	RESERVED	予約済み。	0x0	R
[2:1]	BRN_VIOUT_CURR	VIOUT のパーンアウト電流。 00：電流なし。 01：100nA。 10：1μA。 11：10μA。	0x0	R/W
0	BRN_VIOUT_POL	VIOUT のパーンアウト極性。 0：シンク電流。 1：ソース電流。	0x0	R/W

DAC コード・レジスタ

アドレス：0x0A～0x2E（インクリメントは 12）、リセット：0x0000、レジスタ名：DAC_CODEn

DAC_CODE レジスタは、チャンネル機能を切り替えてもリセットされません。チャンネル機能を変更する前に、DAC_CODE レジスタによって DAC コードを 0x0000 に設定することを推奨します。新しいチャンネル機能へ遷移する場合は、遷移前に CH_FUNC_SETUP レジスタによってチャンネル機能を高インピーダンスに設定してください。

新しいチャンネル機能を設定した後は、DAC コードを更新する前にチャンネル特性評価時間（IOUT_HART 機能の場合は 4.2ms、それ以外の場合は 300μs）だけ待機することを推奨します。

表 51. DAC_CODEn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_CODE	チャンネルの DAC コード・データ。OUTPUT_CONFIG.WAIT_LDAC_CMD が 0 の間にこのレジスタに書き込みが行われた場合、新しい DAC コードは直ちに DAC に渡されます。OUTPUT_CONFIG.WAIT_LDAC_CMD が 1 の間にこのレジスタに書き込みが行われた場合、新しい DAC コードは、CMD レジスタによってソフトウェアの LDAC 更新がトリガされるまで DAC には渡されません。	0x0	R/W

DAC アクティブ・コード・レジスタ

アドレス：0x0C～0x30（インクリメントは 12）、リセット：0x0000、レジスタ名：DAC_ACTIVEn

DAC にロードされたコードの現在の値。

表 52. DAC_ACTIVEn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_ACTIVE_CODE	アナログ領域に渡されるアクティブな DAC コード。スルーイングを行っている場合、このフィールドを用いると現在のスルーイング位置を判別できます。	0x0	R

汎用出力設定レジスタ

アドレス：0x32～0x37（インクリメントは 1）、リセット：0x0008、レジスタ名：GPIO_CONFIGn

表 53. GPIO_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
[7:6]	DIN_DO_CH	SEL_DO または SEL_DIN を設定する場合にチャンネルを選択します。 00：SEL_DO または SEL_DIN 用にチャンネル A を選択。 01：SEL_DO または SEL_DIN 用にチャンネル B を選択。 10：SEL_DO または SEL_DIN 用にチャンネル C を選択。 11：SEL_DO または SEL_DIN 用にチャンネル D を選択。	0x0	R/W

レジスタ・マップ

表 53. GPIO_CONFIGn レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
5	GPI_DATA	汎用入力データ・ビット。このビットは対応する汎用入力ピンの現在の状態を反映します。デグリッチ：システム・クロック（通常 9.8304MHz）の 4 周期未満のグリッチを除去するために、デジタル・グリッチ・フィルタが GPI に備わっています。レイテンシ：同期およびデグリッチ処理により、ピンと GPI_DATA の間に 8~10 クロック周期分のレイテンシが生じます。	0x0	R
4	GPO_DATA	GPIO_SELECT = 01 の場合、このビットは GPIO のロジック・レベルを設定します。 0：GPIO_n ピンのロジックをローに駆動します。 1：GPIO_n ピンのロジックをハイに駆動します。	0x0	R/W
3	GP_WK_PD_EN	パッドの弱いプルダウンを有効化。 0：弱いプルダウンを無効化。 1：弱いプルダウンを有効化。	0x1	R/W
[2:0]	GPIO_SELECT	汎用出力モードを選択します。GPI 入力パッドは、高インピーダンス・オプションでは無効になります。 以下のリスト以外の値にすると、高インピーダンスが選択されます。 000：高インピーダンス。GPIO 出力ドライバはオフになります。GPIO パッド入力バッファは無効化されます。 001：GPIO ピン・ロジックの出力レベルは GPO_DATA フィールドで設定されます。GPIO パッド入力バッファも有効化されるため、パッド機能は双方向モードになります。 010：GPIO ピンは入力に設定されます。GPIO 出力ドライバは高インピーダンス状態に設定されます。 011：DIN を GPIO 出力として選択します。選択したチャンネルからのパウンス防止 DIN コンパレータ値は、この GPIO ピンで出力されます。チャンネル・ソースは BF DIN_DO_CH によって決まります。 100：GPIO 入力を DO 外部のソースとして選択します。このモードでは、DO 外部 FET の駆動源をこの GPIO ピンとすることができます。BF DO_EXT_CONFIG[n].DO_SRC_SEL_GPIO_PIN もセットする必要がある点に注意してください。特定のチャンネルの DO ソースを選択するために 2 つ以上のチャンネルをプログラムする場合、DO ソースに設定されたチャンネルのうち番号が最大のチャンネルが最優先となります。	0x0	R/W

電力最適化設定レジスタ

アドレス：0x38、リセット：0x0000、レジスタ名：PWR_OPTIM_CONFIG

SENSE_*OPT_*のいずれかがスタンバイ・モードを終了した場合、バッファが安定化するための時間を確保するために、100μs の間は ADC_CONV_CTRL.CONV_SEQ ビット・フィールドに書込みを行わないでください。

表 54. PWR_OPTIM_CONFIG レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予約済み。	0x0	R
13	REF_EN	内部高精度リファレンス・バッファの電源有効化。	0x0	R/W
12	SENSE_AGND_OPT	センス AGND バッファの最適化の有効化。0 =>、センス AGND バッファがフルパワー動作モード。1 =>、センス AGND バッファが低消費電力モード。	0x0	R/W
11	SENSE_HF_OPT_D	センス HF バッファの最適化の有効化。0 =>、センス HF バッファがフルパワー動作モード。1 =>、センス HF バッファが低消費電力モード。	0x0	R/W
10	SENSE_HF_OPT_C	センス HF バッファの最適化の有効化。0 =>、センス HF バッファがフルパワー動作モード。1 =>、センス HF バッファが低消費電力モード。	0x0	R/W
9	SENSE_HF_OPT_B	センス HF バッファの最適化の有効化。0 =>、センス HF バッファがフルパワー動作モード。1 =>、センス HF バッファが低消費電力モード。	0x0	R/W
8	SENSE_HF_OPT_A	センス HF バッファの最適化の有効化。0 =>、センス HF バッファがフルパワー動作モード。1 =>、センス HF バッファが低消費電力モード。	0x0	R/W
7	SENSE_LF_OPT_D	センス LF バッファの最適化の有効化。0 =>、センス LF バッファがフルパワー動作モード。1 =>、センス LF バッファが低消費電力モード。	0x0	R/W

レジスタ・マップ

表 54.PWR_OPTIM_CONFIG レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
6	SENSE_LF_OPT_C	センス LF バッファの最適化の有効化。0 =>、センス LF バッファがフルパワー動作モード。1 =>、センス LF バッファが低消費電力モード。	0x0	R/W
5	SENSE_LF_OPT_B	センス LF バッファの最適化の有効化。0 =>、センス LF バッファがフルパワー動作モード。1 =>、センス LF バッファが低消費電力モード。	0x0	R/W
4	SENSE_LF_OPT_A	センス LF バッファの最適化の有効化。0 =>、センス LF バッファがフルパワー動作モード。1 =>、センス LF バッファが低消費電力モード。	0x0	R/W
3	VSENSEN_OPT_D	センス VSENSEN バッファの最適化の有効化。0 =>、センス外付けバッファがフルパワー動作モード。1 =>、センス外付けバッファが低消費電力モード。	0x0	R/W
2	VSENSEN_OPT_C	センス VSENSEN バッファの最適化の有効化。0 =>、センス外付けバッファがフルパワー動作モード。1 =>、センス外付けバッファが低消費電力モード。	0x0	R/W
1	VSENSEN_OPT_B	センス VSENSEN バッファの最適化の有効化。0 =>、センス外付けバッファがフルパワー動作モード。1 =>、センス外付けバッファが低消費電力モード。	0x0	R/W
0	VSENSEN_OPT_A	センス VSENSEN バッファの最適化の有効化。0 =>、センス外付けバッファがフルパワー動作モード。1 =>、センス外付けバッファが低消費電力モード。	0x0	R/W

ADC 変換コントロール・レジスタ

アドレス：0x39、リセット：0x0000、レジスタ名：ADC_CONV_CTRL

このレジスタは、実行される ADC 変換を制御します。

EN フィールドに 1 を書き込み、このレジスタの CONV_SEQ を「シングル」に設定するとシングル変換がトリガされます。このレジスタのフィールドは、変換が完了してもクリアされません。後続の変換を有効にするには、フィールドをクリアせず、再度書き込むだけです。

CONV_SEQ が「連続」に設定された場合、デバイスは、有効化されたチャンネルを連続的にループします。連続シーケンスが進行している場合、有効化されたチャンネルと診断機能は変更できません。有効化されたチャンネルを変更するには、シーケンスを停止して有効化されたチャンネルと診断機能を変更し、その後シーケンスを再開します。

シーケンスを有効化する場合、まず、それ以前のシーケンスが完了していることを確認し、LIVE_STATUS.ADC_BUSY ビットが 0 になるまで待機します。

表 55.ADC_CONV_CTRL レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予約済み。	0x0	R
13	ADC_RDY_CTRL	ADC_RDY ピンの制御。 0：変換シーケンスの終了。ADC_RDY ピンは、変換の全シーケンスの終了時にアサートされます。このモードを用いる場合、シーケンスの終了時に更新される ADC_RESULTS* レジスタおよび DIAG_RESULTS* レジスタによってデータを読み出すことが必要です。 CONV_SEQ == 「連続」の場合、ADC_RDY ピンは 25μs 後にデアサートされます。 CONV_SEQ == 「シングル」の場合、ADC_RDY ピンは、ADC_CONV_CTRL レジスタに書き込みが行われるとデアサートされます。 1：全変換の終了。ADC_RDY ピンは、全変換の終了時にアサートされます。このモードを用いる場合、LAST_ADC_RESULT* レジスタによって最新の結果を読み出すことが必要です。ただし、ADC_RESULTS* レジスタおよび DIAG_RESULTS* レジスタによって読み出された ADC データを読み出すこともできます。これらのレジスタは、（シーケンスの終了時ではなく）各変換の終了時に直ちに更新されるためです。CONV_SEQ == 「連続」の場合、ADC_RDY ピンはアサートの 25μs 後にデアサートされます。CONV_SEQ == 「シングル」の場合、ADC_RDY ピンは、1 つの変換のみがシーケンスで有効化されている場合に ADC_CONV_CTRL レジスタに書き込みが行われるとデアサートされます。シーケンスに複数の変換がある場合は、ADC_RDY ピンはアサートの 25μs 後にデアサートされます。	0x0	R/W
[12:10]	CONV_RATE_DIAG	診断機能のための変換レート。以下のリスト以外の値にすると、20SPS のレートが選択されます。 000：20SPS のサンプリング・レート。50Hz/60Hz ノイズ除去が可能です。 001：20SPS のサンプリング・レート。50Hz/60Hz ノイズ除去および HART の 1.2kHz および 2.2kHz の除去が可能です。 010：1200SPS のサンプリング・レート。HART の 1.2kHz および 2.2kHz の除去が可能です。 011：4800SPS のサンプリング・レート。 100：9600SPS のサンプリング・レート。 101：19200SPS のサンプリング・レート。	0x0	R/W

レジスタ・マップ

表 55. ADC_CONV_CTRL レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[9:8]	CONV_SEQ	シングル・モードまたは連続モードを選択します。 00：連続変換を停止または ADC をパワーアップ。連続変換の場合は、電流シーケンスの最後で変換を停止し、ADC がパワーアップされる状態にします。または、ADC がパワーダウンしている場合は ADC をパワーアップします。ADC IDLE を終了して HV バッファをパワーアップする必要がある場合、HV バッファをパワーアップするのに最大 100μs を要する可能性があります。HV バッファのパワーアップの間、ADC_BUSY は 1 です。このコマンドを用いて ADC IDLE を終了する場合、HV バッファがパワーアップするまで待機してから、このフィールドに再度書き込みを行います。 01：シングル・シーケンスの変換を開始。有効化されたチャンネルと診断機能ごとにシングル変換を実行します。ADC が現在パワーダウンしている場合、このビットにこの値が書き込まれると自動的に ADC をパワーアップし、100μs 待機してから変換を開始します。シングル・シーケンス変換モードを終了すると、シーケンスは IDLE 状態に移行します。 10：連続変換を開始。有効化されたチャンネルと診断機能を通して順次シーケンスが実行されていきます。ADC が現在パワーダウンしている場合、このビットにこの値が書き込まれると自動的に ADC をパワーアップし、100μs 待機してから変換を開始します。連続変換モードを終了する場合、シーケンスは現在のシーケンスが終了するまで待機してから、IDLE または ADC_PWRDWN に移行します。 11：連続変換モードを停止または ADC をパワーダウン。連続変換が行われている場合は、現在のシーケンスの最後で変換を停止し、ADC をパワーダウンします。現在変換を行っていない場合は、単に ADC をパワーダウンします。ADC のパワーダウンを終了した場合、ADC をパワーアップするのに 100μs を要します。ADC のパワーアップの間、ADC_BUSY は 1 です。このコマンドを用いて ADC パワーダウンを終了する場合、ADC がパワーアップするまで待機してから、このフィールドに再度書き込みを行います。	0x0	R/W
7	DIAG_3_EN	診断機能 3 の変換を有効化。このビット・フィールドに関連する診断 ADC の結果は、ADC_DIAG_RESULT[3] レジスタに置かれます。	0x0	R/W
6	DIAG_2_EN	診断機能 2 の変換を有効化。このビット・フィールドに関連する診断 ADC の結果は、ADC_DIAG_RESULT[2] レジスタに置かれます。	0x0	R/W
5	DIAG_1_EN	診断機能 1 の変換を有効化。このビット・フィールドに関連する診断 ADC の結果は、ADC_DIAG_RESULT[1] レジスタに置かれます。	0x0	R/W
4	DIAG_0_EN	診断機能 0 の変換を有効化。このビット・フィールドに関連する診断 ADC の結果は、ADC_DIAG_RESULT[0] レジスタに置かれます。	0x0	R/W
3	CONV_D_EN	チャンネル D の変換を有効化。このビット・フィールドに関連する ADC の結果は、ADC_RESULT[3] レジスタに置かれます。	0x0	R/W
2	CONV_C_EN	チャンネル C の変換を有効化。このビット・フィールドに関連する ADC の結果は、ADC_RESULT[2] レジスタに置かれます。	0x0	R/W
1	CONV_B_EN	チャンネル B の変換を有効化。このビット・フィールドに関連する ADC の結果は、ADC_RESULT[1] レジスタに置かれます。	0x0	R/W
0	CONV_A_EN	チャンネル A の変換を有効化。このビット・フィールドに関連する ADC の結果は、ADC_RESULT[0] レジスタに置かれます。	0x0	R/W

診断機能選択レジスタ

アドレス：0x3A、リセット：0x0000、レジスタ名：DIAG_ASSIGN

表 56 に記載されている以外の値は AGND に割り当てられます。

表 56. DIAG_ASSIGN レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	DIAG3	DIAG_RESULT[3] に割り当てられる診断機能を選択。 0000：AGND を診断機能 3 に割り当て。 0001：温度センサーを診断機能 3 に割り当て。 0010：DVCC を診断機能 3 に割り当て。 0011：AVCC を診断機能 3 に割り当て。 0100：LDO1V8 を診断機能 3 に割り当て。 0101：AVDD_HI を診断機能 3 に割り当て。 0110：AVDD_LO を診断機能 3 に割り当て。 0111：AVSS を診断機能 3 に割り当て。 1000：LVIN を診断機能 3 に割り当て。 1001：DO_VDD を診断機能 3 に割り当て。 1010：VSENSE_D を診断機能 3 に割り当て。 1011：VSENSE_N を診断機能 3 に割り当て。 1100：DO_D からのソース電流を測定。 1101：AVDD_D を診断機能 3 に割り当て。	0x0	R/W

レジスタ・マップ

表 56.DIAG_ASSIGN レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[11:8]	DIAG2	DIAG_RESULT[2]に割り当てられる診断機能を選択。 0000 : AGND を診断機能 2 に割り当て。 0001 : 温度センサーを診断機能 2 に割り当て。 0010 : DVCC を診断機能 2 に割り当て。 0011 : AVCC を診断機能 2 に割り当て。 0100 : LDO1V8 を診断機能 2 に割り当て。 0101 : AVDD_HI を診断機能 2 に割り当て。 0110 : AVDD_LO を診断機能 2 に割り当て。 0111 : AVSS を診断機能 2 に割り当て。 1000 : LVIN を診断機能 2 に割り当て。 1001 : DO_VDD を診断機能 2 に割り当て。 1010 : VSENSE_C を診断機能 2 に割り当て。 1011 : VSENSE_C を診断機能 2 に割り当て。 1100 : DO_C からのソース電流を測定。 1101 : AVDD_C を診断機能 2 に割り当て。	0x0	R/W
[7:4]	DIAG1	DIAG_RESULT[1]に割り当てられる診断機能を選択。 0000 : AGND を診断機能 1 に割り当て。 0001 : 温度センサーを診断機能 1 に割り当て。 0010 : DVCC を診断機能 1 に割り当て。 0011 : AVCC を診断機能 1 に割り当て。 0100 : LDO1V8 を診断機能 1 に割り当て。 0101 : AVDD_HI を診断機能 1 に割り当て。 0110 : AVDD_LO を診断機能 1 に割り当て。 0111 : AVSS を診断機能 1 に割り当て。 1000 : LVIN を診断機能 1 に割り当て。 1001 : DO_VDD を診断機能 1 に割り当て。 1010 : VSENSE_B を診断機能 1 に割り当て。 1011 : VSENSE_B を診断機能 1 に割り当て。 1100 : DO_B からのソース電流を測定。 1101 : AVDD_B を診断機能 1 に割り当て。	0x0	R/W
[3:0]	DIAG0	DIAG_RESULT[0]に割り当てられる診断機能を選択。 0000 : AGND を診断機能 0 に割り当て。 0001 : 温度センサーを診断機能 0 に割り当て。 0010 : DVCC を診断機能 0 に割り当て。 0011 : AVCC を診断機能 0 に割り当て。 0100 : LDO1V8 を診断機能 0 に割り当て。 0101 : AVDD_HI を診断機能 0 に割り当て。 0110 : AVDD_LO を診断機能 0 に割り当て。 0111 : AVSS を診断機能 0 に割り当て。 1000 : LVIN を診断機能 0 に割り当て。 1001 : DO_VDD を診断機能 0 に割り当て。 1010 : VSENSE_A を診断機能 0 に割り当て。 1011 : VSENSE_A を診断機能 0 に割り当て。 1100 : DO_A からのソース電流を測定。 1101 : AVDD_A を診断機能 0 に割り当て。	0x0	R/W

レジスタ・マップ

ウォッチドッグ用設定レジスタ

アドレス：0x3B、リセット：0x0009、レジスタ名：WDT_CONFIG

正常にデコードされた SPI 読出しまたは書込みコマンドが WDT の間に受信されない場合、デジタル・ロジックがリセットされ、WDT_ERR 割込みがアサートされます。なお、ホスト・ソフトウェアによって WIC を用いて WDT_ERR 割込みをクリアできる点に注意してください。

表 57. WDT_CONFIG レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予約済み。	0x0	R
4	WDT_EN	ウォッチドッグの有効化。次の SPI トランザクションからウォッチドッグが開始されます。 0：無効化（デフォルト）。 1：有効化。	0x0	R/W
[3:0]	WDT_TIMEOUT	タイムアウト値を設定。以下のリスト以外の値にすると、1 秒が選択されます。 0x0：タイムアウトを 1ms に設定。 0x1：タイムアウトを 5ms に設定。 0x2：タイムアウトを 10ms に設定。 0x3：タイムアウトを 25ms に設定。 0x4：タイムアウトを 50ms に設定。 0x5：タイムアウトを 100ms に設定。 0x6：タイムアウトを 250ms に設定。 0x7：タイムアウトを 500ms に設定。 0x8：タイムアウトを 750ms に設定。 0x9：タイムアウトを 1s に設定（デフォルト）。未使用ビットに書き込むと、この閾値にデフォルト設定されます。 0xA：タイムアウトを 2s に設定。	0x9	R/W

バウンス防止デジタル入力コンパレータ出力レジスタ

アドレス：0x3E、リセット：0x0000、レジスタ名：DIN_COMP_OUT

DIN ピンの値は、閾値電圧と比較されます。この比較の結果は、プログラマブル・バウンス防止回路に出力されます。DIN_COMP_OUT レジスタは、各チャンネルのバウンス防止回路の出力を示します。

表 58. DIN_COMP_OUT レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	DIN_COMP_OUT_D	チャンネル D のバウンス防止デジタル入力の状態。	0x0	R
2	DIN_COMP_OUT_C	チャンネル C のバウンス防止デジタル入力の状態。	0x0	R
1	DIN_COMP_OUT_B	チャンネル B のバウンス防止デジタル入力の状態。	0x0	R
0	DIN_COMP_OUT_A	チャンネル A のバウンス防止デジタル入力の状態。	0x0	R

レジスタ・マップ

アラート・ステータス・レジスタ

アドレス : 0x3F、リセット : 0x0001、レジスタ名 : ALERT_STATUS

このレジスタは、チャンネル・アラートとシステム・アラートの組み合わせで構成されます。これらのアラートのいずれかがアサートされた場合、ユーザのアクションが必要です。

ビット・フィールドのアクセスが WIC の場合、該当ビットに 1 を書き込んでアラート状態をクリアしてください。ビット・フィールドのアクセスが R の場合は、該当のレジスタを読み出して更に詳しい情報（HART_ALERT_STATUS、CHANNEL_ALERT_STATUS、または SUPPLY_ALERT_STATUS）を得ます。

アラートの原因となった状態がクリアされないと、アラート・ビットはセットされたままになります。

表 59. ALERT_STATUS レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	HART_ALERT_D	チャンネル D の HART 通信アラート。このエラーの原因を調べるには HART_ALERT_STATUS[3] レジスタを読み出します。このビットがセットされるのは、HART_ALERT_STATUS[3] レジスタのいずれかのフィールド（CD および FRM_MON_STATE は除く）がセットされ、HART_ALERT_MASK[3] の対応するフィールドが 0 の場合です。HART_ALERT_STATUS[3] の全てのフィールド（CD および FRM_MON_STATE を除く）が 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
14	HART_ALERT_C	チャンネル C の HART 通信アラート。このエラーの原因を調べるには HART_ALERT_STATUS[2] レジスタを読み出します。このビットがセットされるのは、HART_ALERT_STATUS[2] レジスタのいずれかのフィールド（CD および FRM_MON_STATE は除く）がセットされ、HART_ALERT_MASK[2] の対応するフィールドが 0 の場合です。HART_ALERT_STATUS[2] の全てのフィールド（CD および FRM_MON_STATE を除く）が 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
13	HART_ALERT_B	チャンネル B の HART 通信アラート。このエラーの原因を調べるには HART_ALERT_STATUS[1] レジスタを読み出します。このビットがセットされるのは、HART_ALERT_STATUS[1] レジスタのいずれかのフィールド（CD および FRM_MON_STATE は除く）がセットされ、HART_ALERT_MASK[1] の対応するフィールドが 0 の場合です。HART_ALERT_STATUS[1] の全てのフィールド（CD および FRM_MON_STATE を除く）が 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
12	HART_ALERT_A	チャンネル A の HART 通信アラート。このエラーの原因を調べるには HART_ALERT_STATUS[0] レジスタを読み出します。このビットがセットされるのは、HART_ALERT_STATUS[0] レジスタのいずれかのフィールド（CD および FRM_MON_STATE は除く）がセットされ、HART_ALERT_MASK[0] の対応するフィールドが 0 の場合です。HART_ALERT_STATUS[0] の全てのフィールド（CD および FRM_MON_STATE を除く）が 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
11	CHANNEL_ALERT_D	チャンネル D のアラート。原因を調べるには CHANNEL_ALERT_STATUS[3] レジスタを読み出します。このビットがセットされるのは、CHANNEL_ALERT_STATUS[3] レジスタのいずれかのフィールドがセットされ、CHANNEL_ALERT_MASK[3] の対応するフィールドが 0 の場合です。CHANNEL_ALERT_STATUS[3] の全てのフィールドが 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
10	CHANNEL_ALERT_C	チャンネル C のアラート。原因を調べるには CHANNEL_ALERT_STATUS[2] レジスタを読み出します。このビットがセットされるのは、CHANNEL_ALERT_STATUS[2] レジスタのいずれかのフィールドがセットされ、CHANNEL_ALERT_MASK[2] の対応するフィールドが 0 の場合です。CHANNEL_ALERT_STATUS[2] の全てのフィールドが 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
9	CHANNEL_ALERT_B	チャンネル B のアラート。原因を調べるには CHANNEL_ALERT_STATUS[1] レジスタを読み出します。このビットがセットされるのは、CHANNEL_ALERT_STATUS[1] レジスタのいずれかのフィールドがセットされ、CHANNEL_ALERT_MASK[1] の対応するフィールドが 0 の場合です。CHANNEL_ALERT_STATUS[1] の全てのフィールドが 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
8	CHANNEL_ALERT_A	チャンネル A のアラート。原因を調べるには CHANNEL_ALERT_STATUS[0] レジスタを読み出します。このビットがセットされるのは、CHANNEL_ALERT_STATUS[0] レジスタのいずれかのフィールドがセットされ、CHANNEL_ALERT_MASK[0] の対応するフィールドが 0 の場合です。CHANNEL_ALERT_STATUS[0] の全てのフィールドが 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
[7:6]	RESERVED	予約済み。	0x0	R
5	ADC_ERR	ADC 変換または飽和エラー。	0x0	R/W1C
4	TEMP_ALERT	高温状態を検出。ダイ温度が 115°C に達すると、このビットがアサートされます。	0x0	R/W1C
3	SPI_ERR	SPI エラーを検出。SPI コマンドを適用しても 40 個の SCLK が得られない場合、または CRC エラーが検出される場合、このビットがアサートされます。	0x0	R/W1C

レジスタ・マップ

表 59. ALERT_STATUS レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
2	SUPPLY_ERR	電源エラー。このエラーの原因を調べるには、SUPPLY_ALERT_STATUS レジスタを読み出します。このビットがセットされるのは、SUPPLY_ALERT_STATUS レジスタのいずれかのフィールドがセットされ、SUPPLY_ALERT_MASK の対応するフィールドが 0 の場合です。SUPPLY_ALERT_STATUS の全てのビット・フィールドが 0 またはマスクされている場合に、このビットはクリアされます。	0x0	R
1	RESERVED	予約済み。	0x0	R/W1C
0	RESET_OCCURRED	リセットが発生。このビットは、リセット・イベントの後にアサートされます。そのため、ALERTピンはリセット後にアサートされます。フラグをクリアするには、このビットに 1 を書き込みます。このビット用のマスク・ビットはありません。	0x1	R/W1C

ライブ・ステータス・レジスタ

アドレス：0x40、リセット：0x0000、レジスタ名：LIVE_STATUS

このレジスタは、いくつかのステータス・ビットのライブ・ステータスを格納します（これらのビットはラッチされず、ステータス・ビットを直接反映します）。

表 60. LIVE_STATUS レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	ANALOG_IO_STATUS_D	チャンネル D 用アナログ IO のライブ・ステータス。チャンネル D の ANALOG_IO_SC と ANALOG_IO_OC のライブ・ステータスの論理和です。	0x0	R
14	ANALOG_IO_STATUS_C	チャンネル C 用アナログ IO のライブ・ステータス。チャンネル C の ANALOG_IO_SC と ANALOG_IO_OC のライブ・ステータスの論理和です。	0x0	R
13	ANALOG_IO_STATUS_B	チャンネル B 用アナログ IO のライブ・ステータス。チャンネル B の ANALOG_IO_SC と ANALOG_IO_OC のライブ・ステータスの論理和です。	0x0	R
12	ANALOG_IO_STATUS_A	チャンネル A 用アナログ IO のライブ・ステータス。チャンネル A の ANALOG_IO_SC と ANALOG_IO_OC のライブ・ステータスの論理和です。	0x0	R
11	DO_STATUS_D	チャンネル D の DO_SC 検出の現在のライブ・ステータス。このフィールドは、DO FET が動作の T1 期間にある場合にはアサートされません。	0x0	R
10	DO_STATUS_C	チャンネル C の DO_SC 検出の現在のライブ・ステータス。このフィールドは、DO FET が動作の T1 期間にある場合にはアサートされません。	0x0	R
9	DO_STATUS_B	チャンネル B の DO_SC 検出の現在のライブ・ステータス。このフィールドは、DO FET が動作の T1 期間にある場合にはアサートされません。	0x0	R
8	DO_STATUS_A	チャンネル A の DO_SC 検出の現在のライブ・ステータス。このフィールドは、DO FET が動作の T1 期間にある場合にはアサートされません。	0x0	R
7	DIN_STATUS_D	チャンネル D の DIN 回路のライブ・ステータス。チャンネル D の DIN_SC と DIN_OC のライブ・バージョンの論理和です。	0x0	R
6	DIN_STATUS_C	チャンネル C の DIN 回路のライブ・ステータス。チャンネル C の DIN_SC と DIN_OC のライブ・バージョンの論理和です。	0x0	R
5	DIN_STATUS_B	チャンネル B の DIN 回路のライブ・ステータス。チャンネル B の DIN_SC と DIN_OC のライブ・バージョンの論理和です。	0x0	R
4	DIN_STATUS_A	チャンネル A の DIN 回路のライブ・ステータス。チャンネル A の DIN_SC と DIN_OC のライブ・バージョンの論理和です。	0x0	R
3	TEMP_ALERT_STATUS	温度アラート・ライブ・ステータス。このビット・フィールドは、ダイ温度モニタのライブ・ステータスを反映します。ダイ温度が 115°C（代表値）以上になると、このビットがアサートされます。	0x0	R
2	ADC_DATA_RDY	ADC データの準備が完了。ADC_RDY_CTRL が 0 の場合、変換のシーケンスの終了時にこのフィールドがアサートされます。シーケンスの最後の結果レジスタが読み出されると、このフィールドは自動クリアされます。ADC_RDY_CTRL が 1 の場合、このフィールドが各変換の最後にアサートされ、LAST_ADC_RESULT*、ADC_RESULT*、または ADC_DIAG_RESULT*のいずれかのレジスタが読み出されると 0 に自動クリアされます。ADC_CONV_CTRL レジスタの CONV_SEQ ビット・フィールドを「シングル」または「連続」に設定すると、このビットがクリアされます。	0x0	R
1	ADC_BUSY	ADC ビジー・ステータス・ビット。このビットは、ADC が最初にパワーアップ状態になると 1 にリセットされます。	0x0	R
0	SUPPLY_STATUS	電源のライブ・ステータス。SUPPLY_ALERT_STATUS レジスタへの入力 of の論理和です。	0x0	R

レジスタ・マップ

各チャンネルの ADC 変換結果レジスタ（8MSB）

アドレス：0x41～0x47（インクリメントは2）、リセット：0x0000、レジスタ名：ADC_RESULT_UPRn

24 ビットの ADC 結果の精度を確保するためには、ADC_RESULT_UPR を最初に読み出し、それに続いて直ちに ADC_RESULT を読み出す必要があります。内部では、デバイスは、次の読出しまで、ADC_RESULT_UPR レジスタの読出しに対応する下位 16 ビットを保持し続けます。

表 61. ADC_RESULT_UPRn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	CONV_RES_MUX	ADC マルチプレクサ。このフィールドは、この結果に対する ADC_CONFIG.CONV_MUX の設定を反映します。	0x0	R
[12:10]	CONV_RES_RANGE	ADC のレンジ。このフィールドは、この結果に対する ADC_CONFIG.CONV_RANGE の設定を反映します。	0x0	R
[9:8]	CONV_SEQ_COUNT	ADC のシーケンス・カウンタ。この 2 ビット・カウンタは、ADC のシーケンスが完了するたびにインクリメントします。連続変換を用いている場合、ADC の結果がどのシーケンスから生じたのかを確認するためにこれを用います。例えば、ホストが結果レジスタを読み出すのが、シーケンス完了に必要な時間より早いような状況で、同じ結果セットを 2 回読み出してはいることを確認するために、これを用います。変換開始後の最初の結果セットの場合、CONV_SEQ_COUNT は 1 である点に注意してください。これは、2、3、0、1、2、3、0、というようにインクリメントし、これが続きます。ADC がシングル変換モードで動作している場合、このビット・フィールドは、シングル変換シーケンスの開始時に CONV_SEQ_COUNT がリセットされるため、使用が限定されます。	0x0	R
[7:0]	CONV_RES[23:16]	チャンネル N での ADC 変換結果。	0x0	R

各チャンネルの ADC 変換結果レジスタ（16LSB）

アドレス：0x42～0x48（インクリメントは2）、リセット：0x0000、レジスタ名：ADC_RESULTn

このレジスタは、各チャンネルの 24 ビット ADC の変換結果の下位 16 ビットを格納します。

表 62. ADC_RESULTn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CONV_RES[15:0]	チャンネル N での ADC 変換結果。	0x0	R

メイン ADC 診断結果レジスタ

アドレス：0x49～0x4C（インクリメントは1）、リセット：0x0000、レジスタ名：ADC_DIAG_RESULTn

これら 4 つのレジスタは、16 ビット診断 ADC 変換結果を格納します。

表 63. ADC_DIAG_RESULTn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DIAGNOSTIC_RESULT	診断チャンネルでの 16 ビット診断結果を格納します。	0x0	R

最新 ADC 変換結果上位 8 ビット・レジスタ

アドレス：0x4D、リセット：0x0000、レジスタ名：LAST_ADC_RESULT_UPR

24 ビットの ADC 結果の精度を確保するためには、LAST_ADC_RESULT_UPR を最初に読み出し、それに続いて直ちに LAST_ADC_RESULT を読み出す必要があります。内部では、デバイスは、次の読出しまで、LAST_ADC_RESULT_UPR レジスタの読出しに対応する下位 16 ビットを保持し続けます。16 ビットの診断結果を読み出すだけの場合でも、LAST_ADC_RESULT_UPR を最初に読み出し、それに続いて直ちに LAST_ADC_RESULT を読み出して、LAST_CONV_CH が LAST_ADC_RESULT によって読み出した結果に対応することを確認する必要があります。

最新の ADC 変換が診断目的である場合は、LAST_CONV_RES の上位 8 ビットは 0 に戻ります。診断結果は最大でも 16 ビットであるためです。

表 64. LAST_ADC_RESULT_UPR レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予約済み。	0x0	R

レジスタ・マップ

表 64. LAST_ADC_RESULT_UPR レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[10:8]	LAST_CONV_CH	最新の変換結果のソース。このフィールドは、最新の変換結果のソースを示します。 000：チャンネル A。 001：チャンネル B。 010：チャンネル C。 011：チャンネル D。 100：診断機能 0。 101：診断機能 1。 110：診断機能 2。 111：診断機能 3。	0x0	R
[7:0]	LAST_CONV_RES [23:16]	最新 ADC 変換結果。	0x0	R

最新 ADC 変換結果（16LSB）レジスタ

アドレス：0x4E、リセット：0x0000、レジスタ名：LAST_ADC_RESULT

このレジスタは、最新の変換に対する ADC 変換結果の下位 16 ビットを格納します。これはどのチャンネルまたはどの診断機能に対する変換にも該当します。

最新の変換結果を得るにはこのレジスタを用います。このレジスタは、ADC_CONV_CTRL.ADC_RDY_CTRL = 1（全変換の最後に ADC_RDY がアサート）の条件と共に用いる必要があります。

表 65. LAST_ADC_RESULT レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	LAST_CONV_RES [15:0]	最新 ADC 変換結果。	0x0	R

各チャンネルのバウンス防止 DIN カウント・レジスタ

アドレス：0x4F～0x55（インクリメントは 2）、リセット：0x0000、レジスタ名：DIN_COUNTER_UPRn

このカウンタは、DIN_CONFIGn レジスタの COUNT_EN ビットをセットすると有効になります。このカウンタは、フルスケールから 0 へロール・オーバーできます。そのため、十分な頻度でこのレジスタを読み出し、予期しないロール・オーバーを防止してください。

イネーブル信号がローの場合、カウンタはフリーズします。

デグリッチされた出力を DIN_INV_COMP_OUT レジスタによって反転し、それによってカウンタのインクリメント・エッジを変更することができます。

表 66. DIN_COUNTER_UPRn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DIN_CNT[31:16]	DIN カウンタのカウント数を格納します。このカウンタは、DIN_CONFIGn の COUNT_EN ビットをセットすると有効になります。イネーブル信号がローの場合、カウンタはフリーズします。このカウンタは、通常動作時にはその更新レートは遅い必要があるため、ロール・オーバーするよう設計できます。ユーザ作成のソフトウェアでは、このカウンタの読み出しを管理して、予期せぬロール・オーバーを回避できるよう十分な頻度で読み出しが行われるようにする必要があります。デグリッチされた出力を DIN_INV_COMP_OUT レジスタによって反転し、それによってカウンタのインクリメント・エッジを変更することができます。	0x0	R

各チャンネルのバウンス防止 DIN カウント・レジスタ

アドレス：0x50～0x56（インクリメントは 2）、リセット：0x0000、レジスタ名：DIN_COUNTERn

このカウンタは、DIN_CONFIGn レジスタの COUNT_EN ビットをセットすると有効になります。このカウンタは、フルスケールから 0 へロール・オーバーできます。そのため、十分な頻度でこのレジスタを読み出し、予期しないロール・オーバーを防止してください。

イネーブル信号がローの場合、カウンタはフリーズします。

デグリッチされた出力を DIN_INV_COMP_OUT レジスタによって反転し、それによってカウンタのインクリメント・エッジを変更することができます。

レジスタ・マップ

表 67. DIN_COUNTERn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DIN_CNT[15:0]	DIN カウンタのカウンタ数を格納します。このカウンタは、DIN_CONFIGn の COUNT_EN ビットをセットすると有効になります。イネーブル信号がローの場合、カウンタはフリーズします。このカウンタは、通常動作時にはその更新レートは遅い必要があるため、ロール・オーバーするよう設計できます。ユーザ作成のソフトウェアでは、このカウンタの読出しを管理して、予期せぬロール・オーバーを回避できるよう十分な頻度で読出しが行われるようにする必要があります。デグリッチされた出力を DIN_INV_COMP_OUT レジスタによって反転し、それによってカウンタのインクリメント・エッジを変更することができます。	0x0	R

チャンネル・エラー・ステータス・レジスタ

アドレス : 0x57、リセット : 0x0000、レジスタ名 : SUPPLY_ALERT_STATUS

表 68. SUPPLY_ALERT_STATUS レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
6	AVDD_HI_ERR	AVDD ハイ電源モニタ・エラー。AVDD が 5.5V 未満になると、このビットがアサートされます。	0x0	R/W1C
5	AVDD_LO_ERR	AVDD ロー電源モニタ・エラー。AVDD が 5.5V 未満になると、このビットがアサートされます。	0x0	R/W1C
4	DO_VDD_ERR	DO VDD 電源モニタ・エラー。DO VDD が 9.3V 未満になると、このビットがアサートされます。	0x0	R/W1C
3	AVCC_ERR	AVCC 電源モニタ・エラー。AVCC が 4.1V 未満になると、このビットがアサートされます。	0x0	R/W1C
2	DVCC_ERR	DVCC 電源モニタ・エラー。DVCC が 2.2V 未満になると、このビットがアサートされます。このアラートは W1C でクリアできますが、正しい動作を確保するには、デバイスをリセットすることを推奨します。	0x0	R/W1C
1	AVSS_ERR	AVSS 電源モニタ・エラー。AVSS が -1.6V を超えると、このビットがアサートされます。	0x0	R/W1C
0	CAL_MEM_ERR	キャリブレーション・メモリ・エラー。このフラグは、以下の 2 つの条件下でアサートされます。 1. キャリブレーション・メモリのアップロード時に、キャリブレーション・メモリの CRC エラー、または修正不能な ECC エラーが検出された場合。 2. キャリブレーション・メモリのリフレッシュが完了する前に、レジスタへの SPI アクセスが試みられた場合。キャリブレーション・メモリがアップロードされるまでデバイスをアドレス指定しないでください。 なお、Device Power-Up Time または Device Reset Time が経過するまで、キャリブレーション・メモリはリフレッシュしない点に注意してください。 上記のどちらの条件により CAL_MEM_ERR がアサートされたのかを判定することができます。 Device Power-Up Time または Device Reset Time が経過するまで待機した後、1 を書き込んで CAL_MEM_ERR をクリアします。CAL_MEM_ERR がクリアされる場合、キャリブレーション・メモリのリフレッシュが完了する前の SPI アクセスにより、ビットは 1 にセットされています。 CAL_MEM_ERR がアサートされたままクリアできない場合は、キャリブレーション・メモリ・エラーが検出されます。この場合、電源を調べてデバイスをリセットすることを推奨します。	0x0	R/W1C

チャンネル・アラート・ステータス・レジスタ

アドレス : 0x58~0x5B (インクリメントは 1)、リセット : 0x0000、レジスタ名 : CHANNEL_ALERT_STATUSn

表 69. CHANNEL_ALERT_STATUSn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
6	VIOUT_SHUTDOWN	VOOUT または IOOUT がシャットダウンされています。設定が不適切であるため、または以下のいずれかの原因により、VOOUT チャンネルまたは IOOUT チャンネルがシャットダウンされました。 1. HIGH_IMP 状態で事前に定められた待機時間を経ずに VOOUT モードと IOOUT モードの切り替えが行われた。 2. CH_FUNC[n] が HIGH_IMP と等しくない場合に VOOUT_RANGE または VIOUT_DRV_EN_DLY が変更された。	0x0	R/W1C
5	ANALOG_IO_OC	アナログ IO のオープン・サーキット検出。CH_FUNC = IOOUT または IOOUT_HART の場合、ANALOG_IO_OC はオープン・サーキットが検出されたことを表示します。このアラームには、ALARM_DEG_PERIOD ビット・フィールドによって設定可能なデジタル・デグリッチ時間があります。CH_FUNC = RES_MEAS の場合は、ANALOG_IO_OC は抵抗がレンジから外れていることを表示します。このアラームのデジタル・デグリッチ時間は、200μs に固定されています。	0x0	R/W1C

レジスタ・マップ

表 69. CHANNEL_ALERT_STATUSn レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
4	ANALOG_IO_SC	アナログ IO の短絡検出。CH_FUNC = VOUT の場合、ANALOG_IO_SC は短絡が検出されたことを表示します。このアラームには、ALARM_DEG_PERIOD ビット・フィールドによって設定可能なデジタル・デグリッチ時間があります。CH_FUNC = IIN_EXT_PWR、IIN_LOOP_PWR、IIN_EXT_PWR_HART、または IIN_LOOP_PWR_HART の場合、ANALOG_IO_SC は DIN のコンパレータ出力を反映します。コンパレータ出力には、BF DEBOUNCE_TIME によって設定可能なデジタル・デグリッチ時間があります。	0x0	R/W1C
3	DO_TIMEOUT	DO タイムアウト。	0x0	R/W1C
2	DO_SC	DO の短絡検出。この割込みは、DO FET が動作の T1 期間にある場合にはアサートされません。	0x0	R/W1C
1	DIN_OC	DIN オープン・サーキット・エラー。	0x0	R/W1C
0	DIN_SC	DIN の短絡エラー。	0x0	R/W1C

ALERT_STATUS 用アラート・マスク・レジスタ

アドレス：0x5C、リセット：0x0000、レジスタ名：ALERT_MASK

このレジスタは、特定のステータス・ビットを ALERT ピンのアクティブ化からマスクするために用います。このレジスタのマスク・ビットの位置は、ALERT_STATUS レジスタの対応ステータス・ビットと同じです。

特定のアラートをマスクするには、対応するマスク・ビットを 1 にセットします。

なお、ビットをマスクしても、ALERT_STATUS レジスタの等価なアラート・ビットがセットされないようにすることはできません。

表 70. ALERT_MASK レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
15	HART_ALERT_D_MASK	HART_ALERT_D のマスク・ビット。	0x0	R/W
14	HART_ALERT_C_MASK	HART_ALERT_C のマスク・ビット。	0x0	R/W
13	HART_ALERT_B_MASK	HART_ALERT_B のマスク・ビット。	0x0	R/W
12	HART_ALERT_A_MASK	HART_ALERT_A のマスク・ビット。	0x0	R/W
11	CHANNEL_ALERT_D_MASK	CHANNEL_ALERT_D のマスク・ビット。	0x0	R/W
10	CHANNEL_ALERT_C_MASK	CHANNEL_ALERT_C のマスク・ビット。	0x0	R/W
9	CHANNEL_ALERT_B_MASK	CHANNEL_ALERT_B のマスク・ビット。	0x0	R/W
8	CHANNEL_ALERT_A_MASK	CHANNEL_ALERT_A のマスク・ビット。	0x0	R/W
[7:6]	RESERVED	予約済み。	0x0	R
5	ADC_ERR_MASK	ADC_SAT_ERR のマスク・ビット。	0x0	R/W
4	TEMP_ALERT_MASK	TEMP_ALERT のマスク・ビット。	0x0	R/W
3	SPI_ERR_MASK	SPI_ERR のマスク・ビット。	0x0	R/W
2	SUPPLY_ERR_MASK	SUPPLY_ERR のマスク・ビット。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

SUPPLY_ALERT_STATUS 用アラート・マスク・レジスタ

アドレス：0x5D、リセット：0x0000、レジスタ名：SUPPLY_ALERT_MASK

このレジスタは、特定のステータス・ビットを ALERT_STATUS レジスタの SUPPLY_ERR ステータス・ビットのアクティブ化からマスクするために用います。このレジスタのマスク・ビットの位置は、SUPPLY_ALERT_STATUS レジスタの対応ステータス・ビットと同じです。

特定のアラートをマスクするには、対応するマスク・ビットを 1 にセットします。

レジスタ・マップ

表 71. SUPPLY_ALERT_MASK 用アラート・マスク・レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
6	AVDD_HI_ERR_MASK	AVDD_HI_ERR のマスク・ビット。	0x0	R/W
5	AVDD_LO_ERR_MASK	AVDD_LO_ERR のマスク・ビット。	0x0	R/W
4	DO_VDD_ERR_MASK	DOVDD_ERR のマスク・ビット。	0x0	R/W
3	AVCC_ERR_MASK	AVCC_ERR のマスク・ビット。	0x0	R/W
2	DVCC_ERR_MASK	DVCC_ERR のマスク・ビット。	0x0	R/W
1	AVSS_ERR_MASK	AVSS_ERR のマスク・ビット。	0x0	R/W
0	CAL_MEM_ERR_MASK	CAL_MEM_ERR のマスク・ビット。	0x0	R/W

CHANNEL_ALERT_STATUS レジスタ用アラート・マスク・レジスタ

アドレス：0x5E～0x61（インクリメントは1）、リセット：0x0000、レジスタ名：CHANNEL_ALERT_MASKn

これらのレジスタは、特定のステータス・ビットを ALERT_STATUS レジスタの CHANNEL_ALERT_A/B/C/D ステータス・ビットのアクティブ化からマスクするために用います。

このレジスタのマスク・ビットの位置は、CHANNEL_ALERT_STATUS レジスタの対応ステータス・ビットと同じです。

特定のアラートをマスクするには、対応するマスク・ビットを1にセットします。

表 72. CHANNEL_ALERT_MASKn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
6	VIOUT_SHUTDOWN_MASK	VIOUT_SHUTDOWN のマスク・ビット。	0x0	R/W
5	ANALOG_IO_OC_MASK	ANALOG_IO_OC のマスク・ビット。	0x0	R/W
4	ANALOG_IO_SC_MASK	ANALOG_IO_SC のマスク・ビット。	0x0	R/W
3	DO_TIMEOUT_MASK	DO_TIMEOUT のマスク・ビット。	0x0	R/W
2	DO_SC_MASK	DO_SC のマスク・ビット。	0x0	R/W
1	DIN_OC_MASK	DIN_OC のマスク・ビット。	0x0	R/W
0	DIN_SC_MASK	DIN_SC のマスク・ビット。	0x0	R/W

リードバック選択レジスタ

アドレス：0x6E、リセット：0x0000、レジスタ名：READ_SELECT

このレジスタは、リードバックする必要のあるレジスタのアドレスを選択し、更に SPI リードバック・フレームの内容も決定します。

表 73. READ_SELECT レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:9]	RESERVED	予約済み。	0x0	R
[8:0]	READBACK_ADDR	D7～D0 は、読み出すレジスタ・アドレスを格納します。	0x0	R/W

バースト・モードでのレジスタ読出しを選択

アドレス：0x6F、リセット：0xFFFF、レジスタ名：BURST_READ_SEL

このレジスタを使用すると、バースト読出しで返される、ALERT_STATUS、LIVE_STATUS、ADC_RESULT*、DIAGNOSTIC_RESULT*、DIN_COUNTER*のいずれかのレジスタを含むレジスタを選択できます。

レジスタ・マップ

表 74. BURST_READ_SEL レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	BURST_READ_SEL	バースト読出しで返されるレジスタを選択。レジスタに対応するビットが 1 の場合は、そのレジスタはバースト読出しがそのレジスタに達したときに返されます。レジスタに対応するビットが 0 の場合は、そのレジスタはバースト読出しがそのレジスタに達したときにスキップされます。 ビット 0 : ALERT_STATUS のバースト読出しを有効化。 ビット 1 : LIVE_STATUS のバースト読出しを有効化。 ビット 2 : ADC_RESULT_UPR[0]および ADC_RESULT[0]のバースト読出しを有効化。 ビット 3 : ADC_RESULT_UPR[1]および ADC_RESULT[1]のバースト読出しを有効化。 ビット 4 : ADC_RESULT_UPR[2]および ADC_RESULT[2]のバースト読出しを有効化。 ビット 5 : ADC_RESULT_UPR[3]および ADC_RESULT[3]のバースト読出しを有効化。 ビット 6 : ADC_DIAG[0]のバースト読出しを有効化。 ビット 7 : ADC_DIAG[1]のバースト読出しを有効化。 ビット 8 : ADC_DIAG[2]のバースト読出しを有効化。 ビット 9 : ADC_DIAG[3]のバースト読出しを有効化。 ビット 10 : LAST_ADC_RESULT_UPR および LAST_ADC_RESULT のバースト読出しを有効化。 ビット 11 : DIN_COUNTER[0]のバースト読出しを有効化。 ビット 12 : DIN_COUNTER[1]のバースト読出しを有効化。 ビット 13 : DIN_COUNTER[2]のバースト読出しを有効化。 ビット 14 : DIN_COUNTER[3]のバースト読出しを有効化。 ビット 15 : SUPPLY_ALERT_STATUS のバースト読出しを有効化。 上記以外の全てのレジスタの読出しデータは、バースト読出しにそのレジスタが含まれていれば必ず、バースト読出し時に返されます。なお、対応する BURST_READ_SEL ビットが 0 であっても、バースト読出しの開始アドレスの場所は常に返されます。例えば、BURST_READ_SEL[2]が 0 で、バースト読出しが ADC_RESULT_UPR[0]のアドレスから開始される場合、バーストで返される最初の 2 ワードは、ADC_RESULT_UPR[0]およびそれに続く ADC_RESULT[0]です。なお、バースト読出しを DIN_COMP_OUT で開始すると、これをバースト読出しの最初のレジスタとして含めることができます。DIN_COMP_OUT には対応する BURST_READ_SEL ビットが不要です。	0xFFFF	R/W

サーマル・リセット有効化レジスタ

アドレス : 0x73、リセット : 0x0000、レジスタ名 : THERM_RST

表 75. THERM_RST レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	THERM_RST_EN	サーマル・リセット機能を有効にするには 1 に設定します。ダイ温度の代表値が 140°C に達すると、サーマル・リセット・イベントがデジタル・リセットをトリガします。これは、ALERT ピンの変化と RESET_OCCURRED フラグによって検出されます。	0x0	R/W

コマンド・レジスタ

アドレス : 0x74、リセット : 0x0000、レジスタ名 : CMD_KEY

ソフトウェア・リセット、ヒューズ・アップロード、設定ロックのコマンドをデバイスに発行する場合は、このレジスタを使用します。

表 76. CMD_KEY レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CMD_KEY	コマンドを実行するためのキーを入力してください。 0x15FA : ソフトウェア・リセット・キー1。ソフトウェア・リセットをトリガするには、このキーを書き込んでからソフトウェア・リセット・キー2を書き込みます。SPI 書込みは連続して行う必要があります。 0xAF51 : ソフトウェア・リセット・キー2。ソフトウェア・リセットをトリガするには、ソフトウェア・リセット・キー1を書き込んでからこのキーを書き込む必要があります。SPI 書込みは連続して行う必要があります。 0x1C7D : DAC 更新キー。このキーを入力すると、全てのチャンネルで DAC の更新がトリガされます。	0x0	W

レジスタ・マップ

ブロードキャスト書込みレジスタ

アドレス：0x75、リセット：0x0000、レジスタ名：BROADCAST_CMD_KEY

表 77. BROADCAST_CMD_KEY レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	BROADCAST_CMD_KEY	ブロードキャスト書込み。 0x1a78：ブロードキャスト・ソフトウェア・リセット・キー1。 0xd203：ブロードキャスト・ソフトウェア・リセット・キー2。ソフトウェア・リセットを発行するには、キー1 コマンドとキー2 コマンドが連続した SPI ブロードキャスト書込みである必要があります。 0x964e：ブロードキャスト DAC 更新キー。DAC の内容です。	0x0	W

スクラッチまたはスペア・レジスタ

アドレス：0x76～0x79（インクリメントは1）、リセット：0x0000、レジスタ名：SCRATCHn

表 78. SCRATCHn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	SCRATCH_BITS	スクラッチまたはスペア・レジスタ・フィールド。	0x0	R/W

ジェネリック ID レジスタ

アドレス：0x7A、リセット：0x0000、レジスタ名：GENERIC_ID

表 79. GENERIC_ID レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
[2:0]	GENERIC_ID	汎用識別子。AD74416H の ID：0b110 = 6	0x0	R

シリコン・リビジョン・レジスタ

アドレス：0x7B、リセット：0x0002、レジスタ名：SILICON_REV

表 80. SILICON_REV レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
[7:0]	SILICON_REV_ID	シリコン・リビジョン ID。	0x2	R

シリコン ID 0 レジスタ

アドレス：0x7D、リセット：0x0000、レジスタ名：SILICON_ID0

表 81. SILICON_ID0 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:7]	RESERVED	予約済み。	0x0	R
[6:0]	UID0	一意の識別子 0。	0x0	R

レジスタ・マップ

シリコン ID 1 レジスタ

アドレス : 0x7E、リセット : 0x0000、レジスタ名 : SILICON_ID1

表 82. SILICON_ID1 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
[11:6]	UID2	一意の識別子 2。	0x0	R
[5:0]	UID1	一意の識別子 1。	0x0	R

レジスタ・マップ

HART モデム・レジスタ

次のレジスタ（アドレス 0x80～アドレス 0xC4）は HART モデム設定レジスタです。

HART 通信アラート・レジスタ

アドレス：0x80～0xB0（インクリメントは 16）、リセット：0x0020、レジスタ名：HART_ALERT_STATUSn

表 83. HART_ALERT_STATUSn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	FRM_MON_STATE	HART フレーム・モニタの状態。このフィールドは、フレーム・モニタの現在の状態を示します。 000：プリアンブル・バイトを受信中。 001：アドレス・バイトを受信中。 010：拡張バイトを受信中。 011：コマンド・バイトを受信中。 100：フレーム・サイズ・バイトを受信中。 101：ペイロード・データを受信中。 110：チェック・バイトを受信中。	0x0	R
12	EOM	メッセージ/フレームの終了を検出。このビットは、全てのフレームでチェック・バイトまで受信した場合にアサートされます。受信したフレームにギャップ・エラーがある場合は、EOM ビットはアサートされません。受信したバイトのいずれかでパリティ・エラーまたはフレーム・エラーがあってもこのビットはアサートされます。ただし、エラーがバイト・カウント・バイトにある場合は除きます。このビットをクリアするには、1 を書き込みます。	0x0	R/W1C
11	RX_BCNT	HART フレーム・ヘッダをバイト・カウントまで受信。RX FIFO にはフレームのヘッダが含まれています。このビットは、バイト・カウントまでのフレーム・ヘッダを受信した場合にアサートされます。受信バイトにギャップ・エラーがあると、このビットはアサートされません。バイト・カウント・バイトにパリティ・エラーまたはフレーム・エラーがある場合もこのビットはアサートされません。他の受信バイトのいずれかにパリティ・エラーまたはフレーム・エラーがあっても、このビットはアサートされます。このビットをクリアするには、1 を書き込みます。	0x0	R/W1C
10	RX_CMD	HART フレーム・ヘッダをコマンド・バイトまで受信。RX FIFO にはフレームのヘッダが含まれています。このビットは、コマンド・バイトまでのフレーム・ヘッダを受信した場合にアサートされます。受信バイトにギャップ・エラーがあると、このビットはアサートされません。他の受信バイトのいずれかにパリティ・エラーまたはフレーム・エラーがあっても、このビットはアサートされます。このビットをクリアするには、1 を書き込みます。	0x0	R/W1C
9	SOM	メッセージ/フレームの開始を検出。RX FIFO にはフレームのヘッダが含まれています。このビットは、少なくとも 2 つのプリアンブル・バイトと 1 つのデリミタが受信され、その受信バイトにエラーがない場合にアサートされます。このビットをクリアするには、1 を書き込みます。	0x0	R/W1C
8	CD	キャリア検出。このビットは CD 信号を直接反映します。これは ALERT ピンを駆動しません。そのため、対応する ALERT_HART_MASK ビットはありません。	0x0	R
7	CD_EDGE_DET	キャリア検出ステータス。CD ビットのエッジを検出するにはこのビットを使用します。CD_EDGE_SEL[1:0]を使用すると、CD の立下がり、立上がり、または任意のエッジがこのビットをアサートしたかどうかを判定できます。CD_EDGE_SEL の変更後は、次に選択したエッジ（立上がりまたは立下がり）がこのビットをアサートさせます。	0x0	R/W1C
6	TX_COMPLETE	送信完了。このビットは、Tx エンジンがバイトの最終ビットの送信を終了し、Tx FIFO にそれ以上バイトがない状態になると、アサートされます。	0x0	R/W1C
5	TX_FIFO_ALERT	設定した送信 FIFO 閾値に達しました。このビットは、TX FIFO のバイト数が COMFCR.TFTRIG に設定されている値以下になるとアサートされます。COMFCR.TFTRIG = 0 の場合、このビットは FIFO が空であることを示します。パワーアップ時 FIFO は空で COMFCR.TFTRIG は最大 8 にパワーアップするため、このビットはパワーアップ時は 1 になります。TFTRIG バイトより大きな値が Tx FIFO に書き込まれるとこのビットはデアサートされます。	0x1	R
4	RX_FIFO_ALERT	設定した受信 FIFO 閾値に達しました。	0x0	R
3	RX_OVERFLOW_ERR	Rx FIFO オーバーフロー。受信 FIFO が一杯であるため、受信バイトは受信 FIFO には書き込まれません。	0x0	R/W1C
2	FRAME_ERR	フレーム・エラーを受信。このビットは、受信した文字にフレーム・エラーが検出された場合にアサートされます。このビットをクリアするには、1 を書き込みます。	0x0	R/W1C
1	PARITY_ERR	パリティ・エラーを受信。このビットは、受信バイトでパリティ・エラーが検出された場合にアサートされます。このビットをクリアするには、1 を書き込みます。	0x0	R/W1C
0	GAP_ERR	ギャップ・エラー。このビットは、文字間に 1 文字分の時間（9ms）以上の間隔がある場合にアサートされます。これはフレームの最後にアサートされる場合もありますが、必ずしもそうなるとは限りません。つまり、フレームとフレームの間に 1 文字分のギャップがない場合もあります。このビットをクリアするには、1 を書き込みます。	0x0	R/W1C

レジスタ・マップ

HART 通信受信レジスタ

アドレス：0x81～0xB1（インクリメントは16）、リセット：0x0000、レジスタ名：HART_RXn

受信 FIFO はこのレジスタによって読み出されます。

SPI を介して Rx FIFO の内容をバースト読出しできます。バースト読出しがこのレジスタから始まる場合、ロジックは内部では次のアドレスにインクリメントしません。代わりに、ロジックは HART_RX レジスタのアドレスにとどまり、繰り返し Rx FIFO からの文字を返します。

このレジスタのアドレスが READ_SELECT レジスタに書き込まれる場合、HART UART ロジックへのクロックは自動的に有効化されます。そのため、UART の使用後は、READ_SELECT レジスタに HART_RX 以外のアドレスを書き込み、UART へのクロックを無効化して電力を節約してください。

表 84. HART_RXn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
11	RFGI	GAP インジケータ。RXD は、最後の文字を受信した後、最低 1 文字分の時間（11 ビット）だけハイ状態で検出されます。これは、この文字の前にギャップがあることを示します。RFGI は、リセットの終了後に受信した最初のフレームの最初のワードではセットされません。このビットは、フレームの前にギャップがある場合、後続の全ての受信フレームの開始時にアサートされます。	0x0	R
10	RFPE	Rx FIFO の先頭にある現在のバイトに関連するフレーム・エラー。	0x0	R
9	RFBI	Rx FIFO の先頭にある現在のバイトに関連するパリティ・エラー。	0x0	R
8	RFBF	ブレイク・インジケータ。RXD は、1 文字分の時間（11 ビット）だけロー状態で検出されます。これは、そのバイトに関連する空白が Rx FIFO の先頭にあることを示します。	0x0	R
[7:0]	RBR	受信バッファ・レジスタ。このレジスタを読み出すと、受信 FIFO の先頭の文字が返され、そのエントリが FIFO から取り出されます。	0x0	R

HART 通信送信レジスタ

アドレス：0x82～0xB2（インクリメントは16）、リセット：0x0000、レジスタ名：HART_TXn

送信 FIFO はこのレジスタによって書き込まれます。

表 85. HART_TXn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
[7:0]	TDR	送信データ・レジスタ。このレジスタに書き込みを行うと、TX FIFO に 1 バイトが加わりま	0x0	W

FIFO 制御レジスタ

アドレス：0x83～0xB3（インクリメントは16）、リセット：0x08C1、レジスタ名：HART_FCRn

表 86. HART_FCRn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予約済み。	0x0	R
[12:8]	TFTRIG	Tx FIFO のトリガ・レベル。割込みをトリガする Tx FIFO のレベルを設定します。Tx FIFO のフィル・レベルが設定レベル以下の場合、ALERT_HART_STATUS.TX_FIFO_ALERT が 1 になります。このビットが 1 の場合設定レベルは 1 バイト、2 の場合は 2 バイトです。	0x8	R/W

レジスタ・マップ

表 86. HART_FCRn レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[7:3]	RFTRIG	Rx FIFO のトリガ・レベル。割込みをトリガする Rx FIFO のレベルを設定します。Rx FIFO のフィル・レベルが設定レベル以上の場合、ALERT_HART_STATUS.RX_FIFO_ALERT が 1 になります。このビットが 1 の場合設定レベルは 1 バイト、2 の場合は 2 バイトです。	0x18	R/W
2	TFCLR	送信 FIFO をクリア。フレーム送信の最中に UART Tx FIFO がクリアされた場合、ホスト・ソフトウェアは、HART_ALERT_STATUS.TX_COMPLETE がアサートされるまで待機してから、別のフレームの送信を試行する必要があります。つまり、ホスト・ソフトウェアは、TX_COMPLETE がアサートされるまで Tx FIFO (HART_TX.TDR) に書き込みを行うことはできません。書き込みを行うと、HART_CONFIG.TX_PREM_CNT がゼロ以外の値の場合、次のフレームがブリアンブルなしに送信されます。代わりに、HART_CONFIG.TX_PREM_CNT に 0x0 を書き込み、続いて Tx FIFO にブリアンブル・バイトと次のフレームを書き込むことができます。この場合、FIFO に書き込みを行った後、TX_COMPLETE がアサートされたかどうかを確認してください。アサートされている場合、RTS は、フレーム送信を開始するよう再度設定する必要があります。TX_COMPLETE がアサートされていない場合は、フレーム送信は通常どおりに続行されます。	0x0	W
1	RFCLR	受信 FIFO をクリア。	0x0	W
0	FIFOEN	FIFO 有効化。	0x1	R/W

HART UART Tx 制御レジスタ

アドレス：0x84～0xB4（インクリメントは 16）、リセット：0x0000、レジスタ名：HART_MCRn

表 87. HART_MCRn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	RTS	送信要求。	0x0	R/W

RX FIFO バイト・カウント・レジスタ

アドレス：0x85～0xB5（インクリメントは 16）、リセット：0x0000、レジスタ名：HART_RFCn

表 88. HART_RFCn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予約済み。	0x0	R
[5:0]	RFC	受信 FIFO の文字数。Rx FIFO の深度は 32 文字です。	0x0	R

TX FIFO バイト・カウント・レジスタ

アドレス：0x86～0xB6（インクリメントは 16）、リセット：0x0000、レジスタ名：HART_TFCn

表 89. HART_TFCn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:6]	RESERVED	予約済み。	0x0	R
[5:0]	TFC	送信 FIFO のバイト数。Tx FIFO の深度は 32 バイトです。	0x0	R

HART 通信アラート・マスク・レジスタ

アドレス：0x87～0xB7（インクリメントは 16）、リセット：0x1EFF、レジスタ名：HART_ALERT_MASKn

これらのレジスタは、特定のステータス・ビットを ALERT_STATUS レジスタの HART_ALERT_A/B/C/D ステータス・ビットのアクティブ化からマスクするために用います。

このレジスタのマスク・ビットの位置は、HART_ALERT_STATUS レジスタの対応ステータス・ビットと同じです。

特定のフィールドをマスクするには、対応するマスク・ビットを 1 にセットします。

レジスタ・マップ

表 90. HART_ALERT_MASKn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:13]	RESERVED	予約済み。	0x0	R
12	EOM_MASK	EOM のマスク・ビット。	0x1	R/W
11	RX_BCNT_MASK	RX_BCNT のマスク・ビット。	0x1	R/W
10	RX_CMD_MASK	RX_CMD のマスク・ビット。	0x1	R/W
9	SOM_MASK	SOM のマスク・ビット。	0x1	R/W
8	RESERVED	予約済み。	0x0	R
7	CD_EDGE_DET_MASK	CD_EDGE のマスク・ビット。	0x1	R/W
6	TX_COMPLETE_MASK	TX_COMPLETE のマスク・ビット。	0x1	R/W
5	TX_FIFO_ALERT_MASK	TX_FIFO_ALERT のマスク・ビット。	0x1	R/W
4	RX_FIFO_ALERT_MASK	RX_FIFO_ALERT のマスク・ビット。	0x1	R/W
3	RX_OVERFLOW_ERR_MASK	RX_OVERFLOW_ERR のマスク・ビット。	0x1	R/W
2	FRAME_ERR_MASK	FRAME_ERR のマスク・ビット。	0x1	R/W
1	PARITY_ERR_MASK	PARITY_ERR のマスク・ビット。	0x1	R/W
0	GAP_ERR_MASK	GAP_ERR のマスク・ビット。	0x1	R/W

HART 対応設定レジスタ

アドレス：0x88～0xB8（インクリメントは 16）、リセット：0x0C30、レジスタ名：HART_CONFIGn

表 91. HART_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:14]	RESERVED	予約済み。	0x0	R
13	CD_EXTD_QUAL	CD 信号の品質評価の拡張を有効化。デフォルトでは、あるエネルギー・レベルにキャリアが達した場合に CD がアサートされます。このフィールドを 1 に設定すると、キャリア信号に対する追加の品質評価が可能になります。更に、4 つのゼロ交差点が CD のアサートの前に検出されなくてはなりません。これにより、CD ビットのアサートに対するレイテンシに 2 ビット分の時間が追加されます。	0x0	R/W
12	FRM_MON_RX_PREMX2	フレーム・モニタが 2 つのプリアンブル・バイトを受信することが必要です。デフォルトでは、プロトコル・モニタがフレームの開始を識別するために受信するプリアンブルは 1 バイトのみです。このフィールドを 1 に設定すると、プロトコル・モニタは 2 バイトのプリアンブルを受信することが必要になります。物理層では、モデムが 2 バイトのプリアンブルを（多くの場合破損バイトの後に）受信すると、受信ビット・ストリームを有効な開始ビットに同期するために少なくとも 2 バイトのプリアンブルが必要であるときに、プリアンブルの最初のバイトがドロップ／破損されます。したがって、プロトコル・モニタが観測するのは、1 バイトの有効プリアンブルのみである可能性があり、そのためこのフィールドは 0 にデフォルト設定されています。 0：フレーム・モニタが探すプリアンブルは 1 バイトのみです。 1：フレーム・モニタが必要とするプリアンブルは 2 バイトです。	0x0	R/W
11	FRM_MON_RST_GAP	ギャップが検出された場合にフレーム・モニタのリセットを有効化。 0：ギャップ検出時、フレーム・モニタはリセットされません。ギャップが検出されてもフレーム・モニタのステート・マシンはリセットされません。 1：ギャップ検出時、フレーム・モニタはリセットされます。ギャップが検出された場合、フレーム・モニタのステート・マシンはプリアンブル状態にリセットされます。	0x1	R/W
10	FRM_MON_RST_CD	CD がローの場合にフレーム・モニタのリセットを有効化。 0：CD がローの場合、フレーム・モニタはリセットされません。CD がローになってもフレーム・モニタのステート・マシンはリセットされません。 1：CD がローの場合、フレーム・モニタはリセットされます。CD がローになると、フレーム・モニタのステート・マシンはプリアンブル状態にリセットされます。	0x1	R/W
9	RX_ALL_CHARS	受信した全文字を Rx FIFO に書き込みます。このビットが 0 で FRM_MON_EN もセットされている場合、フレームからの有効な文字（フレーム・モニタによって判定）のみが Rx FIFO に書き込まれます。1 の場合は、受信する全ての文字が Rx FIFO に書き込まれます。	0x0	R/W
8	FRM_MON_EN	HART フレーム・モニタのステート・マシンをイネーブル。FRM_MON_EN がセットされている場合、フレームからの有効な文字（フレーム・モニタによって判定）のみが Rx FIFO に書き込まれます。 2 バイト以上の有効なプリアンブルが最初に受信されるまで、受信 FIFO には文字が書き込まれません。つまり、デリミタ・フィールドが、受信 FIFO に書き込まれるフレームの最初のバイトになります。	0x0	R/W

レジスタ・マップ

表 91. HART_CONFIGn レジスタのビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[7:6]	EVENT_DET_SEL	EVENT_DET_TIME カウンタを開始するため EOM または SOM を選択します。 00：受信時に EOM を検出したときにイベント・カウントを開始。 01：受信時に SOM を検出したときにイベント・カウントを開始。 10：Tx 完了を検出したときにイベント・カウントを開始。 11：CDのエッジを検出したときにイベント・カウントを開始。CD_EDGE_SEL の設定に従います。	0x0	R/W
5	TX_1B_AFTER_RTS	RTS をセットしてから 1 ビット分の時間後に送信を開始。このビットが 1 の場合、フレーム送信は、RTS がアサートされてから 1 ビット分の時間後（1200 ボーの場合）に開始され、Tx FIFO にはデータがあります。この設定により、受信モデムがキャリアを有効化するのに 1 ビット分の時間が与えられます。0 の場合、RTS の値に関わらず、データが TX FIFO に書き込まれた直後にフレーム送信が開始されます。	0x1	R/W
4	AUTO_CLR_RTS	RTS の自動クリア。このビットが 1 の場合、フレーム送信が完了すると（つまり、Tx FIFO の最終ワードが送信されると）、RTS 信号は自動的にデアサートされ、HART_MCR.RTS は 0 になります。このビットが 0 の場合、HART_MCR.RTS はフレーム送信の最後で 0 にはならず、RTS 信号はアサートされたままになります。この場合、ソフトウェアは、HART_MCR.RTS に 0 を書き込むことで RTS 信号をデアサートする必要があります。	0x1	R/W
[3:2]	CD_EDGE_SEL	キャリア検出のエッジ検出選択。 00：立下がりエッジを検出。 01：立上がりエッジを検出。 10：任意のエッジを検出。 11：エッジ検出を無効化。	0x0	R/W
1	MODEM_DUPLEX	HART モデムを二重モードで有効化。これにより、モデムのループバック・テストが可能になります。	0x0	R/W
0	MODEM_PWRUP	HART モデムをパワーアップ。	0x0	R/W

HART 送信プリアンブル・カウント・レジスタ

アドレス：0x89～0xB9（インクリメントは 16）、リセット：0x0005、レジスタ名：HART_TX_PREMn

表 92. HART_TX_PREMn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予約済み。	0x0	R
[4:0]	TX_PREM_CNT	Tx のプリアンブル・カウント。フレームの初めに送信するプリアンブル・バイトの数を示します。このビットが 0 の場合、プリアンブル・バイトは、Tx FIFO に直接書き込む必要があります。	0x5	R/W

HART イベント検出時間レジスタ

アドレス：0x8A～0xBA（インクリメントは 16）、リセット：0x0000、レジスタ名：HART_EVDETn

表 93. HART_EVDETn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	EVENT_DET_TIME	イベントが検出されてからの経過時間。Rx EOM、Rx SOM、CD エッジ、または TX_COMPLETE が検出されてからの時間を示します。カウンタは 3.255 μ s ステップ（307.2kHz）でインクリメントします。カウンタは、EOM、SOM、CD エッジ（EVENT_DET_SEL 参照）または TX_COMPLETE を検出するとインクリメントを開始します。インクリメントは 0xFFFF に達するまで行われます。他のイベントが検出されるまで 0xFFFF を維持します。カウンタが測定できる最大継続時間は 213ms です。FRM_MON_EN が 0 になるとカウンタはクリアされます。このカウンタにより、ソフトウェアを用いて HART フレームの開始または終了のタイミングをより正確に判定できるようになります。	0x0	R

レジスタ・マップ

チャンネルごとの HART リセット・レジスタ

アドレス：0x8C～0xBC（インクリメントは 16）、リセット：0x0000、レジスタ名：HART_CH_RESETh

表 94. HART_CH_RESETh レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	HRST	HART チャンネルのリセット。このフィールドを 1 に設定すると、モデムの HART の Tx および Rx の経路、およびチャンネル用の UART レジスタと HART レジスタがリセットされます。このフィールドに 1 を書き込んだ後、チャンネル用の HART ロジックに対するリセットを解除するには 0 を書き込む必要があります。	0x0	R/W

GPIO ピンをモデムまたは UART にインターフェースするよう設定するレジスタ

アドレス：0xC0、リセット：0x0000、レジスタ名：HART_GPIO_IF_CONFIG

モデムまたは UART にインターフェースするには、4 本の GPIO ピンを用います。GPIO ピンは一度に 1 つのチャンネルにのみインターフェースするよう設定します。

表 95. HART_GPIO_IF_CONFIG レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
[3:2]	HART_GPIO_IF_CH	GPIO ピンによってインターフェースする HART チャンネルを選択。 00：チャンネル A を選択。 01：チャンネル B を選択。 10：チャンネル C を選択。 11：チャンネル D を選択。	0x0	R/W
[1:0]	HART_GPIO_IF_SEL	4 本の GPIO ピンをモデムまたは UART にインターフェースするよう設定。このレジスタは、GPIO_CONFIG レジスタおよび HART_GPIO_MON_CONFIG レジスタよりも高優先度です。SEL_IF_MODEM または SEL_IF_UART に設定した場合、GPIO_CONFIG および HART_GPIO_MON_CONFIG の設定はオーバーライドされます。このフィールドを 0x3 にプログラムした場合、GPIO ピンは HART モデムや UART には接続されません。 00：GPIO ピンは、HART モデムにも UART にも接続されません。 01：4 本の GPIO ピンによって HART モデムにインターフェース。HART_GPIO_IF_CH によって、どのチャンネルのモデムを GPIO ピンに接続するかが決まります。このモードでは、SPI と UART を接続する内部インターフェースは無効化され、GPIO ピンは HART モデムとのインターフェースに用いられます。GPIO A：CD 出力、GPIO B：RXD 出力、GPIO C：TXD 入力、GPIO D：RTS 入力、このオプションは、モデムの適合度テストに用いられます。 10：4 本の GPIO ピンによって UART にインターフェース。HART_GPIO_IF_CH によって、どのチャンネルの UART を GPIO ピンに接続するかが決まります。GPIO A：CD 入力、GPIO B：RXD 入力、GPIO C：TXD 出力、GPIO D：RTS 出力、このオプションは、GPIO ピンによる UART へのソフトウェア・インターフェースをテストするために用いられます。このオプションを選択する場合、モデムへの RTS 信号および TXD 信号は 0 に保持される点に注意してください。	0x0	R/W

GPIO ピンを HART 信号をモニタするよう設定するレジスタ

アドレス：0xC1～0xC4（インクリメントは 1）、リセット：0x0000、レジスタ名：HART_GPIO_MON_CONFIGn

4 本の GPIO ピンに対し GPIO ピンごとにレジスタが備わっており、これらのレジスタは各 GPIO ピンが 4 つの UART インターフェース信号の 1 つをモニタするよう、または、3 つの HART ステータス・ビットの 1 つをモニタするよう、個別に設定できます。

HART_GPIO_MON_CONFIG[0]：GPIO_A の設定に使用。

HART_GPIO_MON_CONFIG[1]：GPIO_B の設定に使用。

HART_GPIO_MON_CONFIG[2]：GPIO_C の設定に使用。

HART_GPIO_MON_CONFIG[3]：GPIO_D の設定に使用。

レジスタ・マップ

表 96. HART_GPIO_MON_CONFIGn レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:5]	RESERVED	予約済み。	0x0	R
[4:3]	HART_GPIO_MON_CH	GPIO ピンがモニタするチャンネルを設定。HART_GPIO_MON_SEL と共に使用します。 00 : チャンネル A を選択。 01 : チャンネル B を選択。 10 : チャンネル C を選択。 11 : チャンネル D を選択。	0x0	R/W
[2:0]	HART_GPIO_MON_SEL	HART ロジックの信号をモニタするよう GPIO ピンを設定。HART_GPIO_MON_CH と共に使用します。このレジスタは、ピンに対し GPIO_CONFIG[n] レジスタより優先されます。MON_NONE 以外に設定した場合は、対応する GPIO_CONFIG[n] レジスタの設定はオーバーライドされます。 0 : この GPIO ピンのモニタリングは行いません。 1 : CD 信号をモニタ。 2 : RXD 信号をモニタ。 3 : TXD 信号をモニタ。 4 : RTS 信号をモニタ。 5 : HART_ALERT_STATUS[n].EOM 信号をモニタ。 6 : HART_ALERT_STATUS[n].SOM 信号をモニタ。 7 : HART_ALERT_STATUS[n].TX_COMPLETE 信号をモニタ。	0x0	R/W

外形寸法

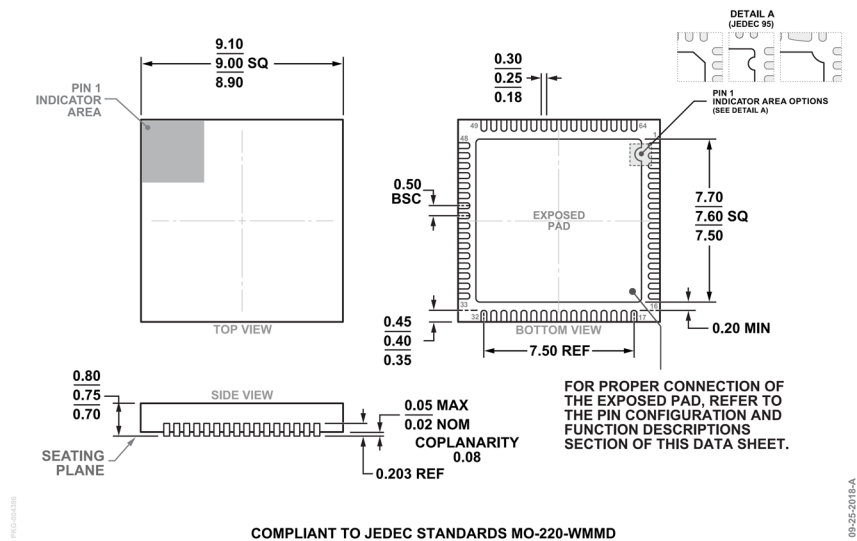


図 62. 64 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
9mm × 9mm ボディ、0.75mm パッケージ高
(CP-64-15)
寸法 : mm

更新 : 2025 年 3 月 31 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD74416HBCPZ	-40°C to +105°C	64-Lead Lead Frame Chip-Scale Package [LFCSP]	Tray, 260	CP-64-15
AD74416HBCPZ-RL7	-40°C to +105°C	64-Lead Lead Frame Chip-Scale Package [LFCSP]	Reel7, 750	CP-64-15

¹ Z = RoHS 適合製品。

評価用ボード

Evaluation Board ¹	Description
EV-AD74416H-ARDZ	Evaluation Board

¹ Z = RoHS 適合製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 9 月 3 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 9 月 3 日

製品名： MAX77416H

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 23 頁、表 18 ピン機能の説明（続き）、48 番ピンの説明欄

【誤】

「チャンネル B の電圧または電流フォース・ピン。・・・」

【正】

「チャンネル D の電圧または電流フォース・ピン。・・・」