



絶縁型シグマ・デルタ (Σ - Δ) 変調器

データシート

AD7401

特長

- 最大 20MHz の外部クロック・レート
- 2 次変調器
- 16 ビットのノー・ミス・コード
- 16 ビットで ± 2 LSB (代表値) の INL
- 最大 $3.5\mu\text{V}/^\circ\text{C}$ のオフセット・ドリフト
- 内蔵デジタル・アイソレータ
- 内蔵リファレンス
- 低消費電力動作 : 5.25V で最大 20mA
- 動作温度範囲 : $-40^\circ\text{C}\sim+105^\circ\text{C}$
- 16 ピン SOIC パッケージ
- 安全性と規制に対する認定
 - UL 認定
 - 1 分間で 5000V (実効値)、UL 1577 規格に準拠
 - CSA Component Acceptance Notice #5A に準拠
 - VDE 適合性認定
 - DIN V VDE V 0884-10 (VDE V 0884-10):2006-12
 - $V_{\text{IORM}} = 891\text{V peak}$

アプリケーション

- AC モータ制御
- データ・アキュイジション・システム
- A/D + フォト・アイソレータの置き換え

概要

AD7401¹ は、アナログ入力信号を高速の 1 ビット・データ・ストリームに変換する 2 次シグマ・デルタ (Σ - Δ) 変調器で、アナログ・デバイゼスの *iCoupler*[®] 技術を基盤とするオンチップ・デジタル・アイソレーション回路を内蔵しています。AD7401 は 5V の電源電圧で動作し、 $\pm 200\text{mV}$ (フルスケールで $\pm 320\text{mV}$) の差動入力信号に対応します。アナログ入力は、アナログ変調器によって連続的にサンプリングされ、外部サンプル&ホールド回路は不要となります。入力情報は、最大 20MHz のデータ・レートを持つ信号 1 の密度として出力ストリームに含まれます。元の情報は適切なデジタル・フィルタを用いて再構築できます。シリアル入出力は 5V または 3V 電源 (V_{DD2}) を使用できます。

シリアル・インターフェースはデジタル的に絶縁されています。高速 CMOS とモノリシック空芯コア・トランス技術との組み合わせにより、フォトカプラ・デバイスなどの置換品に比べ優れたオンチップ・アイソレーション性能が実現できます。また、デバイスはオンチップ・リファレンスを備えています。AD7401 は 16 ピン SOIC で提供され、動作温度範囲は $-40^\circ\text{C}\sim+105^\circ\text{C}$ です。

内部クロック・バージョンである AD7400 も用意されています。

¹ 米国特許 5,952,849、6,873,065、7,075,329 により保護されています。

機能ブロック図

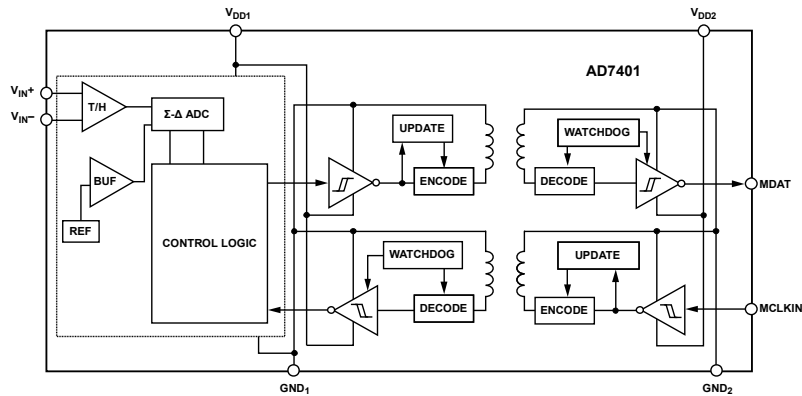


図 1.

Rev. F

DOCUMENT FEEDBACK

TECHNICAL SUPPORT

アナログ・デバイゼスは、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイゼスの特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	用語の定義	12
アプリケーション	1	動作原理	13
概要	1	回路説明	13
機能ブロック図	1	アナログ入力	13
改訂履歴	2	差動入力	14
仕様	3	デジタル・フィルタ	15
タイミング仕様	4	アプリケーション情報	17
絶縁および安全性関連の仕様	5	グラウンディングとレイアウト	17
適用規格	5	AD7401 の性能評価	17
DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性	6	絶縁寿命	17
絶対最大定格	7	外形寸法	18
ESD に関する注意	7	オーダー・ガイド	18
ピン配置およびピン機能の説明	8		
代表的な性能特性	9		
改訂履歴			
4/2018—Rev. E to Rev. F		9/2007—Rev. A to Rev. B	
Changes to Table 3 and Table 4	5	Updated VDE Certification Throughout	1
		Changes to Table 6	7
12/2015—Rev. D to Rev. E			
Changes to Ordering Guide	18	12/2006—Rev. 0 to Rev. A	
		Changes to Features and General Description	1
7/2011—Rev. C to Rev. D		Changes to Table 1	3
Changes to Minimum External Air Gap (Clearance) Parameter, Table 3		Changes to Table 2	4
and Minimum External Tracking (Creepage) Parameter, Table 3	5	Changes to Table 6	7
Changes to Figure 5; Pin 1 Description, Table 8; and Pin 7 Description,		Changes to Table 8	8
Table 8	8	Changes to Circuit Information Section	13
		Changes to Figure 27	15
1/2011—Rev. B to Rev. C			
Changes to Features Section	1	1/2006—Revision 0: Initial Version	
Changes to Input-to-Output Momentary Withstand Voltage Parameter,			
Table 3, UL Column, Table 4, and Note 1, Table 4	5		
Changes to Ordering Guide	18		

仕様

特に指定のない限り、 $V_{DD1} = 4.5V \sim 5.25V$ 、 $V_{DD2} = 3V \sim 5.5V$ 、 $V_{IN+} = -200mV \sim +200mV$ 、 $V_{IN-} = 0V$ （シングルエンド）、 $T_A = T_{MIN} \sim T_{MAX}$ 、 $f_{MCLK} = 16MHz$ （最大値）、テストには Verilog コードに記載のとおり、Sinc³フィルタを使用、デジメーション・レート = 256。

表 1.

パラメータ	Yバージョン ^{1,2}	単位	テスト条件/コメント
STATIC PERFORMANCE			
Resolution	16	Bits min	フィルタ出力は 16 ビットに切り詰め
Integral Nonlinearity ³	±15	LSB max	-40°C ~ +85°C、±2LSB（代表値）、 $f_{MCLK} = 20MHz$ （最大値） ⁴
	±25	LSB max	>85°C ~ 105°C
Differential Nonlinearity ³	±55	LSB max	$f_{MCLK} = 20MHz$ （最大値） ⁴ 、 $V_{IN+} = -250mV \sim +250mV$
	±0.9	LSB max	16 ビットまでのノー・ミス・コードを確保、 $f_{MCLK} = 20MHz$ （最大値） ⁴ 、 $V_{IN+} = -250mV \sim +250mV$
Offset Error ³	±0.6	mV max	$f_{MCLK} = 20MHz$ （最大値） ⁴ 、 $V_{IN+} = -250mV \sim +250mV$
	±50	μV typ	$T_A = 25°C$
Offset Drift vs. Temperature	3.5	μV/°C max	-40°C ~ +105°C
	1	μV/°C typ	
Offset Drift vs. V_{DD1}	120	μV/V typ	
Gain Error ³	±1.6	mV max	-40°C ~ +85°C
	±2	mV max	>85°C ~ 105°C
Gain Error Drift vs. Temperature	±1	mV typ	$f_{MCLK} = 20MHz$ （最大値） ⁴ 、 $V_{IN+} = -250mV \sim +250mV$
	23	μV/°C typ	-40°C ~ +105°C
Gain Error Drift vs. V_{DD1}	110	μV/V typ	
ANALOG INPUT			
Input Voltage Range	±200	mV min/mV max	仕様規定された性能の場合、フル・レンジは±320mV
Dynamic Input Current	±9	μA max	$V_{IN+} = 400mV$ 、 $V_{IN-} = 0V$
DC Leakage Current	±0.5	μA max	
Input Capacitance	10	pF typ	
DYNAMIC SPECIFICATIONS			
Signal-to-(Noise + Distortion) Ratio (SINAD) ³	70	dB min	$V_{IN+} = 5kHz$ 、400mV p-p のサイン波 -40°C ~ +85°C、 $f_{MCLK} = 9MHz \sim 20MHz$ ⁴
	68	dB min	-40°C ~ +85°C、 $f_{MCLK} = 5MHz \sim <9MHz$
	65	dB min	>85°C ~ 105°C
	65	dB min	$f_{MCLK} = 20MHz$ （最大値） ⁴ 、 $V_{IN+} = -250mV \sim +250mV$
Signal-to-Noise Ratio (SNR)	81	dB typ	
	80	dB min	-40°C ~ +105°C、82dB（代表値）
Total Harmonic Distortion (THD) ³	80	dB min	$f_{MCLK} = 20MHz$ （最大値） ⁴ 、 $V_{IN+} = -250mV \sim +250mV$
	-92	dB typ	$f_{MCLK} = 20MHz$ （最大値） ⁴ 、 $V_{IN+} = -250mV \sim +250mV$
Peak Harmonic or Spurious Noise (SFDR) ³	-92	dB typ	
Effective Number of Bits (ENOB) ³	11.5	Bits	
Isolation Transient Immunity ³	25	kV/μs min	
	30	kV/μs typ	
LOGIC INPUTS			
Input High Voltage, V_{IH}	$0.8 \times V_{DD2}$	V min	
Input Low Voltage, V_{IL}	$0.2 \times V_{DD2}$	V max	
Input Current, I_{IN}	±0.5	μA max	
Input Capacitance, C_{IN}^5	10	pF max	

パラメータ	Yバージョン ^{1,2}	単位	テスト条件/コメント
LOGIC OUTPUTS			
Output High Voltage, V_{OH}	$V_{DD2} - 0.1$	V min	$I_O = -200\mu A$
Output Low Voltage, V_{OL}	0.4	V max	$I_O = +200\mu A$
POWER REQUIREMENTS			
V_{DD1}	4.5/5.25	V min/V max	$V_{DD1} = 5.25V$ $V_{DD2} = 5.5V$ $V_{DD2} = 3.3V$
V_{DD2}	3/5.5	V min/V max	
I_{DD1} ⁶	12	mA max	
I_{DD2} ⁷	8	mA max	
	4	mA max	

¹ 温度範囲は-40°C~+85°C。

² すべての電圧は、それぞれのグラウンドを基準とします。

³ 用語の定義のセクションを参照してください。

⁴ $f_{MCLK} > 16MHz \sim 20MHz$ の場合、マークのスペース比は 48/52~52/48、 $V_{DD1} = V_{DD2} = 5V \pm 5\%$ 、 $T_A = -40^\circ C \sim +85^\circ C$ 。

⁵ 初期リリース時のサンプル・テストにより、適合性が確保されています。

⁶ 図 15 参照。

⁷ 図 17 参照。

タイミング仕様

特に指定のない限り、 $V_{DD1} = 4.5V \sim 5.25V$ 、 $V_{DD2} = 3V \sim 5.5V$ 、 $T_A = T_{MAX} \sim T_{MIN}$ 。¹

表 2.

パラメータ	T_{MIN} 、 T_{MAX} でのリミット	単位	概要
f_{MCLKIN} ^{2,3}	20	MHz max	マスタ・クロック入力周波数
	5	MHz min	マスタ・クロック入力周波数
t_1 ⁴	25	ns max	MCLK 立ち上がりエッジ後のデータ・アクセス時間
t_2 ⁴	15	ns min	MCLK 立ち上がりエッジ後のデータ・ホールド時間
t_3	$0.4 \times t_{MCLKIN}$	ns min	マスタ・クロック・ロー時間
t_4	$0.4 \times t_{MCLKIN}$	ns min	マスタ・クロック・ハイ時間

¹ 初期リリース時のサンプル・テストにより、適合性が確保されています。

² クロック入力のマーク・スペース比は、 f_{MCLKIN} が 16MHz 以下の場合は 40/60~60/40、 $f_{MCLKIN} > 16MHz \sim 20MHz$ の場合は 48/52~52/48。

³ $V_{DD1} = V_{DD2} = 5V \pm 5\%$ ($f_{MCLKIN} > 16MHz \sim 20MHz$)。

⁴ 図 2 の負荷回路で測定。出力が 0.8V または 2.0V と交差するまでに必要な時間として定義。

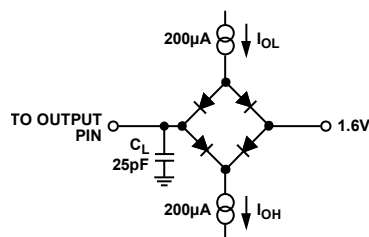


図 2. デジタル出力タイミング仕様の負荷回路

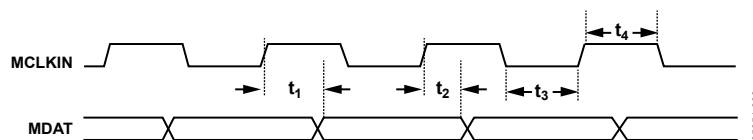


図 3. データのタイミング

絶縁および安全性関連の仕様

表 3.

パラメータ	記号	値	単位	条件
Input-to-Output Momentary Withstand Voltage	V_{ISO}	5000 min	V rms	1 分間持続
Minimum External Air Gap (Clearance)	L(I01)	7.8 ^{1,2} min	mm	入力端子から出力端子までを測定、空気中の最短距離
Minimum External Tracking (Creepage)	L(I02)	7.8 ^{1,2} min	mm	入力端子から出力端子までを測定、ボディに沿った最短距離
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	絶縁体を介した絶縁距離
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		材料グループ (DIN VDE 0110, 1/89、表 I)

¹ 汚染度 2 および標高 2000m 以下での沿面距離とクリアランス距離の測定に関する IEC 60950-1 ガイドラインに準拠。

² クリアランスに必要な最小距離を確保するために、パッドのレイアウトを考慮する必要があります。

適用規格

表 4.

UL ¹	CSA	VDE ²
1577 Component Recognition Program により認定 ¹	CSA Component Acceptance Notice #5A により認定	DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 により認定 ²
5000V rms の絶縁電圧	CSA 60950-1-07 および IEC 60950-1 に 準拠した基本絶縁、780V rms の最大 動作電圧。 CSA 60950-1-03 および IEC 60950-1 に 準拠した強化絶縁、390V rms の最大 動作電圧。	DIN V VDE V 0884-10 (VDE V 0884-10):2006-12 準拠した強化絶 縁、891V peak
ファイル E214100	ファイル 205078	ファイル 2471900-4880-0001

¹ UL 1577 に従い、それぞれの AD7401 には、6000V rms 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています (電流リーク検出の規定値 = 15 μ A)。

² DIN V VDE V 0884-10 に従い、各 AD7401 は、1671V peak 以上の絶縁試験電圧を 1 秒間かける試験でテストされています (部分放電検出の制限値 = 5pC)。

DIN V VDE V 0884-10 (VDE V 0884-10) 絶縁特性

このアイソレータは、安全限界データ範囲内の強化絶縁にのみ適しています。安全性データの維持は、保護回路によって確保されます。

表 5.

概要	記号	特性	単位
DIN VDE 0110 による設置分類 定格主電源電圧 ≤ 300V rms 定格主電源電圧 ≤ 450V rms 定格主電源電圧 ≤ 600V rms		I-IV I-II I-II	
耐候性カテゴリ		40/105/21	
汚染度 (DIN VDE 0110、表 1)		2	
最大動作絶縁電圧	V_{IORM}	891	V peak
入力～出力テスト電圧、メソッド B1 $V_{IORM} \times 1.875 = V_{PR}$ 、100%出荷テスト、 $t_m = 1$ 秒、部分放電 < 5pC	V_{PR}	1671	V peak
入力～出力テスト電圧、メソッド A 環境テスト・サブグループ 1 に準拠 $V_{IORM} \times 1.6 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 < 5pC	V_{PR}	1426	V peak
入力および/または安全テスト・サブグループ 2 およびサブグループ 3 に準拠 $V_{IORM} \times 1.2 = V_{PR}$ 、 $t_m = 60$ 秒、部分放電 < 5pC		1069	V peak
最大許容過電圧 (トランジエント過電圧、 $t_{TR} = 10$ 秒)	V_{TR}	6000	V peak
安全限界値 (故障発生時に許容される最大値、図 4 も参照)			
ケース温度	T_S	150	°C
サイド 1 電流	I_{S1}	265	mA
サイド 2 電流	I_{S2}	335	mA
T_S における絶縁抵抗、 $V_{IO} = 500V$	R_S	>10 ⁹	Ω

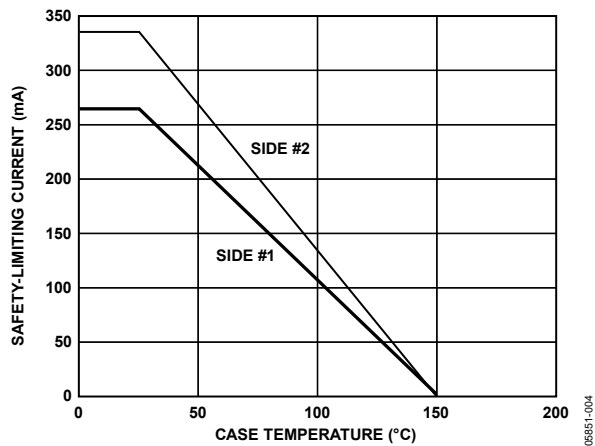


図 4. 熱デレーティング曲線、DIN V VDE V 0884-10 による安全限界電力のケース温度への依存性

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。すべての電圧は、それぞれのグラウンドを基準とします。

表 6.

Parameter	Rating
V_{DD1} to GND_1	-0.3 V to +6.5 V
V_{DD2} to GND_2	-0.3 V to +6.5 V
Analog Input Voltage to GND_1	-0.3 V to $V_{DD1} + 0.3$ V
Digital Input Voltage to GND_2	-0.3 V to $V_{DD1} + 0.5$ V
Output Voltage to GND_2	-0.3 V to $V_{DD2} + 0.3$ V
Input Current to Any Pin Except Supplies ¹	± 10 mA
Operating Temperature Range	-40°C to $+105^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
SOIC Package	
θ_{JA} Thermal Impedance	89.2°C/W
θ_{JC} Thermal Impedance	55.6°C/W
Resistance (Input to Output), R_{I-O}	$10^{12} \Omega$
Capacitance (Input to Output), C_{I-O} ²	1.7 pF typ
Lead-Free Temperature, Soldering	
Reflow	260 (+0)°C
ESD	1.5 kV

¹ 100mA 以下の過渡電流では SCR ラッチ・アップは生じません。

² $f = 1$ MHz.

上記の絶対最大定格以上のストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 7. 最大の連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V_{PK}	50-year minimum lifetime
AC Voltage, Unipolar Waveform	891	V_{PK}	Maximum CSA/VDE approved working voltage
DC Voltage	891	V	Maximum CSA/VDE approved working voltage

¹ 絶縁バリアに加わる連続電圧の大きさを意味します。詳細については、[絶縁寿命](#)のセクションを参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

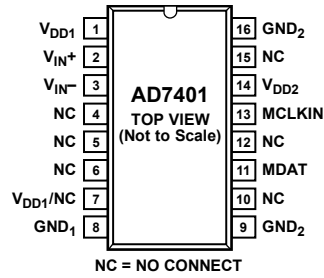


図 5. ピン配置

表 8. ピン機能の説明

ピン番号	記号	概要
1	V _{DD1}	電源電圧。4.5V～5.25V。これは AD7401 の絶縁側の電源電圧で、GND ₁ を基準にします。
2	V _{IN+}	正側アナログ入力。仕様規定範囲 : ±200mV。
3	V _{IN-}	負側アナログ入力。通常は GND ₁ に接続。
4 to 6, 10, 12, 15	NC	接続なし。
7	V _{DD1} /NC	電源電圧。4.5V～5.25V。これは AD7401 の絶縁側の電源電圧で、GND ₁ を基準にします。 接続なし (NC)。必要に応じ、ピン 7 はフロート状態にすることができます。グラウンドには接続しないでください。電源電圧がピン 1 に印加されていれば、AD7401 は正常に動作します。
8	GND ₁	グラウンド 1。このピンは、絶縁側のすべての回路のグラウンド基準点です。
9, 16	GND ₂	グラウンド 2。このピンは、非絶縁側のすべての回路のグラウンド基準点です。
11	MDAT	シリアル・データ出力。シングルビット変調器の出力データが、このピンにシリアル・データ・ストリームとして出力されます。これらのビットは MCLKIN 入力の立上がりエッジでクロック出力され、MCLKIN の次の立上がりエッジで有効になります。
13	MCLKIN	マスタ・クロック・ロジック入力。最大 20MHz。変調器からのビット・ストリームは、MCLKIN の立上がりエッジで有効になります。
14	V _{DD2}	電源電圧。3V～5.5V。これは非絶縁側の電源電圧で、GND ₂ を基準にします。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ で、25kHzのブリック・ウォール・フィルタを使用。

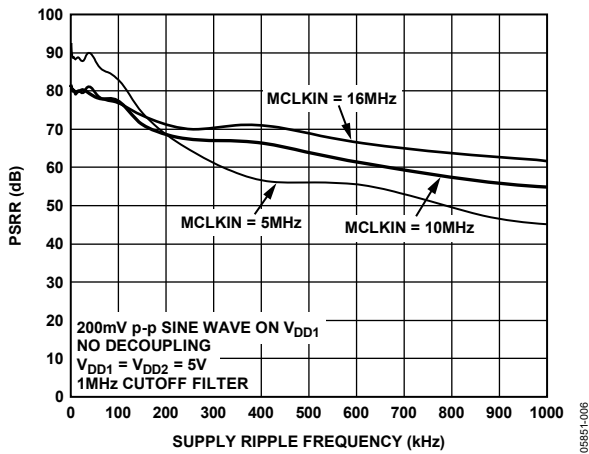


図 6. PSRR と電源リップル周波数の関係
(電源のデカップリングがない場合)

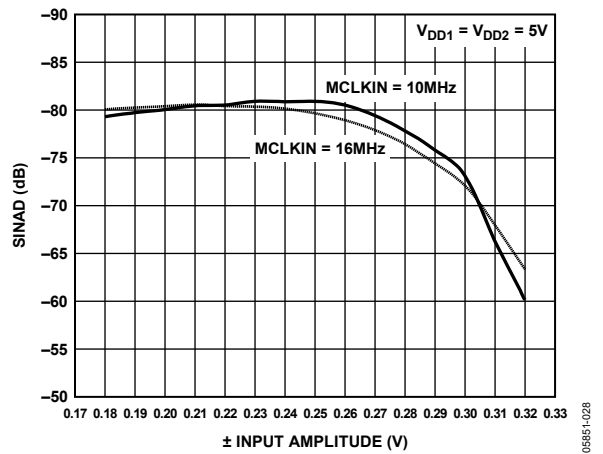


図 9. SINAD と V_{IN} の関係

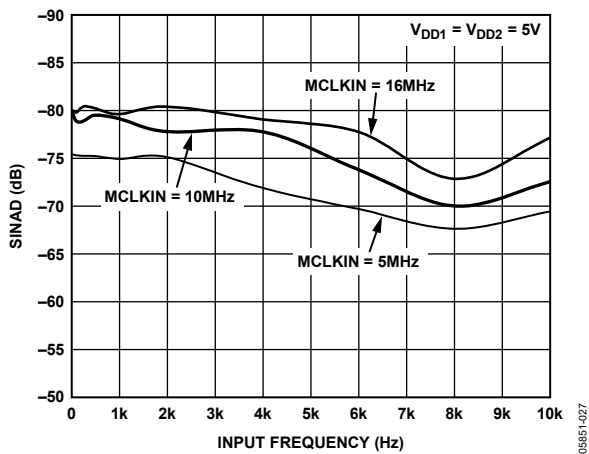


図 7. SINAD とアナログ入力周波数の関係

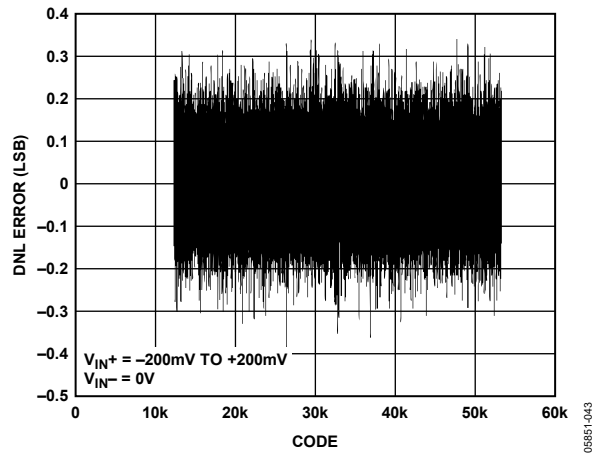


図 10. 代表的な DNL ($\pm 200\text{mV}$ レンジ)

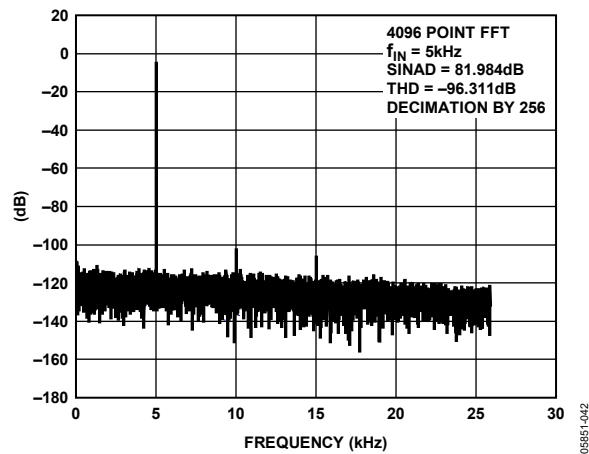


図 8. 代表的な FFT ($\pm 200\text{mV}$ レンジ)

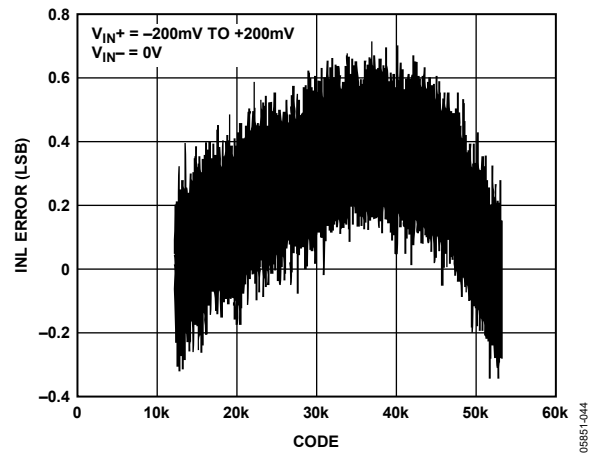


図 11. 代表的な INL ($\pm 200\text{mV}$ レンジ)

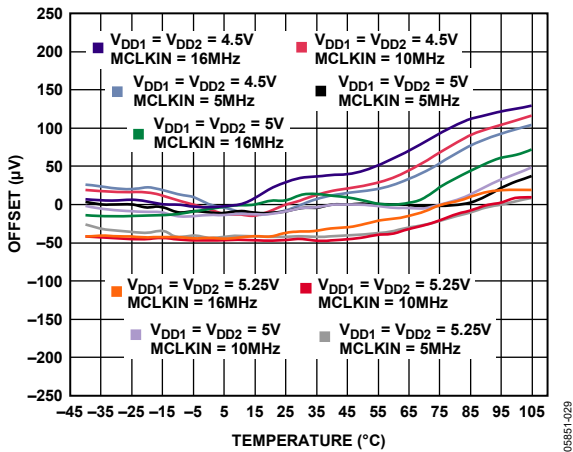


図 12. 異なる電源電圧でのオフセット・ドリフトと温度の関係

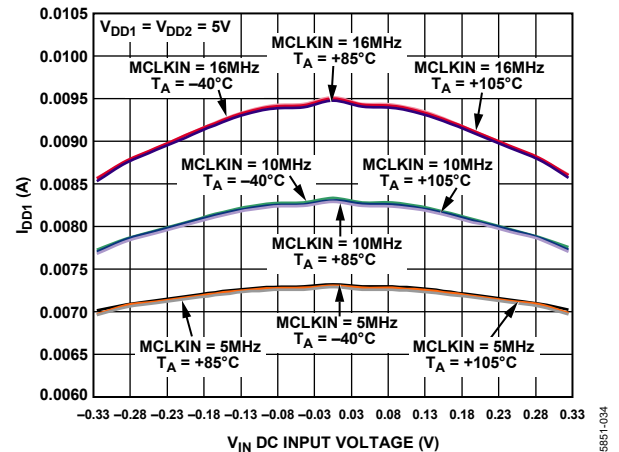


図 15. 異なる温度での I_{DD1} と V_{IN} の関係

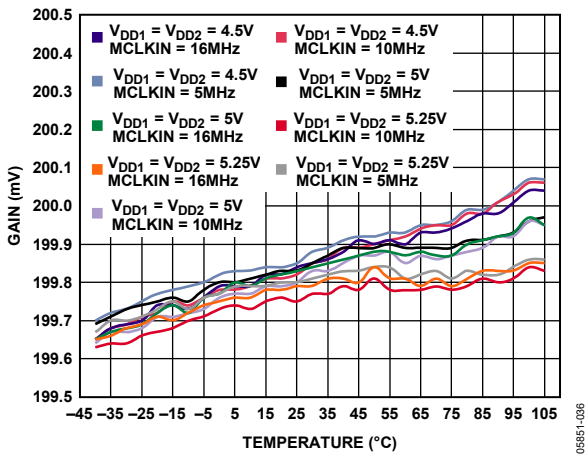


図 13. 異なる電源電圧でのゲイン誤差ドリフトと温度の関係

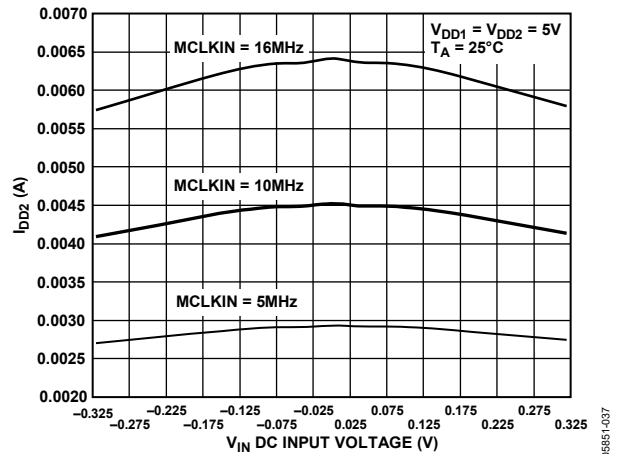


図 16. I_{DD2} と V_{IN} DC 入力電圧の関係

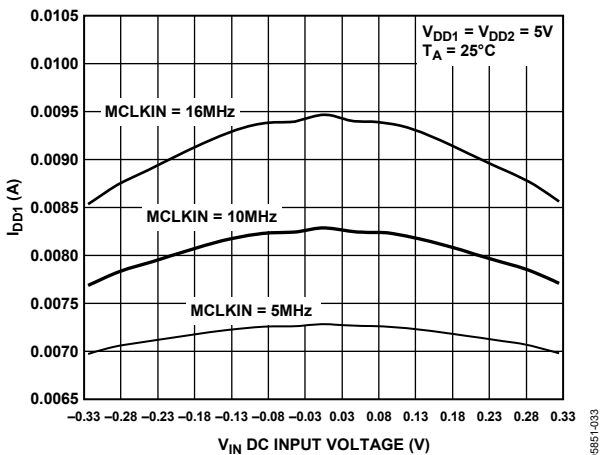


図 14. I_{DD1} と V_{IN} DC 入力電圧の関係

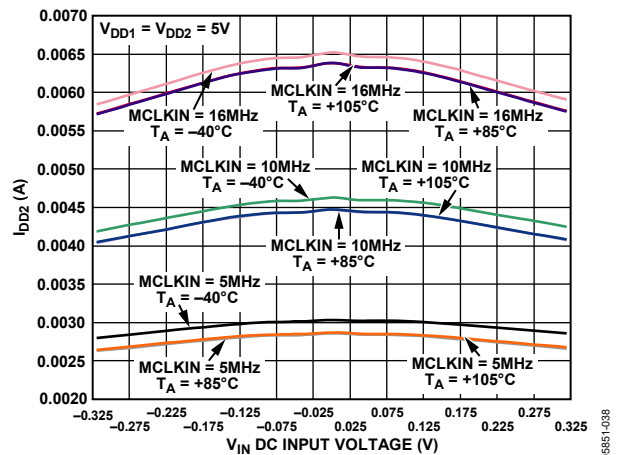


図 17. 異なる温度での I_{DD2} と V_{IN} の関係

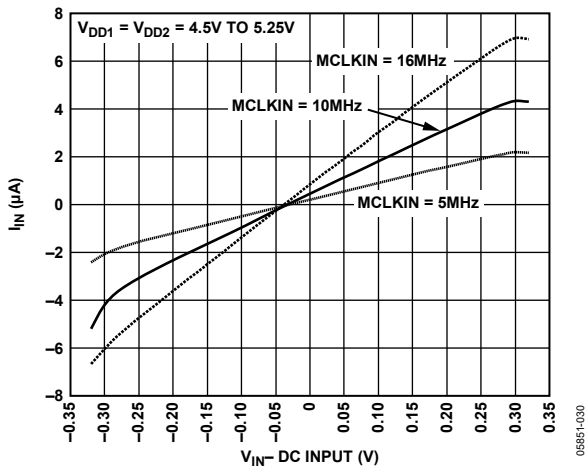


図 18. I_{IN} と V_{IN} -DC 入力の関係

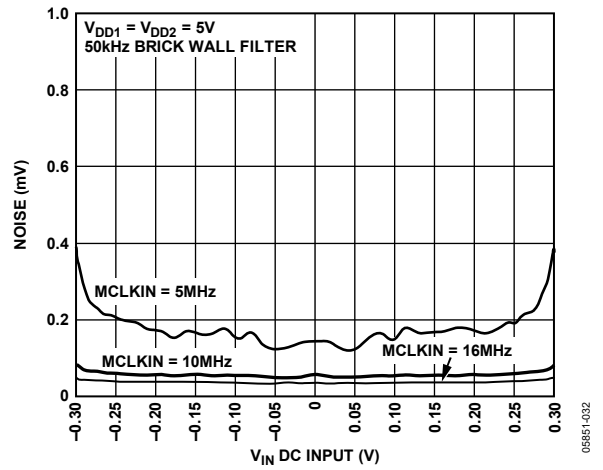


図 20. 実効値ノイズ電圧と V_{IN} DC 入力の関係

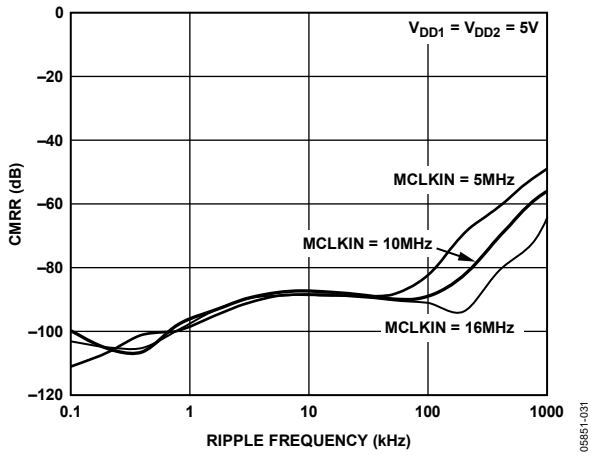


図 19. CMRR とコモンモード・リップル周波数の関係

用語の定義

微分非直線性

微分非直線性は、ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差です。

積分非直線性

積分非直線性は、ADC の伝達関数の両エンドポイントを結ぶ直線からの最大偏差です。伝達関数のエンドポイントは、負のフルスケールが 16 ビット・レベルで -200mV ($V_{IN+} - V_{IN-}$)、コード 12,288、および正のフルスケールが 16 ビット・レベルで +200mV ($V_{IN+} - V_{IN-}$)、コード 53,248 と仕様規定されています。

オフセット誤差

オフセット誤差は、ミッドスケール・コード (16 ビット・レベルでコード 32,768) の $V_{IN+} - V_{IN-}$ 理論値 (つまり 0V) からの偏差です。

ゲイン誤差

ゲイン誤差には、正のフルスケール・ゲイン誤差と負のフルスケール・ゲイン誤差の両方が含まれます。正のフルスケール・ゲイン誤差は、仕様規定されている正のフルスケール・コード (16 ビット・レベルでは 53,248) の、オフセット誤差を補正後の $V_{IN+} - V_{IN-}$ 理論値 (+200mV) からの偏差です。負のフルスケール・ゲイン誤差は、仕様規定されている負のフルスケール・コード (16 ビット・レベルでは 12,288) の、オフセット誤差を補正後の $V_{IN+} - V_{IN-}$ 理論値 (-200mV) からの偏差です。ゲイン誤差にはリファレンス誤差が含まれます。

信号対 (ノイズ+歪み) 比

この比は、A/D コンバータの出力における信号測定値と (ノイズ+歪み) の測定値の比です。信号は基本波の実効値振幅で表します。ノイズは 1/2 サンプル周波数 ($f_s/2$) までの非基本波の総和で表します (DC を除く)。この比はデジタル化処理の量子化レベル数に依存し、レベル数が大きいほど、量子化ノイズは小さくなります。サイン波を入力した場合、理想 N ビット・コンバータに対する信号対 (ノイズ+歪み) 比の理論値は次式で表されます。

$$\text{信号} / (\text{ノイズ} + \text{歪み}) = (6.02N + 1.76) \text{ dB}$$

したがって、12 ビット・コンバータの場合、74dB になります。

有効ビット数 (ENOB)

ENOB は次のように定義されます。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

全高調波歪み (THD)

THD は高調波の実効値の総和と基本波の比です。AD7401 の場合、この値は次のように定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、

V_1 は基本波の実効値振幅、

V_2, V_3, V_4, V_5, V_6 は、2 次～6 次の高調波の実効値振幅です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、基本波の実効値に対する ADC 出力スペクトル内 (DC を除いて $f_s/2$ まで) の次に大きい成分の実効値の比として定義されます。一般に、この仕様の値はスペクトル内の最大の高調波により決定されますが、高調波がノイズ・フロアに埋め込まれている ADC の場合はノイズ・ピークになります。

同相ノイズ除去比 (CMRR)

CMRR は、 $\pm 200\text{mV}$ 周波数 f の ADC 出力電力と V_{IN+} および V_{IN-} のコモンモード電圧に印加された周波数 f_s の 200mV p-p サイン波の電力の比として定義され、次式で表されます。

$$\text{CMRR (dB)} = 10 \log(P_f/P_{f_s})$$

ここで、

P_f は ADC 出力における周波数 f の電力、

P_{f_s} は ADC 出力における周波数 f_s の電力です。

電源電圧変動除去比 (PSRR)

電源の変動はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。PSRR は、電源電圧の公称値からの変化による、仕様規定されているフルスケール ($\pm 200\text{mV}$) 遷移ポイントでの最大変化です (図 6 参照)。

絶縁過渡耐圧

絶縁過渡耐圧は、絶縁境界を越えて印加されるトランジェント・パルスの立上がりと立下がりのレートを規定するものです。これを超えると、クロックまたはデータが破損します

(100kHz のトランジェント・パルス周波数を用いてテストされています)。

動作原理

回路説明

AD7401 絶縁型 Σ - Δ 変調器は、アナログ入力信号を高速（最大 20MHz）のシングルビット・ストリームに変換します。変調のシングルビット・データの時間平均は入力信号に正比例します。図 23 に、AD7401 を用いてアナログ入力、電流検出抵抗、デジタル出力の間の絶縁を実現している代表的なアプリケーション回路を示します。このデジタル出力は、その後デジタル・フィルタによって処理されて N ビット・ワードを提供します。

アナログ入力

AD7401 の差動アナログ入力は、スイッチド・キャパシタ回路を用いて行われます。この回路は、入力信号を 1 ビットの出力ストリームにデジタル化する 2 次変調器ステージを備えています。サンプル・クロック（MCLKIN）は、変換プロセス用のクロック信号と出力データのフレーミング・クロックを提供します。このクロック源は AD7401 の外部にあります。アナログ入力信号は変調器によって連続的にサンプリングされ、内部電圧リファレンスと比較されます。このアナログ入力を経時的に正確に表すデジタル・ストリームがコンバータの出力に現れます（図 21 参照）。

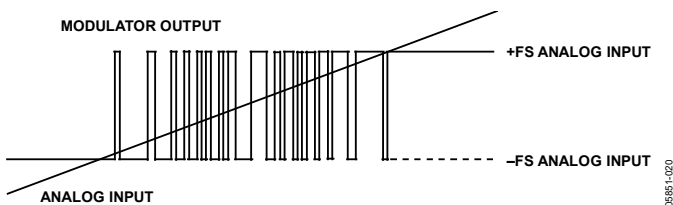


図 21. アナログ入力と変調器出力の関係

差動信号が 0V の場合、（理想的には）MDAT 出力ピンに 1 と 0 のストリームが出力されます。この出力は、ハイの時間が 50% で、ローの時間が 50% です。200mV の差動入力、ハイの時間が 81.25% である 1 と 0 のストリームを生成します。-200mV の差動入力、ハイの時間が 18.75% である 1 と 0 のストリームを生成します。

差動入力が 320mV の場合、理想的にはすべて 1 のストリームになります。表 9 に示すように、これは AD7401 の絶対フルスケール・レンジであるのに対し、200mV は仕様上のフルスケール・レンジです。

表 9. アナログ入力範囲

Analog Input	Voltage Input
Full-Scale Range	+640 mV
Positive Full-Scale	+320 mV
Positive Specified Input Range	+200 mV
Zero	0 mV
Negative Specified Input Range	-200 mV
Negative Full-Scale	-320 mV

元の情報を再構築するには、この出力にデジタル・フィルタおよびデシメーションの処理を行う必要があります。AD7401 変調器よりも 1 次分高い Sinc³ フィルタを推奨します。256 のデシメーション・レートを使用する場合、外部クロック周波数を 16MHz と仮定すると、16 ビットのワード・レートは 62.5kHz となります。図 22 に、16 ビット出力での AD7401 の伝達関数を示します。

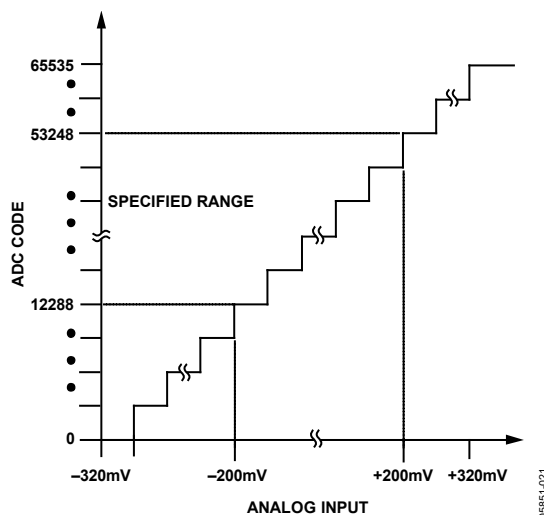


図 22. フィルタおよびデシメーション処理後の 16 ビット伝達特性

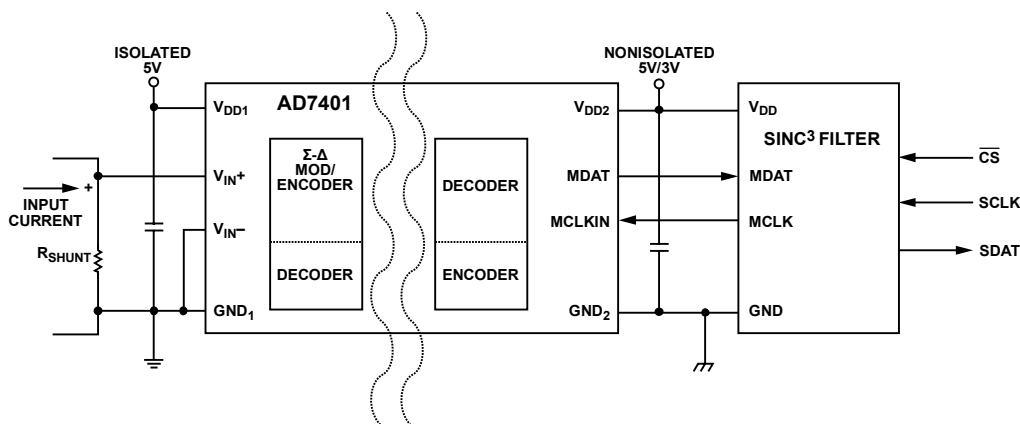


図 23. 代表的なアプリケーション回路

差動入力

変調器へのアナログ入力はスイッチド・キャパシタ式です。アナログ信号は、直線性の高いサンプリング・キャパシタによって電荷に変換されます。図 24 にアナログ入力の簡略化した等価回路図を示します。アナログ入力を駆動する信号源は、MCLKIN の半サイクルごとに電荷をサンプリング・コンデンサに供給し、次の半サイクルの間に必要な精度までセトリングできる必要があります。

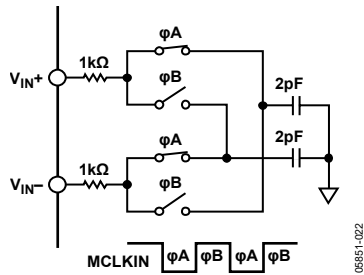


図 24. アナログ入力等価回路

AD7401 はアナログ入力間の差動電圧をサンプリングするため、各入力でのコモンモード・ノイズが低い入力回路を用いて、低ノイズ性能が実現できます。AD7401 で高い性能を利用するには、アナログ入力を駆動するために用いるアンプが重要な役割を担います。

容量性負荷がオペアンプの出力へ切り替えられると、振幅は一時的に低下します。オペアンプは、この状況を改善しようとし、処理中にスルー・レート制限に達します。この非線形性応答は、過剰なリングングの原因となり、歪みを発生させる可能性があります。この状況を修復するために、ロー・パス RC フィルタをアンプと AD7401 への入力間に接続することができます。各入力の外部キャパシタは、サンプリング処理の間に発生する電流スパイクを補う役目を果たし、抵抗はオペアンプを負荷のトランジェント性から隔離します。

差動入力を駆動して最良の性能を得るための推奨回路構成を図 25 に示します。2 つの入力ピンの間のキャパシタは、電荷のソースまたはシンクを行い、一方の入力で必要とされる電荷のほとんどが実際には他方の入力から供給されるようになります。ここでも、直列抵抗は、サンプリング処理の間に発生する電流スパイクからオペアンプを隔離します。抵抗とコンデンサの推奨値は、それぞれ 22Ω と 47pF です。

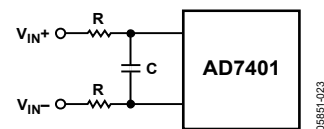


図 25. 差動入力 RC ネットワーク

デジタル・フィルタ

AD7401 では、Sinc³ フィルタの使用を推奨します。このフィルタは、FPGA に実装できますが、多くの場合 DSP にも実装できます。以下の Verilog コードは、Xylinx[®] Spartan-II 2.5 V FPGA への Sinc³ フィルタの実装例を示すものです。このコードは、Altera[®] デバイスなど別の FPGA 向けにコンパイルできる可能性もあります。なお、この例では、データは負のクロック・エッジで読み出されますが、必要に応じ、正のエッジで読み出すこともできます。図 29 に、いくつかのフィルタ・タイプについて、デシメーション・レートを変えた場合の影響を示します。

```

/*`データは負のクロック・エッジで読み出されます*/
module DEC256SINC24B(mdata1, mclk1, reset,
DATA);
input  mclk1;          /*クロック・フィルタに使用*/
input  reset;         /*フィルタ・リセットに使用*/
input  mdata1; /*フィルタリングする入力データ*/

output [15:0] DATA;  /*フィルタリングする出力*/

integer location;
integer info_file;

reg [23:0] ip_data1;
reg [23:0] acc1;
reg [23:0] acc2;
reg [23:0] acc3;
reg [23:0] acc3_d1;
reg [23:0] acc3_d2;
reg [23:0] diff1;
reg [23:0] diff2;
reg [23:0] diff3;
reg [23:0] diff1_d;
reg [23:0] diff2_d;
reg [15:0] DATA;
reg [7:0] word_count;
reg word_clk;
reg init;

/*Sinc 動作を実行*/
always @ (mdata1)
if(mdata1==0)
    ip_data1 <= 0;          /*2 の補数フォーマット
で 0 から-1 に変更*/
else
    ip_data1 <= 1;

/*アキュムレータ (積分器)
変調器の速度でアキュムレーション (IIR) を実行。

```

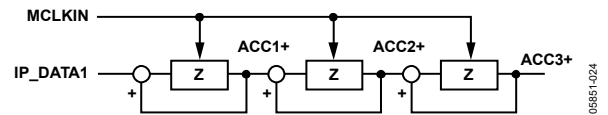


図 26. アキュムレータ

```

Z = 1 サンプル分の遅延
MCLKIN = 変調器の変換ビット・レート
*/
always @ (posedge mclk1 or posedge reset)
if (reset)
    begin
        /*リセット時に acc レジスタを初期化*/
        acc1 <= 0;
        acc2 <= 0;
        acc3 <= 0;
    end
else
    begin
        /*アキュムレーション処理を実行*/
        acc1 <= acc1 + ip_data1;
        acc2 <= acc2 + acc1;
        acc3 <= acc3 + acc2;
    end

/*デシメーション段 (MCLKIN/ WORD_CLK)
*/
always @ (negedge mclk1 or posedge reset)
if (reset)
    word_count <= 0;
else
    word_count <= word_count + 1;

always @ (word_count)
    word_clk <= word_count[7];

/*微分回路 (デシメーション段を含む)
より低い速度で微分段 (FIR) を実行。

```

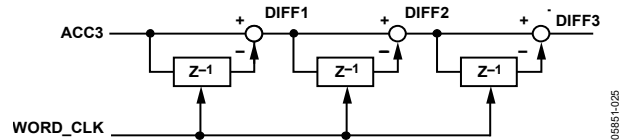


図 27. 微分回路

```

Z = 1 サンプル分の遅延
WORD_CLK = 出力ワード・レート
*/

```

```
always @ (posedge word_clk or posedge reset)
if(reset)
begin
acc3_d2 <= 0;
diff1_d <= 0;
diff2_d <= 0;
diff1 <= 0;
diff2 <= 0;

diff3 <= 0;
end
```

```
else
begin
diff1 <= acc3 - acc3_d2;
diff2 <= diff1 - diff1_d;
diff3 <= diff2 - diff2_d;
acc3_d2 <= acc3;
diff1_d <= diff1;
diff2_d <= diff2;
end
```

/* Sinc 出力を出力レジスタにクロック出力

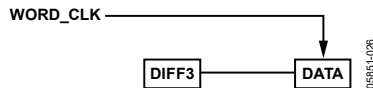


図 28. Sinc 出力の出力レジスタへのクロック出力

WORD_CLK = 出力ワード・レート
*/

```
always @ (posedge word_clk)
begin
DATA[15] <= diff3[23];
DATA[14] <= diff3[22];
DATA[13] <= diff3[21];
DATA[12] <= diff3[20];
DATA[11] <= diff3[19];
DATA[10] <= diff3[18];
```

```
DATA[9] <= diff3[17];
DATA[8] <= diff3[16];
DATA[7] <= diff3[15];
DATA[6] <= diff3[14];
DATA[5] <= diff3[13];
DATA[4] <= diff3[12];
DATA[3] <= diff3[11];
DATA[2] <= diff3[10];
DATA[1] <= diff3[9];
DATA[0] <= diff3[8];
```

end
endmodule

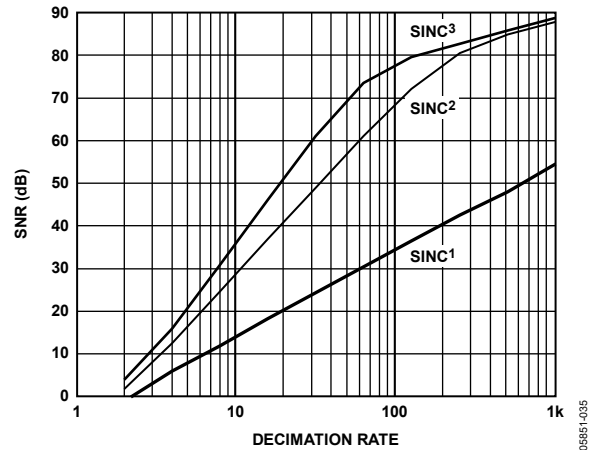


図 29. 異なるフィルタ・タイプでの S/N 比とデシメーション・レートの関係

図 29 に、いくつかのフィルタ・タイプについて、S/N 比性能とデシメーション・レートの関係を表すプロットを示します。なお、所与の帯域幅条件に対して、MCLKIN 周波数が高いほど高いデシメーション・レートを使用することが可能となり、S/N 比性能も高くなります。

アプリケーション情報

グラウンディングとレイアウト

V_{DD1} と V_{DD2} の両方には、100nF のデカップリングを用いることを強く推奨します。1 つまたは両方の V_{DD1} ピンをデカップリングしても性能に大きく影響することはありません。高いコモンモード・トランジエントがあるアプリケーションでは、絶縁バリアをまたぐボード結合を最小限に抑えるよう注意が必要です。更に、どの結合もデバイス側のすべてのピンで等しく生じるように基板レイアウトを設計する必要があります。この注意を怠ると、ピン間で生じる電位差がデバイスの絶対最大定格を超えてしまい、ラッチ・アップまたは恒久的な損傷が発生する原因となることがあります。あらゆるデカップリングはできる限り電源ピンの近くに配置します。

特に高温での歪みの影響を避けるために、アナログ入力での直列抵抗は最小にする必要があります。可能であれば、各アナログ入力の信号源インピーダンスを等しくしてオフセットを最小にします。オフセット・ドリフトを減らすために、アナログ入力 PCB トラックへのミスマッチおよび熱電対の影響を確認します。

AD7401 の性能評価

絶縁を確保するために AD7401 パッケージ下に複数の分割グラウンド・プレーンと 1 つのボード分割部を備えた、単純なスタンドアロン型の AD7401 評価用ボードが用意されています。このボードを用いることで、評価のためにデバイスの各ピンにアクセスすることができます。外部電源やその他すべての回路（デジタル・フィルタ等）はユーザが用意する必要があります。

絶縁寿命

すべての絶縁構造は、ブレイクダウンにさらされる時間や電圧が十分に大きな量である場合は、脆弱です。アナログ・デバイスは、規制当局が行うテストの他に、広範囲な評価を実施して AD7401 の絶縁構造の寿命を決定しています。

これらのテストでは、多数のデバイスに連続クロス・アイソレーション電圧を印加しました。故障の発生を加速するために、テスト電圧は通常使用の電圧を超える値を選択しました。これらのユニットが故障するまでの時間を記録し、その値を加速係数の計算のために使用しました。次にこれらの係数を用いて、通常の動作条件下での故障までの時間を計算しました。表 7 に示す値は、以下の 2 つの値のうち小さい方です。

- 継続的な使用で少なくとも 50 年の寿命を確保する値
- CSA/VDE 認定の最大動作電圧

AD7401 の寿命は、絶縁バリアに加わる波形のタイプにより異なる点に注意してください。iCoupler 絶縁構造は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれかに応じて、受けるストレスが異なります。様々な絶縁電圧波形を図 30、図 31、図 32 に示します。

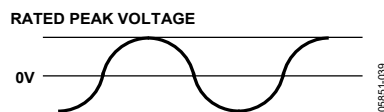


図 30. バイポーラ AC 波形

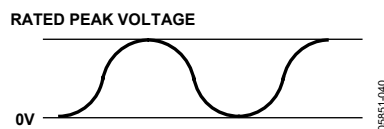


図 31. ユニポーラ AC 波形

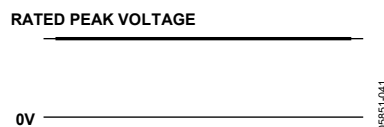
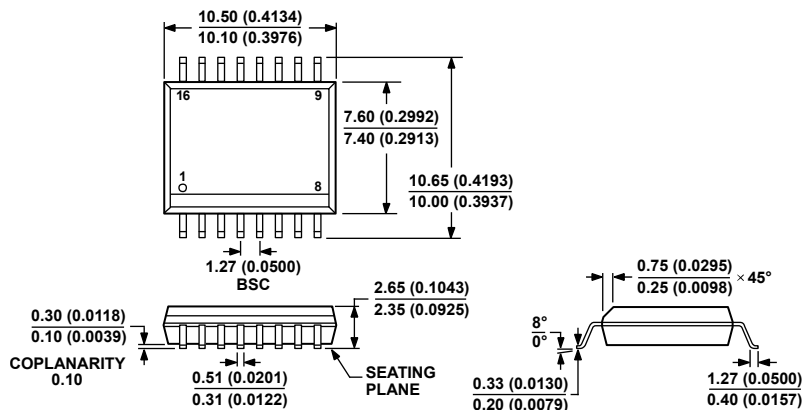


図 32. DC 波形

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

図 33. 16 ピン、標準スモール・アウトライン・パッケージ [SOIC_W]
 ワイド・ボディ (RW-16)
 単位: mm (括弧内はインチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD7401YRWZ	-40°C to +105°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7401YRWZ-REEL	-40°C to +105°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
AD7401YRWZ-REEL7	-40°C to +105°C	16-Lead Standard Small Outline Package [SOIC_W]	RW-16
EVAL-AD7401EDZ		Evaluation Board	
EVAL-CED1Z		Development Board	

¹ Z = RoHS 準拠製品。