

シングルエンド入力、クワッド、 同時サンプリングの 16/14/12 ビット SAR ADC

特長

- ▶ 16 ビット、14 ビット、12 ビット ADC ファミリ
- ▶ クワッド同時サンプリング
- ▶ シングルエンド・アナログ入力
- ▶ 高スループット・レート : 4MSPS
- ▶ S/N 比 (代表値)
 - ▶ $V_{REF} = 3.3V$ において 84.7dB (AD7386-4)
 - ▶ $V_{REF} = 3.3V$ において 82.4dB (AD7387-4)
 - ▶ 73.7dB (AD7388-4)
 - ▶ $OSR = 8$, $V_{REF} = 3.3V$ において 92dB (AD7386-4)
- ▶ オーバーサンプリング機能搭載
- ▶ 2 ビットの分解能増強
- ▶ 範囲外インジケータ (ALERT)
- ▶ INL (代表値)
 - ▶ $\pm 4LSB$ (AD7386-4)
 - ▶ $\pm 1LSB$ (AD7387-4)
 - ▶ $\pm 0.2LSB$ (AD7388-4)
- ▶ 高速シリアル・インターフェース
- ▶ 温度範囲 : $-40^{\circ}C \sim +125^{\circ}C$
- ▶ 10ppm/ $^{\circ}C$ (最大) の 2.5V 内部リファレンス
- ▶ 24 ピン LFCSP パッケージ

アプリケーション

- ▶ モータ・コントロールのポジション・フィードバック
- ▶ モータ・コントロールの電流検出
- ▶ データ・アキュイジション・システム
- ▶ エルビウム添加ファイバ増幅器 (EDFA) アプリケーション
- ▶ 進行波故障点評定
- ▶ 同相および直交位相の復調

製品のハイライト

1. クワッド同時サンプリングおよび変換。
2. ピン互換の製品ファミリ。
3. 16 ビット、14 ビット、12 ビットで 4MSPS の高スループット・レート。
4. 省スペースの 24 ピン LFCSP。
5. オーバーサンプリング・ブロックを集積化することで、ダイナミック・レンジが向上し、ノイズが抑制され、SCLK の速度条件が緩和。
6. コモンモード電圧範囲の広い差動アナログ入力。
7. サンプリング・コンデンサの容量が小さいため、アンプの駆動負荷が低減。

機能ブロック図

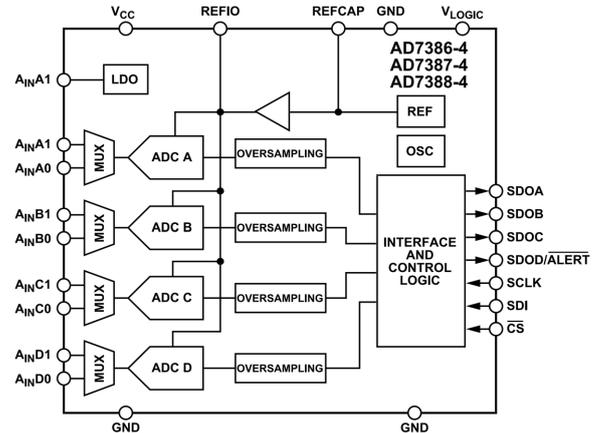


図 1.

概要

AD7386-4/AD7387-4/AD7388-4 は、16 ビット、14 ビット、12 ビットの、互換、クワッド、同時サンプリング、高速、逐次比較レジスタ (SAR) の A/D コンバータ (ADC) で、3.0V~3.3V の電源で動作し、スループット・レートは最大 4MSPS です。シングルエンドのアナログ入力には 0V~ V_{REF} の電圧を入力でき、 \overline{CS} の立下がりエッジでサンプリングと変換を実行します。

AD7386-4/AD7387-4/AD7388-4 はオーバーサンプリング・ブロックを内蔵しているため、低い帯域幅でのダイナミック・レンジが向上し、ノイズが低減しています。オーバーサンプリングにより分解能を最大 2 ビット増強できます。 $REFIO$ ピンは、2.5V~3.3V のリファレンス電圧 (V_{REF}) に対応しています。

変換プロセスとデータ・アキュイジションでは標準的なコントロール入力を使用しているため、マイクロプロセッサやデジタル・シグナル・プロセッサ (DSP) と容易にインターフェース接続できます。変換結果は、高いスループットでは 4 線モード、低スループットが許容される場合は 1 線式シリアル・モードを使用して、同時にクロック出力できます。また、別個のロジック電源を使用することにより、1.8V、2.5V、3.3V のインターフェースに対応できます。

AD7386-4/AD7387-4/AD7388-4 は、24 ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用し、 $-40^{\circ}C \sim +125^{\circ}C$ の温度範囲で動作します。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	オーバーサンプリング.....	21
アプリケーション.....	1	分解能増強.....	23
製品のハイライト.....	1	アラート.....	23
機能ブロック図.....	1	電力モード.....	24
概要.....	1	内部リファレンスおよび外部リファレンス.....	24
仕様.....	3	ソフトウェア・リセット.....	24
タイミング仕様.....	7	診断セルフ・テスト.....	24
絶対最大定格.....	10	インターフェース.....	25
熱抵抗.....	10	変換結果の読出し.....	25
静電放電 (ESD) 定格.....	10	低遅延リードバック.....	26
ESDに関する注意.....	10	デバイス・レジスタからの読出し.....	27
ピン配置およびピン機能の説明.....	11	デバイス・レジスタへの書込み.....	27
代表的な性能特性.....	12	CRC.....	27
用語の定義.....	16	レジスタ.....	30
動作原理.....	17	レジスタのアドレス指定.....	30
回路説明.....	17	CONFIGURATION 1 レジスタ.....	31
コンバータの動作.....	17	CONFIGURATION 2 レジスタ.....	32
アナログ入力構造.....	17	アラート表示レジスタ.....	32
ADCの伝達関数.....	17	アラート下限閾値レジスタ.....	34
アプリケーション情報.....	19	アラート上限閾値レジスタ.....	34
電源.....	19	関連デバイス.....	35
動作モード.....	20	外形寸法.....	36
チャンネル選択.....	20	オーダー・ガイド.....	36
シーケンサ.....	20	評価用ボード.....	36

改訂履歴

10/2023—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、外部 $V_{REF} = 2.5V \sim 3.3V$ 、 $f_{SAMPLE} = 4MSPS$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、オーバーサンプリング無効。

表 1. AD7386-4

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
THROUGHPUT					
Conversion Rate (f_{SAMPLE})					
Single-Channel Pair				4	MSPS
Alternating Channels	SEQ = 1			2	MSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity (DNL) Error		-0.99	± 0.6	+1.0	LSB
Integral Nonlinearity (INL) Error	External reference	-7.0	± 4	+7.0	LSB
	Internal reference = 2.5 V		± 3		LSB
Gain Error	External reference = 3.3 V	-0.08	± 0.005	+0.08	% FS ¹
	Internal reference = 2.5 V		± 0.015		% FS ¹
Gain Error Temperature Drift	External reference = 3.3 V	-5	± 1	+5	ppm/ $^\circ C$
Gain Error Match			± 0.01	+0.08	% FS
Offset Error	External reference = 3.3 V	-1	± 0.07	+0.1	mV
	Internal reference		± 0.055		mV
Offset Error Temperature Drift	External reference = 3.3 V	-8	± 0.5	+8	$\mu V/^\circ C$
Offset Error Match		-1.1	± 0.2	+1.1	mV
AC ACCURACY					
Dynamic Range	Input frequency (f_{IN}) = 1 kHz $V_{REF} = 3.3 V$		86		dB
	$V_{REF} = 2.5 V$		84.5		dB
Oversampled Dynamic Range	OSR = 4x, RES = 1 (decimal)		89		dB
Signal-to-Noise Ratio (SNR)	$V_{REF} = 3.3 V$, $V_{CC} = 3.3 V$	80.5	84.7		dB
	$V_{REF} = 2.5 V$ (internal)		81.7		dB
	Rolling average OSR = 8x, RES = 1 (decimal)		92		dB
	$f_{IN} = 100 kHz$		83.5		dB
Spurious-Free Dynamic Range (SFDR)			-103		dB
Total Harmonic Distortion (THD)			-100		dB
	$f_{IN} = 100 kHz$		-89		dB
Signal-to-Noise-and-Distortion (SINAD) Ratio	$V_{REF} = 3.3 V$, $V_{CC} = 3.3 V$	80	84.5		dB
	$V_{REF} = 2.5 V$ (internal)		81.3		dB
Channel to Channel Isolation			-120		dB
Channel to Channel Memory			-95		dB
POWER SUPPLIES					
I_{VCC}					
Normal Mode (Operational)			39	45	mA
Power Dissipation					
P_{TOTAL}			165	191	mW
P_{VCC} Normal Mode (Operational)			141	162	mW

¹ これらの仕様には、全温度範囲の変動が含まれていますが、外部リファレンスによる誤差の影響は含まれていません。

仕様

表 2. AD7387-4

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		14			Bits
THROUGHPUT					
Conversion Rate (f_{SAMPLE})					
Single-Channel Pair			4		MSPS
Alternating Channels	SEQ = 1		2		MSPS
DC ACCURACY					
No Missing Codes		14			Bits
DNL Error		-0.99	+0.4	+1	LSB
INL Error	External reference	-1.8	+1.0	+1.8	LSB
	Internal reference = 2.5 V		± 0.75		LSB
Gain Error	External reference	-0.08	± 0.005	+0.08	% FS ¹
	Internal reference		± 0.015		% FS ¹
Gain Error Temperature Drift	External reference = 3.3 V	-5	± 0.3	+5	ppm/°C
Gain Error Match			± 0.01	+0.08	% FS
Offset Error	External reference = 3.3 V	-1	± 0.1	+1	mV
	Internal reference = 2.5 V		± 0.055		mV
Offset Error Temperature Drift	External reference = 3.3 V	-8	± 1	+8	$\mu\text{V}/^\circ\text{C}$
Offset Error Match			± 0.2	+1.1	mV
AC ACCURACY					
Dynamic Range	Input frequency (f_{IN}) = 1 kHz $V_{\text{REF}} = 3.3 \text{ V}$		84		dB
	$V_{\text{REF}} = 2.5 \text{ V}$ (internal)		83		dB
Oversampled Dynamic Range	OSR = 4 \times , RES = 1 (decimal)		87.2		dB
SNR	$V_{\text{REF}} = 3.3 \text{ V}$, $V_{\text{CC}} = 3.3 \text{ V}$	80	82.4		dB
	$V_{\text{REF}} = 2.5 \text{ V}$ (internal)		80.4		dB
	Rolling average OSR = 8 \times , RES = 1 (decimal)		90		dB
	$f_{\text{IN}} = 100 \text{ kHz}$		81		dB
SFDR			-102		dB
THD			-100		dB
	$f_{\text{IN}} = 100 \text{ kHz}$		-88		dB
SINAD Ratio	$V_{\text{REF}} = 3.3 \text{ V}$, $V_{\text{CC}} = 3.3 \text{ V}$	79.8	82.3		dB
	$V_{\text{REF}} = 2.5 \text{ V}$ (internal)		79.2		dB
Channel to Channel Isolation			-120		dB
Channel to Channel Memory			-95		dB
POWER SUPPLIES					
I_{VCC}					
Normal Mode (Operational)			39	45	mA
Power Dissipation					
P_{TOTAL}			165	191	mW
P_{VCC} Normal Mode (Operational)			141	162	mW

¹ これらの仕様には、全温度範囲の変動が含まれていますが、外部リファレンスによる誤差の影響は含まれていません。

表 3. AD7388-4

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		12			Bits
THROUGHPUT					
Conversion Rate (f_{SAMPLE})					
Single-Channel Pair				4	MSPS
Alternating Channels	SEQ = 1			2	MSPS

仕様

表 3. AD7388-4 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DC ACCURACY					
No Missing Codes		12			Bits
DNL Error		-0.5	±0.25	+0.5	LSB
INL Error		-0.75	±0.2	+0.75	LSB
Gain Error		-0.08	±0.007	+0.08	% FS ¹
Gain Error Temperature Drift	External reference = 3.3 V	-6.5	±1	+6.5	ppm/°C
Gain Error Match			±0.018	+0.1	% FS
Offset Error		-2	±0.3	+2	mV
Offset Error Temperature Drift	External reference = 3.3 V	-12	±1	+12	µV/°C
Offset Error Match		-2	±0.35	+2	mV
AC ACCURACY					
Dynamic Range	Input frequency (f_{IN}) = 1 kHz $V_{REF} = 3.3 V, V_{CC} = 3.3 V$		74		dB
Oversampled Dynamic Range	OSR = 4x, RES = 1 (decimal)		76.6		dB
SNR	$V_{REF} = 3.3 V$	73	73.7		dB
	$V_{REF} = 2.5 V$ (internal)		73.3		dB
	Rolling average OSR = 8x, RES = 1 (decimal)		80		dB
	$f_{IN} = 100 kHz$		73		dB
SFDR			-100		dB
THD			-98		dB
	$f_{IN} = 100 kHz$		-90		dB
SINAD Ratio	$V_{REF} = 3.3 V, V_{CC} = 3.3 V$	73	73.7		dB
	$V_{REF} = 2.5 V$ (internal)	71.8	73.1		dB
Channel to Channel Isolation			-120		dB
Channel to Channel Memory			-95		dB
POWER SUPPLIES					
I_{VCC}					
Normal Mode (Operational)			39	45	mA
Power Dissipation					
P_{TOTAL}			165	191	mW
P_{VCC} Normal Mode (Operational)			141	162	mW

¹ これらの仕様には、全温度範囲の変動が含まれていますが、外部リファレンスによる誤差の影響は含まれていません。

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 2.5V \sim 3.3V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、オーバーサンプリング無効。

表 4. 全デバイス

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG INPUT					
Voltage Range		0		$+V_{REF}$	V
DC Leakage Current			0.1	1	µA
Input Capacitance	Track mode		18		pF
	Hold mode		5		pF
SAMPLING DYNAMICS					
Input Bandwidth	At -0.1 dB		6		MHz
	At -3 dB		24		MHz
Aperture Delay			2		ns
Aperture Delay Match			310		ps
Aperture Jitter			20		ps

仕様

表 4. 全デバイス (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE INPUT					
V_{REF} Input Voltage Range	External reference	2.49		3.4	V
V_{REF} Input Current	External reference		0.9	1.2	mA
V_{REF} Output Voltage	At 25°C	2.495	2.5	2.505	V
V_{REF} Temperature Coefficient			2	10	ppm/°C
V_{REF} Regulation					
Line			-40		ppm/V
Load			-34		ppm/mA
V_{REF} Noise			7		μ Vrms
DIGITAL INPUTS (SCLK, SDI, \overline{CS})					
Logic Levels					
Input Voltage Low (V_{IL})	$V_{LOGIC} < 2.3$ V			0.45	V
	$V_{LOGIC} \geq 2.3$ V			0.7	V
Input Voltage High (V_{IH})	$V_{LOGIC} < 2.3$ V	$V_{LOGIC} - 0.45$ V			V
	$V_{LOGIC} \geq 2.3$ V	$0.8 \times V_{LOGIC}$			V
Input Current Low (I_{IL})		-1		+1	μ A
Input Current High (I_{IH})		-1		+1	μ A
DIGITAL OUTPUTS (SDOA, SDOB, SDOC, SDOD/ALERT)					
Output Coding			Straight binary		Bits
Output Voltage Low (V_{OL})	Current sink (I_{SINK}) = 300 μ A			0.4	V
Output Voltage High (V_{OH})	Current source (I_{SOURCE}) = -300 μ A	$V_{LOGIC} - 0.3$			V
Floating State Leakage Current				± 1	μ A
Floating State Output Capacitance			10		pF
POWER SUPPLIES					
V_{CC}	External reference = 3.3 V	3.0	3.3	3.6	V
		3.3		3.6	V
V_{LOGIC}		1.65		3.6	V
V_{CC} Supply Current (I_{VCC})					
Normal Mode (Static)			2.6	3.3	mA
Shutdown Mode			98	200	μ A
V_{LOGIC} Current (I_{VLOGIC})	Analog inputs at positive full scale				
Normal Mode (Static)			146	400	nA
Normal Mode (Operational)			6.6	8	mA
Shutdown Mode			47	400	nA
Power Dissipation					
V_{CC} Power (P_{VCC})					
Normal Mode (Static)			9.3	11.5	mW
Shutdown Mode			375	720	μ W
V_{LOGIC} Power (P_{VLOGIC})	Analog inputs at positive full scale				
Normal Mode (Static)			0.53	1.5	μ W
Normal Mode (Operational)			24	29	mW
Shutdown Mode			0.17	1.5	μ W

仕様

タイミング仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 2.5V \sim 3.3V$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 。パラメータの説明で、多機能ピンの特定の機能について示している箇所では、「**ALERT**」のように、ピン名の仕様に関係する部分のみを示しています。多機能ピンの完全なピン名については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

表 5.

Parameter	Min	Typ	Max	Unit	Description
t_{CYC}					Time between conversions
	250			ns	4 MSPS
	500			ns	Alternating conversion channels
t_{SCLKED}	0.5			ns	\overline{CS} falling edge to first serial clock (SCLK) falling edge
t_{SCLK}	12.5			ns	SCLK period
t_{SCLKH}	5.5			ns	SCLK high time
t_{SCLKL}	5.5			ns	SCLK low time
t_{CSH}	20			ns	\overline{CS} pulse width
t_{QUIET}	20			ns	Interface quiet time prior to conversion
t_{SDOEN}					\overline{CS} low to SDOA, SDOB, SDOC, and SDOD enabled
			5.58	ns	$V_{LOGIC} > 2.25 V$
			8	ns	$1.65 V < V_{LOGIC} < 2.25 V$
t_{SDOH}	3			ns	SCLK rising edge to SDOA, SDOB, SDOC, and SDOD hold time
t_{SDOS}					SCLK rising edge to SDOA, SDOB, SDOC, and SDOD setup time
			6	ns	$V_{LOGIC} > 2.25 V$
			8	ns	$1.65 V < V_{LOGIC} < 2.25 V$
t_{SDOT}			8	ns	\overline{CS} rising edge to SDOA, SDOB, SDOC, and SDOD high impedance
t_{SDIS}	4			ns	SDI setup time prior to SCLK falling edge
t_{SDIH}	4			ns	SDI hold time after SCLK falling edge
t_{SCLKCS}	0			ns	SCLK rising edge to \overline{CS} rising edge
$t_{CONVERT}$			190	ns	Conversion time
$t_{ACQUIRE}$	110			ns	Acquire time
t_{RESET}		250		ns	Valid time to start conversion after soft reset
		800		ns	Valid time to start conversion after hard reset
$t_{POWERUP}$					Supply active to conversion
			5	ms	First conversion allowed
			11	ms	Settled to within 1% with internal reference
			5	ms	Settled to within 1% with external reference
$t_{REGWRITE}$			5	ms	Supply active to register read write access allowed
$t_{STARTUP}$					Exiting shutdown mode to conversion
			10	μs	Settled to within 1% with external reference
$t_{CONVERT0}$	6	8	10	ns	Conversion time for first sample in oversampling (OS) normal mode
$t_{CONVERTx}$					Conversion time for x^{th} sample in OS normal mode, 4 MSPS, 16-bit devices
	$t_{CONVERT0} + (320 \times (x - 1))$			ns	For AD7386-4, at 3 MSPS
	$t_{CONVERT0} + (250 \times (x - 1))$			ns	For AD7387-4 and AD7388-4, at 4 MSPS
t_{ALERTS}			220	ns	Time from \overline{CS} to \overline{ALERT} indication
t_{ALERTC}			10	ns	Time from \overline{CS} to \overline{ALERT} clear
t_{ALERTS_NOS}			20	ns	Time from internal conversion with exceeded threshold to \overline{ALERT} indication

仕様

タイミング図

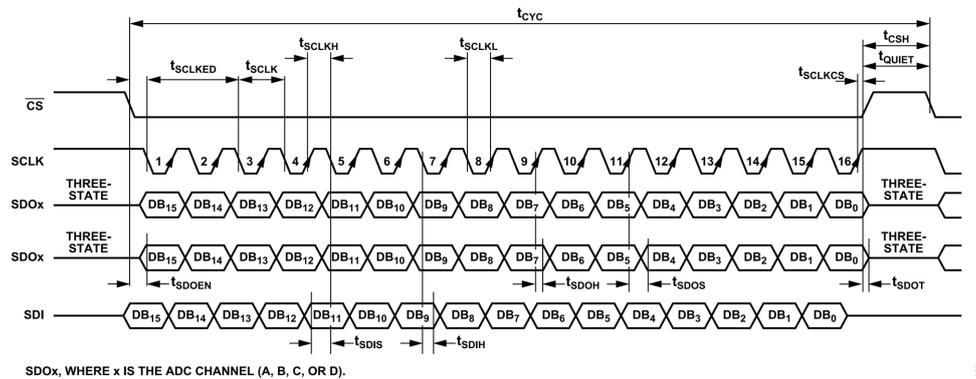


図 2 シリアル・インターフェースのタイミング図

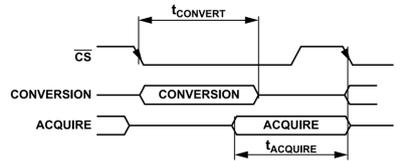


図 3. 内部変換取得タイミング

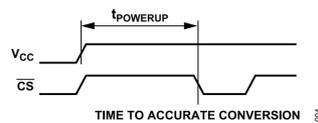


図 4. 変換までのパワーアップ時間

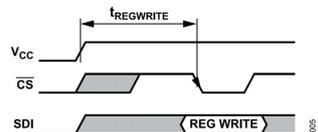


図 5. レジスタの読書きアクセスまでのパワーアップ時間

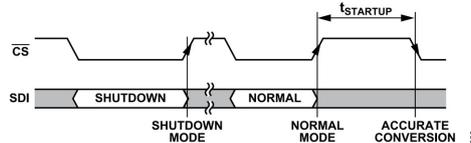


図 6. シャットダウン・モードからノーマル・モードまでのタイミング

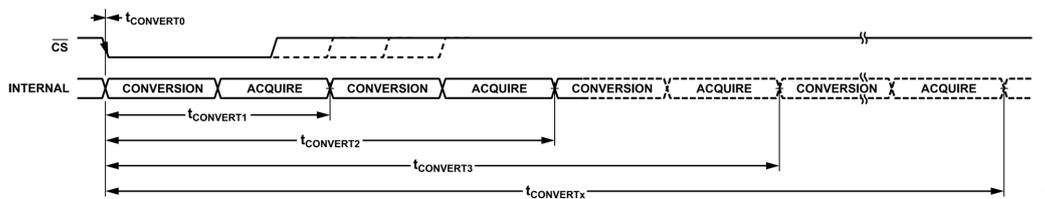


図 7.OS ノーマル・モードでの変換タイミング

仕様

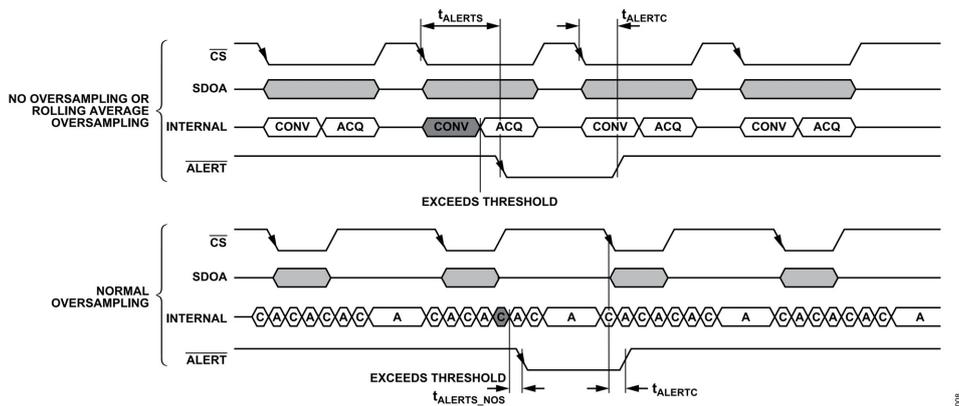


図 8. ALERTのタイミング

絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
V _{CC} to GND	-0.3 V to +4 V
V _{LOGIC} to GND	-0.3 V to +4 V
Analog Input Voltage to GND	-0.3 V to V _{REF} + 0.3 V, or V _{CC} + 0.3 V
Digital Input Voltage to GND	-0.3 V to V _{LOGIC} + 0.3 V
Digital Output Voltage to GND	-0.3 V to V _{LOGIC} + 0.3 V
REFIO Input to GND	-0.3 V to V _{CC} + 0.3 V
Input Current to any Pin Except Supplies	±10 mA
Temperature	
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature (T _{JMAX})	150°C
Pb-Free Soldering Reflow Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表 7. 熱抵抗

Package Type	θ _{JA}	θ _{JC}	Unit
CP-24-25 ¹	48.4	0.43 ¹	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESDS1 を参照してください。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

電界誘起帯電デバイス・モデル（FICDM）は、ANSI/ESDA/JEDEC JS-002 規格に基づいています。

AD7386-4、AD7387-4、AD7388-4 の ESD 定格

表 8. AD7386-4/AD7387-4/AD7388-4、24 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±4000	3A
FICDM	±1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

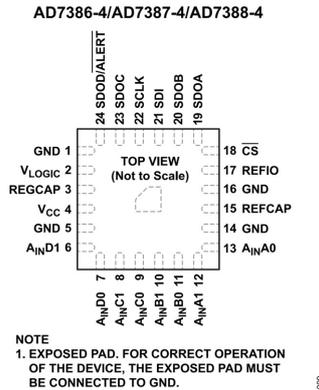


図 9. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1, 5, 14, 16	GND	グラウンド基準ポイント。これらのピンは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V _{LOGIC}	ロジック・インターフェースの電源電圧 (1.65V~3.6V)。1μF のコンデンサを使用して、このピンを GND からデカップリングします。
3	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。1μF のコンデンサを使用して、このピンを GND からデカップリングします。このピンの電圧は 1.9V (代表値) です。
4	V _{CC}	電源入力電圧 (3.0V~3.6V)。1μF のコンデンサを使用して、このピンを GND からデカップリングします。
6, 7	A _{IN} D1, A _{IN} D0	ADC D のアナログ入力。マルチプレックスされる 2 チャンネルのシングルエンド入力です。
8, 9	A _{IN} C1, A _{IN} C0	ADC C のアナログ入力。マルチプレックスされる 2 チャンネルのシングルエンド入力です。
10, 11	A _{IN} B1, A _{IN} B0	ADC B のアナログ入力。マルチプレックスされる 2 チャンネルのシングルエンド入力です。
12, 13	A _{IN} A1, A _{IN} A0	ADC A のアナログ入力。マルチプレックスされる 2 チャンネルのシングルエンド入力です。
15	REFCAP	バンド・ギャップ・リファレンスのデカップリング・コンデンサ・ピン。REFCAP は、0.1μF のコンデンサを使用して GND からデカップリングします。REFCAP 電圧は 2.5V (代表値) です。
17	REFIO	リファレンス入出力。2.5V の内部リファレンスは、外部で使用するようデバイスを設定している場合、REFIO を出力として使用できます。また、2.5V~3.3V の外部リファレンスを入力として REFIO ピンに接続することもできます。外部リファレンスを使用する場合は、V _{CC} および V _{LOGIC} への印加後に CONFIGURATION 1 レジスタの REFSEL ビットを 1 に設定します。内部、外部のいずれのリファレンスを選択しても、REFIO にはデカップリングが必要です。REFIO と GND の間には 1μF のコンデンサを接続します。
18	CS	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力は、AD7386-4/AD7387-4/AD7388-4 の変換開始とシリアル・データ転送のフレーミングの 2 通りの機能を提供します。
19	SDOA	シリアル・データ出力 A。このピンは、変換結果およびレジスタの内容にアクセスするためのシリアル・データ出力ピンとして機能します。
20	SDOB	シリアル・データ出力 B。このピンは、変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。
21	SDI	シリアル・データ入力。このピンは、内蔵コントロール・レジスタに書き込まれたデータを提供します。
22	SCLK	シリアル・クロック入力。この SCLK 入力は、ADC とのデータ転送に使用します。
23	SDOC	シリアル・データ出力 C。このピンは、変換結果およびレジスタの内容にアクセスするためのシリアル・データ出力ピンとして機能します。
24	SDOD/ALERT	シリアル・データ出力 D/アラート表示出力。このピンは、シリアル・データ出力ピン、またはアラート表示出力ピンとして機能できます。 SDOD。このピンは、変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 ALERT。このピンは、アラート・ピンとして機能し、ローになることで変換結果が設定閾値を超えたことを示します。
	EPAD	露出パッド。デバイスを正しく動作させるために、露出パッドを GND に接続する必要があります。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = V_{\text{LOGIC}} = 3.3\text{V}$ 、スループット・レート = 4MSPS、外部 $V_{\text{REF}} = 2.5\text{V}$ または 3.3V 、外部 $\text{SCLK} = 80\text{MHz}$ 。

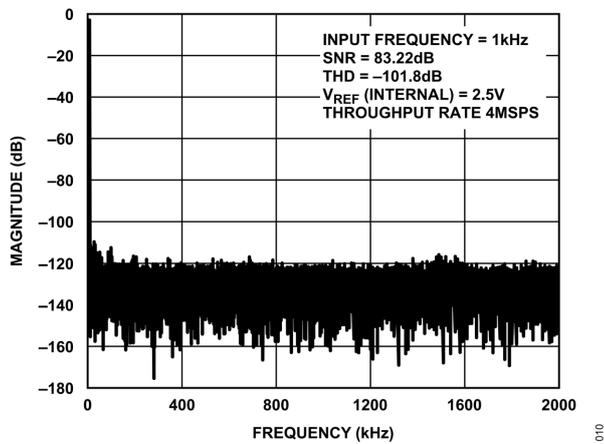


図 10. 高速フーリエ変換 (FFT)、AD7386-4 内部 $V_{\text{REF}} = 2.5\text{V}$

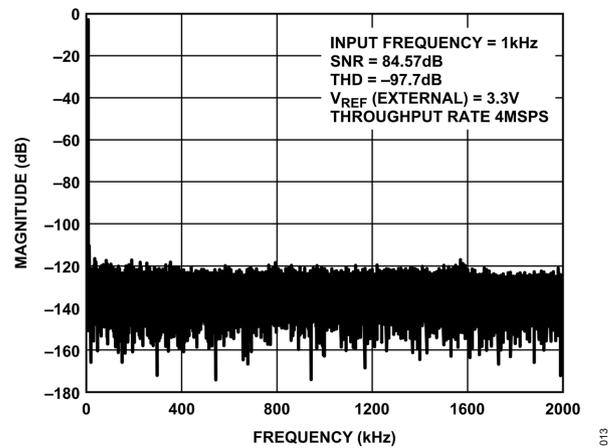


図 13. FFT、AD7386-4 外部 $V_{\text{REF}} = 3.3\text{V}$

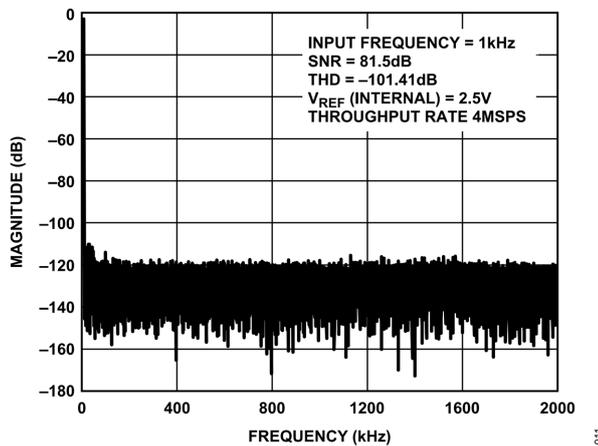


図 11. FFT、AD7387-4 内部 $V_{\text{REF}} = 2.5\text{V}$

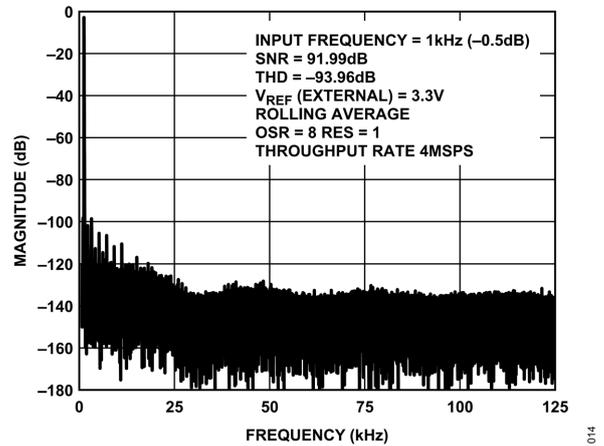


図 14. FFT、AD7386-4 オーバーサンプリング、外部 $V_{\text{REF}} = 3.3\text{V}$

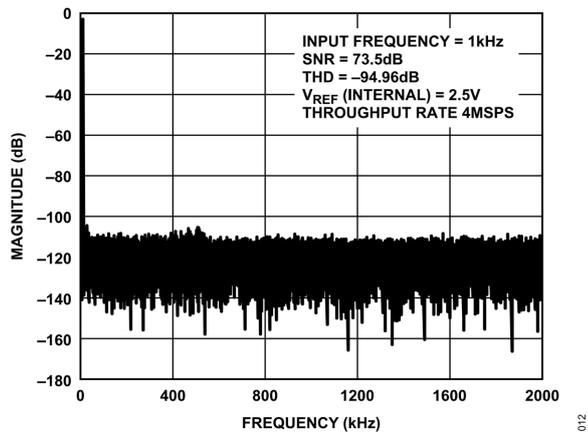


図 12. FFT、AD7388-4 内部 $V_{\text{REF}} = 2.5\text{V}$

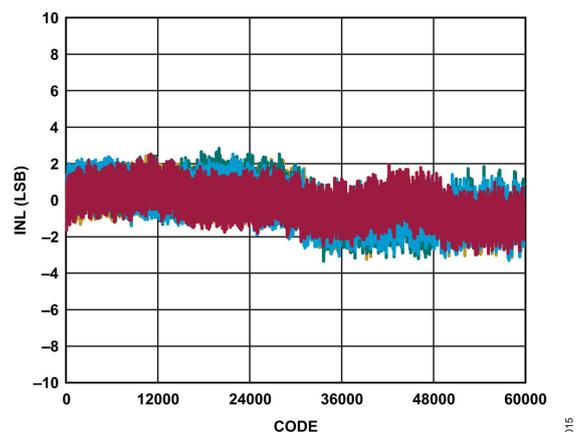


図 15. INL とコードの関係

代表的な性能特性

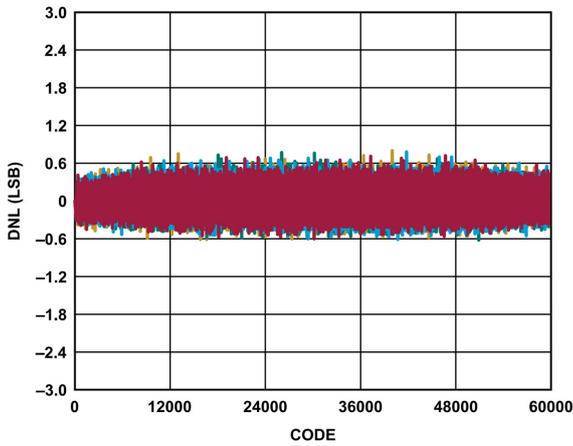


図 16. DNL とコードの関係

016

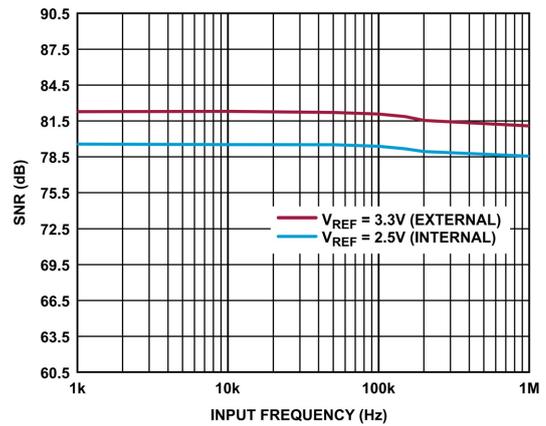


図 19. S/N 比と入力周波数の関係 (AD7387-4)

019

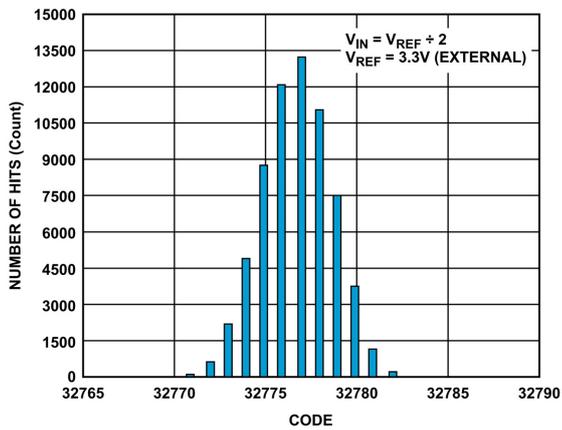


図 17. DC ヒストグラム

017

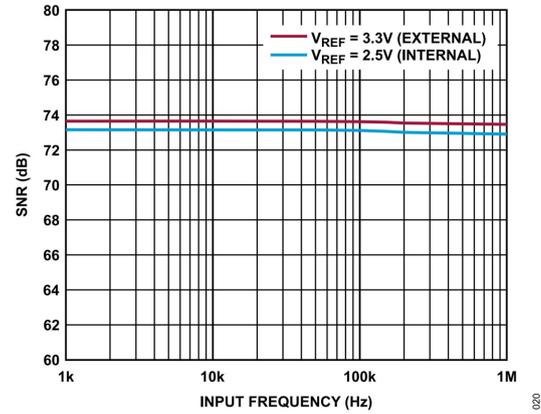


図 20. S/N 比と入力周波数の関係 (AD7388-4)

020

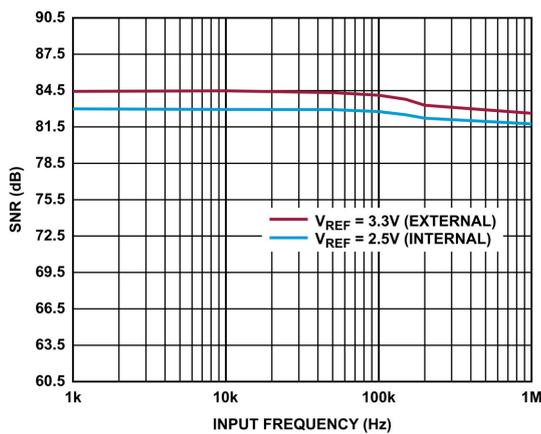


図 18. S/N 比と入力周波数の関係 (AD7386-4)

018

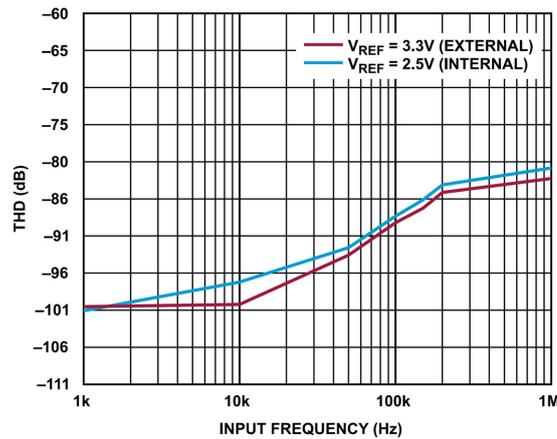


図 21. THD と入力周波数の関係 (AD7386-4)

021

代表的な性能特性

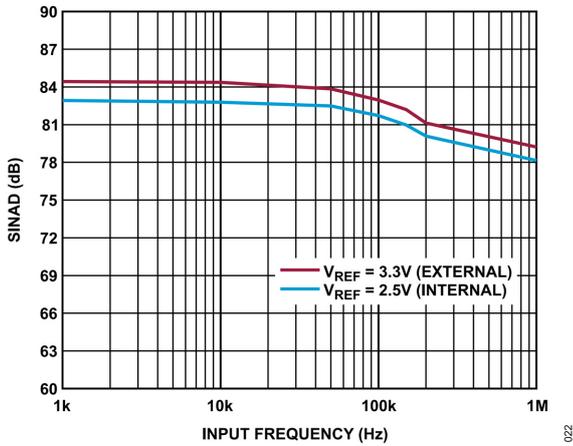


図 22. SINAD と入力周波数の関係 (AD7386-4)

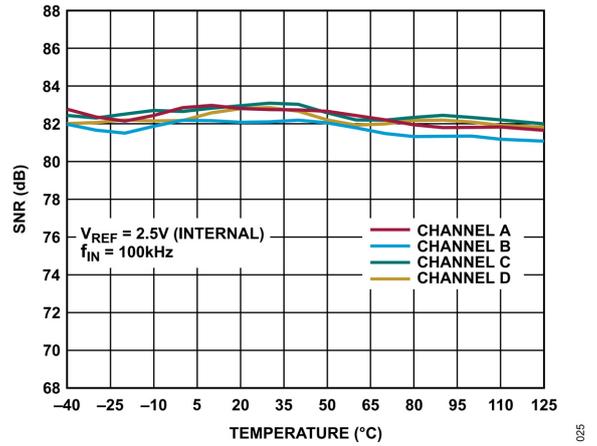


図 25. S/N 比の温度特性

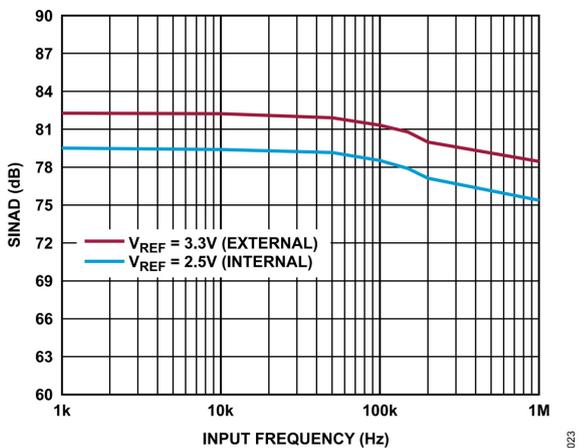


図 23. SINAD と入力周波数の関係 (AD7387-4)

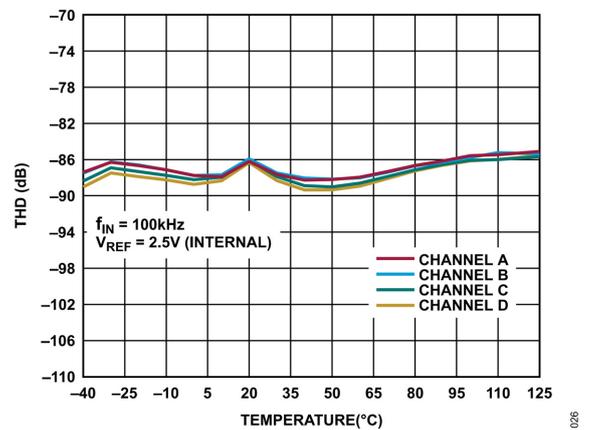


図 26. THD の温度特性

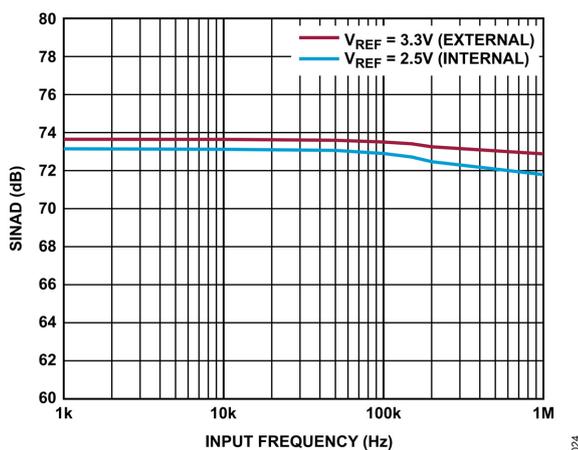


図 24. SINAD と入力周波数の関係 (AD7388-4)

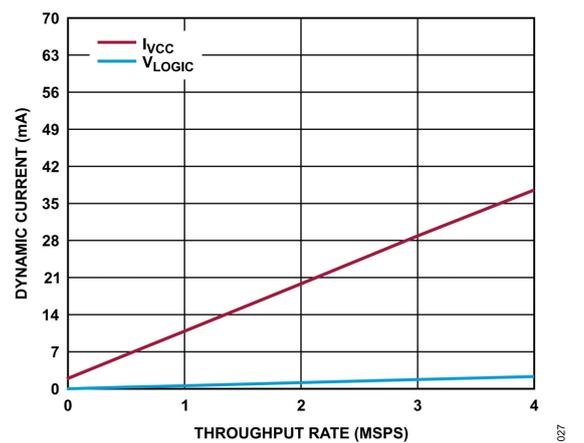


図 27. 動的電流とスループット・レートの関係

代表的な性能特性

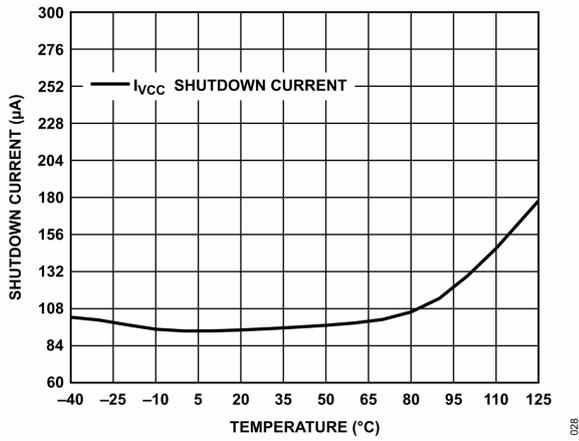


図 28. シャットダウン電流と温度の関係

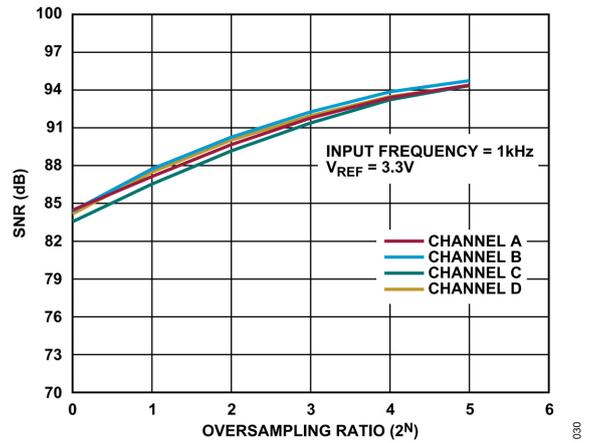


図 30. 相加平均オーバーサンプリング

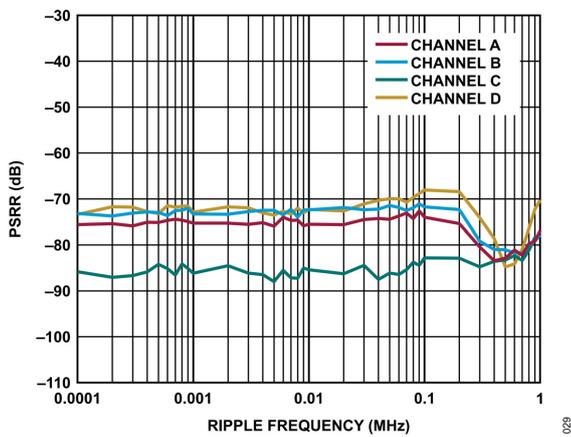


図 29. PSRR とリップル周波数の関係

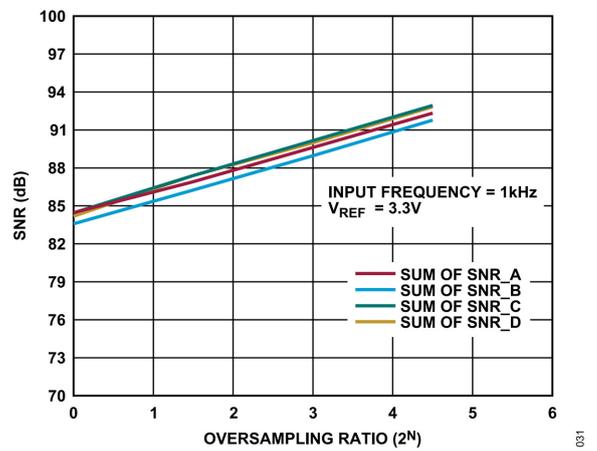


図 31. 移動平均オーバーサンプリング

用語の定義

微分非直線性 (DNL)

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

積分非直線性 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前のレベルの点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ゲイン誤差

最初の遷移 (100...000 から 100...001) は負の公称フルスケールより $\frac{1}{2}$ LSB 上のレベルで発生します。最後の遷移 (011...110 から 011...111) は、公称フルスケールより $1\frac{1}{2}$ LSB 低いレベルでアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

ゲイン誤差の温度ドリフト

ゲイン誤差の温度ドリフトは、1°C の温度変化あたりのゲイン誤差の変化です。

ゲイン誤差マッチング

ゲイン誤差マッチングは、負のフルスケール誤差の入力チャンネル間の差と正のフルスケール誤差の入力チャンネル間の差です。

オフセット誤差

最初の遷移はアナログ・グラウンドより $\frac{1}{2}$ LSB 上のレベルで発生する必要があります。オフセット誤差は、その実際の遷移とアナログ・グラウンド・ポイントの間の偏差です。

オフセット誤差の温度ドリフト

オフセット誤差の温度ドリフトは、1°C の温度変化あたりのオフセット誤差の変化です。

オフセット誤差マッチング

オフセット誤差マッチングは、入力チャンネル間のオフセット誤差の差です。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波と DC を除く) の実効値総和に対する実際の入力信号の実効値の比です。S/N 比の単位はデシベル (dB) です。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 個の高調波成分の実効値総和の比で、単位はデシベルです。

信号/ノイズ+歪み (SINAD)

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の実効値の比です。SINAD の単位はデシベル (dB) です。

電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。電源電圧変動除去は、電源電圧の公称値からの変化によるフルスケール遷移点の最大変化量です。PSRR は、フルスケール周波数 f の ADC の出力電力と、ADC の V_{CC} 電源に印加されたリップル周波数 f_r の 100mV_{p-p} サイン波の電力の比です。

$$PSRR \text{ (dB)} = 10 \log(P_f / P_{fr}) \quad (1)$$

ここで、

P_f は ADC 出力の周波数 f における電力。

P_{fr} は V_{CC} 電源にカップリングした周波数 f_r における電力。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の尺度で、 \overline{CS} 入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

アパーチャ・ジッタ

アパーチャ・ジッタはアパーチャ遅延の変動です。

動作原理

回路説明

AD7386-4/AD7387-4/AD7388-4 は、高速、クワッド、シングルエンドの 16 ビット/14 ビット/12 ビット SAR ADC です。これらのデバイスは、3.0V~3.6V の電源で動作し、最大 4MSPS のスループット・レートを特長としています。

AD7386-4/AD7387-4/AD7388-4 は、逐次比較 ADC 4 個と、4 本の独立したデータ出力ピンを備えたシリアル・インターフェース 1 個で構成されています。24 ピン LFCSP パッケージに収容されており、代替ソリューションに比べ、大きくスペースが節約できるという利点があります。

データにはデバイスのシリアル・インターフェースを介してアクセスできます。インターフェースは、2 つ、4 つまたは 1 つのシリアル出力で動作できます。AD7386-4/AD7387-4/AD7388-4 は、2.5V の内部リファレンスを備えています。外部リファレンスが必要な場合は、内部リファレンスをディスエーブルし、2.5V~3.3V の範囲の外部 V_{REF} 値を供給できます。AD7386-4/AD7387-4/AD7388-4 のアナログ入力範囲は 0V~ V_{REF} です。

AD7386-4/AD7387-4/AD7388-4 は、オーバーサンプリング・ブロックを内蔵することで、性能が向上しています。相加平均オーバーサンプリング・モードと移動平均オーバーサンプリング・モードを使用可能です。変換の間の消費電力を節約できるパワーダウン・オプションも備わっています。デバイスの設定は、インターフェースのセクションで説明されているように、標準的なシリアル・インターフェースを介して行えます。

コンバータの動作

AD7386-4/AD7387-4/AD7388-4 には 4 個の逐次比較 ADC があり、それぞれが 2 個の容量性 DAC を中心に構成されています。図 32 にこれらの ADC の 1 つのアクイジション・モードの簡略回路図、図 33 に変換モードの簡略回路図を示します。ADC は、コントロール・ロジック、SAR、2 個の容量性 DAC で構成されています。図 32 (アクイジション・フェーズ) では、SW2 は閉じて、SW1 は位置 A にあり、コンパレータは均衡状態を維持し、サンプリング・コンデンサ (C_s) アレイは入力信号を取得できます。

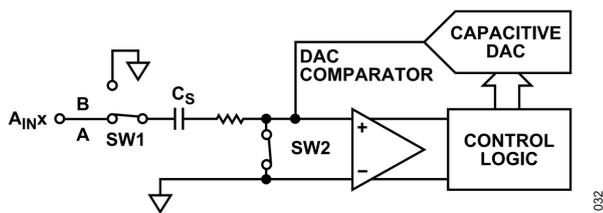


図 32. ADC アクイジション・フェーズ

ADC が変換を開始すると (図 33 参照)、SW2 が開いて、SW1 が位置 B に切り替わり、コンパレータが不均衡状態になります。変換を開始すると、入力は切断されます。コントロール・ロジックと電荷再配分式 DAC を使って、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算および減算して、コンパレータを平衡状態に戻すようにします。コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを生成します。

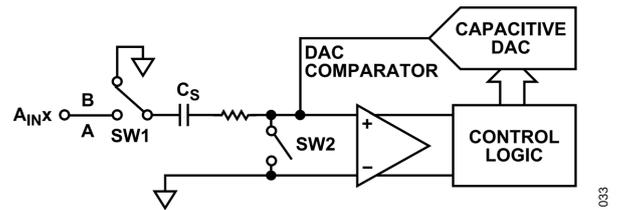


図 33. ADC 変換フェーズ

アナログ入力構造

図 34 に、AD7386-4/AD7387-4/AD7388-4 のアナログ入力構造の等価回路を示します。2 個のダイオードにより、アナログ入力 A_{INX} の ESD 保護が行われます。アナログ入力信号が電源レールを 300mV 以上上回ることはないよう、注意してください。この制限を超えると、ダイオードが順方向バイアスとなり、基板への導通が発生します。各ダイオードがデバイスに回復不能な損傷を与えない最大電流は 10mA です。

図 34 に示すコンデンサ $C1$ は通常 3pF で、主にピン容量によって決まります。抵抗 $R1$ はスイッチのオン抵抗で構成される集中定数素子です。この抵抗の値は通常約 200Ω です。 $C2$ コンデンサは ADC のサンプリング・コンデンサで、容量は 15pF (代表値) です。

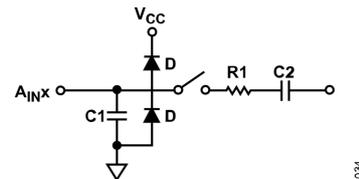


図 34. 等価アナログ入力回路、変換フェーズ=スイッチ開、トラック・フェーズ=スイッチ閉

ADC の伝達関数

AD7386-4/AD7387-4/AD7388-4 では、2.5V~3.3V のリファレンスを使用します。AD7386-4/AD7387-4/AD7388-4 はアナログ入力 (A_{INX0} と A_{INX1}) の電圧をデジタル出力に変換します。ここで x は ADC のチャンネル A、チャンネル B、チャンネル C、チャンネル D に当たります。

変換結果は MSB フェーストで、ストレート・バイナリです。LSB の大きさは $(V_{REF})/2^N$ (N は ADC の分解能) です。ADC の分解能は、選択したデバイスの分解能と分解能増強モードが有効かどうかによって決まります。表 10 に、異なる分解能と異なる V_{REF} に対する LSB の大きさを、マイクロボルト単位で示します。

AD7386-4/AD7387-4/AD7388-4 の理想的な伝達特性を図 35 に示します。

動作原理

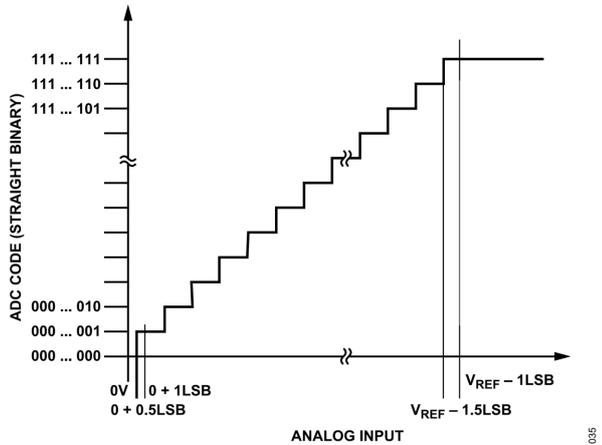
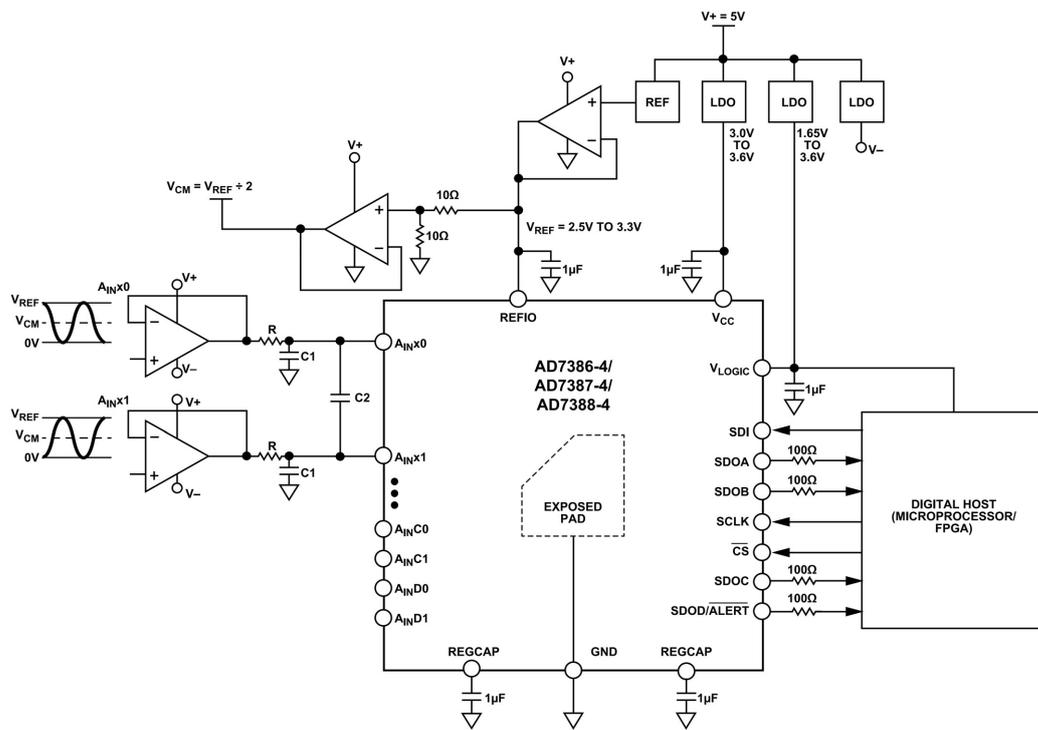


図 35. ADC の理想的な伝達関数 (FSR はフルスケール・レンジ)

表 10. LSB の大きさ

Resolution (Bits)	2.5 V Reference (μV)	3.3 V Reference (μV)
12	610.3	805.7
14	152.6	201.4
16	38.1	50.4
18	9.5	12.6



- NOTES
1. V^- IS THE EXTERNAL SUPPLY VOLTAGE (-2.5V FOR THE DRIVER AMPLIFIER).
 2. PLACE DECOUPLING CAPACITORS CLOSE TO (IDEALLY, RIGHT UP AGAINST) THE DEVICE SUPPLY PINS AND REFERENCE PIN.

図 36. 標準アプリケーション回路

アプリケーション情報

AD7386-4/AD7387-4/AD7388-4の代表的なアプリケーション回路を図36に示します。図36に示すように、V_{CC}ピン、V_{LOGIC}ピン、REGCAPピン、REFCAPピン、REFIOピンは、適切なデカップリング・コンデンサを用いてデカップリングします。露出パッドはデバイス上の回路のグラウンド基準ポイントとなるもので、ボードのグラウンドに接続する必要があります。

最適な性能を確保するために、アナログ入力にはRCフィルタを配置する必要があります。代表的なアプリケーションでは、R = 33Ω、C1 = 330pFとすることを推奨します。これらのRCの組み合わせは、AD7386-4/AD7387-4/AD7388-4の全チャンネルに対し同じであることが必要です。

AD7386-4/AD7387-4/AD7388-4の8つのシングルエンド・チャンネル(4:2)は、0V~V_{REF}の範囲の入力電圧を受け付けてデジタルに変換できます。これらのアナログ入力ピン(A_{INX})はアンプを使用して容易に駆動できます。表11に、このアプリケーションに最適でその付加価値を高める推奨ドライバ・アンプを示します。

AD7386-4/AD7387-4/AD7388-4の性能は、デジタル・インターフェースのノイズの影響を受ける可能性があります。この影響はボード・レイアウトと設計に依存します。デジタル・ラインとデジタル・インターフェースの距離を最小にするか、SDOAピン、SDOBピン、SDOCピン、SDOD/ALERTピンの近くに100Ωの抵抗を直列に配置して、AD7386-4/AD7387-4/AD7388-4にカップリングするデジタル・インターフェースからのノイズを抑制します。

AD7386-4/AD7387-4/AD7388-4のV_{REF}は2.5V~3.3Vの範囲です。ADR4533またはADR4525は、超低ノイズで高精度の電圧リファレンスで、AD7386-4/AD7387-4/AD7388-4のREFIOピンの駆動用として推奨します。1μFのリザーバ・コンデンサをREFIOピンとグラウンドの間に接続することを推奨します。この外部V_{REF}をアプリケーション内の別の回路で用いる場合、例えば、ドライバ・アンプのコモンモード電圧として用いる場合、安定したリファレンスを実現するためにADA4807-2などのバッファ・アンプを用いることを推奨します。

電源

代表的なアプリケーションでは、AD7386-4/AD7387-4/AD7388-4の回路は、図36に示すようにシステムに給電する5V(V+)電

源で駆動できます。この5V(V+)はADP7104で供給できます。ADCドライバには、+5V(V+)と-2.5V(V-)の電源が供給されますが、この-2.5Vは、反転チャージ・ポンプADP5600が+5Vを-5Vに変換し、次いでADP7182低ノイズ電圧レギュレータに送り-2.5Vを出力することで得られます。2つの個別の電源が低ドロップアウト(LDO)レギュレータから引き出され、AD7386-4/AD7387-4/AD7388-4のアナログ回路用のV_{CC}電源およびデジタル・インターフェース用のV_{LOGIC}電源として供給されます。ADP166のような非常に静止電流が低いLDOレギュレータは、一般的にV_{CC}およびV_{LOGIC}レベルとする1.2V~3.3Vの範囲の固定電圧の出力に最適な電源です。V_{CC}電源とV_{LOGIC}電源はどちらも、1μFのコンデンサを使用して個別にデカップリングします。このコンデンサは、AD7386-4/AD7387-4/AD7388-4の近くに配置し、短く広いパターンで接続して低インピーダンス経路を形成し、電源ラインでのグリッチを減らします。更に、内部LDOレギュレータもAD7386-4/AD7387-4/AD7388-4に電力を供給します。この内部レギュレータは、デバイスの内部使用専用で1.9V電源を供給します。REGCAPピンは、AD7386-4/AD7387-4/AD7388-4のREGCAPピンとGNDピンの近くで短く広いパターンを使ってGNDとの間に1μFのコンデンサを接続することによって、デカップリングします。

パワーアップ

AD7386-4/AD7387-4/AD7388-4は、電源シーケンシングによって容易に損傷することはありません。V_{CC}およびV_{LOGIC}には、どのシーケンスでも印加できます。外部リファレンスは、V_{CC}およびV_{LOGIC}の供給後に印加する必要があります。アナログ信号とデジタル信号は、外部リファレンス供給後に印加する必要があります。

AD7386-4/AD7387-4/AD7388-4では、V_{CC}およびV_{LOGIC}に印加してからADCの変換結果が安定するまでに、t_{POWERUP}が必要です。図4に推奨するパワーアップ・タイミングとCSをハイに保つ状態を示します。パワーアップ後にソフトウェア・リセットを行うことを強く推奨します(詳細についてはソフトウェア・リセットのセクションを参照)。ただし、このときの変換結果は、データシートの仕様を満足していない可能性があります。

表 11. シグナル・チェーンの部品

Companion Devices	Part Name	Description	Typical Application
ADC Driver	ADA4896-2	1 nV/√Hz, rail-to-rail output amplifier	Precision, low noise, high frequency
	ADA4940-2	Ultra-low power, full differential, low distortion amplifier	Precision, low density, low power
	ADA4807-2	1 mA, rail-to-rail output amplifier	Precision, low power, high frequency
	LTC6227	1 nV/√Hz, 420 MHz low distortion rail-to-rail-output amplifier	Precision, low noise, high frequency
External Reference	ADR4525	Ultra-low noise, high accuracy voltage reference	2.5 V V _{REF}
	ADR4533	Ultra-low noise, high accuracy voltage reference	3.3 V V _{REF}
Reference Buffer	ADA4807-2	1 mA, rail-to-rail output amplifier	Precision, low power, high frequency
LDO Regulator	ADP166	Very low quiescent, 150 mA LDO regulator	3.0 V to 3.6 V supply for V _{CC} and V _{LOGIC}
	ADP7104	500 mA low noise, CMOS LDO regulator	5 V supply
	ADP7182	Low noise line regulator	-2.5 V supply for ADC driver amplifier
	ADP5600	Interleaved inverting charge pump with negative LDO	Voltage inverter for negative supply

動作モード

AD7386-4/AD7387-4/AD7388-4には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

チャンネル選択

ADCの変換用チャンネル・ペア ($A_{IN}A0/A_{IN}B0$, $A_{IN}C0/A_{IN}D0$, $A_{IN}A1/A_{IN}B1$, $A_{IN}C1/A_{IN}D1$) は、CONFIGURATION 1 レジスタの CH ビットを設定することで選択できます。CH ビットが 0 に設定されている場合、 $A_{IN}A0$ チャンネル、 $A_{IN}B0/A_{IN}C0$ チャンネル、 $A_{IN}D0$ チャンネルが同時に変換されます。一方、CH ビットが 1 に設定されている場合は、 $A_{IN}A1$ チャンネル、 $A_{IN}B1$ チャンネル、 $A_{IN}C1$ チャンネル、 $A_{IN}D1$ チャンネルが同時に変換されます。

変換するチャンネルを変更する場合、ADCには追加のセトリング時間が必要です。 $A_{IN}X0$ チャンネルと $A_{IN}X1$ チャンネルの間の変換時の最大スループット・レートは、2MSPSです。

シーケンサ

AD7386-4/AD7387-4/AD7388-4では、内蔵シーケンサを使用して、 $A_{IN}X0$ チャンネルと $A_{IN}X1$ チャンネルを自動で切り替えるよう設定できます。このシーケンサは、CONFIGURATION 1 レジスタの SEQ ビットで制御できます。SEQ ビットが 0 にセットされた場合、シーケンサはディスエーブルになります。SEQ を 1 に設定すると、シーケンサはイネーブルになります。CH ビットは、シーケンサ・モードではクエリされません。シーケンサは、常に $A_{IN}X0$ チャンネルで始まり、次に $A_{IN}X1$ チャンネルに移動します。 $A_{IN}X1$ チャンネルの変換後、シーケンサは $A_{IN}X0$ チャンネルにループ・バックし、同じシーケンスを再開します。

シーケンサ・モード (SEQ = 1) では、変換するチャンネルは自動変更し、ADCには追加のセトリング時間が必要です。 $A_{IN}X0$ チャンネルと $A_{IN}X1$ チャンネルの間の変換時の最大スループット・レートは、2MSPSです。

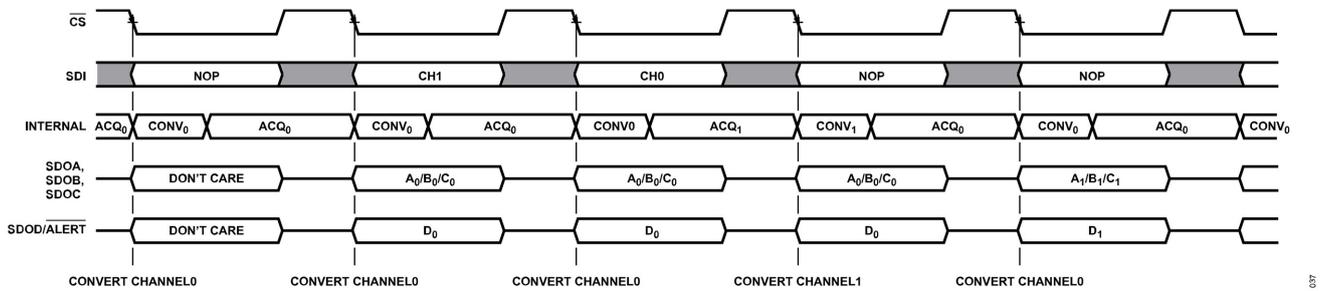


図 37. 手動チャンネル選択のセットアップ

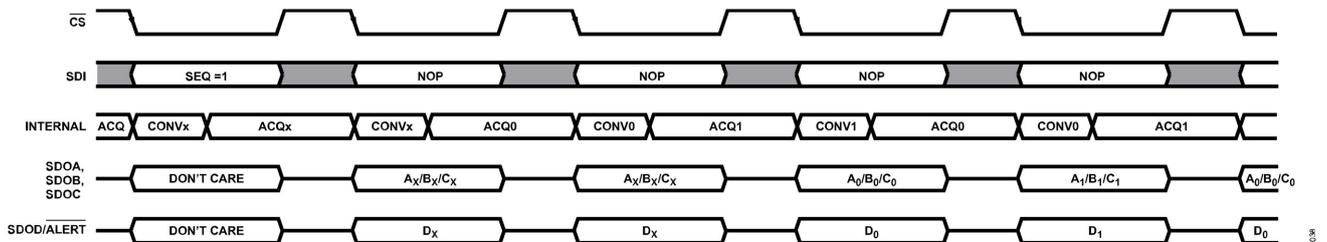


図 38. チャンネル・シーケンサのセットアップ

動作モード

オーバーサンプリング

オーバーサンプリングは、アナログ電子機器において広く使用されている手法で、ADCの結果の精度を向上させることができます。アナログ入力サンプルを複数取得して平均化することで、ADCの量子化ノイズや熱ノイズ (kTC ノイズ) に由来するノイズ成分を削減します。AD7386-4/AD7387-4/AD7388-4には、オーバーサンプリング機能が内蔵されており、相加平均と移動平均の2つのオーバーサンプリング・モードを設定可能です。

このオーバーサンプリング機能は、CONFIGURATION 1 レジスタのOS_MODEビットとOSRビットをプログラムして設定します。

相加平均オーバーサンプリング

相加平均オーバーサンプリング・モードは、出力データ・レートが低くなることが許容されるアプリケーションや、S/N比やダイナミック・レンジが高いことが求められるアプリケーションで使用できます。相加平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除算するというプロセスが含まれます。このプロセスの結果がデバイスから出力されます。プロセスが完了すると、サンプリングしたデータはクリアされます。

相加平均オーバーサンプリング・モードは、OS_MODEビットをロジック0にし、OSRビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビットOSRを使用して制御します (表12参照)。

各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表12に示します。出力結果は、16ビットの分解能にデシメートされます。必要に応じて、CONFIGURATION 1 レジスタの分解能増強ビット (RES) を設定することで分解能を追加できます。詳細については分解能増強のセクションを参照してください。

OSRビットで定義されたサンプル数 (n) が取得、加算されて、nで除算されます。最初のADC変換はCSの立下がりエッジで開始され、オーバーサンプリング中の後続のサンプリングは、すべてAD7386-4/AD7387-4/AD7388-4内部で制御されます。デバイスの最大サンプリング・レート時における、追加のnのサンプリング・レートは、AD7386-4では3MSPS、AD7387-4とAD7388-4では4MSPSです。データは、次のシリアル・インターフェース・アクセスでリードバックできます。この平均化手法の適用後、計算に使用されたサンプル・データは破棄されます。このプロセスが、アプリケーションで新たな変換結果が必要になるたびに繰り返され、CSの次の立下がりエッジで開始されます。

出力データ・レートはオーバーサンプリング比分だけ低下するため、データ送信に必要なシリアル・ペリフェラル・インターフェース (SPI) の周波数も、これに応じて減少します。

表 12. 相加平均オーバーサンプリングの概要

OSR, Bits[2:0]	OS Ratio	SNR (dB Typical)				Data Output Rate (kSPS Maximum)
		2.5 V External Reference		3.3 V External Reference		
		RES = 0	RES = 1	RES = 0	RES = 1	
000	No OS	83.15	83.25	84.5	84.5	4000
001	2	86.15	86.36	87.12	87.46	1500
010	4	88.8	89.35	89.66	90.32	750
011	8	91.05	92.05	91.77	92.81	375
100	16	92.7	94.18	93.4	95.03	187.5
101	32	93.8	95.91	94.74	96.35	93.75
110	Invalid	N/A ¹	N/A ¹	N/A ¹	N/A ¹	N/A ¹
111	Invalid	N/A ¹	N/A ¹	N/A ¹	N/A ¹	N/A ¹

¹ N/Aは該当なしを意味します。

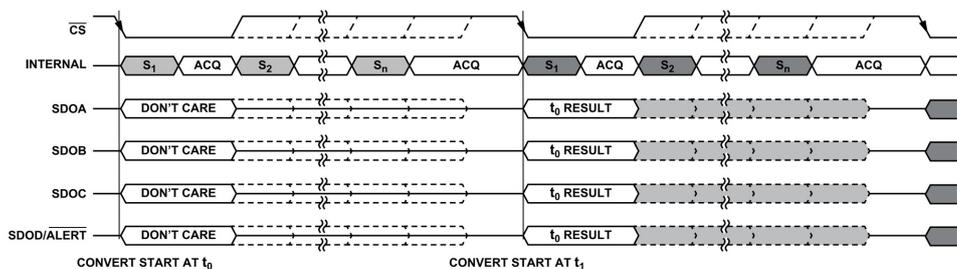


図 39. 相加平均オーバーサンプリングの動作

動作モード

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、出力データ・レートを高くすることが必要なアプリケーションと、S/N 比やダイナミック・レンジが高いことが求められるアプリケーションで使用できます。移動平均オーバーサンプリングは、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスで構成されます。このプロセスの結果がデバイスから出力されます。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し (FIFO) バッファを使用するため、ADC スループット・レートと出力データ・レートを同じレートに維持できます。

相加平均オーバーサンプリング・モードは、OS_MODE ビットをロジック 1 にし、OSR ビットを有効な非ゼロ値とすることで設定されます。デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビット OSR を使用して制御します (表 13 参照)。

様々なオーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 13 に示します。出力

表 13. 移動平均オーバーサンプリングの概要

OSR, Bits[2:0]	OS Ratio	SNR (dB Typical)				Data Output Rate (kSPS Maximum)
		2.5 V External Reference		3.3 V External Reference		
		RES = 0	RES = 1	RES = 0	RES = 1	
000	No OS	83.17	83.25	84.51	84.5	4000
001	2	85.77	85.97	86.61	86.9	4000
010	4	88.31	88.77	89.02	89.61	4000
011	8	90.74	91.68	91.42	92.32	4000
110	Invalid	N/A ¹	N/A ¹	N/A ¹	N/A ¹	N/A ¹
111	Invalid	N/A ¹	N/A ¹	N/A ¹	N/A ¹	N/A ¹

¹ N/A は該当なしを意味します。

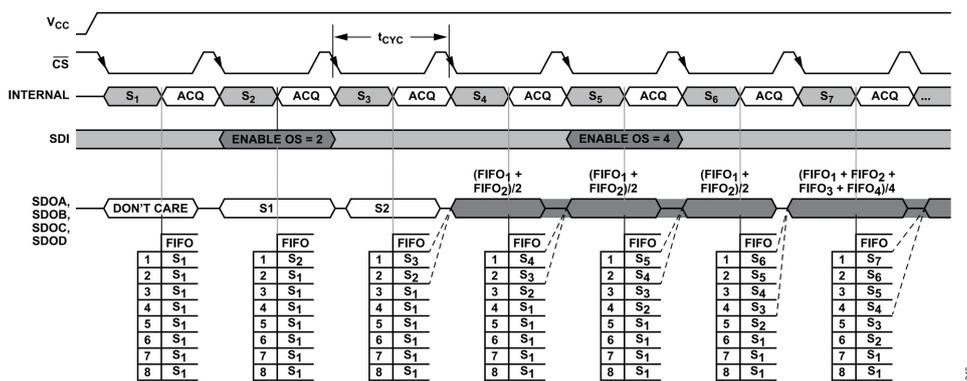


図 40. 移動平均オーバーサンプリング・モードの設定

結果は、AD7386-4/AD7387-4/AD7388-4 用に 16 ビットの分解能にデシメートされます。必要に応じて、CONFIGURATION 1 レジスタの分解能増強ビットを設定することで分解能を追加できます。詳細については分解能増強のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADC の全変換は \overline{CS} の立下がりエッジで制御と開始が行われます。変換が完了すると、結果は FIFO にロードされます。FIFO の長さは、オーバーサンプリング比の設定によらず 8 です。FIFO は、パワーオン・リセット (POR) 後の最初の変換、またはソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換で満たされます。新しい変換結果は、OSR ビットおよび OS_MODE ビットのステータスに関わらず、各 ADC 変換完了時に FIFO にシフトされます。この変換によって、FIFO が満たされるのを待たずに、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移や、様々な移動平均オーバーサンプリング比が可能となります。

OSR ビットで定義されたサンプル数 (n) が FIFO から取得、加算され、その結果が n で除算されます。

動作モード

分解能増強

デフォルトの分解能と出力データ・サイズは、AD7386-4 で 16 ビット、AD7387-4 で 14 ビット、AD7388-4 で 12 ビットです。内蔵のオーバーサンプリング機能を有効化すると、このデフォルトの分解能を上回る ADC 性能が可能になります。この性能向上を実現するために、2 ビットの分解能を追加することができます。CONFIGURATION 1 レジスタの RES ビットをロジック 1 に設定し、AD7386-4/AD7387-4/AD7388-4 を有効なオーバーサンプリング・モードに設定した場合、変換結果のサイズは AD7386-4 では 18 ビット、AD7387-4 では 16 ビット、AD7388-4 では 14 ビットになります。このモードでは、データの伝搬には、AD7386-4 では 18SCLK サイクル、AD7387-4 では 16SCLK サイクル、AD7388-4 では 14SCLK サイクルが必要となります。

アラート

アラート機能は範囲外インジケータで、変換結果が範囲を外れたことを示す初期インジケータとして使用できます。変換結果レジスタの値がアラート上限閾値レジスタのアラート上限値を超えた場合、またはアラート下限閾値レジスタのアラート下限値を下回った場合にアラート・イベントがトリガされます。アラート上限閾値レジスタとアラート下限閾値レジスタは、すべての ADC に共通です。閾値を設定する際には、アラートの上限閾値は常に下限閾値より大きな値にする必要があります。詳細なアラート情報については、アラート表示レジスタのセクションを参照してください。

レジスタには、ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。すべての ADC のアラート信号の論理 OR により、共通のアラート値が作成されます。この値は、SDOD/ $\overline{\text{ALERT}}$ ピンの $\overline{\text{ALERT}}$ 機能で出力されるよう設定できます。SDOD/ $\overline{\text{ALERT}}$ ピンは、CONFIGURATION 1 レジスタおよび CONFIGURATION 2 レジスタの次のビットを設定することで、 $\overline{\text{ALERT}}$ に設定できます。

1. SDO ビットを 0b10 以外の任意の値に設定。
2. ALERT_EN ビットを 1 に設定。
3. アラート上限閾値レジスタとアラート下限閾値レジスタに有効な値を設定。

アラート表示機能は、オーバーサンプリング（移動平均モード、相加平均モード、非オーバーサンプリング・モード）で使用できます。

SDOD/ $\overline{\text{ALERT}}$ ピンのアラート機能は、変換の終了時に更新されます。 $\overline{\text{ALERT}}$ レジスタのアラート表示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。

アラート表示レジスタのビット [7:0] は、アラート表示レジスタの内容を読み出すとクリアされます。SDOD/ $\overline{\text{ALERT}}$ ピンのアラート機能は、 $\overline{\text{CS}}$ の立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、アラート表示レジスタのアラート・ステータスをクリアできません。

$\overline{\text{ALERT}}$ のタイミング図については、図 8 を参照してください。

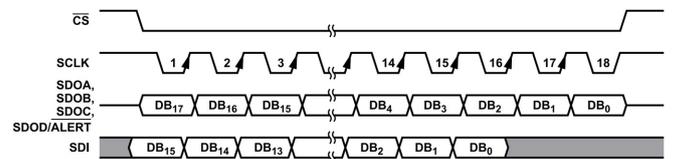


図 41. 分解能増強

動作モード

電力モード

AD7386-4/AD7387-4/AD7388-4 では、ノーマル・モードとシャットダウン・モードの2つの電力モードを CONFIGURATION 1 レジスタで設定できます。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化できます。

AD7386-4/AD7387-4/AD7388-4 の電力モードを設定するには、CONFIGURATION 1 レジスタの PMODE ビットをプログラムします。PMODE をロジック 0 に設定するとノーマル・モード、ロジック 1 に設定するとシャットダウン・モードになります。

ノーマル・モード

スループット・レートを最大にするには、AD7386-4/AD7387-4/AD7388-4 をノーマル・モードに維持します。AD7386-4/AD7387-4/AD7388-4 内の全ブロックが常にフルパワーとなり、ADC 変換は必要に応じて \overline{CS} の立下がりエッジで開始できます。AD7386-4/AD7387-4/AD7388-4 が変換を行っていないとき、デバイスは静的モードになり、消費電力は自動的に抑制されます。変換を実行するには、追加電流が必要となります。そのため、AD7386-4/AD7387-4/AD7388-4 の消費電力はスループットに応じて変動します。

シャットダウン・モード

スループット・レートを下げて消費電力を抑制する必要がある場合は、各変換の間に ADC をパワーダウンするか、高スループット・レートで一連の変換を実行した後、これらのバースト変換の間の相対的に長い時間 ADC をパワーダウンするかのどちらかの方法で、シャットダウン・モードを使用します。AD7386-4/AD7387-4/AD7388-4 がシャットダウン・モードになると、すべてのアナログ回路がパワーダウンします。シリアル・インターフェースはシャットダウン・モードの間もアクティブ状態のままなので、AD7386-4/AD7387-4/AD7388-4 のシャットダウン・モードを終了させることができます。

シャットダウン・モードに移行するには、CONFIGURATION 1 レジスタの電力モード設定ビット PMODE に書き込みを行います。AD7386-4/AD7387-4/AD7388-4 はシャットダウンされ、消費電流が削減されます。シャットダウン・モードを終了しノーマル・モードに戻るには、CONFIGURATION 1 レジスタの PMODE ビットをロジック 0 に設定します。すべてのレジスタ構成設定は、シャットダウン・モードを開始しても終了しても変わりません。シャットダウン・モードの終了後、回路がオンになってから変換を開始するまでには、十分な時間が必要です。内部リファレンスが有効な場合、正確な変換を行うには、リファレンスが安定することが必要です。内部リファレンスおよび外部リファレンスの安定に必要な $t_{STARTUP}$ 時間を表 5 に示します。

内部リファレンスおよび外部リファレンス

AD7386-4/AD7387-4/AD7388-4 は、2.5V の内部リファレンスを備えています。また、より正確なリファレンスやより高いダイナミック・レンジが必要な場合は、外部リファレンスを使用できます。外部リファレンスは、2.5V~3.3V の範囲で供給できます。推奨する外部電圧リファレンスは、2.5V の場合は ADR4525、3.3V の場合は ADR4533 です。外部リファレンスを使用する場合、ADC 変換時に、コアは REFIO ピンの電圧を参照します。

AD7386-4/AD7387-4/AD7388-4 の V_{REF} 電圧は、REFIO ピンを通じて駆動されます。このピンには 2.5V~3.3V の電圧範囲で供給できます。外部 V_{REF} は、AD7386-4/AD7387-4/AD7388-4 を駆動できるだけの電流を流せる必要があります、その最大値は 1.2mA です。REFIO ピンには 1 μ F のコンデンサの接続を推奨します。

リファレンスの選択（内部または外部）は、CONFIGURATION 1 レジスタの REFSEL ビットによって設定します。REFSEL ビットを 0 に設定すると、内部リファレンス・バッファがイネーブルされます。外部リファレンスを使用する場合は、REFSEL ビットを 1 に設定し、REFIO ピンに外部リファレンスを供給する必要があります。

ソフトウェア・リセット

AD7386-4/AD7387-4/AD7388-4 には、ソフト・リセットとハード・リセットの2つのリセット・モードがあります。リセットは、CONFIGURATION 2 レジスタのリセット・ビットに書き込むことで開始できます。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースと ADC ブロックを更新します。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックと FIFO は消去されます。アラート表示レジスタはクリアされます。リファレンスと LDO レギュレータの電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、内部発振器ブロックもリセットされます。パワーアップ後にハード・リセットを行うことを推奨します。

診断セルフ・テスト

AD7386-4/AD7387-4/AD7388-4 は、POR 後またはソフトウェア・ハード・リセット後に診断セルフ・テストを実行し、設定が正しくデバイスにロードされるようにします。

セルフ・テストの結果は、アラート表示レジスタの SETUP_F ビットに示されます。SETUP_F ビットがロジック 1 にセットされた場合、診断セルフ・テストは不合格です。不合格になった場合、ソフトウェア・ハード・リセットが実行され、AD7386-4/AD7387-4/AD7388-4 のレジスタはデフォルト状態にリセットされます。

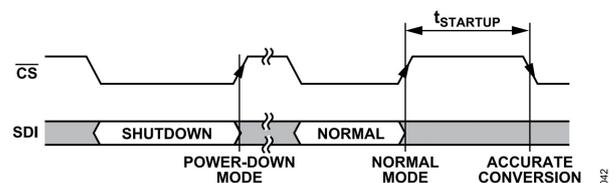


図 42. シャットダウン・モード動作

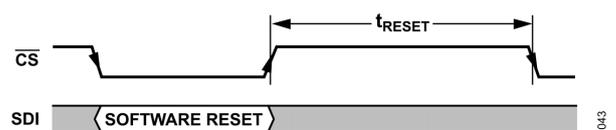


図 43. ソフトウェア・リセット動作

インターフェース

AD7386-4/AD7387-4/AD7388-4 へのインターフェース接続は、シリアル・インターフェースを通じて行います。インターフェースは、 \overline{CS} 、SCLK、SDOA、SDOB、SDOC、SDOD、SDI で構成されています。多機能ピンの特定の機能について示している箇所では、「SDOD」のように、ピン名の仕様に関する部分のみを示しています。多機能ピンの完全なピン名については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

\overline{CS} 信号により、シリアル・データ転送がフレーミングされ、ADC 変換プロセスが開始します。 \overline{CS} の立下がりエッジは、アナログ入力が増幅された時点でトラック&ホールドをホールド・モードにし、バスはスリーステート状態でなくなります。ADC の変換動作は、内部発振器によって駆動され、SCLK 信号には依存しません。

SCLK 信号は、SDOA、SDOB、SDOC、SDOD、SDI の各信号を通じて、データをデバイスに同期させたり、同期を解除したりします。レジスタからの読書きを行うには、16 SCLK サイクル以上が必要です。変換の読出しに必要な SCLK サイクルの最小数は、デバイスの分解能と構成設定に依存します（[表 14](#) 参照）。

AD7386-4/AD7387-4/AD7388-4 には、SDOA、SDOB、SDOC、SDOD の4つのシリアル出力信号があります。CONFIGURATION 2 レジスタの SDO ビットを設定することで、2線モード、1線モード、あるいは4線モードに設定できます。最大スループットを実現するには、2線モードまたは4線モードで変換結果を読み出す必要があります。スループットを下げる必要がある場合や、オーバーサンプリングを使用する場合は、SDOA 信号のみを使用する1線モードで変換結果を読み出すことができます。

分解能増強モードが有効な状態で、SPI 読出しや SPI 書込み、オーバーサンプリング・モードに巡回冗長性チェック (CRC) 動作を設定すると、インターフェースの動作が変わる場合があります。正しい動作を確保するためには、[CRC](#) のセクションを参照してください。

変換結果の読出し

\overline{CS} 信号によって変換プロセスが開始します。 \overline{CS} 信号がハイからローに遷移すると、ADC A、ADC B、ADC C、ADC D の4つのADCが同時に変換を開始します。AD7386-4/AD7387-4/AD7388-4 には1サイクルのリードバック遅延があります。そのため、変換結果は次の SPI アクセスで使用できます。次いで、 \overline{CS} 信号を

ローで受けると、変換結果がシリアル・データ出力ピンにクロックに同期して出力されます。次の変換もこの時点で開始されます。

変換結果は、AD7386-4/AD7387-4/AD7388-4 の16ビットの結果としてデバイスからシフト出力されます。変換結果のMSBが、 \overline{CS} の立下がりエッジでシフト出力されます。それ以外のデータは、SCLK 入力の制御の下でデバイスからシフト出力されます。データは SCLK の立下がりエッジでシフト出力され、データ・ビットは立下がりエッジと立下がりエッジの両方で有効です。SCLK の最後の立下がりエッジの後、再度 \overline{CS} をハイで受けると、シリアル・データ出力ピンは高インピーダンス状態に戻ります。

変換結果をシリアル・データ出力ピンに伝搬するのに必要な SCLK サイクル数は、設定されるシリアル動作モード、および分解能増強モードが有効かどうかによって異なります（詳細は [図 44](#) および [表 14](#) を参照）。CRC 読出しが有効になっている場合、CRC 情報を伝搬するには、追加の SCLK パルスが必要です。詳細については [CRC](#) のセクションを参照してください。

\overline{CS} 信号によって変換が開始され、データがフレーミングされるため、すべてのデータ・アクセスは1つのフレーム内で完了する必要があります。

表 14. 変換結果の読出しに必要な SCLK サイクル数 (n)

Interface Configuration	Resolution Boost Mode	CRC Read	Number of SCLK Cycles
4-Wire	Disabled	Disabled	16
		Enabled	24
	Enabled	Disabled	18
		Enabled	26
2-Wire	Disabled	Disabled	32
		Enabled	40
	Enabled	Disabled	36
		Enabled	44
1-Wire	Disabled	Disabled	64
		Enabled	72
	Enabled	Disabled	72
		Enabled	80

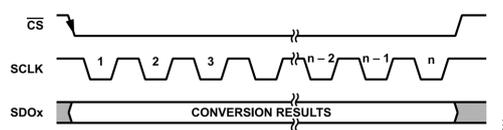


図 44. 変換結果の読出し（必要な SCLK パルス数 (n) の値については [表 14](#) を参照）

インターフェース

シリアル 4 線モード

4 線モードに設定するには、CONFIGURATION 2 レジスタの SDO ビットを 0b10 に設定します。4 線モードでは、ADC A の変換結果が SDOA、ADC B の変換結果が SDOB、ADC C の変換結果が SDOC、ADC D の変換結果が SDOD に出力されます。

シリアル 2 線モード

2 線モードに設定するには、CONFIGURATION 2 レジスタの SDO ビットを 0b00 に設定します。2 線モードでは、ADC A と ADC C の変換結果が SDOA に出力されます。ADC B と ADC D の変換結果は SDOB に出力されます。

シリアル 1 線モード

スループット・レートが低くても構わないアプリケーションや、相加平均オーバーサンプリングを使用するアプリケーションで

は、シリアル・インターフェースを 1 線モードで動作するように設定できます。1 線モードでは、ADC A、ADC B、ADC C、ADC D の変換結果が SDOA に出力されます。すべてのデータを伝搬するには、追加の SCLK サイクルが必要です。まず ADC A のデータが出力され、次いで ADC B、ADC C、ADC D の変換結果が出力されます。

低遅延リードバック

AD7386-4/AD7387-4/AD7388-4 のインターフェースには、図 46 に示すように、1 サイクル分の遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間 ($t_{CONVERT}$) の終了後、変換を開始した最初の \overline{CS} パルスに続く 2 番目の \overline{CS} パルスを使用して、変換結果をリードバックできます。この動作を図 48 に示します。

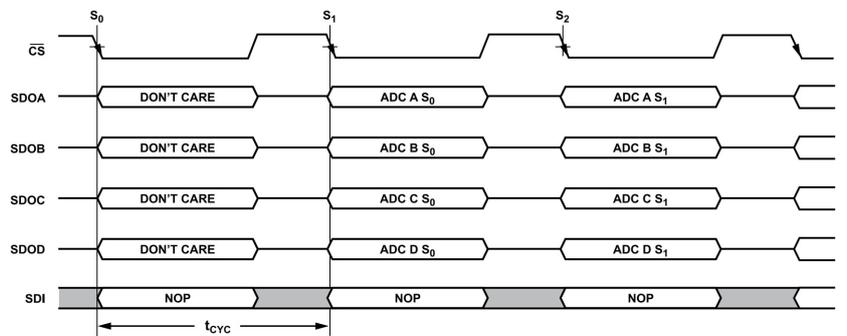


図 45. 変換結果の読出し、4 線モード

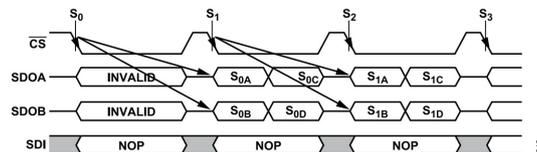


図 46. 変換結果の読出し、2 線モード

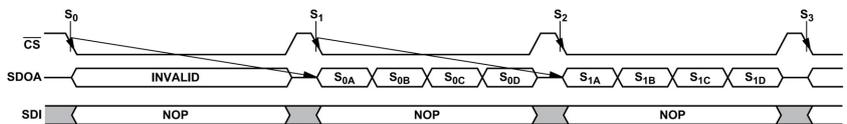


図 47. 変換結果の読出し、1 線モード

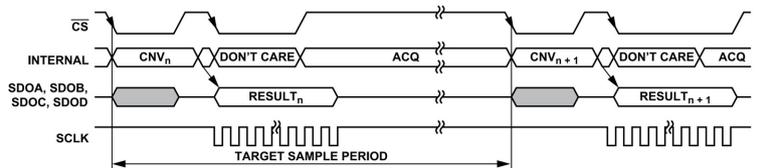


図 48. 低スループットでの低遅延

インターフェース

デバイス・レジスタからの読出し

デバイス内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作コマンド (NOP) のいずれかの追加 SPI コマンドを発行します。読出しコマンドのフォーマットを表 17 に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット[D14:D12]には、レジスタのアドレスが格納されます。後続の 12 ビット (ビット[D11:D0]) は無視されます。

デバイス・レジスタへの書込み

AD7386-4/AD7387-4/AD7388-4 のすべてのリード/ライト・レジスタには、シリアル・インターフェースを介して書き込むことができます。SPI の書込みアクセスの長さは、CRC の書込み機能によって決まります。SPI アクセスは、CRC の書込みが無効な場合は 16 ビット、CRC 書込みが有効な場合は 24 ビットです。書込みコマンドのフォーマットを表 17 に示します。書込みコマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット[D14:D12]には、レジスタのアドレスが格納されます。後続の 12 ビット (ビット[D11:D0]) には、選択したレジスタに書き込むデータが格納されます。

CRC

AD7386-4/AD7387-4/AD7388-4 には CRC チェックサム・モードがあり、これを使用すると、データ伝送中のエラーを検出することでインターフェースの堅牢性を向上させることができます。CRC 機能は、SPI インターフェースの読出しと書込みに対して個別に選択できます。例えば、SPI 書込みには CRC 機能を有効化してデバイス設定の予期しない変更を防止する一方、SPI 読出しに対しては CRC 機能を有効化せずに高いスループット・レートを維持することができます。CRC 機能は、CONFIGURATION 1 レジスタの CRC_W ビットと CRC_R ビットを設定することで制御できます。

CRC 読出し

有効化すると、変換結果またはレジスタ読出しに 8 ビットからなる CRC が付加されます。CRC は ADC A、ADC B、ADC C、ADC D の変換結果で計算され、SDOA に出力されます。また、CRC はレジスタ読出し出力についても計算され、付加されます。

CRC 読出し機能は、2 線 SPI モード、1 線 SPI モード、4 線 SPI モード、分解能増強モードで使用できます。

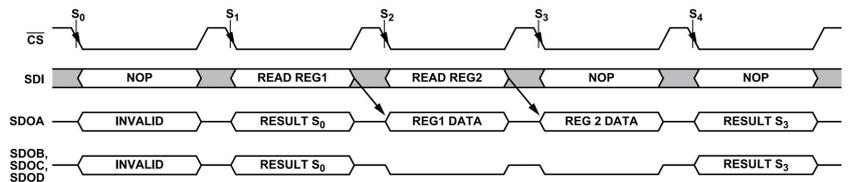


図 49. レジスタ読出し

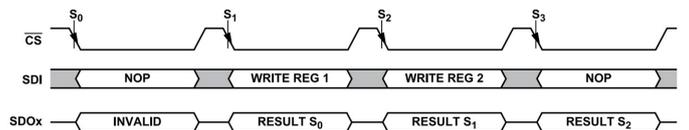


図 50. レジスタの書込み

インターフェース

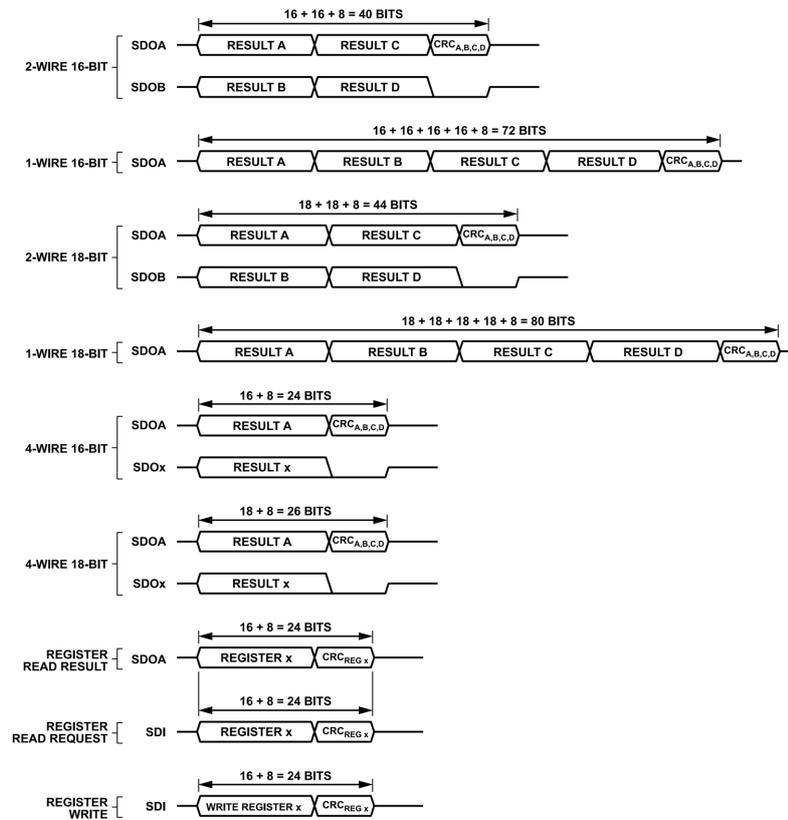


図 51. CRC の動作

レジスタ

AD7386-4/AD7387-4/AD7388-4 には、デバイス設定用にユーザ設定可能なレジスタが内蔵されています。表 16 に、AD7386-4/AD7387-4/AD7388-4 で使用可能な全レジスタの概要を示します。

レジスタは、読出し/書込み (R/W) または読出し専用 (R) です。書込み専用レジスタへの読出しリクエストは無視されます。読出し専用レジスタへの書込みリクエストは無視されます。NOP レジスタと予備レジスタへの書込みは無視されます。NOP レジスタまたは予備レジスタへの読出しリクエストは無操作とみなされ、次の SPI フレームで送信されるデータは変換結果となります。

表 16. レジスタの説明

Reg	Name	Bits	Bit 15		Bit 14		Bit 13		Bit 12		Bit 11		Bit 10		Bit 9		Bit 8		Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0										
0x1	Configuration 1	[15:8]	WR	ADDRESSING		CH		SEQ		OS_MODE		OSR, Bit 2		0x0000		R/W				
		[7:0]	OSR, Bits[1:0]		CRC_W		CRC_R		ALERTEN		RES		REFSEL					PMODE		
0x2	Configuration 2	[15:8]	WR	ADDRESSING		RESERVED		SDO, Bits[1:0]		0x0000		R/W								
		[7:0]	RESET, Bits[7:0]																	
0x3	Alert	[15:8]	WR	ADDRESSING		RESERVED		CRCW_F		SETUP_F		0x0000		R						
		[7:0]	AI_D_HIGH	AI_D_LOW	AI_C_HIGH	AI_C_LOW	AI_B_HIGH	AI_B_LOW	AI_A_HIGH	AI_A_LOW										
0x4	Alert low threshold	[15:8]	WR	ADDRESSING		ALERT_LOW, Bits[11:8]		0x0800		R										
		[7:0]	ALERT_LOW, Bits[7:0]																	
0x5	Alert high threshold	[15:8]	WR	ADDRESSING		ALERT_HIGH, Bits[11:8]		0x07FF		R/W										
		[7:0]	ALERT_HIGH, Bits[7:0]																	

レジスタのアドレス指定

AD7386-4/AD7387-4/AD7388-4でのシリアル・レジスタ転送は、16のSCLKサイクルで構成されます。デバイスに書き込まれた4つのMSBは、どのレジスタが指定されているか判断するためにデコードされます。この4つのMSBは、レジスタ・アドレス (REGADDR)、ビット[2:0]、および読出し/書込み (WR) ビットで構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。アドレス指定されたレジスタが有効な書込みレジスタの場合、WR ビットは、指定されたレジスタに SDI 入力の残りの12ビット・データをロードするかどうかを決めます。WR ビットが1の場合、レジスタ選択ビットによって指定されたレジスタにビットがロードされます。WR ビットが0の場合、このコマンドは読出しリクエストとみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 17. アドレス指定レジスタのフォーマット

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR			REGADDR, Bits[2:0]			Data, Bits[11:0]									

表 18. アドレス指定レジスタのビットの説明

ビット	記号	説明
D15	WR	このビットに1が書き込まれていると、このレジスタのビット[11:0]を REGADDR で指定されるレジスタに書き込みます (ただし、そのレジスタのアドレスが有効な場合)。代わりに、0が書き込まれていると、次に SDOA ピンに送信するデータを指定されたレジスタから読み出します (ただし、そのレジスタのアドレスが有効な場合)。
D14 to D12	REGADDR	WR = 1 の場合、REGADDR の内容によって、表 16 に示すようにレジスタが選択されます。WR = 0 で REGADDR ビットに有効なレジスタ・アドレスが格納されている場合、指定されたレジスタの内容が次のインターフェース・アクセス時に SDOA ピンに出力されます。WR = 0 で REGADDR に 0x0、0x6、0x7 のいずれかが格納されている場合、SDI ラインの内容は無視され、次のインターフェース・アクセスによって、変換結果がリード・バックされます。
D11 to D0	Data	WR ビットが1で REGADDR ビットに有効なアドレスが格納されている場合、これらのビットは、REGADDR ビットによって指定されたレジスタに書き込まれます。

レジスタ

CONFIGURATION 1 レジスタ

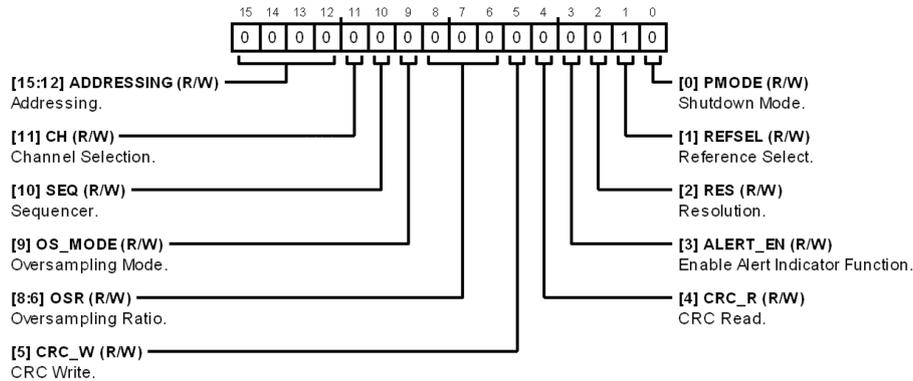


表 19. CONFIGURATION 1 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
11	CH	チャンネル選択。変換対象のチャンネルを選択します。 0：チャンネル 0。ADC のチャンネル 0 (A _{IN} A0、A _{IN} B0、A _{IN} C0、A _{IN} D0) を選択します。 1：チャンネル 1。ADC のチャンネル 0 (A _{IN} A1、A _{IN} B1、A _{IN} C1、A _{IN} D1) を選択します。	0x0	R/W
10	SEQ	シーケンサ。ADC の A _{IN} X0 チャンネルと A _{IN} X1 チャンネルの間を循環して変換を行います。 0：シーケンサをディスエーブル。 1：シーケンサをイネーブル。	0x0	R/W
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを設定します。 0：相加平均。 1：移動平均。	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。該当するモードのすべての ADC のオーバーサンプリング比を設定します。相加平均モードでは、2x、4x、8x、16x、32x のオーバーサンプリング比に対応します。移動平均モードでは、2x、4x、8x のオーバーサンプリング比に対応します。 000：ディスエーブル。 001：2x 010：4x 011：8x 100：16x 101：32x 110：ディスエーブル。 111：ディスエーブル。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。このビットを 0 から 1 にセットする場合、コマンドの後に有効な CRC を追加してこの設定ビットをセットする必要があります。有効な CRC が受信されない場合、フレーム全体が無視されます。ビットが 1 にセットされている場合、CRC ではこれを 0 にクリアする必要があります。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOx インターフェースの CRC 機能を制御します。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
3	ALERT_EN	アラート表示機能を有効化。SDO ビットが 01 の場合に、このビットが機能します。それ以外の場合、ALERT_EN ビットは無視されます。 0：SDOB。 1： $\overline{\text{ALERT}}$ 。	0x0	R/W
2	RES	分解能。変換結果のデータ・サイズを設定します。OSR = 0 の場合、これらのビットは無視され、分解能はデフォルトの分解能に設定されます。 0：通常分解能。 1：2 ビット高い分解能。	0x0	R/W

レジスタ

表 19. CONFIGURATION 1 レジスタのビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
1	REFSEL	リファレンスの選択。ADCのリファレンス源を選択します。 0: 内部 2.5V リファレンスを選択。 1: REFIO ピン経由の外部リファレンス源を選択。	0x0	R/W
0	PMODE	パワーダウン・モード。電力モードを設定します。 0: ノーマル・モード。 1: シャットダウン・モード。	0x0	R/W

CONFIGURATION 2 レジスタ

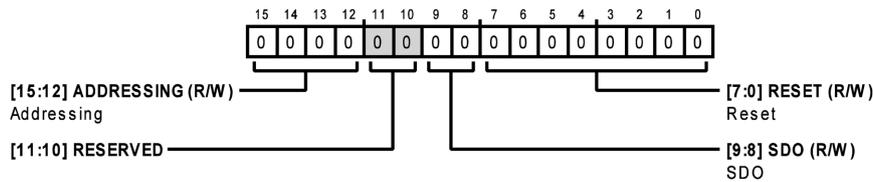
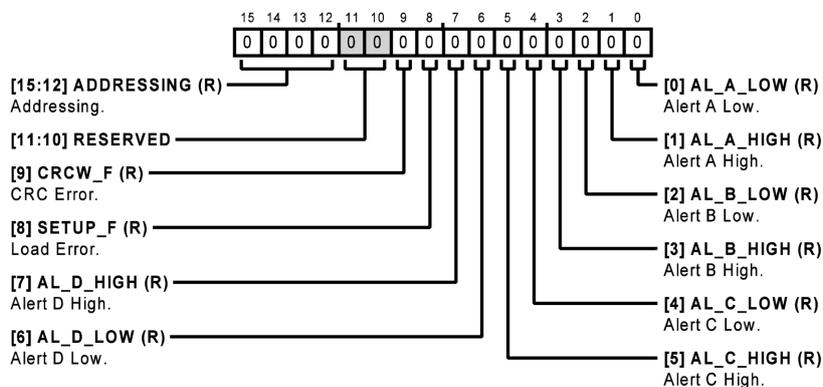


表 20. CONFIGURATION 2 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定ビット。これらのビットによって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R
[9:8]	SDO	SDO。変換結果のシリアル・データ出力。 00: 2線出力。変換データは SDOA および SDOB の両方に出力されます。 01: 1線出力。変換データは SDOA のみに出力されます。 10: 4線。変換データは SDOA、SDOB、SDOC、SDOD/ALERTに出力されます。 11: 1線。変換データは SDOA のみに出力されます。	0x0	R/W
[7:0]	RESET	リセット。 0x3C: ソフト・リセットを実行します。一部のブロックが更新されます。レジスタの内容は変わりません。アラート表示レジスタがクリアされ、オーバーサンプリング保存された変数やアクティブ・ステート・マシンは消去されます。 0xFF: ハード・リセットを実行します。デバイス内の可能なブロックはすべてリセットされます。レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

アラート表示レジスタ



レジスタ

表 21. アラート表示レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備。	0x0	R
9	CRCW_F	CRC エラー。レジスタ書き込みコマンドが CRC エラーのために失敗したことを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : CRC エラーはありません。 1 : CRC エラー。	0x0	R
8	SETUP_F	ロード・エラー。SETUP_F は、起動時にデバイス設定データが正しく読み込まれなかったことを示します。このビットは、アラート表示レジスタの読み出し時にはクリアされません。このビットをクリアし、デバイスのセットアップを再起動するには、CONFIGURATION 2 レジスタを介したハード・リセットが必要です。 0 : セットアップ・エラーなし。 1 : セットアップ・エラー。	0x0	R
7	AL_D_HIGH	アラート D ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート表示。 0 : アラート表示なし。	0x0	R
6	AL_D_LOW	アラート D ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R
5	AL_C_HIGH	アラート C ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート表示。 0 : アラート表示なし。	0x0	R
4	AL_C_LOW	アラート C ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート表示。 0 : アラート表示なし。	0x0	R
3	AL_B_HIGH	アラート B ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート表示。 0 : アラート表示なし。	0x0	R
2	AL_B_LOW	アラート B ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート表示。 0 : アラート表示なし。	0x0	R
1	AL_A_HIGH	アラート A ハイ。このアラート表示ハイ・ビットは、各入力チャンネルの変換結果がアラート上限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : アラート表示なし。 1 : アラート表示。	0x0	R
0	AL_A_LOW	アラート A ロー。このアラート表示ロー・ビットは、各入力チャンネルの変換結果がアラート下限閾値レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート表示。 0 : アラート表示なし。	0x0	R

レジスタ

アラート下限閾値レジスタ

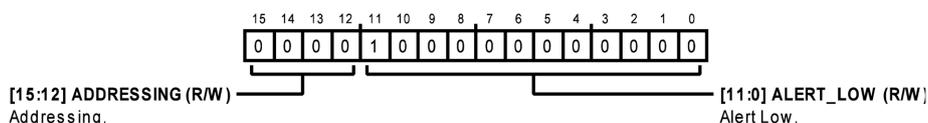


表 22. アラート下限閾値レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラート・ロー。ALERT_LOWのビット[11:0]は、内部アラート・ロー・レジスタのMSB (D[15:4]) に移動します。内部レジスタの残りのビット、D[3:0]は、0x0に固定されます。変換結果がアラート下限閾値レジスタの値を下回るとアラートをセットし、アラート下限閾値レジスタの値を上回るとアラートは無効になります。	0x800	R/W

アラート上限閾値レジスタ

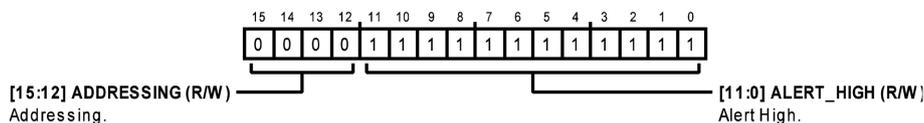


表 23. アラート上限閾値レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット[15:12]によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGHのビットD[11:0]は、内部アラート・ハイ・レジスタのMSB (D[15:4]) に移動します。内部レジスタの残りのビット、D[3:0]は、0xFに固定されます。変換結果がアラート上限閾値レジスタの値を上回るとアラートをセットし、アラート上限閾値レジスタの値を下回るとアラートは無効になります。	0xFFF	R/W

関連デバイス

表 24. 関連デバイス

No. of Channels	Input Type	16 Bits	14 Bits	12 Bits
4	Differential	AD7380-4 AD7389-4	AD7381-4	
	Pseudo-differential	AD7383-4 AD7380	AD7384-4 AD7381	
2	Differential	AD4680 AD4681		
	Pseudo-differential	AD7383 AD4682 AD4683	AD7384	
	Single-ended	AD7386 AD4684 AD4685	AD7387	AD7388

外形寸法

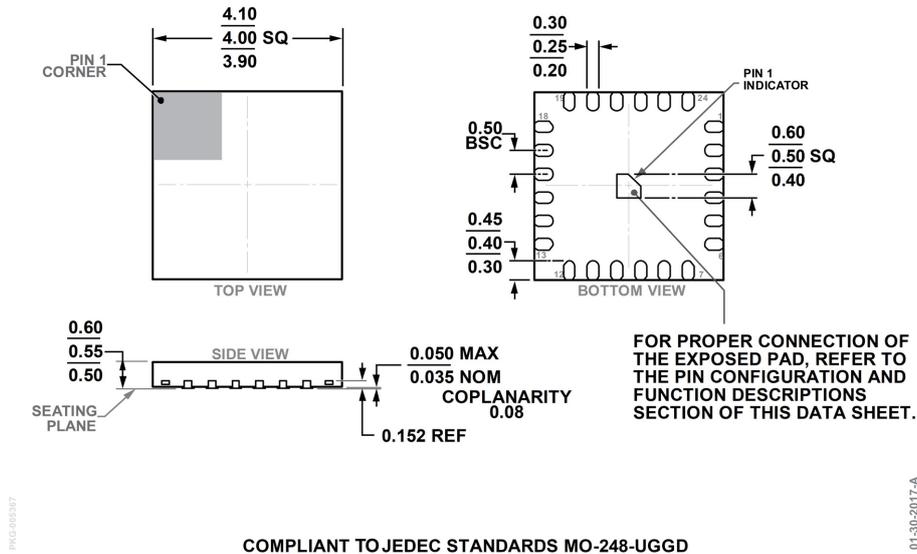


図 52.24 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
4mm x 4mm ボディ、0.55mm パッケージ高 (CP-24-25)
単位 : mm

更新 : 2023 年 10 月 18 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option	Marking Code
AD7386-4BCPZ	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE		CP-24-25	
AD7386-4BCPZ-RL	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE	Reel, 5000	CP-24-25	
AD7386-4BCPZ-RL7	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE	Reel, 1000	CP-24-25	
AD7387-4BCPZ	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE		CP-24-25	CA7
AD7387-4BCPZ-RL	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE	Reel, 5000	CP-24-25	CA7
AD7387-4BCPZ-RL7	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE	Reel, 1000	CP-24-25	CA7
AD7388-4BCPZ	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE		CP-24-25	
AD7388-4BCPZ-RL	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE	Reel, 5000	CP-24-25	
AD7388-4BCPZ-RL7	-40°C to +125°C	LFCSP:LEADFRM CHIP SCALE	Reel, 1000	CP-24-25	

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
	Evaluation Board

¹ Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年3月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2014年3月29日

製品名：AD7386-4/AD7387-4/AD7388-4

対象となるデータシートのリビジョン(Rev)：Rev. 0

訂正箇所：

P.31

英文データシートの Table 19 の Bit 11 (Bit Name CH) の Description の部分で、1: Channel 1s. Selects Channel 0s of the ADC と記述があります。このうち「Channel 0s」は間違いで、正しくは「Channel 1s」となります。

日本語データシートの当該部分は英語の原文に合わせて、「チャンネル 0」と訳しておりますが、「チャンネル 1」と読み替えてください。