

### 8 チャンネル、12/16 ビット、リファレンス内蔵の構成可能 IDAC/VDAC

#### 特長

- ▶ オクタル・チャンネル、VDAC と IDAC の任意の組合せで構成可能
- ▶ 単調増加性を確保：±1 LSB<sub>16</sub>（最大）の DNL
- ▶ 出力電流駆動能力（IDAC/VDAC モード時）：50mA
- ▶ 最大ヘッドルーム（VDAC モード時）：70mV
- ▶ 最大ヘッドルーム（IDAC モード時）：0.25V
- ▶ 内部電圧リファレンス：2.5V、3ppm/°C（代表値）
- ▶ デバイス・アドレス指定可能な SPI インターフェース
- ▶ 出力電源範囲：+1.71V~+5.5V
- ▶ 出力電圧、出力電流、ダイ温度の診断モニタリング
- ▶ 超小フォーム・ファクタ：2.1mm × 2.2mm、25 ボール WLCSP
- ▶ 動作温度範囲：-40°C~+125°C

#### アプリケーション

- ▶ 光ネットワーク
- ▶ 計測器
- ▶ データ・アキュイジション
- ▶ ATE（自動試験装置）
- ▶ プロセス制御および産業用オートメーション

#### 概要

AD5711R/AD5710R は、電流出力 D/A コンバータ（IDAC）または電圧出力 D/A コンバータ（VDAC）として個別に構成できる 8 つの 12/16 ビット DAC チャンネルを備えています。AD5711R/AD5710R には、2.5V、3ppm/°C のリファレンスが内蔵されています。

AD5711R/AD5710R の出力が IDAC として構成されている場合、出力電流範囲は 0mA~50mA になります。VDAC として構成されている場合、出力電圧範囲は 0V~VREF、または 0V~2 × VREF になります。

AD5711R/AD5710R は、25 ボールのウェハ・レベル・チップ・スケール・パッケージ（WLCSP）を採用し、-40°C~+125°C の温度範囲で仕様規定されています。

表 1. ファミリー・モデル

モデル	説明
AD5710R	2.5V リファレンス内蔵の構成可能 16 ビット IDAC/VDAC
AD5711R	2.5V リファレンス内蔵の構成可能 12 ビット IDAC/VDAC

#### 機能ブロック図

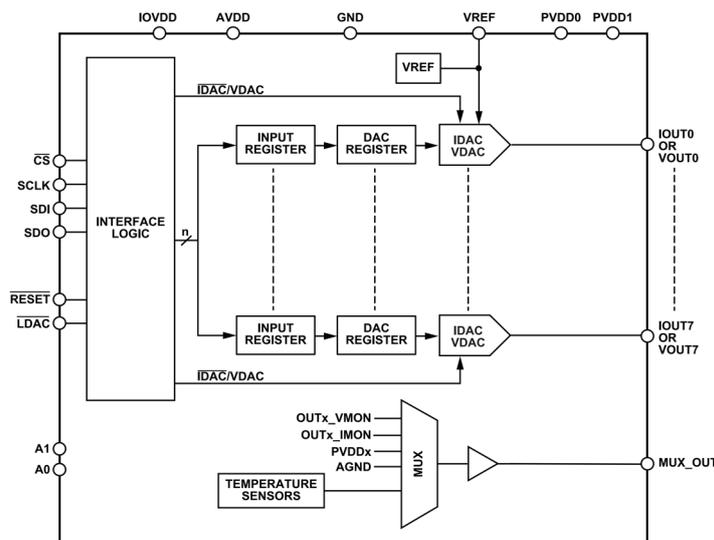


図 1. 機能ブロック図

#### Rev. B

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	SPI フレーム同期.....	31
アプリケーション.....	1	命令フェーズ.....	31
概要.....	1	データ・フェーズ.....	31
機能ブロック図.....	1	マルチバイト・レジスタ.....	31
電気的特性.....	4	単一命令モード.....	32
DC 仕様.....	4	ストリーミング・モード.....	33
AC 仕様.....	6	デバイスのアドレス指定.....	34
デジタル・インターフェースのタイミング.....	8	デバイス・ステータス・エラー.....	35
絶対最大定格.....	11	巡回冗長検査 (CRC) エラーの検出.....	35
熱抵抗.....	11	デバイスのリセット.....	36
ESD に関する注意.....	11	アプリケーション情報.....	37
ピン配置およびピン機能の説明.....	12	電源の推奨事項.....	37
代表的な性能特性.....	13	マイクロプロセッサのインターフェース.....	37
用語の定義.....	22	レイアウトおよびアセンブリのガイドライン.....	37
動作原理.....	24	熱に対する考慮事項.....	37
D/A コンバータ.....	24	レジスタ.....	39
電圧リファレンス.....	25	レジスタの一覧.....	39
内蔵マルチプレクサ.....	25	レジスタの詳細.....	41
DAC のコア機能.....	27	外形寸法.....	59
LDAC 機能.....	27	オーダー・ガイド.....	59
DAC の更新.....	27		
デジタル・インターフェース.....	31		

## 改訂履歴

<b>1/2026—Rev. A to Rev. B</b>	
Added AD5711R (Universal).....	1
Changes to General Description Section.....	1
Added Table 1; Renumbered Sequentially.....	1
Changes to Table 2.....	4
Digital-to-Analog Glitch Impulse and Digital-to-Analog Glitch Peak, VDAC Specifications Parameter; Digital-to-Analog Glitch Impulse and Digital-to-Analog Glitch Peak, IDAC Specifications Parameter, Table 3.....	6
Change to Figure 6 Caption.....	13
Added Figure 7; Renumbered Sequentially.....	13
Changes to Figure 8.....	13
Added Figure 9.....	13
Changes to Figure 27, Figure 28, and Figure 29.....	16
Change to Figure 30.....	17
Change to Digital-to-Analog Converter Section.....	24
Change to IDAC Channels Section.....	24
Changes to Multibyte Registers Section.....	31
Added Table 12.....	32
Change to Table 13.....	34
Changes to Table 22.....	43
Changes to Table 23.....	43
Changes to DAC Register Section and Table 41.....	52
Change to Table 48.....	57
Changes to Ordering Guide.....	59

## 目次

**1/2026—Rev. 0 to Rev. A**

Changes to Table 3 .....	6
Changes to Figure 21 and Figure 22 .....	15
Changes to Streaming Mode Section and Figure 69 .....	33
Change to Table 14.....	36

**10/2025— Revision 0: Initial Version**

## 電気的特性

## DC 仕様

AVDD = 2.7V~5.5V、PVDDx = 2.7V~AVDD (VDAC チャンネルの場合)、PVDDx = 1.71V~AVDD (IDAC チャンネルの場合)、IOVDD = 1.08V~1.98V、VREF = 2.5V (内部または外部)、仕様はすべて  $T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  での値です。特に指定のない限り、代表仕様値は  $T_A = 25^{\circ}\text{C}$  での値です。VDAC チャンネルの場合、 $R_L = 2\text{k}\Omega$ 、 $C_L = 200\text{pF}$ 。IDAC チャンネルの場合、 $R_L = 50\Omega$ 。VREF にコンデンサは使用しません。

表 2. DC 仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VDAC STATIC PERFORMANCE					
Resolution					
AD5711R	12			Bits	
AD5710R	16			Bits	
Integral Nonlinearity (INL) <sup>1</sup>					
AD5711R	-0.625		+0.625	LSB <sub>12</sub>	
AD5710R	-10		+10	LSB <sub>16</sub>	
Differential Nonlinearity (DNL) <sup>1</sup>					
AD5711R	-0.25		+0.25	LSB <sub>12</sub>	
AD5710R	-1		+1	LSB <sub>16</sub>	Guaranteed monotonic
Zero-Code Error	-4.6	1.5	+4.6	mV	
Offset Error <sup>2</sup>	-5.2	1.4	+5.2	mV	
Gain Error	-0.3	0.02	+0.3	% of FSR	Range = 0 to VREF
		0.04		% of FSR	Range = 0 to 2 × VREF
Total Unadjusted Error (TUE)	-0.34	±0.08	+0.34	% of FSR	Range = 0 to VREF
	-0.16	±0.04	0.16	% of FSR	Range = 0 to 2 × VREF
Offset Error Drift		1.5		μV/°C	Range = 0 to VREF
		2.5		μV/°C	Range = 0 to 2 × VREF
Gain Error Drift		18		ppm/°C	Range = 0 to VREF
		25		ppm/°C	Range = 0 to 2 × VREF
DC Power Supply Rejection Ratio (PSRR)					
AVDD		33		μV/V	DAC code = midscale, AVDD = 5V ± 10%
PVDD		16		μV/V	DAC code = midscale, PVDD = 5V ± 10%
DC Crosstalk					
VDAC to VDAC		4.5		μV	Due to single channel, full-scale output change, internal reference, and range = 0 to VREF
		35		μV/mA	Due to single channel, from -10mA to +10mA load current change, internal reference, and range = 0 to VREF
		14		μV	Due to powering down (per channel), internal reference, and range = 0 to VREF
IDAC to VDAC		168		μV	Due to single channel, full-scale output change, internal reference, and range = 0 to VREF
		298		μV	Due to powering down (per channel), internal reference, and range = 0 to VREF
VDAC OUTPUT CHARACTERISTICS					
Output Voltage Range	0		VREF	V	Range = 0 to VREF
	0		2 × VREF	V	Range = 0 to 2 × VREF
Short Circuit Current		50		mA	Sourcing
		10		mA	Sinking
Capacitive Load Stability		2		nF	$R_L = \infty$
		10		nF	$R_L \leq 2\text{k}\Omega$
Load Regulation		200		μV/mA	PVDD = 5V ± 10%, DAC code = midscale, $-30\text{mA} \leq I_{OUT} \leq +30\text{mA}$

## 電気的特性

表 2. DC 仕様 (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
		200		$\mu\text{V}/\text{mA}$	PVDD = $3\text{V} \pm 10\%$ , DAC code = midscale, $-20\text{mA} \leq I_{\text{OUT}} \leq +20\text{mA}$
Headroom	70	50		mV	Source current = 20mA
Footroom	250	120		mV	Sink current = 10mA
Output Impedance		10		$\Omega$	Output close to VDD or GND
Power-Up Time		4.5		$\mu\text{s}$	Exiting power-down mode, AVDD = PVDD = 5V
<b>IDAC STATIC PERFORMANCE</b>					
Resolution					
AD5711R	12			Bits	
AD5710R	16			Bits	
INL <sup>1</sup>					
AD5711R		$\pm 0.5$		LSB <sub>12</sub>	
AD5710R		$\pm 8$		LSB <sub>16</sub>	
DNL <sup>1</sup>	-1		+1	LSB	Guaranteed monotonic
Offset Error <sup>2</sup>		82		$\mu\text{A}$	
Gain Error		5.5		% of FSR	FSR = 52mA nominal
Offset Error Drift		0.14		$\mu\text{A}/^\circ\text{C}$	
Gain Error Drift		20		ppm/ $^\circ\text{C}$	
DC PSRR					
AVDD		1.2		$\mu\text{A}/\text{V}$	DAC code = midscale, AVDD = $5\text{V} \pm 10\%$
		1.5		$\mu\text{A}/\text{V}$	DAC code = midscale, AVDD = $3.3\text{V} \pm 10\%$
PVDD		23		$\mu\text{A}/\text{V}$	DAC code = midscale, PVDD = $5\text{V} \pm 10\%$
		12.5		$\mu\text{A}/\text{V}$	DAC code = midscale, PVDD = $1.8\text{V} \pm 10\%$
DC Crosstalk					
IDAC to IDAC		3		$\mu\text{A}$	Due to single channel, full-scale output change, and internal reference
		5		$\mu\text{A}$	Due to powering down (per channel), and internal reference
VDAC to IDAC		0.1		$\mu\text{A}$	Due to single channel, full-scale output change, and internal reference
		0.5		$\mu\text{A}$	Due to powering down (per channel), internal reference, and VDAC range = 0 to VREF
<b>IDAC OUTPUT CHARACTERISTICS</b>					
Output Current Range	0		>50	mA	
Dropout Voltage			250	mV	Output current = FS
Power-Up Time		4		$\mu\text{s}$	Exiting power-down mode, AVDD = PVDD = 5V
<b>REFERENCE INPUT</b>					
Reference Input Current		387		$\mu\text{A}$	VREF = 5.5V
		682		$\mu\text{A}$	VREF = 5.5V and VDAC range = 0 to $2 \times \text{VREF}$
Reference Input Voltage		2.5		V	
Reference Input Impedance		14.3		k $\Omega$	
		8.1		k $\Omega$	VDAC range = 0 to $2 \times \text{VREF}$
<b>REFERENCE OUTPUT</b>					
VREF Output	2.4925	2.5	2.5075	V	
Voltage Reference Temperature Coefficient (TC)		3		ppm/ $^\circ\text{C}$	
Output Impedance		0.04		$\Omega$	
Load Regulation Sourcing		40		$\mu\text{V}/\text{mA}$	At ambient temperature
Output Current Load Capability		+7		mA	Sourcing, AVDD $\geq 3\text{V}$
		400		$\mu\text{A}$	Sinking

電気的特性

表 2. DC 仕様 (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Line Regulation		13.4		$\mu\text{V/V}$	At ambient temperature
Thermal Hysteresis		2.6		ppm	First cycle
		2.7		ppm	Additional cycles
INTEGRATED MULTIPLEXER					
Output Voltage Range	0		PVDD	V	
Output Current		$\pm 9$		mA	
Output Impedance		0.54		$\Omega$	
Offset Error		50		mV	
Maximum Capacitive Load		10		nF	
LOGIC INPUTS					
Input Current			1	$\mu\text{A}$	Per pin, leakage current
Input Low Voltage ( $V_{IL}$ )			$0.3 \times \text{IOVDD}$	V	
Input High Voltage ( $V_{IH}$ )	$0.7 \times \text{IOVDD}$			V	
Pin Capacitance		1.3		pF	
LOGIC OUTPUTS SERIAL DATA OUT (SDO)					
Output Low Voltage ( $V_{OL}$ )			0.4	V	$I_{SINK} = 1\mu\text{A}$
Output High Voltage ( $V_{OH}$ )	$\text{IOVDD} - 0.4$			V	$I_{SOURCE} = 1\mu\text{A}$
Floating State Output Capacitance		1.2		pF	
POWER REQUIREMENTS					
IOVDD	1.08		1.98	V	Static Inputs, $V_{IH} = \text{IOVDD}$ , $V_{IL} = \text{GND}$
$I_{LOGIC}$		16		$\mu\text{A}$	
AVDD	2.7		5.5	V	
PVDDx	1.71		AVDD	V	
$I_{AVDD}$					
Normal Mode		1.75		mA	External reference = 2.5V
		2.64	2.76	mA	Internal reference
Power-Down		1.05	1.8	mA	Internal reference
		690		$\mu\text{A}$	External reference = 2.5V
$I_{PVDD0}$ , $I_{PVDD1}$		2.3		mA	IDAC output at zero scale
		0.8		$\mu\text{A}$	IDAC output = high-Z
		0.55		mA	VDAC output at zero scale
		0.35		$\mu\text{A}$	VDAC output = 15k $\Omega$ to GND

<sup>1</sup> 直線性は、VDAC チャンネルと IDAC チャンネルのどちらも、AD5711R の場合、コード 16~4079 で、AD5710R の場合、コード 256~コード 65279 で定義しています。

<sup>2</sup> オフセット誤差は、AD5711R の場合、VDAC チャンネルの場合はコード 406 で、ICAC チャンネルの場合はコード 16 で、AD5710R の場合、VDAC チャンネルの場合はコード 6503 で、IDAC チャンネルの場合はコード 255 で測定しています。

AC 仕様

AVDD = 2.7V~5.5V、PVDDx = 2.7V~AVDD (VDAC チャンネルの場合)、PVDDx = 1.71V~AVDD (IDAC チャンネルの場合)、 $1.08\text{V} \leq \text{IOVDD} \leq 1.98\text{V}$ 、VREF = 2.5V (内部または外部)、仕様はすべて  $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$  での値です。特に指定のない限り、代表仕様値は  $T_A = 25^\circ\text{C}$  での値です。VDAC チャンネルの場合、GND との間の  $R_L = 2\text{k}\Omega$ 、GND との間の  $C_L = 200\text{pF}$ 。IDAC チャンネルの場合、GND との間の  $R_L = 50\Omega$ 。VREF にコンデンサは使用しません。

表 3. AC 仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VDAC SPECIFICATIONS					
Output Voltage Settling Time		7		$\mu\text{s}$	$\frac{1}{4}$ to $\frac{3}{4}$ scale and vice versa with settling to $\pm 2 \text{LSB}_{16}$
Slew Rate		0.7		V/ $\mu\text{s}$	10% FSR to 90% FSR and vice versa

## 仕様

表 3. AC 仕様 (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Digital-to-Analog Glitch Impulse		1		nV-sec	Code change from 0xC000 to 0xBFFF and vice versa, AD5710R (internal reference, range = 0 to VREF)
Digital-to-Analog Glitch Peak		1.5		mV	Code change from 0xC000 to 0xBFFF and vice versa, AD5710R (internal reference, range = 0 to VREF)
Digital Feedthrough (Voltage Peak)		0.04		mV	Internal reference and range = 0 to VREF OUT1, OUT2, OUT3, OUT5, OUT6, and OUT7 as victim channels
		0.7		mV	OUT0 and OUT4 as victim channels
VDAC-to-VDAC Crosstalk (Voltage Peak) <sup>1</sup>					Internal reference and range = 0 to VREF
Digital		0.05		mV	OUT1, OUT2, OUT3, OUT5, OUT6, and OUT7 as victim channels
		0.7		mV	OUT0 and OUT4 as victim channels
Analog		1.1		mV	Adjacent channels <sup>2</sup>
		0.2		mV	Non adjacent channels <sup>2</sup>
DAC-to-DAC		1.1		mV	OUT1 and OUT5 as victim channels, with OUT0 and OUT4 as attackers respectively
		0.3		mV	OUT0, OUT2, OUT3, OUT4, OUT6, and OUT7 as victim channels
IDAC-to-VDAC Crosstalk (Voltage Peak) <sup>3</sup>					Internal reference and range = 0 to VREF
Analog		5		mV	Adjacent channels <sup>2</sup>
		0.2		mV	Non adjacent channels <sup>2</sup>
DAC-to-DAC		3		mV	Adjacent channels <sup>2</sup>
		0.2		mV	Non adjacent channels <sup>2</sup>
Mux-to-VDAC Crosstalk <sup>4</sup>		0.09		mV	OUT1, OUT2, OUT3, OUT4, OUT5, and OUT7 as victim channels
		1.3		mV	OUT0 and OUT4 as victim channels
Output Noise Spectral Density		68		nV/√Hz	DAC code = midscale, 10kHz Range = 0 to VREF and external reference
		84		nV/√Hz	Range = 0 to 2 × VREF and external reference
		107		nV/√Hz	Range = 0 to VREF and internal reference
		131		nV/√Hz	Range = 0 to 2 × VREF and internal reference
Output Noise		15		μV p-p	0.1Hz to 10Hz, range = 0 to VREF
		25		μV p-p	0.1Hz to 10Hz, range = 0 to 2 × VREF
PVDDx AC PSRR		-93		dB	10Hz, range = 0 to VREF or range = 0 to 2 × VREF
		-79		dB	100Hz, range = 0 to VREF or range = 0 to 2 × VREF
		-59		dB	1kHz, range = 0 to VREF or range = 0 to 2 × VREF
IDAC SPECIFICATIONS					
Output Current Settling Time		17.5		μs	¼ to ¾ scale with settling to ±2 LSB <sub>16</sub>
Slew Rate		18		mA/μs	10% FSR to 90% FSR and vice versa
Digital-to-Analog Glitch Impulse		15		pA-sec	Code change from 0xC000 to 0xBFFF and vice versa, AD5710R (internal reference, range = 0 to VREF)
Digital-to-Analog Glitch Peak		40		μA	Code change from 0xC000 to 0xBFFF and vice versa, AD5710R (internal reference, range = 0 to VREF)
Digital Feedthrough (Current Peak)					Internal reference and range = 0 to VREF
		2.5		μA	OUT1, OUT2, OUT3, OUT5, OUT6, and OUT7 as victim channels
		35		μA	OUT0 and OUT4 as victim channels
IDAC-to-IDAC Crosstalk (Current Peak)					Internal reference and range = 0 to VREF
Digital		2.4		μA	OUT1, OUT2, OUT3, OUT5, OUT6, and OUT7 as victim channels
		35		μA	OUT0 and OUT4 as victim channels
Analog		130		μA	OUT1 and OUT5 as victim channels, with OUT0 and OUT4 as attackers respectively
		12		μA	OUT0, OUT2, OUT3, OUT4, OUT6, and OUT7 as victim channels
DAC-to-DAC		9.4		μA	OUT0, OUT2, OUT3, OUT4, OUT6, and OUT7 as victim channels

仕様

表 3. AC 仕様 (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VDAC-to-IDAC Crosstalk (Current Peak) Analog		65		μA	OUT1 and OUT5 as victim channels, with OUT0 and OUT4 as attackers respectively Internal reference and range = 0 to VREF
		6.5		μA	OUT0, OUT2, OUT3, OUT4, OUT6, and OUT7 as victim channels
		20.5		μA	OUT1 and OUT5 as victim channels, with OUT0 and OUT4 as attackers respectively
DAC-to-DAC		1.3		μA	OUT0, OUT2, OUT3, OUT4, OUT6, and OUT7 as victim channels
		18.6		μA	OUT1 and OUT5 as victim channels, with OUT0 and OUT4 as attackers respectively
Output Noise Spectral Density					DAC code = midscale
		4.1		nA/√Hz	f = 1kHz and external reference
		3.1		nA/√Hz	f = 10kHz and external reference
Output Noise		1.15		μA p-p	0.1Hz to 10Hz
PVDDx AC PSRR		-97		dB	100Hz
		-85		dB	1kHz
		-46		dB	100kHz
VOLTAGE REFERENCE OUTPUT					
Output Voltage Noise		22		μV p-p	0.1Hz to 10Hz
Output Voltage Noise Density		93		nV/√Hz	f = 10kHz

<sup>1</sup> クロストークの測定値は、特定の被害側チャンネルに対するすべての加害側チャンネルの平均値として計算され、加害側チャンネルがゼロコードからフルスケールまで遷移したとき、またはその逆方向に遷移したときの値を使用します。

<sup>2</sup> 隣接チャンネルは、同一の PVDD 電源領域内で定義されます。チャンネル CH0~CH3 は PVDD0 を共有しており、これらのチャンネル同士のみが隣接チャンネルと見なされ、チャンネル CH4~CH7 は PVDD1 を共有しており、これらのチャンネル同士のみが隣接チャンネルと見なされます。

<sup>3</sup> IDAC チャンネルのコード変更が VDAC チャンネルの出力に与える影響。

<sup>4</sup> MUX\_OUT\_SELECT レジスタを通じて任意のチャンネルをモニタしているときに、VDAC チャンネルに現れるピーク・グリッチ。

デジタル・インターフェースのタイミング

すべての入力信号は、スタンドアロン・デバイスに対して、立上がり時間 (tr) = 立下がり時間 (tf) = 1ns/V (IOVDD の 10%~90%) で仕様規定され、(VIL + VIH)/2 の電圧レベルで時間を測定しています。AVDD = 2.7V~5.5V、1.08V ≤ IOVDD ≤ 1.98V。VREF = 2.5V。特に指定のない限り、すべての仕様は Tj = -40°C~+125°C での値です。

表 4. デジタル・インターフェースのタイミング仕様

Parameter	Test Conditions / Comments	Min	Typ	Max	Units
t1 (Write)	SCLK cycle period (write)	20 <sup>1</sup>			ns
t1 (Read)	SCLK cycle period (read)	40 <sup>2</sup>			ns
t1	SCLK cycle period			80 <sup>3</sup>	ns
t2	SCLK high time		t1 × 0.5		ns
t3	SCLK low time		t1 × 0.5		ns
t4	SCLK rising edge to CS falling edge	10			ns
t5	CS falling edge to SCLK rising edge setup time	7			ns
t6	SCLK rising edge to CS rising edge, LDAC idle high mode	4			ns
t7	CS rising edge to SCLK rising edge	6			ns
t8	Data hold time	2			ns
t9	Data setup time	5			ns
t10	CS high time (single, combined, or all channel update)	10			ns
t11	SCLK falling edge to SDO data available			9	ns
t12	SCLK falling edge to SDO data remains valid			10	ns

仕様

表 4. デジタル・インターフェースのタイミング仕様 (続き)

Parameter	Test Conditions / Comments	Min	Typ	Max	Units
$t_{13}$	$\overline{CS}$ rising edge to SDO disabled			9	ns
$t_{14}$	SCLK falling edge to SDO enabled			10	ns
$t_{OUT\_SYNC}$	Last SCLK rising edge to VOUT transition start (VDAC mode)		1.06		$\mu$ s
	Last SCLK rising edge to IOOUT transition start (IDAC mode)		2.41		$\mu$ s
$t_{RESET}$	$\overline{RESET}$ low pulse width	160			ns
$t_{OUT\_RESET}$	$\overline{RESET}$ falling edge to OUT transition start		3.6		$\mu$ s
$t_{SPI\_RDY}$	$\overline{RESET}$ rising edge to serial peripheral interface (SPI) transaction begin			167	$\mu$ s

<sup>1</sup> 書き込み動作のみの場合、50MHzと同じです。

<sup>2</sup> 読み出し動作のみの場合、25MHzと同じです。

<sup>3</sup> LOOP\_COUNT > 0 のストリーミングモード中では、入力および DAC レジスタの更新にのみ適用されます。詳細についてはストリーミング・モードのセクションを参照してください。

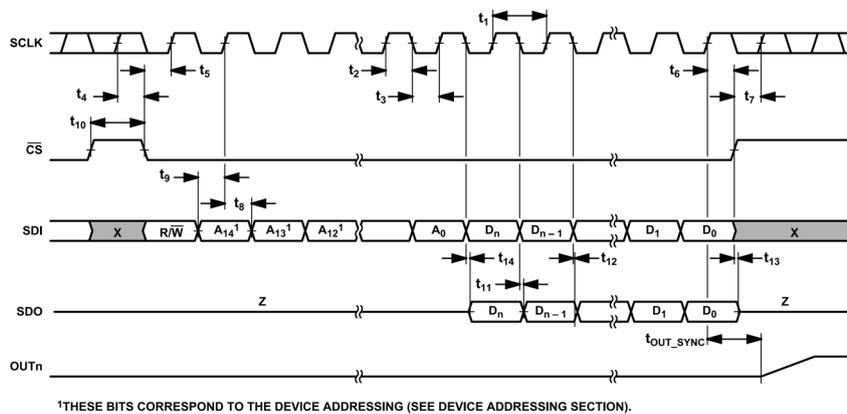


図 2. シリアル読み出し動作と書き込み動作

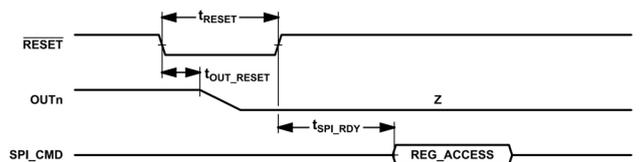


図 3. リセット・タイミング

表 5. DAC 更新のタイミング仕様

Parameter	Test Conditions / Comments	Min	Typ	Max	Units
$t_{L1}$	$\overline{LDAC}$ low pulse width	120			ns
$t_{L2}$	$\overline{LDAC}$ falling edge to SPI DAC update	640			ns
$t_{L3}$	SPI DAC update to $\overline{LDAC}$ falling edge	640			ns
$t_{L4}$	$\overline{LDAC}$ falling edge to VOUT transition (VDAC mode)		0.6		$\mu$ s
	$\overline{LDAC}$ falling edge to IOOUT transition (IDAC mode)		2.6		$\mu$ s

仕様

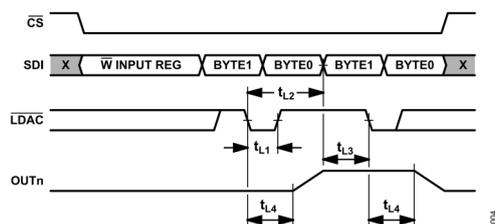


図 4. LDAC動作のタイミング

## 絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
AVDD to GND	-0.3V to +6.5V
PVDDx to GND	-0.3V to +6.5V or AVDD + 0.3V, whichever is less
IOVDD to GND	-0.3V to +2.1V
OUTn to GND	-0.3V to +6.5V or PVDD + 0.3V, whichever is less.
VREF <sup>1</sup> to GND	-0.3V to +6.5V or AVDD + 0.3V, whichever is less
Digital Input/Output Voltage to GND	-0.3V to +2.1V or IOVDD + 0.3V, whichever is less
Temperature	
Operating Junction Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Absolute Maximum Junction Temperature	150°C
Reflow Soldering Peak Temperature, Pb-Free (J-STD-020)	260°C

<sup>1</sup> リファレンス入力ピンとして設定。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。特に最大消費電力が大きいアプリケーションでは、PCBの熱設計に細心の注意を払う必要があります。

$\theta_{JA}$  および  $\theta_{JB}$  は、記載された試験条件がすべて同様であると仮定し、本デバイスのパッケージの熱性能を他の半導体パッケージと比較するために主に使用されます。また、システム環境におけるジャンクション温度の1次近似として使用できます。

ボード上のテスト対象デバイス（DUT）付近の正確な熱測定値、または、システム動作中でのパッケージ上面を直接測った正確な熱測定値が得られる場合、WLCSP デバイスでは、 $\Psi_{JT}$  または  $\Psi_{JB}$  を用いる方が、システム環境におけるデバイスの最も厳しい場合のジャンクション温度を推定するのに適した方法です。

表 7. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JB}$	$\theta_{JC}$	$\Psi_{JT}$	$\Psi_{JB}$	Unit
25-ball WLCSP <sup>1</sup>	51.8	16	2.3	3.7	16	°C/W

<sup>1</sup> 4 個のサーマル・ビアを持つ JEDEC 2S2P ボードを使用した自然空冷（空気流 0m/sec）の場合のシミュレーション値。

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

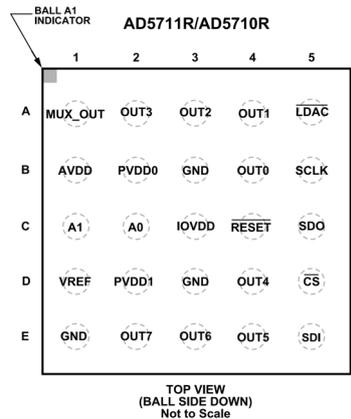


図 5. WLCSP のピン配置

表 8. ピン機能の説明

WLCSP	記号	タイプ	説明
D1	VREF	A/I/O	2.5V 電圧リファレンス入出力。デフォルトでは、VREF ピンは入力に設定されます。内部リファレンスがイネーブルの場合、このピンは 2.5V リファレンス出力となります。デフォルトでは、このピンと GND の間にデカップリング・コンデンサを使用することなく、内部リファレンス・モードで仕様規定された性能が得られます。
A1	MUX_OUT	AO	アナログ・マルチプレクサ出力。このピンは、選択したチャンネルの内部ダイ温度、出力電圧、および出力電流をモニタするために使用します。
A2	OUT3	AO	VDAC 3 のアナログ電圧出力/IDAC 3 の電流出力。
A3	OUT2	AO	VDAC 2 のアナログ電圧出力/IDAC 2 の電流出力。
A4	OUT1	AO	VDAC 1 のアナログ電圧出力/IDAC 1 の電流出力。
B4	OUT0	AO	VDAC 0 のアナログ電圧出力/IDAC 0 の電流出力。
B1	AVDD	S	電源入力。0.1μF のコンデンサを用いて GND にバイパスします。
B2	PVDD0	S	IDAC/VDAC チャンネル (OUT0~OUT3) の PVDD 電源電圧入力。
D2	PVDD1	S	IDAC/VDAC チャンネル (OUT4~OUT7) の PVDD 電源電圧入力。
D5	CS	DI	アクティブ・ローの制御入力。これは、入力データに対するフレーム同期信号です。
C3	IOVDD	DI	ロジック電源。IOVDD は 1.08V~1.98V の範囲内にする必要があります。このピンは、デバイスのシリアル・インターフェース回路ブロックに電源を供給します。0.1μF のコンデンサを用いて GND にバイパスします。
C5	SDO	DO	シリアル・データ出力。リードバック動作を行うと、この出力ピンにシリアル・データ・ストリームとしてデータが供給されます。データは SCLK の立下がりエッジでクロック出力され、SCLK の立上がりエッジで有効になります。
E5	SDI	DI	シリアル・データ入力。デバイスに書き込むデータは、この入力に供給され、SCLK の立上がりエッジに合わせてレジスタにクロック入力されます。
B5	SCLK	DI	シリアル・クロック入力。書込み動作時は最大 50MHz、読み出し動作時は最大 25MHz のレートでデータを転送します。
E1, B3, and D3	GND	S	デバイスの全ての回路のグラウンド基準ポイント。
D4	OUT4	AO	VDAC 4 のアナログ電圧出力/IDAC 4 の電流出力。
E4	OUT5	AO	VDAC 5 のアナログ電圧出力/IDAC 5 の電流出力。
E3	OUT6	AO	VDAC 6 のアナログ電圧出力/IDAC 6 の電流出力。
E2	OUT7	AO	VDAC 7 のアナログ電圧出力/IDAC 7 の電流出力。
C4	RESET	DI	非同期リセット。ロー・レベルでトリガされる、アクティブ・ローのロジック入力。
A5	LDAC	DI	非同期ロード DAC。立下がりエッジで動作するアクティブ・ローのロジック入力。
C2	A0	DI	ロジック入力：プログラム可能なアドレス・ビット 0。
C1	A1	DI	ロジック入力：プログラム可能なアドレス・ビット 1。

代表的な性能特性

特に指定のない限り、代表的な性能特性はすべて以下の条件における値です。AVDD = 5V、PVDD = 5V、VLOGIC = 1.8V、VREF = 2.5V (内部)、 $T_A = 25^\circ\text{C}$ 。VDAC チャンネルの場合、GND との間の  $R_L = 2\text{k}\Omega$ 、GND との間の  $C_L = 200\text{pF}$ 。IDAC チャンネルの場合、GND との間の  $R_L = 50\Omega$ 。

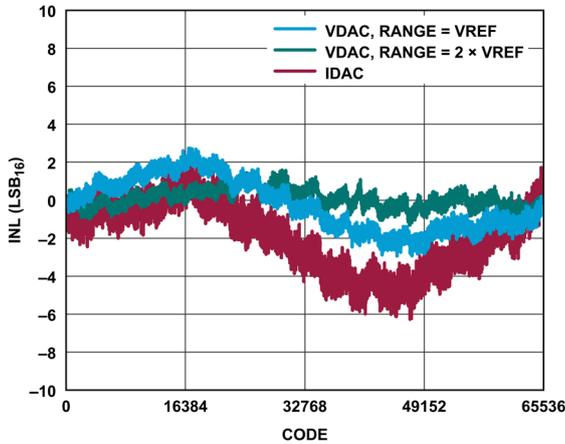


図 6. INL 誤差とコードの関係、AD5710R

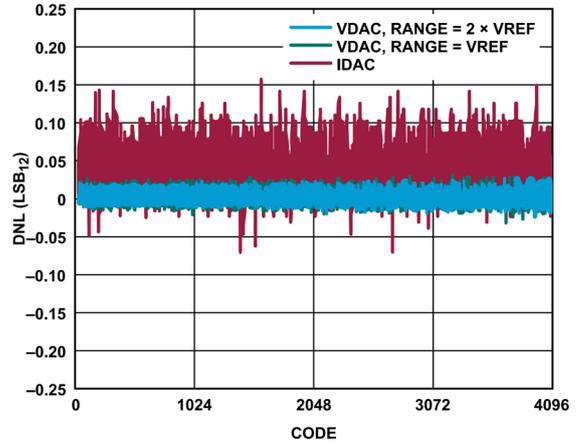


図 9. DNL 誤差とコードの関係、AD5711R

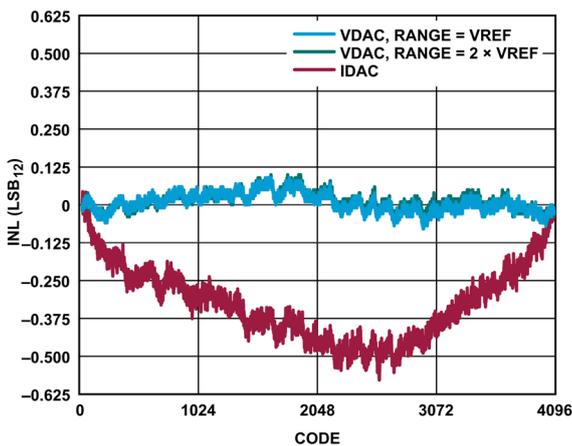


図 7. INL 誤差とコードの関係、AD5711R

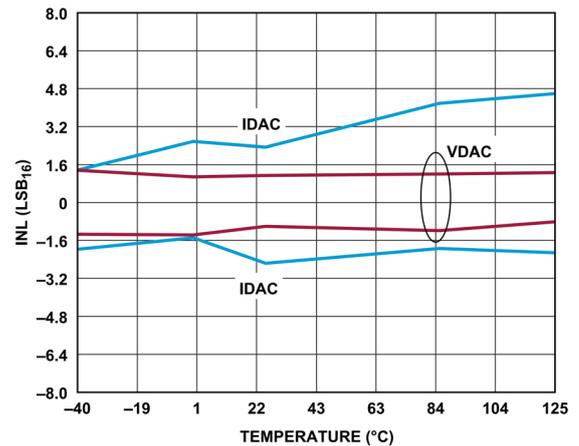


図 10. INL 誤差と温度の関係

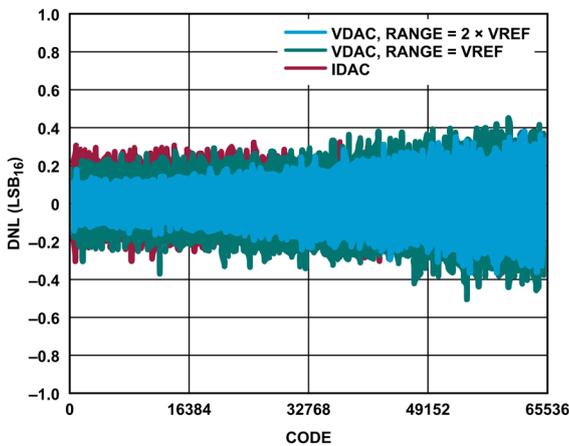


図 8. DNL 誤差とコードの関係、AD5710R

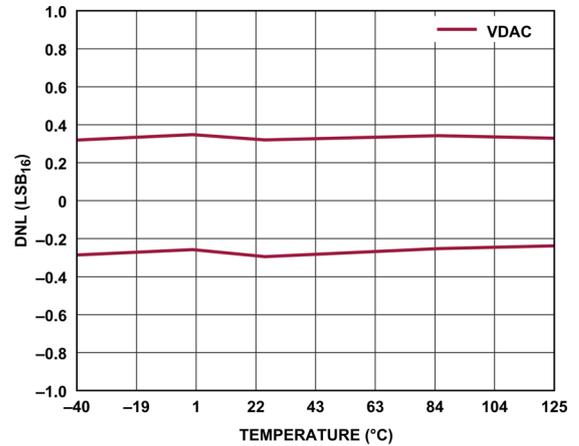


図 11. DNL 誤差と温度の関係

代表的な性能特性

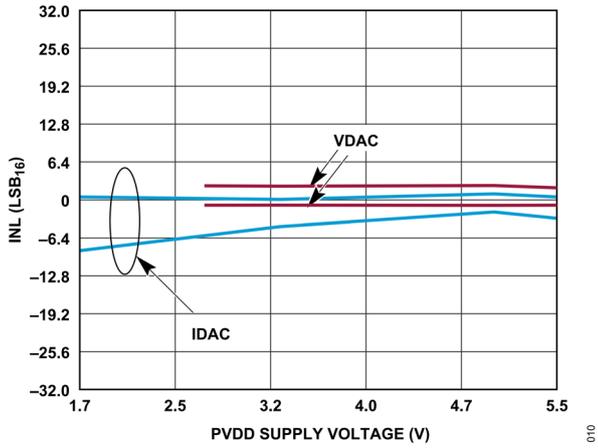


図 12. INL 誤差と電源電圧の関係

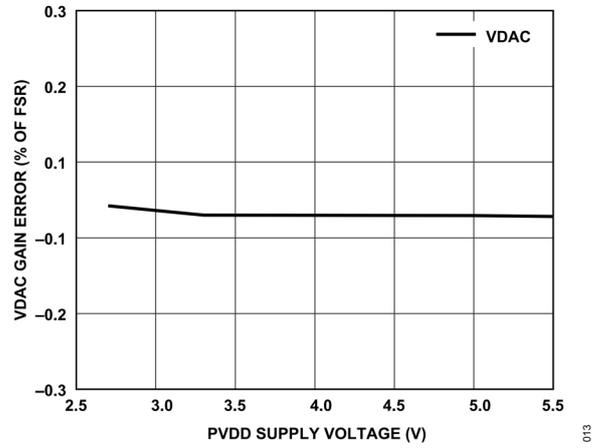


図 15. ゲイン誤差と電源電圧の関係

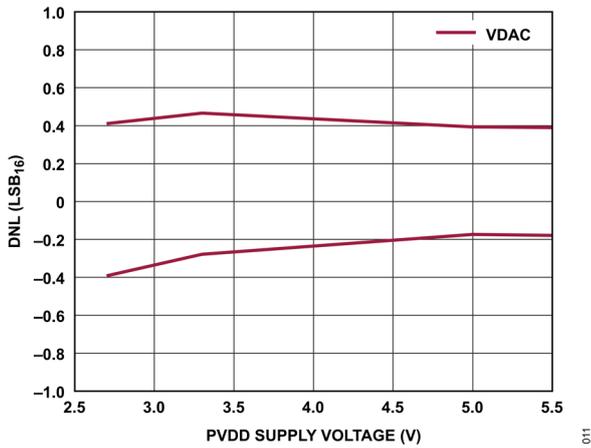


図 13. DNL 誤差と電源電圧の関係

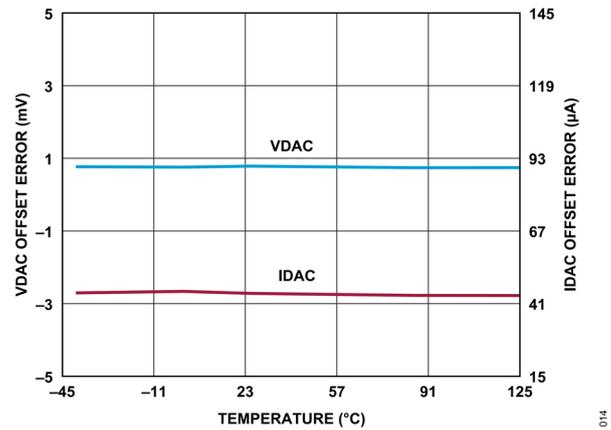


図 16. オフセット誤差と温度の関係

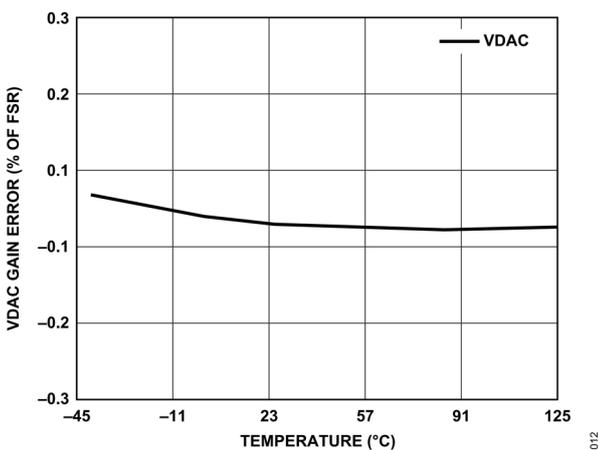


図 14. ゲイン誤差と温度の関係

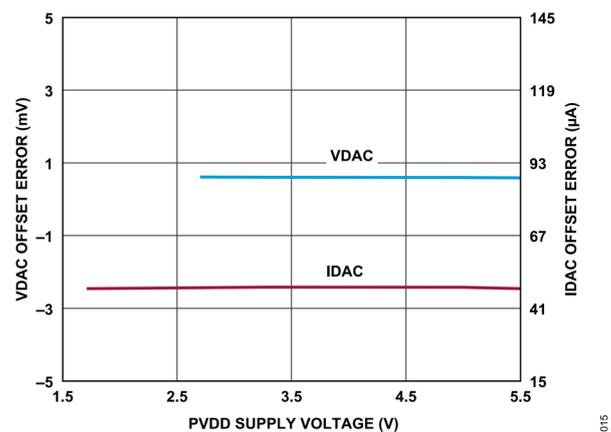


図 17. オフセット誤差と電源電圧の関係

代表的な性能特性

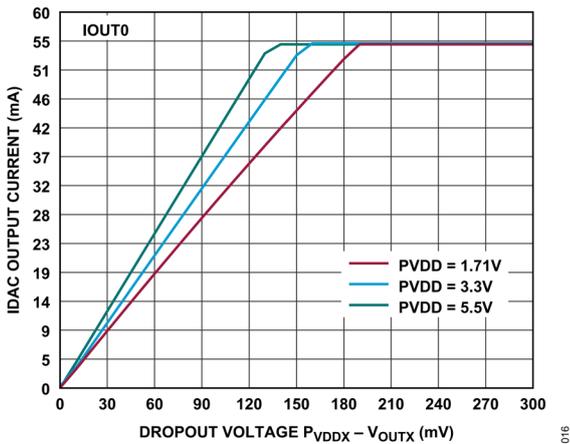


図 18. 様々な PVDD 電源範囲でのドロップアウト

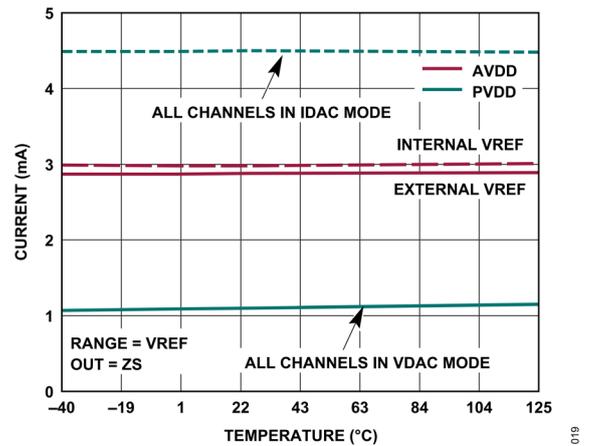


図 21.  $I_{DD}$  と温度の関係

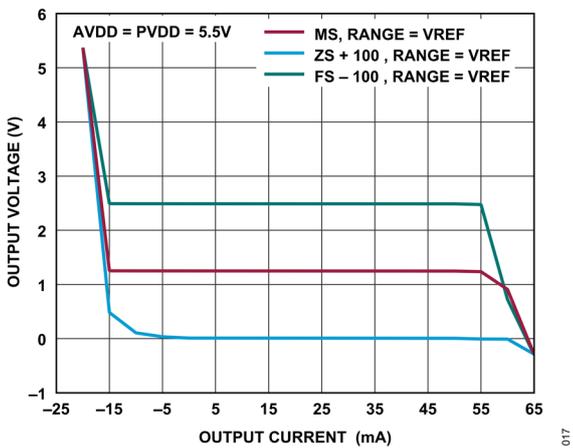


図 19. RANGE = VREF での VDAC のソース能力とシンク能力

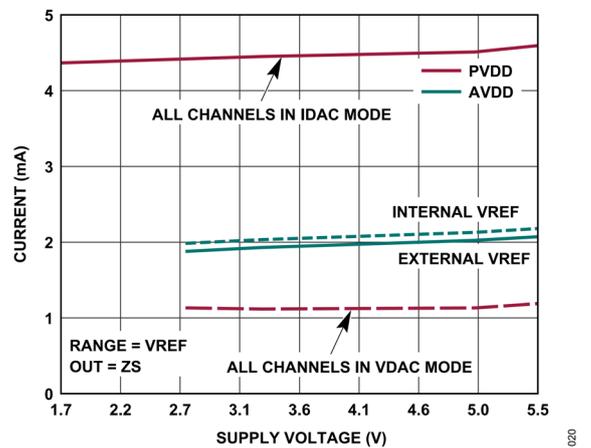


図 22.  $I_{DD}$  と電源電圧の関係

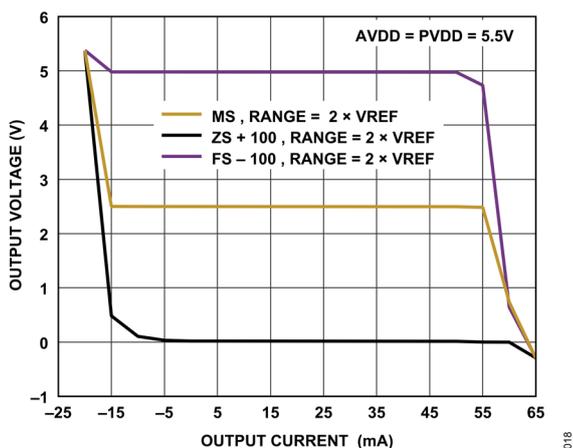


図 20. RANGE = 2 x VREF での VDAC のソース能力とシンク能力

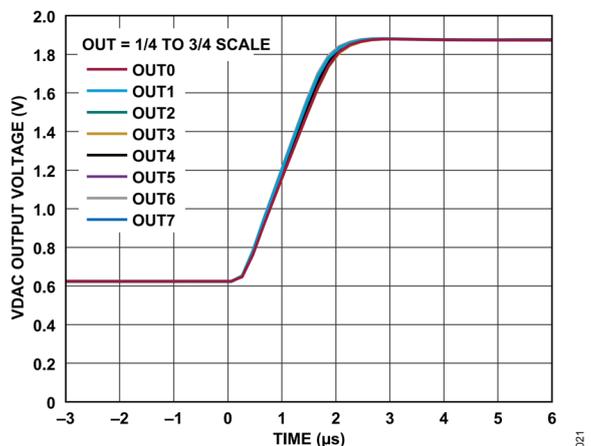


図 23. VDAC 出力のセトリング時間

代表的な性能特性

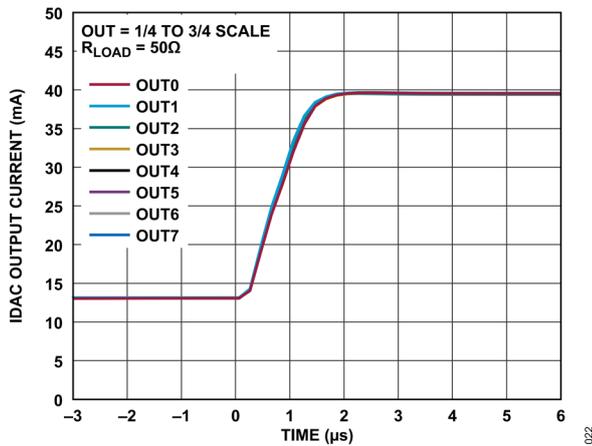


図 24. IDAC 出力のセリング時間

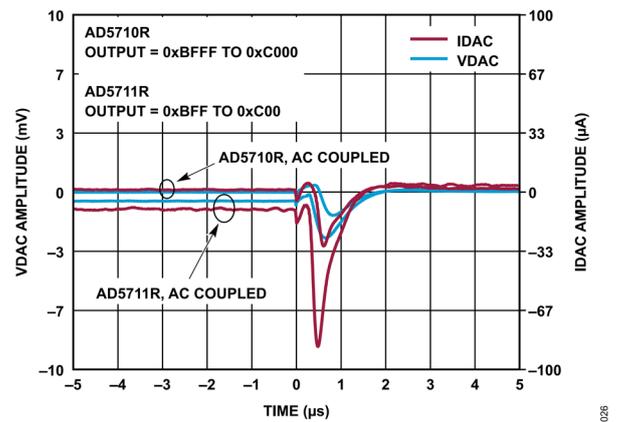


図 27. デジタル/アナログ・グリッチ・インパルス、出力増加時

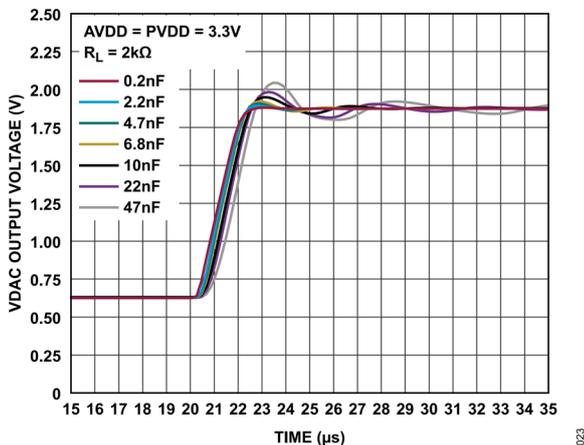


図 25. 様々な容量性負荷での VDAC 出力のセリング時間

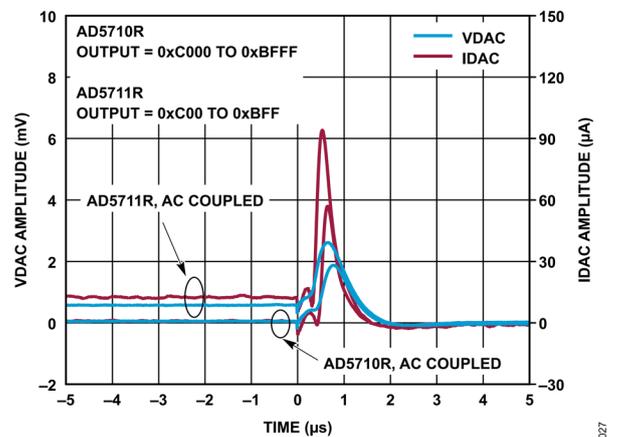


図 28. デジタル/アナログ・グリッチ・インパルス、出力低下時

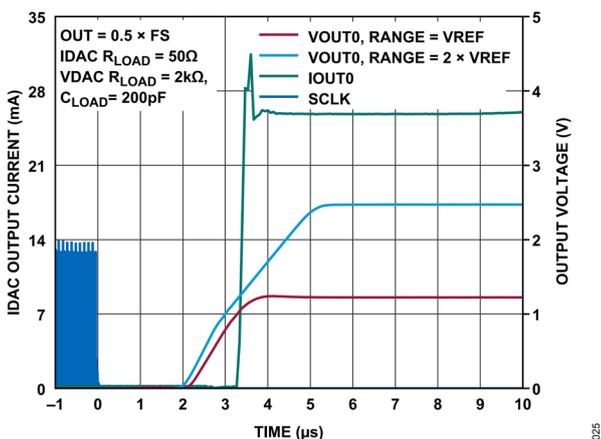


図 26. IDAC および VDAC チャンネルでのパワーダウン終了時のミッドスケール出力

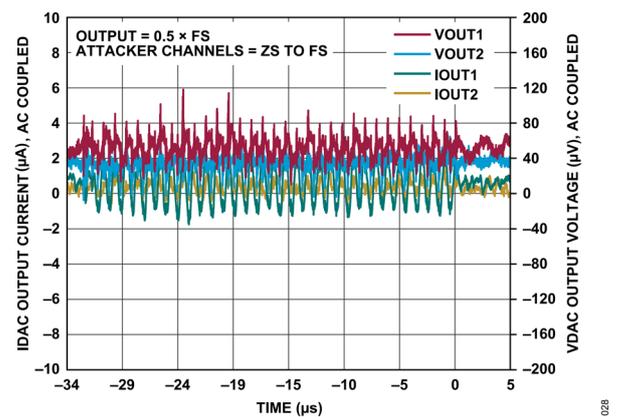


図 29. IDAC と VDAC のデジタル・フィードスルー、OUT1 および OUT2

代表的な性能特性

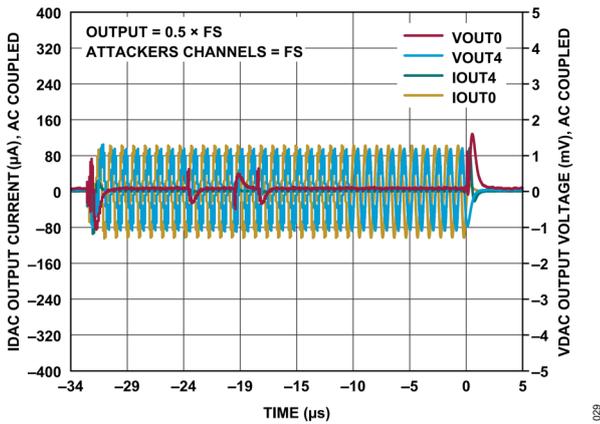


図 30. IDAC と VDAC のデジタル・フィードスルー、OUT0 および OUT4

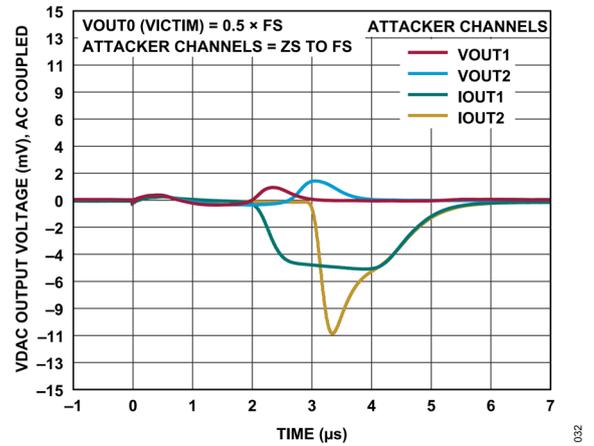


図 33. VDAC のアナログ・クロストーク、OUT0

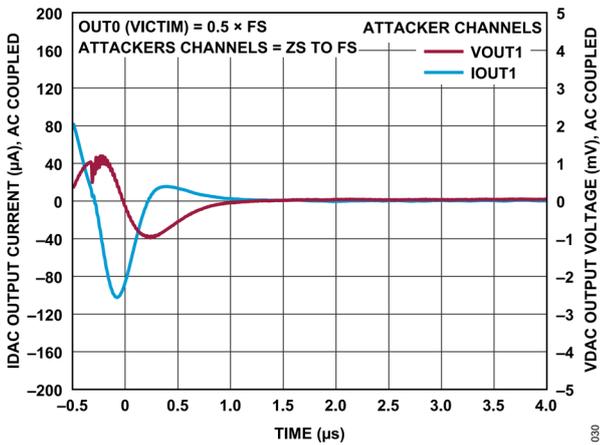


図 31. IDAC と VDAC のデジタル・クロストーク、OUT0

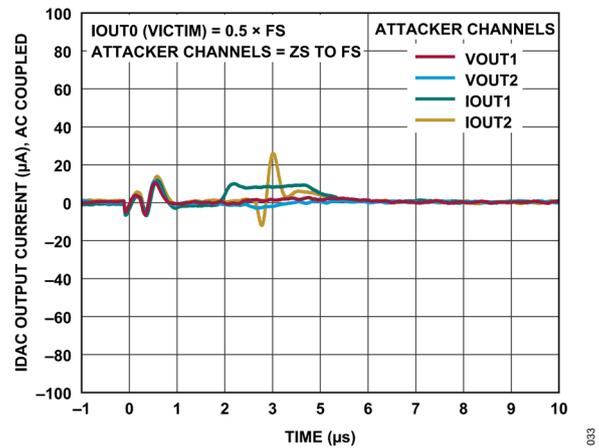


図 34. IDAC のアナログ・クロストーク、OUT0

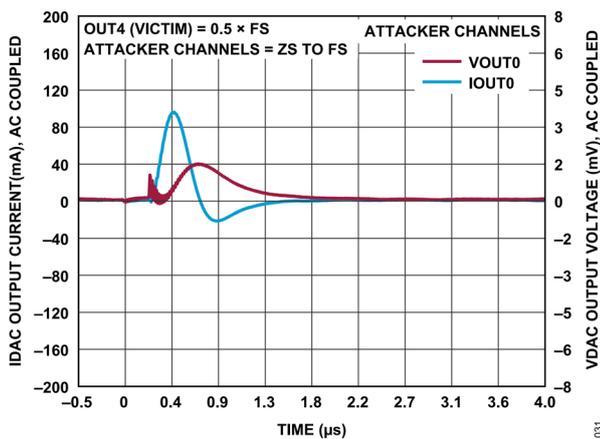


図 32. IDAC と VDAC のデジタル・クロストーク、OUT4

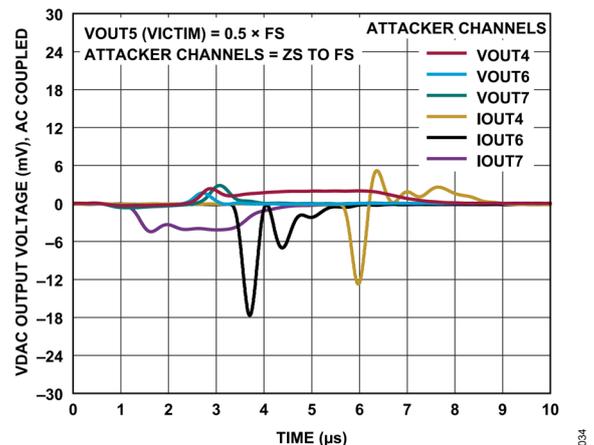


図 35. VDAC のアナログ・クロストーク、OUT5

代表的な性能特性

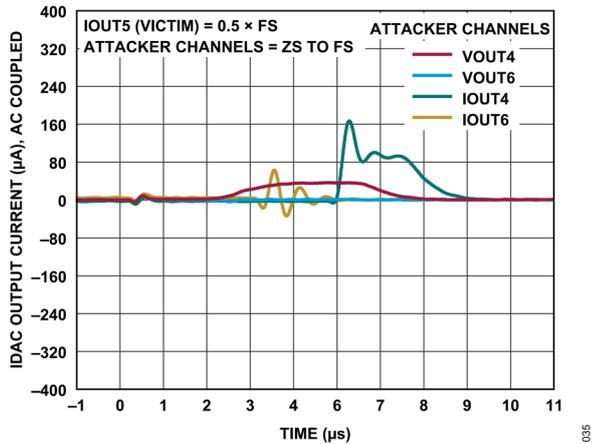


図 36. IDAC のアナログ・クロストーク、OUT5

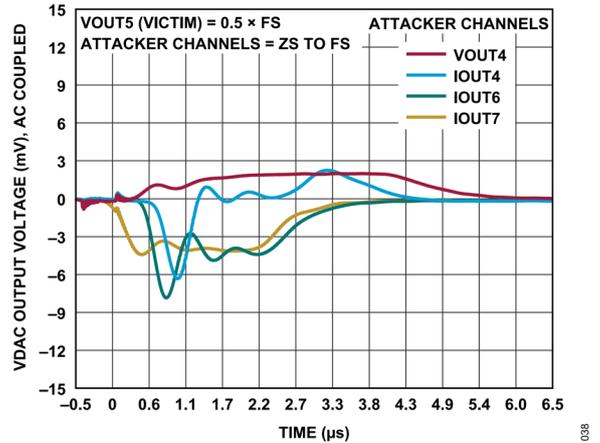


図 39. VDAC の DAC 間クロストーク、OUT5

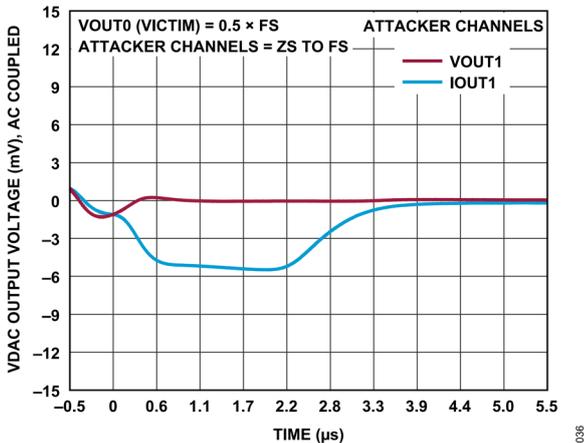


図 37. VDAC の DAC 間クロストーク、OUT0

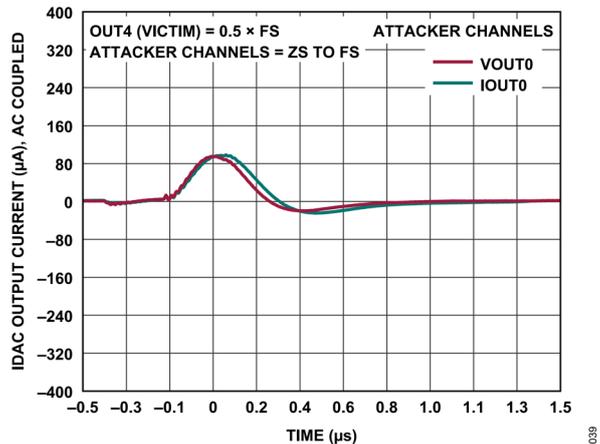


図 40. IDAC の DAC 間クロストーク、OUT4

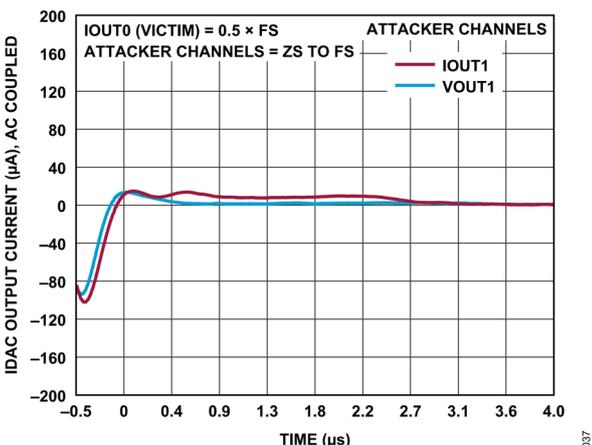


図 38. IDAC の DAC 間クロストーク、OUT0

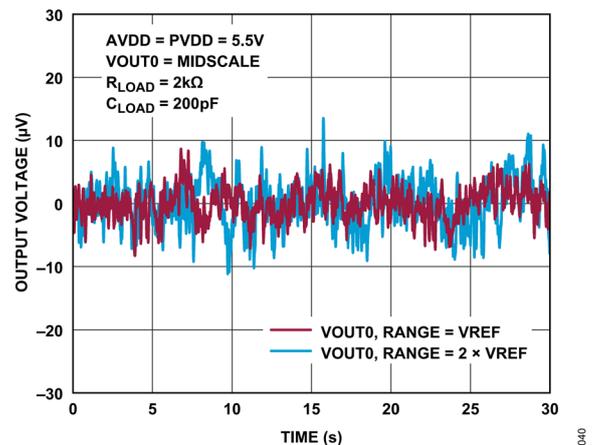


図 41. VDAC の 0.1Hz~10Hz (1/f) ノイズ

代表的な性能特性

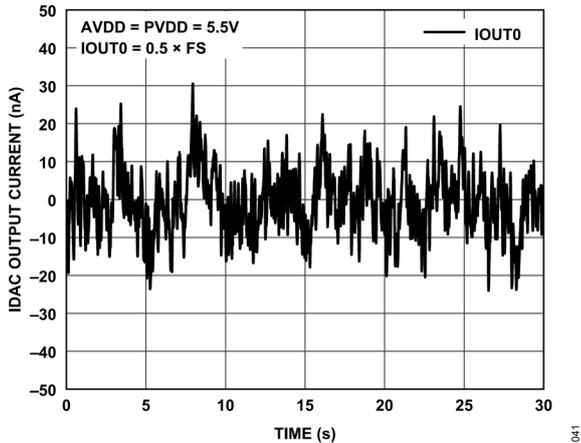


図 42. IDAC の 0.1Hz~10Hz (1/f) ノイズ

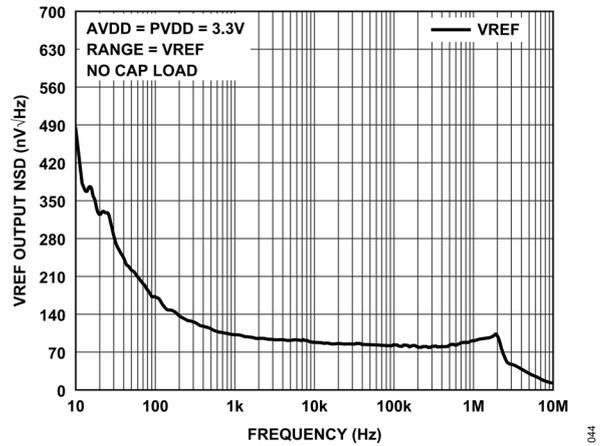


図 45. 内部リファレンスの NSD

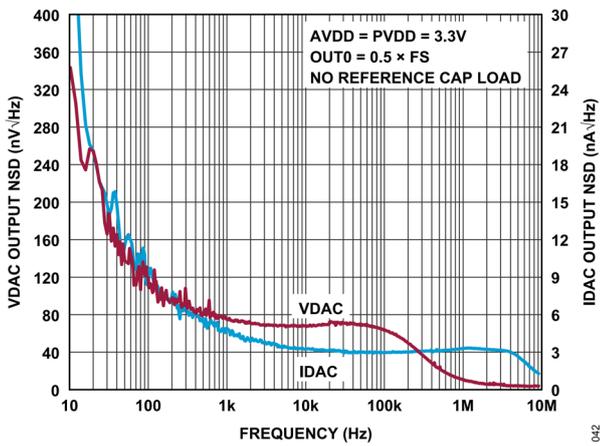


図 43. VDAC と IDAC のノイズ・スペクトル密度 (NSD)

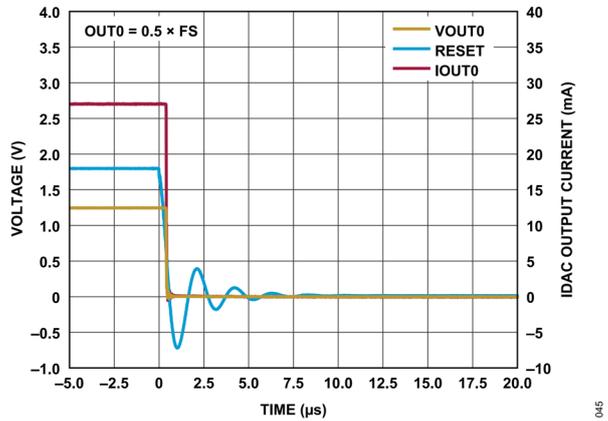


図 46. ハードウェア・リセット

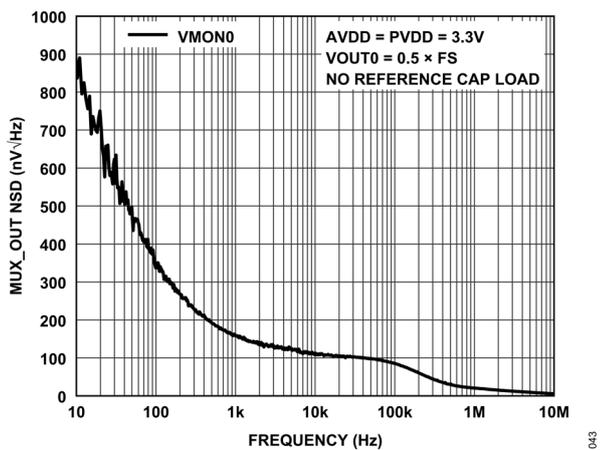


図 44. MUX\_OUT の NSD

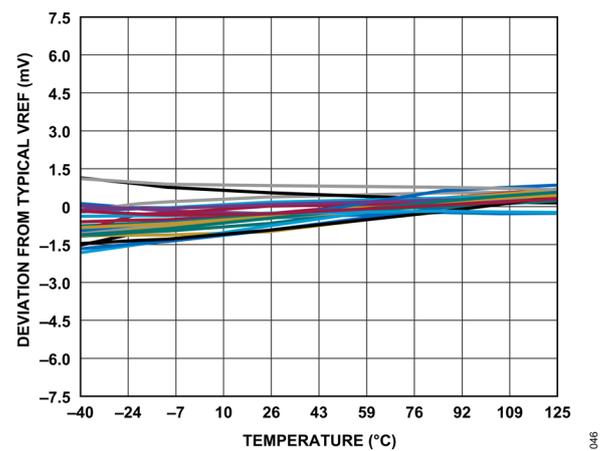


図 47. 23 個のデバイスでの VREF と温度の関係

代表的な性能特性

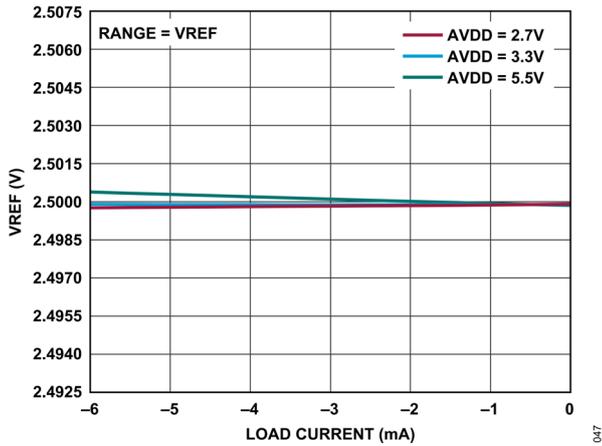


図 48. VREF と負荷電流の関係

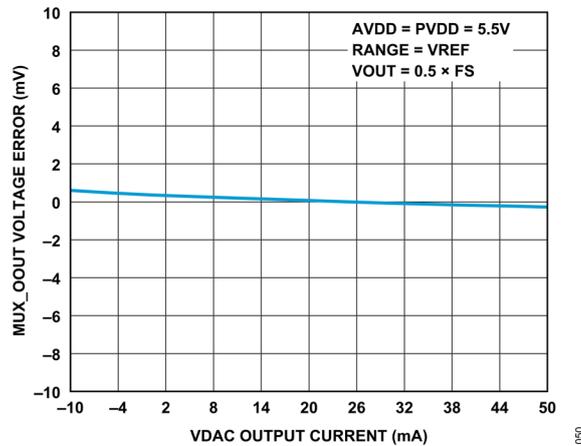


図 51. MUX\_OUT 誤差と出力電流の関係

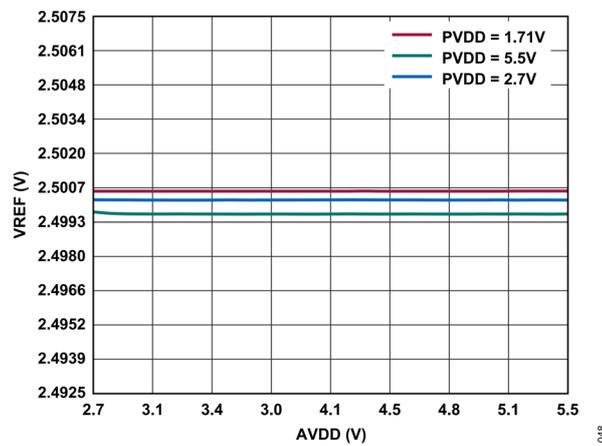


図 49. VREF と AVDD の関係

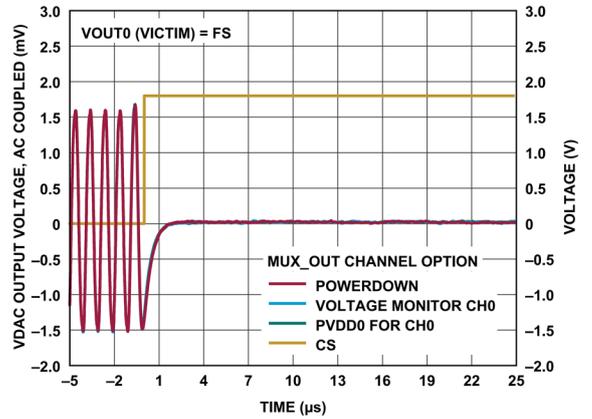


図 52. MUX\_OUT から VOUTx へのグリッチ

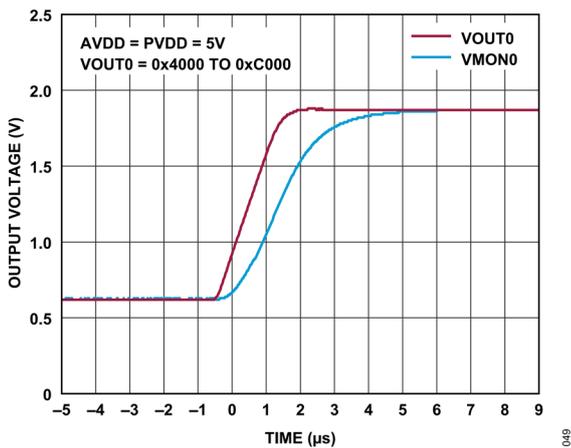


図 50. MUX\_OUT と出力電圧トランジェントの関係、立ち上がり

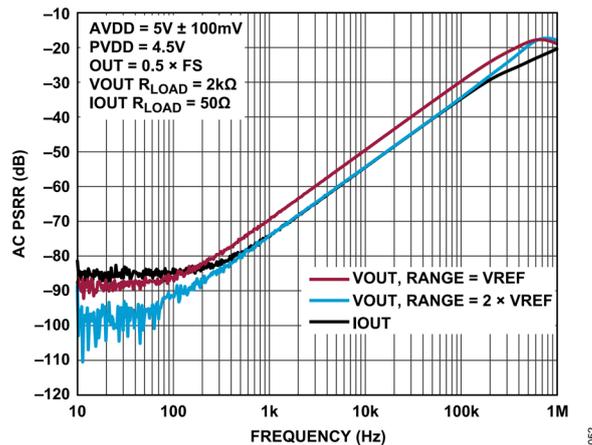


図 53. AVDD AC PSRR と周波数の関係

代表的な性能特性

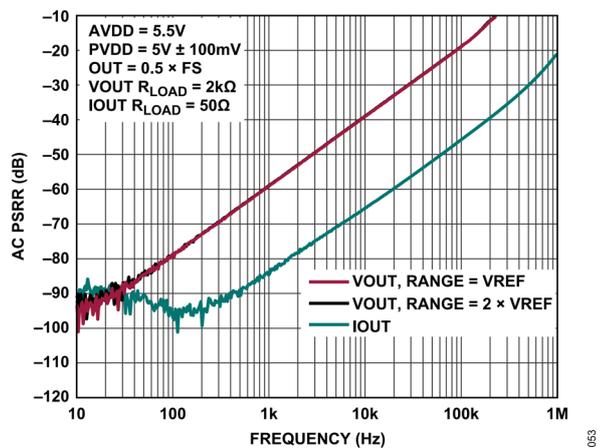


図 54. PVDD AC PSRR と周波数の関係

## 用語の定義

## 相対精度または積分非直線性 (INL)

DAC の場合、相対精度すなわち積分非直線性は、DAC 伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位で表示) を表します。

## 微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する 2 つのコードの間での測定された変化と理論的な 1LSB 変化との差を表します。

## オフセット誤差

オフセット誤差は、伝達関数の直線領域での出力の実測値  $V_{OUT}$  または  $I_{OUT}$  と、出力の理論値  $V_{OUT}$  または  $I_{OUT}$  との差を表し、mV または  $\mu A$  で表示されます。これは負または正の値となります。

## オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセット誤差の変化を測定したもので、IDAC 出力のオフセット誤差ドリフトは  $\mu A/^{\circ}C$  で、VDAC 出力は  $\mu V/^{\circ}C$  で表示されます。

## ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表します。DAC 伝達特性の傾きの理論値からの偏差で、FSR の % で表示されます。

## ゲイン誤差ドリフト

ゲイン誤差ドリフトは、温度変化に伴うゲイン誤差の変化を測定したもので、ppm/ $^{\circ}C$  で表示されます。

## ゼロコード誤差

ゼロコード誤差は、ゼロ・スケールでの理想値との差を  $25^{\circ}C$  で測定したものです。この誤差は  $V_{OUT}$  チャンネルで使用し、mV で表示されます。

## DC PSRR および AC PSRR

DC PSRR は、電源の変動が DAC 出力に与える影響を定量化したものです。出力電圧 ( $V_{OUT}$ ) または出力電流 ( $I_{OUT}$ ) の変化と電源電圧の変化の比として定義され、DAC のミッドスケール出力で測定されます。DC PSRR は、 $V_{OUTX}$  の場合は mV/V、 $I_{OUTX}$  の場合は  $\mu A/V$  で表示され、PVDDx を個別に  $\pm 10\%$  変化させて得られる値です。AC PSRR は、 $\pm 100mV$  のピーク to ピーク AC スイープ信号を PVDDx に注入することで測定したもので、dB で表示されます。

## 出力のセトリング時間

出力電圧セトリング時間は、所定のステップ変化に対して、DAC の出力が指定されたレベルに安定するまでに要する時間です。

## デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。VDAC の場合、グリッチは通常 nV $\cdot$ s の面積として仕様化され、デジタル入力コードが 1LSB だけ変化したときに測定されます。IDAC の場合も同じ条件下で測定され、nA $\cdot$ s の面積として仕様化されます。

## 出力ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ノイズの測定は、ミッドスケール・コードでロードされる DAC 出力で行います。VDAC の場合は nV/ $\sqrt{Hz}$ 、IDAC の場合は nA/ $\sqrt{Hz}$  で測定されます。

## 総合未調整誤差 (TUE)

総合未調整誤差 (TUE) は、理想値に対する総合出力誤差を測定したものです。出力の理想値は、正確に 5.000V リファレンスに基づく値です。TUE は、誤差源のすべて、すなわち INL 誤差、オフセット誤差、ゲイン誤差などから構成されており、仕様は温度と電源電圧範囲の全体にわたって確保されています。

## 電圧リファレンス温度係数 (TC)

電圧リファレンス TC は、温度変化に伴うリファレンス出力電圧の変化を表します。電圧リファレンス TC はボックス法を使って計算します。この方法では、次のように、ppm/ $^{\circ}C$  単位で表される所定の温度範囲でのリファレンス出力の最大変化として TC を定義しています。

$$TC = \left( \frac{V_{REF\_MAX} - V_{REF\_MIN}}{V_{REF\_NOM} \times TEMP\_RANGE} \right) \times 10^6 \quad (1)$$

- ▶ ここで、
- ▶  $V_{REF\_MAX}$  は全温度範囲で測定した最大リファレンス出力、
- ▶  $V_{REF\_MIN}$  は全温度範囲で測定した最小リファレンス出力、
- ▶  $V_{REF\_NOM}$  は 2.5V の公称リファレンス電圧、
- ▶  $TEMP\_RANGE$  は仕様規定された温度範囲、 $-40^{\circ}C \sim +125^{\circ}C$  です。

## DC クロストーク

DC クロストークは、1 つの DAC 出力での変化に起因する別の DAC の出力レベルの DC 変化です。ある DAC をミッドスケールに維持してモニタリングしながら、別の DAC でのフルスケール出力の変化を測定します。VDAC の場合は  $\mu V$ 、IDAC の場合は  $\mu A$  で表示されます。

## デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表します。IDAC の場合、デジタル・フィードスルーは出力グリッチのピーク電流として仕様規定され、単位は  $\mu A$  です。データ・バス上でのフルスケール・コード変更時、すなわち全ビット 0 から全ビット 1、および全ビット 1 から全ビット 0 への変更時に測定されます。VDAC の場合は出力グリッチのピーク電圧として仕様規定され、単位は  $\mu V$  です。

## 用語の定義

### デジタル・クロストーク

デジタル・クロストークは、1つの DAC の入力レジスタにおけるフルスケール・コード変更（全ビット 0 から全ビット 1、および全ビット 1 から全ビット 0 への変更）に起因する、別の DAC のミッドスケール出力に混入したグリッチ・インパルスのエネルギーです。電流出力 DAC の場合、デジタル・クロストークは出力グリッチのピーク電流として仕様規定され、単位は  $\mu\text{A}$  です。電圧出力 DAC の場合は、出力グリッチのピーク電圧として仕様規定され、単位は  $\mu\text{V}$  です。1つの DAC チャンネルで一時に両方測定します。

### DAC 間クロストーク

DAC 間クロストークは、あるチャンネルで DAC レジスタにデジタル・コード変更がロードされたことによってアナログ出力が変化したときに、別の DAC の出力に混入するグリッチ・インパルスのエネルギーを表します。電流出力 DAC の場合、このクロストークは出力グリッチのピーク電流として仕様規定され、単位は  $\mu\text{A}$  です。電圧出力 DAC の場合は、出力グリッチのピーク電圧として仕様規定され、単位は  $\mu\text{V}$  です。どちらも、1つの DAC のレジスタに直接書き込んでフルスケール変化させたときに、別の DAC 出力をミッドスケールに維持しながらモニタリングして得られる測定値です。

### アナログ・クロストーク

アナログ・クロストークは、1つのチャンネルの入力レジスタにデジタル・コード変更がロードされ、その出力が LDAC の遷移によって更新されたときに、別の DAC の出力に混入するグリッチ・インパルスを表します。このクロストークは、アクティブなチャンネルの入力レジスタにフルスケール・コード変更（全ビット 0 から全ビット 1、および全ビット 1 から全ビット 0 への変更）を加え、LDAC 更新を行い、コード変更が行われていないチャンネルの出力をモニタリングすることで測定します。電流出力 DAC の場合は  $\mu\text{A}$  単位のピーク電流、電圧出力 DAC の場合は  $\mu\text{V}$  単位のピーク電圧で表されます。

## 動作原理

## D/A コンバータ

AD5711R/AD5710R は、低消費電力、8 チャンネル、12/16 ビットの DAC であり、アナログ電源電圧が 2.7V~5.5V の AVDD と 1.71V~AVDD の PVDD0/I、インターフェース・ロジック電源 IOVDD が 1.08V~1.98V の範囲で動作します。各チャンネルは VDAC または IDAC として設定できます。4 つの DAC チャンネル OUT[3:0] が 1 つのグループとして PVDD0 から電源供給され、OUT[7:4] の 4 つの DAC チャンネルがもう 1 つのグループとして PVDD1 から電源供給されます。

本デバイスは、3ppm/°C、2.5V の内蔵リファレンスを備え、負荷 DAC、デバイスのリセット、出力モニタリング、ダイ温度のモニタリングなど、様々な機能を内蔵しています。DAC チャンネルの簡略化したブロック図を図 55 に示します。

AD5711R/AD5710R は、標準 SPI との互換性を備えた汎用性の高い 4 線式シリアル・インターフェースを備えています。詳細については、[デジタル・インターフェース](#)のセクションを参照してください。

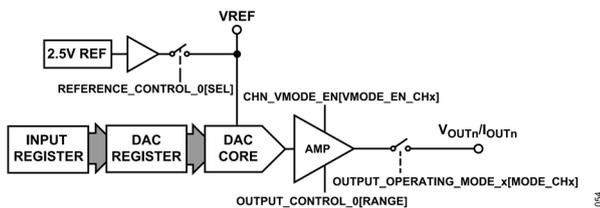


図 55. DAC チャンネルのブロック図

## IDAC チャンネル

AD5711R/AD5710R は、8 つの 12/16 ビット電流出力 DAC (IDAC) チャンネルを備えています。各チャンネルはデフォルトで IDAC に設定されており、最大 50mA の電流を供給できます。

DAC への入力コーディングはストレート・バイナリです。デジタル入力コードから理想的出力電圧への変換は次式により行われます。

$$I_{OUTn} = \left(\frac{D}{2^N}\right) \times 50 \text{ mA} \quad (2)$$

ここで、

$I_{OUTn}$  は、選択された DAC チャンネル n において負荷を通じて供給される出力電流、

D は、DAC レジスタにロードされるストレート・バイナリ・コード (10 進数表示)、

N はビット数で表した DAC の分解能です。

デフォルトで、すべてのチャンネルの出力は高インピーダンス・モードの IDAC に設定されており、各チャンネルの出力段はパワーダウンしています。また、各チャンネルの CHx\_VMODE\_EN ビットを 0 にセットすることによって IDAC 出力に設定することができます。各チャンネルの出力は、それぞれのチャンネルに対応した MODE\_CH\_x ビットに 2'b00 を書き込むことでイネーブルできます。

## VDAC チャンネル

本デバイスは、50mA の電流ソースと 10mA の電流シンクが個別に可能な、8 つのバッファ付き VDAC チャンネルを備えています。VDAC チャンネルには共通のゲイン・ビット OUTPUT\_CONTROL\_0 があり、0V~VREF、または 0V~2×VREF の出力範囲を設定できます。その結果として、チャンネルごとに異なる出力範囲を設定することはできません。

DAC への入力コーディングはストレート・バイナリです。デジタル入力コードから理想的出力電圧への変換は次式により行われます。

$$V_{OUTn} = V_{REF} \times \left(\frac{D}{2^N}\right) \times G \quad (3)$$

ここで、

$V_{OUTn}$  は選択した DAC チャンネル n の出力電圧、

$V_{REF}$  は、VREF ピンの電圧、内部リファレンスの場合は  $V_{REF} = 2.5V$ 、

D は、DAC レジスタにロードされるストレート・バイナリ・コード (10 進数表示)、

N はビット数で表した DAC の分解能、

G は出力アンプのゲインで、OUTPUT\_CONTROL\_0 のビット 2 (RANGE) = 0 (デフォルト) の場合は  $G = 1$ 、OUTPUT\_CONTROL\_0 のビット 2 (RANGE) = 1 の場合は  $G = 2$  です。

デフォルトでは、すべてのチャンネルの出力は高インピーダンス・モードの IDAC に設定されています。各チャンネルの CHx\_VMODE\_EN ビットを 1 にセットすることによって VDAC 出力に設定することができます。DAC 出力は、シャットダウン状態で 15kΩ の等価出力抵抗を GND との間に備えています。各チャンネルの出力は、それぞれのチャンネルに対応した MODE\_CH\_x ビットに 2'b00 を書き込むことでイネーブルできます。

## PVDD による出力電圧制限

選択した VDAC 出力範囲より PVDD が低い設定となっている場合、そのチャンネルの出力電圧は、印加されたフルスケール・デジタル・コードによらず制限され、PVDD 未満にクランプされます。このような条件では、デバイスは 2.5V のフルスケール出力電圧 (出力範囲が VREF の場合)、または 5V のフルスケール出力電圧 (出力範囲が 2×VREF の場合) を達成することはできません。

## DAC 動作モード

パワーアップ時またはパワーオン・リセット後、すべてのチャンネル出力はデフォルトの高インピーダンス (high-Z) 状態になると共に IDAC モードで動作します。この状態では、各チャンネルの出力段はパワーダウンしています。出力をイネーブルするには、それぞれのチャンネルに対応した MODE\_CH\_x ビットに 2'b00 を書き込んで設定する必要があります。

デフォルトでは、各チャンネルは IDAC として設定されます。チャンネルを VDAC モードに切り替えるには、そのチャンネルの VMODE\_EN\_CHn ビットを設定します。IDAC モードから VDAC モードに遷移させる前に、そのチャンネルの DAC レジスタを 0x0000 にクリアしなければなりません。

パワーダウン・モードでは、VDAC チャンネルは GND との間で約 15kΩ の等価内部出力抵抗を示すことに注意してください。

動作原理

表 9. AD5711R/AD5710R の動作モード

Output State	MODE_CH_n[1:0]
Normal operation	2'b00
Power-down state	Others
▶ High-Z state in IDAC mode	
▶ 15kΩ to GND in VDAC mode	

DAC チャンネルのいずれかがパワーダウン状態に入っても、他のレジスタの設定値や、その DAC チャンネルのレジスタの読み出し/書き込み性能には影響を与えません。入力レジスタや DAC レジスタは依然として更新可能ですが、DAC 出力モードの切替時を除き、DAC 出力ピンには反映されません。

IDAC モードと VDAC モードの間で推奨されるスイッチング・フロー

図 56 に、VDAC モードと IDAC モードの間で推奨されるスイッチングの手順を示します。図には、イネーブルさせる動作とディセーブルさせる動作も含まれています。

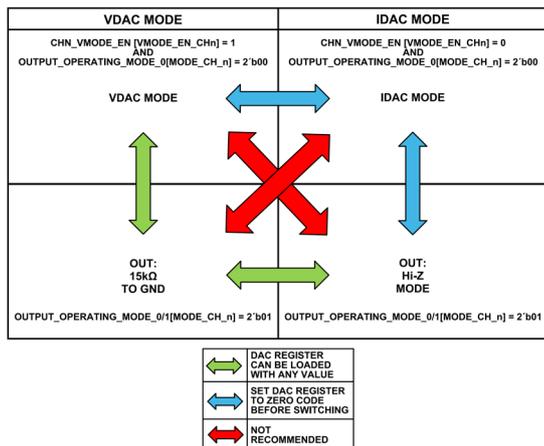


図 56. 動作モード間、および VDAC/IDAC モード間で推奨されるスイッチング

電圧リファレンス

本デバイスは、バッファ付き 2.5V、3ppm/°C のリファレンスをオンチップで備えており、VREF ピンに出力できます。このピンは、最大+5mA の電流を外部負荷にソースできます。

デフォルトでは、パワーアップ時とパワーオン・リセット後に VREF ピンが入力ピンとして設定されるので、外部リファレンス電圧を使用する必要があります。内部リファレンスは、REFERENCE\_CONTROL\_0 レジスタのビット 0 (SEL) を 1 に設定することでイネーブルできます。AD5711R/AD5710R と同じ電源に外部リファレンス IC を配置し、パワーアップ時には VREF が必ず AVDD 以下になるようにすることを推奨します。

内部リファレンスを使用して動作している場合、本デバイスは、VREF ピンに外付けコンデンサを使用することなく、仕様規定された性能を満足します。

内蔵マルチプレクサ

本デバイスは、27:1 のアナログ・マルチプレクサを内蔵しており、選択したチャンネルの出力電圧または出力電流を表す電圧、もしくはデバイスの内部ダイ温度を表す電圧を MUX\_OUT ピンに出力できます。出力電圧は、モニタ・チャンネルのフルスケール・レンジを表し、モニタ・チャンネルは MUX\_OUT\_SELECT レジスタの SEL ビットを設定することで選択できます。SEL ビットへの無効な書き込みは無視され、SEL の値は変更されません。

以下の信号を MUX\_OUT 出力に送ることができます。

- ▶ OUTx\_VMON 出力電圧
- ▶ センス抵抗を通じた OUTx\_IMON 出力
- ▶ 電源レール電圧
- ▶ 内部ダイ温度

デフォルトでは、MUX\_OUT はパワーダウンしています。利用可能なチャンネル・オプションとレジスタ・フィールド値を表 10 に示します。

表 10. マルチプレクサ・チャンネルのオプション

SEL フィールド	MUX_OUT
0	パワーダウン (デフォルト)
1	電圧モニタ、CH0
2	RSENSE を通じた電流モニタ、CH0
3	CH0 用 PVDD0
4	電圧モニタ、CH1
5	RSENSE を通じた電流モニタ、CH1
6	CH1 用 PVDD0
7	電圧モニタ、CH2
8	RSENSE を通じた電流モニタ、CH2
9	CH2 用 PVDD0
10	電圧モニタ、CH3
11	RSENSE を通じた電流モニタ、CH3
12	CH3 用 PVDD0
13	電圧モニタ、CH4
14	RSENSE を通じた電流モニタ、CH4
15	CH4 用 PVDD1
16	電圧モニタ、CH5
17	RSENSE を通じた電流モニタ、CH5
18	CH5 用 PVDD1
19	電圧モニタ、CH6
20	RSENSE を通じた電流モニタ、CH6
21	CH6 用 PVDD1
22	電圧モニタ、CH7
23	RSENSE を通じた電流モニタ、CH7
24	CH7 用 PVDD1
25	ダイ温度
26	AGND

## 動作原理

各モニタ・チャンネルに対応したフルスケール出力電圧を表 11 に示します。

表 11. フルスケール出力電圧

MUX_OUT Channel	Full Scale Output (V)
Current Monitor through RSENSE, CHx	PVDD
Voltage Monitor, CHx	VREF or 2 × VREF
Supply Voltage, PVDDx for CHx	PVDD
Die Temperature at 125°C	0.61

## 電圧モニタ・チャンネル

電圧出力モニタ・チャンネルを選択した場合、内蔵マルチプレクサの伝達関数は、下に示す式で与えられます。

VDAC モードで、OUTPUT\_CONTROL\_0、ビット 2 (RANGE) = 0 の場合、

$$V_{MEAS} = MUX\_OUT \quad (4)$$

VDAC モードで、OUTPUT\_CONTROL\_0、ビット 2 (RANGE) = 1 の場合、

$$V_{MEAS} = 2 \times MUX\_OUT \quad (5)$$

ここで、 $V_{MEAS}$  は選択したチャンネルの測定電圧出力、 $MUX\_OUT$  は  $MUX\_OUT$  ピンの電圧出力 (V) です。

$VREF$  の電圧出力は、OUTPUT\_CONTROL\_0、ビット 2 (RANGE) の値に関わらず、モニタする DAC チャンネルのフルスケール・レンジを表します。

## 電流モニタ・チャンネル

OUTx チャンネルの電流をモニタするように  $MUX\_OUT$  ピンを設定した場合、伝達関数はセンス抵抗 ( $R_{SENSE}$ ) の値に応じて変わります。通常、この関係は次式で表せます。

$$I_{OUTX} = \frac{PVDDx - MUX\_OUT(V)}{R_{SENSE}} \quad (6)$$

ここで、 $MUX\_OUT$  は  $MUX\_OUT$  ピンの電圧 (V)、 $PVDDx$  は電源電圧、 $R_{SENSE}$  は内部センス抵抗値で、 $1.84\Omega \pm 10\%$  の公差を持っています。

$PVDDx$  は、電源ピンを直接、または  $MUX\_OUT$  機能を使用して測定できます。出力電流  $I_{OUTx}$  は、式 6 に既知の内部センス抵抗値  $R_{SENSE}$  と  $MUX\_OUT$  電圧の測定値を使用することで計算できます。

## ダイ温度のモニタ

SEL ビットに  $0x19$  に設定することにより、 $MUX\_OUT$  ピンを通じて内部ダイ温度をモニタすることもできます。測定温度を導くために使用する伝達関数は、次式で与えられます。

$$T_{MEAS} = \frac{MUX\_OUT(V) - 0.434V}{1.774mV/^{\circ}C} + 25^{\circ}C \quad (7)$$

ここで、 $T_{MEAS}$  は測定内部ダイ温度 ( $^{\circ}C$ )、 $MUX\_OUT$  は  $MUX\_OUT$  ピンの電圧 (V) です。

## 電源電圧のモニタ

電源  $PVDD0$  および  $PVDD1$  は、それぞれに対応した SEL ビットを設定することにより、 $MUX\_OUT$  ピンを通じてモニタできます。伝達関数は次式で与えられます。

$$V_{PVDDX} = MUX\_OUT \quad (8)$$

ここで、 $MUX\_OUT$  は  $MUX\_OUT$  ピンの電圧出力 (V) です。

## DACのコア機能

図 1 に示すように、各 DAC チャンネルは入力レジスタと DAC レジスタを個々に備えています。どちらのレジスタにも、シリアル・インターフェースを通じてアクセスできます。DAC レジスタは、DAC の出力電圧に相当するデジタル・コードを保存し、入力レジスタは、DAC レジスタにデータを渡す前の一時的なステージング・レジスタとして動作します。LDAC 機能を使用すると、入力レジスタが保持するデータを使い、1 つ以上の DAC レジスタを並列で更新できます。

DAC レジスタには直接書込みが可能です。この場合は対応する出力が直ちに更新され、ハードウェア LDAC やソフトウェア LDAC は必要ありません。DAC レジスタに直接書込みを行っても、入力レジスタに保存されたデータには影響しません。

MULTI\_INPUT\_CH レジスタに書込みを行うと、1 回の書込み動作で 1 つ以上の入力レジスタを更新することができます。MULTI\_INPUT\_SEL\_0 レジスタは、MULTI\_INPUT\_CH レジスタに書き込まれたデータを使って、どのチャンネルの入力レジスタを更新するかを決定します。詳細については、[DAC の更新](#)のセクションを参照してください。

同様に、MULTI\_DAC\_CH レジスタに書込みを行うと、1 回の書込み動作で 1 つ以上の DAC レジスタを更新できます。MULTI\_DAC\_INPUT\_SEL\_0 は、MULTI\_DAC\_CH レジスタに書き込まれたデータを使って、どの DAC レジスタを更新するかを決定します。詳細については、[DAC の更新](#)のセクションを参照してください。

DAC が確実に更新されるようにするには、DAC レジスタの更新が 640ns ごとに 1 回だけ行われるようにする必要があります。表 4 の  $t_{t2}$  と  $t_{t3}$  を参照してください。DAC の更新書込みに失敗した場合はエラー・フラグがアサートされます。これは、STATUS\_CONTROL\_0 レジスタの UPDATE\_ERR ビットを読み出すことによってチェックできます。

### LDAC 機能

LDAC 機能は、選択した複数のチャンネルの入力レジスタの内容を対応するそれぞれの DAC レジスタへ転送することによって、1 つ以上の OUT ピンを同時に更新するために使われます。LDAC 機能は、 $\overline{\text{LDAC}}$  ピンを通じてハードウェアで実行するか、SW\_LDAC\_TRIG\_A レジスタまたは SW\_LDAC\_TRIG\_B レジスタを通じてソフトウェアで実行することができます。ハードウェア LDAC もソフトウェア LDAC も機能は同じです。

### ハードウェア LDAC

AD5711R/AD5710R は、立下がりエッジで動作するアクティブ・ローの  $\overline{\text{LDAC}}$  ピンを備えています。 $\overline{\text{LDAC}}$  信号がローになると、選択した入力レジスタの内容が、これに対応する DAC レジスタに転送されます。デバイスへの書込み時に  $\overline{\text{LDAC}}$  がローに

保持されている場合、入力レジスタはトランスペアレントな存在となり、入力レジスタへの書込みが行われた場合には、それと同時に入力レジスタに書き込まれた内容が DAC レジスタに更新されます。 $\overline{\text{LDAC}}$  がハイに保持されているときは、DAC の出力に影響を及ぼすことなく、任意の入力レジスタに DAC コードを書き込むことができます。

$\overline{\text{LDAC}}$  がアクティブ・ロー状態の場合、またはアサートされている場合、 $\overline{\text{LDAC}}$  を使用して、どの DAC チャンネルが入力レジスタから更新されるかを決定します。デフォルトでは、すべての DAC チャンネルが選択されており、HLD\_EN\_CH\_n ビットフィールドに 1b'1 が格納されています。HLD\_EN\_CH\_n ビットフィールドを 1b'0 に設定すると、対応する DAC チャンネルのハードウェア LDAC 機能がディスエーブルされます。

### ソフトウェア LDAC

ソフトウェア LDAC 機能は  $\overline{\text{LDAC}}$  の立下がりエッジと同じ働きをします。これは、シリアル・インターフェースを通じて SW\_LDAC\_TRIG\_A レジスタの SLD\_TRIG\_A ビット、または SW\_LDAC\_TRIG\_B レジスタの SLD\_TRIG\_B ビットに 1b'1 を書き込むことにより、選択した DAC チャンネルの入力レジスタとそれに対応する DAC レジスタの間で内容の転送を開始する方法です。

SW\_LDAC\_EN\_0 レジスタを使用して、ソフトウェア LDAC の実行時にどの DAC チャンネルがそれに対応する入力レジスタから更新されるかを決定します。デフォルトでは、すべての DAC チャンネルが選択されており、SLD\_EN\_CH\_n ビットフィールドに 1b'1 が格納されています。SLD\_EN\_CH\_n ビットフィールドを 1b'0 に設定すると、対応する DAC チャンネルのソフトウェア LDAC 機能がディスエーブルされます。

### DAC の更新

DAC\_CHn レジスタを更新する方法は複数あり、これらは直接 VDAC 出力と IDAC 出力に影響を与えます。図 57 は、1 つ以上のチャンネルに個別のデータが書き込まれた際に、直接更新、またはハードウェア/ソフトウェア LDAC を使用した間接更新が行われる場合のそれぞれに応じたオプションを示しています。図 58 は、複数のチャンネルに同じデータが書き込まれた場合に可能なオプションとして、直接または同時更新、およびハードウェア/ソフトウェア LDAC のどちらかを使用した間接更新を示しています。更新するのは単一のチャンネルか複数のチャンネルか、データはそれぞれ個別かそれとも同一か、および LDAC 信号がどう設定されているか、によって適切な方法が決まります。

DAC のコア機能

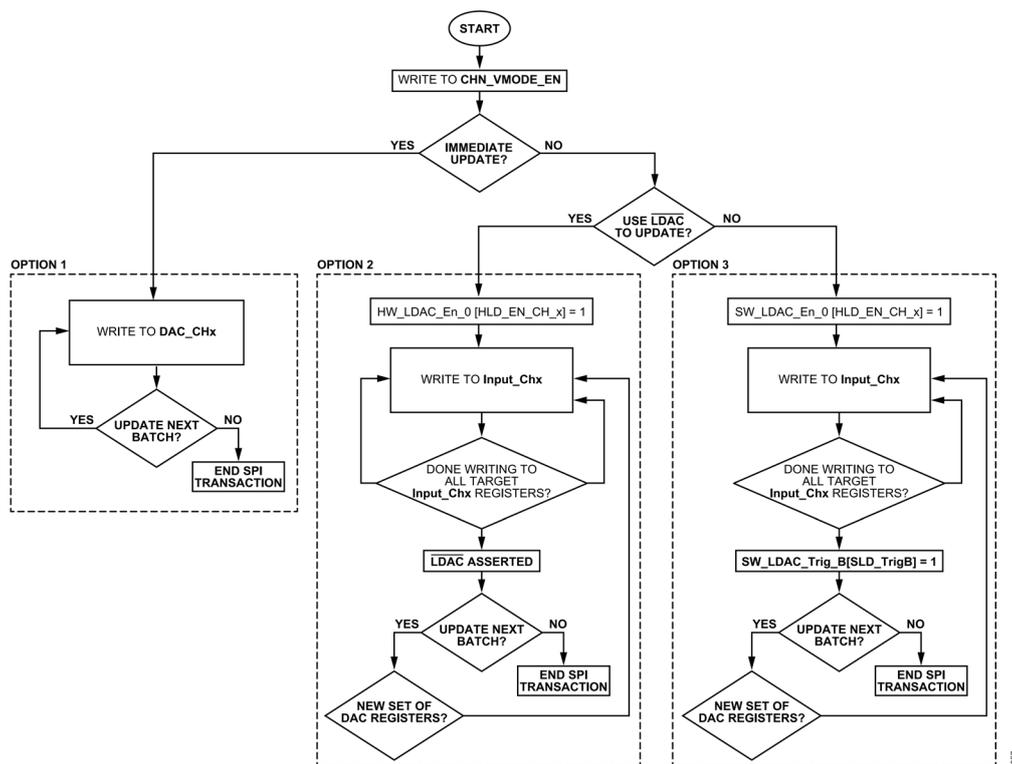


図 57. DAC 更新フローチャート (オプション 1、オプション 2、オプション 3)

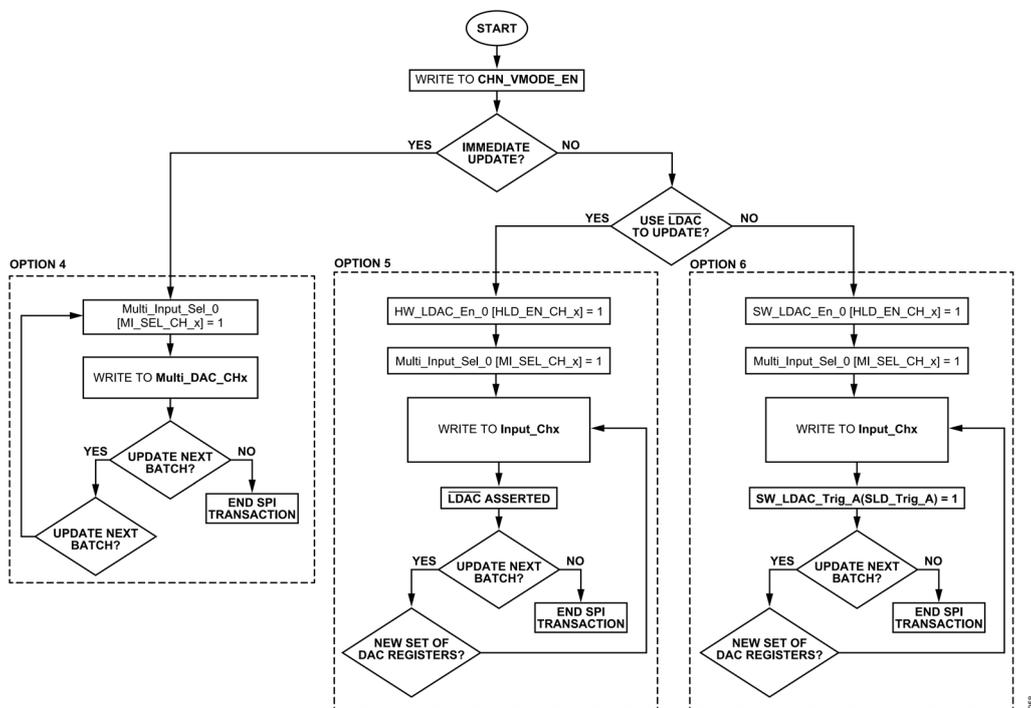


図 58. DAC 更新フローチャート (オプション 4、オプション 5、オプション 6)

DACのコア機能

オプション1 (直接更新、個別データ、LDACなし、単一および複数チャンネル)

オプション1では、16ビットのデータをすべて書き込んだ後、DAC\_CHnレジスタを直接更新できます。LDACは不要で、単一命令モードまたはストリーム・モードで、単一チャンネル更新と複数チャンネル更新の両方に使用できます。

単一命令は降順アドレス指定モードを選択して送信されます。命令フェーズで複数バイト・レジスタの上位アドレスが呼び出され(0xD3: DAC\_CH0レジスタ、2個の8ビット・データが後続)、最後のSCLKの後で直ちに出力が更新されます。

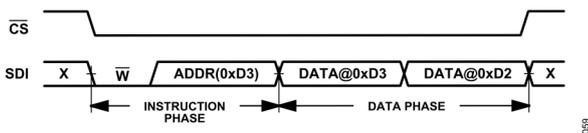


図 59. オプション1の例: DAC\_Ch0レジスタへの書き込み、単一命令モード、降順アドレス

オプション2 (間接更新、個別データ、ハードウェアLDAC、単一および複数チャンネル)

オプション2では、ハードウェアLDACを通じてDAC\_CHnレジスタの更新タイミングをINPUT\_CHnレジスタから制御できます。

このオプションは、単一命令モードまたはストリーム・モードで、単一チャンネル更新と複数チャンネル更新の両方に使用できます。

単一命令が送信されHW\_LDAC\_EN\_0レジスタに書き込まれることで、選択されたチャンネルのハードウェアLDACがイネーブルされます。次いでデフォルトの降順アドレス指定でストリーム・モードが開始され、INPUT\_CH7からINPUT\_CH0への順番で書き込みが行われます。DACレジスタとDAC出力を更新するストリームが終了すると、LDACがアサートされます(正しいLDACタイミングが守られた場合)。

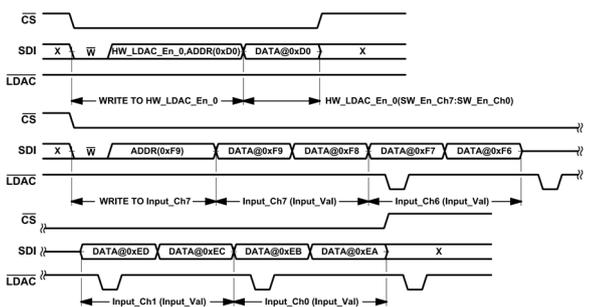


図 60. オプション2の例: INPUT\_CH7~INPUT\_CH0レジスタへの書き込み、ハードウェアLDACをイネーブル、ストリーム・モード、降順アドレス

オプション3 (間接更新、個別データ、ソフトウェアLDAC、単一および複数チャンネル)

オプション3では、ソフトウェアLDACを通じて、DAC\_CHnレジスタの更新タイミングをINPUT\_CHnレジスタから制御できます。

このオプションは、単一命令モードおよびストリーム・モードで、単一チャンネル更新と複数チャンネル更新の両方に使用できます。

このオプションは、ハードウェアLDACではなくソフトウェアLDAC機能を使用する点を除いて、オプション2と同じです。SW\_LDAC\_EN\_0レジスタは、ソフトウェアLDACコマンドをどのチャンネルに適用するかを決定します。DACレジスタとDAC出力は、SW LDACコマンドの最終SCLK後に書き込まれた入力データによって更新されます。

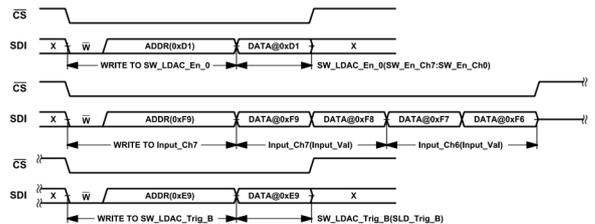


図 61. オプション3の例: INPUT\_CH7およびINPUT\_CH6レジスタへの書き込み、ソフトウェアLDAC、ストリーム・モード、降順アドレス

オプション4 (直接更新、同一データ、LDACなし、複数チャンネル)

オプション4では、同一のデータを使用して、MULTI\_DAC\_SEL\_0(MD\_SEL\_CH\_n)ビットフィールドによって指定された複数のDAC\_CHnレジスタを直接同時に更新できます。データはMULTI\_DAC\_CHレジスタに格納され、16ビットのデータをすべて書き込んだ後に更新が開始されます。LDACは必要ありません。

オプション4は、単一命令モードおよびストリーム・モードでの複数チャンネル更新に最適です。

MULTI\_DAC\_SEL\_0レジスタに書き込み命令が送信されて、選択されたチャンネルの複数のDAC機能がイネーブルされます。ストリーム・モードで降順アドレスがイネーブルされている場合、コマンドの次には、隣接するマルチバイト・レジスタ0xE3(および0xE2)のMULTI\_DAC\_CHのデータが続きます。STREAM\_MODE(LOOP\_COUNT)が0x3に設定されているとすると、これに続くデータ・ストリームは開始アドレス0xE4にループ・バックして、CSがデアサートされるまで同じプロセスを繰り返します。

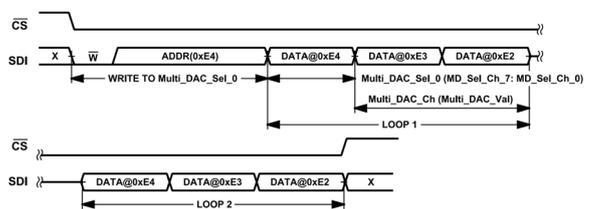


図 62. オプション4の例: MULTI\_DAC\_CHnレジスタへの書き込み、ストリーム・モード(ループ)、降順アドレス

オプション5 (間接更新、同一データ、ハードウェアLDAC、複数チャンネル)

オプション5では、同一のデータを使用して、MULTI\_INPUT\_SEL\_0(MI\_SEL\_CH\_n)ビットフィールドとHW\_LDAC\_EN\_0(HLD\_EN\_CH\_n)ビットフィールドによって指定された複数のDAC\_CHnレジスタの更新タイミングが制御された間接更新が可能です。

DACのコア機能

データは MULTI\_INPUT\_CHn レジスタに格納され、有効な LDACパルスを供給することによって更新が開始されます。

オプション 5 は、単一命令モードおよびストリーム・モードでの複数チャンネル更新に最適です。このオプションでは、MULTI\_INPUT\_SEL\_0 レジスタと MULTI\_INPUT\_CHn レジスタを使用して複数の DAC チャンネルの入力レジスタの選択と更新を行います。この点を除けばオプション 2 と同じです。DAC レジスタと DAC 出力を更新する各ループが終了すると、LDAC がアサートされます（正しい LDAC が守られた場合）。

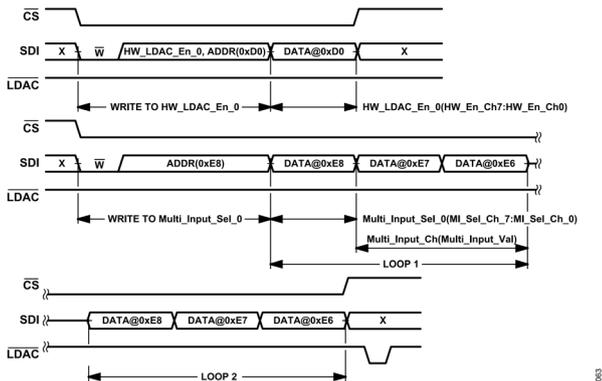


図 63. オプション 5 の例：MULTI\_INPUT\_CHn レジスタへの書込み、ハードウェア LDAC、ストリーム・モード（ループ）、昇順アドレス

オプション 6（間接更新、同一データ、ソフトウェア LDAC、複数チャンネル）

オプション 6 では、同一のデータを使用して、MULTI\_INPUT\_SEL\_0 (MI\_SEL\_CH\_n) ビットフィールドと SW\_LDAC\_EN\_0 (SLD\_EN\_CH\_n) ビットフィールドによって指定された複数の DAC\_CHn レジスタを、直接同時に更新できます。データは MULTI\_INPUT\_CHn レジスタに格納され、ソフトウェア LDACによって更新が開始されます。

オプション 6 は、単一命令モードおよびストリーム・モードでの複数チャンネル更新に最適です。これは、ハードウェア LDAC ではなくソフトウェア LDAC 機能を使用する点を除いてオプション 5 と同じです。SW\_LDAC\_EN\_0 レジスタは、ソフトウェア LDAC コマンドをどのチャンネルに適用するかを決定します。

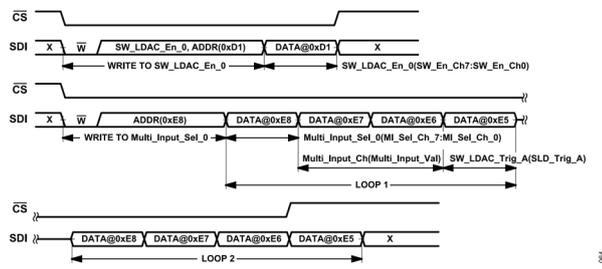


図 64. オプション 6 の例：MULTI\_INPUT\_CHn レジスタへの書込み、ソフトウェア LDAC、ストリーム・モード（ループ）、昇順アドレス

## デジタル・インターフェース

本デバイスは、標準 SPI、QSPI、MICROWIRE の各インターフェース規格、およびほとんどのデジタル・シグナル・プロセッサ (DSP) に対応できる、4 線式シリアル・インターフェース ( $\overline{CS}$ 、SCLK、SDI、および SDO) を使用しています。

図 2 に代表的な読出し/書込みシーケンスのタイミング図を示します。レジスタの読出しと書込みのトランザクションは、 $\overline{CS}$  でフレーム化されます。 $\overline{CS}$  がハイの間は、SCLK のエッジは無視され SDO は高インピーダンスになります。 $\overline{CS}$  の立下がりエッジで SPI フレームが開始されます。いずれの SPI トランザクションでも、データは MSB ファーストにシフトされます。

データは SCLK の立上がりエッジ発生時にデバイスでサンプリングされ、SCLK の立下がりエッジ発生時に SDO からシフト出力されます。これは、SPI モード 0 (CPOL=0、CPHA=0) に対応します。

デバイスとの通信は、2 つの個別の動作フェーズに分かれています。最初のフェーズは命令フェーズで、デバイスの動作を開始するために使用します。命令フェーズでは、レジスタ・アドレスはデフォルトで 15 ビット幅です (INTERFACE\_CONFIG\_B レジスタの SHORT\_INSTRUCTION ビット=0)。次のフェーズはデータ・フェーズで、命令フェーズに応じて、データをデバイスに送信して動作させるか、デバイスからデータを受信します。

図 65 は、命令フェーズに 15 ビット・アドレス、データ・フェーズに 1 個のシングルバイト・レジスタ用の 8 ビットを使用した SPI 書込みトランザクション、図 66 は、命令フェーズに 7 ビット・アドレス、データ・フェーズに 8 ビットを使用した SPI 読出しトランザクションを示しています。

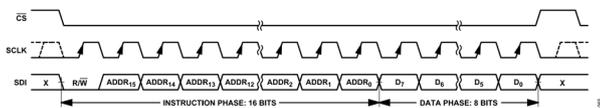


図 65. 標準 SPI の書込み

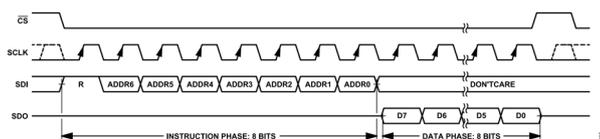


図 66. 標準 SPI の読出し

### SPI フレーム同期

SPI トランザクション時は  $\overline{CS}$  ピンがデータをフレーム化します。 $\overline{CS}$  の立下がりエッジによってデジタル・インターフェースがイネーブルされ、SPI トランザクションが開始されます。それぞれの SPI トランザクションは、少なくとも 1 つずつの命令フェーズとデータ・フェーズによって構成されます。いずれの SPI トランザクションでも、データは MSB ファーストに揃えられています。SPI トランザクション時に  $\overline{CS}$  をデアサートすると、データ転送の一部または全部が終了し、デジタル・インターフェースがディスエーブルされます。1 つ以上のレジスタへの書込み後に  $\overline{CS}$  がデアサートされると (ハイ・レベルに戻ると)、書込みが完了したレジスタへの書込みまたは読出しは行われますが、一部しか書き込まれなかったレジスタの書込みや読出しは中断されます。図 65 と図 66 に、SPI インターフェースを介したレジスタの読出しと書込みの詳細なタイミング図を示します。

### 命令フェーズ

各 SPI フレームは命令フェーズで始まります。命令フェーズは  $\overline{CS}$  の立下がりエッジの直後に始まり、このフェーズで SPI トランザクションが開始されます。命令フェーズは、読出し/書込みビット (R/ $\overline{W}$ ) と、それに続くレジスタ・アドレス・ワードで構成されます。R/ $\overline{W}$  をローにセットすると書込み命令が始まり、R/ $\overline{W}$  をハイにセットすると読出し命令が始まります。レジスタ・アドレス・ワードはアクセス先のレジスタ・アドレスを指定します。レジスタ・アドレスのデフォルトのワード長は 15 ビットです。必要な場合は、INTERFACE\_CONFIG\_B レジスタの SHORT\_INSTRUCTION ビットで 7 ビット・アドレス指定をイネーブルします。詳細はインターフェース設定 B レジスタのセクションを参照してください。

### データ・フェーズ

図 65 および図 66 に示すように、データ・フェーズは命令フェーズの直後に続きます。データ・フェーズには、1 個のシングルバイト・レジスタ、1 個のマルチバイト・レジスタ、または複数のレジスタのデータを含めることができます。

SPI 書込みトランザクションのデータ・フェーズに更新対象レジスタのデータ・バイトの一部しか含まれていない場合、レジスタの内容は更新されず、INTERFACE\_STATUS\_A レジスタのビット 4 (CLOCK\_COUNT\_ERR) がセットされます。

### マルチバイト・レジスタ

AD5711R/AD5710R は、シングルバイト・レジスタに加えて、隣接するアドレスに 2 バイトのデータを保存するレジスタも備えています。このレジスタはマルチバイト・レジスタと呼ばれます。マルチバイト・レジスタへの書込み時は、1 回の SPI トランザクションですべてのバイトにアクセスする必要があります。このため、INTERFACE\_CONFIG\_C、ビット 5 (STRICT\_REGISTER\_ACCESS) は読出し専用で、1 に設定されます。マルチバイト・レジスタへの書込みトランザクションは、データ・フェーズの 16 番目の SCLK エッジの後に実行されます。

12 ビットのデバイスでは、最下位 4 ビット (LSB) は無視され、内部で 0 に設定されます (表 12 参照)。

マルチバイト・レジスタのアドレスは、常に INTERFACE\_CONFIG\_A、ビット 5 (ADDR\_ASCENSION) によって決まります。降順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであることが必要で、後続のバイトは次の下位アドレスのデータに対応します。昇順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最下位バイトであることが必要で、後続のバイトは次の上位アドレスのデータに対応します。

例えば、DAC\_CH0 レジスタは 2 バイト長で、その最下位バイトのアドレスは 0xD2、最上位バイトのアドレスは 0xD3 です。このレジスタの読出しトランザクションを、図 67 (昇順アドレス指定) と図 68 (降順アドレス指定) に示します。

デジタル・インターフェース

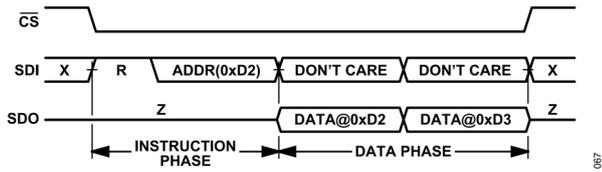


図 67. 昇順アドレス指定によるマルチバイト読出し

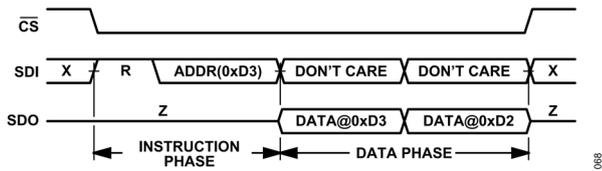


図 68. 降順アドレス指定によるマルチバイト読出し

アドレス方向は、INTERFACE\_CONFIG\_A、ビット 5 (ADDR\_ASCENSION) で選択します。このビットを 0 に設定すると、各バイトにアクセスするごとにアドレスがデクリメントします。このビットを 1 に設定すると、各バイトにアクセスするごとにアドレスがインクリメントします。マルチバイト・レジスタへの SPI 書き込みトランザクションをバイトごとに行おうとした場合、デバイスのレジスタの内容は更新されず、

表 12. マルチバイト・レジスタ、データ位相

Model	MSB								LSB							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD5710R (16-bit)	DATA [15:8]								DATA [7:0]							
AD5711R (12-bit)	DATA [15:8]								DATA [7:4]				0	0	0	0

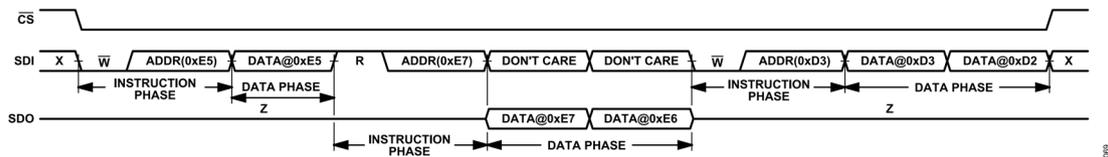


図 69. 単一命令モード

INTERFACE\_STATUS\_A、ビット 1 (REGISTER\_PARTIAL\_ACCESS\_ERR) がセットされます。

このデバイスは、マルチバイト・レジスタとして DAC\_CHn、INPUT\_CHn、MULTI\_DAC\_CH、および MULTI\_INPUT\_CH を内蔵しています。

単一命令モード

INTERFACE\_CONFIG\_B、ビット 7 (SINGLE\_INST) を 1 に設定すると、ストリーミング・モードがディスエーブルされ単一命令モードがイネーブルされます。単一命令モードでは、データ・フェーズは単一レジスタのデータで構成され、 $\overline{CS}$ がローのままであっても、各データ・フェーズの後には新しい命令フェーズを続ける必要があります。単一命令モードでは、デジタル・ホストは1つのSPIフレーム内で隣接しないアドレスのレジスタに対して迅速に読出しと書き込みを行えます (図 69 を参照)。これに対し、ストリーミング・モードでは、 $\overline{CS}$ パルスを高にして新たな命令フェーズを開始することなく、隣接レジスタに対する読出しまたは書き込みを行うことができます。

単一命令モードでマルチバイト・レジスタにアクセスするときは、データ・フェーズに 2 バイトすべて、または 16SCLK サイクルが含まれている必要があります。レジスタ・アドレスの順番は、INTERFACE\_CONFIG\_A、ビット 5 (ADDR\_ASCENSION) によって決まります。

## デジタル・インターフェース

### ストリーミング・モード

INTERFACE\_CONFIG\_B、ビット7 (SINGLE\_INST) を0に設定すると、単一命令モードがディスエーブルされストリーミング・モードがイネーブルされます。ストリーミング・モードでは、アドレスが隣接する複数のレジスタに1つの命令フェーズとデータ・フェーズでアクセスできるため、メモリの隣接領域に効率的にアクセスできます (例えば、デバイスの初期設定時)。ストリーミング・モードはデフォルトで選択されています。

ストリーミング・モードの場合、各SPIフレームには1つの命令フェーズが含まれ、後続のデータ・フェーズにはアドレスが隣接する複数のレジスタのデータが含まれます。開始レジスタのアドレスは命令フェーズにおいてデジタル・ホストが指定し、データの各バイトへのアクセスが行われた後、このアドレスは、自動的にインクリメントまたはデクリメント (アドレス方向の設定による) します。そのため、データ・フェーズは複数バイト長となることがあり、読出または書込みデータの連続するバイトはそれぞれ、次の最上位アドレス (昇順アドレス方向の場合) または最下位アドレス (降順アドレス方向の場合) に対応します。

ストリーミング・モードで昇順アドレスによりマルチバイト・レジスタへ書込みを行う場合は、命令フェーズでレジスタの最下位バイト・アドレスを指定し、データ・フェーズで最下位バイトから順にデータを提供する必要があります。ストリーミング・モードで降順アドレスによりマルチバイト・レジスタに書込みを行う場合は、命令フェーズでレジスタの最上位バイトからアドレス指定を開始し、データ・フェーズで最上位バイトから順にデータを提供する必要があります。

ストリーミング・モードで降順アドレスによりマルチバイト・レジスタから読出しを行う場合は、最上位バイトから順にデータをリードバックします。ストリーミング・モードで昇順アドレスによりマルチバイト・レジスタから読出しを行う場合は、最下位バイトから順にデータをリードバックします。

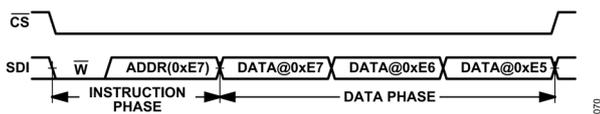


図 70. ストリーミング・モードの SPI 転送

STREAM\_MODE レジスタを用いることで、連続するレジスタ・セットを指定してデータ・フェーズでループ・スルーを行うことができます (ストリーミング・モード・レジスタのセクションを参照)。

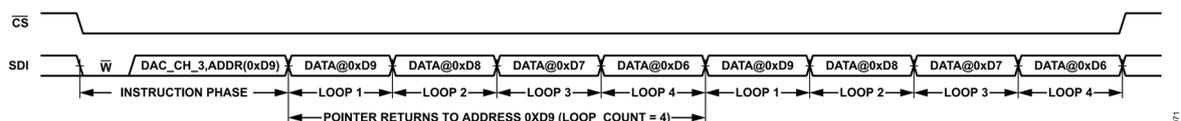


図 71. LOOP\_COUNT = 4 でルーピングをイネーブル

ンを参照)。ルーピングにより、デジタル・ホストは一連のレジスタとの間で可能な限り効率的に読出または書込みを繰り返すことができます。

LOOP\_COUNT を 0 に設定すると、ループは無効化され、次の状態になります。

- ▶ アドレス方向が降順に設定されている場合、アドレスは 0x00 に達するまでデクリメントします。その後のバイト・アクセスでは、アドレスは使用可能な最大のバイト・アドレス値 (0xFF) に設定されます。
- ▶ アドレス方向が昇順に設定されている場合、アドレスは使用可能な最大のバイト・アドレス値 (0xFF) に達するまでインクリメントします。その後のバイト・アクセスでは、アドレスは 0x00 にリセットされます。

LOOP\_COUNT が 0 以外の値に設定されている場合はルーピングがイネーブルされ、バイト・アドレスが命令フェーズでの指定アドレスにリセットされる前に単一データ・フェーズでのアクセス対象となるバイト数は、LOOP\_COUNT の値によって設定されます。LOOP\_COUNT の値は、ループで実際に関与するバイト数に対応する必要があります。これは、複数バイトのレジスタがある場合、アドレス指定されたレジスタの数と異なることがあります。

LOOP\_COUNT ビットの値は、維持するか、フレーム・トランザクションの完了時 (つまりCSがハイになったとき) にデフォルト値 0 に戻すことができます。LOOP\_COUNT の動作は、KEEP\_STREAM\_LENGTH\_VAL ビットによって制御します。ユーザーがプログラムされた値を無期限に保持したい場合、最初に LOOP\_COUNT ビットをプログラムする前に、KEEP\_STREAM\_LENGTH\_VAL ビットを 1 に設定する必要があります。

LOOP\_COUNT 使用時には、DAC のコア機能のセクションに記載した DAC の更新タイミングに留意してください。更に、LOOP\_COUNT > 0 のストリーミングモード中では、以下の条件に対して SCLK 周波数は最低 12.5MHz に設定する必要があります。

- ▶ SPI フレーム全体の期間にわたってLDACをローに保持したまま、INPUT\_CHn レジスタおよび MULTI\_INPUT\_CH レジスタへ SPI 書込みを行う場合。
- ▶ SPI フレーム全体の期間にわたって、DAC\_CHn レジスタおよび MULTI\_DAC\_CH レジスタへの SPI 書込みおよび読出しを行う場合。

デジタル・インターフェース

デバイスのアドレス指定

AD5711R/AD5710R デバイスの WLCSP パッケージには、2つのアドレス・ピン (A[1:0]) があります。図 72 に示すように、4つの個別のアドレスを使用することで、同一の SPI バス上で最大 4つのデバイスを使用できます。同一の SPI バスで使用するデバイスはすべて、アドレス・ピンに固有のデバイス・アドレスが設定されるように注意してください。

AD5711R/AD5710R のいずれかと通信するには、図 2 および表 13 に示すように、そのデバイス・アドレスに対応した 3つの MSB ビット A[14:12] を SPI フレームの命令フェーズに含めます。命令フェーズにアドレス・ビットを使用することで、特定のデバイスを選択して書き込むことができます。SPI 読出しトランザクションでは、SDO ラインでデータを読み出すために特定のデバイスをアドレス指定する必要があります。ユーザ設定可能なレジスタ (アドレス 0x00 ~ アドレス 0x11) では、命令フェーズのアドレス・ビットで設定された値を無視して読出しや書き込みが可能です。他のレジスタについては、命令フェーズのアドレス・ビットとアドレス・ピンが一致しない場合、AD5711R/AD5710R は SPI の読出し/書き込みトランザクションを無視します。

表 13. デバイス・アドレスの真理値表

Address Pins, A[1:0]	Device Identity	Address Bits, A[14:12], in Instruction Phase
00	0	000
01	1	001
10	2	010
11	3	011

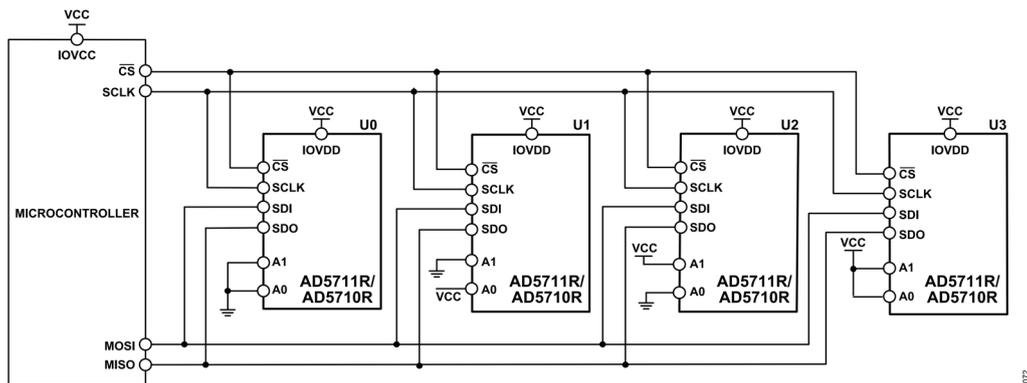


図 72. 単一 SPI バスを使用した複数の AD5711R/AD5710R デバイスとの通信

## デジタル・インターフェース

複数の AD5711R/AD5710R を同一の SPI バスに接続した場合、特に SDO ラインにおいて、バスに接続された各デバイスの入力容量、および PCB 配線パターン容量によって容量性負荷が増加します。この容量増加が信号の遷移の速度（立ち上がり時間および立下がり時間）を低下させます。これにより、ホストが次のクロック・エッジでサンプリングする前までに SDO ラインのデータを安定化できなくなる可能性があります。そのため、SCLK 周波数を低くして、遷移後に SDO が安定化できる時間を持たせることを推奨します。

### デバイス・ステータス・エラー

AD5711R/AD5710R は、デジタル・インターフェースに関するすべてのステータス・ビットが含まれた INTERFACE\_STATUS\_A レジスタを備えています。これらのステータス・ビットは、SPI トランザクションに関連する動作に基づいてセットされ、対応するビット位置に 1 を書き込むことによってステータス・ビットが明示的にクリアされるまで保持されます。

### レジスタへの部分的なアクセスによるエラー

マルチバイト・レジスタが部分的に読み出されたか書き込みアクセスを受けた場合、INTERFACE\_STATUS\_A レジスタの REGISTER\_PARTIAL\_ACCESS\_ERR ビットがセットされます。これは、マルチバイト・レジスタの全バイトへのアクセスが完了しないうちにトランザクションが終了したことを示すものです。このエラーをクリアするには、REGISTER\_PARTIAL\_ACCESS\_ERR ビットに 1 を書き込みます。

### 無効な CRC または CRC が無い受信によるエラー

CRC がイネーブルされており、SPI トランザクションの CRC バイトがないか計算値と一致しない場合、INTERFACE\_STATUS\_A レジスタの CRC\_ERR ビットがセットされます。このエラーをクリアするには、このビットに 1 を書き込みます。なお、CRC がイネーブルされているので、続行するにはこの SPI トランザクションに有効な CRC コードがある必要があります。

### クロック・カウント・エラー

CLOCK\_COUNT\_ERR ビットで報告されるエラーは、SCLK サイクルの数が 8 の倍数ビットだけシフトするのに必要な数と一致しない場合に生成されます。

### インターフェース準備未完了ステータス

INTERFACE\_STATUS\_A レジスタの NOT\_READY\_ERR ビットは、エラーではありません。これはステータス・ビットで、デバイスがホストからのデータを受信できる状態にあることを知るためにポーリングされます。このビットは、読み出し可能で 1 を書き込むことでクリアされる (R/W1C) 属性のビットであり、1 を書き込むことでクリアできます。

### 巡回冗長検査 (CRC) エラーの検出

AD5711R/AD5710R DAC は、巡回冗長検査 (CRC) のオプションを備えており、デジタル・ホストと DAC (ターゲット) の間の SPI トランザクションでエラー検出が可能です。CRC エラー検出はデフォルトではディスエーブルされています。CRC エラー検出を用いることで、SPI のホストとターゲットはビット転送エラーを高い信頼度で検出できます。CRC アルゴリズムでは、シード値と多項式除算を使用して CRC コードを生成します。コントローラとターゲットの双方で個別に CRC コードを計算し、転送されたデータの有効性を判定します。

この DAC は、次の多項式からなる CRC-8 標準を使用します。

$$x^8 + x^2 + x + 1 \quad (9)$$

CRC エラー検出をイネーブルするには、INTERFACE\_CONFIG\_C レジスタの CRC\_EN ビットと CRC\_EN\_B ビットを用います。CRC\_EN の値が更新されるのは、同じレジスタ書き込み命令で CRC\_EN\_B が CRC\_EN の反転値に設定されている場合のみです。そのため、CRC をイネーブルするには、CRC\_EN を 0b01 に設定すると共に、同じ書き込みトランザクションで CRC\_EN\_B を 0b10 に設定する必要があります。

CRC をディスエーブルするには、CRC\_EN を 0b00 に設定すると共に、同じ書き込みトランザクションで CRC\_EN\_B を 0b11 に設定します。

2 つの別々のフィールドに反転した値を書き込むことで、CRC が誤ってイネーブルされる可能性を減らすことができます。 $\overline{CS}$  は書き込みのイネーブル/ディスエーブル後にハイ・レベルにする必要があります。最初の CRC コードは、レジスタの書き込み/読み出しデータの後、CRC をイネーブルするレジスタ書き込みトランザクションの直後に含める必要があります。CRC をディスエーブルするレジスタ書き込みトランザクションでは、SDI に関する CRC コードも含まれていなければなりません、その後続くトランザクションに CRC コードを含める必要はありません。

図 73 と図 74 は、デジタル・ホストまたは DAC がデータを検証するために、それぞれ書き込み時または読み出し時に CRC コードがどのように付加されるのかを示しています。レジスタ書き込みの場合は、式 9 に示す計算を使ってデジタル・ホストが CRC を生成する必要があります。レジスタ読み出しの場合、ホストは DAC によってチェックされる正しい CRC バイトを送信する必要があります。送信データの最初のバイトは CRC 計算に使われます。したがって、値を 0x00 とすることを推奨します。同じ読み出しトランザクションで、DAC はデジタル・ホストが検証するための CRC コードを供給します。

CRC エラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRC コードはレジスタ・データの全バイトの後に配置されます。

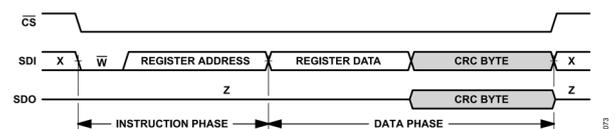


図 73. CRC をイネーブルした SPI 書き込み

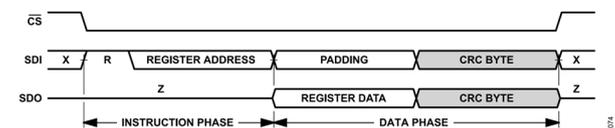


図 74. CRC をイネーブルした SPI 読み出し

CRC エラー検出がイネーブルされている場合、DAC は、SDI のレジスタ・データの最後で有効な CRC コードを受け取るまで、レジスタ書き込みトランザクションに回答してレジスタ内容を更新することはありません。CRC コードが無効であったり、デジタル・ホストが CRC コードを送信できなかったりした場合、AD5711R/AD5710R はレジスタの内容を更新せず、INTERFACE\_STATUS\_A レジスタの CRC\_ERR フラグをセット

## デジタル・インターフェース

します。CRC\_ERR フラグは1が書き込まれるとクリアされます (WIC)。また、書き込みによるクリアを有効にするには正しい CRC が必要です。

CRC コードの計算で使用するシード値とその送信方法を、単一命令モードおよびストリーミング・モードの両方について表 14 に示します。単一命令モードを使用する場合、SPI フレーム内のどの CRC コードもシード値として 0xA5 を用い、アドレス 0x0000 で縮退故障状態が発生するのを防止します。

ストリーミング・モードを使用する場合、SPI フレームの最初の CRC コードもシード値として 0xA5 を用いますが、同じフレーム内の後続の CRC コードの計算には、SPI トランザクションでアクセスするレジスタ・アドレスの LSB をシード値として用います。

表 14. CRC シード値

SPI トランザクションのタイプ	端子	単一命令モード	ストリーミング・モード	
			最初のデータ・フェーズ	後続のデータ・フェーズ
読み出し	SDI	CRC シード= 0xA5、命令フェーズ、データ= 0x00 を書き込み	CRC シード= 0xA5、命令フェーズ、データ= 0x00 を書き込み	アドレスの最下位バイトに 0x00 を書き込み、各マルチバイト・レジスタの後に CRC バイトを送信
	SDO	CRC シード= 0xA5、命令フェーズ、データの読み出し	CRC シード= 0xA5、命令フェーズ、データの読み出し	アドレスの最下位バイトからデータを読み出し、各マルチバイト・レジスタの後に CRC バイトを受信
書き込み	SDI	CRC シード= 0xA5、命令フェーズ、データの書き込み	CRC シード= 0xA5、命令フェーズ、データの書き込み	アドレスの最下位バイトにデータを書込み、各マルチバイト・レジスタの後に CRC バイトを送信
	SDO	CRC シード= 0xA5、命令フェーズ、データ= 0x00 を読み出し	CRC シード= 0xA5、命令フェーズ、データ= 0x00 を読み出し	データ= 0x00 を読み出し、各マルチバイト・レジスタの後に CRC バイトを受信

## デバイスのリセット

本デバイスは、リセット・イベントとレジスタ読み出し/書き込みトランザクションとの間に最小 167 $\mu$ s の時間を必要とします (図 3 参照)。この時間は、表 4 の  $t_{SPI\_RDY}$  で表されます。デバイスの準備が整う前に SPI トランザクションを実行しようとした場合、トランザクションは正常に行われず、INTERFACE\_STATUS\_A レジスタの NOT\_READY\_ERR ビットがセットされます。NOT\_READY\_ERR ビットの詳細については、デバイス・ステータス・エラーのセクションを参照してください。

AD5711R/AD5710R には、パワーオン・リセット (POR)、ハードウェア・リセット、シリアル・インターフェースを介したソフトウェア・リセットの 3 つのリセット・メカニズムがあります。

### パワーオン・リセット (POR)

POR 信号は、電源電圧が AVDD の公称スレッショルド (2.5V) を最初に超えたときに生成されます。POR は、AVDD の電源電圧がこのスレッショルドを下回ると、ユーザ設定可能なレジスタの状態をリセットします。起動時には、すべてのレジスタはデフォルト値にリセットされています。その一方で、POR 回路は、チャンネルの出力動作モードが変わるまで、すべての DAC チャンネルの出力段をパワーダウンします (DAC 動作モードのセクションを参照)。

### ハードウェア・リセット

$\overline{RESET}$  は、ロー・レベルでトリガされるアクティブ・ローの信号です。 $\overline{RESET}$  をアサートするとデバイスは POR 状態になります。 $\overline{RESET}$  がアサートされると、すべての SPI トランザクションと  $\overline{LDAC}$  パルスが無視されて、SDO 出力は高インピーダンス状態になります。 $\overline{RESET}$  がデアサートされると、デジタル・コアが初期化されて、すべてのレジスタがデフォルト値にリセットされます。

## ソフトウェア・リセット

INTERFACE\_CONFIG\_A レジスタには、シリアル・インターフェースを通じてソフトウェア・リセットを開始するための 2 つの制御ビット、SW\_RESET と RESET\_SW が含まれています。リセットを正常にトリガするには、両方のビットを同一のデータ・フェーズ内で同時にセットする必要があります。ソフトウェア・リセットのトランザクションが完了すると、デバイスは POR シーケンス、デジタル・コアの初期化、の順に実行します。電流設定値が格納された INTERFACE\_CONFIG\_A レジスタを除く、すべてのレジスタがデフォルト値にリセットされます。

## アプリケーション情報

## 電源の推奨事項

AD5711R/AD5710R には、電源シーケンスに関する制限はありません。出力は、正しいレジスタ設定が完了するまで、既知のプルダウン抵抗によって POR 状態に維持されます。

アプリケーションのモジュールは、利用できるスペースが非常に限られています。そのため、機能や仕様などの条件を犠牲にすることなく、外付け部品の点数とサイズを削減する必要があります。通常、特に指定のない限りコンデンサの値には±5%の公差があると見なします。

表 15. 外付けの受動部品

Pin Name	Passive Components Required
AVDD	0.1 $\mu$ F    10 $\mu$ F capacitor per pin to AGND
PVDDx	0.1 $\mu$ F    10 $\mu$ F capacitor per pin to AGND
IOVDD	0.1 $\mu$ F capacitor to AGND

## マイクロプロセッサのインターフェース

マイクロプロセッサと AD5711R/AD5710R のインターフェースは、DSP やマイクロコントローラとの互換性を備えた標準プロトコルを使用するシリアル・バスを介して形成されます。この通信チャンネルは、クロック信号 (SCLK)、データ入力信号 (MISO)、データ出力信号 (MOSI)、および同期信号 (SS) で構成される 4 線式シリアル・インターフェースを必要とします。

AD5711R/AD5710R の SPI インターフェースは、業界標準の DSP とマイクロコントローラに容易に接続できるように設計されています。図 75 には、ADuCM320 に接続された AD5711R/AD5710R が示されています。ADuCM320 は、AD5711R/AD5710R の SPI ピンに直接接続できる SPI ポートを内蔵しています。

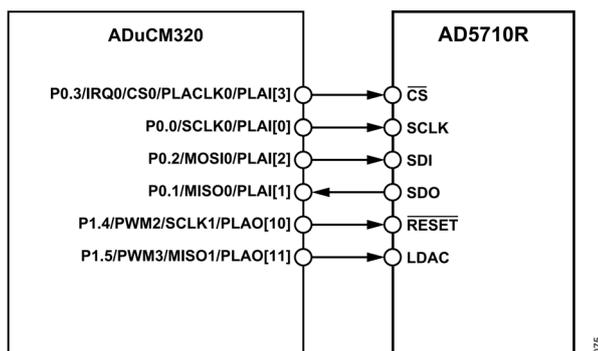


図 75. ADuCM320 SPI インターフェース

## レイアウトおよびアセンブリのガイドライン

デバイスの PCB レベルの信頼性は、PCB のタイプと使用する設計に直接関係します。半導体素子の熱膨張係数 (CTE) と一致する PCB 材料 (セラミックなど) を用いると、最適な機械的性能を得ることができます。有機材料の PCB (FR4 など) では、CTE が半導体素子と異なるため、アンダーフィルを用いると機械的性能を上げることができます。有機 PCB の厚さが 0.8mm を超える場合は、アンダーフィルの使用を検討してください。アンダーフィル材料の選択には、材料の性質がアプリケーションの使用条件と合致するよう、特別な注意が必要です。

ソフト・エラー・レート (SER) を減らすには、システム・アセンブリにおいて低アルファ線材料を用いることを検討してください。

WLCSP 向けの PCB のレイアウトおよびアセンブリについては、AN-617 アプリケーション・ノートに詳しい情報が記載されています。

## 熱に対する考慮事項

本デバイスの絶対最大ジャンクション温度は 150°C、最大動作ジャンクション温度 ( $T_{J,MAX}$ ) は 125°C です (絶対最大定格のセクションを参照してください)。仕様規定されている性能を確保するには、ジャンクション温度が 125°C を超えない範囲で AD5711R/AD5710R を動作させてください。ジャンクション温度は、AD5711R/AD5710R 全体の消費電力と周囲温度から直接影響を受けます。

AD5711R/AD5710R の消費電力のほとんどは、IOUT チャンネルから生じます。DC 仕様のセクションで各 IOUT チャンネルの出力電流範囲と最大電源電圧を仕様規定しています。消費電力がパッケージに与える影響と、パッケージがジャンクション温度に与える影響を理解することが重要です。このデバイスは、25 ボールの 2.143mm × 2.193mm × 0.500mm WLCSP を採用しています。熱抵抗の値は表 7 で仕様規定されています。表 16 に、ある特定の条件下における最大許容消費電力、最大許容周囲温度、最大ボード温度を示します。

アプリケーション情報

表 16. AD5711R/AD5710R WLCSP パッケージの熱に関する考慮事項

パラメータ	説明
最大消費電力	<p>動作時の周囲温度 (<math>T_A</math>) が既知の場合、<math>\theta_{JA}</math> を使用して、最大動作ジャンクション温度 (<math>T_{J\_MAX}</math>) を基に最大許容消費電力 (<math>P_{DISS\_MAX}</math>) を見積もることができます。例として、<math>T_A = 85^\circ C</math> の場合、以下のようになります。</p> $P_{DISS\_MAX} = \frac{T_{J\_MAX} - T_A}{\theta_{JA}} = \frac{125^\circ C - 85^\circ C}{51.8^\circ C/W} = 772.20mW \quad (10)$ <p>DUT 付近のボード温度 (<math>T_B</math>、同じボード上の DUT 近辺を温度センサーで測定) が既知の場合、<math>\Psi_{JB}</math> を使用して最大許容消費電力 (<math>P_{DISS\_MAX}</math>) をより正確に見積もることができます。例として、<math>T_B = 95^\circ C</math> の場合、以下のようになります。</p> $P_{DISS\_MAX} = \frac{T_{J\_MAX} - T_B}{\Psi_{JB}} = \frac{125^\circ C - 95^\circ C}{16^\circ C/W} = 1.87W \quad (11)$ <p>上の式を使用して、以下のように AD5711R/AD5710R の <math>P_{DISS}</math> を計算します。そして、<math>P_{DISS}</math> が許容 <math>P_{DISS\_MAX}</math> より低いことを確認します。以下のように選択した条件を使用します。</p> <p><math>R_{LOAD} = 25\Omega</math>、チャンネルあたりの <math>PVDD_x = 1.71V</math>。                      AD5711R/AD5710R の静止消費電力 = <math>0.8\mu A \times 1.71V = 1.368\mu W</math>                      IOUT0 電流 = 50mA、消費電力 = 23mW  <math>P_{DISS} = 1.368\mu W</math> (静止) + 23mW (動作中) = 23.001mW (合計)</p>
最高周囲温度	<p>AD5711R/AD5710R の総消費電力が 23.001mW のとき、最大許容周囲温度は以下のようになります。</p> $T_{A\_MAX} = T_{J\_MAX} - (P_{DISS} \times \theta_{JA}) = 125^\circ C - (23.001mW \times 51.8^\circ C/W) = 123.80^\circ C \quad (12)$
最高ボード温度	<p>AD5711R/AD5710R の総消費電力が 23.001mW のとき、最大許容ボード温度は以下のようになります。</p> $T_{B\_MAX} = T_{J\_MAX} - (P_{DISS} \times \Psi_{JB}) = 125^\circ C - (23.001mW \times 16^\circ C/W) = 124.63^\circ C \quad (13)$

レジスタ

AD5711R/AD5710R には、デバイスの設定に使用されるプログラマブルなユーザ設定レジスタがあります。表 17 には、ユーザ設定レジスタの全リストが含まれています。

アクセスの列は、そのレジスタが読み専用ビットだけで構成されているか (R) 、読み専用ビットと読み/書き込みビットの組合せで構成されているか (R/W) を指定するものです。読み専用ビットは、SPI の書き込みトランザクションでは上書きできませんが、読み/書き込みビットは上書きできます。

INTERFACE\_STATUS\_A および STATUS\_CONTROL\_0 レジスタのエラー・フラグは、読み可能で 1 を書き込むことでクリアされるビット (R/W1C) であり、SPI 書き込みトランザクションでそれらの位置に 1 が書き込まれた場合にのみ、リセットされます。

レジスタの一覧およびレジスタの詳細のセクションに、レジスタのサイズとビットフィールドを示します。マルチバイト・レジスタへのアクセス方法の詳細については、マルチバイト・レジスタのセクションを参照してください。

レジスタの一覧

表 17. AD5711R/AD5710R のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASCENSION	SDO_ENABLE	RESERVED			RESET_SW	0x10	R/W	
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INST	RESERVED			SHORT_INSTRUCTION	RESERVED			0x00	R/W	
0x02	DEVICE_CONFIG	[7:0]	RESERVED						OPERATING_MODES		0x00	R	
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE				0x08	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x08	R	
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R	
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x01	R	
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE								0x00	R/W	
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION						0x84	R	
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R	
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R	
0x0E	STREAM_MODE	[7:0]	LOOP_COUNT								0x00	R/W	
0x0F	TRANSFER_CONFIG	[7:0]	RESERVED					KEEP_STREAM_LENGTH_VAL	RESERVED		0x00	R/W	
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	RESERVED	ACTIVE_INTERFACE_MODE		CRC_ENABLEB		0x23	R/W	
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READY_ERR	RESERVED		CLOCK_COUNTER	CRC_ERR	RESERVED	REGISTER_PARTIAL_ACCESS_ERR	RESERVED	0x00	R/W	
0x20	OUTPUT_OPERATING_MODE_0	[7:0]	MODE_CH_3		MODE_CH_2		MODE_CH_1		MODE_CH_0		0xFF	R/W	
0x21	OUTPUT_OPERATING_MODE_1	[7:0]	MODE_CH_7		MODE_CH_6		MODE_CH_5		MODE_CH_4		0xFF	R/W	
0x2A	OUTPUT_CONTROL_0	[7:0]	RESERVED					RANGE		RESERVED		0x00	R/W
0x3C	REFERENCE_CONTROL_0	[7:0]	RESERVED						SEL		0x00	R/W	
0x93	MUX_OUT_SELECT	[7:0]	RESERVED				SEL				0x00	R/W	
0xC2	STATUS_CONTROL_0	[7:0]	RESERVED				UPDATE_ERR	RESET_WARNING	INTERFACE_ERR	RESERVED	0x04	R/W	
0xD0	HW_LDAC_En_0	[7:0]	HLD_EN_C_H_7	HLD_EN_C_H_6	HLD_EN_C_H_5	HLD_EN_C_H_4	HLD_EN_CH_3	HLD_EN_C_H_2	HLD_EN_C_H_1	HLD_EN_C_H_0	0xFF	R/W	

## レジスタ

表 17. AD5711R/AD5710R のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xD1	SW_LDAC_En_0	[7:0]	SLD_EN_C H_7	SLD_EN_C H_6	SLD_EN_C H_5	SLD_EN_C H_4	SLD_EN_CH _3	SLD_EN_C H_2	SLD_EN_C H_1	SLD_EN_C H_0	0xFF	R/W
0xD2 to 0xE0 by 2	DAC_CHn	[15:8]	DAC_VAL[15:8]								0x0000	R/W
		[7:0]	DAC_VAL[7:0]									
0xE2	MULTI_DAC_CH	[15:8]	MULTI_DAC_VAL[15:8]								0x0000	R/W
		[7:0]	MULTI_DAC_VAL[7:0]									
0xE4	MULTI_DAC_SEL_0	[7:0]	MD_SEL_C H_7	MD_SEL_C H_6	MD_SEL_C H_5	MD_SEL_C H_4	MD_SEL_CH _3	MD_SEL_C H_2	MD_SEL_C H_1	MD_SEL_C H_0	0xFF	R/W
0xE5	SW_LDAC_TRIG_A	[7:0]	SLD_TRIG _A	RESERVED							0x00	W
0xE6	MULTI_INPUT_CH	[15:8]	MULTI_INPUT_VAL[15:8]								0x0000	R/W
		[7:0]	MULTI_INPUT_VAL[7:0]									
0xE8	MULTI_INPUT_SEL_0	[7:0]	MI_SEL_C H_7	MI_SEL_C H_6	MI_SEL_C H_5	MI_SEL_C H_4	MI_SEL_CH _3	MI_SEL_C H_2	MI_SEL_C H_1	MI_SEL_C H_0	0xFF	R/W
0xE9	SW_LDAC_TRIG_B	[7:0]	SLD_TRIG _B	RESERVED							0x00	W
0xEA to 0xF8 by 2	INPUT_CHn	[15:8]	INPUT_VAL[15:8]								0x0000	R/W
		[7:0]	INPUT_VAL[7:0]									
0xFF	CHn_VMODE_EN	[7:0]	VMODE_E N_CH7	VMODE_E N_CH6	VMODE_E N_CH5	VMODE_E N_CH4	VMODE_EN_ CH3	VMODE_E N_CH2	VMODE_E N_CH1	VMODE_E N_CH0	0x00	R/W

レジスタ

レジスタの詳細

インターフェース設定 A レジスタ

インターフェース設定の設定値。

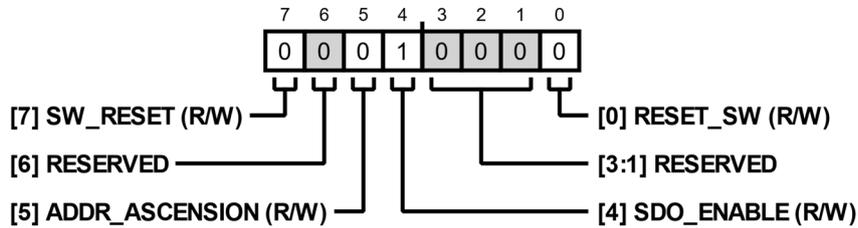


図 76. アドレス：0x00、リセット：0x10、レジスタ名：INTERFACE\_CONFIG\_A

表 18. INTERFACE\_CONFIG\_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つの SW_RESET ビットの1つ目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0：ストリーミング時にアドレスを1だけデクリメントします。 1：ストリーミング時にアドレスを1だけインクリメントします。	0x0	R/W
4	SDO_ENABLE	SDO ピン・イネーブル。 1'b0：SDO ピンをディスエーブル。 1'b1：SDO ピンをイネーブル（デフォルト、4線式）。	0x1	R/W
[3:1]	RESERVED	予約済み。	0x0	R
0	RESET_SW	2つの SW_RESET ビットの2つ目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W

インターフェース設定 B レジスタ

インターフェース設定の追加の設定値。

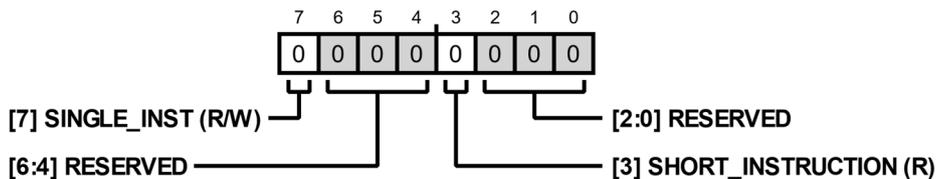


図 77. アドレス：0x01、リセット：0x00、レジスタ名：INTERFACE\_CONFIG\_B

表 19. INTERFACE\_CONFIG\_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーミング・モードまたは単一命令モードを選択。 0：ストリーミング・モードをイネーブル。連続するデータ・バイトを受信すると、アドレスがインクリメント/デクリメントされます。 1：単一命令モードをイネーブル。	0x0	R/W

## レジスタ

表 19. INTERFACE\_CONFIG\_B のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[6:4]	RESERVED	予約済み。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを 7 ビットまたは 15 ビットに設定。 0: 15 ビットのアドレス指定。 1: 7 ビットのアドレス指定。	0x0	R
[2:0]	RESERVED	予約済み。	0x0	R

## デバイス設定レジスタ

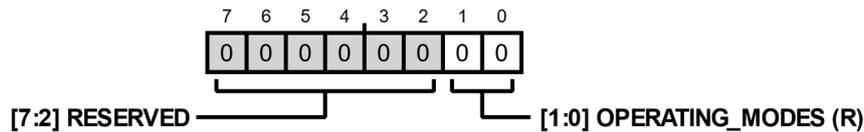


図 78. アドレス: 0x02、リセット: 0x00、レジスタ名: DEVICE\_CONFIG

表 20. DEVICE\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	OPERATING_MODES	動作モード。読み出し専用です。	0x0	R

## チップ・タイプ・レジスタ

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズの製品ファミリの識別に使用し、対象製品を一意に識別するために、製品 ID と共に使用する必要があります。

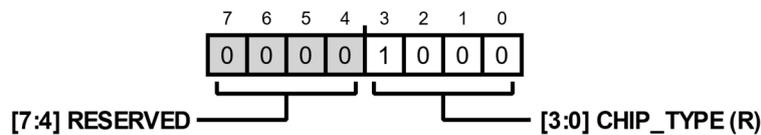


図 79. アドレス: 0x03、リセット: 0x08、レジスタ名: CHIP\_TYPE

表 21. CHIP\_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 DAC。	0x0	R

## レジスタ

## 製品 ID ロー・レジスタ

製品 ID の下位バイト。

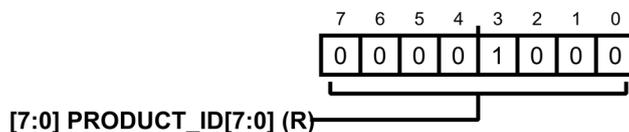


図 80. アドレス：0x04、リセット：0x08、レジスタ名：PRODUCT\_ID\_L

表 22. PRODUCT\_ID\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	これはデバイスのチップ・タイプ／ファミリです。製品を特定するには、製品 ID とチップ・タイプの両方を使用する必要があります。	0x8	R/W

## 製品 ID ハイ・レジスタ

製品 ID の上位バイト。

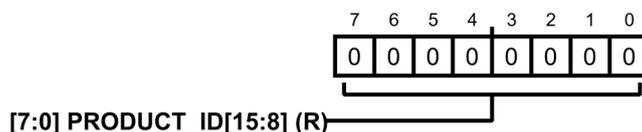


図 81. アドレス：0x05、リセット：0x00、レジスタ名：PRODUCT\_ID\_H

表 23. PRODUCT\_ID\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	これはデバイスのチップ・タイプ／ファミリです。製品を特定するには、製品 ID とチップ・タイプの両方を使用する必要があります。	0x8	R/W

## チップ・グレード・レジスタ

製品のバリエーションとデバイスのリビジョンを識別します。

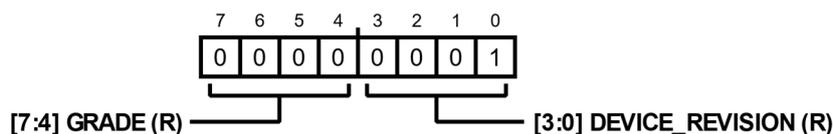


図 82. アドレス：0x06、リセット：0x01、レジスタ名：CHIP\_GRADE

表 24. CHIP\_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイス性能のグレードです。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョンです。	0x1	R

## レジスタ

## スクラッチ・パッド・レジスタ

このレジスタは書き込みや読出しのテストに使用できます。

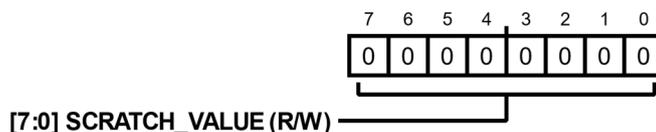


図 83. アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH\_PAD

表 25. SCRATCH\_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

## SPI リビジョン・レジスタ

SPI インターフェース・リビジョンを示します。

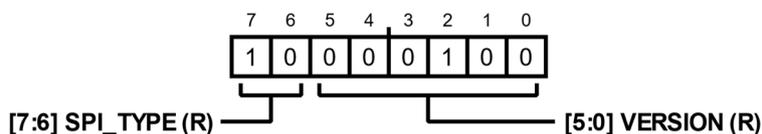


図 84. アドレス：0x0B、リセット：0x84、レジスタ名：SPI\_REVISION

表 26. SPI\_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	常に 0x2 と読み出されます。	0x2	R
[5:0]	VERSION	SPI のバージョン。	0x4	R

## ベンダ ID ロー・レジスタ

ベンダ ID の下位バイト。

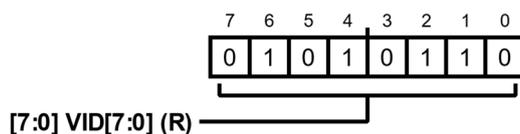


図 85. アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR\_L

表 27. VENDOR\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイゼズのベンダ ID。	0x56	R/W

レジスタ

ベンダ ID ハイ・レジスタ

ベンダ ID の上位バイト。

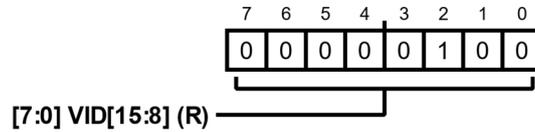


図 86. アドレス : 0x0D、リセット : 0x04、レジスタ名 : VENDOR\_H

表 28. VENDOR\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイゼスのベンダ ID。	0x4	R/W

ストリーム・モード・レジスタ

データ・ストリーミング時のループ長を定義します。

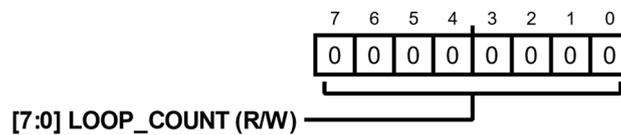


図 87. アドレス : 0x0E、リセット : 0x00、レジスタ名 : STREAM\_MODE

表 29. STREAM\_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	開始アドレスにループするまでのデータ・バイト・カウントを設定します。データのストリーミング時、アドレスが開始値にループ・バックするまでに書き込まれるデータ・バイト数を、ゼロ以外の値で設定します。この方法で最大 255 個のバイトを書き込むことができます。値を 0x00 にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。	0x0	R/W

転送設定レジスタ

マスタ・レジスタとスレーブ・レジスタ間でのデータの移動を制御します。

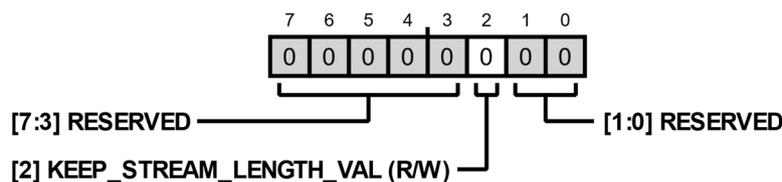


図 88. アドレス : 0x0F、リセット : 0x00、レジスタ名 : TRANSFER\_CONFIG

表 30. TRANSFER\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	KEEP_STREAM_LENGTH_VAL	セットされている場合、ループ・カウンタは CSB の立上がりエッジでリセットされません。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

レジスタ

インターフェース設定 C レジスタ

インターフェース設定の追加の設定値。

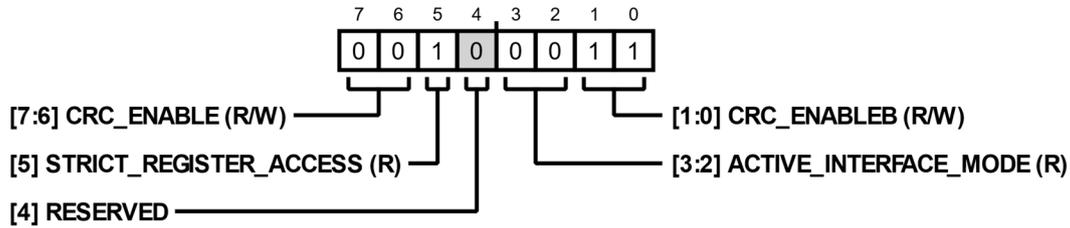


図 89. アドレス：0x10、リセット：0x23、レジスタ名：INTERFACE\_CONFIG\_C

表 31. INTERFACE\_CONFIG\_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_ENABLE	CRC 有効化。このレジスタへの書き込みは、インターフェースでの CRC 使用をイネーブルまたはディスエーブルするために行われます。CRC をイネーブルするには、CRC_ENABLEB ビットフィールドにもこのビットの反転値を書き込む必要があります。 0：CRC をディスエーブル。 1：CRC をイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS	マルチバイト・レジスタは全て読出し／書き込みをする必要があります。このモードが有効になっている場合、マルチバイト・レジスタの全てのバイトについて完全に読出し／書き込みをする必要があります。 0：ノーマル・モード、アクセス制限なし。 1：厳格モード。マルチバイト・レジスタでは、すべてのバイトにアクセスする必要があります。	0x1	R
4	RESERVED	予約済み。	0x0	R
[3:2]	ACTIVE_INTERFACE_MODE	アクティブ・インターフェース・モード。これは、SPI インターフェースが動作しているアクティブ・モードです。 0：	0x0	R
[1:0]	CRC_ENABLEB	CRC イネーブルの反転値。ここには CRC_ENABLE の反転値を書き込む必要があります。	0x3	R/W

インターフェース・ステータス A レジスタ

アクティブ状態であることを示すにはステータス・ビットを 1 に設定します。これらのビットは、対応するビット位置に 1 を書き込むことによってクリアできます。

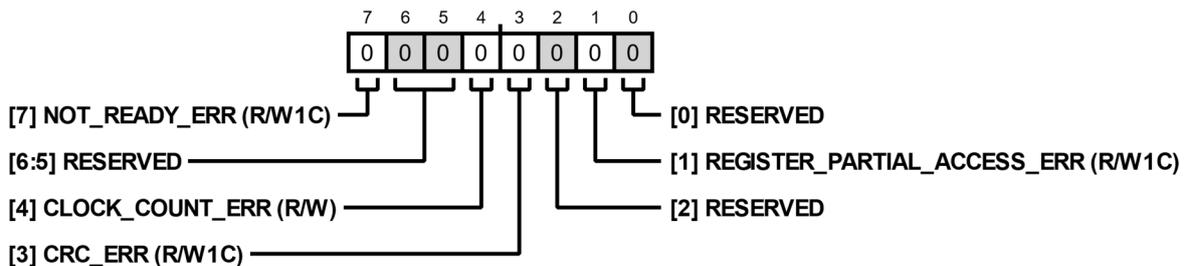


図 90. アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE\_STATUS\_A

表 32. INTERFACE\_STATUS\_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_READY_ERR	デバイスのトランザクションに対する準備が未了。このエラー・ビットがセットされるのは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合です。	0x0	R/W1C
[6:5]	RESERVED	予約済み。	0x0	R

レジスタ

表 32. INTERFACE\_STATUS\_A のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
4	CLOCK_COUNT_ERR	トランザクションで誤った数のクロックを検出。	0x0	R/W
3	CRC_ERR	受信 CRC が無効または受信 CRC がない。これがセットされるのは、マスタが CRC を送信できなかった場合、またはデバイス側で CRC を計算してチェックした結果、受信 CRC 値が正しくなかった場合です。	0x0	R/W1C
2	RESERVED	予約済み。	0x0	R
1	REGISTER_PARTIAL_ACCESS_ERR	読み出したバイト数または書き込んだバイト数が、期待値より少ないとセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。	0x0	R/W1C
0	RESERVED	予約済み。	0x0	R

出力動作モード 0 レジスタ

チャンネル 0~チャンネル 3 の動作モードを設定します。

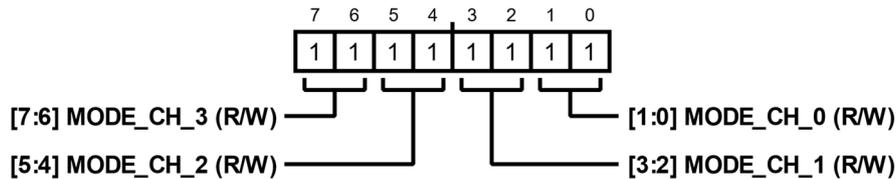


図 91. アドレス : 0x20、リセット : 0xFF、レジスタ名 : OUTPUT\_OPERATING\_MODE\_0

表 33. OUTPUT\_OPERATING\_MODE\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	MODE_CH_3	モード・チャンネル 3。チャンネル 3 の出力動作モード。 00 : チャンネルがイネーブル。 01 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 10 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 11 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。	0x3	R/W
[5:4]	MODE_CH_2	モード・チャンネル 2。チャンネル 2 の出力動作モード。 00 : チャンネルがイネーブル。 01 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 10 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 11 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。	0x3	R/W
[3:2]	MODE_CH_1	モード・チャンネル 1。チャンネル 1 の出力動作モード。 00 : チャンネルがイネーブル。 01 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 10 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 11 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。	0x3	R/W
[1:0]	MODE_CH_0	モード・チャンネル 0。チャンネル 0 の出力動作モード。 00 : チャンネルがイネーブル。 01 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 10 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。 11 : チャンネルがディスエーブル。VMODE : 15kΩ の出力インピーダンス、IMODE : 高インピーダンス。	0x3	R/W

レジスタ

出力動作モード1 レジスタ

チャンネル4～チャンネル7の動作モードを設定します。

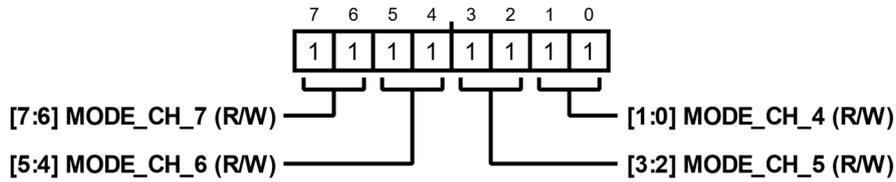


図 92. アドレス：0x21、リセット：0xFF、レジスタ名：OUTPUT\_OPERATING\_MODE\_1

表 34. OUTPUT\_OPERATING\_MODE\_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	MODE_CH_7	モード・チャンネル7。チャンネル7の出力動作モード。00：チャンネルがイネーブル。 01：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 10：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 11：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。	0x3	R/W
[5:4]	MODE_CH_6	モード・チャンネル6。チャンネル6の出力動作モード。 00：チャンネルがイネーブル。 01：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 10：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 11：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。	0x3	R/W
[3:2]	MODE_CH_5	モード・チャンネル5。チャンネル5の出力動作モード。 00：チャンネルがイネーブル。 01：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 10：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 11：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。	0x3	R/W
[1:0]	MODE_CH_4	モード・チャンネル4。チャンネル4の出力動作モード。 00：チャンネルがイネーブル。 01：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 10：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。 11：チャンネルがディスエーブル。VMODE：15kΩの出カインピーダンス、IMODE：高インピーダンス。	0x3	R/W

出力制御0 レジスタ

すべてのチャンネルの出力範囲を設定します。

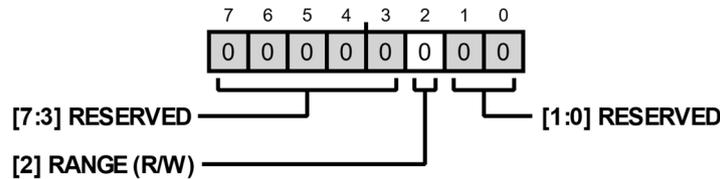


図 93. アドレス：0x2A、リセット：0x00、レジスタ名：OUTPUT\_CONTROL\_0

表 35. OUTPUT\_CONTROL\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	RANGE	出力範囲。すべてのチャンネルの出力範囲を設定するために使われるビットフィールド。 1：レンジ1。VMODE：出力範囲は0V~2×VREF、IMODE：出力範囲は0A~50mA。 0：レンジ0。VMODE：出力範囲は0V~VREF、IMODE：出力範囲は0A~50mA。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

レジスタ

リファレンス制御 0 レジスタ

すべてのチャンネルのリファレンス・ソースを設定します。

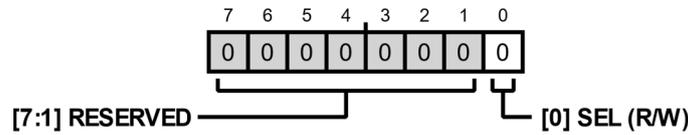


図 94. アドレス：0x3C、リセット：0x00、レジスタ名：REFERENCE\_CONTROL\_0

表 36. REFERENCE\_CONTROL\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	SEL	リファレンスの選択。すべてのチャンネルの電圧リファレンス・ソースを選択します。 0：0 を選択します。VREF ピンは入力ピンで、外部リファレンスはこのピンを通じて入力する必要があります。 1：1 を選択します。VREF ピンは出力ピンで、デバイスは内部リファレンスを使用します。内部リファレンスは VREF ピンから出力することもできます。	0x0	R/W

マルチプレクサ入力選択レジスタ

MUX\_OUT ピンでどのマルチプレクサの入力信号をモニタするかを選択します。

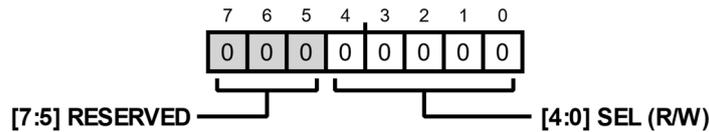


図 95. アドレス：0x93、リセット：0x00、レジスタ名：MUX\_OUT\_SELECT

表 37. MUX\_OUT\_SELECT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:0]	SEL	マルチプレクサ入力の選択。MUX_OUT ピンでどのマルチプレクサの入力信号をモニタするかを選択します。 無効な選択を行った場合、MUX SEL の値は変更されません。 0x0：パワーダウン。MUX_OUT ピンはモニタしていない状態、またはパワーダウン状態です。 0x1：VOUT0 を検出。 0x2：センス抵抗を通じて IOOUT0 を検出。 0x3：DAC0 の PVDD0 を検出。 0x4：VOUT1 を検出。 0x5：センス抵抗を通じて IOOUT1 を検出。 0x6：DAC1 の PVDD0 を検出。 0x7：VOUT2 を検出。 0x8：センス抵抗を通じて IOOUT2 を検出。 0x9：DAC2 の PVDD0 を検出。	0x0	R/W

レジスタ

表 37. .MUX\_OUT\_SELECT のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		0xA : VOUT3 を検出。 0xB : センス抵抗を通じて IOOUT3 を検出。 0xC : DAC3 の PVDD0 を検出。 0xD : VOUT4 を検出。 0xE : センス抵抗を通じて IOOUT4 を検出。 0xF : DAC4 の PVDD1 を検出。 0x10 : VOUT5 を検出。 0x11 : センス抵抗を通じて IOOUT5 を検出。 0x12 : DAC5 の PVDD1 を検出。 0x13 : VOUT6 を検出。 0x14 : センス抵抗を通じて IOOUT6 を検出。 0x15 : DAC6 の PVDD1 を検出。 0x16 : VOUT7 を検出。 0x17 : センス抵抗を通じて IOOUT7 を検出。 0x18 : DAC7 の PVDD1 を検出。 0x19 : ダイ温度。内部ダイ温度を計測するための電圧を検出。 0x1A : MUX_OUT ピンは内部で AGND に接続されています。		

ステータス制御 0 レジスタ

起動シーケンス、インターフェース、リセット、更新によるイベント・フラグを読み出せます。クリアするには 1 を書き込みます。

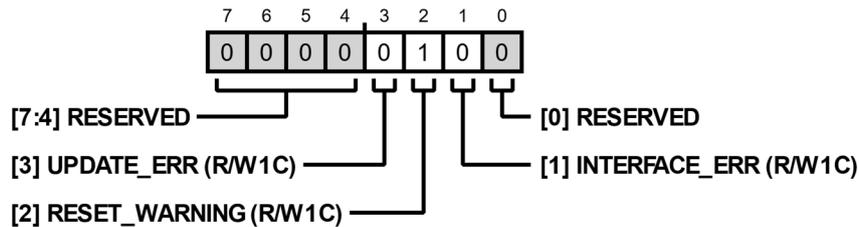


図 96. アドレス : 0x02、リセット : 0x04、レジスタ名 : STATUS\_CONTROL\_0

表 38. STATUS\_CONTROL\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	UPDATE_ERR	更新エラー。DAC_CHn の最後の更新から 640ns 以内に、このレジスタを再び更新しようとする試みがあったことを示すステータス。 0 : エラー0。すべての更新が正常に終了しました。 1 : エラー1。重複する更新が試みられました。	0x0	R/W1C
2	RESET_WARNING	リセット警告。デバイスにリセット・イベントが発生したかどうかを示すステータス。 0 : 警告0。リセット警告フラグがクリアされました。 1 : 警告1。リセット・イベントが発生しました。	0x1	R/W1C
1	INTERFACE_ERR	インターフェース・エラー。INTERFACE_STATUS_A にエラー・フラグがアサートされたことを示すステータス。 0 : エラー0。インターフェース・エラーなし。 1 : エラー1。インターフェースエラー。	0x0	R/W1C
0	RESERVED	予約済み。	0x0	R

レジスタ

ハードウェア LDAC イネーブル 0 レジスタ

チャンネル0～チャンネル7のハードウェア LDAC 機能をイネーブルします。

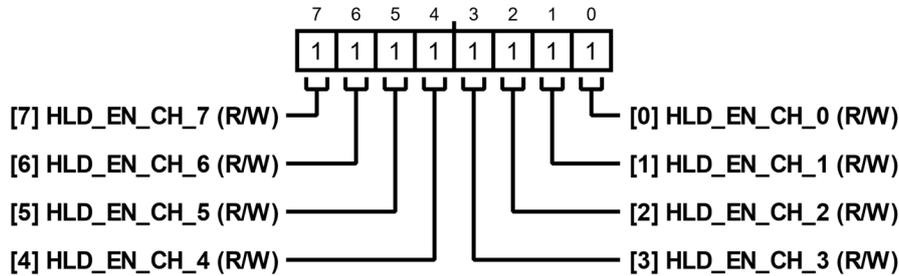


図 97. アドレス：0xD0、リセット：0xFF、レジスタ名：HW\_LDAC\_EN\_0

表 39. HW\_LDAC\_EN\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	HLD_EN_CH_7	チャンネル7のハードウェア LDAC イネーブル。チャンネル7のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル7のハードウェア LDAC をディスエーブルします。 1：チャンネル7のハードウェア LDAC をイネーブルします。	0x1	R/W
6	HLD_EN_CH_6	チャンネル6のハードウェア LDAC イネーブル。チャンネル6のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル6のハードウェア LDAC をディスエーブルします。 1：チャンネル6のハードウェア LDAC をイネーブルします。	0x1	R/W
5	HLD_EN_CH_5	チャンネル5のハードウェア LDAC イネーブル。チャンネル5のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル5のハードウェア LDAC をディスエーブルします。 1：チャンネル5のハードウェア LDAC をイネーブルします。	0x1	R/W
4	HLD_EN_CH_4	チャンネル4のハードウェア LDAC イネーブル。チャンネル4のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル4のハードウェア LDAC をディスエーブルします。 1：チャンネル4のハードウェア LDAC をイネーブルします。	0x1	R/W
3	HLD_EN_CH_3	チャンネル3のハードウェア LDAC イネーブル。チャンネル3のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル3のハードウェア LDAC をディスエーブルします。 1：チャンネル3のハードウェア LDAC をイネーブルします。	0x1	R/W
2	HLD_EN_CH_2	チャンネル2のハードウェア LDAC イネーブル。チャンネル2のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル2のハードウェア LDAC をディスエーブルします。 1：チャンネル2のハードウェア LDAC をイネーブルします。	0x1	R/W
1	HLD_EN_CH_1	チャンネル1のハードウェア LDAC イネーブル。チャンネル1のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル1のハードウェア LDAC をディスエーブルします。 1：チャンネル1のハードウェア LDAC をイネーブルします。	0x1	R/W
0	HLD_EN_CH_0	チャンネル0のハードウェア LDAC イネーブル。チャンネル0のハードウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル0のハードウェア LDAC をディスエーブルします。 1：チャンネル0のハードウェア LDAC をイネーブルします。	0x1	R/W

レジスタ

ソフトウェア LDAC イネーブル 0 レジスタ

チャンネル0～チャンネル7のソフトウェア LDAC 機能をイネーブルします。

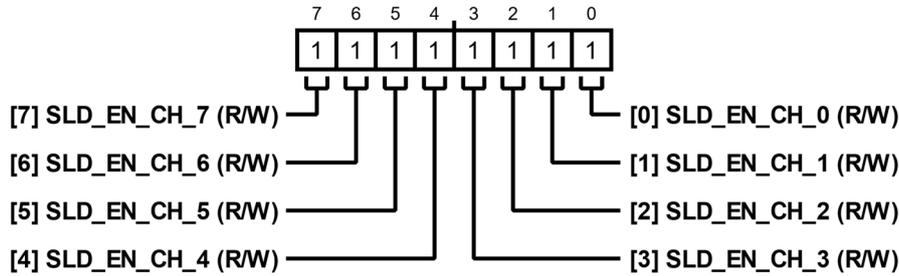


図 98. アドレス：0xD1、リセット：0xFF、レジスタ名：SW\_LDAC\_EN\_0

表 40. SW\_LDAC\_EN\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SLD_EN_CH_7	チャンネル7のソフトウェア LDAC イネーブル。チャンネル7のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル7のソフトウェア LDAC をディスエーブルします。 1：チャンネル7のソフトウェア LDAC をイネーブルします。	0x1	R/W
6	SLD_EN_CH_6	チャンネル6のソフトウェア LDAC イネーブル。チャンネル6のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル6のソフトウェア LDAC をディスエーブルします。 1：チャンネル6のソフトウェア LDAC をイネーブルします。	0x1	R/W
5	SLD_EN_CH_5	チャンネル5のソフトウェア LDAC イネーブル。チャンネル5のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル5のソフトウェア LDAC をディスエーブルします。 1：チャンネル5のソフトウェア LDAC をイネーブルします。	0x1	R/W
4	SLD_EN_CH_4	チャンネル4のソフトウェア LDAC イネーブル。チャンネル4のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル4のソフトウェア LDAC をディスエーブルします。 1：チャンネル4のソフトウェア LDAC をイネーブルします。	0x1	R/W
3	SLD_EN_CH_3	チャンネル3のソフトウェア LDAC イネーブル。チャンネル3のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル3のソフトウェア LDAC をディスエーブルします。 1：チャンネル3のソフトウェア LDAC をイネーブルします。	0x1	R/W
2	SLD_EN_CH_2	チャンネル2のソフトウェア LDAC イネーブル。チャンネル2のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル2のソフトウェア LDAC をディスエーブルします。 1：チャンネル2のソフトウェア LDAC をイネーブルします。	0x1	R/W
1	SLD_EN_CH_1	チャンネル1のソフトウェア LDAC イネーブル。チャンネル1のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル1のソフトウェア LDAC をディスエーブルします。 1：チャンネル1のソフトウェア LDAC をイネーブルします。	0x1	R/W
0	SLD_EN_CH_0	チャンネル0のソフトウェア LDAC イネーブル。チャンネル0のソフトウェア LDAC 機能をイネーブル/ディスエーブルします。 0：チャンネル0のソフトウェア LDAC をディスエーブルします。 1：チャンネル0のソフトウェア LDAC をイネーブルします。	0x1	R/W

DAC レジスタ

12/16 ビット・データが OUTn ピンの出力を決定します (n はチャンネル番号)。

- DAC\_CH0: 0xD2-0xD3
- DAC\_CH1: 0xD4-0xD5
- DAC\_CH2: 0xD6-0xD7
- DAC\_CH3: 0xD8-0xD9
- DAC\_CH4: 0xDA-0xDB
- DAC\_CH5: 0xDC-0xDD
- DAC\_CH6: 0xDE-0xDF
- DAC\_CH7: 0xE0-0xE1

レジスタ

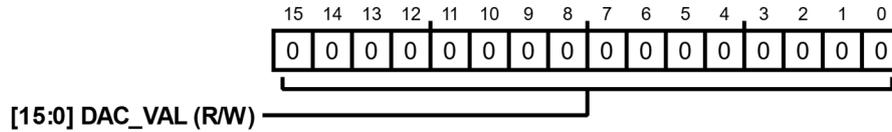


図 99. アドレス：0xD2~0xE0（インクリメントは2）、リセット：0x0000、レジスタ名：DAC\_CHn

表 41. DAC\_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_VAL	DAC 値。12/16 ビット・データが OUTn ピンの電圧、または電流を決定します（n はチャンネル番号）。	0x0	R/W

複数 DAC レジスタ

このレジスタに書き込まれたデータは、MULTI\_DAC\_Sel\_0 で選択されたすべての DAC\_CHn にも書き込まれます。

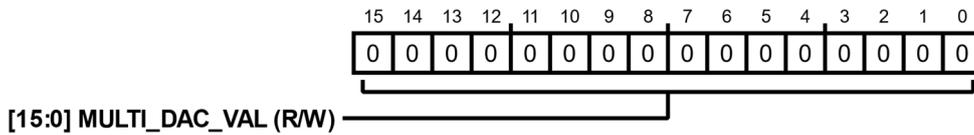


図 100. アドレス：0xE2、リセット：0x0000、レジスタ名：MULTI\_DAC\_CH

表 42. MULTI\_DAC\_CH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_DAC_VAL	複数 DAC の値。データは、MULTI_DAC_Sel_0 で選択されたすべての DAC_CHn に書き込まれます。データを読み出すと、常に最後に書き込まれたデータが返されます。	0x0	R/W

複数 DAC 選択 0 レジスタ

Multi\_DAC\_CH への書き込み動作実行時に、どの DAC\_CHn に書き込むかを選択します。これは DAC\_CH0~DAC\_CH7 にのみ適用されます。

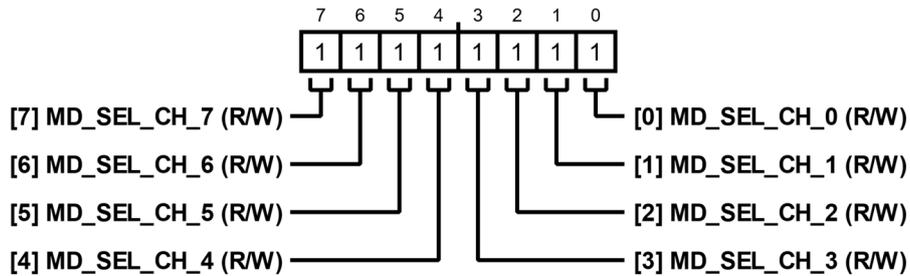


図 101. アドレス：0xE4、リセット：0xFF、レジスタ名：MULTI\_DAC\_SEL\_0

表 43. MULTI\_DAC\_SEL\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MD_SEL_CH_7	複数 DAC 選択、チャンネル 7。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH7 にも同じデータが書き込まれます。選択を解除すると、MULTI_DAC_CH に書き込みを行っても DAC_CH7 への書き込みは行われません。 0：MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH7 の選択を解除します。 1：MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH7 を選択します。	0x1	R/W

レジスタ

表 43. MULTI\_DAC\_SEL\_0 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
6	MD_SEL_CH_6	複数 DAC 選択、チャンネル 6。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH6 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても DAC_CH6 への書き込みは行われません。 0 : MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH6 の選択を解除します。 1 : MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH6 を選択します。	0x1	R/W
5	MD_SEL_CH_5	複数 DAC 選択、チャンネル 5。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH5 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても DAC_CH5 への書き込みは行われません。 0 : MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH5 の選択を解除します。 1 : MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH5 を選択します。	0x1	R/W
4	MD_SEL_CH_4	複数 DAC 選択、チャンネル 4。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH4 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても DAC_CH4 への書き込みは行われません。 0 : MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH4 の選択を解除します。 1 : MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH4 を選択します。	0x1	R/W
3	MD_SEL_CH_3	複数 DAC 選択、チャンネル 3。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH3 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても DAC_CH3 への書き込みは行われません。 0 : MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH3 の選択を解除します。 1 : MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH3 を選択します。	0x1	R/W
2	MD_SEL_CH_2	複数 DAC 選択、チャンネル 2。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH2 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても DAC_CH2 への書き込みは行われません。 0 : MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH2 の選択を解除します。 1 : MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH2 を選択します。	0x1	R/W
1	MD_SEL_CH_1	複数 DAC 選択、チャンネル 1。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH1 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても DAC_CH1 への書き込みは行われません。 0 : MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH1 の選択を解除します。 1 : MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH1 を選択します。	0x1	R/W
0	MD_SEL_CH_0	複数 DAC 選択、チャンネル 0。選択した場合、MULTI_DAC_CH に書き込みを行うと、DAC_CH0 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても DAC_CH0 への書き込みは行われません。 0 : MD Sel 0。MULTI_DAC_CH 動作時に DAC_CH0 の選択を解除します。 1 : MD Sel 1。MULTI_DAC_CH 動作時に DAC_CH0 を選択します。	0x1	R/W

ソフトウェア LDAC トリガ A レジスタ

INPUT\_CHn から DAC\_CHn への転送を開始します。SW\_LDAC\_EN\_0 によってイネーブルされたチャンネルにのみ有効です (このレジスタは、SW\_LDAC\_TRIG\_B のコピーです)。

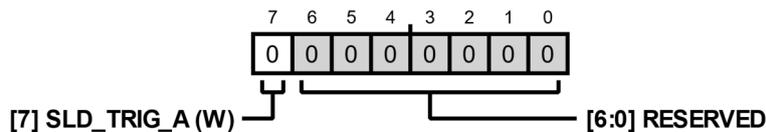


図 102. アドレス : 0xE5、リセット : 0x00、レジスタ名 : SW\_LDAC\_TRIG\_A

表 44. SW\_LDAC\_TRIG\_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SLD_TRIG_A	ソフトウェア LDAC トリガ A。セットすると、INPUT_CHn から DAC_CHn への転送を開始します。ここで、n は SW_LDAC_EN_0 によってイネーブルされたチャンネルの番号です。0 を書き込んだ場合は無視されます。	0x0	W
[6:0]	RESERVED	予約済み。	0x0	R

レジスタ

複数入力レジスタ

このレジスタに書き込まれるデータは、MULTI\_INPUT\_SEL\_0 で選択されたすべての INPUT\_CHn にも書き込まれます。データを読み出すと、常に最後に書き込まれたデータが返されます。

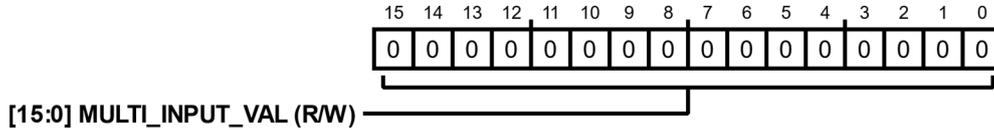


図 103. アドレス：0xE6、リセット：0x0000、レジスタ名：MULTI\_INPUT\_CH

表 45. MULTI\_INPUT\_CH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_INPUT_VAL	複数入力値。データは、Multi_INPUT_SEL_0 で選択されたすべての INPUT_CHn に書き込まれます。データを読み出すと、常に最後に書き込まれたデータが返されます。	0x0	R/W

複数入力選択 0 レジスタ

MULTI\_INPUT\_CH への書き込み動作実行時に、どの MULTI\_INPUT\_SEL\_CHn に書き込むかを選択します。これは、MULTI\_INPUT\_SEL\_CH0~MULTI\_INPUT\_SEL\_CH7 のみ適用されます。

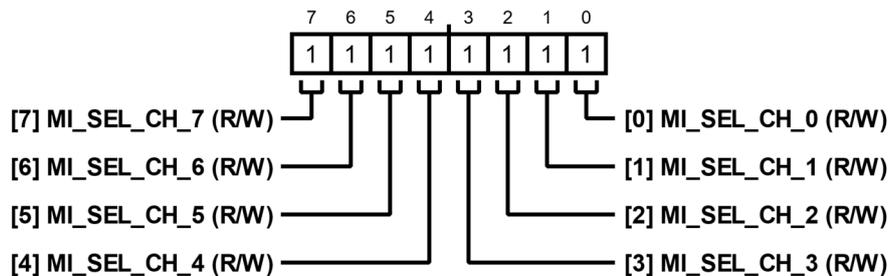


図 104. アドレス：0xE8、リセット：0xFF、レジスタ名：MULTI\_INPUT\_SEL\_0

表 46. MULTI\_INPUT\_SEL\_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	MI_SEL_CH_7	複数入力選択、チャンネル 7。選択した場合、MULTI_INPUT_CH に書き込みを行うと、INPUT_CH7 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても INPUT_CH7 への書き込みは行われません。 0：MI Sel 0。MULTI_INPUT_CH 動作時に INPUT_CH7 の選択を解除します。 1：MI Sel 1。MULTI_INPUT_CH 動作時に INPUT_CH7 を選択します。	0x1	R/W
6	MI_SEL_CH_6	複数入力選択、チャンネル 6。選択した場合、MULTI_INPUT_CH に書き込みを行うと、INPUT_CH6 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても INPUT_CH6 への書き込みは行われません。 0：MI Sel 0。MULTI_INPUT_CH 動作時に INPUT_CH6 の選択を解除します。 1：MI Sel 1。MULTI_INPUT_CH 動作時に INPUT_CH6 を選択します。	0x1	R/W
5	MI_SEL_CH_5	複数入力選択、チャンネル 5。選択した場合、MULTI_INPUT_CH に書き込みを行うと、INPUT_CH5 にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CH に書き込みを行っても INPUT_CH5 への書き込みは行われません。 0：MI Sel 0。MULTI_INPUT_CH 動作時に INPUT_CH5 の選択を解除します。 1：MI Sel 1。MULTI_INPUT_CH 動作時に INPUT_CH5 を選択します。	0x1	R/W
4	MI_SEL_CH_4	複数入力選択、チャンネル 4。選択した場合、MULTI_INPUT_CH に書き込みを行うと、INPUT_CH4 にも同じデータが書き込まれます。選択を解除すると、MULTI_DAC_CH に書き込みを行っても INPUT_CH4 への書き込みは行われません。 0：MI Sel 0。MULTI_INPUT_CH 動作時に INPUT_CH4 の選択を解除します。 1：MI Sel 1。MULTI_INPUT_CH 動作時に INPUT_CH4 を選択します。	0x1	R/W

## レジスタ

表 46. MULTI\_INPUT\_SEL\_0 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
3	MI_SEL_CH_3	複数入力選択、チャンネル3。選択した場合、MULTI_INPUT_CHに書き込みを行うと、INPUT_CH3にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CHに書き込みを行ってもINPUT_CH3への書き込みは行われません。 0: MI Sel 0。MULTI_INPUT_CH動作時にINPUT_CH3の選択を解除します。 1: MI Sel 1。MULTI_INPUT_CH動作時にINPUT_CH3を選択します。	0x1	R/W
2	MI_SEL_CH_2	複数入力選択、チャンネル2。選択した場合、MULTI_INPUT_CHに書き込みを行うと、INPUT_CH2にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CHに書き込みを行ってもINPUT_CH2への書き込みは行われません。 0: MI Sel 0。MULTI_INPUT_CH動作時にINPUT_CH2の選択を解除します。 1: MI Sel 1。MULTI_INPUT_CH動作時にINPUT_CH2を選択します。	0x1	R/W
1	MI_SEL_CH_1	複数入力選択、チャンネル1。選択した場合、MULTI_INPUT_CHに書き込みを行うと、INPUT_CH1にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CHに書き込みを行ってもINPUT_CH1への書き込みは行われません。 0: MI Sel 0。MULTI_INPUT_CH動作時にINPUT_CH1の選択を解除します。 1: MI Sel 1。MULTI_INPUT_CH動作時にINPUT_CH1を選択します。	0x1	R/W
0	MI_SEL_CH_0	複数入力選択、チャンネル0。選択した場合、MULTI_INPUT_CHに書き込みを行うと、MULTI_INPUT_SEL_CH0にも同じデータが書き込まれます。選択を解除すると、Multi_DAC_CHに書き込みを行ってもMULTI_INPUT_SEL_CH0への書き込みは行われません。 0: MI Sel 0。MULTI_INPUT_CH動作時にMULTI_INPUT_SEL_CH0の選択を解除します。 1: MI Sel 1。MULTI_INPUT_CH動作時にMULTI_INPUT_SEL_CH0を選択します。	0x1	R/W

## ソフトウェア LDAC トリガ B レジスタ

INPUT\_CHn から DAC\_CHn への転送を開始します。SW\_LDAC\_EN\_0、SW\_LDAC\_EN\_1、SW\_LDAC\_EN\_2、SW\_LDAC\_EN\_3 によってイネーブルされたチャンネルにのみ有効です (このレジスタは、SW\_LDAC\_TRIG\_A のコピーです)。

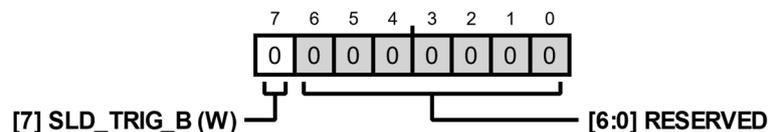


図 105. アドレス: 0xE9、リセット: 0x00、レジスタ名: SW\_LDAC\_TRIG\_B

表 47. SW\_LDAC\_TRIG\_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SLD_TRIG_B	ソフトウェア LDAC トリガ B。セットすると、INPUT_CHn から DAC_CHn への転送を開始します。ここで、n は SW_LDAC_EN_0 によってイネーブルされたチャンネルの番号です。0 を書き込んだ場合は無視されます。	0x0	W
[6:0]	RESERVED	予約済み。	0x0	R

## 入力レジスタ

このレジスタに書き込みをしてもデバイスの出力は影響されません。INPUT\_CHn から DAC\_CHn へデータをプッシュするには、ハードウェア LDAC またはソフトウェア LDAC が必要です。これは出力も更新します。

INPUT\_CH0: 0xEA-0xEB

INPUT\_CH1: 0xEC-0xED

INPUT\_CH2: 0xEE-0xEF

INPUT\_CH3: 0xF0-0xF1

INPUT\_CH4: 0xF2-0xF3

INPUT\_CH5: 0xF4-0xF5

INPUT\_CH6: 0xF6-0xF7

INPUT\_CH7: 0xF8-0xF9

レジスタ

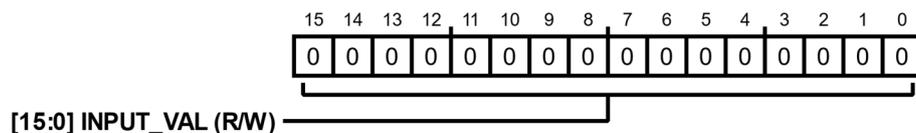


図 106. アドレス：0xEA~0xF8（インクリメントは2）、リセット：0x0000、レジスタ名：INPUT\_CHn

表 48. INPUT\_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	INPUT_VAL	入力値。12/16 ビットの INPUT_CHn データで、n はチャンネル番号です。	0x0	R/W

チャンネル電圧モード・イネーブル

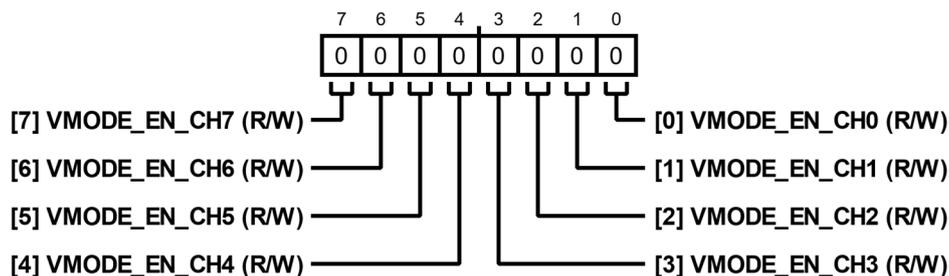


図 107. アドレス：0xFF、リセット：0x00、レジスタ名：CHN\_VMODE\_EN

表 49. CHN\_VMODE\_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	VMODE_EN_CH7	VMODE イネーブル・レジスタ。 0：DAC を IMODE に設定。 1：DAC を VMODE に設定。	0x0	R/W
6	VMODE_EN_CH6	VMODE イネーブル・レジスタ。 0：DAC を IMODE に設定。 1：DAC を VMODE に設定。	0x0	R/W
5	VMODE_EN_CH5	VMODE イネーブル・レジスタ。 0：DAC を IMODE に設定。 1：DAC を VMODE に設定。	0x0	R/W
4	VMODE_EN_CH4	VMODE イネーブル・レジスタ。 0：DAC を IMODE に設定。 1：DAC を VMODE に設定。	0x0	R/W
3	VMODE_EN_CH3	VMODE イネーブル・レジスタ。 0：DAC を IMODE に設定。 1：DAC を VMODE に設定。	0x0	R/W
2	VMODE_EN_CH2	VMODE イネーブル・レジスタ。 0：DAC を IMODE に設定。 1：DAC を VMODE に設定。	0x0	R/W
1	VMODE_EN_CH1	VMODE イネーブル・レジスタ。 0：DAC を IMODE に設定。 1：DAC を VMODE に設定。	0x0	R/W

## レジスタ

表 49. CHN\_VMODE\_EN のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
0	VMODE_EN_CH0	VMODE イネーブル・レジスタ。 0 : DAC を IMODE に設定。 1 : DAC を VMODE に設定。	0x0	R/W

外形寸法

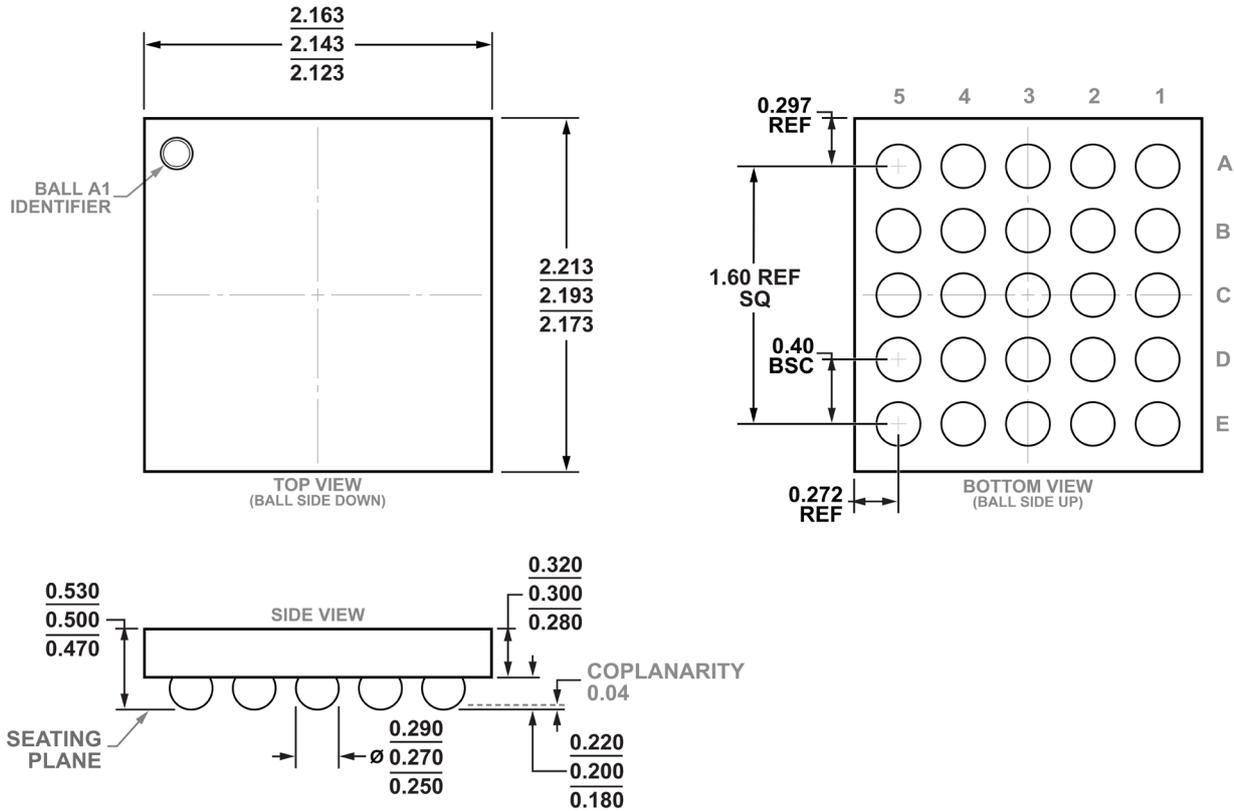


図 108. 25 ボール・ウェハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-25-11)  
寸法：mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
AD5710RBCBZ-RL7	-40 to 125°C	25-Ball WLCSP (2.143mm × 2.193mm × 0.500mm)	Reel, 1500	CB-25-11
AD5711RBCBZ-RL7	-40 to 125°C	25-Ball WLCSP (2.143mm × 2.193mm × 0.500mm)	Reel, 1500	CB-25-11

<sup>1</sup> Z = RoHS 準拠製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。