

内蔵リファレンスと SPI を備えた 4 チャンネル、16 ビットの電流出力 DAC

特長

- ▶ 4 チャンネル、16 ビットの電流出力 DAC
- ▶ チャンネルごとにプログラマブルな出力電流範囲
 - ▶ 50mA、150mA、200mA、300mA
- ▶ 1.65V~3.6V の柔軟な出力電源電圧
- ▶ 出力チャンネルごとに個別の電源
- ▶ チャンネルあたりの最大ドロップアウト電圧：0.3V
- ▶ IOUT ピンに接地用のスイッチが内蔵
- ▶ 2.5V オン・チップ電圧リファレンス
- ▶ 50MHz SPI インターフェース
- ▶ ロード DAC、A/B トグル、ディザの各機能
- ▶ アナログ診断モニタリング機能内蔵
- ▶ 過熱警告アラート内蔵
- ▶ 36 ボール 2.55mm × 2.55mm WLCSP
- ▶ 28 ピン 4mm × 4mm LFCSP
- ▶ 動作温度：-40°C~+125°C

アプリケーション

- ▶ フォトニクス制御
- ▶ 光通信
- ▶ LED ドライバ用プログラマブル電流源
- ▶ 電流モードのバイアス供給

概要

AD5706R は、4 チャンネル、16 ビット分解能、低ノイズ、プログラマブル電流出力の D/A コンバータ (DAC) です。このデバイスは、フォトニクス制御や電流モード・バイアス供給などのアプリケーションに最適です。

このデバイスには、2.5V 電圧リファレンスの他、ロード DAC、A/B トグル、ディザの各機能が備わっています。内蔵のマルチプレクサにより、電源電圧と出力電圧、出力電流、内部ダイ温度をモニタリングできます。

AD5706R は、プログラマブルな複数の出力電流範囲 (最大 300mA) をサポートしています。アドレス指定可能なピンにより、最大 4 つのデバイスが単一の SPI バスを共用して通信できます。

各 DAC チャンネルは、それぞれ 1.65V~3.6V の範囲の正電源レール (PVDDx) で独立して動作し、電力効率および熱性能の両方を最適化します。このデバイスは 2.9V~3.6V の AVDD 電源を必要とし、-40°C~+125°C の広い温度範囲で動作するように定格評価されています。

機能ブロック図

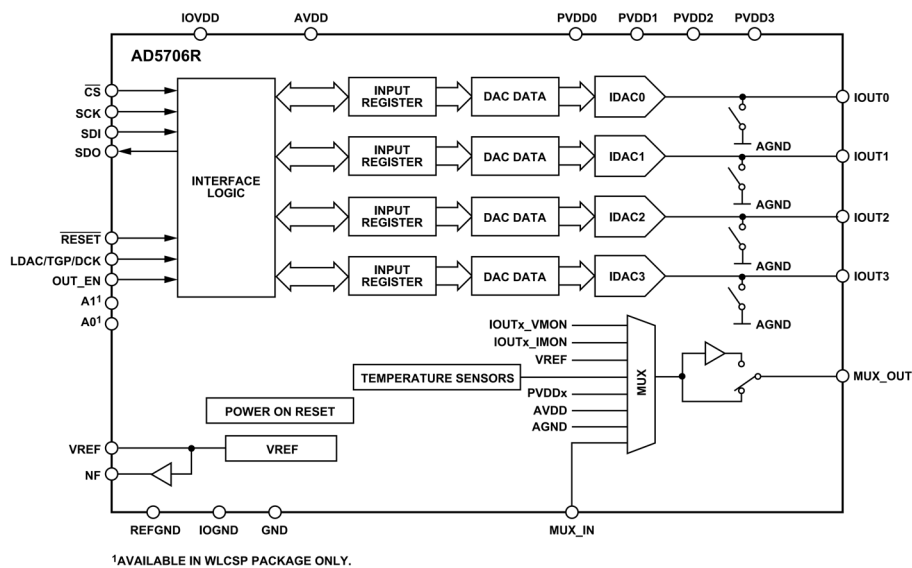


図 1. 機能ブロック図

目次

特長.....	1	デバイスのアドレス指定.....	32
アプリケーション.....	1	エラー検出.....	33
概要.....	1	巡回冗長検査（CRC）エラーの検出.....	34
機能ブロック図.....	1	加熱警告アラート.....	36
仕様.....	3	デバイスのリセット.....	36
DC仕様.....	3	スクラッチパッド・レジスタおよびユーザ・スぺア・レジスタ.....	36
AC仕様.....	5	デバイスの識別.....	36
タイミング仕様.....	6	DACの動作.....	37
絶対最大定格.....	11	DACレジスタ（データおよび入力）.....	37
熱性能.....	11	IOUT出力段.....	37
熱抵抗.....	11	DACの更新モード.....	38
ESDに関する注意.....	11	ロードDAC機能.....	39
ピン配置およびピン機能の説明.....	12	トグルDAC機能.....	40
代表的な性能特性.....	14	ディザ機能.....	41
DC性能.....	14	マルチDAC機能.....	46
AC性能.....	16	DACモードのまとめ.....	47
その他.....	19	アプリケーション情報.....	48
用語の定義.....	21	推奨される外付け部品.....	48
動作原理.....	24	電源の初期化.....	48
デバイス情報.....	24	複数チャンネルの接続による電流範囲拡大.....	48
高精度リファレンス.....	24	チャンネルの接続による出力ノイズの低減.....	48
アナログ・マルチプレクサおよび診断モニタリング.....	24	マイクロプロセッサのインターフェース.....	48
マルチプレクサ入力およびデジタイゼーション接続.....	26	レイアウトとアッセンブリについてのガイドライン.....	49
電源.....	26	熱に対する考慮事項.....	49
デジタル・インターフェース.....	27	レジスタ.....	51
命令フェーズ.....	27	レジスタの一覧.....	51
データ・フェーズ.....	27	レジスタのビットごとの一覧.....	52
SPIフレーム同期.....	27	レジスタの詳細.....	55
マルチバイト・レジスタ.....	28	外形寸法.....	74
レジスタ・マップのアドレス方向.....	29	オーダー・ガイド.....	75
ストリーミング・モード.....	29		
単一命令モード.....	31		

改訂履歴

1/2026—Revision 0: Initial Version

仕様

特に指定のない限り、AVDD = 2.9V~3.6V、PVDDx = 1.65V~AVDD、IOVDD = 1.14V~1.89V、VREF = 2.5V（内部または外部）、動作温度範囲 = -40°C (T_A) ~ +125°C (T_J)、外部受動部品の C_{REF} = 1μF、C_{NF} = 0.1μF。代表値は、T_A = 25°C において公称電源条件 (AVDD = 3.3V、PVDDx = 3.3V、IOVDD = 1.8V) で仕様規定。

DC仕様

表 1. DC仕様

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
OPERATING TEMPERATURE RANGE	-40		125	°C	Minimum operating ambient temperature (T _{A_MIN})
				°C	Maximum operating junction temperature (T _{J_MAX})
DAC STATIC PERFORMANCE					
Resolution	16			Bits	All output current ranges
Integral Nonlinearity (INL) ²	-32		+32	LSB ₁₆ ³	
Differential Nonlinearity (DNL) ²	-1	±0.25	+1	LSB ₁₆	Per channel, guaranteed monotonic
Total Unadjusted Error (TUE)	-1		+1	%FSR	
Offset Error ²	-0.4		+0.4	%FSR	
Offset Error Drift		5		ppm/°C	
Gain Error ²	-0.9		+0.9	%FSR	
Gain Error Drift		10		ppm/°C	
DC Crosstalk ⁴		110		μA	Result of a 638mW change in dissipated power, with internal reference
DC Power Supply Rejection Ratio (PSRR)					50mA range, DAC code = 3/4 full scale
AVDD		5		μA/V	AVDD = 3.3V ± 10%
PVDDx		3		μA/V	PVDD = 3.3V ± 10%
DAC OUTPUT CHARACTERISTICS					
Output Current (I _{OUT}) Ranges ⁵	0		+50	mA	
	0		+150	mA	
	0		+200	mA	
	0		+300	mA	
Output Compliance Voltage ⁶	0		PVDDx - 0.3	V	
Ground Switch Resistance		10		Ω	Sinking 100mA from IOUTx to GND
INTERNAL REFERENCE OUTPUT					
Voltage (V _{REF})	2.49	2.5	2.51	V	Internal reference enabled, decoupling 1μF T _A = 25°C
Temperature Coefficient		15		ppm/°C	Across operating temperature range
Output Current Load Capability		+5		mA	Across operating temperature range
Line Regulation		2		μV/V	Due to change in AVDD
Load Regulation, Sourcing		2		ppm/mA	ΔV _{OUT} /ΔI _{LOAD}
EXTERNAL REFERENCE INPUT					
Input Voltage	2.495	2.5	2.505	V	Internal reference disabled (default) T _A = 25°C
Input Impedance		16		kΩ	
TEMPERATURE SENSING DIODE					
Accuracy		5		°C	
Reading		1.395		V	MUX_OUT reading at T _A = 25°C
Temperature Coefficient		-3.8		mV/°C	
Range	-40		125	°C	T _A
				°C	T _J

仕様

表 1. DC 仕様 (続き)

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
THERMAL ALARMS					
Overheat Warning Temperature		125		°C	T _J
Overheat Warning Hysteresis		5		°C	T _J
MUX OUTPUT (MUX_OUT)					
DC Output Impedance		1		Ω	Buffered, output drive = ±1mA
		7		kΩ	Nonbuffered, output drive = ±1μA
Leakage Current		1		nA	Nonbuffered, T _A = 125°C
Output Voltage Offset	-10		+10	mV	Buffered
Output Drive Current		±5		mA	Buffered
MUX INPUT (MUX_IN)					
Input Voltage Range	0		VREF	V	
Input Leakage Current		10		nA	
Input Impedance		2		kΩ	Nonbuffered MUX signal path
LOGIC INPUTS ⁷					
Input Current	-1		+1	μA	Per pin
Input Low Voltage (V _{IL})	0		0.3 × IOVDD	V	
Input High Voltage (V _{IH})	0.7 × IOVDD		IOVDD	V	
Pin Capacitance		5		pF	Per pin
LOGIC OUTPUTS					
Output Low Voltage (V _{OL})			0.4	V	I _{SINK} = 100μA
Output High Voltage (V _{OH})	IOVDD - 0.4			V	I _{SOURCE} = 100μA
Floating State Output Capacitance		5		pF	
POWER SUPPLIES					
AVDD	2.9	3.3	3.6	V	
PVDDx ⁸	1.65	3.3	AVDD	V	
IOVDD	1.14	1.8	1.89	V	
POWER PERFORMANCE					
AVDD Supply Current		29.7	37	mA	Internal reference, all IOUTx outputs enabled, and at zero scale or in high-Z state
		29.4		mA	External reference, all IOUTx outputs enabled, and at zero scale or in high-Z state
PVDDx Supply Current		0.27	1.7	mA	Per PVDD pin, all IOUTx outputs enabled, and at zero scale or in high-Z state
IOVDD Supply Current		0.05	30	μA	Digital Inputs = 0V or IOVDD
Quiescent Power Dissipation		100		mW	AVDD = 3.3V, internal reference, all IOUTx output enabled, and at zero scale or in high-Z state

¹ 用語の定義のセクションを参照してください。

² 直線性は、コード 384~コード 65535 で定義しています。オフセット誤差は、コード 384 で計算しています。

³ LSB の大きさは電流出力範囲に応じて変化します。

⁴ クロストークは、すべてのアグレッサ・チャンネルでのステップ変化が 0mA~300mA、PVDD = 3.3V、R_{LOAD} = 3.9Ω の条件で測定しています。消費電力の変化の合計は、638mW となります。モニタ対象チャンネルは 300mA レンジのミッドスケールに保持され、AVDD = 3.5V、PVDD = 3.3V、R_{LOAD} = 8.33Ω です。

⁵ 表 15 を参照してください。

⁶ 電流をソースする場合、出力コンプライアンス電圧は IOUTx ピンの最大電圧で、その出力電流は測定フルスケール範囲の 0.1%以内です。

⁷ 詳細については、タイミング仕様のセクションを参照してください。

⁸ PVDD は、AVDD に接続するか、AVDD 未満の電圧レベルを供給する必要があります。

仕様

AC仕様

表 2. AC仕様

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
DAC DYNAMIC PERFORMANCE					
Output Current Settling Time		9		μs	DAC code changed from zero scale to full scale and vice-versa, with settling to ±4LSB ₁₆ ² 0mA to +200mA range
		11		μs	0mA to +50mA range
Slew Rate		285		mA/μs	I _{OUT} = 10% to 90% of FSR and vice-versa 0mA to +200mA range
		67		mA/μs	0mA to +50mA range
Digital-to-Analog Glitch Energy		6		pA-sec	
Digital Feedthrough (Current Area)		0.03		nA-sec	
Digital Crosstalk		0.03		nA-sec	
DAC to DAC Crosstalk (Current Area)		40		pA-sec	For 200mA range on adjacent DAC channel DAC code change from 1/4 scale to 3/4 scale in a step change and vice-versa
		70		pA-sec	DAC code changed from zero scale to full scale in a step change and vice-versa DAC code = midscale
MUX to DAC Crosstalk (Current Area)		0.03		nA-sec	0mA to +300mA range PVDD=3V, refer Figure 37 and Figure 38 .
AC PSRR		-72		dB	f = 100kHz, 0mA to +300mA range
PVDDx		-80		dB	f = 100kHz, 0mA to +50mA range
AVDD		-82		dB	f = 10kHz
Output Noise Spectral Density (NSD)		7.7		nA/√Hz	DAC code = 3/4 full scale, no external filter 1 kHz, 0mA to +300mA range
		6		nA/√Hz	10 kHz, 0mA to +300mA range
		5.3		nA/√Hz	1 kHz, 0mA to +200mA range
		4.1		nA/√Hz	10 kHz, 0mA to +200mA range
		4.2		nA/√Hz	1 kHz, 0mA to +150mA range
		3.2		nA/√Hz	10 kHz, 0mA to +150mA range
		2.2		nA/√Hz	1 kHz, 0mA to +50mA range
		1.2		nA/√Hz	10 kHz, 0mA to +50mA range
Output Noise (0.1Hz to 10Hz)		620		nA rms	DAC code = 3/4 full scale, no external filter 0mA to +300mA range
		425		nA rms	0mA to +200mA range
		332		nA rms	0mA to +150mA range
		148		nA rms	0mA to +50mA range
REFERENCE OUTPUT					
Output Voltage Noise (0.1Hz to 10Hz)		4		μV rms	Internal reference enabled, decoupling 1μF
Output Voltage Noise Density		112		nV/√Hz	f = 1kHz
Turn On Settling Time		500		μs	Decoupling 1μF, settling to ±0.1%
MUX OUTPUT CHARACTERISTICS					
-3dB Input Bandwidth		2.2		MHz	Buffered, C _{LOAD} = 3pF
		1.4		MHz	Nonbuffered, standalone, C _{LOAD} = 3pF
Maximum Output Capacitive Load		100		pF	Buffered

¹ 用語の定義のセクションを参照してください。² LSBの大きさは電流出力範囲に応じて変化します。

仕様

タイミング仕様

特に指定のない限り、AVDD = 2.9V~3.6V、PVDDx = 1.65V~AVDD、IOVDD = 1.14V~1.89V、動作温度範囲 = -40°C (TA) ~+125°C (TI)。すべてのタイミング値は、スタンダオン・デバイスについて仕様規定されています。

すべてのデジタル入力信号は、立上がり時間 (tr) = 立下がり時間 (tf) = 1ns/V (IOVDD の 10%~90%) で仕様規定され、電圧レベル (VIL + VIH)/2 からの時間です。

シリアル・インターフェースのタイミング

関連のタイミング図については、図 2~図 5 を参照してください。

表 3. デジタル・インターフェースのタイミング仕様

Parameter	Description	Min	Typ	Max	Unit
t _{SCK}	SCK cycle time, write operation. ¹	20			ns
	SCK cycle time, write and read operations. ²	40			ns
f _{SCK}	SCK frequency, write operation. ¹			50	MHz
	SCK frequency, wire and read operations. ²			25	MHz
t _{SCKH_PW}	SCK high time.	8			ns
t _{SCKL_PW}	SCK low time.	8			ns
t _{CSL_SCKH}	\overline{CS} falling edge to SCK rising edge setup time	6			ns
t _{CSH_SCKH}	\overline{CS} rising edge to SCK rising edge setup time.	10			ns
t _{SCKH_CSH}	Rising edge of SCK ³ to rising edge of \overline{CS} .	10			ns
t _{SCKH_CSL}	Rising edge of SCK to falling edge of \overline{CS} .	10			ns
t _{SDI_SET}	SDI data setup time.	5			ns
t _{SDI_HOL}	SDI data hold time.	5			ns
t _{CSH_PW}	\overline{CS} pulse width high.	10			ns
t _{SCKL_SDO}	SCK falling edge to SDO data available delay.			15	ns
t _{SDO_VALID}	SCK falling Edge to SDO data remains valid.			12	ns
t _{CSH_SDOZ}	\overline{CS} rising edge to SDO disabled.			14	ns
t _{SCKL_SDOEN}	SCK falling edge to SDO enabled.			14	ns
t _{RESETL_PW}	RESET pulse width low.	20			ns
t _{RESET_ACT} ⁴	RESET assertion (low level triggered) to channel output getting reset, or rising edge of SCK ³ to channel output getting reset.		<100		ns
t _{RESET_DELAY} ⁵	RESET pulse delay upon power-on reset.			200	μs

¹ 送信ステータスかつ CRC ディスエーブル。

² 送信ステータスかつ CRC イネーブル。

³ 8 番目または 16 番目の SCK。どちらの場合もデータ・フェーズにおいてレジスタ・データの最終ビットにシフト・インします。

⁴ チャンネル出力のセトリング挙動は考慮していません。

⁵ 設計により裏付けられていますが、製品テストは行っていません。

仕様

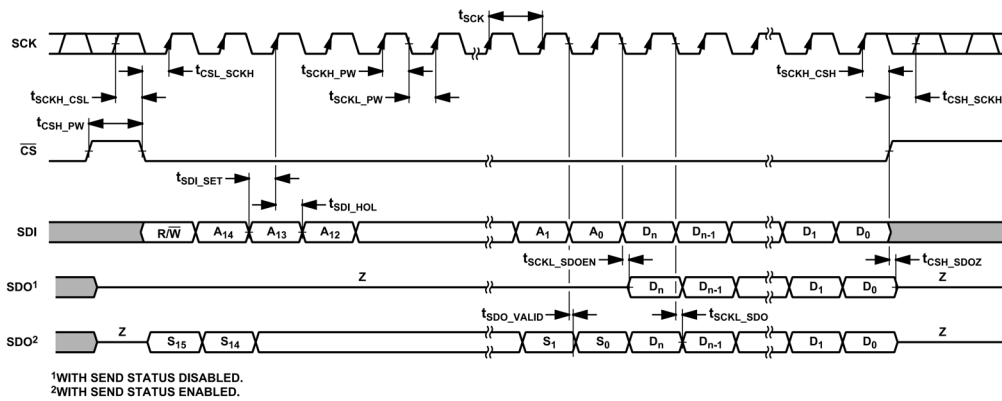


図 2. レジスタの読み出し/書き込みのタイミング図 (CPOL = 0 および CPHA = 0)

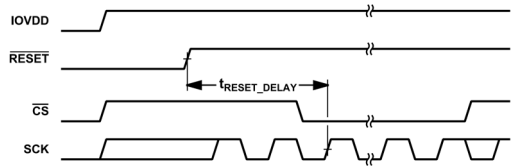


図 3. パワーオン・リセット (POR) のタイミング図

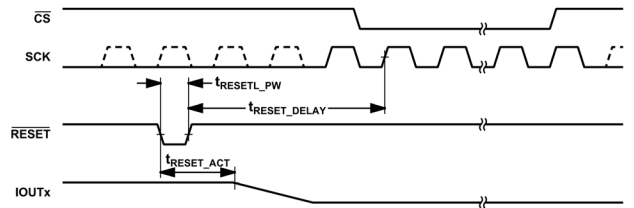


図 4. ハードウェア・リセットのタイミング図

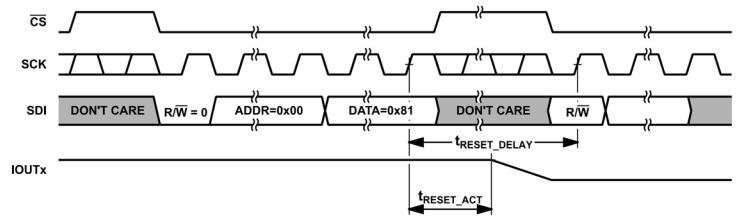


図 5. ソフトウェア・リセットのタイミング図

仕様

DAC 出力更新のタイミング

関連のタイミング図については、図 6～図 15 を参照してください。

表 4. DAC 出力更新のタイミング仕様

Parameter ¹	Description	Min	Typ	Max	Unit
$t_{OUTEN_ACT}^2$	Delay from OUT_EN low level trigger to DAC channel in high-Z state (measured on 200mA range)		350		ns
$t_{OUTENL_SCKH}^3$	Delay from the OUT_EN low level trigger to the rising edge of SCK ⁴ for transition of IOUTx from high-Z state to normal operation	0			ns
$t_{SCKH_OUTENL}^3$	Delay from the rising edge of SCK ⁴ to OUT_EN low for transition of IOUTx to high-Z state	5			ns
$t_{OUTEN_PW}^3$	OUT_EN pulse width low	6			μs
$t_{DAC_ACT}^2$	Direct DAC update activation time (measured on 200mA range)		230		ns
t_{LDAC_PW}	LDAC/TGP/DCK pulse width (low or high)	20			ns
t_{LDACT_SCKH}	Delay from the active edge of LDAC/TGP/DCK to the rising edge of SCK ⁴ in a SPI write transaction during hardware trigger modes	5			ns
t_{SCKH_LDACT}	Delay from the rising edge of SCK ⁴ to the following active edge of LDAC/TGP/DCK in a SPI write transaction during hardware trigger modes	5			ns
$t_{HW_LDAC_TRIG}$	Time between the two consecutive active trigger edges of LDAC/TGP/DCK during hardware trigger modes	80			ns
$t_{SW_LDAC_TRIG}$	Delay from one rising edge of SCK ⁴ to another rising edge of SCK ⁴ (in the consecutive data phase) in a SPI write transaction during software trigger modes	$16 \times t_{SCK}$			
$t_{LDACT_SCKH_RD}$	Delay from active edge of LDAC/TGP/DCK to the rising edge of SCK ⁴ in a SPI read transaction during hardware trigger modes	5			ns
$t_{SCKH_LDACT_RD}$	Delay from the rising edge of SCK ⁴ to the next active edge of LDAC/TGP/DCK in a SPI read transaction during hardware trigger modes	5			ns
$t_{FUNC_MODE_EN1}$	Delay from the active trigger edge of LDAC/TGP/DCK to the rising edge of SCK ⁴ for change in DAC function modes	5			ns
$t_{FUNC_MODE_EN2}$	Delay from the rising edge of SCK ⁴ to the active trigger edge of LDAC/TGP/DCK for change in DAC function modes	5			ns

¹ DAC 更新モードのリストについては、DAC の動作のセクションを参照してください。

² タイミングには、アナログ IOUT のセトリング時間は含まれていません。

³ 設計により裏付けられていますが、製品テストは行っていません。

⁴ 8 番目または 16 番目の SCK。どちらの場合もデータ・フェーズにおいてレジスタ・データの最終ビットにシフト・インします。

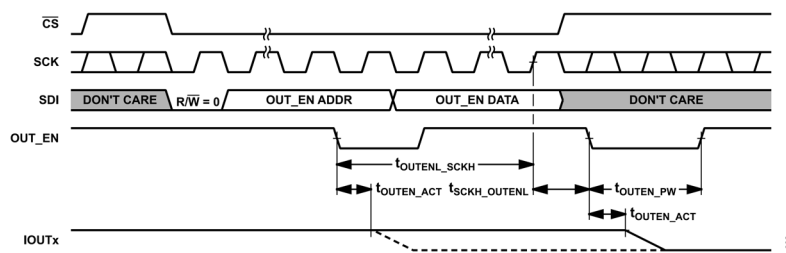


図 6. OUT_EN ピン使用時の IOUTx のイネーブル/ディスエーブルのタイミング図

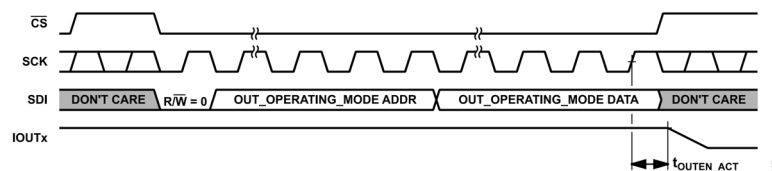


図 7. SPI 書込み使用時の IOUTx のイネーブル/ディスエーブルのタイミング図

仕様

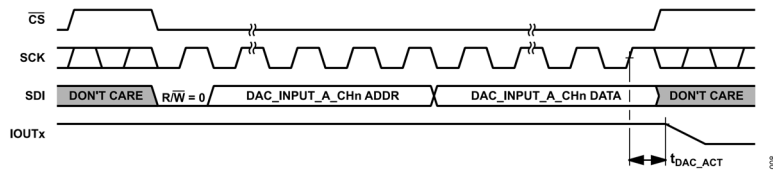


図 8. 非同期 DAC 更新のタイミング図

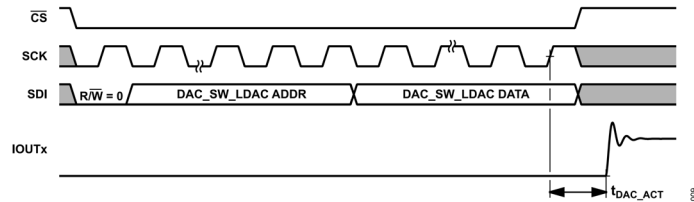
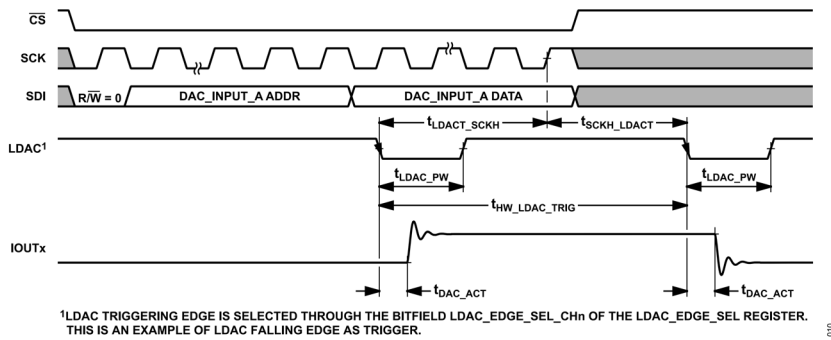
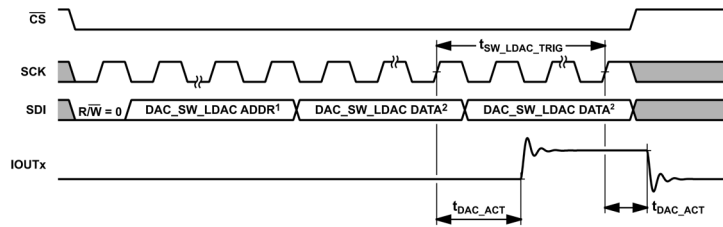


図 9. ソフトウェア LDAC のタイミング図



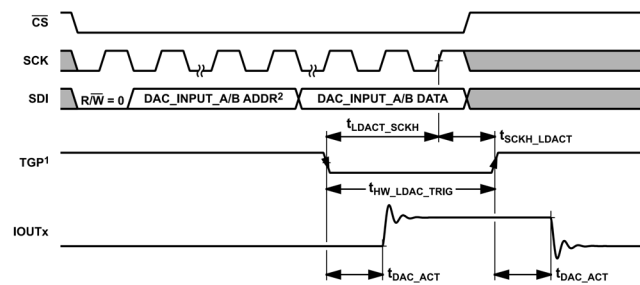
¹LDAC TRIGGERING EDGE IS SELECTED THROUGH THE BITFIELD LDAC_EDGE_SEL_CHn OF THE LDAC_EDGE_SEL REGISTER. THIS IS AN EXAMPLE OF LDAC FALLING EDGE AS TRIGGER.

図 10. ハードウェア LDAC のタイミング図



¹ALL SW FUNCTIONS SHARE THE DAC_SW_LDAC REGISTER FOR SW TRIGGER.
²INSTEAD OF CREATING TRANSITIONS THROUGH SPI WRITES, SW TOGGLE NEED THE USER TO WRITE '1'b1 TO THE DAC_INPUT_A_SW_LDAC_CHn TO INITIATE A DAC UPDATE.
³DAC_INPUT_A IS ALWAYS THE SOURCE TO BE USED FOR THE DAC UPDATE OF THE FIRST SW/HW TOGGLE EVENT AFTER ENTERING TOGGLE MODE.

図 11. ストリーミング・モード時のソフトウェア DAC 更新のタイミング図



¹TGP TRIGGER EDGE IS SELECTED THROUGH THE BITFIELD LDAC_EDGE_SEL_CHn OF THE LDAC_EDGE_SEL REGISTER. THIS IS AN EXAMPLE OF BOTH EDGES AS TRIGGER EVENTS.
²DAC_INPUT_A IS ALWAYS THE FIRST SOURCE TO BE USED FOR DAC UPDATE FOR THE FIRST SW/HW TOGGLE EVENT AFTER ENTERING TOGGLE MODE.

図 12. ハードウェア・トグルのタイミング図

仕様

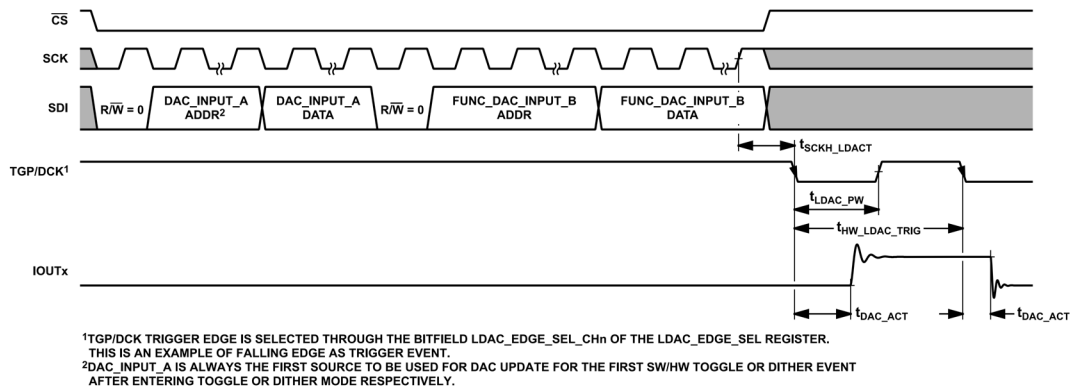


図 13. 単一命令モード時のハードウェア・トグルおよびディザのタイミング図

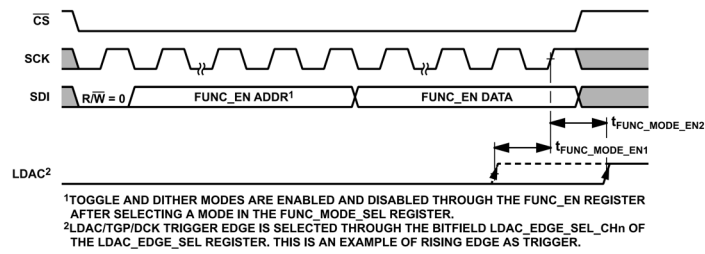


図 14. DAC モード機能有効化のタイミング図

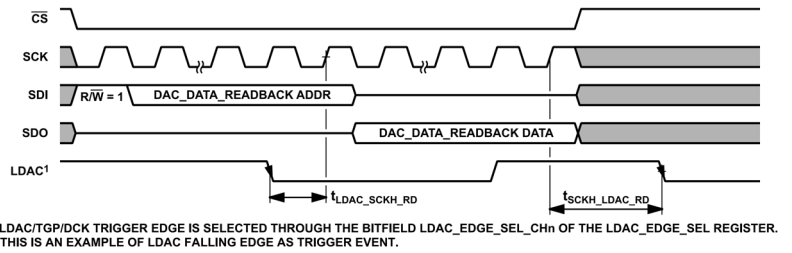


図 15. DAC データ・リードバックのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 5. 絶対最大定格

Parameter	Rating
AVDD to AGND	-0.3 V to +3.96 V
PVDDx ¹ to GND	-0.3 V to minimum (AVDD + 0.3 V, +3.96 V)
IOUTx to GND	-0.3 V to minimum (AVDD + 0.3 V, +4.26 V)
VREF ² , NF to REFVDD	-0.3 V to minimum (AVDD + 0.3 V, +4.26 V)
MUX_IN, MUX_OUT to GND	-0.3 V to minimum (AVDD + 0.3 V, +4.26 V)
IOVDD to IOGND ³	-0.3 V to +2.1 V
Digital Inputs ⁴ to IOGND	-0.3 V to minimum (IOVDD + 0.3 V, +2.4 V)
Digital Outputs to IOGND	-0.3 V to minimum (IOVDD + 0.3 V, +2.4 V)
Temperature	
Operating Range	-40°C (T_A) to +125°C (T_J)
Storage Range	-60°C to +150°C
Junction	150°C
Lead, Soldering Reflow	260°C, as per JEDEC J-STD-020

¹ PVDDx は、PVDD0、PVDD1、PVDD2、PVDD3 の各ピンを表します。IOUTx は、IOUT0、IOUT1、IOUT2、IOUT3 の各ピンを表します。

² 外部リファレンス・モードの場合

³ LFCSP パッケージでは IOGND は GND と同じです。

⁴ デジタル入力ピンとデジタル出力ピンの一覧については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格は、組み合わせではなく個別に適用されます。

熱性能

ジャンクション温度 (T_J) の制限値を超えると AD5706R は損傷を受けることがあります。最大動作ジャンクション温度の仕様 (T_{J_MAX}) については表 1 を参照してください。周囲温度をモニタリングしても、 T_J が規定された最高温度制限値内にあることを保証できるわけではありません。高消費電力のアプリケーションや熱抵抗が高いアプリケーションでは、内部温度センサーを用いて T_J をモニタしなければなりません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。このことは、特に、最大消費電力が高いアプリケーションに当てはまります。

表 6 に規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されたものです。JESD51-12 に適合するように使用してください。最も厳しい条件でのジャンクション温度が記載されています。

表 6. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JB}	Ψ_{JB}	Ψ_{JT}	Ψ_{JC-TOP}	Unit
WLCSP	42.26	7.9	8.1	0.06	0.16	$^\circ\text{C/W}$
LFCSP	39.02	7.88	10.28	0.56	23.32	$^\circ\text{C/W}$

¹ 表 6 の値は、4 個のサーマル・ビアを有する標準的な JEDEC 2S2P 熱試験ボードに基づいて計算されたものです。JEDEC JESD51 シリーズを参照してください。

θ_{JA} および θ_{JB} は、記載された試験条件がすべて同様な場合に、本デバイスのパッケージの熱性能を他の半導体パッケージと比較するのに主に使用されます。 θ_{JA} および θ_{JB} は、システム環境におけるジャンクション温度の一次近似に用いることができます。

テスト対象デバイス (DUT) の近くのボード温度の正確な熱測定値、または、システム環境で動作しているパッケージ上面に直接接触しているボード温度の正確な熱測定値がわかる場合、WLCSP デバイスでは、 Ψ_{JB} または Ψ_{JT} を用いる方が、システム環境におけるデバイスの最も厳しい場合のジャンクション温度を推定するのに適した方法です。

JESD51 シリーズの JEDEC 規格に従う、表 6 に示したパラメータを使用することを推奨します。

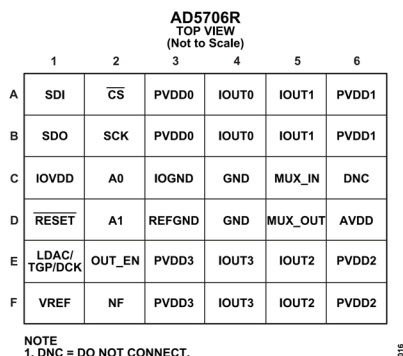
ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

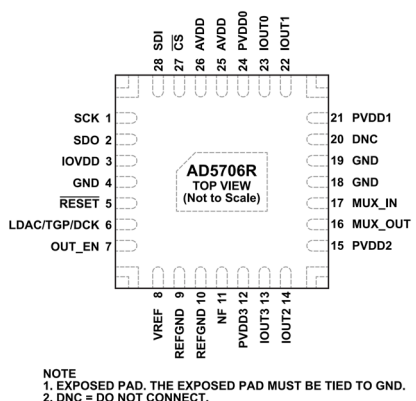
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTE
1. DNC = DO NOT CONNECT.

図 16. WLCSP のピン配置



NOTE
1. EXPOSED PAD. THE EXPOSED PAD MUST BE TIED TO GND.
2. DNC = DO NOT CONNECT.

図 17. LFCSP のピン配置

表 7. AD5706R のピン機能の説明

ピン番号		記号	タイプ ¹	説明
WLCSP	LFCSP			
D5	16	MUX_OUT	AO	バッファ内蔵アナログ出力。外付けの A/D コンバータ (ADC) が、診断用にこのピンの電圧を読み出します。
C5	17	MUX_IN	AI	アナログ入力。デジタイザ接続用に、0~VREF の範囲内の外部入力を別の AD5706R の MUX_OUT またはその他のアナログ出力から供給できます。
A4, B4	23	IOUT0	AO	IDAC0 チャンネルの電流出力。
A5, B5	22	IOUT1	AO	IDAC1 チャンネルの電流出力。
E5, F5	14	IOUT2	AO	IDAC2 チャンネルの電流出力。
E4, F4	13	IOUT3	AO	IDAC3 チャンネルの電流出力。
A3, B3	24	PVDD0	S	IDAC0 チャンネル用の電源。
A6, B6	21	PVDD1	S	IDAC1 チャンネル用の電源。
E6, F6	15	PVDD2	S	IDAC2 チャンネル用の電源。
E3, F3	12	PVDD3	S	IDAC3 チャンネル用の電源。
D6	25, 26	AVDD	S	アナログ電源。
C1	3	IOVDD	S	ロジック電源。IOVDD は 1.14V~1.89V の範囲になくはなりません。このピンは、デバイスのシリアル・インターフェース回路ブロックに電力を供給します。
C4, D4	4, 18, 19	GND	S	アナログ電源のグラウンド・ピン。
C3	-	IOGND ²	S	デジタル電源のグラウンド・ピン。
D3	9, 10	REFGND	S	DAC コアおよび内部リファレンス用のアナログ・グラウンド。REFGND および GND は、低インピーダンスの接続を用いて 0V に共に接続する必要があります。
F1	8	VREF	A/I/O	2.5V 電圧リファレンスの入力/出力。このピンと REFGND の間には 1μF のコンデンサを接続してください。

ピン配置およびピン機能の説明

表 7. AD5706R のピン機能の説明（続き）

ピン番号		記号	タイプ ¹	説明
WLCSP	LFCSP			
F2	11	NF	AI/O	内部レギュレータ用のフィルタ・コンデンサ。仕様規定された性能を AD5706R から引き出すには、NF ピンと REFGND の間に 0.1 μ F のコンデンサを接続することを推奨します。
D1	5	$\overline{\text{RESET}}$	DI	アクティブ・ローのデバイス・リセット。通常動作時はこのピンをハイに接続します。このピンをローにアサートすると、デバイスはデフォルト設定にリセットされます。
A2	27	$\overline{\text{CS}}$	DI	アクティブ・ローのチップ・セレクト入力。この入力は、SPI トランザクション時にデータをフレーム化するために用いられます。
B2	1	SCK	DI	シリアル・クロック入力。デバイスへの書き込み時は、最大 50MHz のレートでデータを転送できます。
A1	28	SDI	DI	シリアル・データ入力。この入力にはデバイスに書き込むデータが加えられ、SCK の立上がりエッジでレジスタにクロック入力されます。
B1	2	SDO	DO	シリアル・データ出力。リードバック動作を行うと、この出力ピンにシリアル・データ・ストリームとしてデータが供給されます。データは SCK の立上がりエッジでクロック出力され、SCK の立上がりエッジで有効になります。
E1	6	LDAC/TGP/DCK	DI	LDAC : ロードDACピン。 TGP : トグルDACピン。 DCK : ディザ・クロック・ピン。 対応する入力レジスタに新しいデータがある場合、このピンにトリガ・エッジ設定に応じてローまたはハイのパルスを与えると、選択したすべての DAC レジスタを更新できるので、選択したすべての DAC 出力を同時に更新できます。あるいは、このピンは IOVDD または IOGND に接続できます。
E2	7	OUT_EN	DI	出力のイネーブル/ディスエーブル。OUT_EN ピンをロー・レベルにトリガすると、電流出力が高インピーダンス状態または GND に設定されます。使用しない場合、このピンは IOVDD に接続しハイに設定できます。
D2	-	A1	DI	ロジック入力：プログラマブル・アドレス・ビット 1。このピンは IOVDD または IOGND に接続する必要があります。
C2	-	A0	DI	ロジック入力：プログラマブル・アドレス・ビット 0。このピンは IOVDD または IOGND に接続する必要があります。
C6	20	DNC	DNC	接続しないでください。

¹ AO はアナログ出力、S は電源、AI はアナログ入力、AI/O はアナログ入力または出力、DI はデジタル入力、DO はデジタル出力、DI/O はデジタル入力または出力、DNC は接続なしです。

² LFCSP パッケージの場合、IOGND および GND は内部で接続されています。

代表的な性能特性

特に指定のない限り、AVDD = 3.3V、PVDDx = 3.0V、IOVDD = 1.8V、内部リファレンス、温度 = 25°C (TA)。

DC 性能

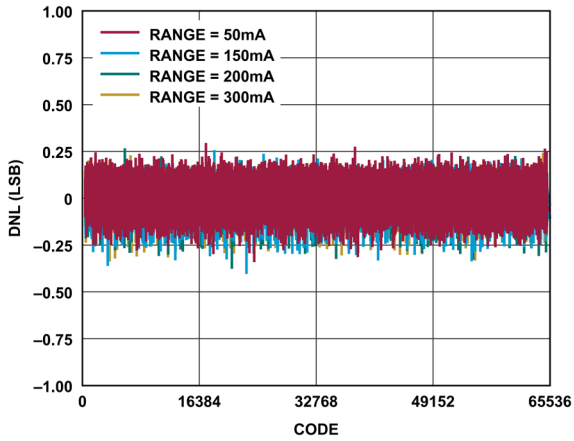


図 18. DAC の DNL 誤差と DAC コードの関係

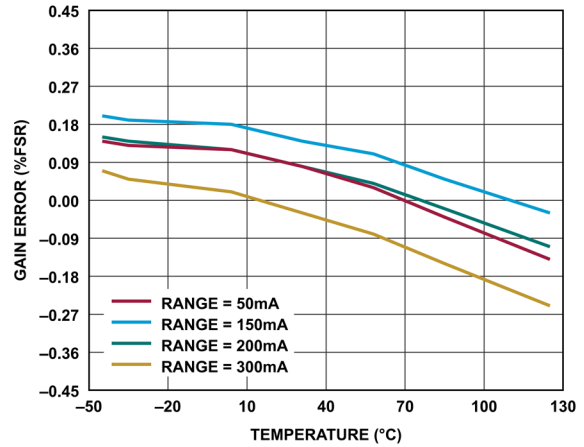


図 21. DAC のゲイン誤差と温度の関係

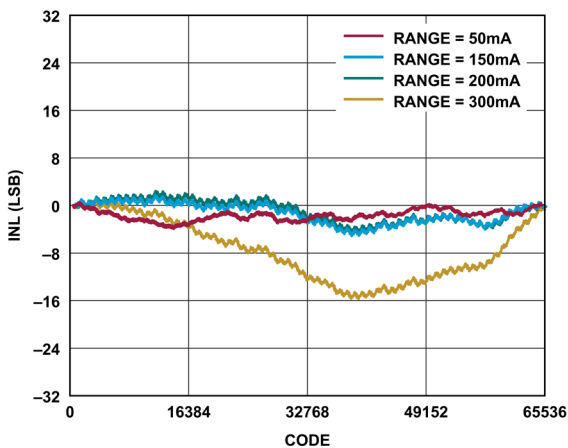


図 19. DAC の INL 誤差と DAC コードの関係

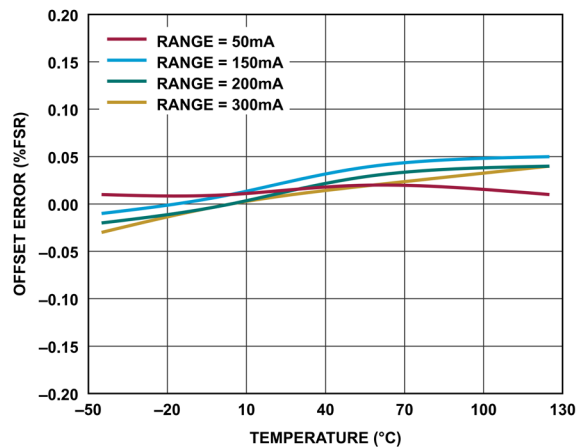


図 22. DAC のオフセット誤差と温度の関係

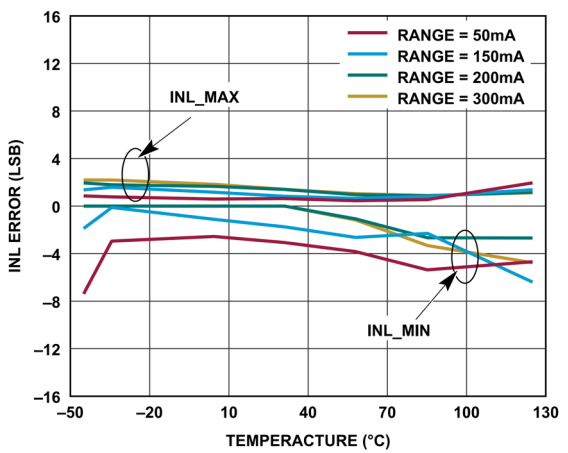


図 20. DAC の INL 誤差と温度の関係

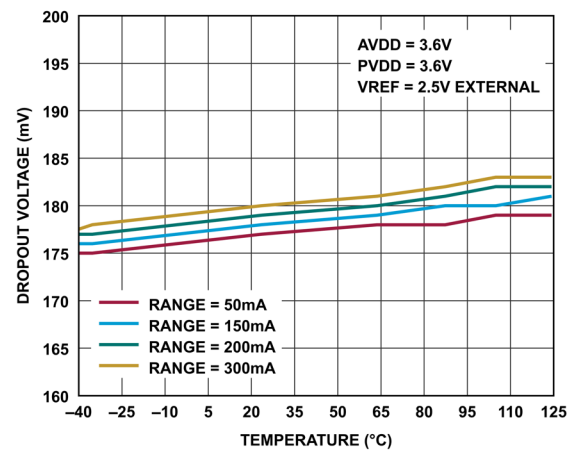


図 23. PVDD のドロップアウト電圧と温度の関係 (PVDD = 3.6V)

代表的な性能特性

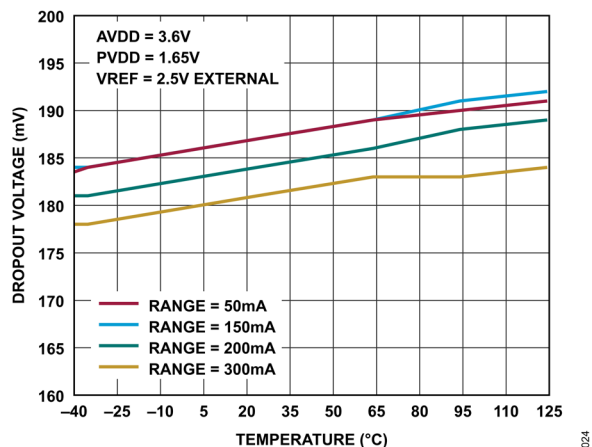


図 24. PVDD のドロップアウト電圧と温度の関係 (PVDD = 1.65V)

代表的な性能特性

AC 性能

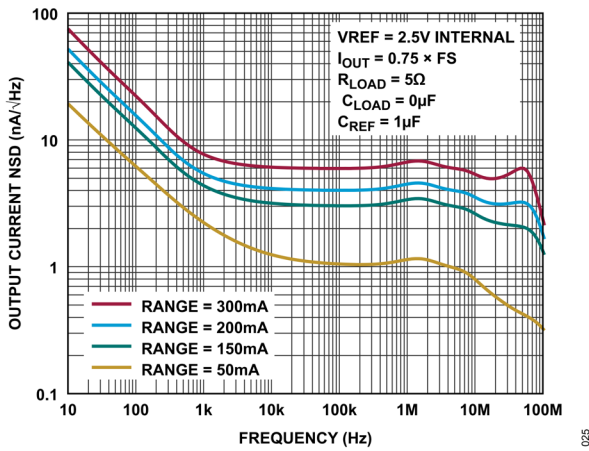


図 25. DAC の出力ノイズ・スペクトル密度と周波数の関係

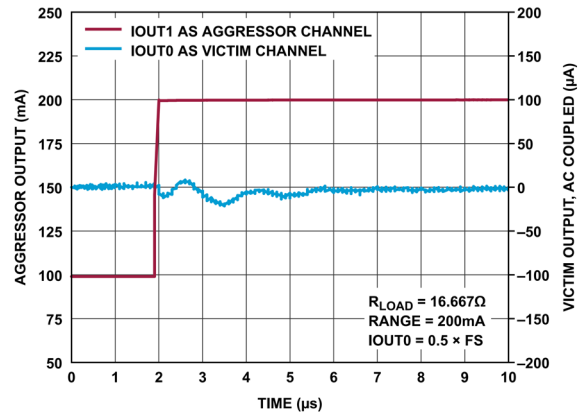


図 28. DAC のチャンネル間クロストーク (正の出力遷移)

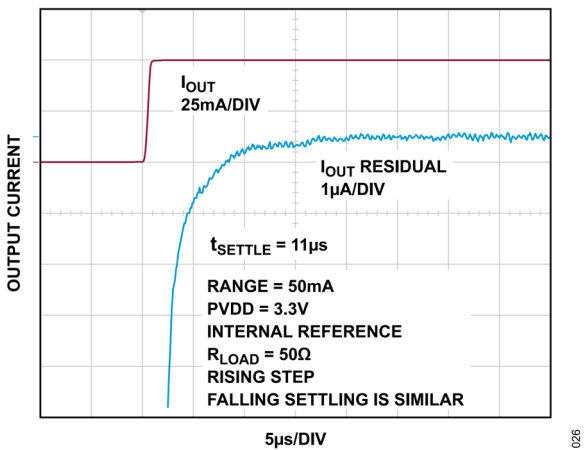


図 26. DAC の出力セトリング時間 (50mA レンジ)

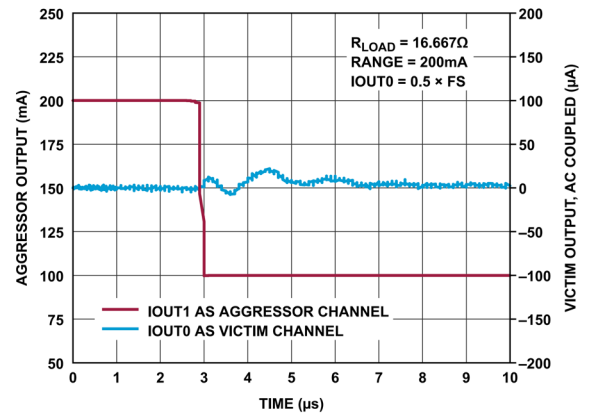


図 29. DAC のチャンネル間クロストーク (負の出力遷移)

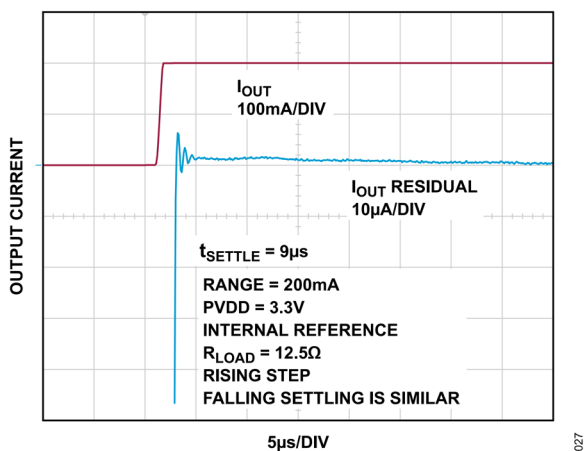


図 27. DAC の出力セトリング時間 (200mA レンジ)

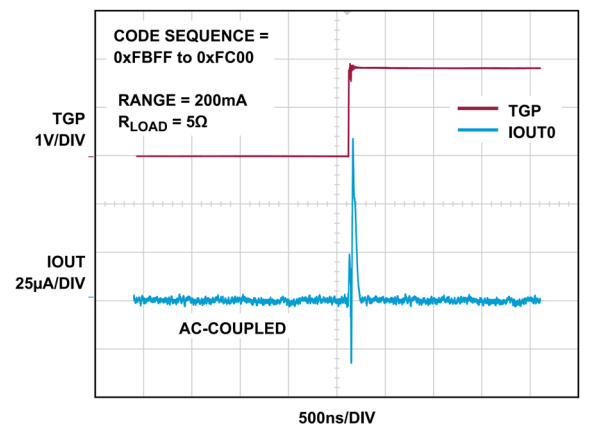


図 30. 正の出力遷移時の DAC のグリッチ

代表的な性能特性

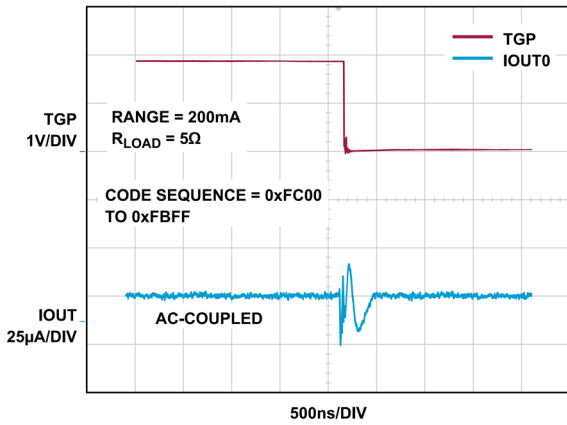


図 31. 負の出力遷移時の DAC のグリッチ

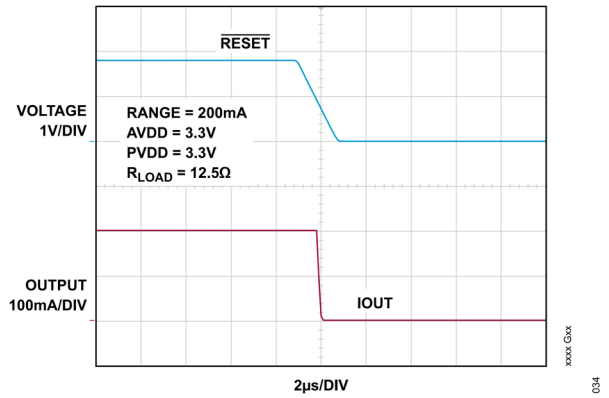


図 34. デバイス・リセット時の DAC の応答時間

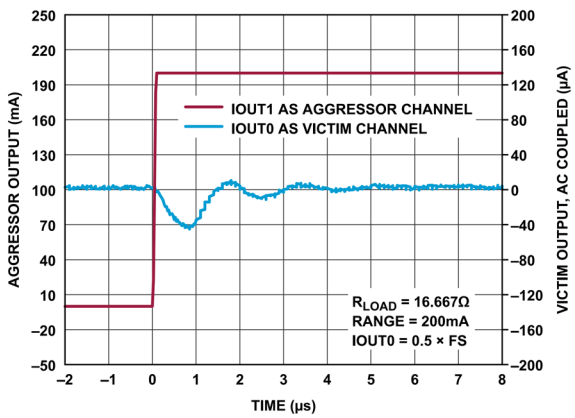


図 32. アナログ・クロストーク（正の出力遷移）

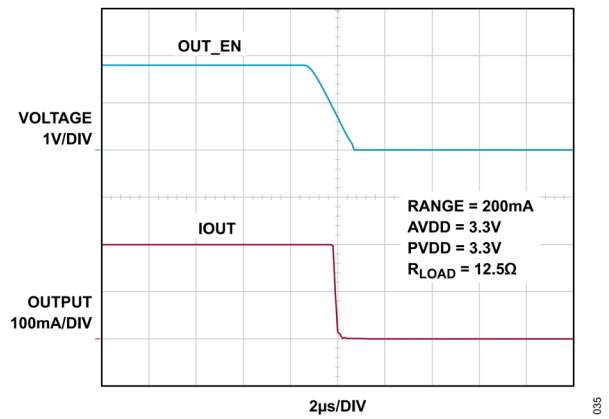


図 35. 出力ディスエーブル時の DAC の応答時間

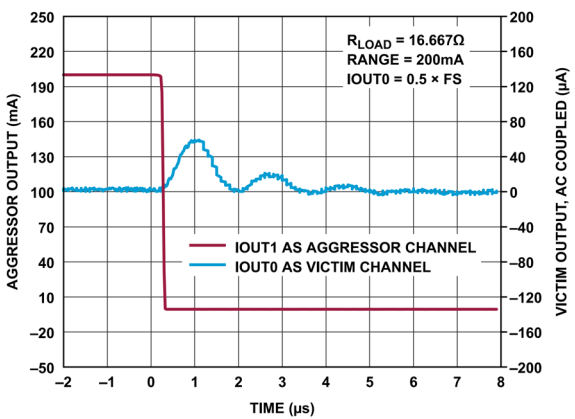


図 33. アナログ・クロストーク（負の出力遷移）

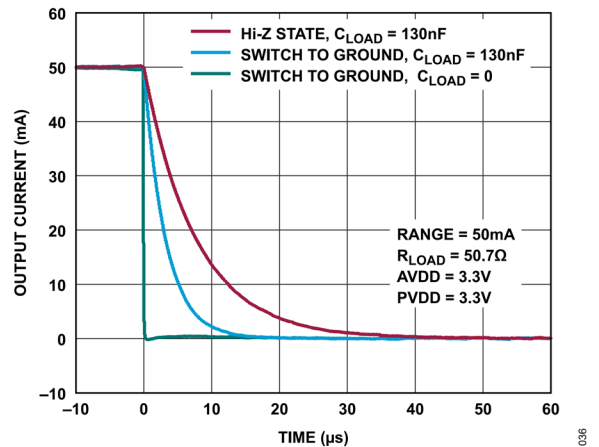


図 36. 出力ディスエーブル時の DAC の応答の時間変化

代表的な性能特性

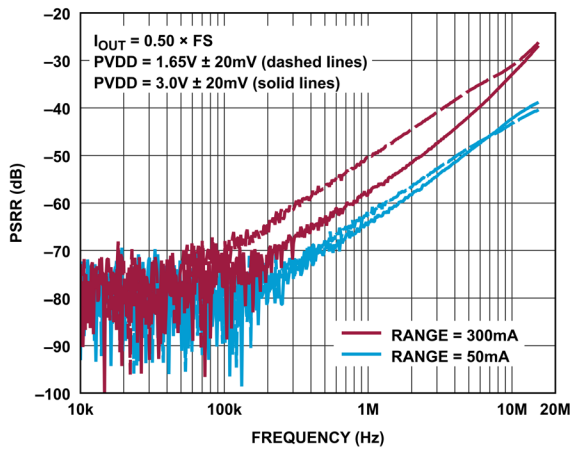


図 37. DAC の AC PSRR と周波数の関係
(DAC 出力 = $0.50 \times FS$)

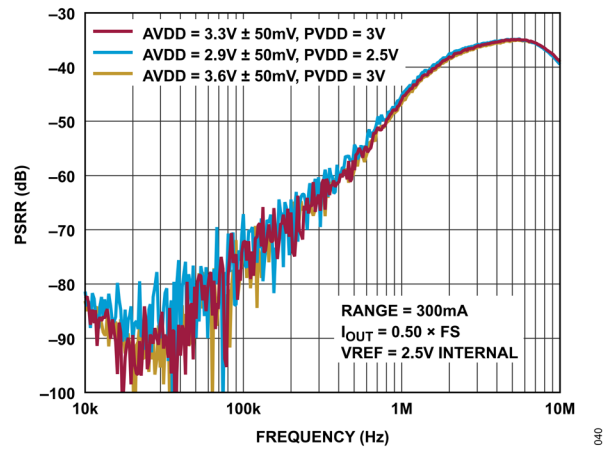


図 40. 異なる AVDD 電源での DAC の AC PSRR と周波数の関係

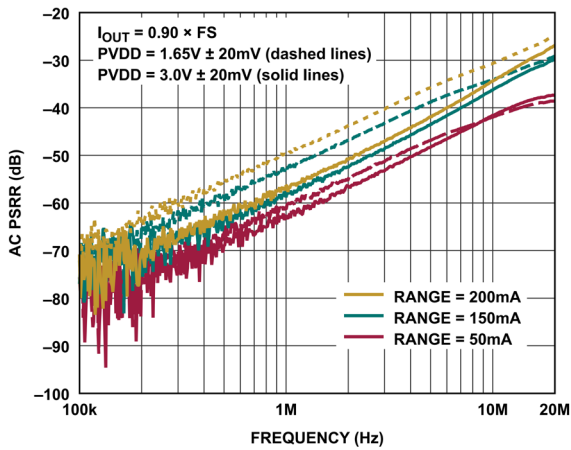


図 38. DAC の AC PSRR と周波数の関係
(DAC 出力 = $0.90 \times FS$)

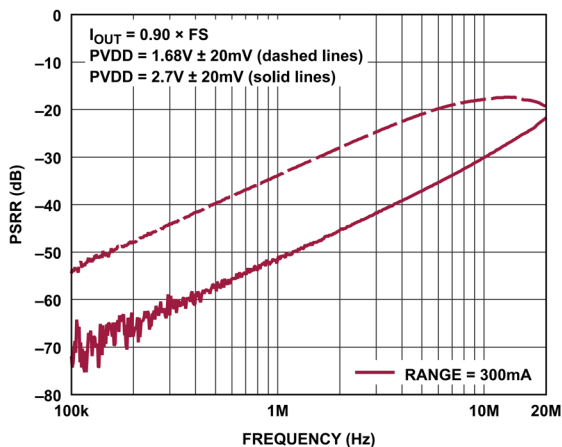


図 39. DAC の AC PSRR と周波数の関係
(DAC 出力 = $0.90 \times FS$ 、300mA レンジ)

代表的な性能特性

その他

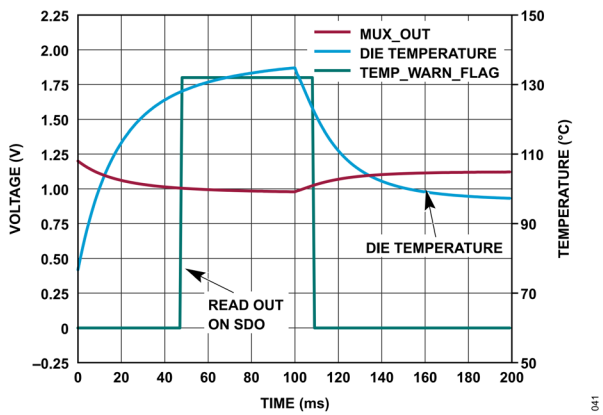


図 41. 温度センサーの応答の時間変化

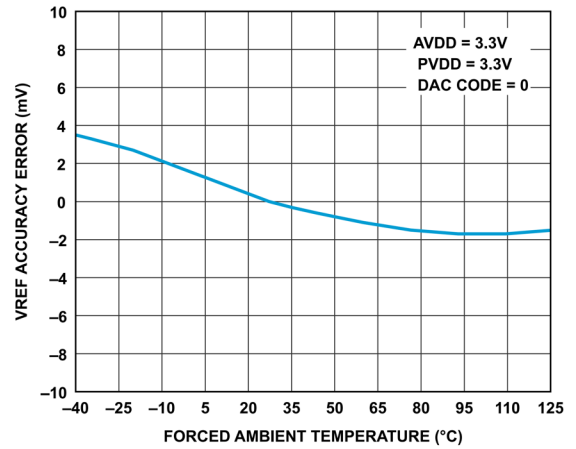


図 44. VREF の精度誤差と強制周囲温度の関係

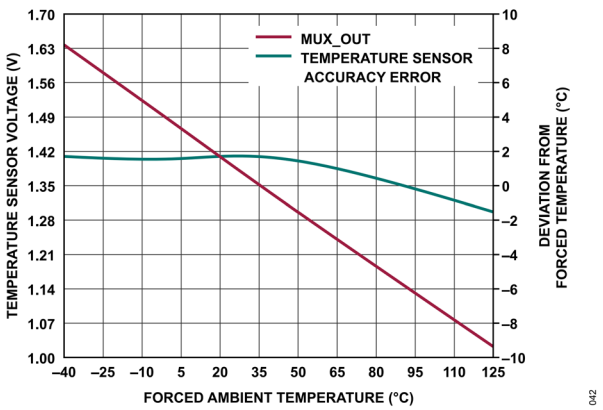


図 42. 温度センサーの電圧と強制周囲温度の関係

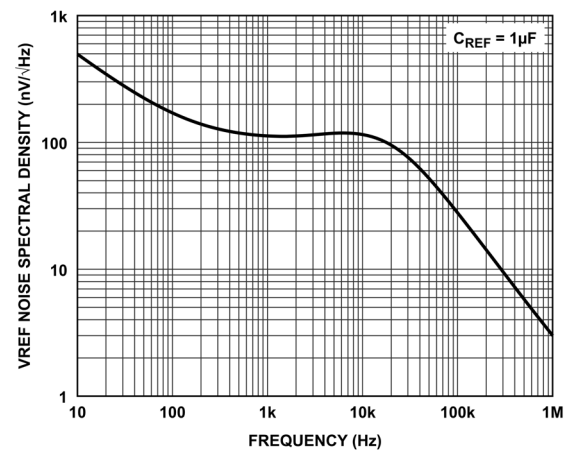


図 45. VREF のノイズ・スペクトル密度と周波数の関係

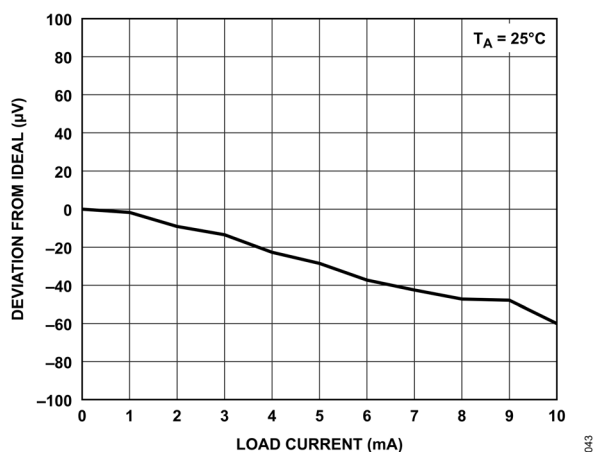


図 43. VREF の精度誤差と負荷電流の関係

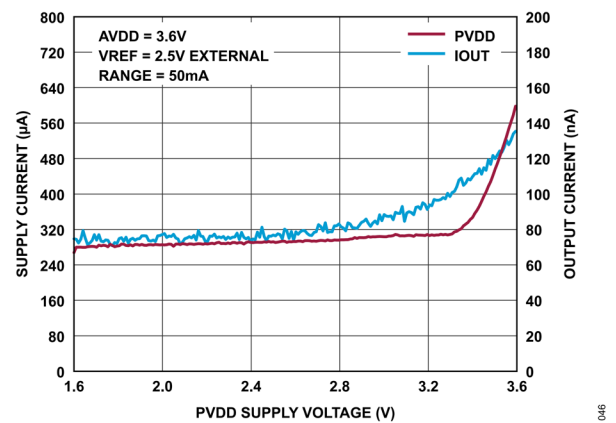


図 46. 高インピーダンス状態時の PVDD および IOUT の応答と PVDD 電源電圧の関係

代表的な性能特性

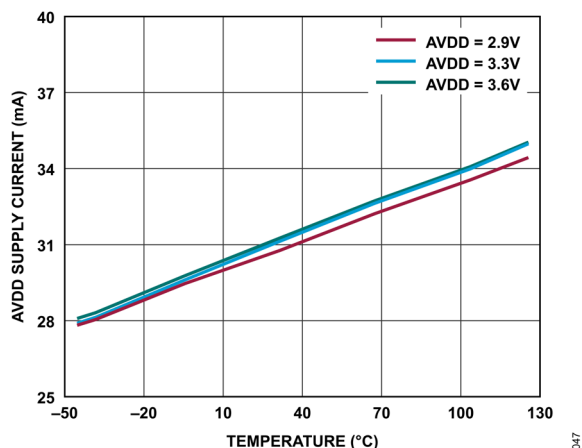


図 47. AVDD 電源電流と温度の関係

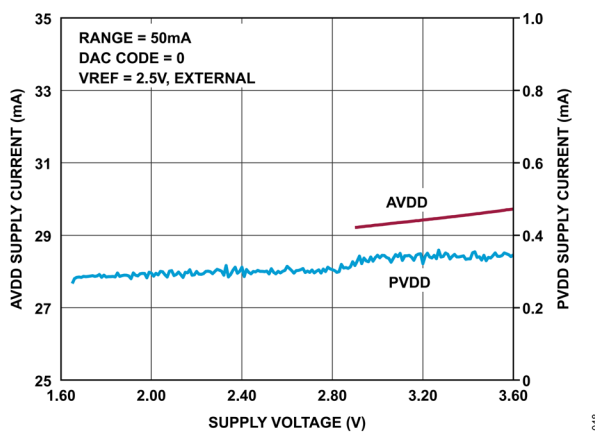


図 48. AVDD 電源電流と電源電圧の関係

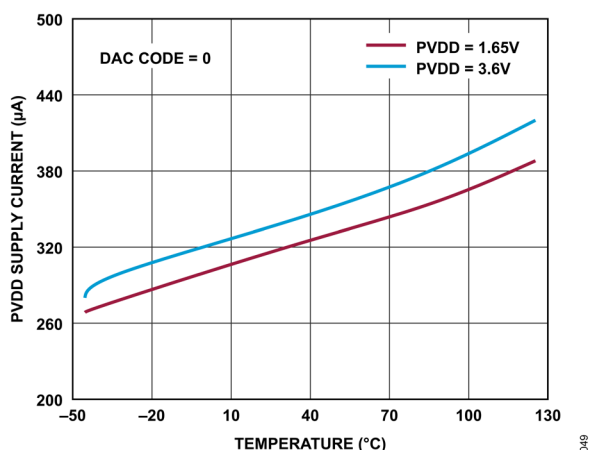


図 49. PVDD 電源電流と温度の関係

用語の定義

DAC

フルスケール範囲 (FSR)

FSRは、DACレジスタにフルスケール・コード (16ビットDACの場合 0xFFFF) がロードされた場合のDACの最大出力です。

総合未調整誤差 (TUE)

TUEは、電源、温度、時間に関連するすべての誤差 (つまり、INL 誤差、オフセット誤差、ゲイン誤差、出力ドリフト) を考慮する出力誤差を表します。TUE はフルスケール・レンジのパーセント値 (%FSR) として表されます。

相対精度または積分非直線性 (INL)

INLは、DACの伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位) を表します。

微分非直線性 (DNL)

DNLは、隣接する2つのコードの間で測定された変化と理論的な1LSB変化との差です。微分非直線性の仕様が ± 1 LSB以内の場合は、単調増加性が確保されます。このDACは設計により単調性を確保しています。

ゲイン誤差

ゲイン誤差はDACのスパン誤差を表します。DAC伝達特性の傾きの理論値からの偏差で、FSRの%で表示されます。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、温度変化に伴うゲイン誤差の変化を測定したもので、ppm/°Cで表示されます。

オフセット誤差

オフセット誤差は、伝達関数の線形領域における IOUTx の電流出力の実測値と理論値 (IOUTx (実測値) および IOUTx (理論値)) の差の測定値を表し、単位は μA です。オフセット誤差は、負の値にも正の値にもなる可能性があり、電流出力DACの場合、その単位は μA です。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセット誤差の変化の測定値を表します。電流出力DACの場合、オフセット誤差ドリフトの単位は $\mu\text{A}/^\circ\text{C}$ です。

DC 電源電圧変動除去比 (PSRR)

PSRRは、DAC出力に対する電源電圧のDC変化の影響を表します。電流出力DACの場合、PSRRは、DACのフルスケール出力のAVDDxの変化に対するIOUTxの変化の比であり、単位は $\mu\text{A}/\text{V}$ です。

AC 電源電圧変動除去比 (PSRR)

AC PSRRは、DACに加えられる電源のAC変化を、DAC出力においてどの程度除去できるかを表す値です。AC PSRRは、推奨する最低限のデカップリング方法を用いた場合の、電源電圧の所定の振幅および周波数の変化を表します。電流出力DACの場合、単位はデシベルまたは $\mu\text{A}/\text{V}$ です。

出力セトリング時間

出力セトリング時間は、規定された入力変化に対して、DACチャンネルの出力が規定のレベルに安定するのに要する時間であり、LDACの立下がりエッジまたは立上がりエッジから測定されます。

デジタル/アナログ・グリッチ・エネルギー

デジタル/アナログ・グリッチ・エネルギーは、DACレジスタの入力コードの状態が変化したときにアナログ出力に混入するインパルスのエネルギーです。電流出力DACの場合、このエネルギーは通常、nA-secを単位とする電流出力グリッチの面積として仕様規定され、メジャー・キャリア遷移時 (例えば、16ビットDACでは0x7FFFから0x8000) に、デジタル入力コードが1LSBだけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスのエネルギーを表します。電流出力DACの場合、デジタル・フィードスルーは、nA-secを単位とする電流出力グリッチの面積として仕様規定され、データ・バス上でのフルスケール・コード変化時、すなわち全ビット0から全ビット1への変化時、または全ビット1から全ビット0への変化時に測定されます。

DC クロストーク

DC クロストークは、1つのDAC出力での変化に起因する別のDACの出力レベルのDC変化です。電流出力DACの場合、DC クロストークは、 μA を単位とする電流出力の変化として規定され、1つのDACのフルスケール出力変化時に、ミッドスケールに保持された別のDACをモニタリングして測定されます。

デジタル・クロストーク

デジタル・クロストークは、あるDACの入力レジスタにおけるフルスケール・コード変化 (全ビット0から全ビット1への変化、および全ビット1から全ビット0への変化) に応答して、ミッドスケール・レベルにある別のDACの出力に混入したグリッチ・インパルスのエネルギーです。電流出力DACの場合、デジタル・クロストークは、nA-secを単位とする電流出力グリッチの面積として仕様規定され、一度に1つのDACチャンネルで測定されます。

DAC 間クロストーク

DAC 間クロストークは、デジタル・コードの変化とそれに続くあるDACのアナログ出力の変化に起因する、別のDACの出力に混入するグリッチ・インパルスのエネルギーです。電流出力DACの場合、DAC間クロストークは、nA-secを単位とする電流出力グリッチの面積として仕様規定され、あるDAC出力にフルスケール変化が生じ、それがDACレジスタに直接書き込まれたときに、ミッドスケールに保持した別のDAC出力をモニタリングして測定されます。

用語の定義

アナログ・クロストーク

アナログ・クロストークは、ある DAC の出力変化によって別の DAC の出力に混入したグリッチ・インパルスのことを指します。フルスケール・コード変化時（全ビット 0 から全ビット 1 への変化、または全ビット 1 から全ビット 0 への変化）に入力レジスタのいずれかを読み込んで、ソフトウェア LDAC コマンドを実行し、デジタル・コードが変更されなかった DAC の出力をモニタリングすることで測定されます。電流出力 DAC の場合、グリッチのエネルギーは、nA-sec を単位として表されます。

出力ノイズ・スペクトル密度 (NSD)

出力 NSD は、内部で発生したランダム・ノイズの大きさを表します。ランダム・ノイズは、スペクトル密度として特性評価されます。NSD は、DAC にミッドスケールを読み込み、その出力で発生するノイズを測定することによって、測定されます。電流出力 DAC の場合、NSD の単位は nA/√Hz です。

マルチプレクサ DAC 間クロストーク

マルチプレクサ DAC 間クロストークは、モニタ MUX が DAC チャンネルから別のチャンネルに変更された場合、および別のチャンネルから DAC チャンネルに変更された場合に、DAC チャンネルのアナログ出力に混入するインパルスを表します。このパラメータは、DAC チャンネルの電流出力グリッチの面積として仕様規定され、単位は nA-sec です。

用語の定義

リファレンス

ライン・レギュレーション

ライン・レギュレーションは、電源電圧の特定の変化に対する出力電圧の変化を示し、 $\mu\text{V}/\text{V}$ で表されます。

負荷レギュレーション

負荷レギュレーションは、負荷電流の所定の変化に対する出力電圧の変化を示し、 ppm/mA で表されます。

電圧リファレンス (V_{REF}) の温度係数 (TC)

$V_{\text{REF}} \text{ TC}$ は、デバイスの周囲温度の変化に伴うリファレンス出力電圧の変化を表し、 25°C での出力電圧で正規化されています。 $V_{\text{REF}} \text{ TC}$ はボックス法を用いて仕様規定されます。ボックス法では、所定の温度範囲におけるリファレンス出力の最大変化量として TC を次式のように定義し、 $\text{ppm}/^\circ\text{C}$ で表します。

$$V_{\text{REF}} \text{ TC} = \left(\frac{V_{\text{REF, MAX}} - V_{\text{REF, MIN}}}{V_{\text{REF, NOM}} \times \text{TEMP_RANGE}} \right) \times 10^6 \text{ ppm}/^\circ\text{C} \quad (1)$$

ここで、

$V_{\text{REF, MAX}}$ は全温度範囲にわたって計測された最大リファレンス電圧出力です。

$V_{\text{REF, MIN}}$ は全温度範囲にわたって計測された最小リファレンス電圧出力です。

$V_{\text{REF, NOM}}$ は周囲温度 (25°C) での公称リファレンス電圧出力です。

TEMP_RANGE はリファレンスの最大動作温度と最小動作温度の差です。

電圧リファレンス (V_{REF}) のノイズ・スペクトル密度 (NSD)

$V_{\text{REF}} \text{ NSD}$ は、スペクトル密度 ($\text{nV}/\sqrt{\text{Hz}}$) として特性評価される、内部で発生するランダム・ノイズの指標です。

動作原理

デバイス情報

AD5706R は、SPI インターフェースを備えた 4 チャンネル、16 ビットの電流出力 D/A コンバータ (DAC) です。本デバイスは、プログラマブルな低ノイズの出力電流を高い電力効率で供給するのに最適です。内蔵機能には、2.5V オン・チップ電圧リファレンス、ロード DAC、A/B トグル機能、サイン波ディザなどがあります。内蔵のアナログ・マルチプレクサを用いると、電源および出力の電圧、出力電流、ダイ温度などの重要な内部ノードのモニタリングが可能になります。

高精度リファレンス

AD5706R は、温度係数が 15ppm/°C (代表値) の低ノイズ 2.5V 電圧リファレンスを内蔵しています。デフォルトではこの内部リファレンスはパワーダウンしており、BANDGAP_CONTROL レジスタの BGAP_HIZ_B ビットを設定することによりイネーブルできます。イネーブルされると、バッファされた 2.5V リファレンスが VREF ピンにて使用でき、外部システムで利用できます。

あるいは、本デバイスは、VREF ピンに印加された外部 2.5V リファレンスを使用することもできます。パワーアップ時は、これがデフォルト設定です。最適動作を実現するため、外部リファレンスは AD5706R と同じ電源を共用し、パワーアップ時には確実に $VREF \leq AVDD$ となるようにすることを推奨します。

ノイズ性能を最適化するには、以下を考慮してください。

- ▶ リファレンス・ソースに関わらず、0.1μF のコンデンサを NF ピンと REFGND の間に接続する必要があります。
- ▶ 内部リファレンスを用いる場合は、VREF と REFGND の間に 1μF のコンデンサを追加することを推奨します。

アナログ・マルチプレクサおよび診断モニタリング

本デバイスには、重要な内部パラメータおよび外部パラメータを MUX_OUT ピンを通じてリアルタイムでモニタリングできる、診断機能が内蔵されています。以下の信号を MUX_OUT 出力に配線できます。

- ▶ IOUTx 負荷電圧
- ▶ IOUTx 出力電流
- ▶ 電源レール電圧
- ▶ VREF (リファレンス電圧)
- ▶ 内部ダイ温度

モニタされるすべての信号は、0V~VREF の範囲のユニポーラ電圧として表されます。そのため、外部の ADC やモニタリング・システムに直接インターフェースできます。

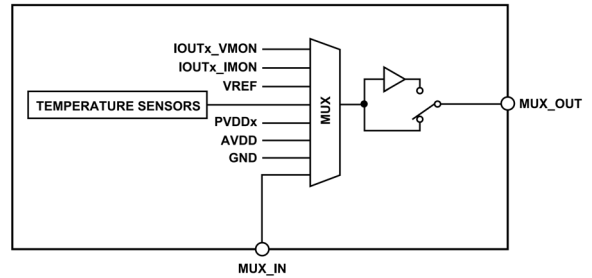


図 50. アナログ・マルチプレクサ

パワーアップ時には診断モニタリング機能は無効化されており、MUX_OUT ピンは、意図しない信号出力を防止するため高インピーダンス (ハイ Z) 状態に置かれます。

診断モニタリングを有効化するには、以下の手順を実行します。

- ▶ MUX_OUT_SEL レジスタの MUX_OUT_EN フィールドをセットします。
- ▶ MUX_PARAM_SEL レジスタを用いて、どの内部信号またはチャンネルを MUX_OUT ピンに接続するかを選択します。

デフォルトでは、MUX ブロックで GND チャンネルが選択されています。使用可能なチャンネル選択とそれに対応するレジスタ・フィールド値の一覧を表 8 に示します。

表 8. マルチプレクサのチャンネル

MUX_PARAM_SEL Field	MUX_OUT Channel
0	GND (default)
1	AVDD supply voltage monitor
2	VREF voltage monitor
3	GND
4	IOUT0 load voltage monitor
5	IOUT1 load voltage monitor
6	IOUT2 load voltage monitor
7	IOUT3 load voltage monitor
8	IOUT0 output current monitor
9	IOUT1 output current monitor
10	IOUT2 output current monitor
11	IOUT3 output current monitor
12	PVDD0 supply voltage monitor
13	PVDD1 supply voltage monitor
14	PVDD2 supply voltage monitor
15	PVDD3 supply voltage monitor
16	IOUT0 temperature sensor monitor
17	IOUT1 temperature sensor monitor
18	IOUT2 temperature sensor monitor
19	IOUT3 temperature sensor monitor
20 to 23	MUX_IN
24 to 31	Reserved

MUX_OUT ピンは、内部でバッファされているため、外部 ADC と直接インターフェースできます。このバッファは、BUFFER_EN ビットをクリアする (0 にセットする) ことによりバイパスできます。この内部バッファは、BUFFER_EN ビットを 0 にセットすることによりバイパスできます。なお、内部バッ

動作原理

ファがディスエーブルされると、MUX スイッチのインピーダンスは $1k\Omega \sim 20k\Omega$ の範囲で変動することがある点に注意してください。この設定では、MUX_OUT ピンを高インピーダンス入力にのみ接続して信号の完全性を確保する必要があります。使用可能な MUX_OUT の設定を表 9 にまとめます。また、対応するフルスケール出力電圧をモニタするチャンネルごとに表 10 に示します。

表 9. MUX_OUT の設定

MUX_OUT_EN Bit	BUFFER_EN Bit	MUX_OUT Status
1'b0	X	High-Z
1'b1	1'b0	Buffer disabled and bypassed
1'b1	1'b1	Buffer enabled

表 10. フルスケール出力電圧

MUX_OUT Channel	Nominal Full Scale Output (V)
Current Monitor Channels	1.2
Temperature Sensor Channels	1.6
Other Channels	2.5

IOUT 出力電流のモニタリング

MUX_PARAM_SEL レジスタを通じて適切な MUX チャンネルが選択されている場合、IOUTx ピンの電流は MUX_OUT ピンの電圧で表されます。この場合の出力電圧範囲は、 $0V \sim 1.25V$ です。

出力電流は次式を用いて計算できます。

$$I_{OUT} = \frac{300mA \times V_{MUX_OUT}}{1.25V} \quad (2)$$

ここで、

I_{OUT} は、IOUTx ピンの出力電流です。

V_{MUX_OUT} は、MUX_OUT ピンの電圧です。

なお、上式は IOUTx ピンの負荷が適切であり、コンプライアンス電圧制限値以内で動作している場合にのみ有効である点に注意してください。出力がオープンの場合やドロップアウトしている場合は無効です。

MUX_OUT の電圧出力は、電流出力と同じ最上の直線性を維持します。ただし、勾配誤差（最大でフルスケール範囲の $\pm 20\%$ ）が存在する可能性があるため、正確な電流測定のためにはキャリブレーションを行うことを推奨します。

2点キャリブレーション

精度を向上する（最大 $\pm 1\%$ FSR）には、2点キャリブレーション法が適用できます。ただし、測定範囲全体で電流出力が妥当な直線性を保持していることが前提です。キャリブレーション後の出力電流は次のように計算できます。

$$I_{OUT,X} = \frac{I_{OUT,A} - I_{OUT,B}}{DAC_CODE_A - DAC_CODE_B} \times (DAC_CODE_X - DAC_CODE_B) + I_{OUT,B} \quad (3)$$

ここで、

$I_{OUT,A}$ 、 $I_{OUT,B}$ = それぞれ DAC コードが DAC_CODE_A および DAC_CODE_B の場合に測定された出力電流。

$I_{OUT,X}$ = DAC コードが DAC_CODE_X の場合に予測される出力電流。

IOUT 出力電圧のモニタリング

MUX_PARAM_SEL レジスタで適切な MUX チャンネルを選択することにより、IOUTx ピン電圧のスケールダウン値を MUX_OUT ピンに出力できます。この場合の出力電圧範囲は $0V \sim V_{REF}$ であり、精度は $\pm 10mV$ （代表値）です。

MUX_OUT 電圧から実際の IOUTx ピン電圧への変換は次式に従います。

$$V_{OUT} = \frac{2}{3} \times V_{MUX_OUT} \quad (4)$$

ここで、

V_{OUT} は、IOUTx ピンの実際の電圧です。

V_{MUX_OUT} は、MUX_OUT ピンで測定された電圧です。

上述の式は IOUTx ピンの負荷が適切であり、コンプライアンス電圧範囲内で動作している場合にのみ有効です。出力がオープンの場合やドロップアウトしている場合は無効です。

内部ダイ温度のモニタリング

本デバイスは、4つの温度センサーを内蔵しており、それぞれが DAC チャンネルの近くに配置されています。これらのセンサーは、ダイオード接続されたバイポーラ接合トランジスタ (BJT) を通じて正確な電流を供給し、局所的なジャンクション温度と関連のある電圧を発生することで動作します。

MUX_PARAM_SEL レジスタで適切な MUX チャンネルを選択することにより、温度センサーの出力を MUX_OUT ピンに出力して外部で測定できます。

ジャンクション温度 T_J は、MUX_OUT ピンで測定される電圧 V_{OUT} に比例しており、次式を用いて推定できます。

$$T_J = 25^\circ C + \frac{V_{OUT} - 1.395V}{-3.8 \text{ mV}/^\circ C} \quad (5)$$

ここで、

T_J は、 $^\circ C$ を単位とするジャンクション温度です。

V_{OUT} は、MUX_OUT ピンの電圧です。

動作原理

電源のモニタリング

MUX レジスタで適切な MUX チャンネル (AVDD、PVDDx、VREF、GND) を選択することにより、選択したレール電圧のスケールダウンした値を MUX_OUT ピンにマルチプレックスできます。

$$\begin{aligned} V_{AVDD} &= 1.5 \times V_{MUX_OUT} \\ V_{PVDD} &= 1.5 \times V_{MUX_OUT} \\ V_{REF} &= V_{MUX_OUT} \end{aligned} \quad (6)$$

MUX_OUT で GND チャンネルを測定する場合は、内部バッファをバイパスすることを推奨します。

マルチプレクサ入力およびデジチェーン接続

本デバイスには、アナログ・マルチプレクサへの外部入力があり、MUX_IN ピンを通じて使用できます (図 50 参照)。この機能によって、複数のデバイスが同じ SPI バスに接続されている場合に、MUX_OUT パスのデジチェーン接続が可能になります。

あるデバイスの MUX_OUT を次のデバイスの MUX_IN に接続することにより、1つの ADC チャンネルを複数の AD5706R デバイス間で共用できます。この構成によりシステム設計を簡素化でき、必要な ADC 入力の数減らすことができます。

2つのデバイスをデジチェーン接続した例を図 51 に示します。この考え方を拡張すれば 3 つ以上のデバイスにも対応できます。

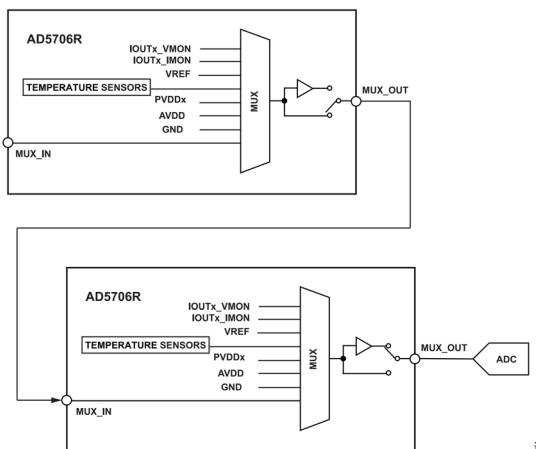


図 51. 複数の AD5706R デバイスの入力のデジチェーン接続

電源

AD5706R デバイスには、以下の電源レールが必要です。

- ▶ AVDD : 中核的なアナログ回路用の正のアナログ電源。
- ▶ IOVDD : SPI および制御ロジック用のデジタル・インターフェース電源。
- ▶ PVDDx : 各 DAC 出力段 (IOUTx) 用の個別の正電源。

各 IOUTx チャンネルはそれぞれの対応する PVDDx 電源から給電されるため、柔軟な出力段構成が可能です。適切な動作を確保し、出力コンプライアンスを維持するためには、IOUTx 出力がそれぞれの規定されたコンプライアンス電圧範囲内に収まるよう、すべての PVDDx の電圧を選択する必要があります。

これらの PVDDx 電源は、1.65V~AVDD の範囲内で個別に設定できます。

- ▶ PVDDx を AVDD と同じ電圧で動作させる場合は、AVDD に直接接続する必要があります。
- ▶ 独立した電源から PVDDx に供給する場合は、適切な動作を確保し内部回路への逆バイアスを防止するために、PVDDx を AVDD 以下の電圧に維持する必要があります。

デジタル・インターフェース

AD5706R は、SPI、QSPI、MICROWIRE の各規格、およびほとんどのデジタル・シグナル・プロセッサ (DSP) に対応できる、4 線式デジタル・インターフェース (\overline{CS} 、SCK、SDI、SDO) を使用しています。

図 2 に、レジスタの読出しトランザクションと書込みトランザクションのタイミングを示します。これらのトランザクションは、 \overline{CS} 信号によってフレーム化されます。 \overline{CS} がハイの間、SCK エッジは無視され、SDO は高インピーダンス状態になります。 \overline{CS} の立下がりエッジによってデジタル・インターフェースがアクティブになり、SPI フレームが開始されます。データは、すべての SPI トランザクションで MSB ファーストにシフトされます。

AD5706R の SPI インターフェースは、CPOL = 0 および CPHA = 0 の伝送モードに対応します。このモードでは、SDI のデータは SCK の立上がりエッジでラッチされ、SCK の立下がりエッジで SDO にシフト・アウトされます。SDO のデータは、SCK の立下がりエッジから t_{SCK_SDO} の時間が経過した後有効になり、SCK の次の立下がりエッジ後 t_{SDO_VALID} の間有効のままになります (表 3 および図 2 を参照)。

デバイスとの通信は、次の 2 つの異なるフェーズに分けて行われます。

1. 命令フェーズ：このフェーズは、15 ビット幅のレジスタ・アドレスでデバイスの動作を開始します。
2. データ・フェーズ：このフェーズでは、データが命令フェーズに応じてデバイスに送られるか、あるいはデバイスから送られます。

最大の SCK 周波数は、書込みトランザクションの場合 50MHz、読出しトランザクションの場合 25MHz です。

図 52 に、15 ビットのアドレス命令フェーズの SPI トランザクション・フェーズを示します。SPI フレームには、1 つまたは複数のレジスタ読出しおよび書込みトランザクションを含めることができます。

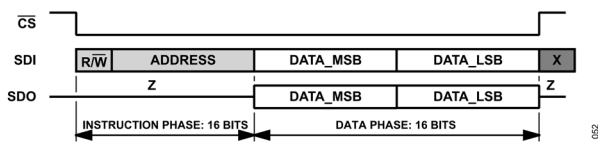


図 52. SPI トランザクション・フェーズ

命令フェーズ

命令フェーズは、 \overline{CS} の立下がりエッジ後直ちに始まり、それによって SPI トランザクションが開始されます。このフェーズは、読出し/書込みビット (R/ \overline{W}) とそれに続くアドレス・ワードで構成されます。R/ \overline{W} をハイにセットすると読出し命令が選択され (図 54 参照)、R/ \overline{W} をローにセットすると書込み命令が選択されます (図 53 参照)。デフォルトでは、アドレス・ワードは 15 ビット長です (15 ビット・アドレス指定)。命令フェーズの間に送られるレジスタ・アドレスは、後続の読出しまたは書込み動作の開始アドレスの役割を果たします。

データ・フェーズ

図 53 および図 54 に示すように、命令フェーズの直後にデータ・フェーズが続きます。書込み命令の間、データは、SCK の立上がりエッジで SDI ピンを通じてデバイスにクロック入力され、選択したレジスタ位置に書き込まれます。反対に、読出し命令の間は、選択したレジスタ位置からのデータが、SCK の立下がりエッジで SDO ピンを通じてシフト・アウトされます。

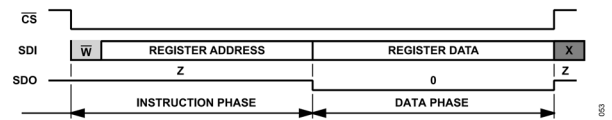


図 53. 基本的な SPI 書込みフレーム

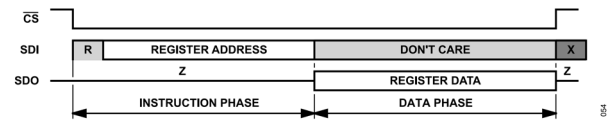


図 54. 基本的な SPI 読出しフレーム

データ・フェーズには、選択したレジスタおよびアクセス・モードに応じて、1 個のシングルバイト・レジスタ用、1 個のマルチバイト・レジスタ用、複数のレジスタ用のデータが含まれます。データ・フェーズでこれらのモードが読出しデータおよび書込みデータを構成する方法の詳細については、**単一命令モード**、**ストリーミング・モード**、**レジスタ・マップのアドレス方向**の各セクションを参照してください。

ユーザ設定レジスタの内容は、レジスタ・データの最後のビットをシフト・インする最後の SCK 立上がりエッジの直後に更新されます。シングルバイト・レジスタでは、これが生じるのは、データ・フェーズの 8 番目の SCK 立上がりエッジです。2 バイト・レジスタでは、これが生じるのは、データ・フェーズの 16 番目の SCK 立上がりエッジです。マルチバイト・レジスタのデータが更新されるタイミングの詳細については、**マルチバイト・レジスタ**のセクションを参照してください。

確実に更新が行われるよう、データは設定レジスタにフル・バイトで書き込む必要があります。SPI 書込みトランザクションのデータ・フェーズに、更新対象レジスタのデータ・バイトの一部しか含まれない場合、レジスタの内容は更新されず、INTERFACE_STATUS_A レジスタの CLOCK_COUNT_ERR ビットがセットされます。

SPI フレーム同期

\overline{CS} ピンは、ストリーミング・モードと単一命令モードの両方の SPI トランザクション中にデータをフレーム化します。 \overline{CS} の立下がりエッジで SPI トランザクションが開始されます。SPI トランザクション中に \overline{CS} がデアサートされると (ハイに戻ると)、データ転送の一部または全部が終了します。

- ▶ 命令フェーズの完了前に \overline{CS} がデアサートされると、トランザクションはアボートし、デバイスはレディ・ステートに戻ります。
- ▶ また、最初のデータ・ワード書込み前に \overline{CS} がデアサートされると、トランザクションはアボートし、デバイスはレディ・ステートに戻ります。
- ▶ 1 つ以上のデータ・ワードの書込み完了後または読出し完了後に \overline{CS} がデアサートされた場合、それらの完了したデータ・ワードについては書込みまたは読出しが行われますが、書込み途中のデータ・ワードはアボートされます。

図 2 に、SPI インターフェースを介したレジスタの読出しおよび書込みを実行するための詳細なタイミング図を示します。特定のタイミング仕様については、表 3 を参照してください。

デジタル・インターフェース

マルチバイト・レジスタ

AD5706R の一部の設定レジスタは、隣接するアドレスに格納される複数バイトのデータで構成され、マルチバイト・レジスタと呼ばれます。これらのレジスタは、すべて 2 バイト幅であり、以下が含まれます。

- ▶ DAC_INPUT_A_CHn
- ▶ FUNC_DAC_INPUT_B_CHn
- ▶ MULTI_DAC_INPUT_A_CHn
- ▶ DAC_DATA_READBACK_CHn

マルチバイト・レジスタへの書き込み時は、1 回の SPI トランザクションですべてのバイトにアクセスする必要があります。そのため、INTERFACE_CONFIG_C レジスタの STRICT_REGISTER_ACCESS ビットは読出し専用であり、1 にセットされます。マルチバイト・レジスタへの SPI 書き込みトランザクションをバイトごとに行おうとした場合、レジスタの内容は更新されず、INTERFACE_STATUS_A レジスタの REGISTER_PARTIAL_ACCESS_ERR ビットがセットされます。マルチバイト・レジスタへの書き込みトランザクションが完了するのは、レジスタ・データの最後のビットをシフト・インする、データ・フェーズの 16 番目の SCK 立上がりエッジの後です。

表 11. マルチバイト・レジスタ

Bit	MSB								LSB							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16	DATA [15:14] ¹		DATA [13:8]						DATA [7:0]							

¹ これらのビットは、FUNC_DAC_INPUT_B_CHn レジスタに指定されている場合、ディザ・モードにおいてはドント・ケアです。ディザ機能のセクションを参照してください。

デジタル・インターフェース

レジスタ・マップのアドレス方向

アドレス方向オプションは、1つのデータ・フェーズで複数バイトのデータにアクセスする場合に、アドレスが自動的にデクリメント（アドレスが減少）するかインクリメント（アドレスが増加）するかを制御します。例えば、マルチバイト・レジスタにアクセスする場合（図55および図56を参照）や、ストリーミング・モードで複数のレジスタにアクセスする場合などがこれに該当します。

アドレス方向は、INTERFACE_CONFIG_A レジスタの ADDR_ASCENSION ビットを用いて選択できます。ADDR_ASCENSION ビットを 0 に設定すると、バイトにアクセスするごとにアドレスがデクリメントします。ADDR_ASCENSION を 1 に設定すると、バイトにアクセスするごとにアドレスがインクリメントします。

SPI フレームのバイトの順序は、以下のように、ADDR_ASCENSION ビットに依存します。

- ▶ 降順アドレス指定：使用するアドレスは最上位バイトのアドレスとします。データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであり、後続の各バイトは次の下位アドレスのデータに対応します。
- ▶ 昇順アドレス指定：使用するアドレスは最下位バイトのアドレスとします。データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最下位バイトであり、後続の各バイトは次の上位アドレスのデータに対応します。

例えば、DAC_INPUT_A_CH0 レジスタは 2 バイト長であり、その最下位バイトのアドレスは 0x60、最上位バイトのアドレスは 0x61 です。ADDR_ASCENSION ビットがデクリメントに設定されている場合、アドレスは 0x61 で、最初のバイトは最上位バイトでなくてはなりません。レジスタの全リストについては、レジスタのセクションを参照してください。

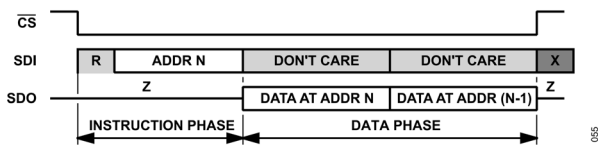


図 55. 降順アドレス指定でのマルチバイト・レジスタの読み出しアクセス

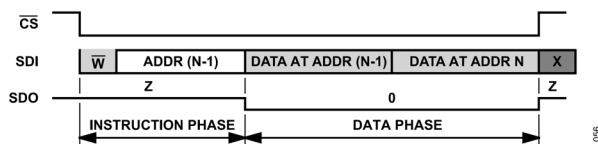


図 56. 昇順アドレス指定でのマルチバイト・レジスタの書き込みアクセス

マルチバイト・レジスタにアクセスする場合、降順アドレス指定を用いると、最初に最上位バイトをシフト・インします。アドレス方向はデフォルトで降順に設定されています。

ストリーミング・モード

INTERFACE_CONFIG_B レジスタの SINGLE_INST ビットが 0 に設定されると、単一命令モードが無効化され、ストリーミング・モードが有効になります。ストリーミング・モードでは、アドレスが隣接する複数のレジスタに単一の命令フェーズとデータ・フェーズでアクセスできるため、連続するメモリ領域に効率的にアクセスできます（例えば、デバイスの初期設定

時）。本デバイスは、デフォルトでストリーミング・モードに設定されています。

ストリーミング・モードの場合、各 SPI フレームは単一命令フェーズで構成され、後続のデータ・フェーズにはアドレスが隣接する複数のレジスタのデータが含まれます。デジタル・ホストは命令フェーズの開始レジスタ・アドレスを指定し、このアドレスは、データの各バイトにアクセスが行われた後、自動的にデクリメントまたはインクリメント（ADDR_ASCENSION ビットによる）します。そのため、データ・フェーズは複数バイト長となることがあり、読み出または書き込みデータの連続するバイトはそれぞれ、次の下位アドレス（降順アドレス方向の場合）または上位アドレス（昇順アドレス方向の場合）に対応します。

ストリーミング・モードで降順アドレスによりマルチバイト・レジスタに書き込みを行う場合は、命令フェーズでレジスタの最上位バイトからアドレス指定を行って開始し、データ・フェーズで最上位バイトから順にデータを提供する必要があります。反対に、ストリーミング・モードで昇順アドレスによりマルチバイト・レジスタに書き込みを行う場合は、命令フェーズでレジスタの最下位バイトからアドレス指定を行って開始し、データ・フェーズで最下位バイトから順にデータを提供する必要があります。

図 57 に、ストリーミング・モードで降順アドレスにより DAC 入力レジスタのすべてに書き込みを行う場合の命令フェーズとデータ・フェーズを示します。この例では、開始アドレスはアドレス 0x67 にある DAC_INPUT_A_CH3 レジスタの最上位バイトです。連続するアドレスに転送するデータ・バイトの数を決定するためには、CS が書き込みトランザクションの最後でハイ・レベルにならなくてはなりません（図 57 において、書き込みトランザクションはアドレス 0x60 の後に終了します）。

ストリーミング・モードで降順アドレスによりマルチバイト・レジスタから読み出しを行う場合は、最上位バイトから順にデータをリードバックします。ストリーミング・モードで昇順アドレスによりマルチバイト・レジスタから読み出しを行う場合は、最下位バイトから順にデータをリードバックします。

ストリーミング・モードにおけるループ動作

STREAM_MODE レジスタの LOOP_COUNT ビットは、複数バイトのデータをストリーミングする際、最初のレジスタ・アドレスにループ・バックするまでにインクリメント/デクリメントするレジスタ・アドレスの長さを設定します。ストリーミング・モードがアクティブで、かつ、このレジスタがクリアされている場合、レジスタ・アドレスは、アドレス空間の最後に達するまでインクリメントまたはデクリメントし、その後、メモリ・マップの最後または最初のアドレスにループし、インクリメントまたはデクリメントを続行します。ループ動作により、デジタル・ホストは一連のレジスタとの間で繰り返し効率的に読み出または書き込みを行うことができます。

LOOP_COUNT を 0 に設定すると、ループ動作は無効化され、次の状態になります。

- ▶ 降順アドレス指定：アドレス 0x00 に達するまでアドレスはデクリメントします。その後のバイト・アクセスでは、アドレスは使用可能な最大のバイト・アドレス値（0x77）に設定されます。
- ▶ 昇順アドレス指定：使用可能な最大のバイト・アドレス値（0x77）に達するまで、アドレスはインクリメントします。その後のバイト・アクセスでは、アドレスは 0x00 にリセットされます。

デジタル・インターフェース

LOOP_COUNT が 0 以外の値に設定されている場合はループ動作が有効化され、バイト・アドレスが命令フェーズでの指定アドレスにリセットされる前に単一データ・フェーズでのアクセス対象となるバイト数は、LOOP_COUNT の値によって設定されます。ループ・カウント値は、ループに含まれる実際のバイト数に一致していません。このバイト数は、アドレス指定されたレジスタの一部がマルチバイト・レジスタである場合、アドレス指定されたレジスタの数とは異なる可能性があります。

図 58 に、ストリーミング・モード時に 2 つの DAC 入力レジスタに降順アドレスでデータを書き込む例を示します。

命令フェーズのアドレスは 0x67 であり、LOOP_COUNT は 4 に設定されています。ただし、CS は 6 バイトの間ローに保持されており、トランザクションの開始時と終了時に DAC_INPUT_A_CH3 レジスタへの書込みが行われます。CS をデアサートすることによってトランザクションを終了するタイミングは、慎重に決定する必要があります。

不使用のレジスタおよび予約済みのレジスタを含む範囲のレジスタに書込みを行う場合は、ループ動作を伴うストリーミング・モードは使用しないようにしてください。

デフォルトでは、LOOP_COUNT は、命令の終了後に自動でクリアされます (LOOP_COUNT が適用されている場合)。プログラムされた値を無期限に保持する必要がある場合は、まず KEEP_STREAM_LENGTH_VAL ビットを 1 に設定してから LOOP_COUNT ビットをプログラムする必要があります。

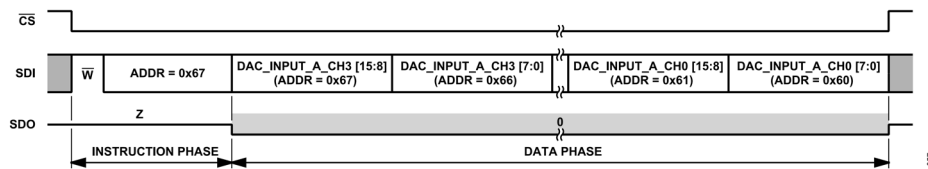


図 57. 降順アドレスでのストリーミング・モードのレジスタ書き込みアクセス (CRC エラー検出はディスエーブル)

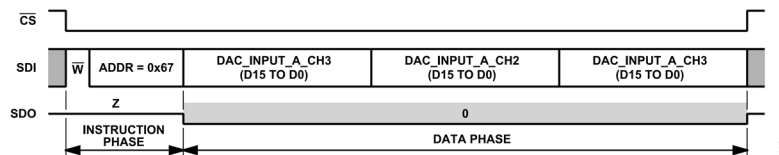


図 58. ループ動作および降順アドレスでのストリーミング・モードのレジスタ書き込みアクセス (LOOP_COUNT = 4)

デジタル・インターフェース

単一命令モード

INTERFACE_CONFIG_BレジスタのSINGLE_INSTビットが1に設定されている場合、ストリーミング・モードが無効化され、単一命令モードが有効になります。単一命令モードでは、データ・フェーズは単一レジスタのデータで構成され、 \overline{CS} がローのままであっても、各データ・フェーズの後には新しい命令フェーズを続ける必要があります。

単一命令モードを用いると、デジタル・ホストは、1つのSPIフレーム内の隣接しないアドレスのレジスタとの間で迅速に読出しや書込みができます。これとは反対に、ストリーミング・モードでは、新しい命令フェーズを開始するために \overline{CS} をハイにパルス駆動することなく、隣接レジスタとの間で読出しや書込みができるだけです。単一命令モード時に1つの同期フレーム内で複数のレジスタがアクセスされている場合、データ・フェーズのフレーム幅はレジスタのバイト・サイズに一致しています。そのため、SPIトランザクションは、15ビットのアドレス指定モードを仮定すると、1バイト・レジスタの場合24ビット幅、2バイト・レジスタの場合32ビット幅です。

図 59 に、次のレジスタ・アクセスを行う単一命令モードの SPI トランザクション例を示します。

1. 内部リファレンスをイネーブル (BANDGAP_CONTROL レジスタ)。
2. IOUT0 出力をイネーブル (OUT_OPERATING_MODE レジスタ)。
3. IOUT0 の出力範囲を設定 (OUT_RANGE_CH0 レジスタ)。
4. TEMP_WARN_STAT レジスタの読出し。

図 59 において、BANDGAP_CONTROL は 1 バイト・レジスタですが、OUT_OPERATING_MODE、OUT_RANGE_CH0、TEMP_WARN_STAT は 2 バイト・レジスタです。そのため、OUT_OPERATING_MODE、OUT_RANGE_CH0、TEMP_WARN_STAT を含むデータ・フェーズは、2 バイトであり、これらのデータ・フェーズの SPI トランザクションは 32 ビット幅になります。反対に、1 バイト・レジスタ BANDGAP_CONTROL の SPI トランザクションは 24 ビット幅です。

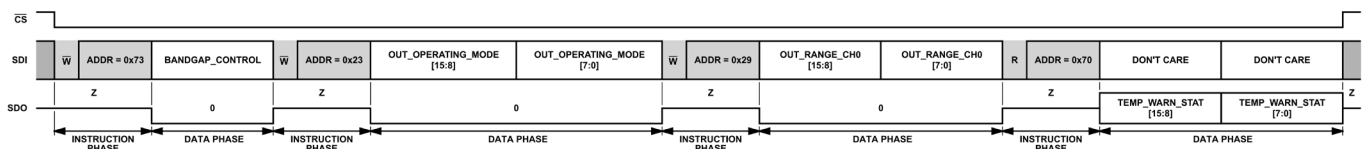


図 59. 降順アドレスでの単一命令モードのレジスタ・アクセス (CRC エラー検出はディスエーブル)

デジタル・インターフェース

デバイスのアドレス指定

WLCSP パッケージの AD5706R には 2 個のアドレス・ピン、A(1:0)があります。図 60 に示すように、4 個の固有アドレスを用いることにより、同じ SPI バスに最大 4 個のデバイスを保持できます。同じ SPI バスの各デバイスがアドレス・ピンに固有のデバイス・アドレスを持つよう注意が必要です。

いずれかの AD5706R と通信するために、SPI フレームの命令フェーズに 3 つの MSB ビット、A(14:12)があります。これは、図 2 および表 3 に示すデバイス・アドレスに対応しています。それによって、命令フェーズにおいて対応するアドレス・ビットを用いて特定のデバイスを選択して書き込むことができます。SDO ラインでデータを読み出すためには、SPI 読出しトランザクションで特定のデバイスをアドレス指定する必要があります。

アドレス 0x00~アドレス 0x11 にユーザ設定可能レジスタがあり、これらのレジスタには、命令フェーズでアドレス・ビットに設定された値を無視して、読出しや書込みができます。その他のレジスタについては、アドレス・ピンが命令フェーズのアドレス・ビットに一致しない場合、デバイスは SPI 読出しトランザクションおよび SPI 書込みトランザクションを無視します。

表 12. デバイス・アドレス指定の真理値表

Address Pins, A[1:0]	Device Identity	Address Bits, A[14:12], in Instruction Phase
00	0	000
01	1	001
10	2	010
11	3	011

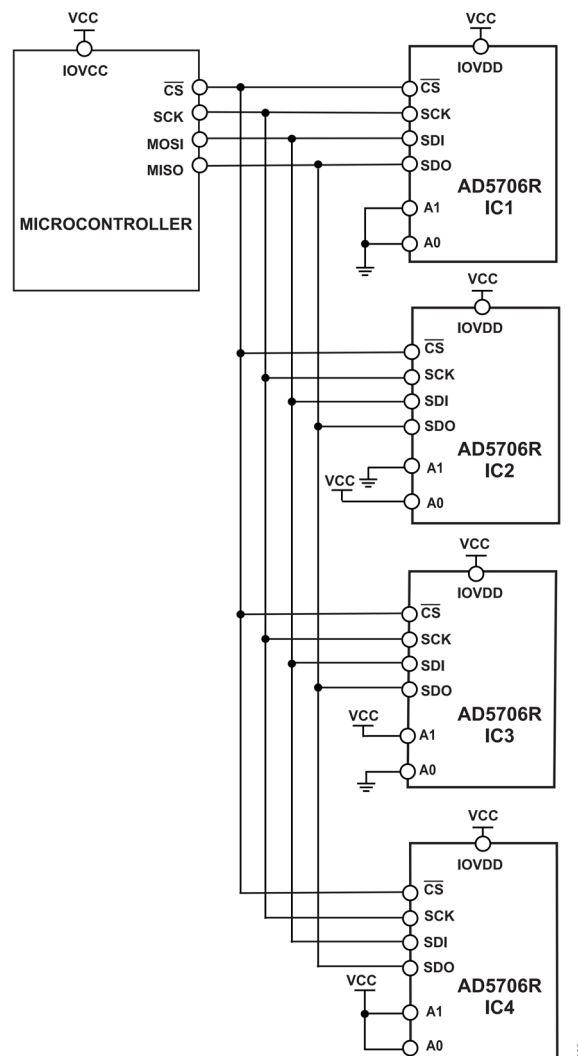


図 60. 1 つの SPI バスでの複数の AD5706R デバイスとの通信

デジタル・インターフェース

複数の AD5706R が同じ SPI バス、特に SDO ラインに接続されている場合、バスに接続された各デバイスの入力容量および PCB パターンの容量により、容量性負荷が増加します。この容量の増加により信号の遷移（立上がり時間および立下がり時間）が遅くなり、それが原因となって、ホストによる次のクロック・エッジでのサンプリングまでに SDO ラインのデータが安定化しない可能性があります。そのため、SDO が遷移後に安定化するための時間が増やせるよう、SCK 周波数を下げることが推奨します。

エラー検出

Interface_Status_A レジスタ

INTERFACE_STATUS_A レジスタには、デジタル・インターフェースに関連するすべてのステータス・ビットが含まれています。これらのステータス・ビットは、SPI トランザクションに関連するアクションに基づいて設定され、そのビット位置に 1 を書き込むことによって明示的にクリアされるまで、設定されたままになります。INTERFACE_STATUS_A レジスタの各ステータス・ビットは、デフォルトでイネーブルされています。

レジスタ不存在エラー

無効なレジスタ・アドレスにホストがアクセスしようとした場合、INTERFACE_STATUS_A レジスタの ADDRESS_INVALID_ERR ビットがセットされます。このエラーをクリアするには、このビットに 1 を書き込みます。

部分的レジスタ・アクセス・エラー

マルチバイト・レジスタが部分的に読み出された場合、INTERFACE_STATUS_A レジスタの REGISTER_PARTIAL_ACCESS_ERR ビットがセットされます。これは、マルチバイト・レジスタの全バイトへのアクセスが完了しないうちにトランザクションが終了したことを示すものです。このエラーをクリアするには、REGISTER_PARTIAL_ACCESS_ERR ビットに 1 を書き込みます。

読み出し専用レジスタへの書き込みエラー

ホストが読み出し専用レジスタに書き込みを行おうとした場合、INTERFACE_STATUS_A レジスタの WR_TO_RD_ONLY_REG_ERR ビットフィールドがアサートされます。このエラーをクリアするには、WR_TO_RD_ONLY_REG_ERR ビットに 1 を書き込みます。

CRC 無効/CRC なし受信エラー

CRC がイネーブルされており、SPI トランザクションの CRC バイトがないか計算値と一致しない場合、INTERFACE_STATUS_A レジスタの CRC_ERR ビットがセットされます。このエラーをクリアするには、このビットに 1 を書き込みます。なお、CRC がイネーブルされているので、続行するには SPI トランザクションに有効な CRC コードがある必要があります。

クロック・カウント・エラー

CLOCK_COUNT_ERR ビットでレポートされるエラーは、SCK サイクルの数が 8 の整数倍のビットをシフトするのに必要な量に一致しない場合に生成されます。このエラーをクリアするには、このビットに 1 を書き込みます。

インターフェース準備未完了ステータス

INTERFACE_STATUS_A レジスタの NOT_READY_ERR ビットは、ステータス・ビットであり、エラーではありません。このビットは、デバイスがホストからのデータを受け取れる状態にあるかどうかを判定するためにポーリングされます。このビットは、読み出された 1 を書き込んでクリア (R/W1C) のタイプのビットであり、1 を書き込むことによってクリアできます。

命令フェーズ時のデバイスのステータス

本デバイスには、主要なステータス・ビットをすべて含む内部ステータス・レジスタがあり、トランザクション時にこれを SPI フレームに付加できます。内部ステータス・レジスタのステータス・ビットは、INTERFACE_STATUS_A レジスタ・ビットおよび TEMP_WARN_STATUS レジスタ・ビットに割り当てられます。INTERFACE_CONFIG_C レジスタの SEND_STATUS ビットがイネーブルされている場合、ステータス・レジスタの内容は、図 61 に示すように SDO ピンで読み出されます。割り当てられたレジスタを読み出すために別々に SPI コマンドを発行するのを避けるために、この機能を 1 つのデバイスで用いることを推奨します。この機能は、同じ SPI バスを共用する複数のデバイスで使用すべきではありません。

TEMP_WARN_INT_EN レジスタを用いると、個々のステータス・ビットがステータス・レジスタに影響しないようにブロックできます。ステータス・レジスタのすべてのビットは読み出し専用であり、これらのビットは、実際のステータス・ビットとその対応するマスク・フィールド（存在する場合）の論理積の値を表します。なお、INTERFACE_STATUS_A レジスタのビットには対応するマスク・ビットがない点に注意してください。実際のステータス・ビットは R/W1C タイプのビットであり、それらのアサートをトリガしたイベントが存在しなくなった場合にのみクリアできます。

内部ステータス・レジスタは 16 ビット幅であり、表 13 にその説明が記載されています。ステータス・レジスタから読み出される内容は、INTERFACE_CONFIG_B レジスタの SHORT_INSTRUCTION ビットによって決まります。SHORT_INSTRUCTION が 1 にセットされている場合は、ステータス・レジスタのビット[7:0]が SPI SDO で読み出されます。SHORT_INSTRUCTION が 0（15 ビットのアドレス指定）にセットされている場合は、ステータス・レジスタのビット[15:0]が SPI SDO で読み出されます。

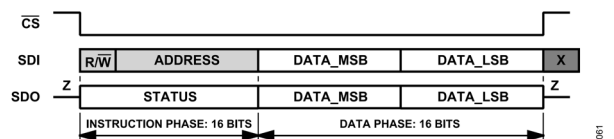


図 61. SEND_STATUS ビットがイネーブルされ 15 ビット・アドレス指定モードになっている場合の SPI トランザクションのフェーズ

表 13. 内部ステータス・レジスタ・ビットの詳細

Bit Position	Status Bit	Register Name
0	TEMP_WARN_FLAG_CH0	TEMP_WARN_STAT
1	TEMP_WARN_FLAG_CH1	TEMP_WARN_STAT
2	TEMP_WARN_FLAG_CH2	TEMP_WARN_STAT
3	TEMP_WARN_FLAG_CH3	TEMP_WARN_STAT
4	ORed logic of interface error bits	INTERFACE_STATUS_A
5 to 15	0	Not applicable

デジタル・インターフェース

巡回冗長検査 (CRC) エラーの検出

本デバイスには CRC オプションがあるため、デジタル・ホストと AD5706R の間の SPI トランザクションでエラー検出が可能です。

CRC エラー検出を用いることで、SPI のホストとその従属デバイスは、ビット転送エラーを高い信頼度で検出できます。CRC アルゴリズムでは、シード値と多項式除算を使用して CRC チェックサムを生成します。ホストと従属デバイスの双方で個別に CRC チェックサムを計算し、転送されたデータの有効性を判定します。

本デバイスは次の多項式を除数とする CRC-8 の手法を用います。

$$x^8 + x^2 + x + 1 \quad (7)$$

CRC エラー検出をイネーブルするには、INTERFACE_CONFIG_C レジスタの CRC_ENABLE ビットと CRC_ENABLEB ビットを用います。CRC_ENABLE の値が更新されるのは、同じレジスタ書き込み命令で CRC_ENABLEB が CRC_ENABLE の反転値に設定されている場合のみです。したがって、CRC をイネーブルするには、CRC_ENABLE を 2'b01 に設定すると共に、同じ書き込みトランザクションで CRC_ENABLEB を 2'b10 に設定する必要があります。なお、複数のデバイスが同じ SPI バスを共用している場合は、CRC エラー検出をイネーブルしてはなりません。

CRC をディスエーブルするには、CRC_ENABLE を 2'b00 に設定すると共に、同じ書き込みトランザクションで CRC_ENABLEB を 2'b11 に設定します。2 つの別々のフィールドに反転した値を書き込むことで、CRC が誤ってイネーブルされる可能性を低減できます。 \overline{CS} はイネーブル/ディスエーブルの書き込み後にハイ・レベルにする必要があります。最初の CRC コードは、レジスタの書き込み/読出しデータの直後に含める必要があります。CRC をディスエーブルするレジスタ書き込みトランザクションでは、SDI に関する CRC コードも含まれていなければなりません、その後続くトランザクションに CRC コードを含める必要はありません。

図 62 および図 63 に、デジタル・ホストまたは本デバイスがデータを検証するために、それぞれ書き込み時または読出し時に CRC コードがどのように付加されるのかを示します。レジスタ書き込みの場合は、式 7 に示す計算を使ってホストが CRC を生成する必要があります。レジスタ読出しの場合は、ホストは本デバイスによってチェックされる正しい CRC バイトを送信する必要があります。送信データの最初のバイトは CRC 計算に使われます。そのため、0x00 の値を推奨します。同じ読出しトランザクションで、本デバイスはデジタル・ホストが検証するための CRC コードを供給します。

CRC エラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRC コードはレジスタ・データの全バイトの後ろに配置されます。

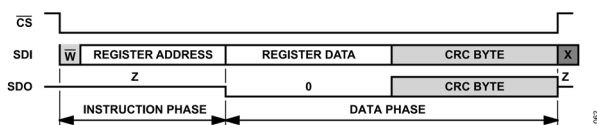


図 62. 基本的な SPI 書き込みフレーム
(CRC エラー検出をイネーブル)

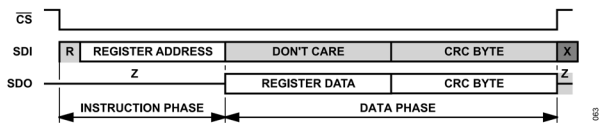


図 63. 基本的な SPI 読出しフレーム
(CRC エラー検出をイネーブル)

CRC エラー検出がイネーブルされている場合、本デバイスは、SDI のレジスタ・データの最後で有効な CRC コードを受け取るまで、レジスタ書き込みトランザクションに 응답してレジスタの内容を更新することはありません。CRC コードが無効であったり、デジタル・ホストが CRC コードを送信できなかったりした場合、本デバイスはそのレジスタの内容を更新せず、INTERFACE_STATUS_A レジスタの CRC_ERR フラグをセットします。CRC_ERR フラグは R/WIC タイプのビットです。また、「書き込んでクリア」を有効にするためには正しい CRC が必要です。

CRC コードの計算で使用するシード値とその送信方法を、単一命令モードおよびストリーミング・モードの両方について表 14 に示します。単一命令モードを使用する場合、SPI フレーム内のどの CRC コードもシード値として 0xA5 を使い、アドレス 0x0000 で縮退故障状態が発生するのを防止します。

ストリーミング・モードを使用する場合、SPI フレームの最初の CRC コードもシード値として 0xA5 を用いますが、同じフレーム内の後続の CRC コードの計算には、昇順アドレス・モードか降順アドレス・モードかに応じて、SPI トランザクションでアクセスするレジスタ・アドレスの最下位バイトをシード値として用います。

図 64 に、最初の SPI トランザクションで CRC がイネーブルされ、読出しトランザクション時は本デバイスによって、書き込みトランザクション時はホストによって CRC コードが供給されている例を示します。この例では、本デバイスは、降順アドレスの単一命令モードに設定されています。この例は以下のシーケンスを示しています。

- INTERFACE_CONFIG_C レジスタに 0x62 のレジスタ書き込みを行い、CRC をイネーブルします。
 - 命令フェーズ：アドレス 0x10 (書き込み)
 - データ・フェーズ：値 0x62
 - CRC コード：シード値 0xA5 とデータ 0x62 を用いて計算
- \overline{CS} がハイのパルスを出力します。
- 降順アドレス・モードにおいて、OUT_RANGE_CH0 レジスタ (アドレス 0x29 に最上位バイトを持つマルチバイト・レジスタ) にレジスタ書き込みを行います。
 - 命令フェーズ：アドレス 0x29 (書き込み)
 - データ・フェーズ：OUT_RANGE_CH0 の値 (最上位バイト・ファースト)
 - CRC コード：シード値 0xA5 と OUT_RANGE_CH0 のデータを用いて計算
- INTERFACE_CONFIG_C レジスタに 0x23 のレジスタ書き込みを行い CRC をディスエーブルしますが、CRC コードはまだ供給されています。
 - 命令フェーズ：アドレス 0x10 (書き込み)
 - データ・フェーズ：値 0x23
 - CRC コード：シード値 0xA5 とデータ 0x23 を用いて計算
- \overline{CS} をハイにします。

デジタル・インターフェース

CRC エラー検出がイネールされている場合、アドレス指定されたレジスタの範囲に不使用および予約済みのレジスタがあると、ループを含めストリーミング・モードを使用することはできません。特にマルチバイト・レジスタに対する、ストリーミング・モードでの書き込みおよび読出し SPI トランザクションの例については、[図 65](#) および [図 66](#) を参照してください。

きません。特にマルチバイト・レジスタに対する、ストリーミング・モードでの書き込みおよび読出し SPI トランザクションの例については、[図 65](#) および [図 66](#) を参照してください。

表 14. CRC シード値表

SPI Transaction Type	Pin	Single Instruction Mode	Streaming Mode	
			First Data Phase	Subsequent Data Phases
Read	SDI	CRC seed = 0xA5, instruction phase, write data = 0x00	CRC seed = 0xA5, instruction phase, write data = 0x00	Write data = 0x00 to the least significant byte of address, CRC byte sent after each multibyte register
	SDO	CRC seed = 0xA5, instruction phase, read data	CRC seed = 0xA5, instruction phase, read data	Read data from the least significant byte of address, CRC byte received after each multibyte register
Write	SDI	CRC seed = 0xA5, instruction phase, write data	CRC seed = 0xA5, instruction phase, write data	Write data to the least significant byte of address, CRC byte sent after each multibyte register
	SDO	CRC seed = 0xA5, instruction phase, read data = 0x00	CRC seed = 0xA5, instruction phase, read data = 0x00	Read data = 0x00, CRC byte received after each multibyte register

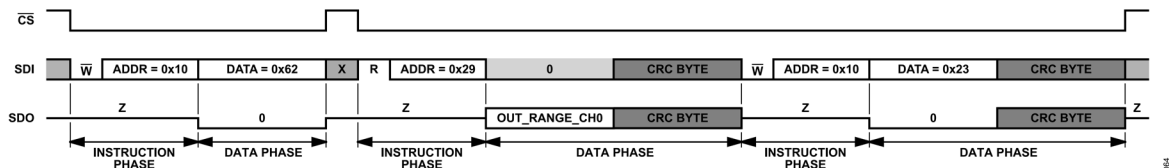


図 64. CRC コードの SPI トランザクションの例（降順アドレス指定、単一命令モード）

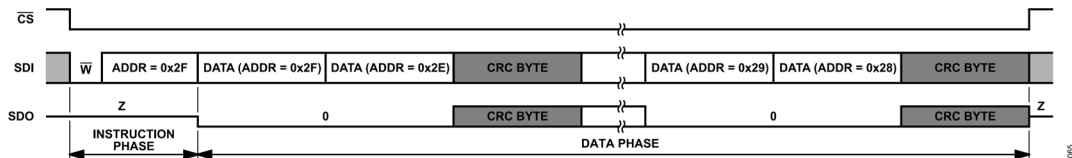


図 65. CRC イネール時のマルチバイト・レジスタに対するストリーミング・モードにおける SPI 書き込みトランザクションの例（降順アドレス指定）

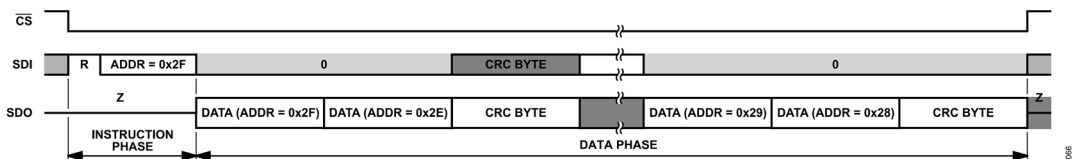


図 66. CRC イネール時のマルチバイト・レジスタに対するストリーミング・モードにおける SPI 読出しトランザクションの例（降順アドレス指定）

デジタル・インターフェース

加熱警告アラート

動作時の加熱発生による損傷からデバイスを保護するために、本デバイスでは、各 IDAC チャンネルに加熱警告アラート機能を備えています。内部ダイ温度が約 125°C に達すると、TEMP_WARN_STAT レジスタの TEMP_WARN_FLAG_CHx ビットが 1 にセットされます。TEMP_WARN_STAT レジスタの TEMP_WARN_FLAG_CHx ビットは、R/WIC タイプのビットであり、1 を書き込むとクリアできます。確実に内部メモリから正しいデータをダウンロードできるようにするため、ステータス・レジスタの TEMP_WARN_FLAG_CHx ビットが 1 にセットされた場合には、リセット機能を実行しないでください。

TEMP_WARN_INT_EN レジスタのマスク・ビットを用いると、TEMP_WARN_STAT レジスタの対応する TEMP_WARN_FLAG_CHx ビットをマスクできます。デフォルトでは、TEMP_WARN_FLAG_CHx ビットはディスエーブルされています。

これらのステータス・ビットは、いずれかの SPI トランザクションの命令フェーズの間に、INTERFACE_CONFIG_C レジスタの SEND_STATUS ビットを通じて送信することもできます。詳細については、[命令フェーズ時のデバイスのステータスのセクション](#)を参照してください。

加熱警告アラートに基づく自動シャットダウン機能はありません。TEMP_WARN_STAT レジスタを読み出して加熱警告アラートに応答することを推奨します。

デバイスのリセット

本デバイスには、リセットを実行するために次の 3 つのオプションがあります。

1. ハードウェア・リセット：すべてのユーザ設定レジスタを、[レジスタのセクション](#)のリストに記載されているデフォルト値にリセットします。
2. SPI 書き込みによるソフトウェア・リセット：INTERFACE_CONFIG_A レジスタ以外のすべてのユーザ設定レジスタをリセットします。
3. パワーオン・リセット (POR)：POR 信号は、AVDD 電源電圧が 2.4V の公称スレッショルドを初めて超えたときに生成されます。AVDD 電源がこのスレッショルド未満に低下すると、POR はユーザ・プログラマブル・レジスタをリセットします。

ハードウェア・リセットは $\overline{\text{RESET}}$ ピンの立下がりエッジで開始され、 $\overline{\text{RESET}}$ ピンがローになっている限り、本デバイスはリセット状態を維持します。[図 4](#) に、ハードウェア・リセットのタイミング図を示します。また、[図 4](#) および [表 3](#) で $t_{\text{RESET_PW}}$ と表されている最小の $\overline{\text{RESET}}$ パルス幅も示します。

ソフトウェア・リセットは、INTERFACE_CONFIG_A レジスタの SW_RESET ビットと RESET_SW ビットの両方を同じデータ・フェーズで 1 に設定することにより開始されます。[図 5](#) にソフトウェア・リセットのタイミング図を示します。

POR イベントを含むいずれかのリセット・イベントが発生すると必ず、DIGITAL_STATUS レジスタの RESET_OCCURRED ビットが 1 にセットされます。このビットは R/WIC タイプであり、1 を書き込むことによってクリアできます。

本デバイスは、リセット・イベントとレジスタの読み出し/書き込みトランザクションの間に 200 μ s 以上の時間が必要です。この時間は、[表 3](#) の $t_{\text{RESET_DELAY}}$ で表され、それを [図 4](#) および [図 5](#) に図示します。デバイスの準備が整う前に SPI トランザクションが試行された場合、成功しない可能性があり、INTERFACE_STATUS_A レジスタの NOT_READY_ERR ビットがセットされます。このビットも R/WIC タイプです。

初期化の終了を検証するには、INTERFACE_STATUS_A レジスタの NOT_READY_ERR ビットと DIGITAL_STATUS レジスタの POWERUP_COMPLETED ビットをチェックします。エラー・ビットのフラグがセットされた場合は、デバイス・リセットを実行してください。

スクラッチパッド・レジスタおよびユーザ・スペア・レジスタ

本デバイスは、専用の SCRATCH_PAD レジスタ (アドレス 0x0A) 1 つと、4 つの USER_SPARE レジスタ (アドレス 0x74~アドレス 0x77) を、それぞれが 8 ビット (1 バイト) 幅で備えています。これらのレジスタは一時的なデータ・ストレージを目的としており、このレジスタによって、中間値を柔軟に処理できるようになり、外部メモリへの依存度が低減できます。ユーザは、デバイスに副次的な影響を及ぼすことなく、これらの場所で書き込みや読み出しができます。

デバイスの識別

以下のレジスタに AD5706R に関する識別情報が格納されています。

- ▶ アナログ・デバイスズを本デバイスのベンダとして識別する VENDOR レジスタ
- ▶ 本デバイスが属するアナログ・デバイスズ製品のカテゴリを識別する CHIP_TYPE レジスタ
- ▶ デバイスを識別するために CHIP_TYPE と併用する PRODUCT_ID レジスタ
- ▶ デバイスのリビジョンと性能グレードを記録する CHIP_GRADE レジスタ
- ▶ SPI インターフェースのリビジョンに関する情報を格納する SPI_REVISION レジスタ

本デバイスは次のように指定されています。

- ▶ VENDOR_ID = 0x0456
- ▶ CHIP_TYPE = 0x08
- ▶ PRODUCT_ID = 0x4130
- ▶ CHIP_GRADE = 0x0
- ▶ SPI_REVISION = 0x85

DAC の動作

AD5706R の各チャンネルの DAC コアには、DAC コード用にダブル・バッファされたレジスタがあります。各チャンネルのデータは、非同期の DAC 更新の場合は DAC レジスタに直接書き込めます。または DAC 出力を変更せずに入力レジスタ (DAC_INPUT_A_CHn または FUNC_DAC_INPUT_B_CHn) に書き込むこともできます。LDAC ピンまたは DAC_SW_LDAC ビットを介してデバイスにロード DAC コマンドを発行すると、入力レジスタの内容が DAC レジスタに転送され、DAC 出力が更新されます。

各 DAC チャンネルには、ユーザ・プログラマブルなイネーブル・ビット、OUT_OP_MODE_CHn があります。いずれかのチャンネルのイネーブル・ビットを 0 にセットすると、対応するチャンネルの出力がシャットダウンし高インピーダンス状態になります。これらのイネーブル・ビットは、OUT_OPERATING_MODE レジスタにあります。パワーアップ時にはすべての DAC チャンネル・コアがイネーブルされます。

DAC レジスタ (データおよび入力)

各 DAC チャンネルには、関連する 16 ビットの DAC_DATA_READBACK_CHn レジスタ、DAC_INPUT_A_CHn レジスタ、FUNC_DAC_INPUT_B_CHn レジスタがあります。

- ▶ DAC_DATA_READBACK_CHn は読み出し専用レジスタであり、ここでは、DAC コアにロードされるデコードされていない DAC コードが格納されています。
- ▶ DAC_INPUT_A_CHn レジスタは、ロード DAC 機能を通じて後に DAC_DATA_READBACK_CHn レジスタにロードできる DAC データを格納するために用いられます。また、トグル機能やディザ・トーン発生機能にも使用できます。
- ▶ 最後に、FUNC_DAC_INPUT_B_CHn レジスタは、トグル DAC 機能やディザ・トーン発生機能に用いることのできる DAC データを格納するために用いられます。

IOUT 出力段

本デバイスは、出力レンジを選択できる、クワッドチャンネルの電流出力 DAC です。電流出力レンジの全セットは SPI プログラムを介してのみ使用できます。各 DAC チャンネルは、50mA、150mA、200mA、300mA の 4 つの電流レンジに対応するプログラマブルな電流出力段を備えています。パワーアップ時には、IOUT0~IOUT3 の出力段がシャットダウン・モードになります。

フルスケール電流レンジは、チャンネルごとに OUT_RANGE_CH ビットを通じて選択されます。パワーアップ時、本デバイスは、すべてのチャンネル出力 (IOUT0~IOUT3) をオフ・モード (高インピーダンス・モード) で初期化します。その後、表 15 および図 67 に示すように、各チャンネルのレンジとコードは、OUT_RANGE_CHn レジスタ (アドレス 0x28~アドレス 0x2F) への SPI 書き込みを通じて完全にプログラム可能になります。

表 15. 出力レンジ

OUT_RANGE_CH Bits	Output Current Range
2'b00	50mA
2'b01	150mA
2'b10	200mA
2'b11	300mA

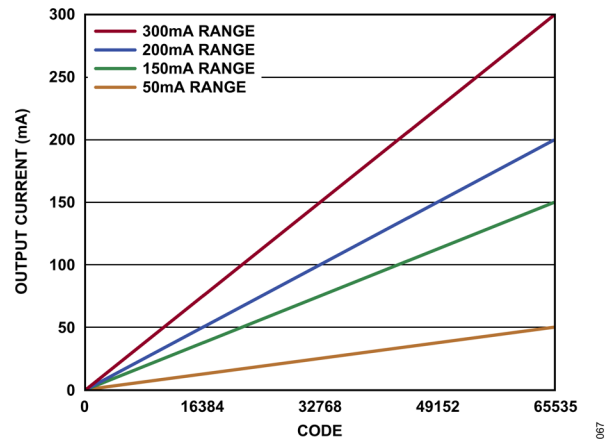


図 67. 16 ビット IDAC の伝達関数

高インピーダンス・モードの IOUT

パワーアップ時、またはデバイス・リセット時、各チャンネルの出力は高インピーダンス (オフ) モードであり (デフォルト)、DAC コアはアクティブです。また、各チャンネルには内部グラウンド・スイッチがあり、ここで 10Ω (代表値) の内部スイッチを通じて出力が GND に短絡されます。DAC のグラウンド・スイッチが閉じられる前に、関連するチャンネルの DAC 出力が高インピーダンスに設定され、GND スwitchのバーンアウトを防止します (ブレイク・ビフォア・メーク・トポロジ)。ただし、各 IDAC チャンネルのバイアス回路はパワーアップされたままであり、出力のみがオフ状態になるか、あるいは GND に接続されます。

ユーザは、SPI 書き込みまたは OUT_EN ピンを通じて、DAC 出力段を制御できます。DAC チャンネルの出力モードを変更する場合、そのチャンネルの出力段を高インピーダンスに設定して、出力のグリッチを防止する必要があります。各チャンネルの出力イネーブル機能は、OUT_OP_MODE_CHn、OUT_SWITCH_EN_CHn、HW_SHUTDOWN_EN_CHn という特定のレジスタ・ビットによって制御されます。これらのビットは、出力段を高インピーダンス状態に設定するか、またはグラウンドに接続します。特定の使用事例では、ホスト・コントローラが、システムにある AD5706R などのデバイスのアラームや他のフォルト・ステータスを読み出し、それに応じて OUT_EN ピンの制御または SPI 書き込みを通じて DAC 出力段のステータスを決定する場合があります。また、ユーザは、OUT_EN ピンを AVDD と GND の間の抵抗分圧器のジャンクションに接続し、AVDD のフォルトによって DAC 出力をディスエーブルさせることができます。表 16 に記載されているように、各チャンネルの出力状態用に特定のビットフィールド名がありません。

図 6 および図 7 に、所定の IOUTx チャンネルのシャットダウン機能に関連するタイミングを示します。

DAC の動作

表 16. 高インピーダンス・モードでの出力とグラウンド・スイッチの制御

Mode	Register Configuration	OUT_EN Pin	DAC_DATA_Read-back_CHn Register	DAC Channel GND Switch	DAC Channel Output
Normal (SW)	OUT_OP_MODE_CHn = 1 OUT_SWITCH_EN_CHn = x HW_SHUTDOWN_EN_CHn = 0 (default)	x	Retained	Open	Normal
SW Shutdown	OUT_OP_MODE_CHn = 0 (default) OUT_SWITCH_EN_CHn = 0 (default) HW_SHUTDOWN_EN_CHn = x	x	Retained	Open	High-Z
SW Shutdown with GND Switch	OUT_OP_MODE_CHn = 0 (default) OUT_SWITCH_EN_CHn = 1 HW_SHUTDOWN_EN_CHn = x	x	Retained	Closed	High-Z
Normal (HW)	OUT_OP_MODE_CHn = 1 OUT_SWITCH_EN_CHn = x HW_SHUTDOWN_EN_CHn = 1	1	Retained	Open	Normal
HW Shutdown	OUT_OP_MODE_CHn = 1 OUT_SWITCH_EN_CHn = 0 (default) HW_SHUTDOWN_EN_CHn = 1	0 (default)	Retained	Open	High-Z
HW Shutdown with GND Switch	OUT_OP_MODE_CHn = 1 OUT_SWITCH_EN_CHn = 1 HW_SHUTDOWN_EN_CHn = 1	0 (default)	Retained	Closed	High-Z

IOUT のコンプライアンス電圧

各 IOUTx ピンが電流をソースする場合、それぞれの正電源 PVDDx に必要な電圧ヘッドルーム要件を満たす必要があります。フルスケールでソースする場合のヘッドルームの最低電圧は、表 1 において出力コンプライアンス電圧として記載されています。

DAC の更新モード

AD5706R では、様々な方法で DAC チャンネルを更新できます。ほとんどの DAC 更新動作には、デバイスへの SPI 書き込みが必要です。また、レジスタ・モードで各 DAC データ・レジスタをロードした後、LDAC ピン機能を用いて DAC を更新することもできます。LDAC ピンを使用する DAC 更新には、ハードウェア LDAC、ハードウェア・トグル (TGP)、正弦波ディザ・モード (DCK) の各機能が用いられます。

表 23 に、本セクションと後続のサブセクションで説明する DAC 更新モードをまとめます。説明されているすべての DAC 更新モードは、各出力段がイネーブルされていることを前提としています。

DAC 機能の制御

FUNC_EN レジスタの FUNC_EN_CHn ビットフィールドおよび FUNC_MODE_SEL レジスタの FUNC_MODE_CHn ビットフィールドは、各 DAC チャンネルでどの DAC 更新機能を一度にアクティブにするかを制御するために用いられます。

FUNC_EN_CH が 1'b0 の場合、ロード DAC 機能のみが有効化されます。DAC 機能の選択は FUNC_MODE_CH ビットフィールドを用いて行うことができます。ただし、FUNC_EN_CH ビットフィールドに 1'b1 を書き込むことによるのみ、選択した DAC 機能を有効化できます。

また、FUNC_EN_CH が 1'b1 の場合、対応する FUNC_MODE_CH に書き込んでも、FUNC_MODE_CH の値は更新されず、実質的に、選択した機能にその時点のモードをロックできます。例えば、チャンネルがトグル・モードに設定されており、ディザ・トーン発生モードに切り替える必要がある場合、まず、FUNC_EN_CH ビットに 1'b0、FUNC_MODE_CH ビットに 1'b1、FUNC_EN_CH ビットに 1'b1 を順次書き込み、トグル DAC 機能からディザ・トーン発生機能に切り替えます。前のシーケンスで FUNC_EN_CH ビットへの最後の書き込みを行わないと、トグル DAC 機能が保持されます。

これらの機能、つまり、ロード DAC 機能、トグル DAC 機能、ディザ・トーン発生機能は、互いに論理的に排他的です。つまり、特定のチャンネルで 1 つの機能がアクティブになっている場合、それ以外の 2 つの機能はアクティブではありません。これらの機能は、LDAC ピンを使用するか SPI 書き込みコマンドを使用することによって、実行できます。すべての DAC 機能は、各 DAC チャンネルの出力段がイネーブルされていることが前提になっています。以下の表 17 の FUNC_EN_CH ビットと FUNC_MODE_CH ビットの定義を参照してください。

表 17. DAC 機能の制御ビット

FUNC_EN_CH bit	FUNC_MODE_CH bit	Function
1'b0 (default)	x	Load DAC
1'b1	1'b0 (default)	Toggle DAC
1'b1	1'b1	Dither tone generation

グローバル・ソフトウェアおよびハードウェア・トリガ

すべてのチャンネルは、それぞれのソフトウェア・モードおよびハードウェア・モードごとに、同じトリガを共有します。例えば、SW LDAC、SW トグル、SW ディザは、DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドへの 1'b1 の

DAC の動作

SPI 書込みのトリガを共有します。つまり、チャンネルは互いに独立しており、対応する SW モード機能をただ 1 つの SPI 書込みでトリガします。これは、HW トリガである LDAC、TGP、DCK についても同じです。このことは、上述の 3 つの信号が同じピンを共有しているため、AD5706R に当てはまります。

したがって、SW トリガは HW モードのチャンネルをトリガできず、またその逆も同様です。

ロード DAC 機能

DAC チャンネルは、ロード DAC 機能を用いて更新できます。ロード DAC 機能には、図 68 に示すように、非同期ロード、ハードウェア LDAC (LDAC ピンを使用)、ソフトウェア LDAC (DAC_SW_LDAC レジスタへの SPI 書込みを使用) の 3 つのモードがあります。AD5706R の場合、LDAC ピンは、TGP (トグル) ピンおよび DCK (ディザ・クロック) ピンと共有されます。

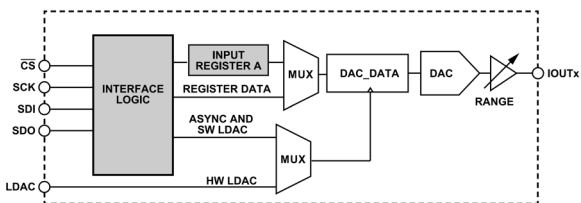


図 68. ロード DAC 機能

表 18. ロード DAC 機能の設定

FUNC_EN_CH n bit	FUNC_MODE _CHn bit	LDAC_SYNC		DAC Function
		_ASYNC_CH n bit	LDAC_HW_S W_CHn bit	
1'b1	x	x	x	None are active
1'b0 (default)	x	0 (default)	x	Only asynchronous load is active
1'b0 (default)	x	1	0 (default)	Only HW LDAC is active
1'b0 (default)	x	1	1	Only SW LDAC is active

ロード DAC 機能は、デフォルトで有効化されています。あるいは、対応する FUNC_EN レジスタで、各チャンネルに割り当てられた FUNC_EN_CH ビットフィールドに 1'b0 を書き込むことによって有効化されます。ロード DAC モード時は、LDAC_SYNC_ASYNC レジスタの LDAC_SYNC_ASYNC_CHn ビットフィールド、および、LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドを用いて、どのモードをアクティブにするかを選択できます。表 18 を参考にしてください。

以下のサブセクションでは、ロード DAC 機能のいくつかのモードについて説明します。

非同期ロード DAC

非同期ロード DAC 更新では、DAC_INPUT_A_CHn レジスタに書き込むと、書き込んだデータが直ちに、そのチャンネルの対応する DAC_DATA_READBACK_CHn レジスタに送られ、DAC 更新がトリガされます。図 8 に示すように、DAC 出力は、最後の SCK 立上がりエッジ (データ・フェーズの SCK の 16 番目の立上がりエッジ) 後に更新されます。非同期ロード DAC モードでは、FUNC_DAC_INPUT_B_CHn レジスタに書き込みを行っても、DAC_DATA_READBACK_CHn レジスタ、または各チャンネルの DAC 出力には影響しない点に注意してください。

ソフトウェア LDAC (SPI 書込み)

ソフトウェア LDAC (SW LDAC) モードでは、ロード DAC 動作へのトリガとして、DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 の SPI 書込みを使用します。これは、各チャンネルの LDAC_SYNC_ASYNC レジスタの LDAC_SYNC_ASYNC_CHn ビットフィールドに 1'b1、LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに 1'b1 を書き込むことにより、チャンネルごとにイネーブルできます。

SW LDAC モードでは、DAC_SW_LDAC レジスタで 1 つのチャンネルの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 を書き込むと、その DAC_INPUT_A_CHn レジスタに現在書き込まれているデータが、対応する DAC_DATA_READBACK_CHn レジスタに転送されます。それによって、DAC 更新がトリガされます。図 9 を参照してください。

複数チャンネルの DAC_SW_LDAC_CHn に 1'b1 を書き込むことによっても、それぞれの SW LDAC 機能をトリガできます。DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 を書き込むと、別の SW モード (SW トグルおよび SW ディザ) になっているチャンネルも、それぞれの対応する SW 機能をトリガする点に注意してください。

DAC_SW_LDAC_CHn ビットフィールドは、レジスタに 1'b1 を書き込むと自動でクリアされます。そのため、DAC_SW_LDAC レジスタをリードバックしても 0 が返されるのみです。

ハードウェア LDAC (LDAC ピン)

ハードウェア LDAC (HW LDAC) モードでは、LDAC ピンをロード DAC 動作のトリガとして使用します。これは、各チャンネルの LDAC_SYNC_ASYNC レジスタの LDAC_SYNC_ASYNC_CHn ビットフィールドに 1'b1、LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに 1'b0 を書き込むことにより、チャンネルごとにイネーブルできます。このモードの機能は次のとおりです。

- ▶ アイドル・ハイ/ロー: LDAC ピンがハイまたはローに保持されている間、データは、DAC 更新をトリガせずに DAC_INPUT_A_CHn レジスタに書き込むことができます。
- ▶ アクティブ・エッジ: HW LDAC のアクティブ・エッジは、LDAC_EDGE_SEL レジスタの LDAC_HW_EDGE_SEL_CHn ビットフィールドを通じて選択されます。これは他の HW トリガ (トグル、ディザ) にも当てはまります。表 19 を参考にしてください。

DAC の動作

表 19. HW アクティブ・エッジの設定

LDAC_HW_EDGE_SEL_CHn bit	Active Edge
2'b00 (default)	Rising edge
2'b01	Falling edge
2'b10	Both edges
2'b11	No edges

LDAC がアクティブ・エッジに遷移する場合、現在 HW LDAC モードの全チャンネルの DAC_INPUT_A_CHn レジスタに書き込まれているデータは、対応する DAC_DATA_READBACK_CHn レジスタに転送され、DAC 更新をトリガします。図 10 を参照してください。別の HW モード (HW トグルおよび HW ディザ) になっているチャンネルも、それぞれに設定されたアクティブ・エッジでトリガすると、対応する HW 機能をトリガする点に注意してください。

トグル DAC 機能

トグル DAC 機能は、DAC 出力に方形波を発生するために用いられます。このモードでは、各チャンネルに追加の入力レジスタ FUNC_DAC_INPUT_B があり、対応する DAC_DATA_READBACK_CHn レジスタに転送されるデータの入力レジスタを、これら 2 つの間で切り替えることができます。

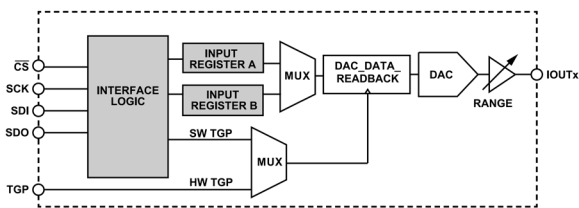


図 69. トグル DAC 機能

表 20. トグル DAC 機能の設定

FUNC_EN_CH_x Bit	FUNC_MODE_C H_x Bit	LDAC_HW_SW_CH_x Bit	Function
1'b0 (Default)	x	x	None are active
1'b1	1'b0 (default)	1'b0 (default)	Only HW toggle is active
1'b1	1'b0 (default)	1'b1	Only SW toggle is active

トグル DAC 機能を有効化するには、FUNC_MODE_SEL レジスタの FUNC_MODE_CHn ビットフィールドに 1'b0 を書き込み、次に、FUNC_EN レジスタの FUNC_EN_CHn ビットフィールドに 1'b1 を書き込みます。トグル DAC モードの間、対応する LDAC_HW_SW レジスタに書き込むことにより、アクティブになる (HW/SW) トリガを選択できます。表 20 を参考にしてください。

トグル DAC モードの間、マルチ DAC 更新機能はアクティブです。

以下のセクションで、HW トグル・モードと SW トグル・モードの両方の機能について詳述します。

ソフトウェア・トグル (SPI 書込み)

ソフトウェア・トグル (SW トグル) 機能では、トグル DAC 動作へのトリガとして、DAC_SW_LDAC に SPI 書込みを使用します。この機能は、各チャンネルの対応する LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに 1'b1 を書き込むことにより、チャンネルごとに有効化できます。この機能について以下のセクションで詳述します。

最初の書込み

SW トグル・モードを有効化した後、SW トグル・モードになっている限り、DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 を書き込むことにより、対応する DAC_INPUT_A_CHn レジスタに現在書き込まれているデータが、対応する DAC_DATA_READBACK_CHn に転送されます。それによって、DAC 更新がトリガされます。図 11 を参照してください。

複数の DAC_SW_LDAC_CHn ビットフィールドに同時に 1'b1 を書き込むことも可能です。DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 を書き込むと、別の SW モード (SW LDAC および SW ディザ) になっているチャンネルも、それぞれの対応する SW 機能をトリガする点に注意してください。

DAC_SW_LDAC_CHn ビットフィールドは、レジスタに 1'b1 を書き込むと自動でクリアされます。そのため、DAC_SW_LDAC レジスタをリードバックしても 0 が返されるのみです。

別の DAC 機能 (HW トグル以外) から SW トグル・モードに入ると、SW トグル・モードに切り替わった後の最初の SPI 書込みで、DAC_INPUT_A_CHn レジスタから転送するようソースされたデータがリセットされます。ただし、HW トグルから SW トグルに切り替わった場合、あるいはその逆の場合は、DAC_INPUT_A_CHn レジスタにソースされたデータはリセットされません。

後続の書込み

その後続けて、DAC_SW_LDAC_CHn ビットフィールドに 1'b1 を書き込むと、DAC_INPUT_A_CHn レジスタと FUNC_DAC_INPUT_B_CHn レジスタの間 (2 回目の書込みでは FUNC_DAC_INPUT_B_CHn から開始) で交互に転送されます。例えば、2 回目の書込みで FUNC_DAC_INPUT_B_CHn から対応する DAC_DATA_READBACK_CHn レジスタにデータが転送され、3 回目では DAC_INPUT_A_CHn から書込みが行われ、その次には、再び FUNC_DAC_INPUT_B_CHn から書込みが行われません。

ハードウェア・トグル (TGP ピン)

ハードウェア・トグル (HW トグル) 機能では、DAC 動作をトグルするためのトリガとして、TGP ピンを使用します。この機能は、各チャンネルの対応する LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに 1'b0 を書き込むことにより、チャンネルごとに有効化できます。

HW LDAC と同様、HW トグルのアクティブ・エッジは、LDAC_EDGE_SEL_CHn レジスタの LDAC_HW_EDGE_SEL_CHn ビットフィールドを通じて選択されます。同様に表 19 を参考にしてください。

HW トグル機能について以下のセクションで詳述します。

DAC の動作

アイドル・ハイ/ロー

TGP ピンがハイまたはローに保持されている間、データは、DAC 更新をトリガせず、DAC_INPUT_A_CHn レジスタに書き込むことができます。

最初のエッジ

HW トグル・モードを有効化した後、TGP ピンの最初のアクティブ・エッジで、現在 HW トグル・モードになっているチャンネルのすべての DAC_INPUT_A_CHn レジスタに現在書き込まれているデータが、対応する DAC_DATA_READBACK_CHn レジスタに転送されます。それによって、DAC 更新がトリガされます。図 12 を参照してください。別の HW モード (HW LDAC および HW ディザ) になっているチャンネルも、それぞれに設定されたアクティブ・エッジでトリガすると、対応する HW 機能をトリガする点に注意してください。

別の DAC 機能 (SW トグル以外) から HW トグルに入ると、HW トグルに切り替わった後の最初の TGP トリガで、DAC_INPUT_A_CHn レジスタから転送するようソースされたデータがリセットされます。SW トグルから HW トグルに切り替わった場合、あるいはその逆の場合は、DAC_INPUT_A_CHn レジスタにソースされたデータはリセットされません。

後続エッジ

その後のアクティブ・エッジで、DAC_INPUT_A_CHn レジスタと FUNC_DAC_INPUT_B_CHn レジスタの間 (2 回目の書き込みでは FUNC_DAC_INPUT_B_CHn から開始) で交互に転送されます。例えば、2 回目の書き込みで FUNC_DAC_INPUT_B_CHn から対応する DAC_DATA_READBACK_CHn レジスタにデータが転送され、3 回目では DAC_INPUT_A_CHn から書き込みが行われ、その次には、再び FUNC_DAC_INPUT_B_CHn から書き込みが行われ、図 70 を参照してください。

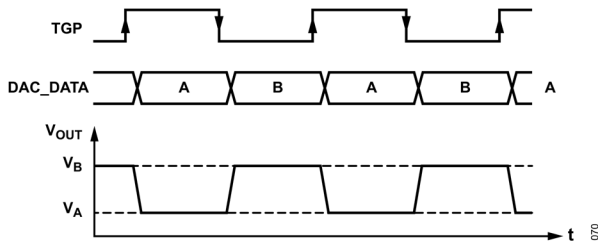


図 70. 両エッジをアクティブ・トリガに選択した場合のトグル・タイミング

トグル DAC 機能の推奨フロー

トグル DAC 機能に推奨されるフローを以下に示します。

1. FUNC_MODE_SEL レジスタの各 FUNC_MODE_CHn ビットフィールドに 1'b0 (デフォルト) を書き込むことにより、目的のチャンネルのトグル DAC 機能を選択します。対応するチャンネルの FUNC_EN_CHn ビットが 1'b1 の場合、これを 1'b0 にリセットしてから FUNC_MODE_CHn をイネーブルしてトグル DAC 機能を有効化する必要があります。
2. FUNC_EN レジスタの対応する FUNC_EN_CHn ビットフィールドに 1'b1 を書き込むことにより、目的のチャンネルのトグル DAC 機能を有効化します。
3. トグル DAC 機能で用いられるトリガを、TGP ピンで行うか (HW トグル)、LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに書き込むことによ

る SPI 書き込みで行うか (SW トグル) を選択します。HW トグルの場合は 1'b0、SW トグルの場合は 1'b1 を書き込みます。

4. HW トグル・モードの場合、LDAC_EDGE_SEL レジスタの対応する LDAC_HW_EDGE_SEL_CHn ビットフィールドに書き込むことにより、どちらのエッジを TGP ピンのアクティブ・エッジとして用いるかを選択します。
5. ターゲットの DAC_INPUT_A_CHn レジスタおよび FUNC_DAC_INPUT_B_CHn レジスタに書き込みます。
6. HW トグル・モードの場合、設定されたアクティブ・エッジの TGP ピンにエッジ遷移を適用します。SW トグル・モードの場合は、DAC_SW_LDAC レジスタの対応する DAC_SW_LDAC_CHn ビットフィールドに書き込みます。
7. ステップ 6 を繰り返し、方形波を機能的に出力します。
8. FUNC_EN レジスタの対応する FUNC_EN_CHn ビットフィールドに 1'b0 を書き込むことにより、目的のチャンネルのトグル DAC 機能を無効化します。

ディザ機能

ディザリングは、システムの非直線性を軽減するために信号経路に AC ノイズを混入させることを含む、デジタル信号処理手法です。AD5706R では、DAC 出力に、わずかな正弦波近似が追加されます。

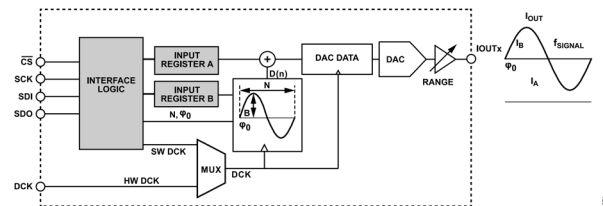


図 71. ディザ・トーン機能

正弦波のディザ信号、 $D(n)$ は、式 8 で表せます。ここで、 N は信号周期、 ϕ_0 は初期位相オフセット、 $n = 0, 1, 2, \dots (N-1)$ です。

$$D(n) = B \times \sin\left(\frac{2\pi n}{N} + \phi_0\right) \tag{8}$$

ここで、

$n = \{0, 1, 2, \dots, (N-1)\}$ 。

$N =$ ディザ周期 = $\{4, 8, 16, 32, 64\}$ サンプル。表 21 の

FUNC_DITHER_PERIOD_CHn レジスタを参照してください。

$\phi_0 =$ 初期位相オフセット = $\{0^\circ, 90^\circ, 180^\circ, 270^\circ\}$ 。表 21 の

FUNC_DITHER_PHASE_CHn レジスタを参照してください。

$B =$ ディザ振幅 = $[0, 2^{(M-2)} - 1]$ 。これは、

FUNC_DAC_INPUT_B_CHn レジスタを通じて設定されます。

表 11 を参照してください。データの 2MSB ビットは、ディザ振幅の設定時に、FUNC_DAC_INPUT_B_CHn レジスタで破棄されます。

$M =$ DAC の分解能 = 16。

$D(n) =$ 出力範囲 = $[-B, B]$ 。

N および ϕ_0 の信号パラメータは、それぞれ、FUNC_DITHER_PERIOD_CHn レジスタと FUNC_DITHER_PHASE_CHn レジスタを通じてチャンネルごとに選択することもできます。それによって、信号の周波数およびディザ処理 DAC チャンネル間での位相関係を正確に制御できます。

DAC の動作

生成された正弦波の周波数は式9で表されます。ここで、 f_{OUT} はディザ信号周波数、 f_{DCK} はディザ・クロック周波数です。

$$f_{OUT} = \frac{f_{DCK}}{N} \quad (9)$$

各チャンネルは、DAC_INPUT_A_CHn レジスタおよび FUNC_DAC_INPUT_B_CHn レジスタも使用します。その場合、DAC_INPUT_A_CHn レジスタは正弦波のオフセットに用いられ、FUNC_DAC_INPUT_B_CHn レジスタは正弦波の振幅のスケーリングに用いられます。

$$DAC_OUTPUT_CODE = A + D(n) \quad (10)$$

ここで、

Aは、 $[0, 2^M - 1]$ の範囲で DAC_INPUT_A_CHn レジスタから取得される M ビットの符号なしデータです。

D(n)は、わずかに $[-2^{(M-2)}, 2^{(M-2)} - 1]$ の範囲での 2 の補数表示での (M-2) ビットの符号付き 2 進数として表されます。

Mは、DAC の分解能であり、16 です。

位相が 90° および 270° では、DAC_OUTPUT_CODE は、最初の (N/4) サンプルの DAC_INPUT_A_CHn と同じです。DAC_OUTPUT_CODE の範囲は、 $[0, 2^M - 1]$ (M は DAC の分解能) に固定される点に注意してください。

表 21. ディザ・トーン発生モジュールのレジスタ

レジスタ	ビットフィールド	リセット値	説明
FUNC_DITHER_PHASE_CHn	ITHER_PHASE_CHn	2'b00	正弦波の初期位相オフセット (ϕ_0) を度 ($^\circ$) 単位で設定します。 <ul style="list-style-type: none"> ▶ 2'b00 : 0° (デフォルト) ▶ 2'b01 : 90° ▶ 2'b10 : 180° ▶ 2'b11 : 270°
FUNC_DITHER_PERIOD_CHn	DITHER_PERIOD_CHn	3'b000	正弦波の周期 (N) をサンプル数単位で設定します。 <ul style="list-style-type: none"> ▶ 3'b000 : 4 サンプル (デフォルト) ▶ 3'b001 : 8 サンプル ▶ 3'b010 : 16 サンプル ▶ 3'b011 : 32 サンプル ▶ 3'b100~3'b111 : 64 サンプル

DAC の動作

ディザ動作の例

例として、次の仕様でチャンネル IDAC0 をディザ・モードに設定する場合を考えます。すなわち、300mA の出力レンジで DC 値が 100mA、正弦波振幅が 10mA、正弦波周波数が 10kHz、信号周期 N = 64 サンプル、ディザ・クロック入力として LDAC/TGP/DCK ピンを使用、という仕様です。

AD5706R の場合、DAC_INPUT_A_CH0 に書き込む DC 値は $d21845 = 0x5555$ です。

ディザ振幅に許容できる範囲は出力電流レンジの 1/4 です。FUNC_DAC_INPUT_B_CH0 には以下の値がロードされます。

$$\frac{10\text{mA}(\text{Amplitude})}{300\text{mA}(\text{Range})/4} \times 2^{14} = d2184 = 0x0888 \quad (11)$$

N = 64 の場合、DCK 周波数を $64 \times 10\text{kHz} = 640\text{kHz}$ に設定します。DITHER_PHASE_CH0 レジスタに初期位相値 0 を設定します。表 21 を参照してください。

ディザ・トーン発生

ディザ・モードをチャンネルごとに有効化するには、FUNC_MODE_SEL レジスタの各 FUNC_MODE_CHn ビットフィールドに 1'b1 を書き込み、次に、FUNC_EN レジスタの FUNC_EN_CHn ビットフィールドに 1'b1 を書き込みます。

ディザ・コード出力 DAC_OUTPUT_CODE を DAC_DATA_READBACK_CHn レジスタに送信するためのディザ・クロック (DCK) は、DCK ピン (HW ディザ) または SPI 書き込み (SW ディザ) を用いて制御/発生できます。このオプションを選択するには、LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドを用います。表 22 を参考にしてください。ディザ・モード時には、マルチ DAC 機能もアクティブになります。

表 22. ディザ・トーン発生機能の設定

FUNC_EN_CHn Bit	FUNC_MODE_C Hn Bit	LDAC_HW_SW_CHn Bit	DAC Function
1'b0 (default)	x	x	None are active
1'b1	1'b1	1'b0 (default)	Only HW dither is active
1'b1	1'b1	1'b1	Only SW dither is active

以下のセクションで、HWディザ・モードとSWディザ・モードの両方の機能について詳述します。

最初のトリガ

ディザ・モードになった後の最初のSW/HWトリガ・イベントのDAC更新のDAC_OUTPUT_CODE値は、常にDAC_INPUT_A_CHnレジスタの値です。それは、 $A + \sin(0)$ がAであるためです (式 10 を参照)。

別のDAC機能からSWディザまたはHWディザに入ると、発生した正弦波がリセットされます。ただし、HWディザからSWディザに切り替わる場合や、その逆の場合は、リセットされません。

ソフトウェア・ディザ (SPI 書き込み)

他のSWトリガと同様、ソフトウェア・ディザ (SW ディザ) モードでは、ロード DAC 動作へのトリガとして、DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 の SPI 書き込みを使用します。この機能は、選択した各チャンネルの対応する LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに 1'b1 を書き込むことにより、チャンネルごとに有効化できます。

DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 を書き込むと、DAC_INPUT_A_CHn レジスタに現在書き込まれているデータが、対応する DAC_DATA_READBACK_CHn レジスタに転送されます。それによって、DAC更新がトリガされます。図 11 を参照してください。DAC_SW_LDAC レジスタの DAC_SW_LDAC_CHn ビットフィールドに 1'b1 を書き込むと、別のSWモード (SW LDAC および SW トグル) になっているチャンネルも、それぞれの対応する SW 機能をトリガする点に注意してください。

DAC_SW_LDAC_CHn ビットフィールドは、レジスタに 1'b1 を書き込むと自動でクリアされます。そのため、DAC_SW_LDAC レジスタをリードバックしても 0 が返されるのみです。

ハードウェア・ディザ (DCK ピン)

ハードウェア・ディザ (HW ディザ) モードでは、DCK ピンをロード DAC 動作のトリガとして使用します。この機能は、各チャンネルの対応する LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに 1'b0 を書き込むことにより、チャンネルごとに有効化できます。このモードの機能について以下のセクションで詳述します。

アイドル・ハイ/ロー

DCK ピンがハイまたはローに保持されている間、DAC_OUTPUT_CODE 出力の値は変化しません。

アクティブ・エッジ

HW LDAC および HW トグルと同様、HWディザのアクティブ・エッジは、LDAC_EDGE_SEL レジスタの LDAC_HW_EDGE_SEL_CHn ビットフィールドを通じて選択されます。同様に表 19 を参考にしてください。

DCK ピンのアクティブ・エッジは、DAC_INPUT_A_CHn レジスタおよび FUNC_DAC_INPUT_B_CHn レジスタに基づく計算データを使用して、DAC_DATA_READBACK_CHn レジスタを (それぞれの DCK アクティブ・エッジで) 更新します。別の HW モード (HW LDAC および HW トグル) になっているチャンネルも、それぞれに設定されたアクティブ・エッジでトリガすると、対応する HW 機能をトリガする点に注意してください。

ディザ動作の無効化

ディザ動作は、FUNC_EN_CHn ビットを 0 にリセットすることにより無効化できます。このビットがリセットされると、ディザ動作は実質的に無効化され、DAC チャンネルには通常の DAC コードを書き込むことができます。

DAC の動作

ディザ・トーン発生機能の推奨フロー

ディザ発生のために推奨されるフローを以下に示します。

1. FUNC_MODE_SEL レジスタの各 FUNC_MODE_CHn ビットフィールドに1'b1を書き込むことにより、目的のチャンネルのディザ・トーン発生機能を選択します。対応するチャンネルの FUNC_EN_CHn ビットが1'b1の場合、これを1'b0にリセットしてから FUNC_MODE_CHn をイネーブルしてディザ・トーン発生機能を有効化する必要があります。
2. FUNC_EN レジスタの対応する FUNC_EN_CHn ビットフィールドに1'b1を書き込むことにより、目的のチャンネルのディザ・トーン発生機能を有効化します。
3. ディザ・トーン発生機能で用いられるトリガを、DCK ピンで行うか（HW ディザ）、LDAC_HW_SW レジスタの LDAC_HW_SW_CHn ビットフィールドに書き込むことによる SPI 書き込みで行うか（SW ディザ）を選択します。HW ディザの場合は1'b0、SW ディザの場合は1'b1を書き込みます。
4. HW DCK の場合、LDAC_EDGE_SEL レジスタの対応する LDAC_HW_EDGE_SEL_CHn ビットフィールドに書き込むことにより、どちらのエッジを DCK ピンのアクティブ・エッジとして用いるかを選択します。
5. FUNC_DITHER_PERIOD_CHn レジスタの DITHER_PERIOD ビットおよび FUNC_DITHER_PHASE_CHn レジスタの DITHER_PHASE ビットで初期位相オフセットおよび周期を設定します。
6. ターゲットの DAC_INPUT_A_CHn レジスタに書き込みを行って、正弦波の垂直オフセットを設定します。
7. ターゲットの FUNC_DAC_INPUT_B_CHn レジスタに書き込みを行って、正弦波の振幅を設定します。
8. HW ディザの場合、設定したアクティブ・エッジの DCK ピンにエッジ遷移を適用します。あるいは、SW ディザの場合、DAC_SW_LDAC レジスタの対応する DAC_SW_LDAC_CHn ビットフィールドに1'b1を書き込みます。
9. ステップ 8 を繰り返し、正弦波を機能的に出力します。
10. FUNC_EN レジスタの対応する FUNC_EN_CHn ビットフィールドに1'b0を書き込むことにより、目的のチャンネルのディザ発生機能を無効化します。

DAC の動作

正規化波形

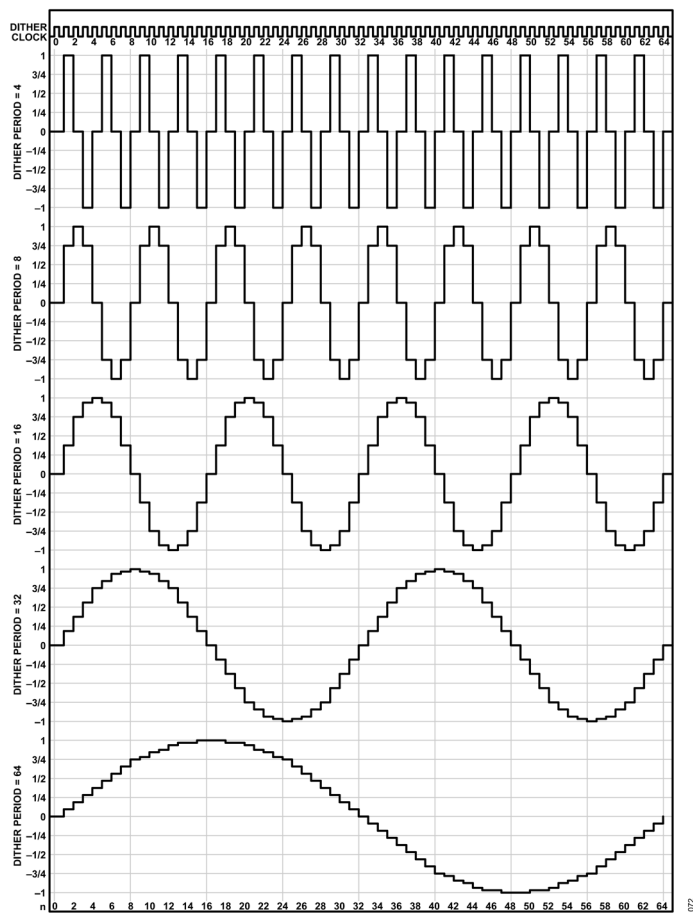


図 72. 様々な値のディザ周期 N に対する正規化された正弦波形

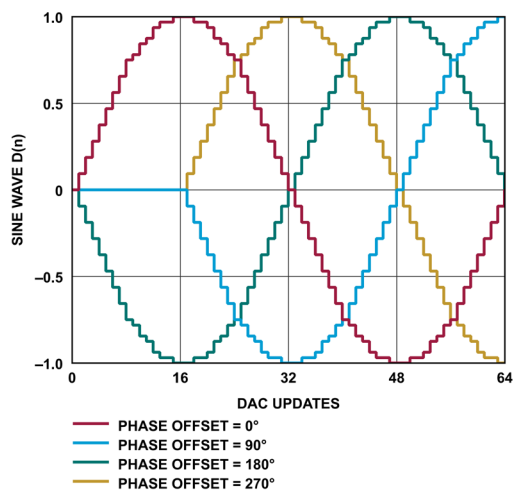


図 73. 様々な値のディザ位相オフセットに対する正規化された正弦波形

DAC の動作

マルチ DAC 機能

マルチ DAC 機能を用いると、指定されたすべての DAC チャンネルの同時書き込み／更新ができます。DAC_INPUT_A_CHn レジスタのマルチ DAC 機能には、MULTI_DAC_INPUT_A レジスタおよび MULTI_DAC_CH_SEL レジスタが使用できます。MULTI_DAC_CH_SEL レジスタでは DAC チャンネルごとに1つのビットが割り当てられています。ビットを 1'b1 にセットすると、そのチャンネルのマルチ DAC 機能が有効になります。MULTI_DAC_CH_SEL レジスタでは、すべてのチャンネルがデフォルトで無効化 (1'b0) されています。

MULTI_DAC_INPUT_A レジスタに書き込まれたデータは、MULTI_DAC_CH_SEL のビットがアサートされている DAC_INPUT_A_CHn レジスタにも書き込まれます。例えば、MULTI_DAC_CH_SEL レジスタのビット0およびビット1が1'b1 にセットされ (チャンネル0およびチャンネル1が選択され)、データが MULTI_DAC_INPUT_A レジスタに書き込まれると、同じデータが、DAC_INPUT_A_CH0 レジスタおよび DAC_INPUT_A_CH1 レジスタに同時に書き込まれます。

書き込まれたデータを MULTI_DAC_INPUT_A レジスタから選択した DAC_INPUT_A_CHn レジスタに転送する機能は、すべてのモードに対しアクティブです。

非同期ロード DAC モード

MULTI_DAC_INPUT_A レジスタへ書き込むと、その書き込まれたデータは、MULTI_DAC_CH_SEL レジスタで選択されたチャンネルに対応する DAC_INPUT_A_CHn レジスタに転送されます。更に、選択された、非同期ロード DAC モードのチャンネルは、書き込まれたデータをそれぞれの対応する DAC_DATA_READBACK_CHn レジスタにも転送し、それによって DAC の更新がトリガされます。

この機能およびタイミングは、**非同期ロード DAC** のセクションで述べたものと同じです。

ソフトウェア LDAC モード

MULTI_DAC_SW_LDAC レジスタの MULTI_DAC_SW_LDAC ビットフィールドに1'b1を書き込むと、SW LDACモードになっている、MULTI_DAC_CH_SEL レジスタで選択されたすべてのチャンネルについて、SW LDACがトリガされます。それによって、MULTI_DAC_INPUT_A レジスタの内容が、各 DAC_INPUT_A_CHn レジスタと対応する DAC_DATA_READBACK_CHn レジスタに転送され、選択した各チャンネルの DAC 更新がトリガされます。

このシーケンスは以下のとおりです。

1. SW LDAC 更新でトリガする必要がある DAC チャンネルすべてに対し、対応する DAC 機能モードをいずれかの SW モード (SW LDAC、SW トグル、SW ディザ) に設定します。
2. 目的とするチャンネルに割り当てられた、MULTI_DAC_CH_SEL レジスタのすべてのビットに1'b1を書き込みます。
3. MULTI_DAC_INPUT_A レジスタに書き込むことにより、選択したチャンネルの DAC_INPUT_A_CHn レジスタの値をセットします。チャンネルが非同期ロード DAC モードになっており、かつ MULTI_DAC_CH_SEL レジスタで選択されている場合、これによって DAC 更新がトリガされる点に注意してください。

4. MULTI_DAC_SW_LDAC の MULTI_DAC_SW_LDAC ビットフィールドに1'b1を書き込み、SW モードに応じて以下のように、選択したチャンネルに対応する SW LDAC をトリガします。
 - a. SW LDAC : DAC_INPUT_A_CHn レジスタの内容を対応する DAC_DATA_READBACK_CHn レジスタに転送し、DAC 更新をトリガします。
 - b. SW トグル : DAC_INPUT_A_CHn レジスタから対応する DAC_DATA_READBACK_CHn レジスタへのデータ転送と、FUNC_DAC_INPUT_B_CHn レジスタから対応する DAC_DATA_READBACK_CHn レジスタへのデータ転送を切り替え、DAC 更新をトリガします。
 - c. SW ディザ : 正弦波の1ステップを出力し DAC 更新をトリガします。
 - d. その他のモード : DAC_DATA_READBACK_CHn レジスタおよび DAC 出力の更新は行いません。

MULTI_DAC_SW_LDAC_CHn ビットフィールドは、レジスタに1'b1を書き込むと自動でクリアされます。そのため、MULTI_DAC_SW_LDAC レジスタをリードバックしても0が返されるのみです。

この機能およびタイミングは、**ソフトウェア LDAC (SPI 書き込み)** のセクションで述べたものと同じです。

ハードウェア LDAC モード

HW LDAC ピンがアクティブ・エッジ (LDAC_EDGE_SEL_CHn レジスタにより選択) に遷移すると、HW LDAC モードになっている MULTI_DAC_CH_SEL レジスタで選択されたチャンネルすべてについて、HW LDAC がトリガされます。それによって、MULTI_DAC_INPUT_A レジスタの内容が、各 DAC_INPUT_A_CHn レジスタと対応する DAC_DATA_READBACK_CHn レジスタに転送され、選択した各チャンネルの DAC 更新がトリガされます。

このシーケンスは以下のとおりです。

1. アクティブな HW DAC 機能モードがないことを確認します。インアクティブな位置にある LDAC ピンを目的のアクティブ・エッジにセットします。それに応じて、目的のチャンネルの LDAC_EDGE_SEL_CHn レジスタのアクティブ・エッジをセットします。
2. HW LDAC 更新でトリガする必要がある DAC チャンネルすべてに対し、対応する DAC 機能モードをいずれかの HW モード (HW LDAC、HW トグル、HW ディザ) に設定します。
3. 目的とするチャンネルに割り当てられた、MULTI_DAC_CH_SEL レジスタのすべてのビットに1'b1を書き込みます。
4. MULTI_DAC_INPUT_A レジスタに書き込むことにより、選択したチャンネルの DAC_INPUT_A_CHn レジスタの値をセットします。チャンネルが非同期ロード DAC モードになっており、かつ MULTI_DAC_CH_SEL レジスタで選択されている場合、これによって DAC 更新がトリガされる点に注意してください。
5. LDAC ピンをアクティブ・エッジに遷移して、HW モードに応じて以下のように、選択したチャンネルに対応する HW LDAC をトリガします。

DAC の動作

- a. HW LDAC : DAC_INPUT_A_CHn レジスタの内容を対応する DAC_DATA_READBACK_CHn レジスタに転送し、DAC更新をトリガします。
- b. HW トグル : DAC_INPUT_A_CHn レジスタから対応する DAC_DATA_READBACK_CHn レジスタへのデータ転送と、FUNC_DAC_INPUT_B_CHn レジスタから対応する DAC_DATA_READBACK_CHn レジスタへのデータ転送を切り替え、DAC更新をトリガします。
- c. HW DCK : 正弦波の 1 ステップを出力し DAC 更新をトリガします。
- d. その他のモード : DAC_DATA_READBACK_CHn レジスタおよび DAC 出力の更新は行いません。

DAC モードのまとめ

表 23. DAC 制御ビットによる DAC モード

Mode	FUNC_EN_CHx Bit	FUNC_MODE_CHx Bit	LDAC_SYNC_ASYNC_CHx Bit	LDAC_HW_SW_CHx Bit
Asynchronous Load	0 (default)	x	0 (default)	x
SW LDAC	0 (default)	x	1	1
HW LDAC	0 (default)	x	1	0 (default)
SW Toggle	1	0 (default)	x	1
HW Toggle	1	0 (default)	x	0 (default)
SW Dither	1	1	x	1
HW Dither	1	1	x	0 (default)

アプリケーション情報

推奨される外付け部品

ターゲットとなるアプリケーション・モジュール・ソリューションは、スペースの制約が強く、機能や仕様の要件を満たすと同時に、外付け部品の数やサイズを最小限に抑える必要があります。

通常、コンデンサの値は、特に指定のない限り±5%の公差があると見なされます。

表 24. 外付け受動部品

Pin Name	Passive Components Required
RESET	10kΩ to IOVDD
NF	0.1μF capacitor to AGND
VREF	1μF capacitor to AGND
AVDD	1μF capacitor per pin to AGND
PVDDx	1μF capacitor per pin to AGND
IOVDD	1μF capacitor to AGND

電源の初期化

ユーザ制御パワーオンをより堅牢なものにするため、関連する電源と信号のすべてがパワーアップし安定化するまで、アクティブ・ローのRESET信号はローのままにしておくことを推奨します。また、パワーオン・シーケンスの間、CS、SCK、SDI、SDOのデジタル・ラインを高インピーダンスまたはロー・レベルに保持してください。

デバイスのリセットのセクションで説明したシーケンスでは、表 3 で t_{RESET_DELAY} として示した特定の時間が必要です。t_{RESET_DELAY} の間、デジタル非同期ピンのトグルを含め、デバイス・インターフェースを用いてデバイスと通信することは避けてください。

デバイスの準備が整う前にデジタル・ホストが SPI トランザクションの準備を試行した場合、トランザクションは無効となり、INTERFACE_STATUS_A レジスタの NOT_READY_ERR ビットがセットされます。NOT_READY_ERR ビットは R/WIC タイプのビットです。初期化を確認するには、INTERFACE_STATUS_A レジスタの NOT_READY_ERR ビットおよび DIGITAL_STATUS レジスタの POWERUP_COMPLETED ビットを調べます。エラー・ビットのフラグがセットされた場合は、デバイス・リセットを実行してください。

デバイスの初期化後は、デジタル・インターフェースにアクセスしてデバイスを構成できます。この設定には、アプリケーションに応じたリファレンス方式の選択などが含まれます。どの電圧リファレンス方式を用いるかによらず、デバイスを構成した後に DAC 電圧リファレンスを安定させ、仕様を確実に満たすようにすることが推奨されます。

複数チャンネルの接続による電流範囲拡大

IDACx からソースできる最大電流は 300mA です。2 つ以上のチャンネルを直接接続することにより、電流ソース容量を増加できます。例えば、IOUT0 と IOUT1 を接続すると、図 74 に示すように 400mA のフルスケール出力電流を生成できます。チャンネルを接続する場合、以下の点を守ってください。

- ▶ 出力コンプライアンス電圧が表 1 に示す仕様値の範囲内に収まるようにします。
- ▶ 出力電圧が表 5 に示す絶対最大定格値を超えないようにします。

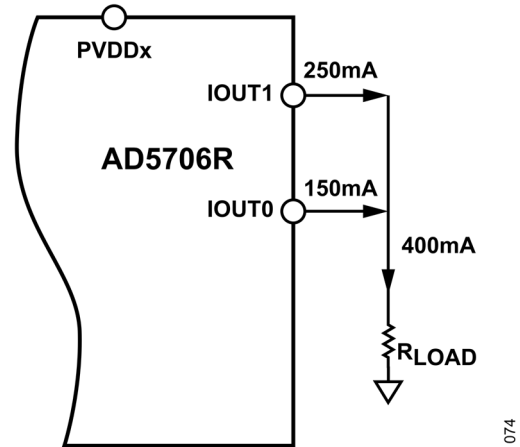


図 74. チャンネルの接続による電流範囲の拡大

チャンネルの接続による出力ノイズの低減

チャンネル同士の接続に関するその他の利点として、ノイズ除去が挙げられます（特に高周波時）。高周波ノイズは、チャンネル間での相関はありません。そのため、チャンネルを相互に接続する場合、二乗和平方根方式でこのノイズを推定できます。

例えば、200mA 時に 1 つのチャンネルについて仕様規定されているノイズ・スペクトル密度 (NSD) は 4.49nA/√Hz (10kHz 時) です。2 つのチャンネルを接続して、それぞれが 100mA 時にチャンネルあたり 2.25nA/√Hz の NSD (10kHz) で 100mA (合計 200mA) の電流を発生すると、両チャンネルを接続した場合 (200mA) の 10kHz 時の推定 NSD は、二乗和平方根手法を用いて次式に示すように計算できます。

$$NSD_{IOUT} \approx \sqrt{NSD_{IOUT0}^2 + NSD_{IOUT1}^2} = \sqrt{2.25^2 + 2.25^2} \approx 3.18nA/\sqrt{Hz} \quad (12)$$

このように、両チャンネルを接続することにより、NSD は 4.49nA/√Hz から 3.18nA/√Hz (推定値) に改善されます。

マイクロプロセッサのインターフェース

マイクロプロセッサと AD5706R のインターフェースは、DSP やマイクロコントローラとの互換性を備えた標準プロトコルを使用するシリアル・バスを介して形成されます。この通信チャンネルは、クロック信号 (SCLK)、データ入力信号 (MSIO)、データ出力信号 (MOSI)、同期信号 (SS) で構成される 4 線式シリアル・インターフェースを必要とします。

AD5706R の SPI インターフェースは、業界標準の DSP およびマイクロコントローラに容易に接続できるように設計されています。図 75 には、ADuCM320 に接続された AD5706R が示されています。ADuCM320 は、AD5706R の SPI ピンに直接接続できる SPI ポートを内蔵しています。

アプリケーション情報

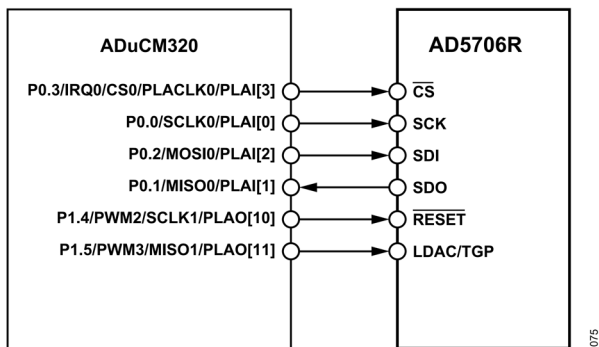


図 75. ADuCM320 の SPI インターフェース

レイアウトとアセンブリについてのガイドライン

定格性能を確保するために、電源とグラウンド・リターンへのレイアウトを慎重に検討してください。各デカップリング・コンデンサのグラウンド端からそれぞれに対応するグラウンド・ピンへ流れる電流が PCB 上の他のグラウンド電流と共用するパターンは、できるだけ短くなるよう徹底してください。デバイスがアナログ・プレーン上にあるように PCB を設計します。

デカップリング・コンデンサをパッケージのできるだけ近くに（理想的にはデバイスに密着させて）配置してください。

電源ラインのパターンをできるだけ大きくして低インピーダンス経路を確保し、電源ラインのグリッチによる影響を減らすようにします。クロックなどの高速スイッチング・デジタル信号を PCB 上の他の部品からシールドするには、別のグラウンドを使用します。可能であれば、デジタル信号とアナログ信号を交差させないでください。パターンが基板の表裏で交差する場合は、アナログ配線とデジタル配線を直角に交差させ、PCB を通じたフィードスルー効果を削減するようにしてください。

AD5706R は大量の電力を消費する可能性があるため、何らかのヒートシンク機能を持たせて熱を放出しやすくすることを推奨します。WLCSP パッケージの場合、熱は半田ボールから PCB に流れます。熱抵抗は PCB の構成によって決まります。銅層とグラウンド・ビアを増やすと効率よく熱を除去できます。

表 25. AD5706R WLCSP パッケージの熱に関する考慮事項

パラメータ	説明
最大消費電力	<p>動作時の周囲温度 (T_A) が既知の場合、θ_{JA} を使用して、最大動作ジャンクション温度 (T_{J_MAX}) を基に最大許容消費電力 (P_{DISS_MAX}) を見積もることができます。例として、$T_A = 85^\circ\text{C}$ の場合、以下のようになります。</p> $P_{DISS_MAX} = \frac{T_{J_MAX} - T_A}{\theta_{JA}} = \frac{125^\circ\text{C} - 85^\circ\text{C}}{42.26^\circ\text{C}/\text{W}} = 0.95\text{W} \quad (13)$ <p>DUT 付近のボード温度 (T_B、同じボード上の DUT 近辺を温度センサーで測定) が既知の場合、Ψ_{JB} を使用して最大許容消費電力 (P_{DISS_MAX}) をより正確に見積もることができます。例として、$T_B = 95^\circ\text{C}$ の場合、以下のようになります。</p> $P_{DISS_MAX} = \frac{T_{J_MAX} - T_B}{\Psi_{JB}} = \frac{125^\circ\text{C} - 95^\circ\text{C}}{8.1^\circ\text{C}/\text{W}} = 3.7\text{W} \quad (14)$ <p>上の式を使用して、以下のように AD5706R の P_{DISS} を計算します。そして、P_{DISS} が許容 P_{DISS_MAX} より低いことを確認します。</p> <p>消費電力の計算例：</p> <p>$R_{LOAD} =$ チャンネルあたり 8Ω、 $AVDD = PVDD = IOVDD = 3.3\text{V}$</p>

デバイスの PCB レベルの信頼性は、PCB のタイプおよび使用する設計に直接関係します。半導体素子の熱膨張係数 (CTE) と一致する PCB 材料 (セラミックなど) を用いると、最適な機械的性能を得ることができます。有機材料の PCB (FR4 など) では、CTE が半導体素子と異なるため、アンダーフィルを用いると機械的性能を上げることができます。有機 PCB の厚さが 0.8mm を超える場合は、アンダーフィルの使用を検討してください。アンダーフィル材料の選択には、材料の性質がアプリケーションの使用条件と合致するよう、特別な注意が必要です。

ソフト・エラー・レート (SER) を減らすには、システム・アセンブリにおいて低アルファ線材料を用いることを検討してください。

WLCSP 向けの PCB のレイアウトおよびアセンブリについては、AN-617 アプリケーション・ノートに詳しい情報が記載されています。

熱に対する考慮事項

本デバイスの絶対最大ジャンクション温度は 150°C (表 5 参照)、最大動作ジャンクション温度 (T_{J_MAX}) は 125°C (表 1 参照) です。仕様規定された性能を満たすには、AD5706R は、 125°C 以下のジャンクション温度で動作する必要があります。このジャンクション温度は、AD5706R の消費電力と周囲温度に直接影響されます。

AD5706R の消費電力のほとんどは、IOUT チャンネルで生じます。IOUT の各チャンネルの出力電流範囲と最大電源電圧の仕様値を表 1 に示します。パッケージが消費する電力の影響と、パッケージがジャンクション温度にもたらす影響を理解することが重要です。本デバイスは、**36 ボール、 $2.58\text{mm} \times 2.58\text{mm}$ WLCSP** にパッケージされています。熱抵抗値は表 6 に仕様規定されています。表 25 は、一定の規定条件における、最大許容消費電力、最大許容周囲温度、最大基板温度の例を示したものです。

アプリケーション情報

表 25. AD5706R WLCSP パッケージの熱に関する考慮事項 (続き)

パラメータ	説明
最高周囲温度	<p>AD5706R の静止消費電力 = 100mW IOUT0 電流 = 300mA、消費電力 = 225mW IOUT1 の電流 : 250mA、消費電力 = 294mW IOUT2、IOUT3 の電流 : 275mA、消費電力 = 各 264mW $P_{DISS} = 100\text{mW (静止)} + 1.047\text{W (動作中)} = 1.147\text{W (合計)}$ AD5706R の総消費電力が 1.147W のとき、最大許容周囲温度は以下のようになります。</p> $T_{A_MAX} = T_{J_MAX} - (P_{DISS} \times \theta_{JA}) = 125^{\circ}\text{C} - (1.147 \text{ W} \times 42.26^{\circ}\text{C/W}) \cong 76^{\circ}\text{C} \quad (15)$
最大ボード温度	<p>AD5706R の総消費電力が 1.147W のとき、最大許容ボード温度は以下のようになります。</p> $T_{A_MAX} = T_{J_MAX} - (P_{DISS} \times \psi_{JB}) = 125 \text{ }^{\circ}\text{C} - (1.147 \text{ W} \times 8.1 \text{ }^{\circ}\text{C/W}) \cong 116 \text{ }^{\circ}\text{C} \quad (16)$

レジスタ

AD5706R には、デバイスの設定に使用されるプログラマブルなユーザ設定レジスタがあります。レジスタの一覧のセクションには、ユーザ設定レジスタの全リストが含まれています。

アクセスの列は、レジスタが読出し専用ビット (R) か、読出し専用ビットと読出し/書込みビットの混合 (R/W) かを示します。読出し専用ビットは、SPIの書込みトランザクションでは上書きできませんが、読出し/書込みビットは上書きできます。読出し専用ビットのみで構成されるレジスタに書込みを行おうとすると、INTERFACE_STATUS_A レジスタの WR_TO_RD_ONLY_REG_ERR フラグがセットされます。無効なレジスタ・アドレスにアクセスしようとする、

INTERFACE_STATUS_A レジスタの ADDR_INVALID_ERR フラグがセットされます。INTERFACE_STATUS_A レジスタのエラー・フラグは読出しまたは 1 を書き込んでクリア (R/WIC) でもあり、それらの位置に SPI 書込みトランザクションで 1 を書き込んだ場合にのみリセットされます。

レジスタの一覧のセクションおよびレジスタのビットごとの一覧のセクションに、レジスタのサイズとそのビットフィールドを示します。マルチバイト・レジスタへのアクセス方法に関する詳細については、マルチバイト・レジスタのセクションを参照してください。

レジスタの一覧

表 26. レジスタの一覧

アドレス	レジスタ名	説明	リセット	アクセス
0x00	INTERFACE_CONFIG_A	インターフェース設定 A。	0x10	R/W
0x01	INTERFACE_CONFIG_B	インターフェース設定 B。	0x00	R/W
0x02	DEVICE_CONFIG	デバイス設定。	0x00	R
0x03	CHIP_TYPE	チップ・タイプ。	0x08	R
0x04	PRODUCT_ID_L	製品 ID ロー。	0x30	R
0x05	PRODUCT_ID_H	製品 ID ハイ。	0x41	R
0x06	CHIP_GRADE	チップ・グレード。	0x00	R
0x0A	SCRATCH_PAD	スクラッチパッド。	0x00	R/W
0x0B	SPI_REVISION	SPI リビジョン。	0x85	R
0x0C	VENDOR_L	ベンダ ID ロー。	0x56	R
0x0D	VENDOR_H	ベンダ ID ハイ。	0x04	R
0x0E	STREAM_MODE	ストリーム・モード。	0x00	R/W
0x0F	TRANSFER_CONFIG	転送設定。	0x00	R/W
0x10	INTERFACE_CONFIG_C	インターフェース設定 C。	0x2F	R/W
0x11	INTERFACE_STATUS_A	インターフェース・ステータス A。	0x00	R/W
0x14	MULTI_DAC_CH_SEL	マルチ DAC チャンネルの選択。	0x0000	R/W
0x16	LDAC_SYNC_ASYNC	同期非同期ロード。	0x0000	R/W
0x18	LDAC_HW_SW	ハードウェア・ソフトウェア・トリガ。	0x0000	R/W
0x1A to 0x20 by 2	LDAC_EDGE_SEL_CHn	LDAC エッジ選択。	0x0000	R/W
0x22	OUT_OPERATING_MODE	出力動作モード。	0x0000	R/W
0x24	OUT_SWITCH_EN	出力スイッチ・イネーブル。	0x0000	R/W
0x26	OUT_EN	OUT_EN ピン・イネーブル。	0x0000	R/W
0x28 to 0x2E by 2	OUT_RANGE_CHn	出力レンジ。	0x0000	R/W
0x30	FUNC_EN	機能有効化。	0x0000	R/W
0x32 to 0x38 by 2	FUNC_MODE_SEL_CHn	機能モード・セレクタ。	0x0000	R/W
0x3A to 0x40 by 2	FUNC_DAC_INPUT_B_CHn	DAC 入力 B。	0x0000	R/W
0x42 to 0x48 by 2	FUNC_DITHER_PERIOD_CHn	ディザ設定。	0x0000	R/W
0x4A to 0x50 by 2	FUNC_DITHER_PHASE_CHn	ディザ設定。	0x0000	R/W
0x54	MUX_OUT_SEL	MUX 出力選択。	0x0000	R/W
0x56	MUX_OUT_CONTROL	MUX 出力制御。	0x0001	R/W
0x58	TEMP_WARN_INT_EN	温度警告割込みのイネーブル。	0x0000	R/W
0x5A	MULTI_DAC_SW_LDAC	複数 DAC 入力のソフトウェア LDAC。	0x0000	R/W
0x5C	MULTI_DAC_INPUT_A	複数 DAC 入力。	0x0000	R/W

レジスタ

表 26. レジスタ一覧 (続き)

アドレス	レジスタ名	説明	リセット	アクセス
0x5E	DAC_SW_LDAC	DAC 入力のソフトウェア LDAC。	0x0000	R/W
0x60 to 0x66 by 2	DAC_INPUT_A_Chn	DAC 入力。	0x0000	R/W
0x68 to 0x6E by 2	DAC_DATA_READBACK_Chn	DAC データ・リードバック。	0x0000	R
0x70	TEMP_WARN_STAT	温度警告フラグのステータス。	0x0000	R/W
0x72	DIGITAL_STATUS	デジタル・ステータス。	0x01	R/W
0x73	BANDGAP_CONTROL	バンドギャップ制御。	0x00	R/W
0x74	USER_SPARE_0	ユーザ・スペア 0。	0x00	R/W
0x75	USER_SPARE_1	ユーザ・スペア 1。	0x00	R/W
0x76	USER_SPARE_2	ユーザ・スペア 2。	0x00	R/W
0x77	USER_SPARE_3	ユーザ・スペア 3。	0x00	R/W

レジスタのビットごとの一覧

表 27. レジスタのビットごとの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	INTERFACE_CO NFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASC ENSION	SDO_ENAB LE		RESERVED		RESET_SW	0x10	R/W
0x01	INTERFACE_CO NFIG_B	[7:0]	SINGLE_IN ST		RESERVED		SHORT_INS TRUCTION		RESERVED		0x00	R/W
0x02	DEVICE_CONFI G	[7:0]			RESERVED				OPERATING_MODE		0x00	R
0x03	CHIP_TYPE	[7:0]		RESERVED				CHIP_TYPE			0x08	R
0x04	PRODUCT_ID_L	[7:0]				PRODUCT_ID[7:0]					0x30	R
0x05	PRODUCT_ID_H	[7:0]				PRODUCT_ID[15:8]					0x41	R
0x06	CHIP_GRADE	[7:0]		GRADE				DEVICE_REVISION			0x00	R
0x0A	SCRATCH_PAD	[7:0]				SCRATCH_VALUE					0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE				VERSION				0x85	R
0x0C	VENDOR_L	[7:0]				VID[7:0]					0x56	R
0x0D	VENDOR_H	[7:0]				VID[15:8]					0x04	R
0x0E	STREAM_MODE	[7:0]				LOOP_COUNT					0x00	R/W
0x0F	TRANSFER_CO NFIG	[7:0]			RESERVED			KEEP_STR EAM LENG TH_VAL		RESERVED	0x00	R/W
0x10	INTERFACE_CO NFIG_C	[7:0]		CRC_ENABLE	STRICT_RE GISTER_AC CESS	SEND_STAT US	ACTIVE_INTERFACE_MO DE		CRC_ENABLEB		0x2F	R/W
0x11	INTERFACE_ST ATUS_A	[7:0]	NOT_READ Y_ERR	RESERVED		CLOCK_CO UNT_ERR	CRC_ERR	WR_TO_RD _ONLY_RE G_ERR	REGISTER_ PARTIAL_A CCESS_ER R	ADDRESS_I NVALID_ER R	0x00	R/W
0x14	MULTI_DAC_CH _SEL	[7:0]		RESERVED			MULTI_DAC _SEL_CH_3	MULTI_DAC _SEL_CH_2	MULTI_DAC _SEL_CH_1	MULTI_DAC _SEL_CH_0	0x00	R/W
0x15		[15:8]					RESERVED				0x00	
0x16	LDAC_SYNC_AS YNC	[7:0]		RESERVED			LDAC_SYN C_ASYNC_ CH_3	LDAC_SYN C_ASYNC_ CH_2	LDAC_SYN C_ASYNC_ CH_1	LDAC_SYN C_ASYNC_ CH_0	0x00	R/W
0x17		[15:8]					RESERVED				0x00	
0x18	LDAC_HW_SW	[7:0]		RESERVED			LDAC_HW_ SW_CH_3	LDAC_HW_ SW_CH_2	LDAC_HW_ SW_CH_1	LDAC_HW_ SW_CH_0	0x00	R/W

レジスタ

表 27. レジスタのビットごとの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x19		[15:8]	RESERVED								0x00		
0x1A to 0x20 by 2	LDAC_EDGE_SE L_CHn	[7:0]	RESERVED						LDAC_HW_EDGE_SEL_C H		0x00	R/W	
0x1B to 0x21 by 2		[15:8]	RESERVED								0x00		
0x22	OUT_OPERATIN G_MODE	[7:0]	RESERVED				OUT_OP_M ODE_CH_3	OUT_OP_M ODE_CH_2	OUT_OP_M ODE_CH_1	OUT_OP_M ODE_CH_0	0x00	R/W	
0x23		[15:8]	RESERVED								0x00		
0x24	OUT_SWITCH_E N	[7:0]	RESERVED				OUT_SWIT CH_EN_CH _3	OUT_SWIT CH_EN_CH _2	OUT_SWIT CH_EN_CH _1	OUT_SWIT CH_EN_CH _0	0x00	R/W	
0x25		[15:8]	RESERVED								0x00		
0x26	OUT_EN	[7:0]	RESERVED				HW_SHUTD OWN_EN_C H_3	HW_SHUTD OWN_EN_C H_2	HW_SHUTD OWN_EN_C H_1	HW_SHUTD OWN_EN_C H_0	0x00	R/W	
0x27		[15:8]	RESERVED								0x00		
0x28 to 0x2E by 2	OUT_RANGE_C Hn	[7:0]	RESERVED						OUT_RANGE_CH		0x00	R/W	
0x29 to 0x2F by 2		[15:8]	RESERVED								0x00		
0x30	FUNC_EN	[7:0]	RESERVED				FUNC_EN_ CH_3	FUNC_EN_ CH_2	FUNC_EN_ CH_1	FUNC_EN_ CH_0	0x00	R/W	
0x31		[15:8]	RESERVED								0x00		
0x32 to 0x38 by 2	FUNC_MODE_S EL_CHn	[7:0]	RESERVED								FUNC_MOD E_CH	0x00	R/W
0x33 to 0x39 by 2		[15:8]	RESERVED								0x00		
0x3A to 0x40 by 2	FUNC_DAC_INP UT_B_CHn	[7:0]	DAC_INPUT_B_CH[7:0]								0x00	R/W	
0x3B to 0x41 by 2		[15:8]	DAC_INPUT_B_CH[15:8]								0x00		
0x42 to 0x48 by 2	FUNC_DITHER_ PERIOD_CHn	[7:0]	RESERVED				DITHER_PERIOD_CH				0x00	R/W	
0x43 to		[15:8]	RESERVED								0x00		

レジスタ

表 27. レジスタのビットごとの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x49 by 2												
0x4A to 0x50 by 2	FUNC_DITHER_PHASE_CHn	[7:0]	RESERVED						DITHER_PHASE_CH		0x00	R/W
0x4B to 0x51 by 2		[15:8]	RESERVED								0x00	
0x54	MUX_OUT_SEL	[7:0]	MUX_OUT_EN	RESERVED		MUX_PARAM_SEL					0x00	R/W
0x55		[15:8]	RESERVED								0x00	
0x56	MUX_OUT_CONTROL	[7:0]	RESERVED						BUFFER_EN		0x01	R/W
0x57		[15:8]	RESERVED								0x00	
0x58	TEMP_WARN_INT_EN	[7:0]	RESERVED			TEMP_WARN_INT_EN_CH_3	TEMP_WARN_INT_EN_CH_2	TEMP_WARN_INT_EN_CH_1	TEMP_WARN_INT_EN_CH_0	0x00		R/W
0x59		[15:8]	RESERVED								0x00	
0x5A	MULTI_DAC_SW_LDAC	[7:0]	RESERVED						MULTI_DAC_SW_LDAC		0x00	R/W
0x5B		[15:8]	RESERVED								0x00	
0x5C	MULTI_DAC_INPUT_A	[7:0]	MULTI_DAC_INPUT_A[7:0]								0x00	R/W
0x5D		[15:8]	MULTI_DAC_INPUT_A[15:8]								0x00	
0x5E	DAC_SW_LDAC	[7:0]	RESERVED			DAC_SW_L_DAC_CH_3	DAC_SW_L_DAC_CH_2	DAC_SW_L_DAC_CH_1	DAC_SW_L_DAC_CH_0	0x00		R/W
0x5F		[15:8]	RESERVED								0x00	
0x60 to 0x66 by 2	DAC_INPUT_A_CHn	[7:0]	DAC_INPUT_A_CH[7:0]								0x00	R/W
0x61 to 0x67 by 2		[15:8]	DAC_INPUT_A_CH[15:8]								0x00	
0x68 to 0x6E by 2	DAC_DATA_READBACK_CHn	[7:0]	DAC_DATA_READBACK_CH[7:0]								0x00	R
0x69 to 0x6F by 2		[15:8]	DAC_DATA_READBACK_CH[15:8]								0x00	
0x70	TEMP_WARN_STAT	[7:0]	RESERVED			TEMP_WARN_FLAG_C_H_3	TEMP_WARN_FLAG_C_H_2	TEMP_WARN_FLAG_C_H_1	TEMP_WARN_FLAG_C_H_0	0x00		R/W
0x71		[15:8]	RESERVED								0x00	
0x72	DIGITAL_STATUS	[7:0]	RESERVED			FUSE_ERROR	INTERFACE_ERROR	POWERUP_COMPLETED	RESET_OCCURRED	0x01	R/W	

レジスタ

表 27. レジスタのビットごとの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x73	BANDGAP_CON TROL	[7:0]					RESERVED			BGAP_HIZ_ B	0x00	R/W
0x74	USER_SPARE_0	[7:0]				USER_SPARE[7:0]					0x00	R/W
0x75	USER_SPARE_1	[7:0]				USER_SPARE[15:8]					0x00	R/W
0x76	USER_SPARE_2	[7:0]				USER_SPARE[23:16]					0x00	R/W
0x77	USER_SPARE_3	[7:0]				USER_SPARE[31:24]					0x00	R/W

レジスタの詳細

インターフェース設定 A レジスタ

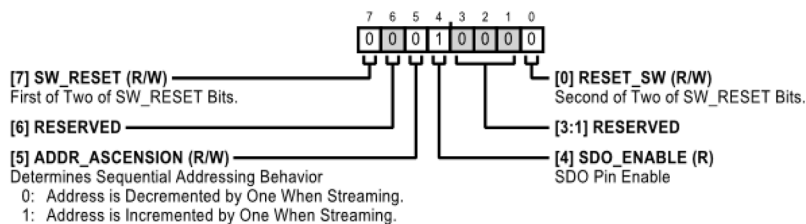


図 76. アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

表 28. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つの SW_RESET ビットの 1 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0: ストリーミング時にアドレスを 1 だけデクリメントします。 1: ストリーミング時にアドレスを 1 だけインクリメントします。	0x0	R/W
4	SDO_ENABLE	SDO ピン・イネーブル。	0x1	R
[3:1]	RESERVED	予約済み。	0x0	R
0	RESET_SW	2つの SW_RESET ビットの 2 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W

インターフェース設定 B レジスタ

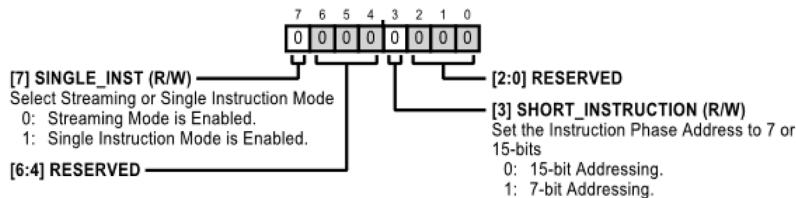


図 77. アドレス : 0x01、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_B

表 29. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーミング・モードまたは単一命令モードを選択。 0: ストリーミング・モードをイネーブル。連続するデータ・バイトを受信すると、アドレスがインクリメント/デクリメントされます。 1: 単一命令モードをイネーブル。	0x0	R/W

レジスタ

表 29. INTERFACE_CONFIG_B のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[6:4]	RESERVED	予約済み。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを 7 ビットまたは 15 ビットに設定。 0: 15 ビットのアドレス指定。 1: 7 ビットのアドレス指定。	0x0	R/W
[2:0]	RESERVED	予約済み。	0x0	R

デバイス設定レジスタ

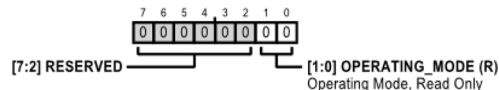


図 78. アドレス: 0x02、リセット: 0x00、レジスタ名: DEVICE_CONFIG

表 30. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	OPERATING_MODE	動作モード。読み出し専用です。	0x0	R

チップ・タイプ・レジスタ

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズの製品ファミリの識別に使用し、対象製品を一意に識別するために、製品 ID と共に使用する必要があります。

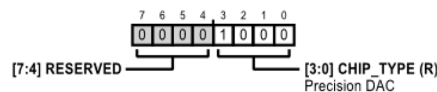


図 79. アドレス: 0x03、リセット: 0x08、レジスタ名: CHIP_TYPE

表 31. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 DAC。	0x8	R

製品 ID ロー・レジスタ

製品 ID の下位バイト。

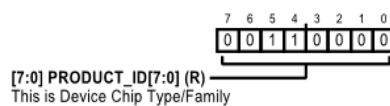


図 80. アドレス: 0x04、リセット: 0x30、レジスタ名: PRODUCT_ID_L

表 32. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	これはデバイスのチップ・タイプ/ファミリです。製品を特定するには、製品 ID とチップ・タイプの両方を使用する必要があります。	0x30	R

レジスタ

製品 ID ハイ・レジスタ

製品 ID の上位バイト。

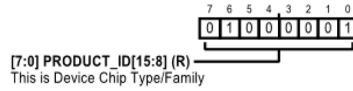


図 81. アドレス：0x05、リセット：0x41、レジスタ名：PRODUCT_ID_H

表 33. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	これはデバイスのチップ・タイプ/ファミリです。製品を特定するには、製品 ID とチップ・タイプの両方を使用する必要があります。	0x41	R

チップ・グレード・レジスタ

製品のバリエーションとデバイスのリビジョンを識別します。

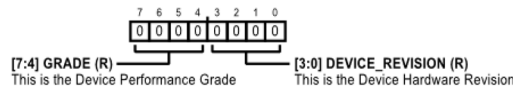


図 82. アドレス：0x06、リセット：0x00、レジスタ名：CHIP_GRADE

表 34. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイス性能のグレードです。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョンです。	0x0	R

スクラッチパッド・レジスタ

このレジスタは書き込みや読出しのテストに使用できます。

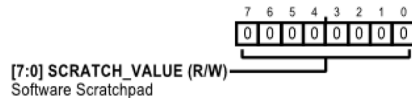


図 83. アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

表 35. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

SPI リビジョン・レジスタ

SPI インターフェース・リビジョンを示します。

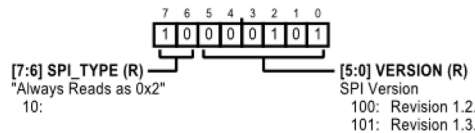


図 84. アドレス：0x0B、リセット：0x85、レジスタ名：SPI_REVISION

レジスタ

表 36. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	常に 0x2 と読み出されます。 10 :	0x2	R
[5:0]	VERSION	SPI のバージョン。 100 : リビジョン 1.2。 101 : リビジョン 1.3。	0x5	R

ベンダ ID ロー・レジスタ

ベンダ ID の下位バイト。

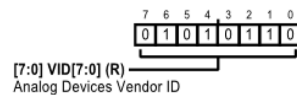


図 85. アドレス : 0x0C、リセット : 0x56、レジスタ名 : VENDOR_L

表 37. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダ ID。	0x56	R

ベンダ ID ハイ・レジスタ

ベンダ ID の上位バイト。

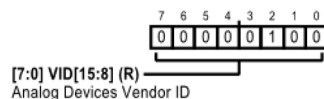


図 86. アドレス : 0x0D、リセット : 0x04、レジスタ名 : VENDOR_H

表 38. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイセズのベンダ ID。	0x4	R

ストリーム・モード・レジスタ

データ・ストリーミング時のループ長を定義します。

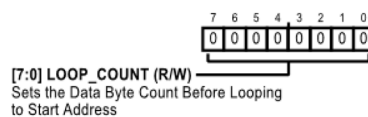


図 87. アドレス : 0x0E、リセット : 0x00、レジスタ名 : STREAM_MODE

表 39. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	開始アドレスにループするまでのデータ・バイト・カウントを設定します。データのストリーミング時、アドレスが開始値にループ・バックするまでに書き込まれるデータ・バイト数を、ゼロ以外の値で設定します。この方法で最大 255 個のバイトを書き込むことができます。値を 0x00 にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。	0x0	R/W

レジスタ

転送設定レジスタ

コントローラ・レジスタとターゲット・レジスタの間のデータの移動方法を制御します。

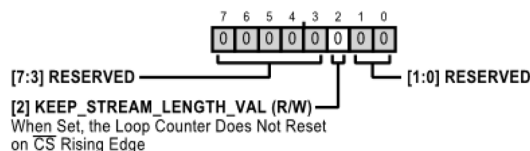


図 88. アドレス：0x0F、リセット：0x00、レジスタ名：TRANSFER_CONFIG

表 40. TRANSFER_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	KEEP_STREAM_LENGTH_VAL	セットされている場合、ループ・カウンタはCSの立ち上がりエッジでリセットされません。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

インターフェース設定 C レジスタ

インターフェース設定の追加の設定値。

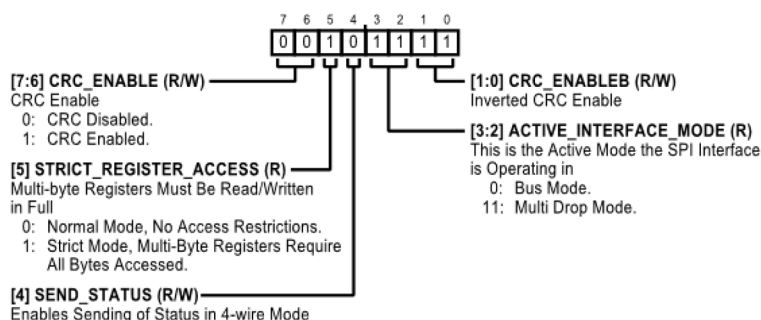


図 89. アドレス：0x10、リセット：0x2F、レジスタ名：INTERFACE_CONFIG_C

表 41. INTERFACE_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_ENABLE	CRC 有効化。このレジスタへの書込みは、インターフェースでの CRC 使用をイネーブルまたはディスエーブルするために行われます。CRC をイネーブルするには、CRC_ENABLEB ビットフィールドにもこのビットの反転値を書き込む必要があります。 0: CRC をディスエーブル。 1: CRC をイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS	マルチバイト・レジスタは全て読出し/書込みをする必要があります。このモードが有効になっている場合、マルチバイト・レジスタの全てのバイトについて完全に読出し/書込みをする必要があります。 0: ノーマル・モード、アクセス制限なし。 1: 厳格モード。マルチバイト・レジスタでは、すべてのバイトにアクセスする必要があります。	0x1	R
4	SEND_STATUS	4 線式モードでステータスの送信をイネーブルにします。設定されている場合、ステータス情報は命令フェーズ中に SDO 上のデバイスによって送信されます。クリアの場合、命令フェーズ中にステータスは送信されません。	0x0	R/W
[3:2]	ACTIVE_INTERFACE_MODE	これは、SPI インターフェースが動作しているアクティブ・モードです。 00: バス・モード。 11: マルチドロップ・モード。	0x3	R
[1:0]	CRC_ENABLEB	CRC イネーブルの反転値。ここには CRC_ENABLE の反転値を書き込む必要があります。	0x3	R/W

レジスタ

インターフェース・ステータス A レジスタ

アクティブ状態であることを示すにはステータス・ビットを 1 に設定します。これらのビットは、対応するビット位置に 1 を書き込むことによってクリアできます。

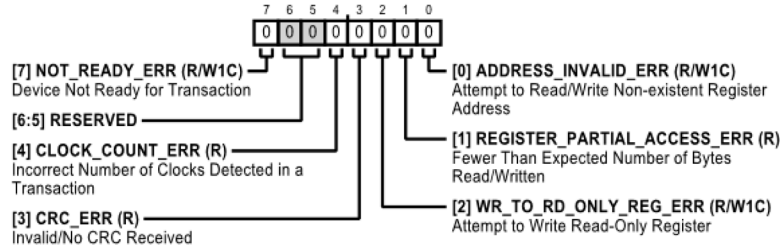


図 90. アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE_STATUS_A

表 42. INTERFACE_STATUS_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_READY_ERR	デバイスのトランザクションに対する準備が未了。このエラー・ビットがセットされるのは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合です。	0x0	R/W1C
[6:5]	RESERVED	予約済み。	0x0	R
4	CLOCK_COUNT_ERR	トランザクションで誤った数のクロックを検出。CSがローになってからCSがハイになるまでとして定義される所定の SPI フレームで受信したクロックの数が 8 ビットの倍数でない場合に、このビットがセットされます。	0x0	R
3	CRC_ERR	受信 CRC が無効または受信 CRC がない。このビットがセットされるのは、コントローラが CRC を送信できなかった場合、またはデバイス側で CRC を計算してチェックした結果、受信 CRC 値が正しくなかった場合です。	0x0	R
2	WR_TO_RD_ONLY_REG_ERR	読出し専用レジスタへの書込みの試行。このビットがセットされるのは、SPI コントローラが読出し専用レジスタへの書込みを試行した場合です。	0x0	R/W1C
1	REGISTER_PARTIAL_ACCESS_ERR	読み出したバイト数または書き込んだバイト数が、期待値より少ない。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。	0x0	R
0	ADDRESS_INVALID_ERR	存在しないレジスタ・アドレスへの読出し/書込みを試行。このビットは、許可されたメモリ・マップ空間外のレジスタ・アドレスにユーザがアクセスしようとした場合にセットされます。	0x0	R/W1C

マルチ DAC チャンネルの選択レジスタ

このレジスタは、マルチ DAC 更新に含まれるチャンネルを選択するために用いられます。

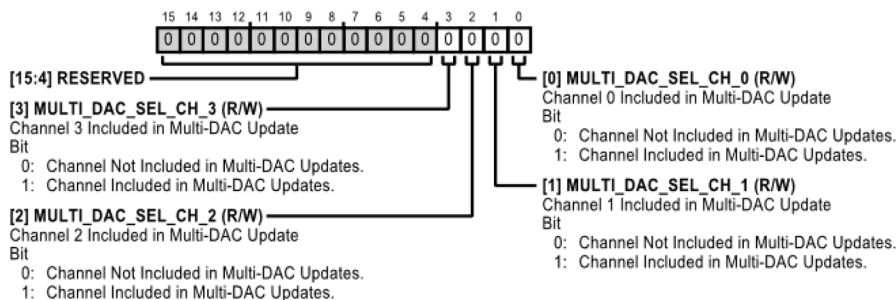


図 91. アドレス：0x14、リセット：0x0000、レジスタ名：MULTI_DAC_CH_SEL

表 43. MULTI_DAC_CH_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	MULTI_DAC_SEL_CH_3	チャンネル 3 がマルチ DAC 更新ビットに含まれる。 0：チャンネルはマルチ DAC 更新には含まれない。 1：チャンネルがマルチ DAC 更新に含まれる。	0x0	R/W

レジスタ

表 43. MULTI_DAC_CH_SEL のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
2	MULTI_DAC_SEL_CH_2	チャンネル 2 がマルチ DAC 更新ビットに含まれる。 0 : チャンネルはマルチ DAC 更新には含まれない。 1 : チャンネルがマルチ DAC 更新に含まれる。	0x0	R/W
1	MULTI_DAC_SEL_CH_1	チャンネル 1 がマルチ DAC 更新ビットに含まれる。 0 : チャンネルはマルチ DAC 更新には含まれない。 1 : チャンネルがマルチ DAC 更新に含まれる。	0x0	R/W
0	MULTI_DAC_SEL_CH_0	チャンネル 0 がマルチ DAC 更新ビットに含まれる。 0 : チャンネルはマルチ DAC 更新には含まれない。 1 : チャンネルがマルチ DAC 更新に含まれる。	0x0	R/W

同期非同期ロード・レジスタ

このレジスタは、DAC 出力を更新する方法を決定するために用いられます。

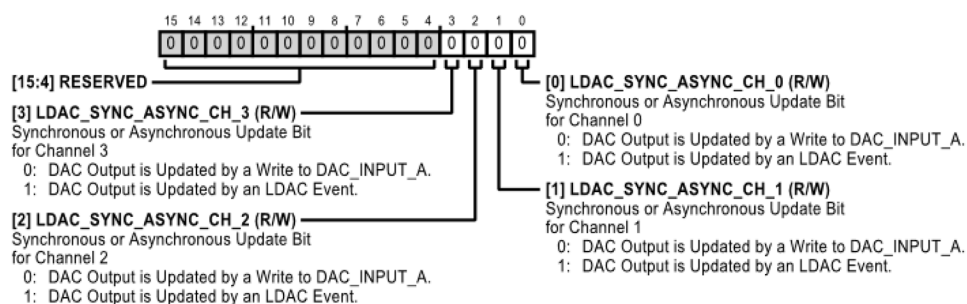


図 92. アドレス : 0x16、リセット : 0x0000、レジスタ名 : LDAC_SYNC_ASYNC

表 44. LDAC_SYNC_ASYNC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	LDAC_SYNC_ASYNC_CH_3	チャンネル3の同期または非同期更新ビット。 0 : DAC出力がDAC_INPUT_Aへの書込みによって更新。 1 : DAC出力がLDACイベントによって更新。	0x0	R/W
2	LDAC_SYNC_ASYNC_CH_2	チャンネル2の同期または非同期更新ビット。 0 : DAC出力がDAC_INPUT_Aへの書込みによって更新。 1 : DAC出力がLDACイベントによって更新。	0x0	R/W
1	LDAC_SYNC_ASYNC_CH_1	チャンネル1の同期または非同期更新ビット。 0 : DAC出力がDAC_INPUT_Aへの書込みによって更新。 1 : DAC出力がLDACイベントによって更新。	0x0	R/W
0	LDAC_SYNC_ASYNC_CH_0	チャンネル0の同期または非同期更新ビット。 0 : DAC出力がDAC_INPUT_Aへの書込みによって更新。 1 : DAC出力がLDACイベントによって更新。	0x0	R/W

レジスタ

ハードウェア・ソフトウェア・トリガ・レジスタ

このレジスタは、ロード DAC 機能をトリガする方法を決定するために用いられます。

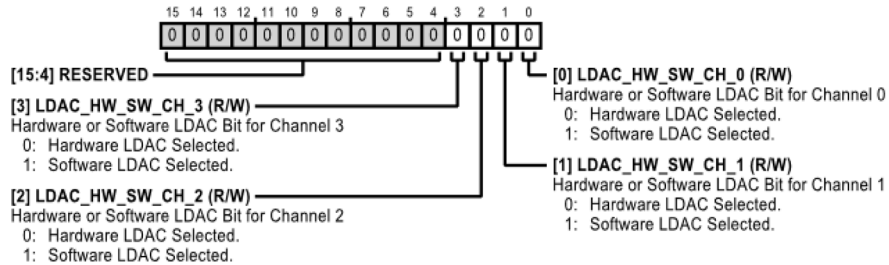


図 93. アドレス：0x18、リセット：0x0000、レジスタ名：LDAC_HW_SW

表 45. LDAC_HW_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	LDAC_HW_SW_CH_3	チャンネル3のハードウェアまたはソフトウェアLDACビット。 0：ハードウェアLDACを選択。 1：ソフトウェアLDACを選択。	0x0	R/W
2	LDAC_HW_SW_CH_2	チャンネル2のハードウェアまたはソフトウェアLDACビット。 0：ハードウェアLDACを選択。 1：ソフトウェアLDACを選択。	0x0	R/W
1	LDAC_HW_SW_CH_1	チャンネル1のハードウェアまたはソフトウェアLDACビット。 0：ハードウェアLDACを選択。 1：ソフトウェアLDACを選択。	0x0	R/W
0	LDAC_HW_SW_CH_0	チャンネル0のハードウェアまたはソフトウェアLDACビット。 0：ハードウェアLDACを選択。 1：ソフトウェアLDACを選択。	0x0	R/W

LDAC エッジ選択レジスタ

このレジスタは、LDAC/TGP/DCK ピンのアクティブ・エッジを決定するために用いられます。

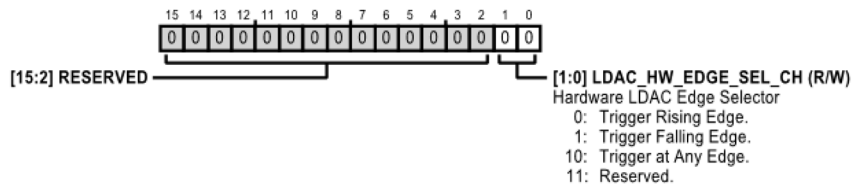


図 94. アドレス：0x1A~0x20（インクリメントは2）、リセット：0x0000、レジスタ名：LDAC_EDGE_SEL_CHn

表 46. LDAC_EDGE_SEL_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
[1:0]	LDAC_HW_EDGE_SEL_CH	ハードウェア LDAC エッジ・セレクタ。 00：立上がりエッジでトリガ。 01：立下がりエッジでトリガ。 10：両エッジでトリガ。 11：予約済み。	0x0	R/W

レジスタ

出力動作モード・レジスタ

このレジスタは、出力段の動作モードを制御するために用いられます。

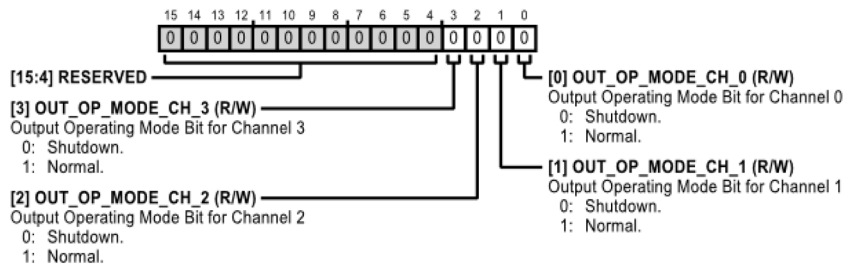


図 95. アドレス：0x22、リセット：0x0000、レジスタ名：OUT_OPERATING_MODE

表 47. OUT_OPERATING_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	OUT_OP_MODE_CH_3	チャンネル3の出力動作モード・ビット。 0：シャットダウン。 1：ノーマル。	0x0	R/W
2	OUT_OP_MODE_CH_2	チャンネル2の出力動作モード・ビット。 0：シャットダウン。 1：ノーマル。	0x0	R/W
1	OUT_OP_MODE_CH_1	チャンネル1の出力動作モード・ビット。 0：シャットダウン。 1：ノーマル。	0x0	R/W
0	OUT_OP_MODE_CH_0	チャンネル0の出力動作モード・ビット。 0：シャットダウン。 1：ノーマル。	0x0	R/W

出力スイッチ・イネーブル・レジスタ

このレジスタは、出力段のグラウンド・スイッチを制御するために用いられます。

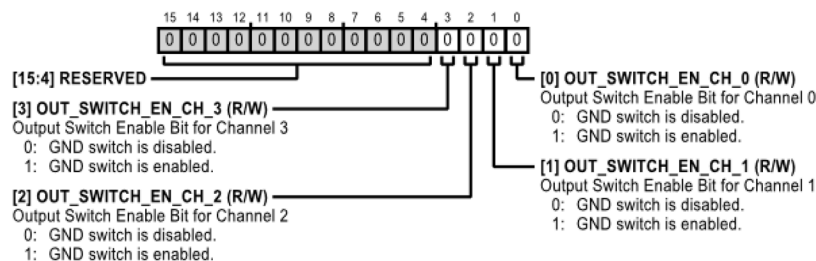


図 96. アドレス：0x24、リセット：0x0000、レジスタ名：OUT_SWITCH_EN

表 48. OUT_SWITCH_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	OUT_SWITCH_EN_CH_3	チャンネル3の出力スイッチ・イネーブル・ビット。 0：GNDスイッチをディスエーブル。 1：GNDスイッチをイネーブル。	0x0	R/W
2	OUT_SWITCH_EN_CH_2	チャンネル2の出力スイッチ・イネーブル・ビット。 0：GNDスイッチをディスエーブル。 1：GNDスイッチをイネーブル。	0x0	R/W

レジスタ

表 48. OUT_SWITCH_EN のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
1	OUT_SWITCH_EN_CH_1	チャンネル1の出力スイッチ・イネーブル・ビット。 0: GNDスイッチをディスエーブル。 1: GNDスイッチをイネーブル。	0x0	R/W
0	OUT_SWITCH_EN_CH_0	チャンネル0の出力スイッチ・イネーブル・ビット。 0: GNDスイッチをディスエーブル。 1: GNDスイッチをイネーブル。	0x0	R/W

OUT_EN ピン・イネーブル・レジスタ

このレジスタは、出力段のシャットダウンを OUT_EN ピンを用いてイネーブルするために用いられます。

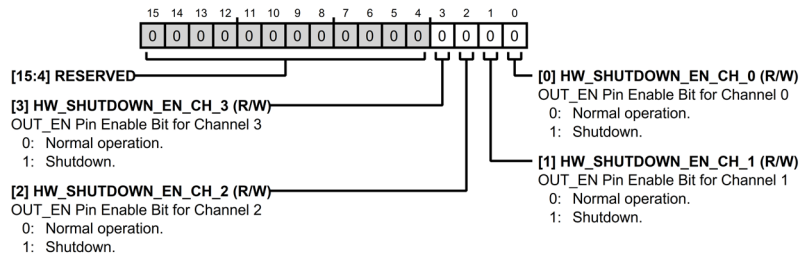


図 97. アドレス: 0x26、リセット: 0x0000、レジスタ名: OUT_EN

表 49. OUT_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	HW_SHUTDOWN_EN_CH_3	チャンネル 3 の OUT_EN ピン・イネーブル・ビット。 0: 通常動作。 1: IOOUT3 出力をディスエーブル。	0x0	R/W
2	HW_SHUTDOWN_EN_CH_2	チャンネル 2 の OUT_EN ピン・イネーブル・ビット。 0: 通常動作。 1: IOOUT2 出力をディスエーブル。	0x0	R/W
1	HW_SHUTDOWN_EN_CH_1	チャンネル 1 の OUT_EN ピン・イネーブル・ビット。 0: 通常動作。 1: IOOUT1 出力をディスエーブル。	0x0	R/W
0	HW_SHUTDOWN_EN_CH_0	チャンネル 0 の OUT_EN ピン・イネーブル・ビット。 0: 通常動作。 1: IOOUT0 出力をディスエーブル。	0x0	R/W

出力レンジ・レジスタ

このレジスタは、出力段の電流レンジを制御するために用いられます。

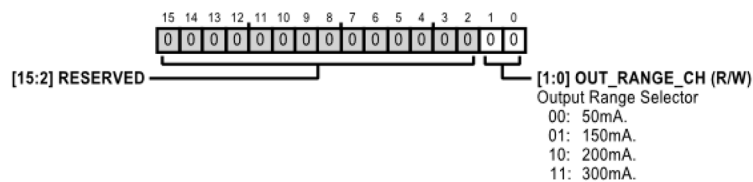


図 98. アドレス: 0x28~0x2E (インクリメントは 2)、リセット: 0x0000、レジスタ名: OUT_RANGE_CHn

レジスタ

表 50. OUT_RANGE_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
[1:0]	OUT_RANGE_CH	出力レンジ・セレクタ。 00 : 50mA。 01 : 150mA。 10 : 200mA。 11 : 300mA。	0x0	R/W

機能有効化レジスタ

このレジスタは、その他の DAC 機能を有効化するために用いられます。

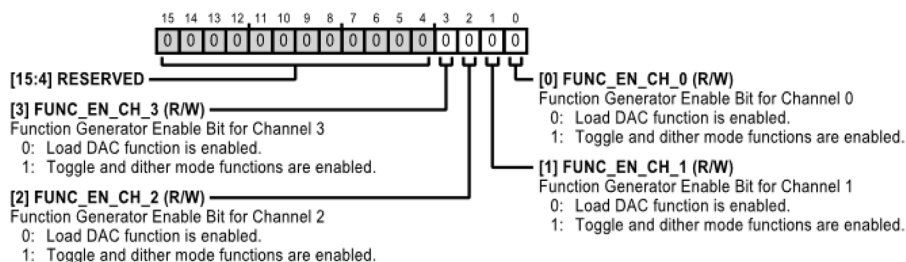


図 99. アドレス : 0x30、リセット : 0x0000、レジスタ名 : FUNC_EN

表 51. FUNC_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	FUNC_EN_CH_3	チャンネル3の機能ジェネレータ・イネーブル・ビット。 0 : ロードDAC機能が有効化。 1 : トグル・モード機能およびディザ・モード機能が有効化。	0x0	R/W
2	FUNC_EN_CH_2	チャンネル2の機能ジェネレータ・イネーブル・ビット。 0 : ロードDAC機能が有効化。 1 : トグル・モード機能およびディザ・モード機能が有効化。	0x0	R/W
1	FUNC_EN_CH_1	チャンネル1の機能ジェネレータ・イネーブル・ビット。 0 : ロードDAC機能が有効化。 1 : トグル・モード機能およびディザ・モード機能が有効化。	0x0	R/W
0	FUNC_EN_CH_0	チャンネル0の機能ジェネレータ・イネーブル・ビット。 0 : ロードDAC機能が有効化。 1 : トグル・モード機能およびディザ・モード機能が有効化。	0x0	R/W

機能モード・セレクタ・レジスタ

このレジスタは、アクティブな DAC 機能を選択するために用いられます。

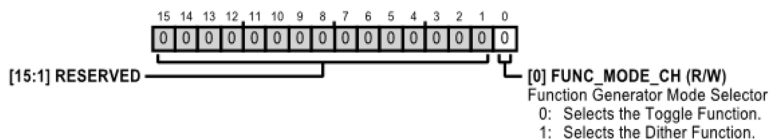


図 100. アドレス : 0x32~0x38 (インクリメントは 2)、リセット : 0x0000、レジスタ名 : FUNC_MODE_SEL_CHn

レジスタ

表 52. FUNC_MODE_SEL_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	FUNC_MODE_CH	機能ジェネレータ・モード・セクタ。 0：トグル機能を選択。 1：ディザ機能を選択。	0x0	R/W

DAC 入力 B レジスタ

このレジスタは、DAC 機能用の DAC データを格納するために用いられます。

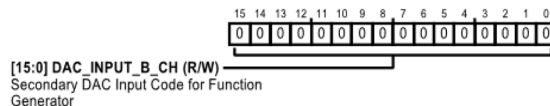


図 101. アドレス：0x3A～0x40（インクリメントは 2）、リセット：0x0000、レジスタ名：FUNC_DAC_INPUT_B_CHn

表 53. FUNC_DAC_INPUT_B_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_INPUT_B_CH	機能ジェネレータ用のセカンダリ DAC 入力コード。	0x0	R/W

ディザ設定レジスタ

このレジスタは、ディザ機能の周期を設定するために用いられます。

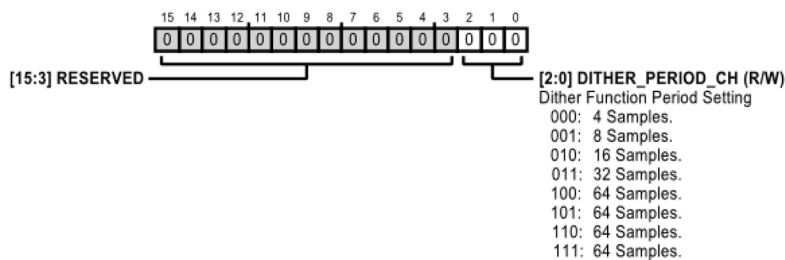


図 102. アドレス：0x42～0x48（インクリメントは 2）、リセット：0x0000、レジスタ名：FUNC_DITHER_PERIOD_CHn

表 54. FUNC_DITHER_PERIOD_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
[2:0]	DITHER_PERIOD_CH	ディザ機能の周期の設定。 000：4 サンプル。 001：8 サンプル。 010：16 サンプル。 011：32 サンプル。 100：64 サンプル。 101：64 サンプル。 110：64 サンプル。 111：64 サンプル。	0x0	R/W

レジスタ

ディザ設定レジスタ

このレジスタは、ディザ機能の位相を設定するために用いられます。

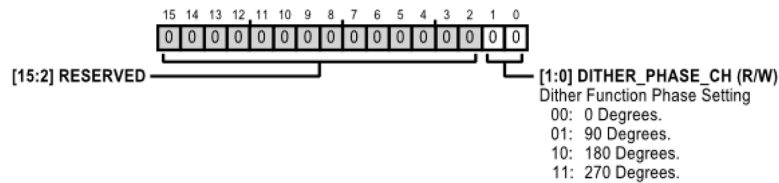


図 103. アドレス：0x4A~0x50（インクリメントは2）、リセット：0x0000、レジスタ名：FUNC_DITHER_PHASE_CHn

表 55. FUNC_DITHER_PHASE_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
[1:0]	DITHER_PHASE_CH	ディザ機能の位相の設定。 00 : 0°。 01 : 90°。 10 : 180°。 11 : 270°。	0x0	R/W

MUX 出力選択レジスタ

このレジスタは、MUX_OUT ピンを制御するために用いられます。

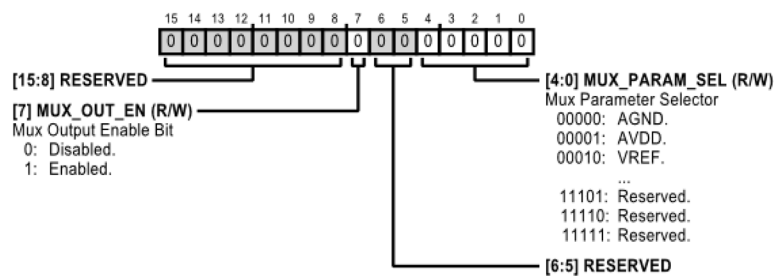


図 104. アドレス：0x54、リセット：0x0000、レジスタ名：MUX_OUT_SEL

表 56. MUX_OUT_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	MUX_OUT_EN	Mux出力カインェブル・ビット。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
[6:5]	RESERVED	予約済み。	0x0	R
[4:0]	MUX_PARAM_SEL	Mux パラメータ・セレクタ。 00000 : AGND。 00001 : AVDD。 00010 : VREF。 00011 : AGND。 00100 : DAC VOUT CH0。 00101 : DAC VOUT CH1。 00110 : DAC VOUT CH2。 00111 : DAC VOUT CH3。 01000 : DAC IOOUT CH0。 01001 : DAC IOOUT CH1。 01010 : DAC IOOUT CH2。	0x0	R/W

レジスタ

表 56. MUX_OUT_SEL のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		01011 : DAC IOUT CH3。 01100 : DAC PVDD CH0。 01101 : DAC PVDD CH1。 01110 : DAC PVDD CH2。 01111 : DAC PVDD CH3。 10000 : DAC TDIODE CH0。 10001 : DAC TDIODE CH1。 10010 : DAC TDIODE CH2。 10011 : DAC TDIODE CH3。 10100 : MUX_IN。 10101 : MUX_IN。 10110 : MUX_IN。 10111 : MUX_IN。 11000 : 予約済み。 11001 : 予約済み。 11010 : 予約済み。 11011 : 予約済み。 11100 : 予約済み。 11101 : 予約済み。 11110 : 予約済み。 11111 : 予約済み。		

MUX 出力制御レジスタ

このレジスタは、MUX_OUT ピンのバッファを制御するために用いられます。

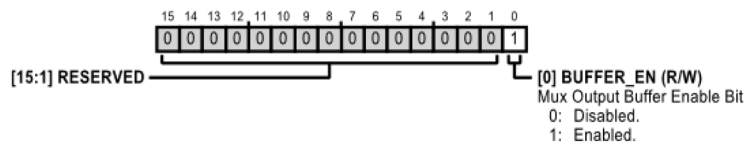


図 105. アドレス : 0x56、リセット : 0x0001、レジスタ名 : MUX_OUT_CONTROL

表 57. MUX_OUT_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	BUFFER_EN	Mux 出力バッファ・イネーブル・ビット。 0 : デイスエーブル。 1 : イネーブル。	0x1	R/W

レジスタ

温度警告割込みのイネーブル・レジスタ

このレジスタは、TEMP_WARN_STAT レジスタのステータス・ビットをイネーブルするために用いられます。

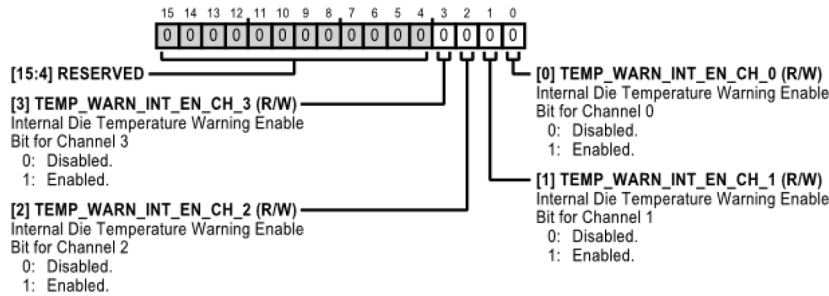


図 106. アドレス：0x58、リセット：0x0000、レジスタ名：TEMP_WARN_INT_EN

表 58. TEMP_WARN_INT_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	TEMP_WARN_INT_EN_CH_3	チャンネル3の内部ダイ温度警告イネーブル・ビット。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
2	TEMP_WARN_INT_EN_CH_2	チャンネル2の内部ダイ温度警告イネーブル・ビット。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
1	TEMP_WARN_INT_EN_CH_1	チャンネル1の内部ダイ温度警告イネーブル・ビット。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
0	TEMP_WARN_INT_EN_CH_0	チャンネル0の内部ダイ温度警告イネーブル・ビット。 0：ディスエーブル。 1：イネーブル。	0x0	R/W

複数 DAC 入力のソフトウェア LDAC レジスタ

このレジスタは、複数チャンネルのソフトウェア LDAC モードをトリガするために用いられます。

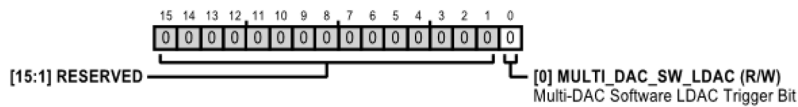


図 107. アドレス：0x5A、リセット：0x0000、レジスタ名：MULTI_DAC_SW_LDAC

表 59. MULTI_DAC_SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	MULTI_DAC_SW_LDAC	マルチ DAC ソフトウェア LDAC トリガ・ビット。	0x0	R/W

複数 DAC 入力レジスタ

このレジスタには、マルチ DAC 機能に用いられるデータが格納されます。

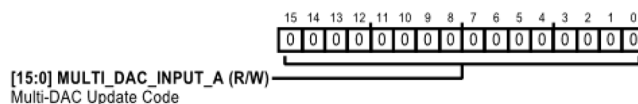


図 108. アドレス：0x5C、リセット：0x0000、レジスタ名：MULTI_DAC_INPUT_A

レジスタ

表 60. MULTI_DAC_INPUT_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_DAC_INPUT_A	マルチ DAC 更新コード。	0x0	R/W

DAC 入力のソフトウェア LDAC レジスタ

このレジスタは、ソフトウェア LDAC モードをトリガするために用いられます。

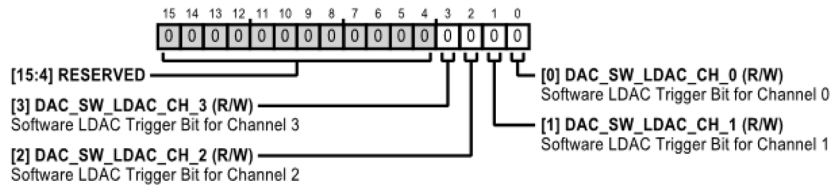


図 109. アドレス：0x5E、リセット：0x0000、レジスタ名：DAC_SW_LDAC

表 61. DAC_SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	DAC_SW_LDAC_CH_3	チャンネル 3 のソフトウェア LDAC トリガ・ビット。	0x0	R/W
2	DAC_SW_LDAC_CH_2	チャンネル 2 のソフトウェア LDAC トリガ・ビット。	0x0	R/W
1	DAC_SW_LDAC_CH_1	チャンネル 1 のソフトウェア LDAC トリガ・ビット。	0x0	R/W
0	DAC_SW_LDAC_CH_0	チャンネル 0 のソフトウェア LDAC トリガ・ビット。	0x0	R/W

DAC 入力レジスタ

このレジスタは、ロード DAC 機能時に DAC_DATA レジスタにロードできる DAC データを格納するために用いられます。

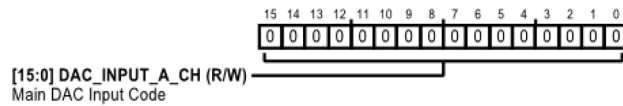


図 110. アドレス：0x60~0x66（インクリメントは 2）、リセット：0x0000、レジスタ名：DAC_INPUT_A_CHn

表 62. DAC_INPUT_A_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_INPUT_A_CH	メイン DAC 入力コード。	0x0	R/W

DAC データ・リードバック・レジスタ

このレジスタには、DAC コアの最新の DAC コードが格納されます。

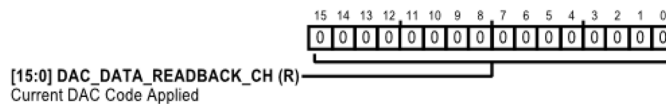


図 111. アドレス：0x68~0x6E（インクリメントは 2）、リセット：0x0000、レジスタ名：DAC_DATA_READBACK_CHn

表 63. DAC_DATA_READBACK_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_DATA_READBACK_CH	適用されている最新の DAC コード。	0x0	R

レジスタ

温度警告フラグ・ステータス・レジスタ

このレジスタは、内部ダイ温度のステータスを格納します。

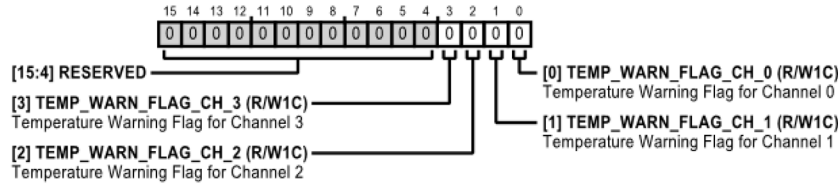


図 112. アドレス：0x70、リセット：0x0000、レジスタ名：TEMP_WARN_STAT

表 64. TEMP_WARN_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	TEMP_WARN_FLAG_CH_3	チャンネル 3 の温度警告フラグ。このビットは、チャンネル 3 の内部ダイ温度が約 125°C に達すると 1'b1 にセットされます。このビットは、温度が 125°C 未満である限り、1'b1 を書き込むことによりクリアできます。	0x0	R/W1C
2	TEMP_WARN_FLAG_CH_2	チャンネル 2 の温度警告フラグ。このビットは、チャンネル 2 の内部ダイ温度が約 125°C に達すると 1'b1 にセットされます。このビットは、温度が 125°C 未満である限り、1'b1 を書き込むことによりクリアできます。	0x0	R/W1C
1	TEMP_WARN_FLAG_CH_1	チャンネル 1 の温度警告フラグ。このビットは、チャンネル 1 の内部ダイ温度が約 125°C に達すると 1'b1 にセットされます。このビットは、温度が 125°C 未満である限り、1'b1 を書き込むことによりクリアできます。	0x0	R/W1C
0	TEMP_WARN_FLAG_CH_0	チャンネル 0 の温度警告フラグ。このビットは、チャンネル 0 の内部ダイ温度が約 125°C に達すると 1'b1 にセットされます。このビットは、温度が 125°C 未満である限り、1'b1 を書き込むことによりクリアできます。	0x0	R/W1C

デジタル・ステータス・レジスタ

このレジスタには、デジタル・コアのステータス信号が格納されます。

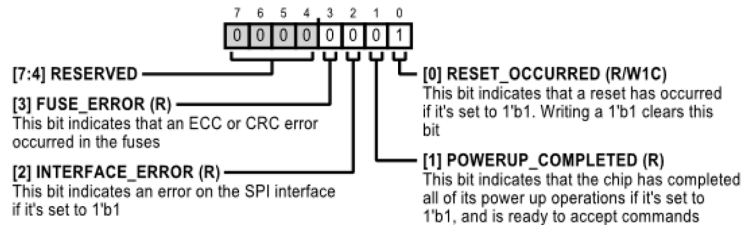


図 113. アドレス：0x72、リセット：0x01、レジスタ名：DIGITAL_STATUS

表 65. DIGITAL_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	FUSE_ERROR	このビットは、ヒューズにおいて ECC エラーまたは CRC エラーが発生したことを示します。	0x0	R
2	INTERFACE_ERROR	このビットが 1'b1 にセットされている場合、SPI インターフェースにエラーがあることを示します。	0x0	R
1	POWERUP_COMPLETED	このビットが 1'b1 にセットされている場合、チップのパワーアップ動作をすべて完了したことを示しており、コマンドを受け入れる準備ができています。	0x0	R
0	RESET_OCCURRED	このビットが 1'b1 にセットされている場合、リセットが発生したことを示しています。1'b1 を書き込むと、このビットがクリアされます。	0x1	R/W1C

レジスタ

バンドギャップ制御レジスタ

このレジスタは、内部バンドギャップの制御を行います。

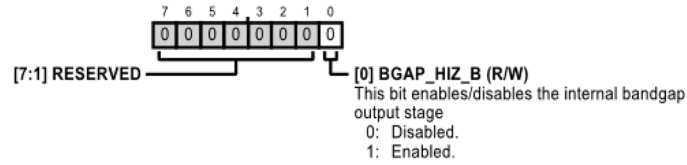


図 114. アドレス：0x73、リセット：0x00、レジスタ名：BANDGAP_CONTROL

表 66. BANDGAP_CONTROL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	BGAP_HIZ_B	このビットは、内部バンドギャップ出力段をイネーブル/ディスエーブルします。 0：ディスエーブル。 1：イネーブル。	0x0	R/W

ユーザ・スペア 0 レジスタ

スペア・レジスタ

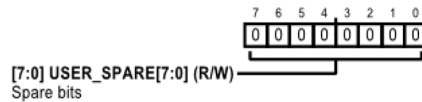


図 115. アドレス：0x74、リセット：0x00、レジスタ名：USER_SPARE_0

表 67. USER_SPARE_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_SPARE[7:0]	スペア・ビット。	0x0	R/W

ユーザ・スペア 1 レジスタ

スペア・レジスタ

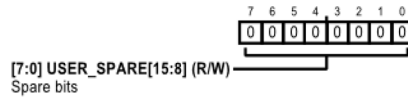


図 116. アドレス：0x75、リセット：0x00、レジスタ名：USER_SPARE_1

表 68. USER_SPARE_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_SPARE[15:8]	スペア・ビット。	0x0	R/W

レジスタ

ユーザ・スペア 2 レジスタ

スペア・レジスタ

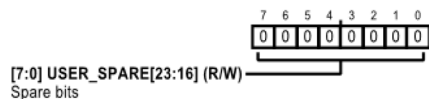


図 117. アドレス：0x76、リセット：0x00、レジスタ名：USER_SPARE_2

表 69. USER_SPARE_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_SPARE [23:16]	スペア・ビット。	0x0	R/W

ユーザ・スペア 3 レジスタ

スペア・レジスタ



図 118. アドレス：0x77、リセット：0x00、レジスタ名：USER_SPARE_3

表 70. USER_SPARE_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	USER_SPARE [31:24]	スペア・ビット。	0x0	R/W

外形寸法

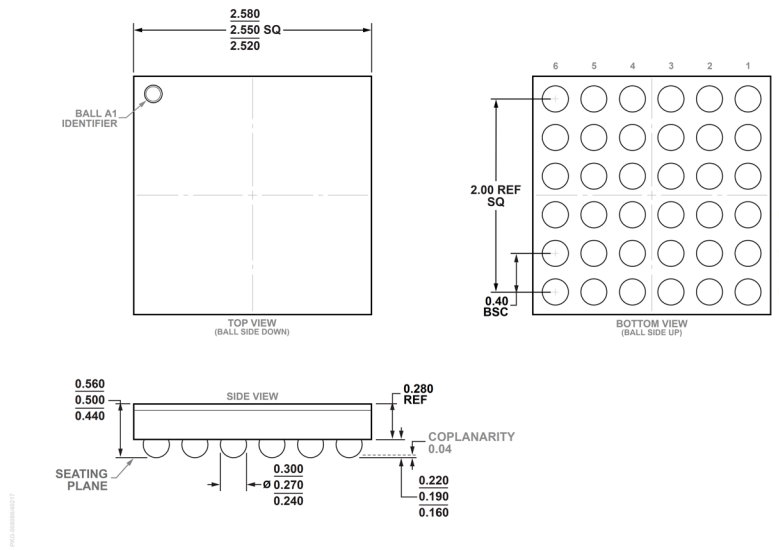
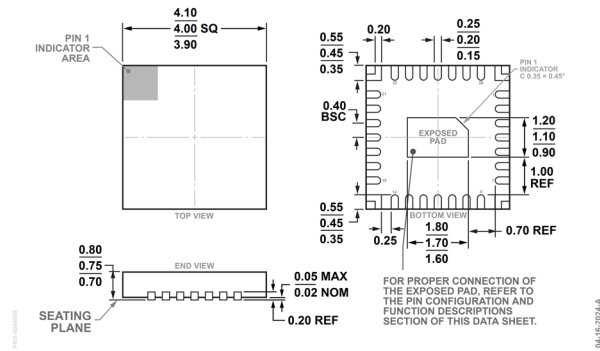


図 119. 36 ボール・ウェーハ・レベル・チップ・スケール・パッケージ (WLCSP)
(CB-36-12)
寸法: mm



RECOMMENDED SOLDER PAD LAYOUT
(TOP VIEW)

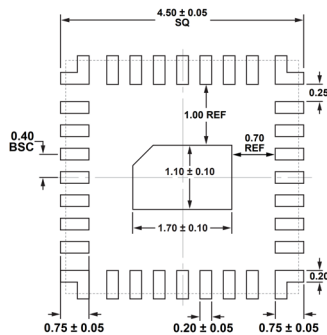


図 120. 28 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
4mm × 4mm ボディ、0.75mm パッケージ高
(CP-28-17)
単位: mm

外形寸法

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD5706RBCBZ-RL7	-40°C to +125°C	36-Ball Wafer Level Chip Scale Package [WLCSP]	CB-36-12
AD5706RBPCZ-RL7	-40°C to +125°C	28-Lead Lead Frame Chip Scale Package [LFCSP]	CP-28-17

¹ Z = RoHS 準拠製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。