



データシート

AD5529R

16 チャンネル、16 ビットの高電圧出力 DAC

特長

- ▶ 16 ビット分解能、 $\pm 1\text{LSB}_{16}$ の DNL、 $\pm 1\text{LSB}_{16}$ の INL
- ▶ 個別にプログラマブルな出力範囲：0V~5V、0V~10V、0V~20V、0V~40V、 $\pm 5\text{V}$ 、 $\pm 10\text{V}$ 、 $\pm 15\text{V}$ 、 $\pm 20\text{V}$
- ▶ 電源のグループ化を設定可能
- ▶ 内部電圧リファレンス：4.096V、8ppm/°C（代表値）
- ▶ トグル波形、サイン波ディザ波形、ランプ波形によるファンクション・ジェネレーション
- ▶ 出力電圧、電流、およびダイ温度のモニタ
- ▶ 出力駆動電流： $\pm 25\text{mA}$ （0.5V のヘッドルーム時）
- ▶ 4.3mm × 4.3mm、60 ボール WLCSP

アプリケーション

- ▶ 光ネットワーク
- ▶ 計測器
- ▶ データ・アキュイジション
- ▶ ATE（自動試験装置）
- ▶ プロセス制御および産業用オートメーション

概要

AD5529R は、高精度リファレンスを内蔵した 16 チャンネル、16 ビットの電圧出力 D/A コンバータ（DAC）です。AD5529R は、ユニポーラ電源とバイポーラ電源の両方で動作します。単調性が確保されており、最大で 25mA のソースまたはシンクができるレール to レール出力バッファが内蔵されています。

4.096V の内部高精度リファレンスで、出力電圧の精度を設定できます。

4 つのトグル・ピンにより、トグル、正弦波ディザ、複数の周波数でのランプなど、様々なデジタル機能がサポートされます。アナログ・マルチプレクサを使用することで、DAC 出力電圧、負荷電流、ジャンクション温度の測定が簡略化されます。アナログ・マルチプレクサは、クローズド・ループ・システムが必要とされるアプリケーションで使用できます。

AD5529R は、プログラマブルなオフセット・レジスタとゲイン・レジスタを備えており、外部デジタル・コントローラのタスクを軽減することで、システム全体の効率と性能を向上させます。

シリアル・ペリフェラル・インターフェース（SPI）は、3 線式および 4 線式の接続に対応し、1.98V~1.08V のロジック・レベルで動作します。

SPI インターフェースはフレーム内ターゲット・アドレス指定をサポートしているため、最大 4 つの AD5529R デバイスで同じ SPI インターフェースを共有できます。

機能ブロック図

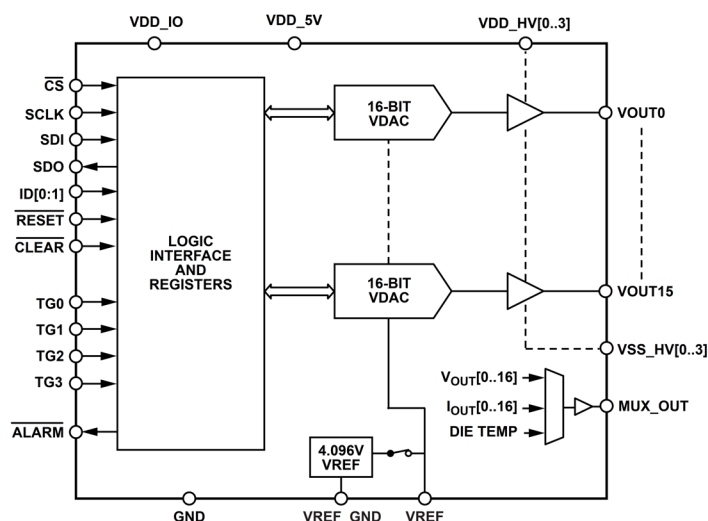


図 1. AD5529R のブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

目次

特長	1	インターフェース設定 C レジスタ	54
アプリケーション	1	インターフェース・ステータス A レジスタ	55
概要	1	レジスタの詳細：共通 DAC のレジスタ・マップ	56
機能ブロック図	1	マルチ入力チャンネル選択レジスタ	56
仕様	4	同期非同期ロード・レジスタ	56
電気的特性	4	ハードウェア・ソフトウェア・トリガ・レジスタ	57
タイミング特性	7	LDAC ハードウェア・ピンおよびエッジ・セレクト・ レジスタ	58
絶対最大定格	9	出力イネーブル・レジスタ	59
熱抵抗	9	出力レンジ・レジスタ	59
静電放電 (ESD) 定格	9	デジタル・ゲイン補正レジスタ	60
ESD に関する注意	9	デジタル・オフセット補正レジスタ	60
ピン配置およびピン機能の説明	10	機能有効化レジスタ	60
代表的な性能特性	13	機能モード選択レジスタ	61
用語の定義	19	セカンダリ DAC 入力レジスタ	62
動作原理	21	ディザ周期選択レジスタ	62
D/A コンバータ	21	ディザ位相選択レジスタ	62
モニタ・マルチプレクサ	22	ランプ・ステップ・レジスタ	63
電圧リファレンス	23	機能割込みイネーブル・レジスタ	63
ゲインおよびオフセットの補正	23	MUX 出力選択レジスタ	64
DAC の更新	24	マルチチャンネル・ソフトウェア LDAC レジスタ	65
過熱シャットダウン	37	マルチチャンネル入力レジスタ	65
ALARM 機能	37	個別チャンネル・ソフトウェア LDAC レジスタ	66
ハードウェア・リセット	38	プライマリ DAC 入力レジスタ	66
CLEAR 機能	38	機能割込みステータス・レジスタ	67
ソフトウェア・リセット	38	DAC データ・リードバック・レジスタ	68
SPI インターフェース	39	レジスタの詳細：製品固有 DAC のレジスタ・マップ	69
アプリケーション情報	43	温度センサー・イネーブル・レジスタ	69
レイアウトのガイドライン	43	温度センサー・アラート・ライブ・フラグ・レジスタ	69
電源のセットアップ	43	温度センサー・シャットダウン・ライブ・フラグ・ レジスタ	70
複数の AD5529R が SPI および MUXOUT を共有している システムにおけるチャンネル診断	43	温度センサー・アラート・ステータス・レジスタ	70
DAC ホットパス	43	温度センサー・シャットダウン・ステータス・レジスタ	71
レジスタの一覧	45	ALARM ピンへの温度センサー・ステータス・ イネーブル・レジスタ	71
レジスタの詳細：基盤デバイスとインターフェースおよび 設定	50	ALARM ピンへのアラート／シャットダウン・ ステータス信号選択レジスタ	72
インターフェース設定 A レジスタ	50	温度センサー・シャットダウンによるチャンネル・ ディスエーブル・レジスタ	72
インターフェース設定 B レジスタ	50	チャンネルごとのデグリッチ・ディスエーブル・レジスタ	73
デバイス設定レジスタ	51	DAC 割込みイネーブル・レジスタ	74
チップ・タイプ・レジスタ	51	結合機能ジェネレータ・ステータス・レジスタ	74
製品 ID ロー・レジスタ	51	機能ジェネレータ・ビジー・ライブ・フラグ・レジスタ	75
製品 ID ハイ・レジスタ	52	リファレンス・ソース選択レジスタ	75
チップ・グレード・レジスタ	52	初期化 CRC エラー・ステータス・レジスタ	76
スクラッチパッド・レジスタ	52		
SPI リビジョン・レジスタ	52		
ベンダ ID ロー・レジスタ	53		
ベンダ ID ハイ・レジスタ	53		
ストリーム・モード・レジスタ	53		
転送設定レジスタ	54		

目次

レジスタの詳細：ホットパス DAC のレジスタ・マップ	77	入力デバイス 0 レジスタ	79
マルチデバイス SW LDAC モード 0 レジスタ	77	入力デバイス 1 レジスタ	79
マルチ入力デバイス 0 レジスタ	77	入力デバイス 2 レジスタ	80
マルチ入力デバイス 1 レジスタ	77	入力デバイス 3 レジスタ	80
マルチ入力デバイス 2 レジスタ	78	外形寸法	81
マルチ入力デバイス 3 レジスタ	78	オーダー・ガイド	81
マルチデバイス SW LDAC モード 1 レジスタ	78	評価用ボード	81

改訂履歴

4/2026—Revision 0: Initial Version

仕様

電気的特性

VDD_HVx = 7V~45V、VSS_HVx = -22.5V~-0.5V、VSS_HV0 ≤ VSS_HV[1:3]、VDD_HVx - VSS_HVx < 45V、VDD_5V = 4.75V~5.25V、VDD_IO = 1.08V~1.98V。特に指定のない限り、最小値および最大値については、-40°C ≤ T_A ≤ 125°C、代表値については、T_A = 25°C、出力無負荷、全出力レンジ、外部リファレンス = 4.096V。

表 1. 電気的特性

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
STATIC PERFORMANCE					
Resolution	16			Bits	
INL			±1	LSB	All ranges, except 0V to 40V
			±2	LSB	0V to 40V range
DNL			±1	LSB	Guaranteed monotonic
TUE			±0.3	%FSR	0V to 5V, 0V to 10V, ±5V ranges
			±0.35	%FSR	0V to 20V, 0V to 40V, ±10V, ±15V, ±20 ranges
Gain Error			±0.3	%FSR	0V to 5V, 0V to 10V, ±5V ranges
			±0.35	%FSR	0V to 20V, 0V to 40V, ±10V, ±15V, ±20 ranges
Gain Error Temperature Drift		4		ppmFSR/°C	0V to 5V, 0V to 10V, ±5V ranges
		4.5		ppmFSR/°C	0V to 20V, 0V to 40V, ±10V, ±15V, ±20 ranges
Bipolar Zero Error			±0.25	%FSR	
Bipolar Zero Error Temperature Drift		0.7		ppmFSR/°C	
Zero-Scale Error			±0.25	%FSR	All unipolar ranges
			±0.33	%FSR	All bipolar ranges
Zero-Scale Error Temperature Drift		1.3		ppmFSR/°C	All unipolar ranges
		2.6		ppmFSR/°C	All bipolar ranges
OUTPUT CHARACTERISTICS					
Pull-Down Resistance		28		kΩ	Pull-down present when the channel is disabled
Output Voltage Ranges	-20		+20	V	
	-15		+15	V	
	-10		+10	V	
	-5		+5	V	
	0		40	V	
	0		20	V	
	0		10	V	
	0		5	V	
Headroom and Footroom ¹	0.5			V	I _{OUT} = ±25mA
	0.35			V	I _{OUT} = ±15mA
Output Current			±25	mA	
Short-Circuit Current ²		±45		mA	
Maximum Capacitive Load ¹		1		nF	R _L = ∞
Load Regulation		120		μV/mA	±10V range, -10mA ≤ I _{OUT} ≤ +10mA
DC Crosstalk		5		μV	DAC code = midscale, due to single channel, full-scale output change, internal reference
REFERENCE OUTPUT					
Output Voltage ³	4.091		4.101	V	At 25°C
External Load Current		5		mA	Source only
Voltage Reference Temperature Drift ⁴		8	13	ppm/°C	-40°C to +125°C
Load Regulation		215		μV/mA	
Noise Spectral Density		180		nV/√Hz	At 1kHz
0.1Hz to 10Hz Noise		8.5		μV RMS	

仕様

表 1. 電気的特性 (続き)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Long-Term Drift		110		ppm	T _A = 25°C, 1000hours
REFERENCE INPUT					
Input Voltage Range ¹	4.056	4.096	4.136	V	
Input Current		60		μA	All channels enabled
POWER SUPPLY					
VDD_HVx	7		45	V	
VSS_HVx	-22.5		0	V	For unipolar range, VSS_HV ≤ -0.5V
VDD_HVx to VSS_HVx			<45	V	Any VDD_HVx to any VSS_HVx
VDD_5V	4.75		5.25	V	
VDD_IO	1.08		1.98	V	
SUPPLY CURRENT					
VDD_HV		13		mA	±15V range, all channels enabled, code = full-scale
		100		μA	All channels disabled
VSS_HV		-13		mA	±15V range, all channels enabled, code = zero-scale
		-66		μA	All channels disabled
VDD_5V		33		mA	All channels enabled, ±20V range, code = zero-scale
		22		mA	All channels enabled, 0V to 40V range, code = full-scale
		350	600	μA	All channels disabled
VDD_IO		1	20	μA	No SDO line activity
MONITOR MUX					
Output Voltage Range	0		VREF	V	
Buffer Output Impedance		150		mΩ	
Output Current Limit		±12.5		mA	
Mux Switching Glitch ⁵		0.85		mV	R _L = 2kΩ, C _L = 220pF
Current Monitor Error		±0.5		mA	I _{OUT} = 25mA, for no calibration and for calibration-adjusted formula
Voltage Monitor Error					
No Calibration		±2		%FSR	
Calibration-Adjusted Formula		±0.1		%FSR	
Temperature Monitor Error ⁶		6.8		°C	Single measurement
Temperature Monitor Slope		7.7		mV/°C	
AC PERFORMANCE					
Settling Time		7		μs	¼ to ¾ scale step, settled to ±1LSB ₁₆ R _L = 2kΩ, C _L = 220pF
		12		μs	0V to 5V range
		13		μs	0V to 10V range, ±5V range
		18		μs	0V to 20V range, ±10V range
		16		μs	0V to 40V range, ±20V range
Slew Rate		3		V/μs	±15V range
Output Noise Spectral Density					0V to 5V range, code = midscale
		130		nV/√Hz	At f = 1kHz
		67		nV/√Hz	At f = 10kHz
		6		μV RMS	0.1Hz to 10Hz
Digital-to Analog Glitch		1.30		nV × s	0V to 5V range, R _L = 2kΩ, C _L = 220pF
Glitch Impulse Peak Amplitude		1.90		mV	0V to 5V range, R _L = 2kΩ, C _L = 220pF
Digital Feedthrough		±0.2		nV × s	0V to 5V range, R _L = 2kΩ, C _L = 220pF
Digital Crosstalk		±0.2		nV × s	0V to 5V range, R _L = 2kΩ, C _L = 220pF
Analog Crosstalk		0.55		nV × s	0V to 5V range, R _L = 2kΩ, C _L = 220pF

仕様

表 1. DC 仕様（続き）

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DAC-to-DAC Crosstalk		±0.45		nV × s	0V to 5V range, $R_L = 2k\Omega$, $C_L = 220pF$
LOGIC INPUTS AND OUTPUTS					All digital pins
Input Low Voltage			$0.3 \times VDD_IO$	V	
Input High Voltage	$0.7 \times VDD_IO$			V	
Output Low Voltage			$0.2 \times VDD_IO$	V	
Output High Voltage	$0.8 \times VDD_IO$			V	
Pin Capacitance		3		pF	
Digital Input Leakage ⁷		10		nA	All digital inputs except ID0, ID1
		200		nA	ID0, ID1
Digital High-Z Output Leakage ⁸		10		nA	

¹ 設計と特性評価により裏付けられていますが、製品テストは行っていません。

² このデバイスは、一時的過負荷状態でデバイスを保護することを目的とした電流制限機能を内蔵しています。電流制限時にはジャンクション温度の限度を超える可能性があります。規定の最大動作ジャンクション温度を超えての動作はデバイスの信頼性を損なうおそれがあります。

³ 出力電圧には、前処理されたドリフトおよびハンダ付け処理の影響が含まれます。

⁴ 電圧リファレンスの温度係数はボックス法に従って計算します。詳細については、[用語の定義](#)のセクションを参照してください。

⁵ MUX_PARAM_SEL を通じて異なるチャンネルをモニタしているときに、VOUTn チャンネルに現れるピーク電圧グリッチ。

⁶ [図 37](#) を参照してください。

⁷ TG[0~3]、RESET、CLEAR、CS、SDI、ID[0~1]、SCLK。

⁸ SDO および ALARM。

仕様

タイミング特性

特に指定のない限り、 $V_{DD_IO} = 1.08V \sim 1.98V$ 、 $-40^{\circ}C \leq T_A \leq +125^{\circ}C$ 、 $T_A = 25^{\circ}C$ 。

表 2. AD5529R のタイミング仕様¹

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
t_1 (Write)	20 ²			ns	SCLK cycle time (write)
t_1 (Read)	40 ³			ns	SCLK cycle time (read), $1.62V \leq V_{DD_IO} \leq 1.98V$
	50 ⁴			ns	SCLK cycle time (read), $1.08V \leq V_{DD_IO} < 1.62V$
t_2		$t_1/2$		ns	SCLK high time
t_3		$t_1/2$		ns	SCLK low time
t_4	8			ns	SCLK rising edge to CSB falling edge
t_5	8			ns	$\overline{CS}$ falling edge to SCLK rising edge setup time
t_6	8			ns	SCLK rising edge to CSB rising edge
t_7	8			ns	$\overline{CS}$ rising edge to SCLK rising edge
t_8	4.5			ns	Data setup time
t_9	3.5			ns	Data hold time
t_{10}	20			ns	$\overline{CS}$ high time
t_{11}			21	ns	SCLK falling edge to SDO data available, $1.08V \leq V_{DD_IO} < 1.62V$
			13	ns	SCLK falling edge to SDO data available, $1.62V \leq V_{DD_IO} \leq 1.98V$
t_{12}	2			ns	SCLK falling edge to SDO data remains valid
t_{13}			16	ns	$\overline{CS}$ rising edge to SDO disabled
t_{14}			16	ns	SCLK falling edge to SDO enabled, $1.08V \leq V_{DD_IO} < 1.62V$
			10	ns	SCLK falling edge to SDO enabled, $1.62V \leq V_{DD_IO} \leq 1.98V$
t_{reset}	20			ns	Minimum reset low width
t_{clear}	20			ns	Minimum clear low width
t_{L1} ⁵	200			ns	Toggle period between pulses
t_{L2}	280			ns	Time to start toggle pulse
t_{L3}	100			ns	Toggle pulse width
t_{L4}/t_{L5}		240		ns	Toggle active edge to output response time rising/falling (output starts to change)
t_{vout_async}		340		ns	Asynchronous write till output response time

¹ すべての入力信号は、 $t_R = t_F = 1ns/V$ (IOVCC の 10%~90%) で仕様規定され、 $(V_{IL} + V_{IH})/2$ の電圧レベルから時間計測します。

² 書き込み動作のみの場合、50MHz と同じです。

³ 読み出し動作のみの場合、25MHz と同じです。

⁴ 読み出し動作のみの場合、20MHz と同じです。

⁵ DAC デグリッチャをディスエーブルして測定。

仕様

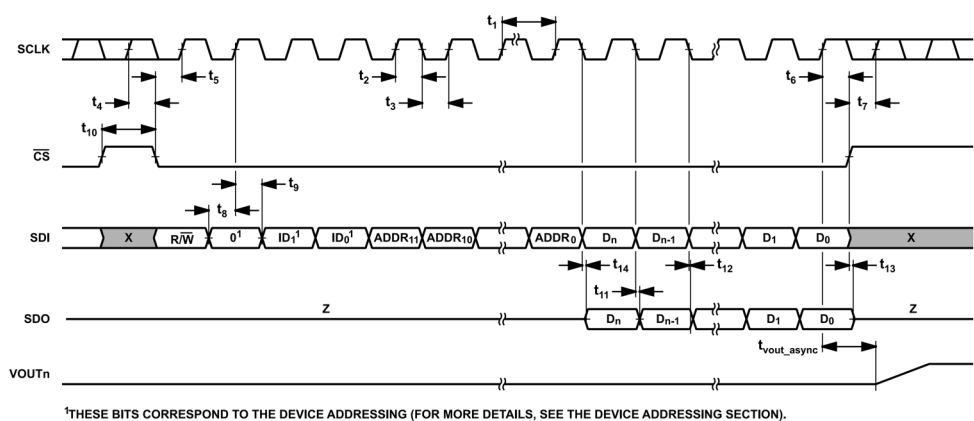


図 2. シリアル書き込みおよび読み出し動作

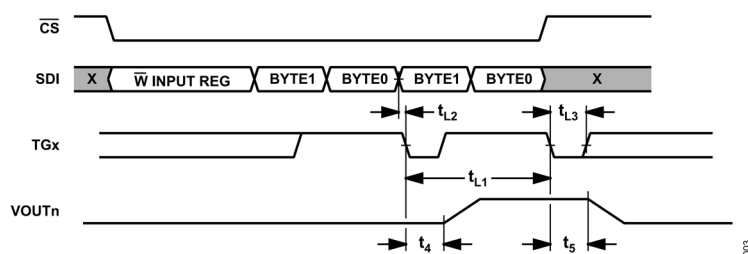


図 3. LDAC のタイミング

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
VDD_HV0/1/2/3 to GND	-0.3V to +50V
VSS_HV0/1/2/3 to GND	-25V to +0.3V
VDD_HVX to VSS_HVX	-0.3V to +50V
VSS_HV0 to VSS_HV1/2/3	-25V to +0.3V, VSS_HV0 must always be equal or lower than VSS_HV[1:3]
VDD_5V to GND	-0.3V to +6V
VDD_IO to GND	-0.3 to +2.2V
VREF to GND	-0.3 to +6V, or -0.3V to +VDD_5V, whichever is lower
Digital Inputs to GND ¹	-0.3V to +VDD_IO
Digital Outputs to GND ²	-0.3V to +VDD_IO
MUX_OUT to GND	-0.3V to +VDD_5V, or -0.3V to +6V, whichever is lower
VREF_GND to GND	-0.3V to +0.3V
Temperature	
Operating Junction	-40°C to +125°C
Storage Range	-65°C to +150°C
Absolute Maximum Junction	150°C
Reflow Soldering Peak	260°C

¹ デジタル入力には、 $\overline{\text{CS}}$ 、SDI、SCLK、LDAC/TOGGLE[3:0]、 $\overline{\text{RESET}}$ 、 $\overline{\text{CLEAR}}$ があります。

² デジタル出力には、SDO と $\overline{\text{ALARM}}$ があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格は、組み合わせではなく個別に適用されます。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲環境の間の熱抵抗です。

θ_{JB} は、ジャンクションとボードの間の熱抵抗です。

θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

Ψ_{JT} は、ジャンクションと上面間の熱特性評価パラメータです。

Ψ_{JB} は、ジャンクションとボード間の熱特性評価パラメータです。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JB}	θ_{JC}	Ψ_{JT}	Ψ_{JB}	Unit
WLCSP CB-60-1 ¹	43	13.4	1.31	3.94	13	°C/W

¹ 4 個のサーマル・ビアを持つ JEDEC 2S2P ボードを使用した自然空冷（空気流 0m/sec）の場合のシミュレーション値。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

AD5529R の ESD 定格

表 5. AD5529R、60 ボール WLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	3500	2
FICDM	1250	C3

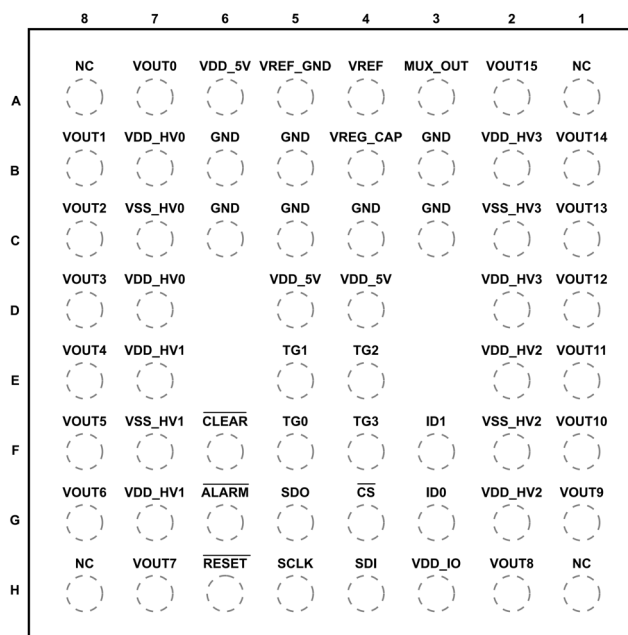
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. NC = NO CONNECT.

図 4. ピン配置

表 6. ピン機能の説明、60 ボール WLCSP

ピン番号	記号	タイプ ¹	説明
H3	VDD_IO	S	ロジック電源。VDD_IO は 1.08V~1.98V の範囲内にする必要があります。VDD_IO 電源は 0.1μF のコンデンサで GND とデカップリングします。このピンは、デバイスのシリアル・インターフェース回路ブロックに電源を供給します。
A6, D4, D5	VDD_5V	S	電源入力。これらのピンは、4.75V~5.25V で動作します。VDD_5V 電源は、10μF のコンデンサと 0.1μF のコンデンサを並列にして GND に接続することによりデカップリングします。
B7, D7	VDD_HV0	S	チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 の DAC 出力用アナログ正電源。この VDD_HV0 ピンは、10μF のコンデンサで GND にバイパスします。
E7, G7	VDD_HV1	S	チャンネル 4、チャンネル 5、チャンネル 6、チャンネル 7 の DAC 出力用アナログ正電源。この VDD_HV1 ピンは、10μF のコンデンサで GND にバイパスします。
G2, E2	VDD_HV2	S	チャンネル 8、チャンネル 9、チャンネル 10、チャンネル 11 の DAC 出力用アナログ正電源。この VDD_HV2 ピンは、10μF のコンデンサで GND にバイパスします。
D2, B2	VDD_HV3	S	チャンネル 12、チャンネル 13、チャンネル 14、チャンネル 15 の DAC 出力用アナログ正電源。この VDD_HV3 ピンは、10μF のコンデンサで GND にバイパスします。
C7	VSS_HV0	S	チャンネル 0、チャンネル 1、チャンネル 2、チャンネル 3 の DAC 出力用アナログ負電源。VSS_HV0 が GND に接続されている場合を除き、VSS_HV0 は 10μF のコンデンサで GND にバイパスします。
F7	VSS_HV1	S	チャンネル 4、チャンネル 5、チャンネル 6、チャンネル 7 の DAC 出力用アナログ負電源。VSS_HV1 が GND に接続されている場合を除き、VSS_HV1 は 10μF のコンデンサで GND にバイパスします。
F2	VSS_HV2	S	チャンネル 8、チャンネル 9、チャンネル 10、チャンネル 11 の DAC 出力用アナログ負電源。VSS_HV2 が GND に接続されている場合を除き、VSS_HV2 は 10μF のコンデンサで GND にバイパスします。
C2	VSS_HV3	S	チャンネル 12、チャンネル 13、チャンネル 14、チャンネル 15 の DAC 出力用アナログ負電源。VSS_HV3 が GND に接続されている場合を除き、VSS_HV3 は 10μF のコンデンサで GND にバイパスします。
A5	REF_GND	S	内部リファレンス用アナログ・グラウンド。REFGND は、低インピーダンスの接続を用いて GND に接続する必要があります。
B3, B5, B6, C3, C4, C5, C6	GND	S	デバイスのすべての回路のグラウンド基準ポイント。
A7	VOUT0	AO	DAC 0 からのアナログ出力電圧。
B8	VOUT1	AO	DAC 1 からのアナログ出力電圧。
C8	VOUT2	AO	DAC 2 からのアナログ出力電圧。
D8	VOUT3	AO	DAC 3 からのアナログ出力電圧。
E8	VOUT4	AO	DAC 4 からのアナログ出力電圧。

ピン配置およびピン機能の説明

表 6. ピン機能の説明、60 ボール WLCSP (続き)

ピン番号	記号	タイプ ¹	説明
F8	VOUT5	AO	DAC 5 からのアナログ出力電圧。
G8	VOUT6	AO	DAC 6 からのアナログ出力電圧。
H7	VOUT7	AO	DAC 7 からのアナログ出力電圧。
H2	VOUT8	AO	DAC 8 からのアナログ出力電圧。
G1	VOUT9	AO	DAC 9 からのアナログ出力電圧。
F1	VOUT10	AO	DAC 10 からのアナログ出力電圧。
E1	VOUT11	AO	DAC 11 からのアナログ出力電圧。
D1	VOUT12	AO	DAC 12 からのアナログ出力電圧。
C1	VOUT13	AO	DAC 13 からのアナログ出力電圧。
B1	VOUT14	AO	DAC 14 からのアナログ出力電圧。
A2	VOUT15	AO	DAC 15 からのアナログ出力電圧。
A3	MUX_OUT	AO	モニタ・マルチプレクサのアナログ出力。このピンは、選択したチャンネルの内部ダイ温度、出力電圧、出力電流をモニタするために使用します (モニタ・マルチプレクサのセクションを参照)。
A4	VREF	AI/O	リファレンス電圧。内部リファレンスを使用する場合、これはリファレンス出力ピンになります。4.096V の外部リファレンスを使用する場合は、これは入力ピンになります。
G4	$\overline{CS}$	DI	チップ・セレクト (アクティブ・ロー) の制御入力。入力データに対するフレーム同期信号です。
H4	SDI	DI/O	シリアル・データ入力。ロジック入力。デバイスに書き込むデータは、この入力に供給され、SCLK の立上がりエッジに合わせてレジスタにクロック入力されます。SPI の 3 線式モード構成では、このピンは双方向になります。
G5	SDO	DO	シリアル・データ出力。ロジック出力です。リードバック動作を行うと、この出力ピンにシリアル・データ・ストリームとしてデータが供給されます。データは SCLK の立上がりエッジでクロック出力され、SCLK の立上がりエッジで有効になります。SPI の 3 線式モードを選択している場合は、このピンは高インピーダンスになります。
H5	SCLK	DI	シリアル・クロック入力。
F5	TG0	DI	TOGGLE0 ピン。トリガ・エッジ設定に基づいてこのピンにロー・レベルまたはハイ・レベルのパルスを入力すると、選択したすべての DAC を更新できます。それにより、選択した DAC 出力を任意のデジタル機能生成に対し同期して更新できます。使用しない場合、このピンは VDD_IO または GND のどちらかに接続する必要があります (ハードウェア・トリガのセクションを参照)。
H6	$\overline{RESET}$	DI	非同期リセット。立下がりエッジで動作するアクティブ・ローのロジック入力であり、すべてのレジスタをデフォルト値にリセットします (ハードウェア・リセットのセクションを参照)。
F6	$\overline{CLEAR}$	DI	アクティブ・ローの非同期クリア入力。このレベル・トリガ入力にロジック・ローを入力すると、DAC レジスタが 0V の出力コードにクリアされます (CLEAR 機能のセクションを参照)。
E5	TG1	DI	TOGGLE1 ピン。トリガ・エッジ設定に基づいてこのピンにロー・レベルまたはハイ・レベルのパルスを入力すると、選択したすべての DAC を更新できます。それにより、選択した DAC 出力を任意のデジタル機能生成に対し同期して更新できます。使用しない場合、このピンは VDD_IO または GND のどちらかに接続できます (ハードウェア・トリガのセクションを参照)。
E4	TG2	DI	TOGGLE2 ピン。トリガ・エッジ設定に基づいてこのピンにロー・レベルまたはハイ・レベルのパルスを入力すると、選択したすべての DAC を更新できます。それにより、選択した DAC 出力を任意のデジタル機能生成に対し同期して更新できます。使用しない場合、このピンは VDD_IO または GND のどちらかに接続できます (ハードウェア・トリガのセクションを参照)。
F4	TG3	DI	TOGGLE3 ピン。トリガ・エッジ設定に基づいてこのピンにロー・レベルまたはハイ・レベルのパルスを入力すると、選択したすべての DAC を更新できます。それにより、選択した DAC 出力を任意のデジタル機能生成に対し同期して更新できます。使用しない場合、このピンは VDD_IO または GND のどちらかに接続できます (ハードウェア・トリガのセクションを参照)。
G6	$\overline{ALARM}$	DO	アラーム・インジケータ。ロジック出力です。 $\overline{ALARM}$ は、オープン・ドレインの N チャンネル出力であり、フォルト条件が検出された場合、ローにプルダウンされます。 $\overline{ALARM}$ ピンがトリガされると、アラームをトリガした条件がなくなりステータス/アラーム・レジスタのビットがセットされるまで、クリアされません。10k Ω 以上のプルアップ抵抗を用いることを推奨します (ALARM 機能のセクションを参照)。
G3	ID0	DI	デバイス ID ビット 0。このピンは VDD_IO または GND のどちらかに接続する必要があります (デバイスのアドレス指定のセクションを参照)。
F3	ID1	DI	デバイス ID ビット 1。このピンは VDD_IO または GND のどちらかに接続する必要があります (デバイスのアドレス指定のセクションを参照)。
B4	VREG_CAP	AI	このピンと GND との間に 100nF のコンデンサを外付けする必要があります。

ピン配置およびピン機能の説明

表 6. ピン機能の説明、60 ボール WLCSP（続き）

ピン番号	記号	タイプ ¹	説明
A1, A8, H1, H8	No Connect	N/A	このピンは接続しないでください。これらのピンはフロート状態のままにしておきます。

¹ AO はアナログ出力ピン、AI/O はアナログ入力または出力ピン、S は電源ピン、DI はデジタル入力ピン、DO はデジタル出力ピン、DI/O はデジタル入力または出力ピン、N/A は該当なしを意味します。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD_5V} = 5\text{V}$ 、 $V_{DD_IO} = 1.8\text{V}$ 、出力無負荷、外部リファレンスに $1\mu\text{F}$ の外付けコンデンサを接続、 V_{DD_HVx} および V_{SS_HVx} は $V_{DD_HVx} = \text{MAX}(7, \text{FS} + 0.5\text{V})$ のレンジに応じて設定、 $V_{SS_HVx} = \text{ZS} - 0.5\text{V}$ 。

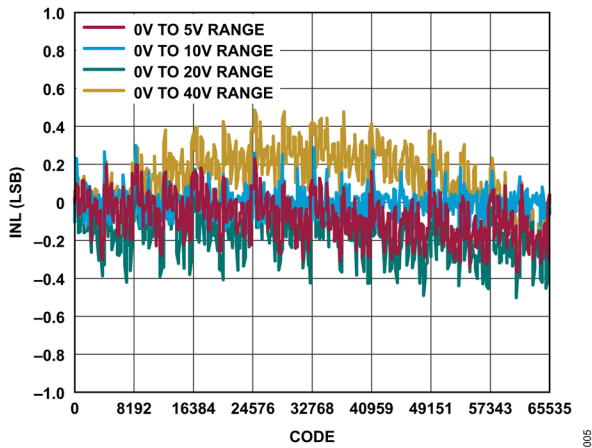


図 5. INL とコードの関係 (ユニポーラ・レンジ)

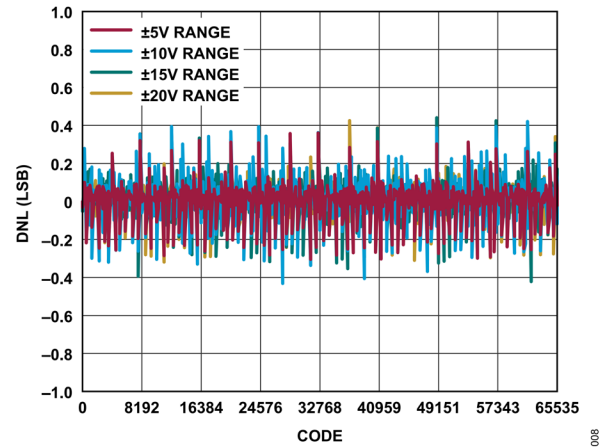


図 8. DNL とコードの関係 (バイポーラ・レンジ)

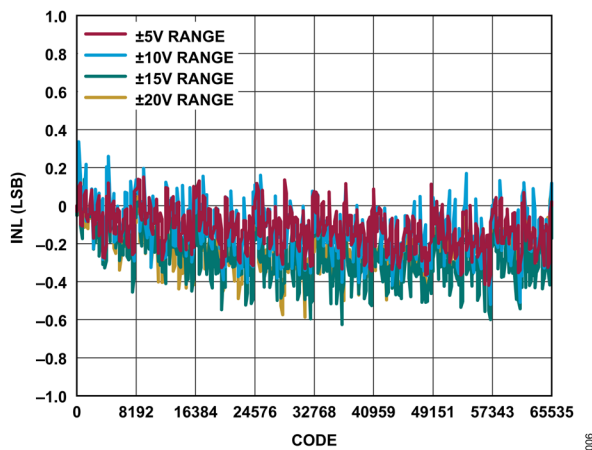


図 6. INL とコードの関係 (バイポーラ・レンジ)

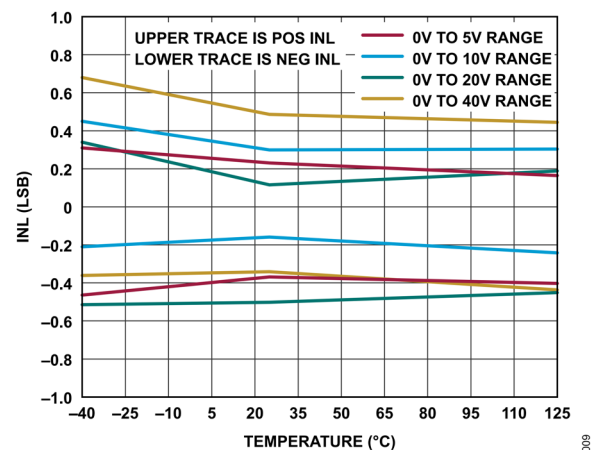


図 9. INL と温度の関係 (ユニポーラ・レンジ)

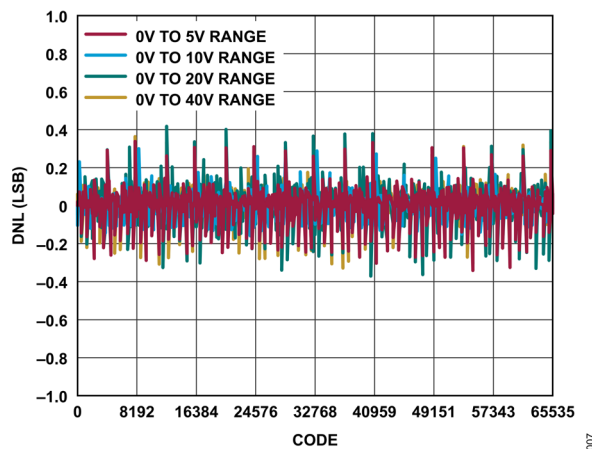


図 7. DNL とコードの関係 (ユニポーラ・レンジ)

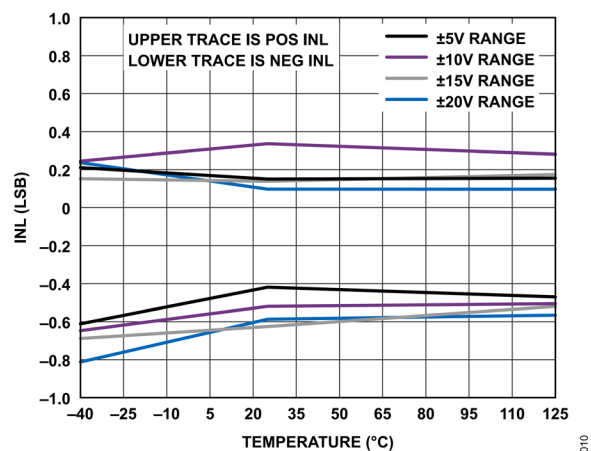


図 10. INL と温度の関係 (バイポーラ・レンジ)

代表的な性能特性

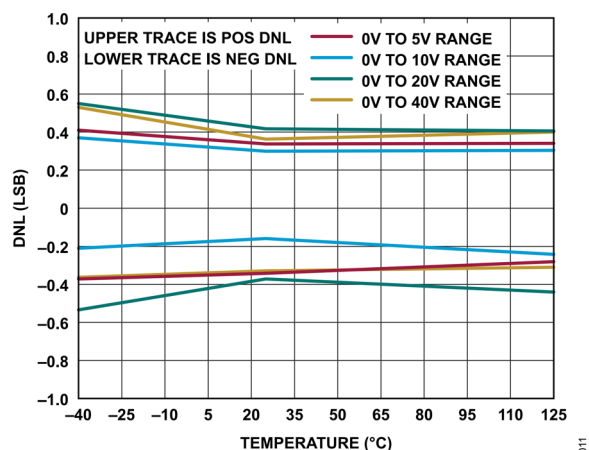


図 11. DNL と温度の関係 (ユニポーラ・レンジ)

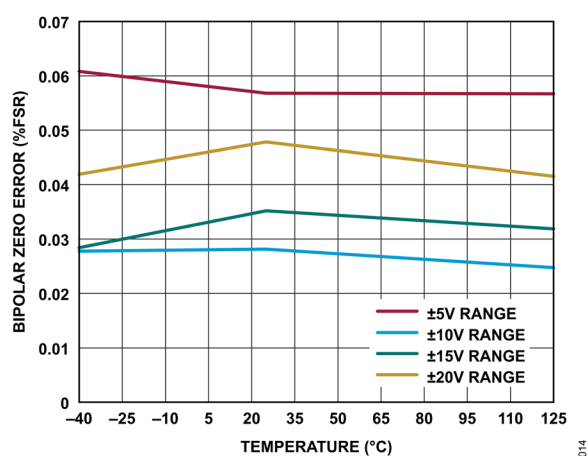


図 14. バイポーラ・ゼロ誤差と温度の関係

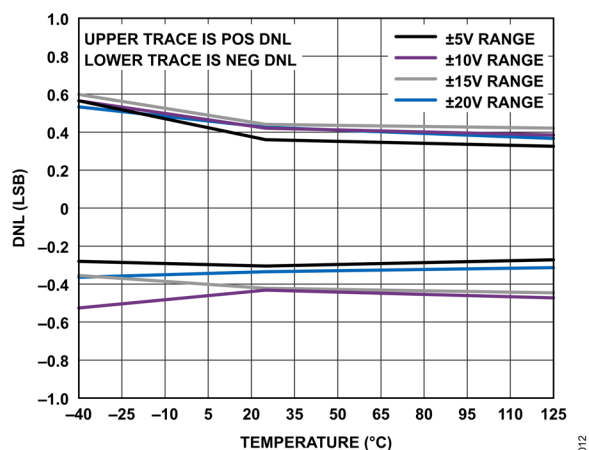


図 12. DNL と温度の関係 (バイポーラ・レンジ)

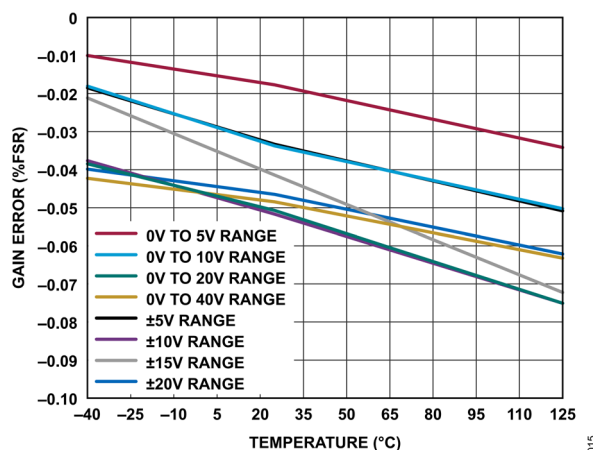


図 15. ゲイン誤差と温度の関係

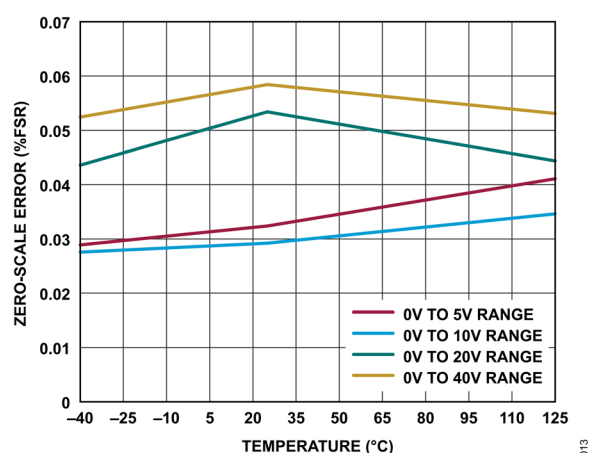


図 13. ゼロスケール誤差と温度の関係

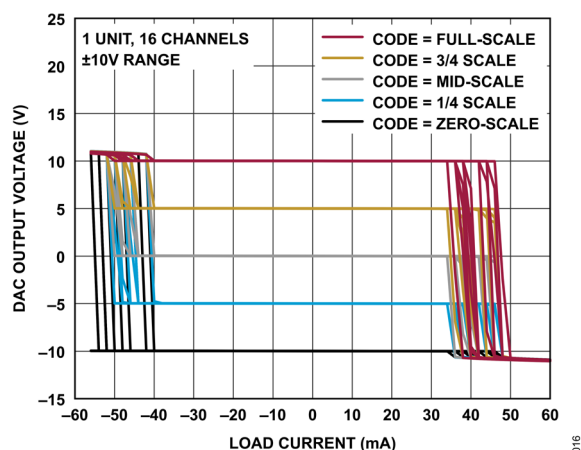


図 16. DAC 出力のソース能力およびシンク能力

代表的な性能特性

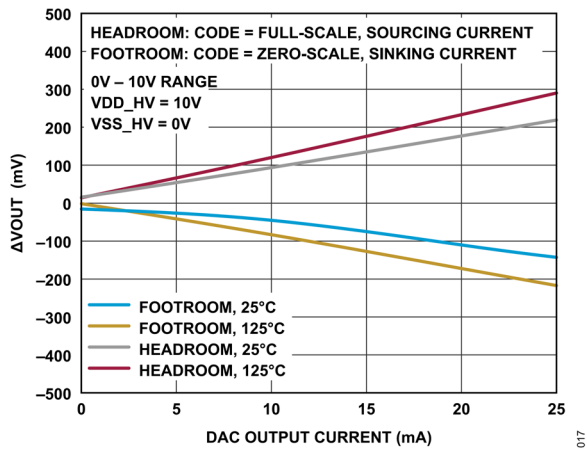


図 17. ヘッドルームおよびフットルームと出力負荷電流の関係 (0V~10V のレンジ)

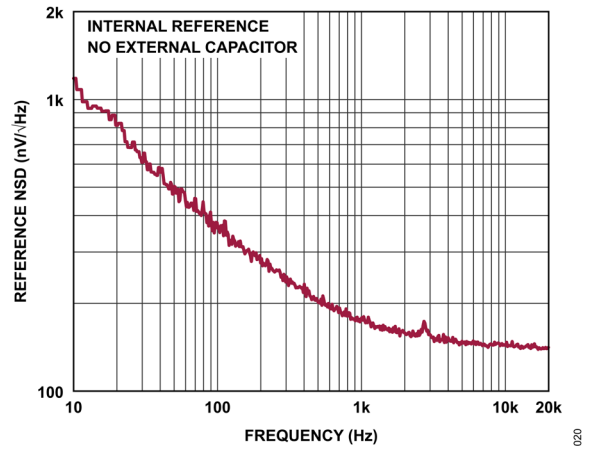


図 20. 内部リファレンスのノイズ・スペクトル密度

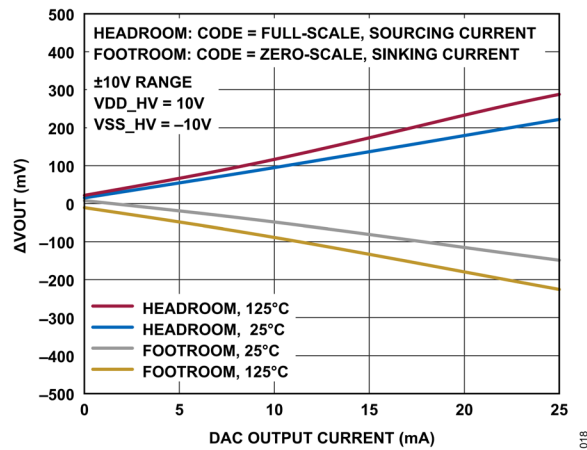


図 18. ヘッドルームおよびフットルームと出力負荷電流の関係 (±10V のレンジ)

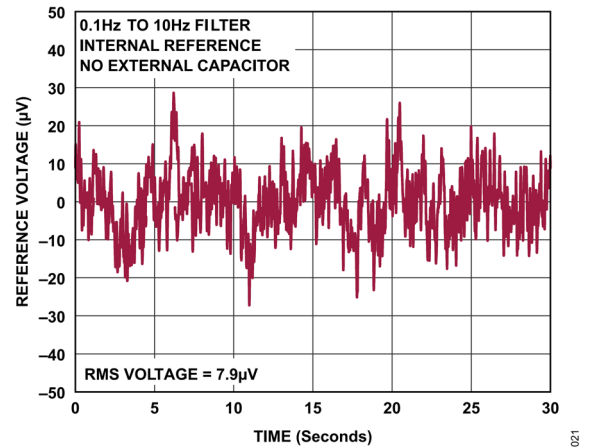


図 21. 内部リファレンスのノイズ

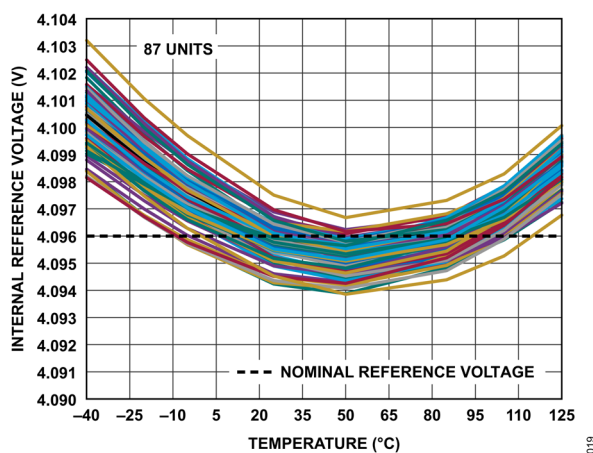


図 19. 内部リファレンスの温度ドリフト

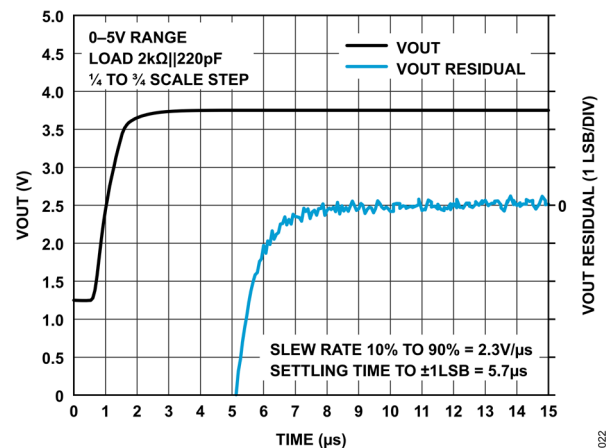


図 22. セットリング特性 (立上がりエッジ、0V~5V のレンジ)

代表的な性能特性

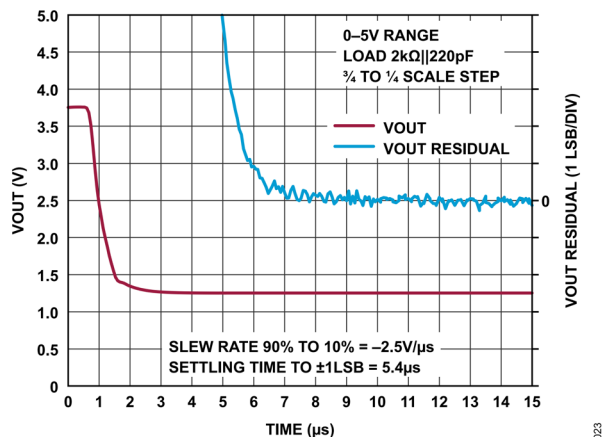


図 23. セットリング特性 (立下がりエッジ、0V~5V のレンジ)

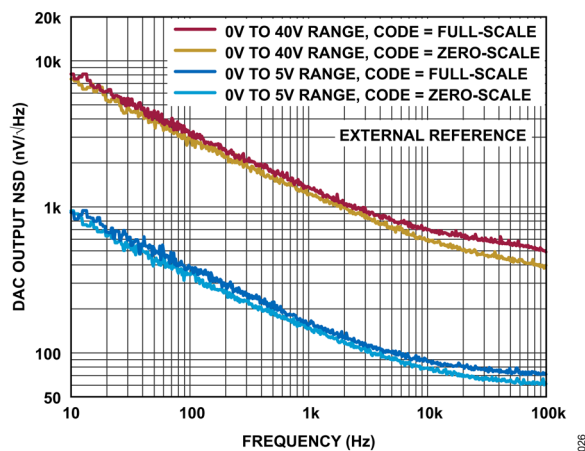


図 26. DAC の出力ノイズのスペクトル密度

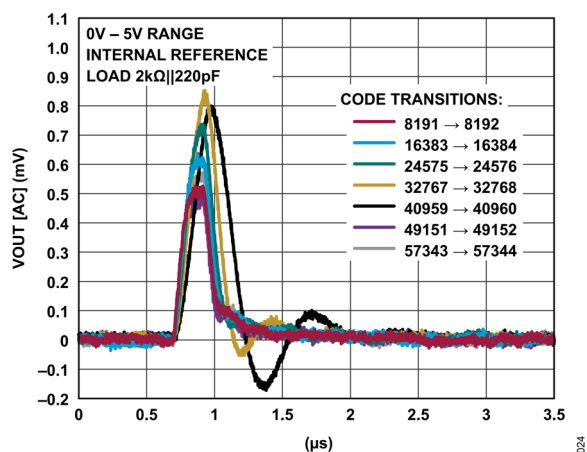


図 24. グリッチの振幅 (0V~5V のレンジ)

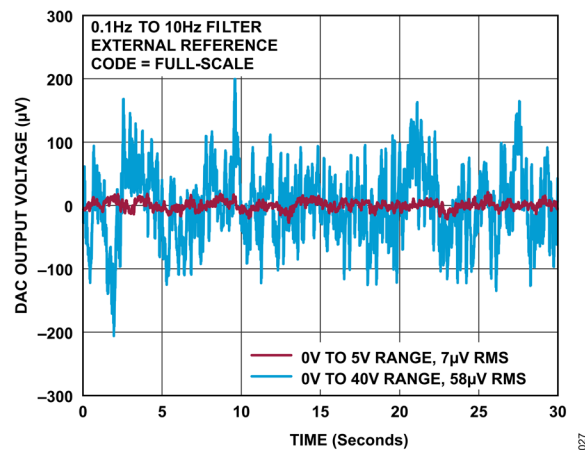


図 27. DAC の出力ノイズ

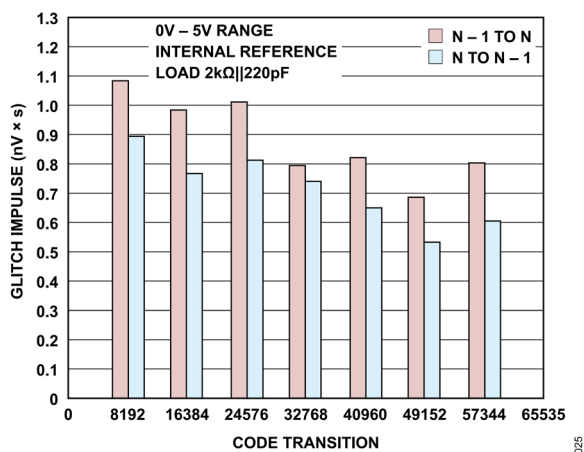


図 25. グリッチ・インパルス (0V~5V のレンジ)

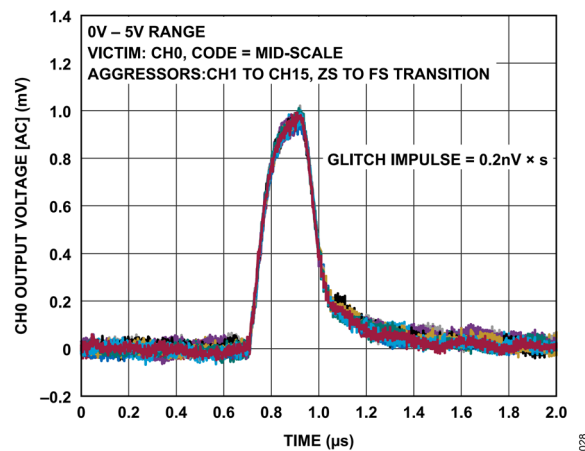


図 28. DAC 間クロストーク

代表的な性能特性

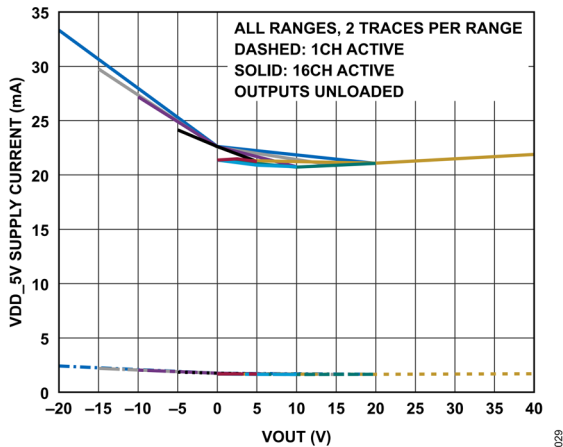


図 29. VDD_5V 電源電流と V_{OUT} の関係

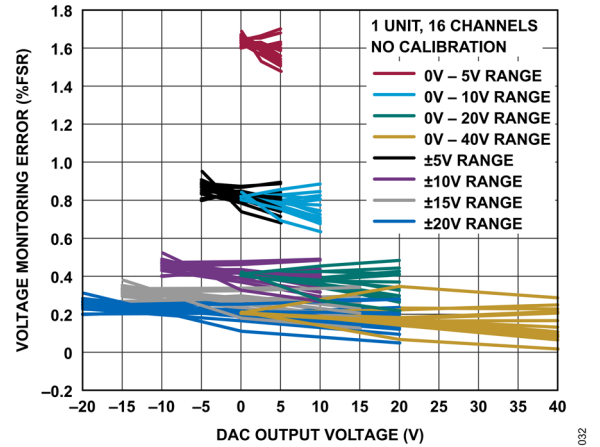


図 32. DAC 出力電圧のモニタリング誤差と DAC 出力電圧の関係
(キャリブレーションなし)

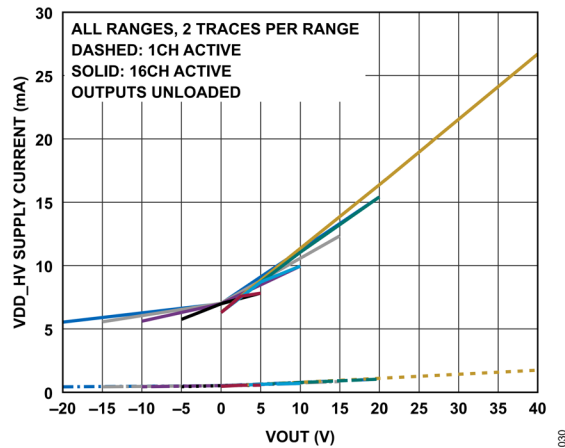


図 30. VDD_HV 電源電流と V_{OUT} の関係

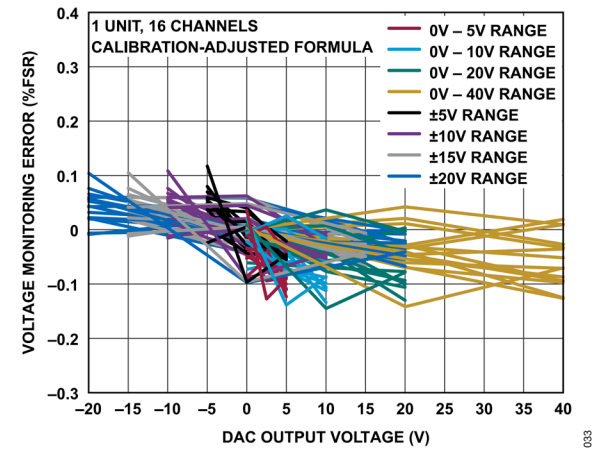


図 33. DAC 出力電圧のモニタリング誤差と DAC 出力電圧の関係
(キャリブレーション調整済みの式を使用)

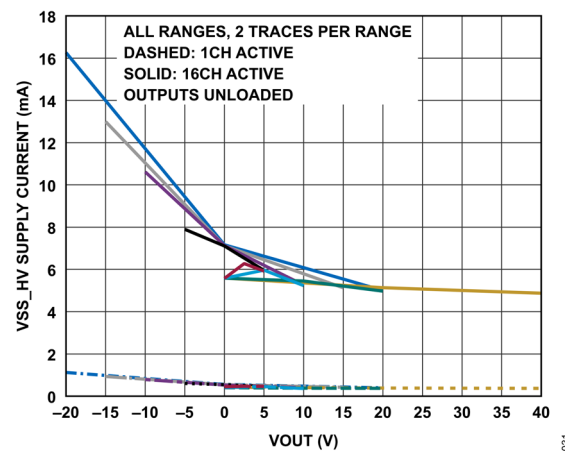


図 31. VSS_HV 電源電流と V_{OUT} の関係

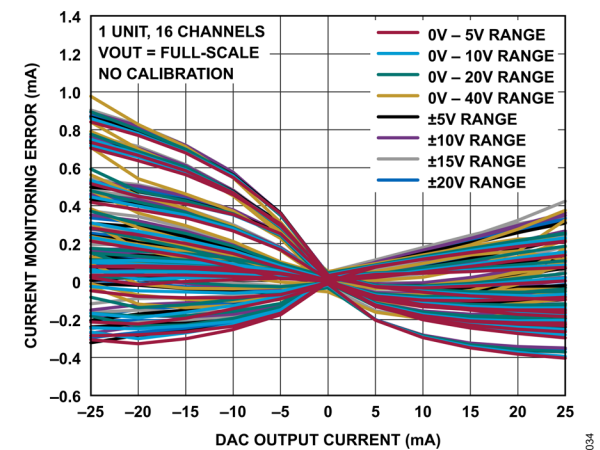


図 34. DAC 出力電流のモニタリング誤差と DAC 出力電流の関係

代表的な性能特性

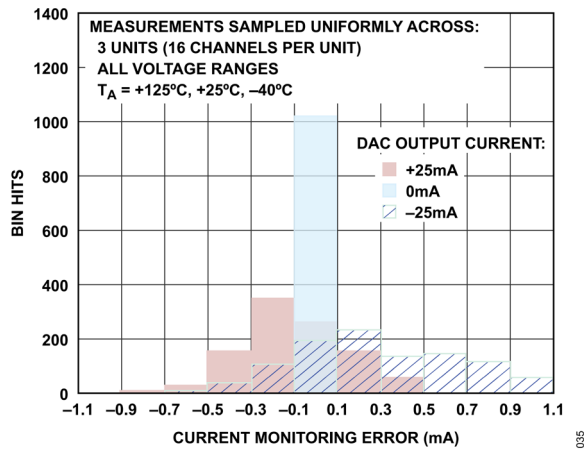


図 35. DAC 出力電流のモニタリング誤差のヒストグラム

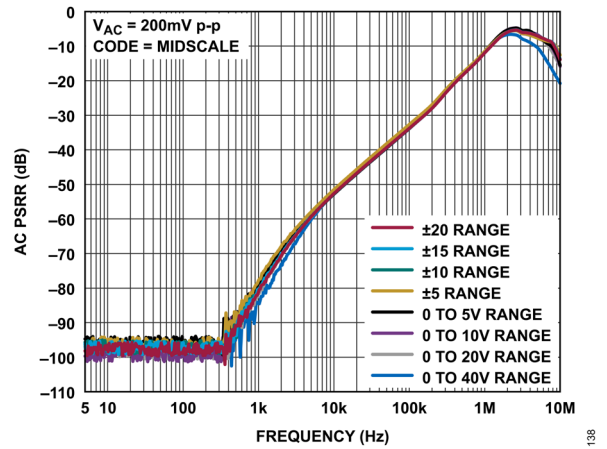


図 38. AC PSRR (VDD_HVx レール)

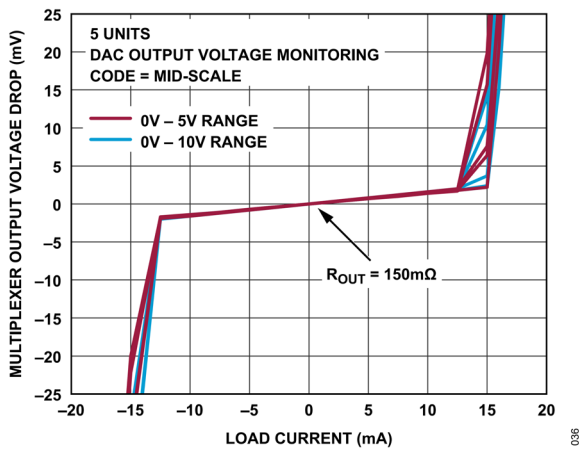


図 36. マルチプレクサ出力バッファの負荷レギュレーション

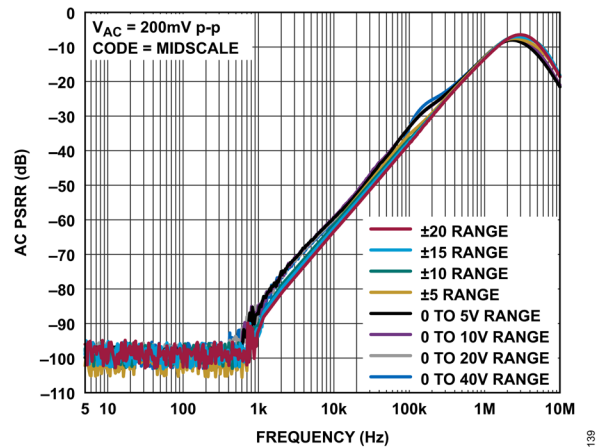


図 39. AC PSRR (VSS_HVx レール)

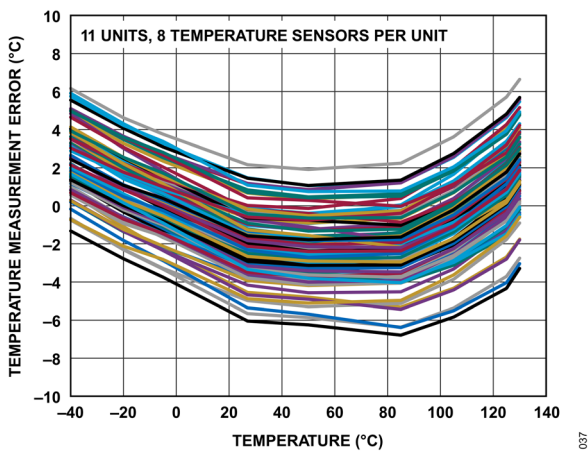


図 37. 温度センサー誤差

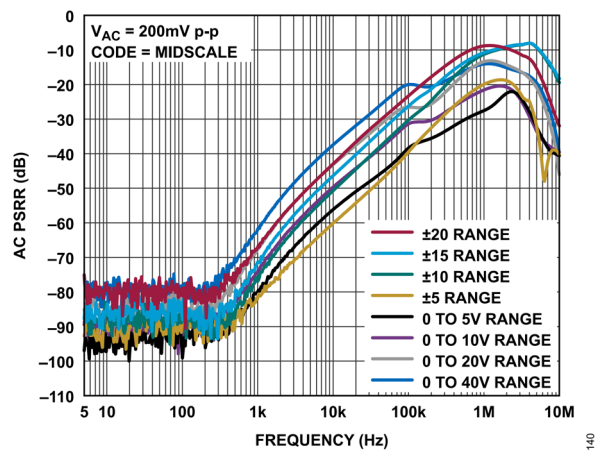


図 40. AC PSRR (VDD_5V レール)

用語の定義

総合未調整誤差 (TUE)

総合未調整誤差は、すべての誤差（つまり、INL 誤差、ゼロスケール誤差またはバイポーラ・ゼロ誤差、ゲイン誤差、および電源、温度、時間に関連する出力ドリフト）を考慮した出力誤差を表すものです。TUE の単位は%FSR です。TUE は、INL の二乗、ゲイン誤差の二乗、オフセット誤差の二乗の和の平方根に等しい値です。

相対精度または積分非直線性 (INL)

積分非直線性は、DAC の伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位) を表します。

微分非直線性 (DNL)

微分非直線性は、隣接する 2 つのコードの間での測定された変化と理論的な 1LSB 変化との差を表します。微分非直線性の仕様が最大で±1LSB の場合は、単調増加性が確保されます。

ゼロスケール誤差

ゼロスケール誤差は、ゼロのコード (0x0000) を DAC レジスタに読み込んだときの出力誤差を測定したものです。ゼロコード誤差の単位は%FSR です。

ゼロスケール誤差の温度ドリフト

ゼロコード誤差の温度ドリフトは、仕様規定された温度範囲における温度変化に伴うゼロコード誤差の変化を表すものです。これは、次式に従いボックス法で計算されます¹。

$$ZSE_TempDrift\left(\frac{ppmFSR}{^{\circ}C}\right) = \frac{ZSE_{MAX} - ZSE_{MIN}}{T_{MAX} - T_{MIN}} \times 10^4$$

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差は DAC レジスタにミッド・スケール・コードを読み込んだときの、0V の理論ハーフ・スケール出力とアナログ出力の間の偏差を表します。バイポーラ・ゼロ誤差の単位は%FSR です。

バイポーラ・ゼロ誤差の温度ドリフト

バイポーラ・ゼロ誤差の温度ドリフトは、仕様規定された温度範囲における温度変化に伴うバイポーラ・ゼロ誤差の変化を表すものです。これは、次式に従いボックス法計算されます¹。

$$BZE_TempDrift\left(\frac{ppmFSR}{^{\circ}C}\right) = \frac{BZE_{MAX} - BZE_{MIN}}{T_{MAX} - T_{MIN}} \times 10^4$$

ゲイン誤差

ゲイン誤差は、DAC の伝達特性の傾きにおける理想値からの偏差を表すものです。%FSR を単位とし、次式で計算されます。

$$GainError\left(\%FSR\right) = \frac{VOUT_Span_{MEASURED} - VOUT_Span_{IDEAL}}{VOUT_Span_{IDEAL}} \times 10^2$$

ゲイン誤差の温度ドリフト

ゲイン誤差の温度ドリフトは、仕様規定された温度範囲における温度変化に伴うゲイン誤差の変化を表すものです。これは、次式に従いボックス法で計算されます¹。

$$GE_TempDrift\left(\frac{ppmFSR}{^{\circ}C}\right) = \frac{GE_{MAX} - GE_{MIN}}{T_{MAX} - T_{MIN}} \times 10^4$$

デジタル／アナログ・グリッチ・インパルス

デジタル／アナログ・グリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常、nV × s で表すグリッチの面積として仕様規定され、主要なキャリー遷移 (0x7FFF から 0x800) 時に、デジタル入力コードが 1LSB だけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC 出力の更新が行われていないときに、DAC のデジタル入力から DAC のアナログ出力に注入されるインパルスを表すものです。nV × s で仕様規定され、データ・バス上でのフル・スケール・コードの変更時、すなわち全ビット 0 から全ビット 1 への変更時、または全ビット 1 から全ビット 0 への変更時に測定されます。

DC クロストーク

DC クロストークは、1 つの DAC チャンネルの出力での変化に起因する別の DAC チャンネルの出力レベルの DC 変化です。被害側の DAC チャンネルをミッド・スケールに保持したまま、加害側 DAC チャンネルにフル・スケール出力変化を与えて測定します。単位は μV です。

デジタル・クロストーク

デジタル・クロストークは、ある DAC チャンネルの入力レジスタのコード変化によって別の DAC チャンネルの出力に混入したグリッチ・インパルスのことを指します。被害側の DAC チャンネルをミッド・スケールに保持したまま、加害側 DAC チャンネルの入力レジスタにフル・スケール・コード変化（すべて 0 からすべて 1 およびその逆）を与えて測定します。単位は nV × s です。

¹ 1ppmFSR/°C = 10⁻⁴%FSR/°Cである点に注意してください。

用語の定義

アナログ・クロストーク

アナログ・クロストークは、ある DAC チャンネルの出力のハードウェア・トリガによる同期更新によって別の DAC チャンネルの出力に混入した、グリッチ・インパルスのことを指します。被害側 DAC をミッド・スケールに保持したまま、加害側チャンネルの入力レジスタにフル・スケール・コード変化（すべて 0 からすべて 1 およびその逆）をロードし、次に同期モード時にハードウェア・トリガによって出力更新をトリガすることによって測定されます。グリッチ・インパルスの単位は $\text{nV} \times \text{s}$ です。

DAC 間クロストーク

DAC 間クロストークは、ある DAC チャンネルの出力の SPI インターフェースによる同期更新によって別の DAC チャンネルの出力に混入した、グリッチ・インパルスのことを指します。被害側 DAC チャンネルをミッド・スケールに保持したまま、すべて 1（またはすべて 0）を加害側チャンネルの入力レジスタに書き込み、次に、すべて 0（またはすべて 1）を加害側チャンネルの入力レジスタに書き込むことによって出力更新をトリガして測定されます。グリッチ・インパルスの単位は $\text{nV} \times \text{s}$ です。

電圧リファレンスの温度ドリフト

電圧リファレンスの温度ドリフトは、仕様規定された温度範囲における温度変化に伴うリファレンス出力電圧の変化を表すものです。温度ドリフトは、ボックス法を用いて計算され、公称リファレンス電圧を基準として次式を用いて規定されます。

$$\begin{aligned} & VREF_TempDrift \text{ (ppm/}^\circ\text{C)} \\ &= \frac{VREF_{MAX} - VREF_{MIN}}{VREF_{NOMINAL} \times (T_{MAX} - T_{MIN})} \times 10^6 \end{aligned}$$

$VREF_{MAX}$ は、温度範囲全域で測定されたリファレンス出力電圧の最大値、 $VREF_{MIN}$ は最小値です。 $VREF_{NOMINAL}$ は公称リファレンス出力電圧で、値は 4.096V です。

動作原理

D/A コンバータ

AD5529R は、16 チャンネル、16 ビットの電圧出力 DAC であり、バイポーラの VDD_HV/VSS_HV アナログ電源から給電された場合にバイポーラ動作とユニポーラ出力範囲の両方に対応できます。デジタル電源電圧の範囲は 1.08V~1.98V です。AD5529R は、4.096V の高精度リファレンスを内蔵しています。

また、AD5529R には 3 線式および 4 線式の SPI に対応できる汎用性の高いシリアル・インターフェースが備わっています。この SPI インターフェースは、フレーム内ターゲット・アドレス指定をサポートしているため、複数のデバイスで同じ SPI バスを共有できます。詳細については、SPI インターフェースのセクションを参照してください。

DAC チャンネル

AD5529R には、最大 25mA までソースまたはシンクできる、16 個のバッファ付き電圧出力 DAC チャンネル出力バッファがあります。DAC チャンネルの簡略化したブロック図を 図 41 に示します。DAC チャンネルは、チャンネルあたり 1 つのレジスタを持つ出力レンジ・レジスタによって、プログラマブルな出力レンジ選択が可能です。ユニポーラとバイポーラのどちらの動作も可能な、合計 8 個の出力電圧レンジがサポートされています。

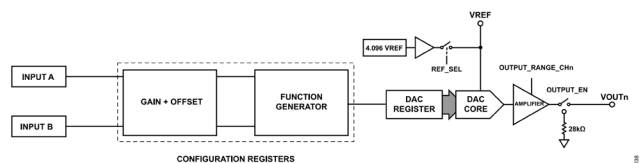


図 41. DAC チャンネルのブロック図

伝達関数

DAC チャンネル n の理想的な出力電圧は次式で与えられます。

$$V_{OUTn} = A \times \frac{D}{2^{16}} + B$$

ここで、

D は、DAC レジスタに書き込まれる、ストレート・バイナリ・コードの 10 進数です (0~65,535)。

パラメータ A および B は、表 7 に定める、レンジに依存した値です。

表 7. 様々なレンジに対する A および B の値

Output Range (V)	A	B
0 to 5	5	0
0 to 10	10	0
0 to 20	20	0
0 to 40	40	0
±5	10	-5
±10	20	-10
±15	30	-15
±20	40	-20

DAC の出力レンジおよび電源レール

各 DAC チャンネルは、出力レンジ・レジスタを通じて、個別に 8 通りの出力電圧レンジの 1 つに設定できます。そのレンジは、0V~5V、0V~10V、0V~20V、0V~40V、-5V~+5V、-10V~+10V、-15V~+15V、-20V~+20V です。

AD5529R には 4 組の DAC 出力電源レールがあり、表 8 に示す対応関係に従って、それぞれが 4 つの DAC 出力に給電できます。

表 8. 電源レールと DAC チャンネルの対応関係

Supply Rail Pins	DAC Channels
VDD_HV0, VSS_HV0	VOUT0 to VOUT3
VDD_HV1, VSS_HV1	VOUT4 to VOUT7
VDD_HV2, VSS_HV2	VOUT8 to VOUT11
VDD_HV3, VSS_HV3	VOUT12 to VOUT15

各電源レールの電圧レベルは、4 つの対応チャンネルの中から、正レールに対しては最も厳しいヘッドルーム（最高電圧）を満たし、負レールに対しては最も厳しいフットルーム（最低電圧）を満たすよう選択する必要があります。各チャンネルに対する要件は、選択した出力レンジによって異なります。表 9 に、各レンジで推奨される電源電圧を示します。ここでは、500mV のヘッドルーム要件およびフットルーム要件と正レールが 7V 以上という要件が共に考慮されています。

表 9. 各 DAC 出力レンジで推奨される電源電圧

DAC Output Range (V)	Negative Rail Voltage (V)	Positive Rail Voltage (V)
0 to 5	-0.5	7
0 to 10	-0.5	10.5
0 to 20	-0.5	20.5
0 to 40	-0.5	40.5
-5 to +5	-5.5	7
-10 to +10	-10.5	10.5
-15 to +15	-15.5	15.5
-20 to +20	-20.5	20.5

表 9 の値により、±25mA の電流のソース範囲およびシンク範囲全域にわたって仕様規定された性能が確保されますが、それと同時に、以下の考慮事項も適用されます。

- ▶ DAC の電流要求が±25mA の定格値を下回る場合は、ヘッドルームおよびフットルームを緩和できます（代表的な特性については、図 17 および図 18 を参照）。
- ▶ レンジがユニポーラの場合、レンジの下限において非直線性が（デッド・バンドの形態で）生じますが、0V で負レールを供給できます。
- ▶ 0V~5V および -5V~+5V のレンジの場合、DAC 出力は 5.5V~7V の正電源レール電圧で動作できますが、データシートに記載された仕様および動的性能はサポートされません。

動作原理

DAC 出力のイネーブル／ディスエーブル

パワーアップ後、ハードウェア・リセット後、またはソフトウェア・リセット後は、すべての DAC 出力がディスエーブルになります。ディスエーブルされた DAC 出力は、 $28\text{k}\Omega$ の内部抵抗によってグラウンドにアクティブにプルダウンされます。このことは、AD5529R に電力が供給されていないときには、このプルダウン抵抗は存在しないことを意味する点に注意してください。チャンネルがディスエーブルの場合、関連する出力アンプとリファレンス・バッファがディスエーブルになります。その結果、消費電力が大幅に低減されます。

出力イネーブル・レジスタの対応するビットを1または0にセットすることによって、各 DAC チャンネル出力を個別にイネーブルまたはディスエーブルできます。

モニタ・マルチプレクサ

AD5529R には、MUX_OUT ピンで電圧信号を駆動する、バッファ付きのモニタ・マルチプレクサが内蔵されています。この信号は、以下のいずれかの測定値を表します。

- ▶ 選択したチャンネルの出力電圧
- ▶ 選択したチャンネルの出力電流
- ▶ 8 個内部センサーの 1 つから出力される温度
- ▶ 出力電圧または出力電流を測定するためのキャリブレーション信号

モニタリング機能は、MUX 出力選択レジスタを通じて制御されます。マルチプレクサ出力はデフォルトでディスエーブルされており、出力バッファは高インピーダンス状態に置かれています。出力バッファは MUX_OUT_EN ビットを 1 にセットすることでイネーブルされます。MUX_PARAM_SEL ビット・フィールドは、どの信号が MUX_OUT で送信されるかを制御します。詳細については、MUX 出力選択レジスタのセクションを参照してください。

出力電圧モニタリング

マルチプレクサの出力がイネーブルされ、MUX_PARAM_SEL ビット・フィールドが、チャンネル n の電圧モニタに対応する値に設定されている場合、チャンネル n の出力での電圧 (V_{VOUTn}) は、MUX_OUT ピンの電圧 ($V_{\text{MUX_OUT}}$) を測定し以下の計算を実行することにより、モニタできます。

$$V_{\text{VOUTn}} = 21 \times V_{\text{MUX_OUT}} - 10 \times V_{\text{REF}}$$

表 10. マルチプレクサ出力における DAC 出力電圧のエンコーディング

DAC Output Voltage (V)	$V_{\text{MUX_OUT}}$ (V)
40	3.855
20	2.903
15	2.665
10	2.427
5	2.189
0	1.950
-5	1.712
-10	1.474
-15	1.236
-20	0.988

出力電流モニタリング

マルチプレクサの出力がイネーブルされ、MUX_PARAM_SEL ビット・フィールドが、チャンネル n の電流モニタに対応する値に設定されている場合、チャンネル n の出力での電流 (I_{VOUTn}) は、MUX_OUT ピンの電圧 ($V_{\text{MUX_OUT}}$) を測定し以下の計算を実行することにより、モニタできます。

$$I_{\text{VOUTn}} = \frac{V_{\text{MUX_OUT}} - \frac{V_{\text{REF}}}{2}}{60\Omega}$$

I_{VOUTn} が正の値の場合、チャンネルが電流をソースしており、負の値の場合はシンクしていることに相当します。

表 11. マルチプレクサ出力における DAC 出力電流のエンコーディング

DAC Output Current (mA)	$V_{\text{MUX_OUT}}$ (V)
25	3.548
1	2.108
0	2.048
-1	1.988
-25	0.548

温度モニタリング

AD5529R には、8 個のオン・チップ温度センサーがあります。各センサーは、2 つの連続する DAC 出力に隣接しています。例えば、温度センサー番号 0 はチャンネル 0 と 1 に対応し、温度センサー番号 1 はチャンネル 2 と 3 に対応します。これらの温度センサーは、温度アラームとシャットダウン機能を備えており（詳細については、温度アラームのセクションを参照）、また、モニタ・マルチプレクサによってユーザがアクセスすることもできます。マルチプレクサの出力がイネーブルされ、MUX_PARAM_SEL ビット・フィールドが、温度センサー番号 n の出力に対応する値に設定されている場合、温度センサー n (Temp_n) は、MUX_OUT ピンの電圧 ($V_{\text{MUX_OUT}}$) を測定し以下の計算を実行することにより、モニタできます ($V_{\text{MUX_OUT}}$ の単位はボルト)。

$$\text{Temp}_n[^\circ\text{C}] = \frac{1000}{7.695} \times (V_{\text{MUX_OUT}} - 2.036)$$

表 12. マルチプレクサ出力におけるセンサー温度のエンコーディング

Sensor Temperature ($^\circ\text{C}$)	$V_{\text{MUX_OUT}}$ (V)
150	3.190
125	2.998
25	2.228
0	2.036
-40	1.728

動作原理

キャリブレーション信号

内部キャリブレーション信号の値に基づいて計算値に補正を施すことにより、DAC の電圧出力と電流出力のモニタリング精度を向上できます。全チャンネルにわたって共有される、2 つの内部キャリブレーション信号があります。1 つは出力電圧モニタリング用 ($V_{cal_voltage}$) で、もう 1 つは出力電流モニタリング用 ($V_{cal_current}$) です。 $V_{cal_voltage}$ または $V_{cal_current}$ は、対応する値を **MUX 出力選択レジスタ** の **MUX_PARAM_SEL** ビット・フィールドに設定することにより、モニタリング・マルチプレクサを通じて出力できます。それによって、ユーザはキャリブレーション信号の値を測定し保存できます。

電圧または電流キャリブレーション信号の値を測定し保存した後は、通常マルチプレクサ電圧モニタリング機能または電流モニタリング機能を以下のキャリブレーション調整済みの式と共に用いて、より高い精度で出力電圧または出力電流をモニタできます。

$$V_{VOUTn}(calibrated) = 21 \times (V_{MUX_OUT} - V_{cal_voltage}) + \frac{V_{REF}}{2}$$

$$I_{VOUTn}(calibrated) = \frac{V_{MUX_OUT} - V_{cal_current}}{60\Omega}$$

キャリブレーション信号 $V_{cal_voltage}$ および $V_{cal_current}$ の値の範囲は、 $2.048V \pm 3mV$ です。出力電圧モニタリングは、キャリブレーションによって精度が向上する可能性が最も高く、キャリブレーション前の通常の誤差 $\pm 2\%FSR$ を、キャリブレーション補正により $\pm 0.1\%FSR$ まで減少できます。

電圧リファレンス

AD5529R には、 $4.096V$ 、 $8ppm/^{\circ}C$ (代表値) のバッファ付きオン・チップ・リファレンスがあります。このリファレンス出力は、VREF ピンで使用できます。このピンは、通常、最大で $+5mA$ の外部負荷を供給できます。

デフォルトでは、 $4.096V$ の外付けリファレンスが有効になっています。代わりに内部リファレンスが必要な場合は、**リファレンス・ソース選択レジスタ**を設定することにより、選択できます。

ゲインおよびオフセットの補正

ゲインおよびオフセットの補正機能があるため、AD5529R は、DAC_INPUT_A_CHn および DAC_INPUT_B_CHn に格納されたコードにデジタル補正を適用できます。それによって、以下のゲイン／オフセット補正されたコードが DAC 出力に出力されません。

$$CORRECTED_CODE = DAC_INPUT_CODE \times G + C$$

各チャンネルには独立したゲイン／オフセット補正レジスタがあり、その補正はすべての動作モードに適用されますが、次の 2 つのモードは例外です。

- ▶ **同期／非同期モード**：調整済みの DAC_INPUT_A_CHn のみが用いられます (デジタル機能は無効化)。
- ▶ **ディザ・モード**：未調整の DAC_INPUT_B_CHn の値を用いて、サイン波振幅を直接制御します。

補正によって最大コードより大きな値になった場合、または負の値になった場合、補正されたコードはそれぞれ、 $0xFFFF$ または $0x0000$ にクランプされます。デジタル・オフセット補正を適用すると、常に DAC 出力のダイナミック・レンジが減少する点に注意してください。ゲイン補正では、ゲイン補正係数が 1 未満の場合はダイナミック・レンジが減少し、1 より大きい場合は INL が実質的に増加します。AD5529R で意図されているゲイン／オフセット補正機能の利用方法は、小さなシステム誤差のキャリブレーションです。この場合、ダイナミック・レンジの減少や INL のわずかな悪化は、全体的な精度向上を考えれば有利なトレードオフとなります。特に、この機能によってゲイン誤差の補正範囲が減少することによる直線性誤差の増加は $0.5LSB$ 未満であることが、数学的にわかっています。

1 つのチャンネルに適用されるオフセット補正は、16 ビットの **デジタル・オフセット補正レジスタ**によって制御されます。2 の補数形式のこのレジスタ値は、追加するコードの数 (補正コードの式における C) に相当します。そのため、オフセット補正範囲は $-32768 \sim +32767$ のコードに対応できます。

1 つのチャンネルに適用されるゲイン補正は、**デジタル・ゲイン補正レジスタ**によって制御されます。**デジタル・ゲイン補正レジスタ**の各 LSB 変化は、以下の DAC 入力コードの増加／減少に相当します。

$$\Delta \% \Delta 1LSB = \pm 2^{-15} \times 100 \approx \pm 0.0030518 \%$$

その結果、この機能によって許容される最大コード調整範囲はおおよそ $+0.388\% \sim -0.391\%$ になり、ゲイン補正係数 (補正コードの式の G) のエンコーディングは表 13 に示すとおりになります。

表 13. デジタル・ゲイン補正レジスタにおけるゲイン補正係数のエンコーディング

CAL_GAIN_CH Field Value	Gain Correction Factor (G)	Code Adjustment ($\Delta\%$)
0b11111111	1.0038757	+0.3875732%
0b11111110	1.0038452	+0.3845215%
...	...	...
0b10000001	1.0000305	+0.0030518%
0b10000000 (default)	1	+0% (no gain correction)
0b01111111	0.9999695	-0.0030518%
...	...	...
0b00000001	0.9961243	-0.3875732%
0b00000000	0.9960938	-0.3906250%

必要なゲイン補正係数 G を達成するために **デジタル・ゲイン補正レジスタ**に書き込まれるストレート・バイナリ値は、次式を用いて計算できます。

$$CAL_GAIN_CH = 128 + (G - 1) \times 2^{15}$$

コード調整 ($\Delta\%$) とゲイン補正係数 G の間の関係は次式で表される点に注意してください。

$$\Delta \% = (G - 1) \times 100$$

動作原理

DAC の更新

AD5529R は、非同期と同期の 2 つの DAC 更新機構をサポートしています。更新動作は、**同期非同期ロード・レジスタ**で設定されます。このレジスタは、レジスタ書込みの直後に DAC 出力を更新するか、トリガ・イベントが生じるまで待機するかを決定します。デフォルトは非同期です。同期モードで動作している場合、トリガ・ソース（ハードウェアまたはソフトウェア）は、**ハードウェア・ソフトウェア・トリガ・レジスタ**によって選択されます。流れ図を図 42 に示します。

セカンダリ DAC 入力レジスタは、機能ジェネレータと共に使用するよう予約されており、標準的な DAC 出力更新には影響しません。

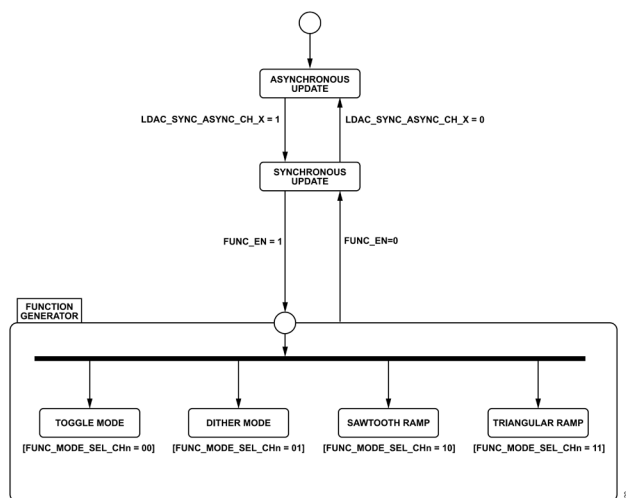


図 42. DAC 更新のフローチャート

ソフトウェア・トリガ

AD5529R は、ソフトウェアによりトリガされる 2 種類の LDAC 機構をサポートしています。

個別チャンネル・ソフトウェア LDAC レジスタを用いることで、チャンネルごとにトリガ・イベントを発生できるため、チャンネルの出力を個別に更新できます。

マルチチャンネル・ソフトウェア LDAC レジスタは、複数のチャンネルに対し同時更新機構を可能にします。

ハードウェア・トリガ

AD5529R のハードウェア・トリガにより、DAC 出力更新を外部トグル・ピン TG[0~3]を用いて制御できます。各 DAC チャンネルに対し、**LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタ**で、どのトグル・ピンをハードウェア・トリガ・ソースとして使い、どの信号遷移で更新を開始するかを決定します。

同期更新

AD5529R の従来の LDAC 動作と同等な 1 チャンネルでの同期更新を実行するには、以下の手順に従います。

1. **機能有効化レジスタ**の対応するビットをクリアすることにより、必要なチャンネルのデジタル機能をすべて無効化します。
2. 同期モードを有効化し、**同期非同期ロード・レジスタ**の対応するビットをハイにセットすることにより、チャンネルを同期動作用に設定します。
3. **ハードウェア・ソフトウェア・トリガ・レジスタ**でトリガ・ソースを選択し、同期更新がハードウェア・ソースでトリガされるのかソフトウェア・ソースでトリガされるのかを選択します。
4. **LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタ**をプログラムすることにより、ハードウェア・トリガ・ソースを設定します。必要なトグル・ピンおよびトリガ・エッジを選択します。
5. 必要な更新後のコードを**プライマリ DAC 入力レジスタ**にロードします。
6. ソフトウェア・トリガの場合は、**個別チャンネル・ソフトウェア LDAC レジスタ**の対応するチャンネル・ビットをアサートすることにより、また、ハードウェア・トリガの場合は、設定された TG ピンをトグルすることにより、選択したトリガ・ソースを適用します。
7. 必要に応じステップ 5 および 6 を繰り返します。

マルチチャンネル同期更新の場合、手順は次のとおりです。

1. **機能有効化レジスタ**の対応するビットをクリアすることにより、必要なチャンネルのデジタル機能をすべて無効化します。
2. **マルチ入力チャンネル選択レジスタ**をプログラムすることにより、同時更新するチャンネルを選択します。
3. ハードウェア・トリガを用いてマルチ DAC 更新を同時に行うには、**MULTI_INPUT_SEL** レジスタで選択されたすべてのチャンネルが、**LDAC_HW_SRC_CH** レジスタ内の同じトリガ・ソースで設定されていることを確認してください。
4. 必要な DAC コードを**マルチチャンネル入力レジスタ**に書き込むことによってロードします。
5. **マルチチャンネル・ソフトウェア LDAC レジスタ**の該当ビットをアサートする、あるいは、ハードウェア・トリガ用に設定された TG ピンに必要なエッジを適用することにより、選択したトリガ・ソースを適用します。
6. 必要に応じステップ 4 および 5 を繰り返します。

表 14 および表 15 に、ハードウェア・トリガおよびソフトウェア・トリガを用いた同期 DAC 出力更新を実行するためのレジスタ設定とトリガ要件をまとめます。

動作原理

表 14. AD5529R のハードウェア・トリガ

LDAC_SYNC_ASYNC	LDAC_HW_SW	LDAC_HW_SRC_CH	Actions to Update the Output
(1) SYNC	Hardware LDAC	Select appropriate TGPx source and edge polarity	Generate an edge transition (rising, falling, or any) on the selected toggle pin for the chosen channel.

表 15. AD5529R のソフトウェア・トリガ

LDAC_SYNC_ASYNC	LDAC_HW_SW	LDAC_HW_SRC_CH	MULTI_INPUT_SEL	Actions to Update the Output	
(1) SYNC	Software LDAC	DONT CARE	Channel included	Assert the channel's bit in the SW_LDAC register.	Assert the channel's bit in the MULTI_SW_LDAC register.
(1) SYNC	Software LDAC	DONT CARE	Channel not included	Assert the channel's bit in the SW_LDAC register.	

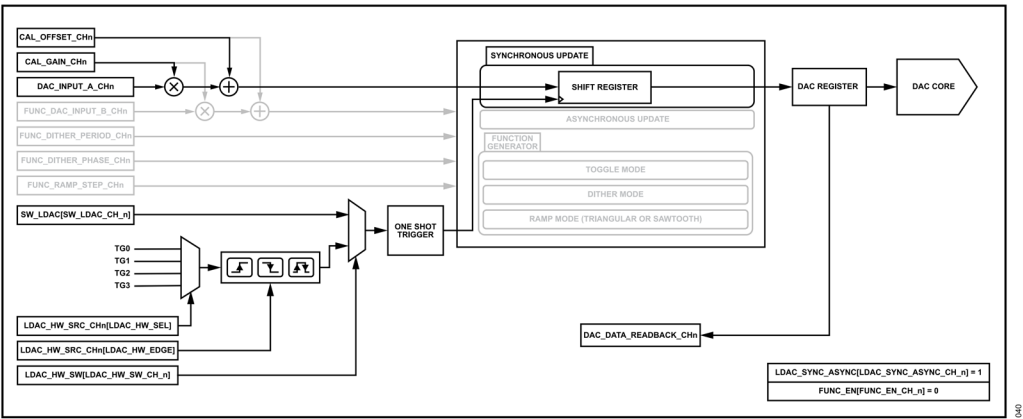


図 43. 同期のブロック図

非同期更新

AD5529R では、トリガ・イベントを必要とせずに、非同期 DAC 更新によって DAC 出力を自動的に更新でき、その後、DAC 入力レジスタに書き込みを行うことができます。この更新モードは、低レイテンシ動作を目的としており、複数の書き込み経路をサ

ポートするため、即座に出力の更新が行われます。表 16 に、非同期 DAC 更新を行うための、レジスタ書き込み経路をまとめます。

表 16. 非同期 DAC 更新

LDAC_SYNC_ASYNC	MULTI_INPUT_SEL	Actions to Update the Output
(0) ASYNC	Channel included	Write to the MULTI_INPUT_A register.
(0) ASYNC	Channel not included	Write to channel's DAC_INPUT_A register.

動作原理

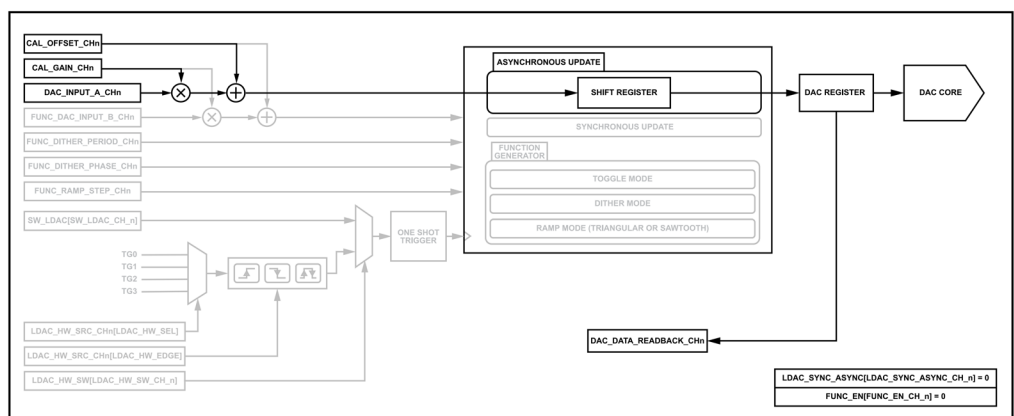


図 44. 非同期のブロック図

デジタル機能

AD5529R は、一般的な動作を内部で実行することにより外部コントローラのオーバーヘッドを低減する、いくつかのデジタル機能を備えています。ディザ、トグル、ランプの各機能は、チャンネルごとに相互に排他的であり、常に各チャンネルに 1 つの機能のみが**機能モード選択レジスタ**によって選択可能です。これらの機能は同じチャンネルで同時に有効化することはできません。各チャンネルにはメモリ・マップ内に専用のレジスタがあり、それを用いて動作をトグル・モード、ディザ・モード、またはランプ・モードに設定できます。デフォルトでは、デジタル機能は全チャンネルで無効化されています。

各チャンネルは、デジタル機能用の 5 つの選択可能クロック・ソース、4 つのハードウェア・トグル・ピン TG[3:0]、1 つのソフトウェア・トグルを備えています。クロック・ソースは、ハードウェア・トグル動作かソフトウェア・トグル動作かを選択する **ハードウェア・ソフトウェア・トリガ・レジスタ** をプログラムすることにより、チャンネルごとに選択されます。ハー

ドウェア・トグルが選択された場合、特定のトグル・ピンとそのアクティブ・エッジは、**LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタ**を用いて設定され、TG[3:0]ピンが、すべてのデジタル機能に対して最大 5MHz のトグル周波数をサポートします。ソフトウェア・トグルが選択された場合、**個別チャンネル・ソフトウェア LDAC レジスタ**の対応するチャンネル・ビットをアサートすることにより更新がトリガされ、最大トグル・レートは、レジスタへの書き込みを繰り返すことに伴うSPI 書き込みレイテンシによって制限されます。

非同期更新に設定されているチャンネルでは、デジタル機能を有効化できません。デジタル機能を有効化するには、まず、**同期非同期ロード・レジスタ**をプログラムすることにより、チャンネルを同期更新に設定しなくてはなりません。チャンネルが同期動作に設定された後に、機能ジェネレータをイネーブルできます。

デジタル機能のブロック図を図 45 に示します。

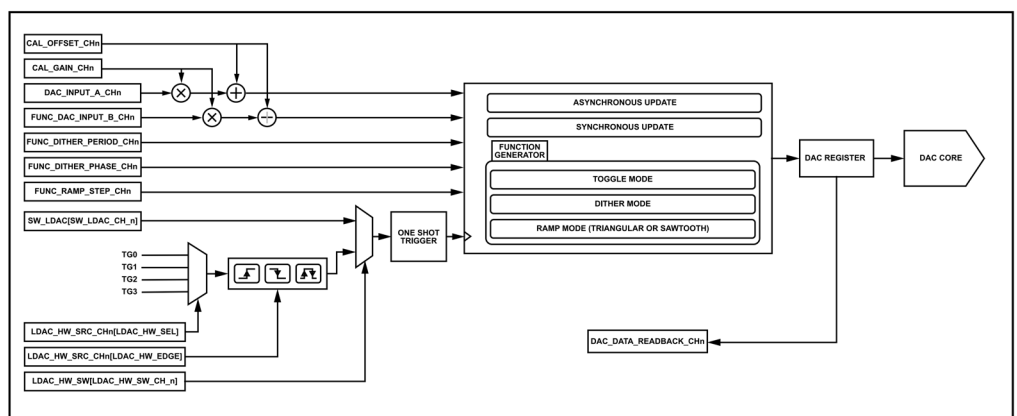


図 45. デジタル機能の説明図

動作原理

トグル機能

トグル・モードでは、DAC 出力はプライマリ DAC 入力レジスタとセカンダリ DAC 入力レジスタでプログラムされた値の間で

切り替わります。それにより、適用されたトリガ・レートで方形波タイプの出力が発生します。トグル機能の簡略ブロック図を図 46 に示します。トグル・モードは、機能モード選択レジスタに 0x0000 を書き込むことにより有効化されます。

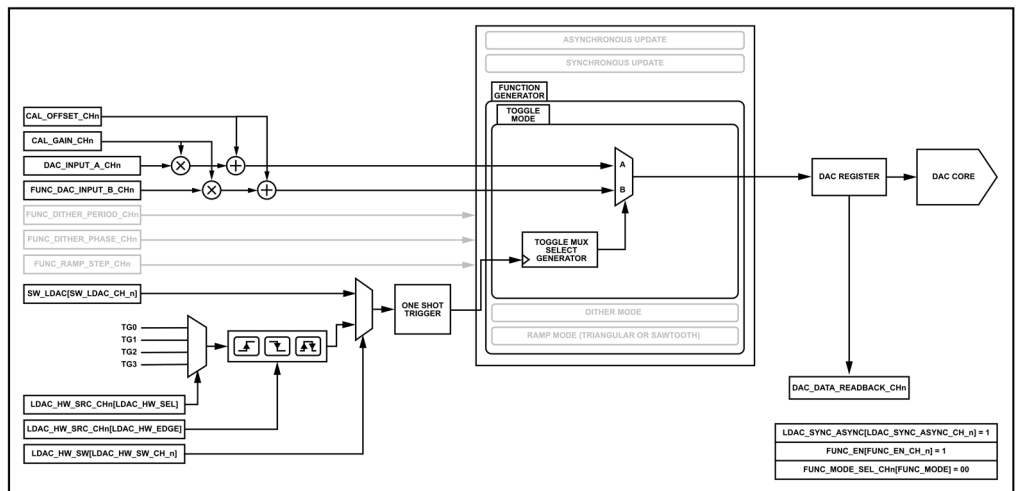


図 46. トグルのブロック図

トグル・モードに移行するために推奨されるシーケンスは以下のとおりです。

1. ハードウェア・ソフトウェア・トリガ・レジスタをプログラムすることによりトリガ・タイプを設定し、ハードウェア・トグルまたはソフトウェア・トグルかを選択します。
2. トリガ機構を設定します。ハードウェア・トグルを選択した場合 (LDAC_HW_SW = 0)、必要なトグル・ピンおよびトリガ・エッジ極性 (立上がり、立下がり、またはいずれも可) を LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタで選択します。ソフトウェア・トグルを選択した場合

(LDAC_HW_SW = 1)、個別チャンネル・ソフトウェア LDAC レジスタによってソフトウェア・トリガ動作を設定します。

3. プライマリ DAC 入力レジスタとセカンダリ DAC 入力レジスタの間で切り替える 2 つの DAC コードを書き込みます。
4. 出力イネーブル・レジスタを通じてチャンネル出力をイネーブルします。
5. 事前に設定されているトグル・ソースを適用します。

図 47 に、トグル・モードのプログラミングの流れを示します。

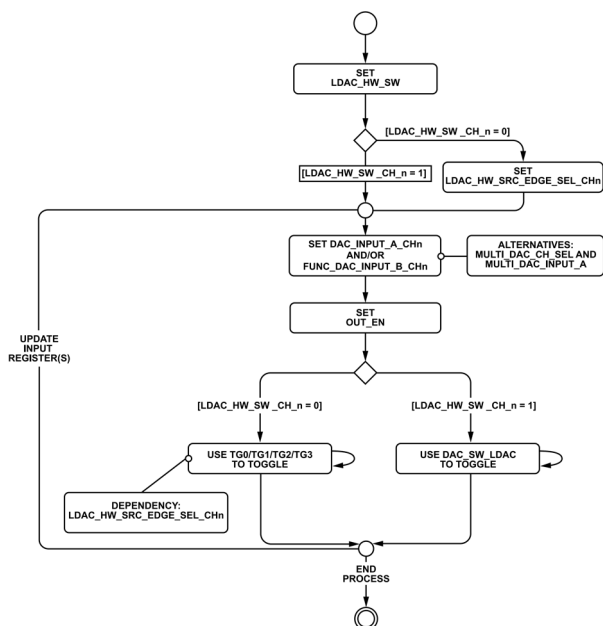


図 47. トグルの流れ図

動作原理

プライマリ DAC 入力レジスタとセカンダリ DAC 入力レジスタの更新は、エッジでトリガされます。DAC は選択されたトリガ・エッジでのみ更新されるため、反対のエッジでは何の変化も生じません。そのため、新しいコードを完全に伝搬させるには 2 つのトリガ・エッジが必要となる場合があります。それにより、確実に、出力が有効な A コードと B コードの間でのみ移動できるようになります。

立上がりエッジと任意のエッジでのトグル動作の例を、図 49 および図 48 に示します。

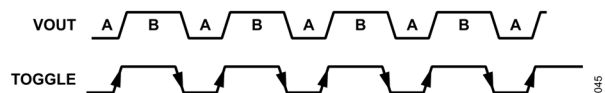


図 48. 両エッジでトグル動作

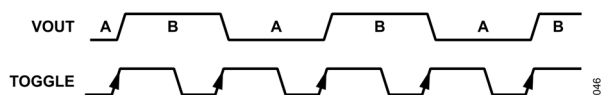


図 49. 立上がりエッジでトグル動作

動作原理

ディザ機能

ディザ信号発生器は、デジタル・ディザ信号を DAC 信号経路に挿入します。AD5529R は、図 50 に示すように、伝達関数と共に、正弦波出力を発生します。

$$D(n) = \sin\left(\frac{2 \times \pi \times n}{N} + \phi\right)$$

ここで、
n = 0、1、2 … N-1、

N は信号周期、
φ は信号位相の初期値です。
ディザ・クロック・ソースおよびパラメータ N と φ は、チャンネルごとにプログラマブルです。そのため、ディザ周波数および関連するアライメントは、AD5529R の全チャンネルにわたって個別に制御できます。AD5529R のチャンネルごとに、ユーザは 4 つの TG[0:3] ピンのいずれか 1 つ、またはソフトウェア・トリグル・ビットを、ディザ・クロックとして選択できます。

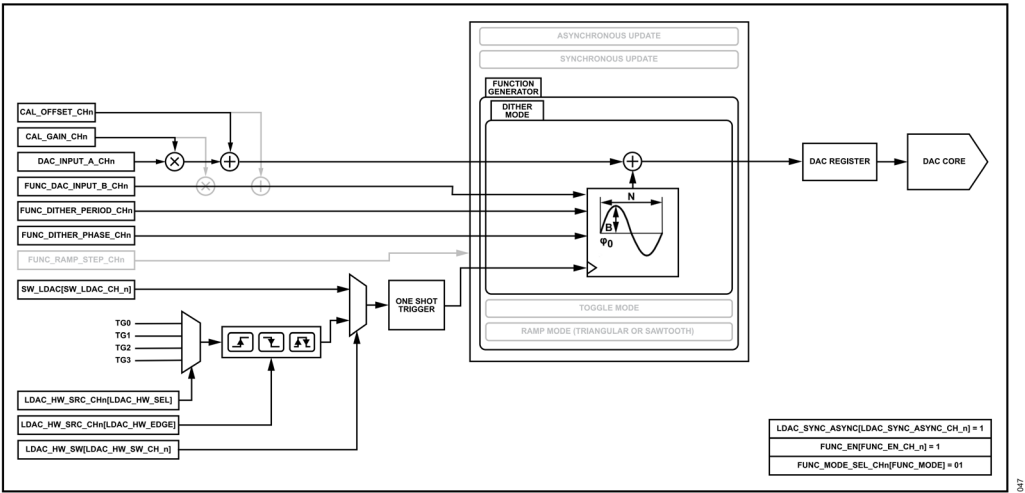


図 50. ディザのブロック図

正弦波ディザ D(n)は、デジタル DAC の信号経路に入る前に、入力レジスタ A および入力レジスタ B に保持されているプログラム済みオフセット値および振幅値と組み合わせられます。この操作により、次式に示すように、最終的な DAC データ値が生成されます。

$$DAC_REGISTER = DAC_INPUT_A_CHn + FUNC_DAC_INPUT_B[13:0] \times D(n)$$

ディザ・モード時は、DAC_INPUT_A_CHn のみが、調整済みのゲインとオフセットです。

ディザ振幅を設定されたレンジの 1/4 に制限するために、FUNC_DAC_INPUT_B の下位 14 ビットのみを使用します。

ディザ信号の周波数は、ディザ周期選択レジスタに書き込むことによって、チャンネルごとに設定できます。これには表 17 に示す選択肢があります。

表 17. ディザ周期

DITHER_PERIOD[2:0]	N	Output Signal Frequency
000	128	f _{TOGGLE} /128
001	64	f _{TOGGLE} /64
010	32	f _{TOGGLE} /32
011	16	f _{TOGGLE} /16
100	8	f _{TOGGLE} /8
101	4	f _{TOGGLE} /4
110	2	f _{TOGGLE} /2

動作原理

N の 7 種類のオプションに対するサイン関数のルックアップ・テーブルを、表 18 に示します。

表 18. DITHER_PERIOD[2:0] ビットを用いた、ディザ信号発生器のルックアップ・テーブル

Dither Sample	fclk/2	fclk/4	fclk/8	fclk/16	fclk/32	fclk/64	fclk/128
0		=	=	=	=	=	0.0
1							0.04907
2						=	0.09790
3							0.14673
4					=	=	0.19507
5							0.24292
6						=	0.29028
7							0.33691
8				=	=	=	0.38257
9							0.42749
10						=	0.47144
11							0.51416
12					=	=	0.55566
13							0.59570
14						=	0.63428
15							0.67163
16			=	=	=	=	0.70703
17							0.74097
18						=	0.77295
19							0.80322
20					=	=	0.83154
21							0.85767
22						=	0.88184
23							0.90405
24				=	=	=	0.92383
25							0.94165
26						=	0.95703
27							0.96997
28					=	=	0.98071
29							0.98926
30						=	0.99512
31							0.99878
32	=	=	=	=	=	=	1

動作原理

空白のセルは、Nに必要なその他の値がないことを示します。

その他の設定は許容されません。図 51 に、この機構を示します。

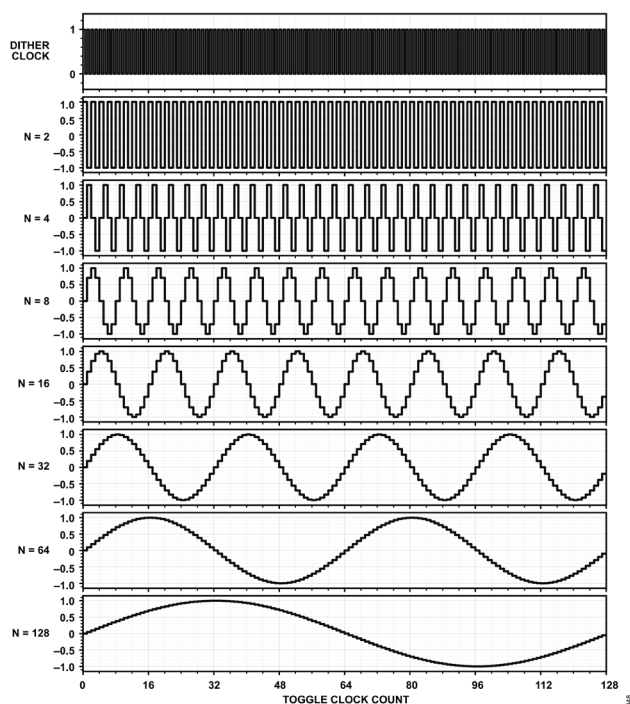


図 51. ディザ周期 N の様々な値に対する正弦波形

例えば、N = 8 の DITHER_PERIOD と共に 500kHz のトグル周波数を用いる場合、次のようになります。

$$\text{Dither Output Frequency} = \frac{500\text{kHz}}{8} = 62.5\text{kHz}$$

離散的な更新ポイントの数と各ポイントの振幅 D(n)は、プログラムされたディザ周波数によって決まります。各ポイントは、ディザ・クロックの選択されたエッジで更新され、ディザ・クロック 1 周期あたり 1 回の更新が行われます。

ディザの位相 (φ、初期位相角) は、ディザ位相選択レジスタのビット[1:0]に書き込むことにより、チャンネルごとに設定できます。サポートされている 4 つのオプションを表 19 に示します。

表 19. ディザの初期位相

DITHER_PHASE[1:0]	Initial Dither Phase (φ)
00	0°
01	90°
10	180°
11	270°

ディザ位相の初期値 (φ) が 90° または 270° に設定されている場合、最初の N/4 のクロックはディザ出力を発生しません。これは、ディザの最初のポイントに遷移するときに発生するトランジェントを避けるためです。出力は DAC_INPUT_A_CHn とどまります。

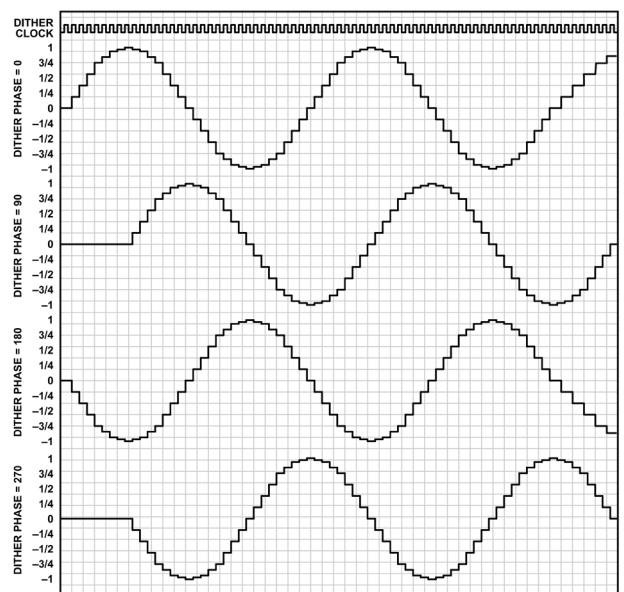


図 52. 様々な値の φ に対するディザ波形

ディザ・モードを開始するには、デバイスを以下のようにプログラムします。

1. ハードウェア・ソフトウェア・トリガ・レジスタで、必要なディザ・トリガ・ソースを選択します。ハードウェア・トリガを選択した場合、トグル・ピンとトリガ・エッジ (立上がり、立下がり、またはいずれも可) を、LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタで設定します。ソフトウェア・トリガを選択した場合、個別チャンネル・ソフトウェア LDAC レジスタを設定します。
2. ディザの DC レベルと振幅をプログラムします。ディザ波形に必要な DC 値をプライマリ DAC 入力レジスタに書き込みます。必要なディザ振幅をセカンダリ DAC 入力レジスタに書き込みます。
3. ディザのパラメータを設定します。ディザ周期を設定するには、ディザ周期選択レジスタ[2:0]を使います。ディザ初期位相を設定するにはディザ周期選択レジスタ[1:0]を使います。
4. 出力イネーブル・レジスタを設定することにより、必要なチャンネルの出力をイネーブルします。
5. ディザ動作を開始するために選択したトリガを適用します。

ディザ・モードを終了するには、以下の手順を実行します。

1. FUNC_EN レジスタの必要なチャンネルのビットをローにセットすることにより、ディザ機能を無効化します。
2. D(n) = 0 の場合、ディザ周期を終了するのに十分なディザ・クロックを加えるまで、ディザ動作は続きます。

動作原理

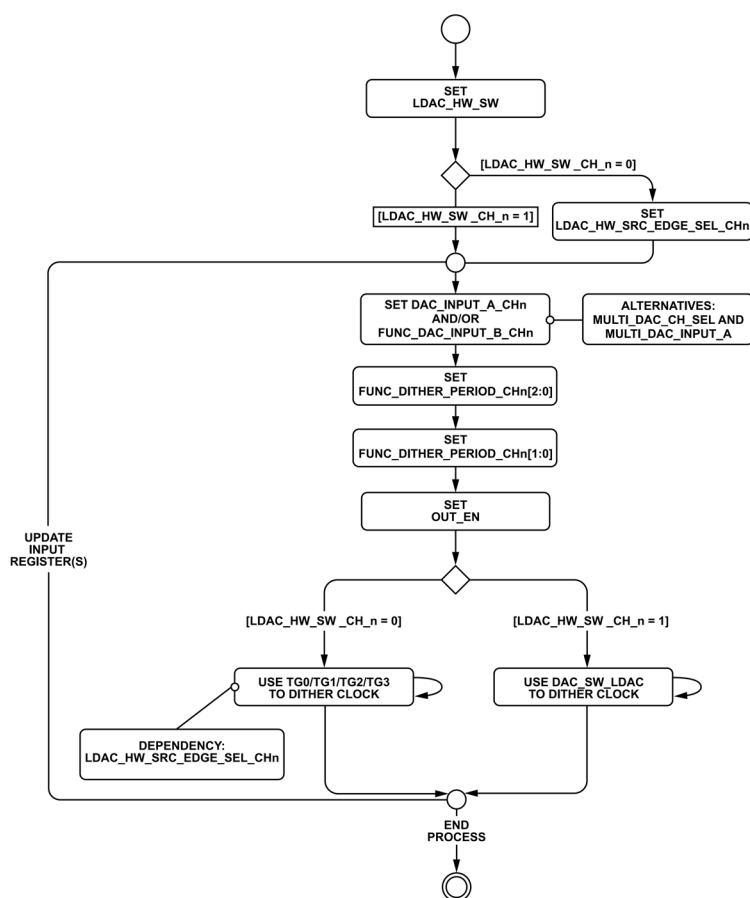


図 53. ディザの流れ図

動作原理

ランプ機能

ランプ機能モードでは、クロックをトグル・ピンに加えることにより、ランプ波形を発生できます。それによって、連続的な SPI 通信の必要がなくなり、このタスクによる外部コントローラの負荷を軽減します。鋸歯波形と三角波形の 2 種類のランプ波形がサポートされています。必要なランプ形状は、**機能モード選択レジスタ**を用いて選択できます。ランプ機能は、常に**プラ**

イマリ **DAC 入力レジスタ**のコードで始まり、これが**セカンダリ DAC 入力レジスタ**のコードより大きければ下降し、**セカンダリ DAC 入力レジスタ**のコードより小さければ上昇します。DAC_INPUT_A_CHn = FUNC_DAC_INPUT_B_CHn の場合は、ランプは生じません。ランプのブロック図を図 54 に示します。

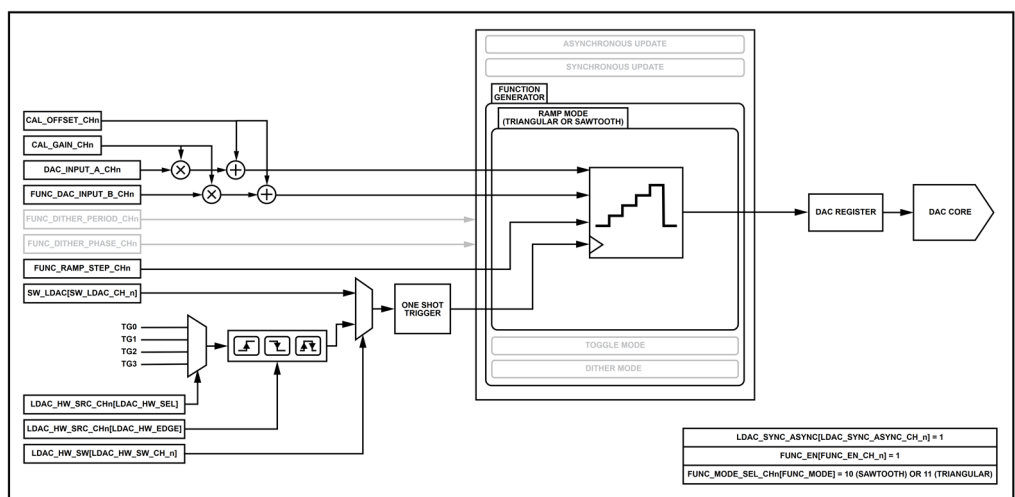


図 54. ランプのブロック図

動作原理

図 55 および図 56 は、2 種類のステップ設定に対する鋸歯波ランプ動作を示しています。プログラムされたステップ・サイズによって、開始から終了までの出力更新回数が整数になる場合は、ランプは、均一なステップ・サイズで遷移します（図 56 参照）。ステップ・サイズが、開始から終了までの範囲を均等に分割しない場合は、図 55 に示すように、プログラムされた終了値になるよう、最後のステップの大きさが縮小します。

- ▶ プライマリ DAC 入力レジスタ = d100
- ▶ セカンダリ DAC 入力レジスタ = d800
- ▶ ランプ・ステップ・レジスタ = d130

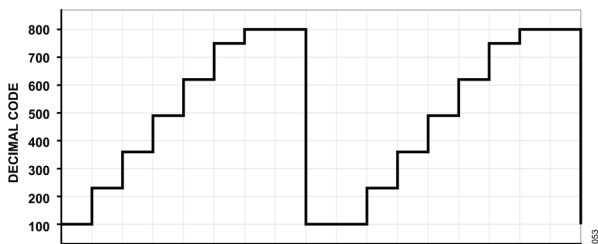


図 55. 最終ステップを縮小した鋸歯波ランプ

- ▶ プライマリ DAC 入力レジスタ = d100
- ▶ セカンダリ DAC 入力レジスタ = d800
- ▶ ランプ・ステップ・レジスタ = d140

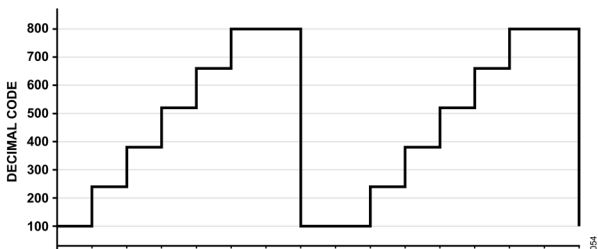


図 56. 均一ステップ・サイズの鋸歯波ランプ

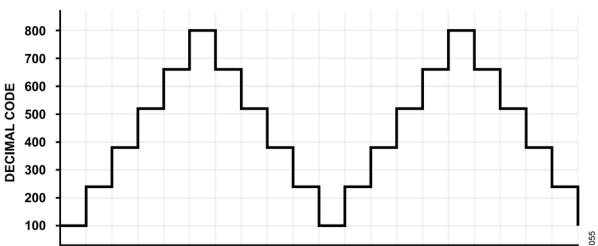


図 57. 均一ステップ・サイズの三角波ランプ

ランプ・ステップごとの電圧変化は、次式のように、プログラムされたランプ・ステップと、選択した出力レンジによって定義される DAC の LSB 電圧の積によって与えられます。

$$\Delta V_{STEP} = \frac{Range \cdot Span(V)}{2^{16}} \times FUNC_RAMP_STEP$$

ランプ・モードを開始するには、デバイスを以下のようにプログラムします。

1. ハードウェア・ソフトウェア・トリガ・レジスタで、必要なランプ・クロック・ソースを選択します。ハードウェア・クロック・ソースを選択した場合、LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタでトリガ・ピン (TG[3:0]) とトリガ・エッジ極性を設定します。ソフトウェア・トリガを選択した場合、個別チャンネル・ソフトウェア LDAC レジスタを設定します。
2. ランプの開始値と終了値をプログラムし、ランプの開始値をプライマリ DAC 入力レジスタに書き込みます。ランプの終了値をセカンダリ DAC 入力レジスタに書き込みます。
3. ランプ・ステップ・レジスタに書き込むことにより、ランプ・ステップ・サイズをプログラムします。この設定は、プログラムされたランプの開始値と終了値の間に適用されるインクリメントを定義します。
4. 出力イネーブル・レジスタを設定することにより、必要なチャンネルの出力をイネーブルします。
5. 選択したハードウェア・クロック・ソースまたはソフトウェア・クロック・ソースを適用して、ランプ動作を開始します。

図 58 にランプの流れ図を示します。

ランプ機能を終了するには、以下の手順を実行します。

1. FUNC_EN レジスタの必要なチャンネルのビットをローにセットすることにより、ランプ機能を無効化します。
2. プライマリ DAC 入力レジスタのコードに達するのに十分なディザ・クロックが加えられるまで、ランプ機能は動作を続けます。

動作原理

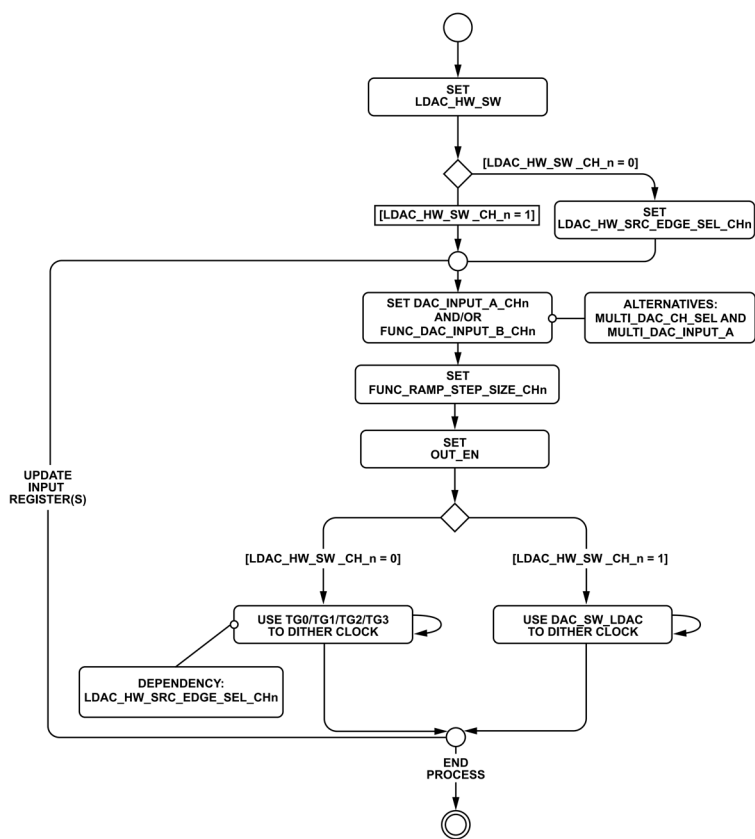


図 58. ランプの流れ図

動作原理

機能の再始動

機能ジェネレータの再始動特性は、**機能有効化レジスタ**の対応ビットがどのように制御されるかによって決まります。各ビットは、関連するチャンネルの機能ジェネレータを個別にイネーブルまたはディスエーブルします。

FUNC_EN ビットをクリアしそれを保持

FUNC_EN ビットをクリアすると、機能ジェネレータがディスエーブルになります。ビットがローに保持されている場合、デバ

イスは、現在の波形期間の残りのトグル・イベントの間、進行を続けます。出力は、必要な数のトグル・パルスが加えられた後にのみ、DAC_INPUT_A_CHn コードに戻ります。FUNC_EN がローのままになっている間、更なる波形アクティビティは生じません（図 59 参照）。

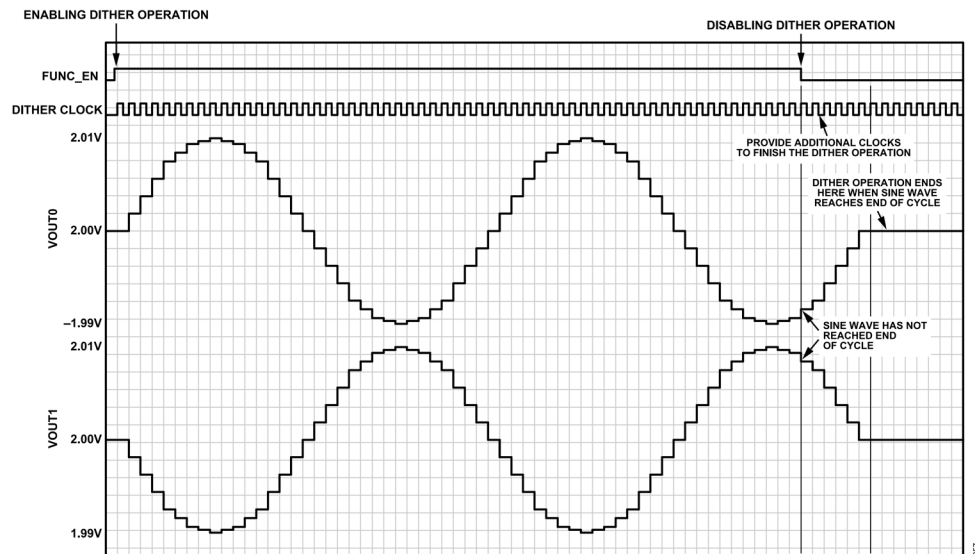


図 59. ディザ波形出力の終了

FUNC_EN ビットをクリアしてその後再セット

チャンネルの FUNC_EN ビットを一時的にクリアし、その後リセットすると、そのチャンネルの機能ジェネレータが直ちに再始動します。この状態では、AD5529R は、アクティブ期間に関

連する残りのトグル・イベントをスキップし、プログラムされた DAC_INPUT_A_CHn コードに出力を直接戻します（図 60 参照）。そのチャンネルに対して以前に設定された機能ジェネレータの全パラメータは、影響を受けないままです。

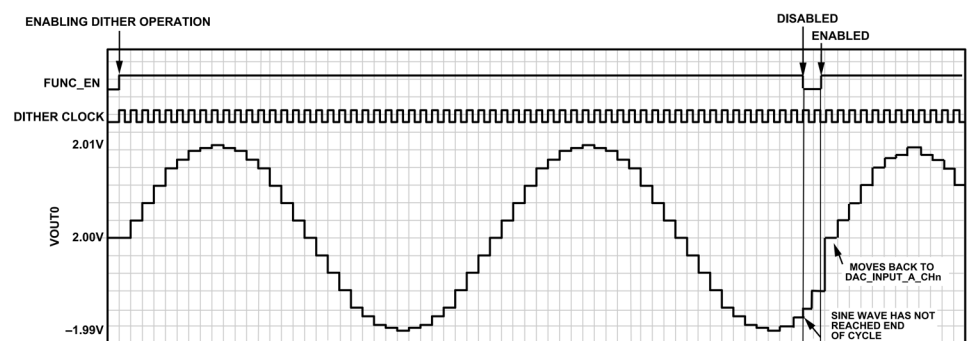


図 60. ディザ波形出力の再始動

動作原理

機能ジェネレータのフラグ

AD5529R には、機能ジェネレータの動作状態と完了を通知するために、いくつかのステータス・フラグと割込みフラグを備えています。

機能ジェネレータ・ビジー・ライブ・フラグ・レジスタ：これは、与えられたチャンネルの機能ジェネレータがアクティブかどうかを示す、ライブ・ステータス・フラグです。このフラグは、機能が有効化されている場合にアサートされ、機能ジェネレータが動作している間はアサートされたままになります。フラグは、チャンネルが非同期更新モードに切り替わると直ちにデアサートされます。チャンネルがエンドポイントに達していない間に機能が無効化されると、FGEN_BUSY は、現在の機能期間が完了し、出力を**プライマリ DAC 入力レジスタ**に戻すのに十分なトグル・イベントが発生するまで、アサートされたままになります。その後、このフラグはデアサートされます。機能の再始動に続けて機能ジェネレータをディスエーブルした場合も、FGEN_BUSY がデアサートされる原因になります。

機能割込みステータス・レジスタ：これはチャンネルごとのスティッキー・ステータス・フラグであり、対応するチャンネルの FGEN_BUSY フラグで立下がりエッジが検出されるとアサートされ、機能ジェネレータ動作の終了を示します。このフラグは、チャンネルを非同期更新モードに切り替えたことにより機能ジェネレータがディスエーブルされた場合には、アサートされません。1 つのチャンネルに対し機能ジェネレータがイネーブルされなければ、それに対応する FUNC_INT_STAT ビットはローのままです。

機能割込みイネーブル・レジスタ：このレジスタによって、各チャンネルをグローバル機能完了割込みの要因になるものとして選択できます。ビットをセットすることは、チャンネルの機能完了ステータスを ALL_FUNC_INT_STAT レジスタに供給できることを意味します。

機能割込みステータス・レジスタ：このレジスタは、1 つのグローバル・スティッキー・フラグを含んでいます。FUNC_INT_EN レジスタで選択された全チャンネルがその機能ジェネレータ・サイクルを完了すると、セットされます。このビットは **ALARM** ピンに伝達されます。このビットは、1 を書き込んでクリアすることによりクリアでき、それに寄与するチャンネルのみが、ALL_FUNC_INT_EN がイネーブルの間、影響を受けます。

結合機能ジェネレータ・ステータス・レジスタ：このレジスタは、グローバルな ALL_FUNC_INT_STAT 割込み経路をイネーブルします。イネーブルの場合、ALL_FUNC_INT_STAT の値は **ALARM** ピンを駆動できます。詳細については、**ALARM 機能**のセクションを参照してください。

過熱シャットダウン

AD5529R は、DAC チャンネル・ペアごとに 1 つの温度センサーを用いて、過熱保護を行います。測定したジャンクション温度が 130°C に達すると、センサーに付随する両方のチャンネルが強制的にパワーダウンされ、そのペアの DAC コアおよび出力段はディスエーブルされます。そのペアに対する温度検出は、チャンネルが再度イネーブルされるまで、ディスエーブルのままになります。ペアが再度アクティブ化されるときに過熱状態が続いている場合、温度センサーは再度直ちにシャットダウンをアサートします。

DAC ペアの過熱シャットダウンをイネーブルするには、以下の手順に従います。

- ▶ **温度センサー・イネーブル・レジスタ**で DAC ペアに付随する温度センサーをイネーブルします。デフォルトはディスエーブルです。
- ▶ **温度センサー・シャットダウンによるチャンネル・ディスエーブル・レジスタ**の対応するシャットダウン・イネーブル・ビットをセットします。

温度センサー・イネーブル・ビットとシャットダウン・イネーブル・ビットの両方が設定されると、DAC ペアは保護され、モニタする温度が 130°C に達すると自動的にシャットダウンします。

過熱イベントの間、デバイスは、**出力イネーブル・レジスタ**が用いるものと同じパワーダウン経路を適用し、約 28kΩ の実効抵抗を通じて出力ピンを GND に引き下げます。また、デジタル・ロジックは対応する**出力イネーブル・レジスタ**・フィールドを更新して、影響を受けるチャンネルでパワーダウンがアサートされたことを示します。

ALARM 機能

AD5529R は、以下のいずれかの条件が生じると、**ALARM** ピンをローにアサートします（そのように設定されている場合）。

1. 過熱アラート： $T_J > 110^\circ\text{C}$ の場合。
2. 過熱シャットダウン： $T_J \geq 130^\circ\text{C}$ の場合。
3. SPI_CRC エラー：イネーブルされている場合。フレームの最後で CRC エラーが発生し、それ以上のフレームは生じない場合、次の SPI フレームまでこのビットはセットされません。
4. デジタル機能の完了。

複数のイベントが **ALARM** ピンをアサートするよう設定されている場合、ユーザは、アラームのソースを特定するためにステータス・レジスタをリードバックする必要があります。

図 61 に、**ALARM** ピンが駆動される条件を示します。

動作原理

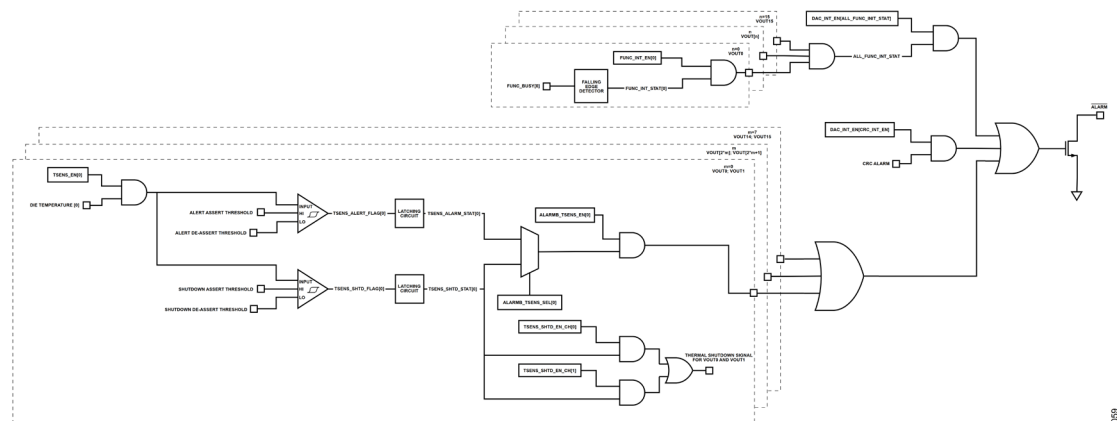


図 61. ALARM のブロック図

温度アラーム

AD5529R は、温度のセンシング、ステータスのレポート、アラームの発生を制御する、一連のレジスタを備えています。

温度センサー・イネーブル・レジスタ：温度センサーをイネーブルまたはディスエーブルします。各ビットは、個別の温度センサーの電力状態を制御します。温度センサーは、温度ステータスのレポート機能やアラーム機能を作動させるためには、パワーアップされていなくてはなりません。各温度センサーは、2つのDAC出力アンプをモニタします。また、デフォルトでは全センサーがパワーダウンされています。

温度センサー・アラート・ライブ・フラグ・レジスタおよび温度センサー・シャットダウン・ライブ・フラグ・レジスタ：これらのレジスタは、AD5529R で使用できる 2 つの温度フラグのステータスをレポートします。アラート・フラグは、温度センサーが 110℃を超えるとアサートされ、シャットダウン・フラグは、温度センサーが 130℃を超えるとアサートされます。どちらのフラグもこれらのレジスタ位置においてリアルタイムで読み出せます。

ALARMPINへの温度センサー・ステータス・イネーブル・レジスタ: 各温度センサーがALARMPINピンをアサートできるよう、ラッチされた温度アラートおよびシャットダウン・ステータスを有効化します。

ALARMPINへのアラート／シャットダウン・ステータス信号
選択レジスタ：このレジスタは、どの温度センサーのラッチされたステータス（アラートまたはシャットダウン、110℃または130℃）をALARMPINに振り向けるかを決定します。

ALARMがアサートされた後、ユーザは、**TSENS_ALERT/SHTD_STAT**レジスタを読み出して、フォルトの原因を判断する必要があります。ラッチされたフラグ/シャットダウン信号は、ラッチされたフラグ/シャットダウン・ステータス・ビットに 1 を書き込んだ後にのみ、クリアできます。

デジタル機能の完了

AD5529R は、イネーブルされたチャンネルのすべてのデジタル機能が完了したことを表示できます。ALL_FUNC_INT_STAT レジスタが、デジタル機能の完了ステータスをレポートします。DAC 割込みイネーブル・レジスタの ALL_FUNC_INT_EN[0] ビットがセットされている場合、このステータス・フラグは ALARM ピンを駆動できます。

CRC アラーム

AD5529R は、**DAC 割込みイネーブル・レジスタ**の **CRC_INIT_EN** ビットをイネーブルすることにより、SPI CRC エラーが発生した場合に **ALARM** ピンをアサートするよう設定できます。CRC チェック機能が有効化されている場合、フレームが CRC チェックに失敗すると、CRC エラー・フラグが発生します。SPI フレームの最後で CRC エラーが発生し、それ以降のフレームは受信されない場合、エラー・フラグは次の SPI フレームまでセットされません。

ハードウェア・リセット

RESETは、立下がりエッジで動作するアクティブ・ローの信号です。RESETをアサートすると、デバイスがパワーオン・リセット（POR）状態になります。RESETがローに保持されている間、すべての SPI トランザクションのトグル・パルスは無視され、SDO 出力は高インピーダンス状態のままです。

RESETが解放されると、デジタル・コアはその初期化シーケンスを実行し、AD5529R のすべてのレジスタをデフォルト値にリセットします。

CLEAR機能

CLEAR機能は、DAC データ・レジスタのみをリセットし、デバイスの設定値には全く影響しません。これが、デバイス全体を再度初期化してすべてのレジスタをデフォルト値に復元する、フル・デバイスRESETと異なる点です。AD5529RのCLEARピンはアクティブ・ローです。これがアサートされると、パワーアップされているすべての DAC チャンネルは、プログラムされた出力レンジに基づき、以下のようにデフォルトのクリア・コードをロードします。

- ▶ ユニポーラ・レンジ：出力はゼロスケール (0V) に戻ります。
- ▶ バイポーラ・レンジ：出力はミッド・スケール (0V) に戻ります。

CLEAR イベント後、すべての設定レジスタは、以前にプログラムされた設定値を保持します。使用しない場合、CLEAR ピンは VDD IO に接続する必要があります。

ソフトウェア・リセット

ソフトウェア・リセットは、INTERFACE_CONFIG_A レジスタの SW_RESET ビットおよび RESET_SW ビットをセットすることにより、使用できます。ソフトウェア・リセットを正常に開

動作原理

始するには、両方のビット・フィールドを同じデータ・フェーズの間に書き込む必要があります。リセット・コマンドの後、デバイスは、POR シーケンスを実行し、デジタル・コアを初期化します。それにより、INTERFACE_CONFIG_A を除くすべての DAC レジスタは初期値に戻ります。

SPI インターフェース

AD5529R は、従来型 SPI、QSPI™、MICROWIRE®の各インターフェース規格、およびほとんどの DSP に対応できる、4 線式シリアル・インターフェース ($\overline{CS}$, SCLK, SDI, SDO) を使用しています。データのサンプリングは、クロックの立上がりエッジで AD5529R が行います。これは SPI モード 0、またはモード 3 に対応します。また、AD5529R は、3 線式双方向 ($\overline{CS}$, SCLK, SDIO) シリアル・インターフェースにも対応します。更に、AD5529R は、マルチデバイス・アドレス指定もサポートしており、最大 4 個のデバイスを SPI インターフェースを共有して接続できます。複数の AD5529R を同じバス上に配置でき、それらのレジスタは、16 ビットのアドレス範囲内の異なるアドレスに配置されます。

このインターフェースにより、16 ビットの命令フェーズの間に、デバイスのアドレス指定が可能になります。このフェーズは、R/W ビットとそれに続く、3 ビット [0, ID1, ID0]、および 12 ビットのレジスタ・アドレスで構成されます。図 63 に、シングルバイト・レジスタの従来型の読出しを示します。

SPI トランザクションの間、 $\overline{CS}$ ピンがデータをフレーム化します。 $\overline{CS}$ の立上がりエッジによってデジタル・インターフェースがイネーブルされ、SPI トランザクションが開始されます。それぞれの SPI トランザクションは、少なくとも 1 つずつの命令フェーズとデータ・フェーズによって構成されます。いずれの SPI トランザクションでも、データは最上位ビット (MSB) ファーストに揃えられています。SPI トランザクション時に $\overline{CS}$ がハイになると、データ転送の一部または全部が終了し、デジタル・インターフェースが無効化されます。1 つ以上のレジスタへの書き込み後に $\overline{CS}$ がハイになると、書き込みが完了したレジスタへの書き込みまたは読出しは行われますが、一部しか書き込まなかったレジスタの書き込みや読出しは中断されます。

マルチデバイス・アドレス指定モードでは、アドレス指定されたデバイスのみが、データ・フェーズの間に SDO ピンを駆動します。命令フェーズで SDO ピンが駆動されることはありません。

命令フェーズ

命令フェーズは、読出し/書き込み (R/W) ビットと、それに続く 3 ビットのデバイス ID フィールド、およびレジスタ・アドレス・ワードで構成されます。R/W ビットをローに駆動すると書き込み動作が選択され、ハイに駆動すると読出し動作が選択されます。レジスタ・アドレス・フィールドはターゲット・レジスタを定義します。アドレスの 3 つの MSB は、[0, ID1, ID0] でなくてはなりません。ここで、ID1 および ID0 は、アドレス指定されたデバイスの ID1 アドレス・ピンおよび ID0 アドレス・ピンに印加されるロジック・レベルに対応します。このアドレス指定方式により、最大 4 個の AD5529R デバイスが同じ SPI バスを共有できます。デフォルトのレジスタ・アドレス・ワード長は 12 ビットです。

データ・フェーズ

データ・フェーズは、命令フェーズの直後に続きます。データ・フェーズには、1 個のシングルバイト・レジスタ、1 個のマルチバイト・レジスタ、または複数個のレジスタのデータを含めることができます。マルチバイト・レジスタでは、すべてのバイトを $\overline{CS}$ フレームの間に入力しなくてはなりません。SPI 書

込みトランザクションのデータ・フェーズに更新対象レジスタのデータ・バイトの一部しか含まれていない場合、レジスタの内容は更新されず、Interface_Status_A レジスタの [Register_Partial_Access_Err] ビットがセットされます。図 62 に、マルチバイト・レジスタへの従来型の書き込みを示します。

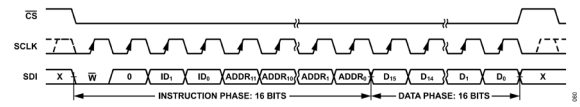


図 62. SPI 書き込みシーケンス

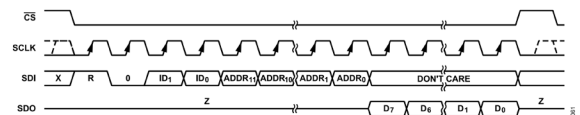


図 63. SPI 読出しシーケンス

マルチバイト・レジスタ

1 バイト・レジスタに加えて、2 つのアドレスごとに 2 バイトのデータを保存するレジスタも備えています。このレジスタはマルチバイト・レジスタと呼ばれます。マルチバイト・レジスタへの書き込み時は、1 回の SPI トランザクションですべてのバイトにアクセスする必要があります。このため、Interface_Config_C の [Strict_Register_Access] ビットは読出し専用であり、1 に設定されます。

CRC がイネーブルされていない場合、マルチバイト・レジスタへの書き込みトランザクションは、データ・フェーズの 16 番目の SCLK エッジの後に実行されます。CRC がイネーブルされている場合は、書き込みは CRC フェーズの 8 番目のエッジの後に実行されます。

マルチバイト・レジスタのアドレスは、常に Interface_Config_A の [Addr_Direction] ビットによって決まります。降順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであることが必要で、後続のバイトは次の下位アドレスのデータに対応します。昇順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最下位バイトであることが必要で、後続のバイトは次の上位アドレスのデータに対応します。

マルチバイト・レジスタへの SPI 書き込みトランザクションをバイトごとに行おうとした場合、デバイスのレジスタの内容は更新されず、Interface_Status_A の [Partial_Register_Access] ビットがセットされます。例えば、DAC_INPUT_A_CHn レジスタは 2 バイト長で、その最下位バイトのアドレスは 0x0148、最上位バイトのアドレスは 0x0149 です。

アドレスの方向は、Interface_Config_A の [Addr_Direction] ビットで選択されます。このビットを 0 に設定すると、各バイトにアクセスするごとにアドレスがデクリメントします。このビットを 1 に設定すると、各バイトにアクセスするごとにアドレスがインクリメントします。このビットはレジスタ・マップ全体の中でも唯一のものであり、ソフトウェア・リセットではリセットできません。図 64 に、Addr_Ascension がデクリメントに選択されている場合の、マルチバイト・レジスタへの書き込みを示します。



図 64. SPI マルチバイト書き込み、降順アドレス指定

動作原理

ストリーミング・モード

Interface_Config_B の[Access_Mode]ビットを 0 に設定すると、単一命令モードがディセーブルされてストリーミング・モードがイネーブルされます。ストリーミング・モードでは、アドレスが隣接する複数のレジスタに 1 つの命令フェーズとデータ・フェーズでアクセスできるため、メモリの隣接領域に効率的にアクセスできます（例えば、デバイスの初期設定時）。ストリーミング・モードはデフォルトで選択されています。

ストリーミング・モードの場合、各 SPI フレームは 1 つの命令フェーズで構成され、後続のデータ・フェーズにはアドレスが隣接する複数のレジスタのデータが含まれます。開始レジスタのアドレスは命令フェーズにおいてデジタル・ホストが指定し、データの各バイトへのアクセスが行われた後、このアドレスは、自動的にインクリメントまたはデクリメント（アドレス方向の設定による）します。そのため、データ・フェーズは複数バイト長となることもあり、読出しまたは書込みデータの連続するバイトはそれぞれ、次の最上位アドレス（昇順アドレス方向の場合）または最下位アドレス（降順アドレス方向の場合）に対応します。

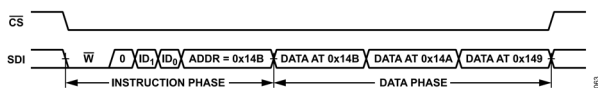


図 65. SPI ストリーミング・モード

ストリーミング・モードで昇順アドレスによりマルチバイト・レジスタに書込みを行う場合は、命令フェーズでレジスタの最下位バイトをアドレス指定し、データ・フェーズで最下位バイトから順にデータを提供する必要があります。ストリーミング・モードで降順アドレスによりマルチバイト・レジスタに書込みを行う場合は、命令フェーズでレジスタの最上位バイトからアドレス指定を開始し、データ・フェーズで最上位バイトから順にデータを提供する必要があります。

ストリーミング・モードで降順アドレスによりマルチバイト・レジスタから読出しを行う場合は、最上位バイトから順にデータをリードバックします。ストリーミング・モードで昇順アドレスによりマルチバイト・レジスタから読出しを行う場合は、最下位バイトから順にデータをリードバックします。

STREAM_MODE レジスタを用いることで、連続するレジスタのセットを指定してデータ・フェーズでループ・スルーを行うことができます。ルーピングにより、デジタル・ホストは一連のレジスタとの間で可能な限り効率的に読出しまたは書込みを繰り返すことができます。

アドレス方向が降順に設定されている場合、アドレスは 0x00 に達するまでデクリメントします。その後のバイト・アクセスでは、アドレスは使用可能な最大のバイト・アドレス値に設定されます。

アドレス方向が昇順に設定されている場合、アドレスは使用可能な最大のバイト・アドレス値に達するまでインクリメントします。その後のバイト・アクセスでは、アドレスは 0x00 にリセットされます。

STREAM_MODE が 0 以外の値に設定されている場合はルーピングがイネーブルされ、バイト・アドレスが命令フェーズでの指定アドレスにリセットされる前に単一データ・フェーズでのアクセス対象となるバイト数は、STREAM_MODE の値によって設定されます。

フレーム・トランザクションの完了時（つまり $\overline{CS}$ が高レベルになったとき）に、STREAM_MODE[LOOP_COUNT]レジスタの値は、維持するか、またはデフォルト値 0 に戻すことができます。STREAM_MODE の挙動は、TRANSFER_REGISTER の[STREAM_LENGTH_KEEP_VALUE]ビットで制御されます。

動作原理

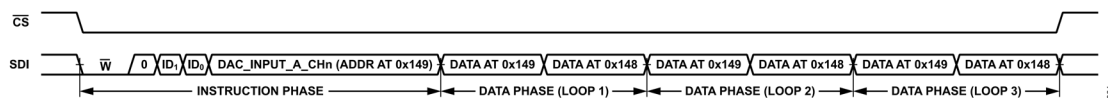


図 66. SPI ストリーミング・モード (LOOP_COUNT = 2)

単一命令モード

Interface_Config_B の[Access_Mode]ビットを 1 に設定すると、ストリーミング・モードがディセーブルされ単一命令モードがイネーブルされます。単一命令モードでは、データ・フェーズは単一レジスタのデータで構成され、 $\overline{CS}$ がローのままであっても、各データ・フェーズの後には新しい命令フェーズを続ける必要があります。単一命令モードでは、デジタル・ホストは 1 つの SPI フレーム内の隣接しないアドレスのレジスタに対して

手早く読書きができます。これに対し、ストリーミング・モードでは、新たな命令フェーズを開始するために $\overline{CS}$ パルスをハイにすることなく隣接レジスタに対する読出しまたは書込みのいずれかを行うことができます。

単一命令モードでマルチバイト・レジスタにアクセスする場合は、データ・フェーズにマルチバイト・レジスタの全バイトが含まれている必要があります。レジスタ・アドレスは引き続き、Interface_Config_A の[Addr_Direction]ビットによって決まります。

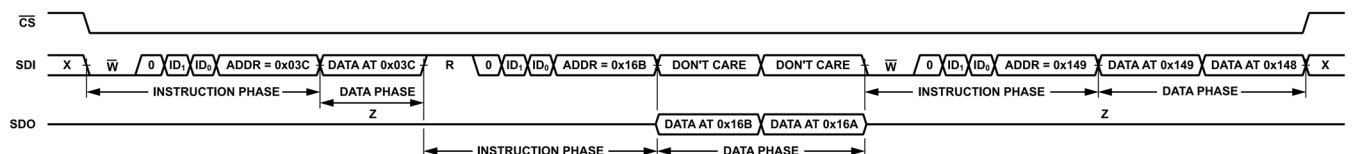


図 67. SPI 単一命令モード

デバイスのアドレス指定

AD5529R は、WLCSP パッケージに 2 つのデバイス・アドレス・ピン (ID[1:0]) を備えており、同じ SPI バスで動作する複数のデバイスをサポートします。4 つのアドレスの固有の組み合わせにより、最大 4 個の AD5529R デバイスがインターフェースを共有でき、それによって、ホスト・コントローラは、64 個もの個別設定可能な DAC チャンネルにアクセスできます。

表 20 に示すように、ID0 および ID1 に印加されるロジック・レベルがデバイス・アドレスを定義します。

SPI 通信の間、命令フェーズには 2 つのアドレス・ビットが含まれます。これらのビットは、デバイスがコマンドを受け入れるために、ID[1:0]ピンのロジック・レベルと一致していなくては

なりません。アドレス指定されたデバイスのみが、SPI 読出し動作および書込み動作に応答します。AD5529R の WLCSP デバイスを用いた、4 デバイスの代表的な SPI 接続を、図 68 に示します。

表 20. デバイス・アドレス指定の真理値表

Address Pins ID[1:0]	Device Identity	Address Bits, [14:12], in Instruction Phase
00	0	000
01	1	001
10	2	010
11	3	011

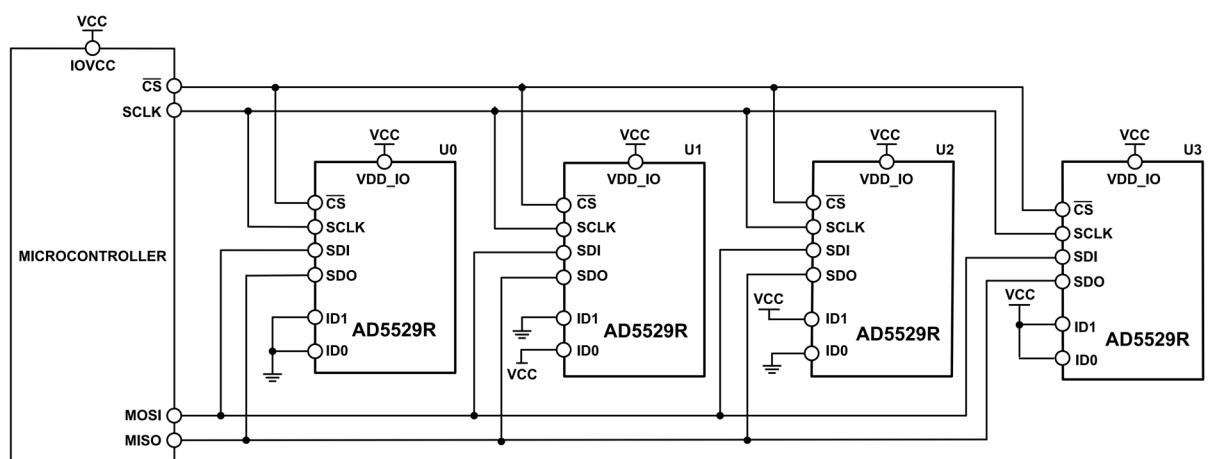


図 68. AD5529R WLCSP のデジチェーン構成

動作原理

CRC エラー検出

AD5529R DAC は、デジタル・ホストと DAC（ターゲット）間における SPI トランザクションのエラーを検出するためのオプションの巡回冗長検査（CRC）機能を備えています。CRC エラー検出はデフォルトではディスエーブルされています。CRC エラー検出を用いることで、SPI のホストとターゲットは、ビット転送エラーを高い信頼度で検出できます。CRC アルゴリズムでは、シード値と多項式除算を使用して CRC コードを生成します。コントローラとターゲットの双方で個別に CRC コードを計算し、転送されたデータの有効性を判定します。

この DAC は、次の多項式からなる CRC-8 標準を使用します。

$$x^8 + x^2 + x + 1 \quad (1)$$

CRC エラー検出をイネーブルするには、INTERFACE_CONFIG_C レジスタの CRC_EN ビットと CRC_EN_B ビットを用います。CRC_EN の値が更新されるのは、同じレジスタ書き込み命令で CRC_EN_B が CRC_EN の反転値に設定されている場合のみです。そのため、CRC をイネーブルするには、CRC_EN を 0b01 に設定すると共に、同じ書き込みトランザクションで CRC_EN_B を 0b10 に設定する必要があります。

CRC をディスエーブルするには、CRC_EN を 0b00 に設定すると共に、同じ書き込みトランザクションで CRC_EN_B を 0b11 に設定します。

2 つの別々のフィールドに反転した値を書き込むことで、CRC が誤ってイネーブルされる可能性を減らすことができます。 $\overline{CS}$ は書き込みのイネーブル/ディスエーブル後にハイ・レベルにする必要があります。最初の CRC コードは、レジスタの書き込み/読出しデータの後、CRC をイネーブルするレジスタ書き込みトランザクションの直後に含める必要があります。CRC をディスエーブルするレジスタ書き込みトランザクションでは、SDI に関する CRC コードも含まれていなければなりません、その後に続くトランザクションに CRC コードを含める必要はありません。

図 69 と図 70 は、デジタル・ホストまたは DAC がデータを検証するために、それぞれ書き込み時または読出し時に CRC コードがどのように付加されるのかを示しています。レジスタ書き込みの場合は、式 1 に示す計算を使ってデジタル・ホストが CRC を生成する必要があります。レジスタ読出しの場合、ホストは DAC によってチェックされる正しい CRC バイトを送信する必要があります。送信データの最初のバイトは CRC 計算に使われます。したがって、値を 0x00 とすることを推奨します。同じ読出しト

ランザクションで、DAC はデジタル・ホストが検証するための CRC コードを供給します。

CRC エラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRC コードはレジスタ・データの全バイトの後ろに配置されます。CRC エラー検出がイネーブルされている場合、DAC は、SDI のレジスタ・データの最後で有効な CRC コードを受け取るまで、レジスタ書き込みトランザクションに 응답してレジスタ内容を更新することはありません。CRC コードが無効であったり、デジタル・ホストが CRC コードを送信できなかったりした場合、AD5529R はレジスタの内容を更新せず、INTERFACE_STATUS_A レジスタの CRC_ERR フラグをセットします。CRC_ERR フラグは 1 が書き込まれるとクリアされます（R/WIC）。また、書き込みによるクリアを有効にするには正しい CRC が必要です。

CRC コードの計算で使用するシード値とその送信方法を、単一命令モードおよびストリーミング・モードの両方について表 1 に示します。単一命令モードを使用する場合、SPI フレーム内のどの CRC コードもシード値として 0xA5 を用い、アドレス 0x0000 で縮退故障状態が発生するのを防止します。

ストリーミング・モードを使用する場合、SPI フレームの最初の CRC コードもシード値として 0xA5 を用いますが、同じフレーム内の後続の CRC コードの計算には、SPI トランザクションでアクセスするレジスタ・アドレスの LSB をシード値として用います。

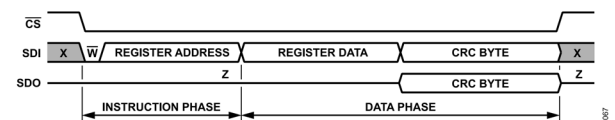


図 69. CRC をイネーブルした SPI 書き込み

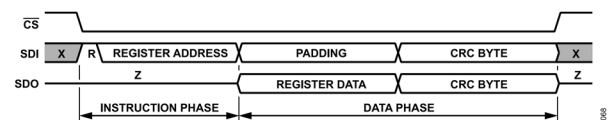


図 70. CRC をイネーブルした SPI 読出し

アプリケーション情報

レイアウトのガイドライン

AD5529R のピン配置は、最適なレイアウトを実現しやすいように考慮されています。ほとんどの高速デジタル・ラインは、チップの 1 つの側に配置され、各 DAC のアナログ機能部は他の 3 つの側に配置されています。この配置は、デジタル・ラインをアナログ機能部から直線的に引き回せるようになっています。

AD5529R から最大限の性能を引き出すための、PCB 設計に関するいくつかの推奨事項を以下に示します。

- ▶ 電源ラインのパターンをできるだけ大きくして低インピーダンス経路を確保し、グリッチによる影響を減らすようにします。
- ▶ 低インピーダンスのアナログ・グラウンド・プレーンとスター・グラウンディング方式の使用を推奨します。接地抵抗を最小限に抑えるために、グラウンド層には切れ目を作らないようにしてください。
- ▶ クロックなどの高速スイッチング・デジタル信号を信号の他の部分からシールドするには、デジタル・グラウンドを使用します。
- ▶ 可能であれば、デジタル信号とアナログ信号を交差させないでください。パターンがボードの反対面で交差する場合は、アナログ配線とデジタル配線の角度を 45° または 90° とし、ボードでのフィードスルーが小さくなるようにします。
- ▶ デバイス周辺のクロック・レートが最大 50MHz 程度の場合は、ソース I/O ピンの近くに直列抵抗を追加することを推奨します。一般的には $22\Omega \sim 100\Omega$ の値が使われます。この値は、高速の信号遷移によって生じるリンギングと反射を減らすことによって、信号の完全性を向上させる助けとなります。

WLCSP パッケージを用いる場合は、アプリケーション・ノート AN-617：ウェーハ・レベル・チップ・スケール・パッケージに記載されているレイアウトのガイドラインに従ってください。

電源のセットアップ

図 71 に、規格に適合する電圧源の構成を示します。この例では、4 つの負側レールが、 $-20V$ (VSS_HV0)、 $0V$ (VSS_HV1)、 $-15V$ (VSS_HV2)、 $-5V$ (VSS_HV3) にバイアスされています。この構成は、VSS_HV0 が、VSS_HV1、VSS_HV2、VSS_HV3 以下に維持されなくてはならないという要件を満たします。すべての**絶対最大定格**を一時的であっても超えることのないようにする点を除き、パワーアップ・シーケンスには特定の要件はありません。なお、一般的に、これは VSS_HV0 に給電してから VSS_HV1、VSS_HV2、VSS_HV3 に給電することを示唆している点に注意してください。

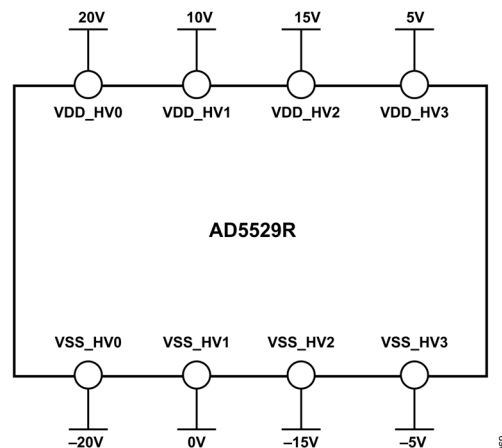


図 71. AD5529R VSS_HVX の電源セットアップ

複数の AD5529R が SPI および MUXOUT を共有しているシステムにおけるチャンネル診断

複数の AD5529R を用いるシステムでは、そのアーキテクチャが、最大 4 つの WLCSP デバイスに対し、SPI ラインの共有と 1 つの MUXOUT ピンの共有の両方をサポートしています。共有される MUXOUT ラインの競合を避けるため、AD5529R は、どのタイミングにおいてもピンを駆動するのは 1 つのデバイスのみという、制御ロジックを内蔵しています。

MUX_OUT_SEL レジスタに書き込みが行われると、すべてのデバイスは、その MUXOUT ピンを一時的に高インピーダンス (Hi-Z) 状態にします。次に、アドレス指定された書き込みトランザクションにデバイス ID (ID0/ID1 ピン) が一致するデバイスが MUXOUT ピンを駆動し、アドレス指定されていないすべてのデバイスは Hi-Z のままになります。MUXOUT レジスタ書き込みのたびにこのシーケンスが行われるため、競合のない確定的な動作が確保されます。このメカニズムは、単一デバイス構成には無関係ですが、共通の MUXOUT ノードを共有するマルチデバイス AD5529R システムには必須です。

DAC ホットパス

DAC ホットパスとは、複数の AD5529R デバイスが共通の SPI バスを共有するマルチデバイス構成における、DAC 更新を最適化する専用のレジスタ領域のことです。これは、DAC データを書き込むのに必要な SPI フレームの数を減少させ、デバイス間で同期した出力の更新をサポートします。単一デバイス・システムでは、標準的なレジスタ・マップに比べてホットパスの利点はありません。そのため、無視できます。

DAC ホットパス領域は、**マルチデバイス SW LDAC モード 0 レジスタから入力デバイス 3 レジスタ** (これを含む) まですを指します。

アプリケーション情報

ソフトウェア・トリガ制御

マルチデバイス SWLDAC モード 0 レジスタは、マルチデバイス構成において、デバイスごとにソフトウェア・トリガ制御を行います。レジスタには 4 つのビットがあり、それぞれが 1 つのデバイスに対応しています。

- 1. ビットに 1 を書き込むと、そのデバイスの更新イベントがトリガされます。
- 2. 0x000F を書き込むと、すべてのデバイスの更新イベントがトリガされます。

それによって、1 つの SPI トランザクションで、複数のデバイスにわたり、選択的な DAC 更新または同時 DAC 更新が可能になります。

マルチデバイス SWLDAC モード 1 レジスタは、すべてのデバイスにソフトウェア・トリガ・イベントを発生させますが、選択したチャンネルのみが対象です。このレジスタのビットをハイにセットすると、SPI バスに接続されたすべての DAC で対応するチャンネル番号が更新されます。これは、すべてのデバイスで同じチャンネルを同時に更新する必要がある場合に有用です。

DAC の更新

AD5529R のホットパス・エイリアス・レジスタ・マップは、DAC_INPUT_A レジスタを更新するために 2 つの機構を備えています。

チャンネルごとの DAC 更新

INPUT_DEV[0 ~ 3]_CH レジスタは、各チャンネルの DAC_INPUT_A レジスタに直接的な書き込み経路を提供します。各レジスタは、ホットパス・マップの特定のデバイス・アドレスに接続されるため、書き込みが行われると、SPI フレームのデバイス・アドレス・フィールドとは無関係に、その特定のダイ・レジスタに付随するチャンネルのみが更新されます。

マルチチャンネル DAC 更新

MULTI_INPUT_DEV_[0~3]レジスタは、複数のチャンネルで同時に DAC_INPUT_A を更新する機構を備えています。この書き込みに応答するチャンネルは、MULTI_INPUT_SEL レジスタによって選択します。1 回の書き込みで、アドレス指定されたダイの選択されたすべてのチャンネルが同じ DAC コードに更新されます。

概要を表 21 に示します。

表 21. DAC 更新の方法

方法	MULTI_INPUT_SEL	出力を更新するためのアクション
INPUT_DEV[0 to 3]_CH	使用しません	このレジスタに書き込みを行うと、ID0/ID1 ピンがホットパス・アドレスに一致するデバイスにおいて、アドレス指定されたチャンネルのみが更新されます。
MULTI_INPUT_DEV_[0 to 3]	チャンネルを選択	このレジスタに書き込みを行うと、ID0/ID1 ピンがホットパス・アドレスに一致するデバイスにおいて、MULTI_INPUT_SEL で選択されたすべてのチャンネルが同じ DAC コードに更新されます。

レジスタの一覧

このセクションには、各ビット・フィールドの機能の詳細が記載されています。レジスタの表のアクセス欄では、ビット・フィールドが読み出し専用ビット (R)、読み出し/書き込みビット (R/W)、1 を書き込んでクリアするビット (R/W1C)、レジスタ読み出しが常に 0 のビット (R0/W) のいずれであるかを示しています。

表 22. AD5529R のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASCENSION	SDO_ENABLE	RESERVED			RESET_SW	0x10	R/W
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_IN_ST	RESERVED							0x00	R/W
0x02	DEVICE_CONFIG	[7:0]	STATUS_BIT_3	STATUS_BIT_2	STATUS_BIT_1	STATUS_BIT_0	RESERVED		OPERATING_MODE		0xF0	R
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE				0x08	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x40	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x41	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x00	R
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE								0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION						0x85	R
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R
0x0E	STREAM_MODE	[7:0]	LOOP_COUNT								0x00	R/W
0x0F	TRANSFER_CONFIG	[7:0]	RESERVED					KEEP_STREAM_LENGTH_VAL	RESERVED		0x00	R/W
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	RESERVED	ACTIVE_INTERFACE_MODE		CRC_ENABLEB		0x2F	R/W
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READY_ERR	RESERVED		CLOCK_COUNT_ERR	CRC_ERR	WR_TO_RD_ONLY_REG_ERR	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR	0x00	R/W
0x014	MULTI_INPUT_SELECT	[15:8]	INPUT_SELECT_CH_15	INPUT_SELECT_CH_14	INPUT_SELECT_CH_13	INPUT_SELECT_CH_12	INPUT_SELECT_CH_11	INPUT_SELECT_CH_10	INPUT_SELECT_CH_9	INPUT_SELECT_CH_8	0x0000	R/W
		[7:0]	INPUT_SELECT_CH_7	INPUT_SELECT_CH_6	INPUT_SELECT_CH_5	INPUT_SELECT_CH_4	INPUT_SELECT_CH_3	INPUT_SELECT_CH_2	INPUT_SELECT_CH_1	INPUT_SELECT_CH_0		
0x016	LDAC_SYNC_A_SYNC	[15:8]	LDAC_SYNC_ASYNC_CH_15	LDAC_SYNC_ASYNC_CH_14	LDAC_SYNC_ASYNC_CH_13	LDAC_SYNC_ASYNC_CH_12	LDAC_SYNC_ASYNC_CH_11	LDAC_SYNC_ASYNC_CH_10	LDAC_SYNC_ASYNC_CH_9	LDAC_SYNC_ASYNC_CH_8	0x0000	R/W
		[7:0]	LDAC_SYNC_ASYNC_CH_7	LDAC_SYNC_ASYNC_CH_6	LDAC_SYNC_ASYNC_CH_5	LDAC_SYNC_ASYNC_CH_4	LDAC_SYNC_ASYNC_CH_3	LDAC_SYNC_ASYNC_CH_2	LDAC_SYNC_ASYNC_CH_1	LDAC_SYNC_ASYNC_CH_0		
0x018	LDAC_HW_SW	[15:8]	LDAC_HW_SW_CH_15	LDAC_HW_SW_CH_14	LDAC_HW_SW_CH_13	LDAC_HW_SW_CH_12	LDAC_HW_SW_CH_11	LDAC_HW_SW_CH_10	LDAC_HW_SW_CH_9	LDAC_HW_SW_CH_8	0x0000	R/W
		[7:0]	LDAC_HW_SW_CH_7	LDAC_HW_SW_CH_6	LDAC_HW_SW_CH_5	LDAC_HW_SW_CH_4	LDAC_HW_SW_CH_3	LDAC_HW_SW_CH_2	LDAC_HW_SW_CH_1	LDAC_HW_SW_CH_0		
0x01A to 0x038 by 2	LDAC_HW_SRC_CHn	[15:8]	RESERVED						LDAC_HW_SEL_CH		0x0000	R/W
		[7:0]	RESERVED						LDAC_HW_EDGE_SEL_CH			
0x03A	OUT_EN_A	[15:8]	OUT_EN_CH_15	OUT_EN_CH_14	OUT_EN_CH_13	OUT_EN_CH_12	OUT_EN_CH_11	OUT_EN_CH_10	OUT_EN_CH_9	OUT_EN_CH_8	0x0000	R/W

レジスタの一覧

表 22. AD5529R のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
		[7:0]	OUT_EN_C H_7	OUT_EN_C H_6	OUT_EN_C H_5	OUT_EN_C H_4	OUT_EN_C H_3	OUT_EN_C H_2	OUT_EN_C H_1	OUT_EN_C H_0		
0x03 C to 0x05 A by 2	OUT_RANGE_C Hn	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED					OUT_RANGE_CH				
0x05 C to 0x07 A by 2	CAL_GAIN_CHn	[15:8]	RESERVED								0x0080	R/W
		[7:0]	CAL_GAIN_CH									
0x07 C to 0x09 A by 2	CAL_OFFSET_C Hn	[15:8]	CAL_OFFSET_CH[15:8]								0x0000	R/W
		[7:0]	CAL_OFFSET_CH[7:0]									
0x09 C	FUNC_EN	[15:8]	FUNC_EN_ CH_15	FUNC_EN_ CH_14	FUNC_EN_ CH_13	FUNC_EN_ CH_12	FUNC_EN_ CH_11	FUNC_EN_ CH_10	FUNC_EN_ CH_9	FUNC_EN_ CH_8	0x0000	R/W
		[7:0]	FUNC_EN_ CH_7	FUNC_EN_ CH_6	FUNC_EN_ CH_5	FUNC_EN_ CH_4	FUNC_EN_ CH_3	FUNC_EN_ CH_2	FUNC_EN_ CH_1	FUNC_EN_ CH_0		
0x09 E to 0x0B C by 2	FUNC_MODE_S EL_CHn	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED						FUNC_MODE_CH			
0x0B E to 0x0D C by 2	FUNC_DAC_INP UT_B_CHn	[15:8]	DAC_INPUT_B_CH[15:8]								0x0000	R/W
		[7:0]	DAC_INPUT_B_CH[7:0]									
0x0D E to 0x0F C by 2	FUNC_DITHER_ PERIOD_CHn	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED					DITHER_PERIOD_CH				
0x0F E to 0x11 C by 2	FUNC_DITHER_ PHASE_CHn	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED						DITHER_PHASE_CH			
0x11 E to 0x13 C by 2	FUNC_RAMP_S TEP_CHn	[15:8]	RESERVED								0x0000	R/W

レジスタの一覧

表 22. AD5529R のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
		[7:0]	RAMP_STEP_CH									
0x13E	FUNC_INT_EN	[15:8]	FUNC_INT_EN_CH_15	FUNC_INT_EN_CH_14	FUNC_INT_EN_CH_13	FUNC_INT_EN_CH_12	FUNC_INT_EN_CH_11	FUNC_INT_EN_CH_10	FUNC_INT_EN_CH_9	FUNC_INT_EN_CH_8	0x0000	R/W
		[7:0]	FUNC_INT_EN_CH_7	FUNC_INT_EN_CH_6	FUNC_INT_EN_CH_5	FUNC_INT_EN_CH_4	FUNC_INT_EN_CH_3	FUNC_INT_EN_CH_2	FUNC_INT_EN_CH_1	FUNC_INT_EN_CH_0		
0x140	MUX_OUT_SEL	[15:8]	RESERVED								0x003F	R/W
		[7:0]	MUX_OUT_EN	RESERVED	MUX_PARAM_SEL							
0x142	MULTI_SW_LDAC	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED									
0x144	MULTI_INPUT	[15:8]	MULTI_INPUT[15:8]								0x0000	R/W
		[7:0]	MULTI_INPUT[7:0]									
0x146	SW_LDAC	[15:8]	DAC_SW_LDAC_CH_15	DAC_SW_LDAC_CH_14	DAC_SW_LDAC_CH_13	DAC_SW_LDAC_CH_12	DAC_SW_LDAC_CH_11	DAC_SW_LDAC_CH_10	DAC_SW_LDAC_CH_9	DAC_SW_LDAC_CH_8	0x0000	R/W
		[7:0]	DAC_SW_LDAC_CH_7	DAC_SW_LDAC_CH_6	DAC_SW_LDAC_CH_5	DAC_SW_LDAC_CH_4	DAC_SW_LDAC_CH_3	DAC_SW_LDAC_CH_2	DAC_SW_LDAC_CH_1	DAC_SW_LDAC_CH_0		
0x148 to 0x166 by 2	DAC_INPUT_A_CHn	[15:8]	DAC_INPUT_A_CH[15:8]								0x0000	R/W
		[7:0]	DAC_INPUT_A_CH[7:0]									
0x168	FUNC_INT_STAT	[15:8]	FUNC_INT_STAT_CH_15	FUNC_INT_STAT_CH_14	FUNC_INT_STAT_CH_13	FUNC_INT_STAT_CH_12	FUNC_INT_STAT_CH_11	FUNC_INT_STAT_CH_10	FUNC_INT_STAT_CH_9	FUNC_INT_STAT_CH_8	0x0000	R/W
		[7:0]	FUNC_INT_STAT_CH_7	FUNC_INT_STAT_CH_6	FUNC_INT_STAT_CH_5	FUNC_INT_STAT_CH_4	FUNC_INT_STAT_CH_3	FUNC_INT_STAT_CH_2	FUNC_INT_STAT_CH_1	FUNC_INT_STAT_CH_0		
0x16A to 0x188 by 2	DAC_DATA_READBACK_CHn	[15:8]	DAC_DATA_READBACK_CH[15:8]								0x0000	R
		[7:0]	DAC_DATA_READBACK_CH[7:0]									
0x18A	TSENS_EN	[15:8]	RESERVED								0x0000	R/W
		[7:0]	TEMPSENS_PDB_TS_7	TEMPSENS_PDB_TS_6	TEMPSENS_PDB_TS_5	TEMPSENS_PDB_TS_4	TEMPSENS_PDB_TS_3	TEMPSENS_PDB_TS_2	TEMPSENS_PDB_TS_1	TEMPSENS_PDB_TS_0		
0x18C	TSENS_ALERT_FLAG	[15:8]	RESERVED								0x0000	R
		[7:0]	TEMPSENS_ALERT_FLAG_TS_7	TEMPSENS_ALERT_FLAG_TS_6	TEMPSENS_ALERT_FLAG_TS_5	TEMPSENS_ALERT_FLAG_TS_4	TEMPSENS_ALERT_FLAG_TS_3	TEMPSENS_ALERT_FLAG_TS_2	TEMPSENS_ALERT_FLAG_TS_1	TEMPSENS_ALERT_FLAG_TS_0		
0x18E	TSENS_SHTD_FLAG	[15:8]	RESERVED								0x0000	R
		[7:0]	TEMPSENS_SHUTDO_WN_FLAG_TS_7	TEMPSENS_SHUTDO_WN_FLAG_TS_6	TEMPSENS_SHUTDO_WN_FLAG_TS_5	TEMPSENS_SHUTDO_WN_FLAG_TS_4	TEMPSENS_SHUTDO_WN_FLAG_TS_3	TEMPSENS_SHUTDO_WN_FLAG_TS_2	TEMPSENS_SHUTDO_WN_FLAG_TS_1	TEMPSENS_SHUTDO_WN_FLAG_TS_0		

レジスタの一覧

表 22. AD5529R のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x190	TSENS_ALERT_STAT	[15:8]	RESERVED								0x0000	R/W
		[7:0]	TEMPSENS_ALERT_ST ATUS_TS_7	TEMPSENS_ALERT_ST ATUS_TS_6	TEMPSENS_ALERT_ST ATUS_TS_5	TEMPSENS_ALERT_ST ATUS_TS_4	TEMPSENS_ALERT_ST ATUS_TS_3	TEMPSENS_ALERT_ST ATUS_TS_2	TEMPSENS_ALERT_ST ATUS_TS_1	TEMPSENS_ALERT_ST ATUS_TS_0		
0x192	TSENS_SHTD_STAT	[15:8]	RESERVED								0x0000	R/W
		[7:0]	TEMPSENS_SHUTDO WN_STATU S_TS_7	TEMPSENS_SHUTDO WN_STATU S_TS_6	TEMPSENS_SHUTDO WN_STATU S_TS_5	TEMPSENS_SHUTDO WN_STATU S_TS_4	TEMPSENS_SHUTDO WN_STATU S_TS_3	TEMPSENS_SHUTDO WN_STATU S_TS_2	TEMPSENS_SHUTDO WN_STATU S_TS_1	TEMPSENS_SHUTDO WN_STATU S_TS_0		
0x194	ALARMB_TSENS_EN	[15:8]	RESERVED								0x0000	R/W
		[7:0]	ALARMB_T EMPSSENS_ EN_TS_7	ALARMB_T EMPSSENS_ EN_TS_6	ALARMB_T EMPSSENS_ EN_TS_5	ALARMB_T EMPSSENS_ EN_TS_4	ALARMB_T EMPSSENS_ EN_TS_3	ALARMB_T EMPSSENS_ EN_TS_2	ALARMB_T EMPSSENS_ EN_TS_1	ALARMB_T EMPSSENS_ EN_TS_0		
0x196	ALARMB_TSENS_SEL	[15:8]	RESERVED								0x0000	R/W
		[7:0]	ALARMB_T EMPSSENS_ SEL_TS_7	ALARMB_T EMPSSENS_ SEL_TS_6	ALARMB_T EMPSSENS_ SEL_TS_5	ALARMB_T EMPSSENS_ SEL_TS_4	ALARMB_T EMPSSENS_ SEL_TS_3	ALARMB_T EMPSSENS_ SEL_TS_2	ALARMB_T EMPSSENS_ SEL_TS_1	ALARMB_T EMPSSENS_ SEL_TS_0		
0x198	TSENS_SHTD_EN_CH	[15:8]	TEMPSENS_SHUTDO WN_EN_CH _15	TEMPSENS_SHUTDO WN_EN_CH _14	TEMPSENS_SHUTDO WN_EN_CH _13	TEMPSENS_SHUTDO WN_EN_CH _12	TEMPSENS_SHUTDO WN_EN_CH _11	TEMPSENS_SHUTDO WN_EN_CH _10	TEMPSENS_SHUTDO WN_EN_CH _9	TEMPSENS_SHUTDO WN_EN_CH _8	0x0000	R/W
		[7:0]	TEMPSENS_SHUTDO WN_EN_CH _7	TEMPSENS_SHUTDO WN_EN_CH _6	TEMPSENS_SHUTDO WN_EN_CH _5	TEMPSENS_SHUTDO WN_EN_CH _4	TEMPSENS_SHUTDO WN_EN_CH _3	TEMPSENS_SHUTDO WN_EN_CH _2	TEMPSENS_SHUTDO WN_EN_CH _1	TEMPSENS_SHUTDO WN_EN_CH _0		
0x19A	DAC_DIS DEGLITCH_CH	[15:8]	DAC_DIS_D EGLITCH_C H_15	DAC_DIS_D EGLITCH_C H_14	DAC_DIS_D EGLITCH_C H_13	DAC_DIS_D EGLITCH_C H_12	DAC_DIS_D EGLITCH_C H_11	DAC_DIS_D EGLITCH_C H_10	DAC_DIS_D EGLITCH_C H_9	DAC_DIS_D EGLITCH_C H_8	0x0000	R/W
		[7:0]	DAC_DIS_D EGLITCH_C H_7	DAC_DIS_D EGLITCH_C H_6	DAC_DIS_D EGLITCH_C H_5	DAC_DIS_D EGLITCH_C H_4	DAC_DIS_D EGLITCH_C H_3	DAC_DIS_D EGLITCH_C H_2	DAC_DIS_D EGLITCH_C H_1	DAC_DIS_D EGLITCH_C H_0		
0x19C	DAC_INT_EN	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED							CRC_INT_EN		
0x19E	ALL_FUNC_INT_STAT	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED									
0x1A0	FUNC_BUSY	[15:8]	FUNC_BUS_Y_CH_15	FUNC_BUS_Y_CH_14	FUNC_BUS_Y_CH_13	FUNC_BUS_Y_CH_12	FUNC_BUS_Y_CH_11	FUNC_BUS_Y_CH_10	FUNC_BUS_Y_CH_9	FUNC_BUS_Y_CH_8	0x0000	R
		[7:0]	FUNC_BUS_Y_CH_7	FUNC_BUS_Y_CH_6	FUNC_BUS_Y_CH_5	FUNC_BUS_Y_CH_4	FUNC_BUS_Y_CH_3	FUNC_BUS_Y_CH_2	FUNC_BUS_Y_CH_1	FUNC_BUS_Y_CH_0		
0x1A2	REF_SEL	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED									
0x1A4	INIT_CRC_ERR_STAT	[15:8]	RESERVED								0x0000	R
		[7:0]	RESERVED									

レジスタの一覧

表 22. AD5529R のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x1A8	MULTI_DEV_SW_LDAC_0	[15:8]	RESERVED								0x0000	R/W
		[7:0]	RESERVED				MULTI_SW_LDAC_DE_V_3	MULTI_SW_LDAC_DE_V_2	MULTI_SW_LDAC_DE_V_1	MULTI_SW_LDAC_DE_V_0		
0x1AA	MULTI_INPUT_DEV_0	[15:8]	MULTI_INPUT_DEV_0[15:8]								0x0000	R/W
		[7:0]	MULTI_INPUT_DEV_0[7:0]									
0x1AC	MULTI_INPUT_DEV_1	[15:8]	MULTI_INPUT_DEV_1[15:8]								0x0000	R/W
		[7:0]	MULTI_INPUT_DEV_1[7:0]									
0x1AE	MULTI_INPUT_DEV_2	[15:8]	MULTI_INPUT_DEV_2[15:8]								0x0000	R/W
		[7:0]	MULTI_INPUT_DEV_2[7:0]									
0x1B0	MULTI_INPUT_DEV_3	[15:8]	MULTI_INPUT_DEV_3[15:8]								0x0000	R/W
		[7:0]	MULTI_INPUT_DEV_3[7:0]									
0x1B2	MULTI_DEV_SW_LDAC_1	[15:8]	MULTI_SW_LDAC_CH_15	MULTI_SW_LDAC_CH_14	MULTI_SW_LDAC_CH_13	MULTI_SW_LDAC_CH_12	MULTI_SW_LDAC_CH_11	MULTI_SW_LDAC_CH_10	MULTI_SW_LDAC_CH_9	MULTI_SW_LDAC_CH_8	0x0000	R/W
		[7:0]	MULTI_SW_LDAC_CH_7	MULTI_SW_LDAC_CH_6	MULTI_SW_LDAC_CH_5	MULTI_SW_LDAC_CH_4	MULTI_SW_LDAC_CH_3	MULTI_SW_LDAC_CH_2	MULTI_SW_LDAC_CH_1	MULTI_SW_LDAC_CH_0		
0x1B4 to 0x1D2 by 2	INPUT_DEV_0_CHn	[15:8]	INPUT_DEV_0_CH[15:8]								0x0000	R/W
		[7:0]	INPUT_DEV_0_CH[7:0]									
0x1D4 to 0x1F2 by 2	INPUT_DEV_1_CHn	[15:8]	INPUT_DEV_1_CH[15:8]								0x0000	R/W
		[7:0]	INPUT_DEV_1_CH[7:0]									
0x1F4 to 0x212 by 2	INPUT_DEV_2_CHn	[15:8]	INPUT_DEV_2_CH[15:8]								0x0000	R/W
		[7:0]	INPUT_DEV_2_CH[7:0]									
0x214 to 0x232 by 2	INPUT_DEV_3_CHn	[15:8]	INPUT_DEV_3_CH[15:8]								0x0000	R/W
		[7:0]	INPUT_DEV_3_CH[7:0]									

レジスタの詳細：基盤デバイスとインターフェースおよび設定

インターフェース設定 A レジスタ

アドレス：0x00、リセット：0x10、レジスタ名：INTERFACE_CONFIG_A

インターフェース設定の設定値。

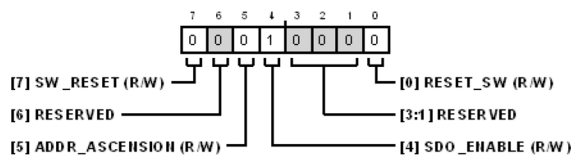


図 72. インターフェース設定 A レジスタ

表 23. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つの SW_RESET ビットの 1 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0：ストリーミング時にアドレスを 1 だけデクリメントします。 1：ストリーミング時にアドレスを 1 だけインクリメントします。	0x0	R/W
4	SDO_ENABLE	SDO ピン・イネーブル。	0x1	R/W
[3:1]	RESERVED	予約済み。	0x0	R
0	RESET_SW	2つの SW_RESET ビットの 2 つ目。このビットはこのレジスタの 2 か所にあります。デバイスのソフトウェア・リセットをトリガするには、両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W

インターフェース設定 B レジスタ

アドレス：0x01、リセット：0x00、レジスタ名：INTERFACE_CONFIG_B

追加のインターフェース設定値。

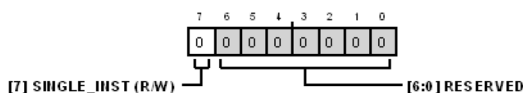


図 73. インターフェース設定 B レジスタ

表 24. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーミング・モードまたは単一命令モードを選択。 0：ストリーミング・モードをイネーブル。連続するデータ・バイトを受信すると、アドレスがインクリメント／デクリメントされます。 1：単一命令モードをイネーブル。	0x0	R/W
[6:0]	RESERVED	予約済み。	0x0	R

レジスタの詳細：基盤デバイスとインターフェースおよび設定

デバイス設定レジスタ

アドレス：0x02、リセット：0xF0、レジスタ名：DEVICE_CONFIG

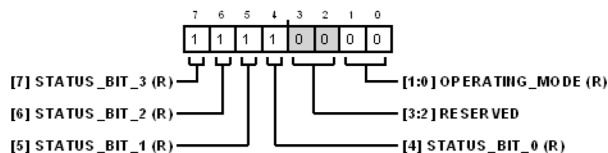


図 74. デバイス設定レジスタ

表 25. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	STATUS_BIT_3	デバイス・ステータス・ビット 3。	0x1	R
6	STATUS_BIT_2	デバイス・ステータス・ビット 2。	0x1	R
5	STATUS_BIT_1	デバイス・ステータス・ビット 1。	0x1	R
4	STATUS_BIT_0	デバイス・ステータス・ビット 0。	0x1	R
[3:2]	RESERVED	予約済み。	0x0	R
[1:0]	OPERATING_MODE	動作モード。読み出し専用です。	0x0	R

チップ・タイプ・レジスタ

アドレス：0x03、リセット：0x08、レジスタ名：CHIP_TYPE

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズの製品ファミリの識別に使用し、対象製品を一意に識別するために、製品 ID と共に使用する必要があります。

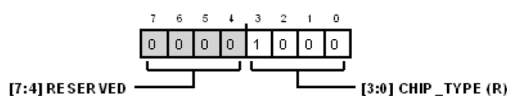


図 75. チップ・タイプ・レジスタ

表 26. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 DAC。	0x8	R

製品 ID ロー・レジスタ

アドレス：0x04、リセット：0x4A、レジスタ名：PRODUCT_ID_L

製品 ID の下位バイト。

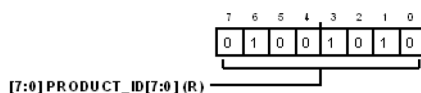


図 76. 製品 ID ロー・レジスタ

表 27. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	これはデバイスのチップ・タイプ／ファミリです。製品を特定するには、製品 ID とチップ・タイプの両方を使用する必要があります。	0x4A	R

レジスタの詳細：基盤デバイスとインターフェースおよび設定

製品 ID ハイ・レジスタ

アドレス：0x05、リセット：0x41、レジスタ名：PRODUCT_ID_H

製品 ID の上位バイト。

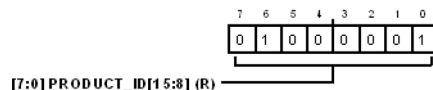


図 77. 製品 ID ハイ・レジスタ

表 28. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	これはデバイスのチップ・タイプ／ファミリです。製品を特定するには、製品 ID とチップ・タイプの両方を使用する必要があります。	0x41	R

チップ・グレード・レジスタ

アドレス：0x06、リセット：0x00、レジスタ名：CHIP_GRADE

製品のバリエーションとデバイスのリビジョンを識別します。

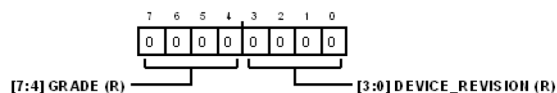


図 78. チップ・グレード・レジスタ

表 29. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイス性能のグレードです。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョンです。	0x0	R

スクラッチパッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

このレジスタは書き込みや読出しのテストに使用できます。

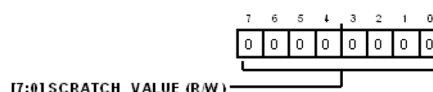


図 79. スクラッチパッド・レジスタ

表 30. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

SPI リビジョン・レジスタ

アドレス：0x0B、リセット：0x85、レジスタ名：SPI_REVISION

SPI インターフェース・リビジョンを示します。

レジスタの詳細：基盤デバイスとインターフェースおよび設定

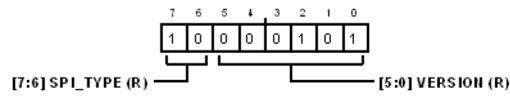


図 80. SPI リビジョン・レジスタ

表 31. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	常に 0x2 と読み出されます。 10 :	0x2	R
[5:0]	VERSION	SPI のバージョン。 100 : リビジョン 1.2。 101 : リビジョン 1.3。	0x5	R

ベンダ ID ロー・レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

ベンダ ID の下位バイト。

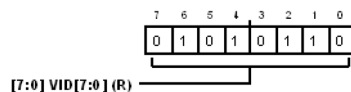


図 81. ベンダ ID ロー・レジスタ

表 32. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダ ID。	0x56	R

ベンダ ID ハイ・レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

ベンダ ID の上位バイト。

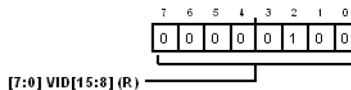


図 82. ベンダ ID ハイ・レジスタ

表 33. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイセズのベンダ ID。	0x4	R

ストリーム・モード・レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM_MODE

データ・ストリーミング時のループ長を定義します。

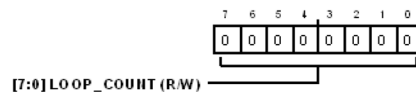


図 83. ストリーム・モード・レジスタ

レジスタの詳細：基盤デバイスとインターフェースおよび設定

表 34. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	開始アドレスにループするまでのデータ・バイト・カウントを設定します。データのストリーミング時、アドレスが開始値にループ・バックするまでに書き込まれるデータ・バイト数を、ゼロ以外の値で設定します。この方法で最大 255 個のバイトを書き込むことができます。値を 0x00 にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。	0x0	R/W

転送設定レジスタ

アドレス：0x0F、リセット：0x00、レジスタ名：TRANSFER_CONFIG

コントローラ・レジスタとターゲット・レジスタの間のデータの移動方法を制御します。

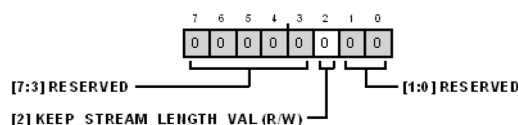


図 84. 転送設定レジスタ

表 35. TRANSFER_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	KEEP_STREAM_LENGTH_VAL	セットされている場合、ループ・カウンタは CSB の立上がりエッジでリセットされません。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

インターフェース設定 C レジスタ

アドレス：0x10、リセット：0x2F、レジスタ名：INTERFACE_CONFIG_C

その他のインターフェース設定の設定値。

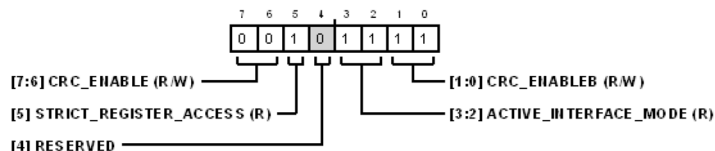


図 85. インターフェース設定 C レジスタ

表 36. INTERFACE_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_ENABLE	CRC 有効化。このレジスタへの書き込みは、インターフェースでの CRC 使用をイネーブルまたはディスエーブルするために行われます。CRC をイネーブルするには、CRC_ENABLEB ビットフィールドにもこのビットの反転値を書き込む必要があります。 0：CRC をディスエーブル。 1：CRC をイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS	マルチバイト・レジスタは全て読出し／書き込みをする必要があります。このモードが有効になっている場合、マルチバイト・レジスタの全てのバイトについて完全に読出し／書き込みをする必要があります。 0：ノーマル・モード、アクセス制限なし。 1：厳格モード。マルチバイト・レジスタでは、すべてのバイトにアクセスする必要があります。	0x1	R
4	RESERVED	予約済み。	0x0	R
[3:2]	ACTIVE_INTERFACE_MODE	これは、SPI インターフェースが動作しているアクティブ・モードです。 00： 11：	0x3	R
[1:0]	CRC_ENABLEB	CRC イネーブルの反転値。ここには CRC_ENABLE の反転値を書き込む必要があります。	0x3	R/W

レジスタの詳細：基盤デバイスとインターフェースおよび設定

インターフェース・ステータス A レジスタ

アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE_STATUS_A

アクティブ状態であることを示すにはステータス・ビットを 1 に設定します。これらのビットは、対応するビット位置に 1 を書き込むことによってクリアできます。

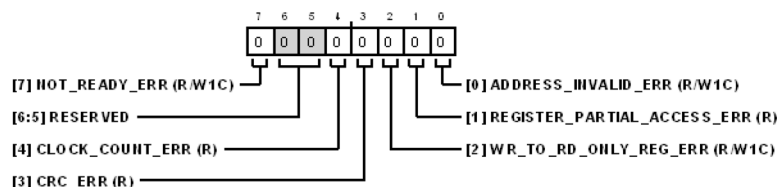


図 86. インターフェース・ステータス A レジスタ

表 37. INTERFACE_STATUS_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_READY_ERR	デバイスのトランザクションに対する準備が未了。このエラー・ビットがセットされるのは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合です。	0x0	R/W1C
[6:5]	RESERVED	予約済み。	0x0	R
4	CLOCK_COUNT_ERR	トランザクションで誤った数のクロックを検出。CSB がローになってから CSB がハイになるまでとして定義される所定の SPI フレームで受信したクロックの数が 8 ビットの倍数でない場合に、このビットがセットされます。	0x0	R
3	CRC_ERR	受信 CRC が無効または受信 CRC がない。このビットがセットされるのは、コントローラが CRC を送信できなかった場合、またはデバイス側で CRC を計算してチェックした結果、受信 CRC 値が正しくなかった場合です。	0x0	R
2	WR_TO_RD_ONLY_REG_ERR	読み出し専用レジスタへの書き込みの試行。このビットがセットされるのは、SPI コントローラが読み出し専用レジスタへの書き込みを試行した場合です。	0x0	R/W1C
1	REGISTER_PARTIAL_ACCESS_ERR	読み出したバイト数または書き込んだバイト数が、期待値より少ない。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。	0x0	R
0	ADDRESS_INVALID_ERR	存在しないレジスタ・アドレスへの読み出し／書き込みを試行。このビットは、許可されたメモリ・マップ空間外のレジスタ・アドレスにユーザがアクセスしようとした場合にセットされます。	0x0	R/W1C

レジスタの詳細：共通 DAC のレジスタ・マップ

マルチ入力チャンネル選択レジスタ

アドレス：0x14、リセット：0x0000、レジスタ名：MULTI_INPUT_SEL

このレジスタは、MULTI_INPUT への書き込み操作によってどの DAC_INPUT_A_CHn を更新するかを選択するために使用します。

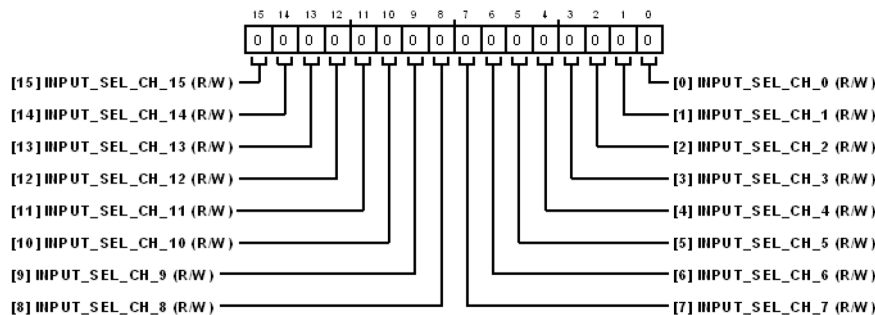


図 87. マルチ入力チャンネル選択レジスタ

表 38. MULTI_INPUT_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	INPUT_SEL_CH_15	チャンネル 15 のマルチ入力更新イネーブル。	0x0	R/W
14	INPUT_SEL_CH_14	チャンネル 14 のマルチ入力更新イネーブル。	0x0	R/W
13	INPUT_SEL_CH_13	チャンネル 13 のマルチ入力更新イネーブル。	0x0	R/W
12	INPUT_SEL_CH_12	チャンネル 12 のマルチ入力更新イネーブル。	0x0	R/W
11	INPUT_SEL_CH_11	チャンネル 11 のマルチ入力更新イネーブル。	0x0	R/W
10	INPUT_SEL_CH_10	チャンネル 10 のマルチ入力更新イネーブル。	0x0	R/W
9	INPUT_SEL_CH_9	チャンネル 9 のマルチ入力更新イネーブル。	0x0	R/W
8	INPUT_SEL_CH_8	チャンネル 8 のマルチ入力更新イネーブル。	0x0	R/W
7	INPUT_SEL_CH_7	チャンネル 7 のマルチ入力更新イネーブル。	0x0	R/W
6	INPUT_SEL_CH_6	チャンネル 6 のマルチ入力更新イネーブル。	0x0	R/W
5	INPUT_SEL_CH_5	チャンネル 5 のマルチ入力更新イネーブル。	0x0	R/W
4	INPUT_SEL_CH_4	チャンネル 4 のマルチ入力更新イネーブル。	0x0	R/W
3	INPUT_SEL_CH_3	チャンネル 3 のマルチ入力更新イネーブル。	0x0	R/W
2	INPUT_SEL_CH_2	チャンネル 2 のマルチ入力更新イネーブル。	0x0	R/W
1	INPUT_SEL_CH_1	チャンネル 1 のマルチ入力更新イネーブル。	0x0	R/W
0	INPUT_SEL_CH_0	チャンネル 0 のマルチ入力更新イネーブル。 0：チャンネルはマルチDAC更新には含まれない。 1：チャンネルがマルチ DAC 更新に含まれる。	0x0	R/W

同期非同期ロード・レジスタ

アドレス：0x016、リセット：0x0000、レジスタ名：LDAC_SYNC_ASYNC

このレジスタは、DAC レジスタの更新、ひいては DAC 出力の更新の同期モードと非同期モードの選択を行うために使用します。これは、選択したビット・フィールドに対応してチャンネルごとに設定されます。

レジスタの詳細 : 共通 DAC のレジスタ・マップ

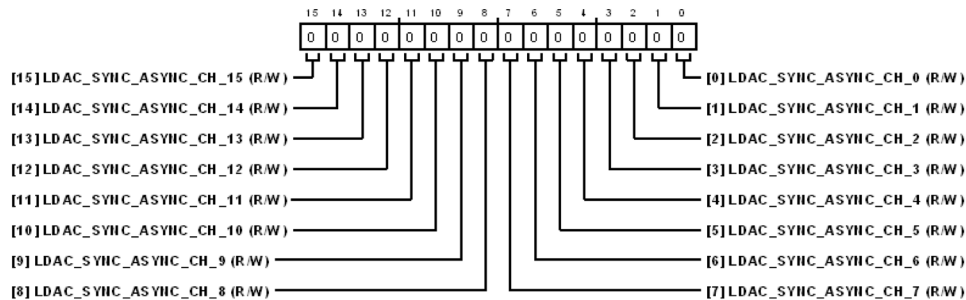


図 88. 同期非同期ロード・レジスタ

表 39. LDAC_SYNC_ASYNC のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	LDAC_SYNC_ASYNC_CH_15	チャンネル 15 の同期または非同期更新。	0x0	R/W
14	LDAC_SYNC_ASYNC_CH_14	チャンネル 14 の同期または非同期更新。	0x0	R/W
13	LDAC_SYNC_ASYNC_CH_13	チャンネル 13 の同期または非同期更新。	0x0	R/W
12	LDAC_SYNC_ASYNC_CH_12	チャンネル 12 の同期または非同期更新。	0x0	R/W
11	LDAC_SYNC_ASYNC_CH_11	チャンネル 11 の同期または非同期更新。	0x0	R/W
10	LDAC_SYNC_ASYNC_CH_10	チャンネル 10 の同期または非同期更新。	0x0	R/W
9	LDAC_SYNC_ASYNC_CH_9	チャンネル 9 の同期または非同期更新。	0x0	R/W
8	LDAC_SYNC_ASYNC_CH_8	チャンネル 8 の同期または非同期更新。	0x0	R/W
7	LDAC_SYNC_ASYNC_CH_7	チャンネル 7 の同期または非同期更新。	0x0	R/W
6	LDAC_SYNC_ASYNC_CH_6	チャンネル 6 の同期または非同期更新。	0x0	R/W
5	LDAC_SYNC_ASYNC_CH_5	チャンネル 5 の同期または非同期更新。	0x0	R/W
4	LDAC_SYNC_ASYNC_CH_4	チャンネル 4 の同期または非同期更新。	0x0	R/W
3	LDAC_SYNC_ASYNC_CH_3	チャンネル 3 の同期または非同期更新。	0x0	R/W
2	LDAC_SYNC_ASYNC_CH_2	チャンネル 2 の同期または非同期更新。	0x0	R/W
1	LDAC_SYNC_ASYNC_CH_1	チャンネル 1 の同期または非同期更新。	0x0	R/W
0	LDAC_SYNC_ASYNC_CH_0	チャンネル 0 の同期または非同期更新。 0 : DAC 出力が DAC_INPUT への書き込みによって更新。 1 : DAC 出力が LDAC イベントによって更新。	0x0	R/W

ハードウェア・ソフトウェア・トリガ・レジスタ

アドレス : 0x018、リセット : 0x0000、レジスタ名 : LDAC_HW_SW

このレジスタは、DAC 更新のソースがハードウェア (HW) LDAC かソフトウェア (SW) LDAC かを選択します。LDAC_SYNC_ASYNC[LDAC_SYNC_ASYNC_CH_n]が、同期モード、つまり 0b1 に設定されていることが必要です。これは、選択したビット・フィールドに対応してチャンネルごとに設定されます。

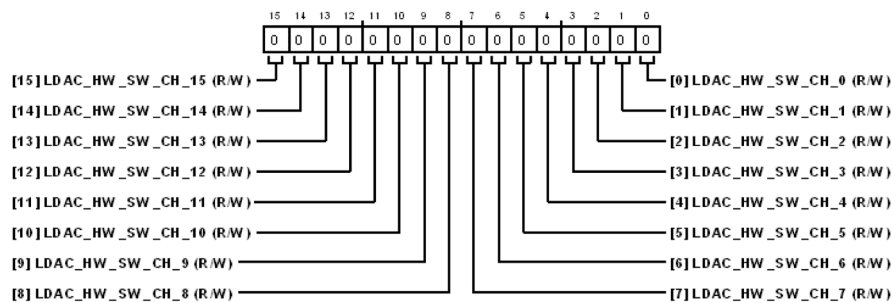


図 89. ハードウェア・ソフトウェア・トリガ・レジスタ

レジスタの詳細：共通 DAC のレジスタ・マップ

表 40. LDAC_HW_SW のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	LDAC_HW_SW_CH_15	チャンネル 15 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
14	LDAC_HW_SW_CH_14	チャンネル 14 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
13	LDAC_HW_SW_CH_13	チャンネル 13 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
12	LDAC_HW_SW_CH_12	チャンネル 12 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
11	LDAC_HW_SW_CH_11	チャンネル 11 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
10	LDAC_HW_SW_CH_10	チャンネル 10 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
9	LDAC_HW_SW_CH_9	チャンネル 9 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
8	LDAC_HW_SW_CH_8	チャンネル 8 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
7	LDAC_HW_SW_CH_7	チャンネル 7 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
6	LDAC_HW_SW_CH_6	チャンネル 6 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
5	LDAC_HW_SW_CH_5	チャンネル 5 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
4	LDAC_HW_SW_CH_4	チャンネル 4 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
3	LDAC_HW_SW_CH_3	チャンネル 3 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
2	LDAC_HW_SW_CH_2	チャンネル 2 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
1	LDAC_HW_SW_CH_1	チャンネル 1 のハードウェアまたはソフトウェア LDAC。	0x0	R/W
0	LDAC_HW_SW_CH_0	チャンネル 0 のハードウェアまたはソフトウェア LDAC。 0：ハードウェア LDAC を選択。 1：ソフトウェア LDAC を選択。	0x0	R/W

LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタ

アドレス：0x01A～0x038（インクリメントは 2）、リセット：0x0000、レジスタ名：LDAC_HW_SRC_CHn

このレジスタは、CHn の LDAC 更新の HW LDAC ソースおよびエッジを選択します。

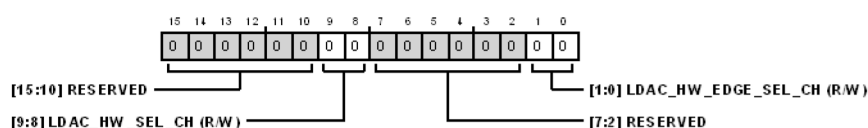


図 90. LDAC ハードウェア・ピンおよびエッジ・セレクト・レジスタ

表 41. LDAC_HW_SRC_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予約済み。	0x0	R
[9:8]	LDAC_HW_SEL_CH	ハードウェア LDAC ピンの選択。 00：LDAC／トグル・ピン 0 を使用。 01：LDAC／トグル・ピン 1 を使用。 10：LDAC／トグル・ピン 2 を使用。 11：LDAC／トグル・ピン 3 を使用。	0x0	R/W
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	LDAC_HW_EDGE_SEL_CH	ハードウェア LDAC のエッジの選択。 00：立上がりエッジでトリガ。 01：立下がりエッジでトリガ。 10：両エッジでトリガ。 11：予約済み。	0x0	R/W

レジスタの詳細：共通 DAC のレジスタ・マップ

出力イネーブル・レジスタ

アドレス：0x03A、リセット：0x0000、レジスタ名：OUT_EN

このレジスタは、選択した DAC 出力をイネーブルまたはディスエーブルします。これは、選択したビット・フィールドに対応してチャンネルごとに設定されます。

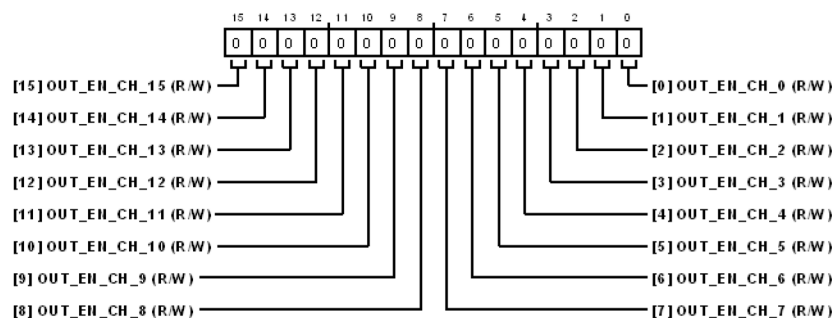


図 91. 出力イネーブル・レジスタ

表 42. OUT_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	OUT_EN_CH_15	チャンネル 15 の出力イネーブル。	0x0	R/W
14	OUT_EN_CH_14	チャンネル 14 の出力イネーブル。	0x0	R/W
13	OUT_EN_CH_13	チャンネル 13 の出力イネーブル。	0x0	R/W
12	OUT_EN_CH_12	チャンネル 12 の出力イネーブル。	0x0	R/W
11	OUT_EN_CH_11	チャンネル 11 の出力イネーブル。	0x0	R/W
10	OUT_EN_CH_10	チャンネル 10 の出力イネーブル。	0x0	R/W
9	OUT_EN_CH_9	チャンネル 9 の出力イネーブル。	0x0	R/W
8	OUT_EN_CH_8	チャンネル 8 の出力イネーブル。	0x0	R/W
7	OUT_EN_CH_7	チャンネル 7 の出力イネーブル。	0x0	R/W
6	OUT_EN_CH_6	チャンネル 6 の出力イネーブル。	0x0	R/W
5	OUT_EN_CH_5	チャンネル 5 の出力イネーブル。	0x0	R/W
4	OUT_EN_CH_4	チャンネル 4 の出力イネーブル。	0x0	R/W
3	OUT_EN_CH_3	チャンネル 3 の出力イネーブル。	0x0	R/W
2	OUT_EN_CH_2	チャンネル 2 の出力イネーブル。	0x0	R/W
1	OUT_EN_CH_1	チャンネル 1 の出力イネーブル。	0x0	R/W
0	OUT_EN_CH_0	チャンネル 0 の出力イネーブル。 0：出力をディスエーブル。 1：出力をイネーブル。	0x0	R/W

出力レンジ・レジスタ

アドレス：0x03C~0x05A（インクリメントは 2）、リセット：0x0000、レジスタ名：LDAC_HW_SRC_CHn

このレジスタは、CHn の DAC 出力の電圧範囲を選択します。適切なフットルームおよびヘッドルームを確保できるよう、電源電圧範囲は出力レンジより広くする必要があります。

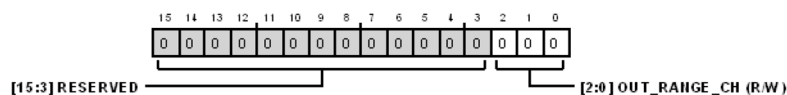


図 92. 出力レンジ・レジスタ

レジスタの詳細：共通 DAC のレジスタ・マップ

表 43. OUT_RANGE_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
[2:0]	OUT_RANGE_CH	出力レンジ・セクタ。 000 : 0V~5Vの出力。 001 : 0V~10Vの出力。 010 : 0V~20Vの出力。 011 : 0V~40Vの出力。 100 : -5V~+5Vの出力。 101 : -10V~+10Vの出力。 110 : -15V~+15Vの出力。 111 : -20V~+20V の出力。	0x0	R/W

デジタル・ゲイン補正レジスタ

アドレス：0x05C~0x07A（インクリメントは2）、リセット：0x0080、レジスタ名：CAL_GAIN_CHn

このレジスタは、CHn のゲイン補正係数を格納します。

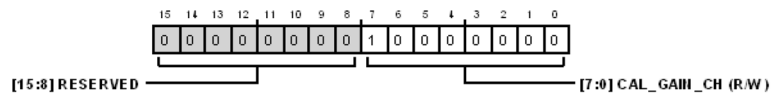


図 93. デジタル・ゲイン補正レジスタ

表 44. CAL_GAIN_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
[7:0]	CAL_GAIN_CH	デジタル・ゲイン補正值。	0x80	R/W

デジタル・オフセット補正レジスタ

アドレス：0x07C~0x09A（インクリメントは2）、リセット：0x0000、レジスタ名：CAL_OFFSET_CHn

このレジスタは、CHn のオフセット補正係数を格納します。

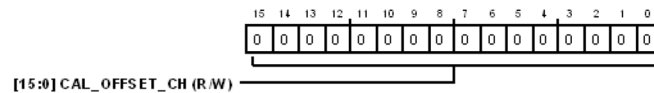


図 94. デジタル・オフセット補正レジスタ

表 45. CAL_OFFSET_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CAL_OFFSET_CH	デジタル・オフセット補正值。	0x0	R/W

機能有効化レジスタ

アドレス：0x09C、リセット：0x0000、レジスタ名：FUNC_EN

このレジスタは、デジタル機能を有効化または無効化します。これは、選択したビット・フィールドに対応してチャンネルごとに設定されます。

レジスタの詳細：共通 DAC のレジスタ・マップ

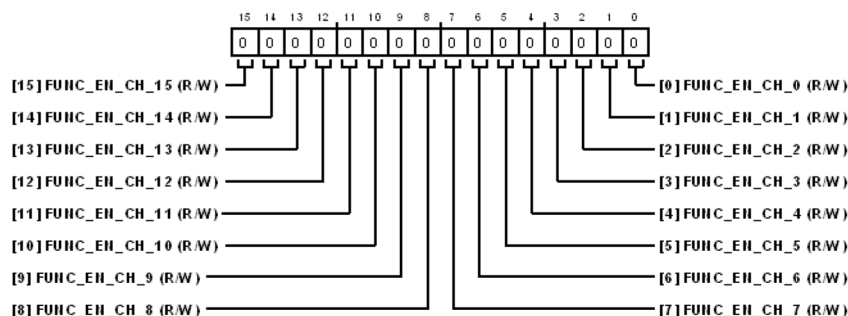


図 95. 機能有効化レジスタ

表 46. FUNC_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	FUNC_EN_CH_15	チャンネル 15 の機能ジェネレータ・イネーブル。	0x0	R/W
14	FUNC_EN_CH_14	チャンネル 14 の機能ジェネレータ・イネーブル。	0x0	R/W
13	FUNC_EN_CH_13	チャンネル 13 の機能ジェネレータ・イネーブル。	0x0	R/W
12	FUNC_EN_CH_12	チャンネル 12 の機能ジェネレータ・イネーブル。	0x0	R/W
11	FUNC_EN_CH_11	チャンネル 11 の機能ジェネレータ・イネーブル。	0x0	R/W
10	FUNC_EN_CH_10	チャンネル 10 の機能ジェネレータ・イネーブル。	0x0	R/W
9	FUNC_EN_CH_9	チャンネル 9 の機能ジェネレータ・イネーブル。	0x0	R/W
8	FUNC_EN_CH_8	チャンネル 8 の機能ジェネレータ・イネーブル。	0x0	R/W
7	FUNC_EN_CH_7	チャンネル 7 の機能ジェネレータ・イネーブル。	0x0	R/W
6	FUNC_EN_CH_6	チャンネル 6 の機能ジェネレータ・イネーブル。	0x0	R/W
5	FUNC_EN_CH_5	チャンネル 5 の機能ジェネレータ・イネーブル。	0x0	R/W
4	FUNC_EN_CH_4	チャンネル 4 の機能ジェネレータ・イネーブル。	0x0	R/W
3	FUNC_EN_CH_3	チャンネル 3 の機能ジェネレータ・イネーブル。	0x0	R/W
2	FUNC_EN_CH_2	チャンネル 2 の機能ジェネレータ・イネーブル。	0x0	R/W
1	FUNC_EN_CH_1	チャンネル 1 の機能ジェネレータ・イネーブル。	0x0	R/W
0	FUNC_EN_CH_0	チャンネル 0 の機能ジェネレータ・イネーブル。 0：機能ジェネレータをディスエーブル。 1：機能ジェネレータをイネーブル。	0x0	R/W

機能モード選択レジスタ

アドレス：0x09E~0x0BC（インクリメントは 2）、リセット：0x0000、レジスタ名：FUNC_MODE_SEL_CHn

このレジスタは、CHn の機能ジェネレータのモードを選択します。FUNC_EN[FUNC_EN_CH_n]がイネーブルされている必要があります。

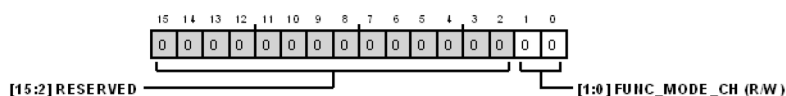


図 96. 機能モード選択レジスタ

表 47. FUNC_MODE_SEL_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
[1:0]	FUNC_MODE_CH	機能ジェネレータ・モード・セクタ。 00：トグル・モード。 01：ディザ・モード。 10：鋸歯波ランプ・モード。 11：三角波ランプ・モード。	0x0	R/W

レジスタの詳細 : 共通 DAC のレジスタ・マップ

セカンダリ DAC 入力レジスタ

アドレス : 0x0BE~0x0DC (インクリメントは 2)、リセット : 0x0000、レジスタ名 : FUNC_DAC_INPUT_B_CHn

このレジスタは、DAC 機能用の DAC データを格納するために用いられます。

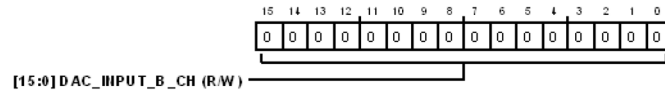


図 97. セカンダリ DAC 入力レジスタ

表 48. FUNC_DAC_INPUT_B_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_INPUT_B_CH	機能ジェネレータ用のセカンダリ DAC 入力コード。	0x0	R/W

ディザ周期選択レジスタ

アドレス : 0x0DE~0x0FC (インクリメントは 2)、リセット : 0x0000、レジスタ名 : FUNC_DITHER_PERIOD_CHn

このレジスタは、チャンネル n (n はチャンネル番号) のディザ機能用の分周器として機能します。

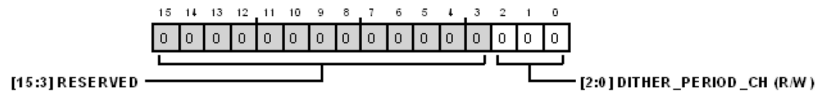


図 98. ディザ周期選択レジスタ

表 49. FUNC_DITHER_PERIOD_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:3]	RESERVED	予約済み。	0x0	R
[2:0]	DITHER_PERIOD_CH	ディザ機能の周期の設定。 000 : ディザ周期は 128/ F_{TOGGLE} 001 : ディザ周期は 64/ F_{TOGGLE} 010 : ディザ周期は 32/ F_{TOGGLE} 011 : ディザ周期は 16/ F_{TOGGLE} 100 : ディザ周期は 8/ F_{TOGGLE} 101 : ディザ周期は 4/ F_{TOGGLE} 110 : ディザ周期は 2/ F_{TOGGLE}	0x0	R/W

ディザ位相選択レジスタ

アドレス : 0x0FE~0x11C (インクリメントは 2)、リセット : 0x0000、レジスタ名 : FUNC_DITHER_PHASE_CHn

このレジスタは、チャンネル n (n はチャンネル番号) のディザ機能の初期位相として機能します。

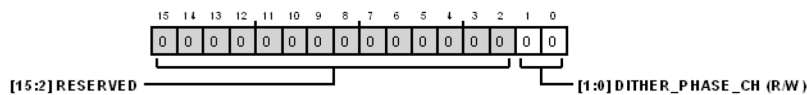


図 99. ディザ位相選択レジスタ

レジスタの詳細：共通 DAC のレジスタ・マップ

表 50. FUNC_DITHER_PHASE_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
[1:0]	DITHER_PHASE_CH	ディザ機能の位相の設定。 00：0°（0 ラジアン）。 01：0° のサイン波を基準として 90° または $\pi/2$ ラジアン の遅延。 10：0° のサイン波を基準として 180° または π ラジアン の遅延。 11：0° のサイン波を基準として 270° または $3\pi/2$ ラジアン の遅延。	0x0	R/W

ランプ・ステップ・レジスタ

アドレス：0x11E~0x13C（インクリメントは 2）、リセット：0x0000、レジスタ名：FUNC_RAMP_STEP_CHn

このレジスタは、ランプ機能のステップ・サイズを定義します。

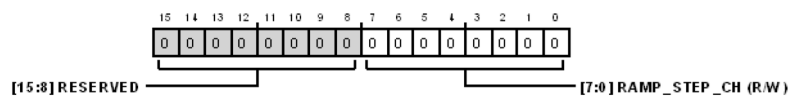


図 100. ランプ・ステップ・レジスタ

表 51. FUNC_RAMP_STEP_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
[7:0]	RAMP_STEP_CH	ランプ機能のステップ - 実際のステップはこの値 + 1。	0x0	R/W

機能割込みイネーブル・レジスタ

アドレス：0x13E、リセット：0x0000、レジスタ名：FUNC_INT_EN

各ビットは、各チャンネルの FUNC_INT_STAT が ALL_FUNC_INT_STAT レジスタに寄与できるようにする、イネーブル信号です。これは、選択したビット・フィールドに対応してチャンネルごとに設定されます。

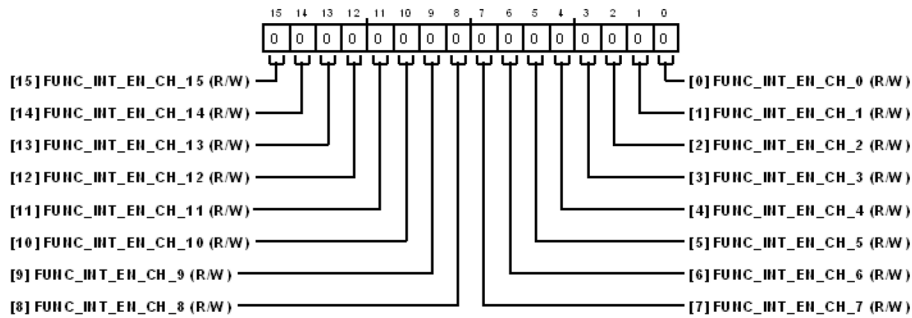


図 101. 機能割込みイネーブル・レジスタ

表 52. FUNC_INT_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	FUNC_INT_EN_CH_15	チャンネル 15 の機能ジェネレータ割込みイネーブル。	0x0	R/W
14	FUNC_INT_EN_CH_14	チャンネル 14 の機能ジェネレータ割込みイネーブル。	0x0	R/W
13	FUNC_INT_EN_CH_13	チャンネル 13 の機能ジェネレータ割込みイネーブル。	0x0	R/W
12	FUNC_INT_EN_CH_12	チャンネル 12 の機能ジェネレータ割込みイネーブル。	0x0	R/W
11	FUNC_INT_EN_CH_11	チャンネル 11 の機能ジェネレータ割込みイネーブル。	0x0	R/W
10	FUNC_INT_EN_CH_10	チャンネル 10 の機能ジェネレータ割込みイネーブル。	0x0	R/W

レジスタの詳細：共通 DAC のレジスタ・マップ

表 52. FUNC_INT_EN のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
9	FUNC_INT_EN_CH_9	チャンネル 9 の機能ジェネレータ割込みイネーブル。	0x0	R/W
8	FUNC_INT_EN_CH_8	チャンネル 8 の機能ジェネレータ割込みイネーブル。	0x0	R/W
7	FUNC_INT_EN_CH_7	チャンネル 7 の機能ジェネレータ割込みイネーブル。	0x0	R/W
6	FUNC_INT_EN_CH_6	チャンネル 6 の機能ジェネレータ割込みイネーブル。	0x0	R/W
5	FUNC_INT_EN_CH_5	チャンネル 5 の機能ジェネレータ割込みイネーブル。	0x0	R/W
4	FUNC_INT_EN_CH_4	チャンネル 4 の機能ジェネレータ割込みイネーブル。	0x0	R/W
3	FUNC_INT_EN_CH_3	チャンネル 3 の機能ジェネレータ割込みイネーブル。	0x0	R/W
2	FUNC_INT_EN_CH_2	チャンネル 2 の機能ジェネレータ割込みイネーブル。	0x0	R/W
1	FUNC_INT_EN_CH_1	チャンネル 1 の機能ジェネレータ割込みイネーブル。	0x0	R/W
0	FUNC_INT_EN_CH_0	チャンネル 0 の機能ジェネレータ割込みイネーブル。 0：チャンネルは全機能無効化割込みに寄与しない。 1：チャンネルが全機能無効化割込みに寄与する。	0x0	R/W

MUX 出力選択レジスタ

アドレス：0x140、リセット：0x003F、レジスタ名：MUX_OUT_SEL

このレジスタは、MUXOUT ピンをイネーブルまたはディスエーブルします。更に、このレジスタによって、電圧、電流、温度、キャリブレーション・データのどれが MUXOUT アナログ出力ピンに出力されるかを選択します。

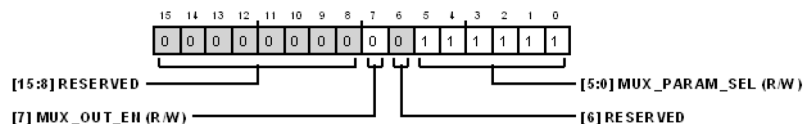


表 53. MUX_OUT_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	MUX_OUT_EN	MUX出力イネーブル・ビット。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
[5:0]	MUX_PARAM_SEL	MUXパラメータ・セクタ。 000000：チャンネル0の電圧モニタ。 000001：チャンネル1の電圧モニタ。 000010：チャンネル2の電圧モニタ。 000011：チャンネル3の電圧モニタ。 000100：チャンネル4の電圧モニタ。 000101：チャンネル5の電圧モニタ。 000110：チャンネル6の電圧モニタ。 000111：チャンネル7の電圧モニタ。 001000：チャンネル8の電圧モニタ。 001001：チャンネル9の電圧モニタ。 001010：チャンネル10の電圧モニタ。 001011：チャンネル11の電圧モニタ。 001100：チャンネル12の電圧モニタ。 001101：チャンネル13の電圧モニタ。 001110：チャンネル 14 の電圧モニタ。	0x3F	R/W

レジスタの詳細：共通 DAC のレジスタ・マップ

表 53. MUX_OUT_SEL のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
		001111：チャンネル15の電圧モニタ。 010000：チャンネル0の電流モニタ。 010001：チャンネル1の電流モニタ。 010010：チャンネル2の電流モニタ。 010011：チャンネル3の電流モニタ。 010100：チャンネル4の電流モニタ。 010101：チャンネル5の電流モニタ。 010110：チャンネル6の電流モニタ。 010111：チャンネル7の電流モニタ。 011000：チャンネル8の電流モニタ。 011001：チャンネル9の電流モニタ。 011010：チャンネル10の電流モニタ。 011011：チャンネル11の電流モニタ。 011100：チャンネル12の電流モニタ。 011101：チャンネル13の電流モニタ。 011110：チャンネル14の電流モニタ。 011111：チャンネル15の電流モニタ。 100000：温度センサー番号0の出力。 100001：温度センサー番号1の出力。 100010：温度センサー番号2の出力。 100011：温度センサー番号3の出力。 100100：温度センサー番号4の出力。 100101：温度センサー番号5の出力。 100110：温度センサー番号6の出力。 100111：温度センサー番号7の出力。 101000：電圧モニタ出力キャリブレーション・モード。6'b101000～6'b101111 のすべての値が電圧モニタ・キャリブレーション用になります。 110000：電流モニタ出力キャリブレーション・モード。6'b110000～6'b110111 のすべての値が電流モニタ・キャリブレーション用になります。 111000：MUX 出力が高インピーダンスに設定。6'b111000～6'b111111 のすべ ての値が高インピーダンス用になります。		

マルチチャンネル・ソフトウェア LDAC レジスタ

アドレス：0x142、リセット：0x0000、レジスタ名：MULTI_SW_LDAC

すべてのチャンネルに対するソフトウェア LDAC トリガ。ビット・フィールドがハイに設定されている場合、全 16 チャンネルの DAC レジスタが、それぞれの入力レジスタ・データに更新されます。LDAC_HW_SW[LDAC_HW_SW_CH_n]を 1 にセットする必要があります。

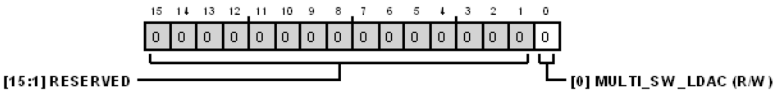


図 103. マルチチャンネル・ソフトウェア LDAC レジスタ

表 54. MULTI_DAC_SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	MULTI_SW_LDAC	マルチチャンネル・ソフトウェア LDAC トリガ・ビット。	0x0	R/W

マルチチャンネル入力レジスタ

アドレス：0x144、リセット：0x0000、レジスタ名：MULTI_INPUT

レジスタの詳細：共通 DAC のレジスタ・マップ

このレジスタに書き込むと、MULTI_INPUT_SEL レジスタによって選択された INPUT_CHn レジスタにも書き込まれます。

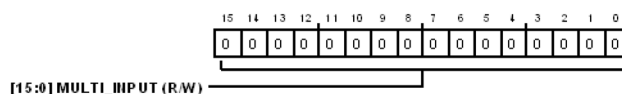


図 104. マルチチャンネル入力レジスタ

表 55. MULTI_INPUT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_INPUT	マルチチャンネル入力レジスタのコード。	0x0	R/W

個別チャンネル・ソフトウェア LDAC レジスタ

アドレス：0x146、リセット：0x0000、レジスタ名：SW_LDAC

個別に選択されたチャンネルに対するソフトウェア LDAC トリガ。ビット・フィールドがハイに設定されている場合、対応するチャンネルの DAC レジスタが、入力レジスタ・データに更新されます。LDAC_HW_SW[LDAC_HW_SW_CH_n] を 1 にセットする必要があります。

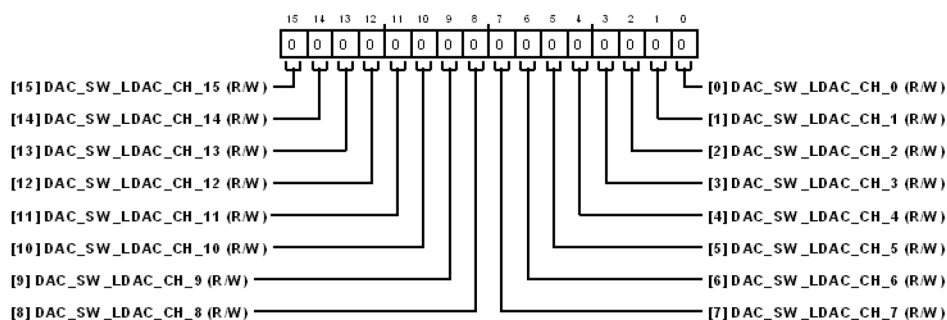


図 105. 個別チャンネル・ソフトウェア LDAC レジスタ

表 56. SW_LDAC のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	DAC_SW_LDAC_CH_15	チャンネル 15 のソフトウェア LDAC トリガ。	0x0	R/W
14	DAC_SW_LDAC_CH_14	チャンネル 14 のソフトウェア LDAC トリガ。	0x0	R/W
13	DAC_SW_LDAC_CH_13	チャンネル 13 のソフトウェア LDAC トリガ。	0x0	R/W
12	DAC_SW_LDAC_CH_12	チャンネル 12 のソフトウェア LDAC トリガ。	0x0	R/W
11	DAC_SW_LDAC_CH_11	チャンネル 11 のソフトウェア LDAC トリガ。	0x0	R/W
10	DAC_SW_LDAC_CH_10	チャンネル 10 のソフトウェア LDAC トリガ。	0x0	R/W
9	DAC_SW_LDAC_CH_9	チャンネル 9 のソフトウェア LDAC トリガ。	0x0	R/W
8	DAC_SW_LDAC_CH_8	チャンネル 8 のソフトウェア LDAC トリガ。	0x0	R/W
7	DAC_SW_LDAC_CH_7	チャンネル 7 のソフトウェア LDAC トリガ。	0x0	R/W
6	DAC_SW_LDAC_CH_6	チャンネル 6 のソフトウェア LDAC トリガ。	0x0	R/W
5	DAC_SW_LDAC_CH_5	チャンネル 5 のソフトウェア LDAC トリガ。	0x0	R/W
4	DAC_SW_LDAC_CH_4	チャンネル 4 のソフトウェア LDAC トリガ。	0x0	R/W
3	DAC_SW_LDAC_CH_3	チャンネル 3 のソフトウェア LDAC トリガ。	0x0	R/W
2	DAC_SW_LDAC_CH_2	チャンネル 2 のソフトウェア LDAC トリガ。	0x0	R/W
1	DAC_SW_LDAC_CH_1	チャンネル 1 のソフトウェア LDAC トリガ。	0x0	R/W
0	DAC_SW_LDAC_CH_0	チャンネル 0 のソフトウェア LDAC トリガ。	0x0	R/W

プライマリ DAC 入力レジスタ

アドレス：0x148～0x166（インクリメントは 2）、リセット：0x0000、レジスタ名：DAC_INPUT_A_CHn

レジスタの詳細：共通 DAC のレジスタ・マップ

このレジスタは、各 DAC の INPUT_A レジスタとして機能します。

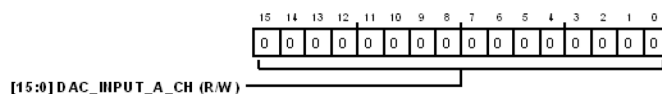


図 106. プライマリ DAC 入力レジスタ

表 57. DAC_INPUT_A_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_INPUT_A_CH	プライマリ DAC の入力コード。	0x0	R/W

機能割込みステータス・レジスタ

アドレス：0x168、リセット：0x0000、レジスタ名：FUNC_INT_STAT

このレジスタは、デジタル機能の現在のステータスをレポートします。

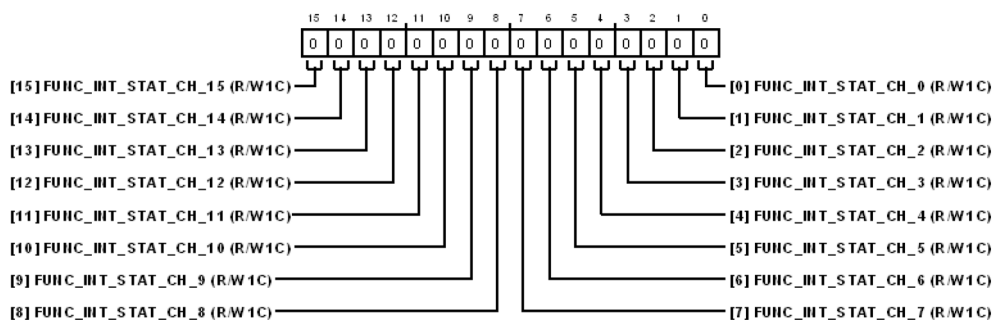


図 107. 機能割込みステータス・レジスタ

表 58. FUNC_INT_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	FUNC_INT_STAT_CH_15	チャンネル 15 の機能ジェネレータのステータス。	0x0	R/W1C
14	FUNC_INT_STAT_CH_14	チャンネル 14 の機能ジェネレータのステータス。	0x0	R/W1C
13	FUNC_INT_STAT_CH_13	チャンネル 13 の機能ジェネレータのステータス。	0x0	R/W1C
12	FUNC_INT_STAT_CH_12	チャンネル 12 の機能ジェネレータのステータス。	0x0	R/W1C
11	FUNC_INT_STAT_CH_11	チャンネル 11 の機能ジェネレータのステータス。	0x0	R/W1C
10	FUNC_INT_STAT_CH_10	チャンネル 10 の機能ジェネレータのステータス。	0x0	R/W1C
9	FUNC_INT_STAT_CH_9	チャンネル 9 の機能ジェネレータのステータス。	0x0	R/W1C
8	FUNC_INT_STAT_CH_8	チャンネル 8 の機能ジェネレータのステータス。	0x0	R/W1C
7	FUNC_INT_STAT_CH_7	チャンネル 7 の機能ジェネレータのステータス。	0x0	R/W1C
6	FUNC_INT_STAT_CH_6	チャンネル 6 の機能ジェネレータのステータス。	0x0	R/W1C
5	FUNC_INT_STAT_CH_5	チャンネル 5 の機能ジェネレータのステータス。	0x0	R/W1C
4	FUNC_INT_STAT_CH_4	チャンネル 4 の機能ジェネレータのステータス。	0x0	R/W1C
3	FUNC_INT_STAT_CH_3	チャンネル 3 の機能ジェネレータのステータス。	0x0	R/W1C
2	FUNC_INT_STAT_CH_2	チャンネル 2 の機能ジェネレータのステータス。	0x0	R/W1C
1	FUNC_INT_STAT_CH_1	チャンネル 1 の機能ジェネレータのステータス。	0x0	R/W1C
0	FUNC_INT_STAT_CH_0	チャンネル 0 の機能ジェネレータのステータス。 0：機能ジェネレータが使用されていない、またはビジーのまま。 1：機能ジェネレータがその動作を終了。	0x0	R/W1C

レジスタの詳細：共通 DAC のレジスタ・マップ

DAC データ・リードバック・レジスタ

アドレス：0x16A～0x188（インクリメントは2）、リセット：0x0000、レジスタ名：DAC_DATA_READBACK_CHn

直接ロード・モード（機能無効化状態）では、このレジスタには、アナログ領域に転送されるゲイン／オフセット補正済み DAC_INPUT_A コードが格納されます。同期更新を用いる場合、このレジスタの変更後に DAC 出力がこのコードに更新されるためには、LDAC イベントが必要です。非同期更新を用いる場合、このレジスタは、DAC の出力と共に更新されます。

機能有効化状態（同期更新のみが可能な状態）では、このレジスタには、LDAC イベントが検出された場合に DAC に適用される次のコードが格納されます。すなわち、以下のようになります。トグル・モード：DAC_INPUT_A（現在の出力が B の場合）、DAC_INPUT_B（現在の出力が A（ゲイン／オフセット補正済み）の場合）。ディザ・モード：サイン・ポイント n+1（現在の出力がサイン・ポイント n の場合）。鋸歯波モード：ランプ・ポイント n+1（現在の出力がランプ・ポイント n の場合）、DAC_INPUT_A（エンドポイント DAC_INPUT_B に達した場合（鋸歯波ステップを生成））。三角波モード：ランプ・ポイント n+1（現在の出力がランプ・ポイント n の場合）。

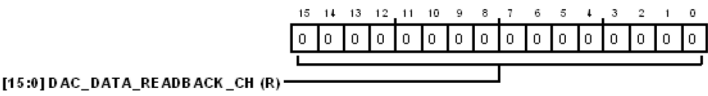


図 108. DAC データ・リードバック・レジスタ

表 59. DAC_DATA_READBACK_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	DAC_DATA_READBACK_CH	DAC を駆動しているデジタル・コード。	0x0	R

レジスタの詳細：製品固有 DAC のレジスタ・マップ

温度センサー・イネーブル・レジスタ

アドレス：0x18A、リセット：0x0000、レジスタ名：TSENS_EN

このレジスタは、温度センサーをイネーブルまたはディスエーブルします。

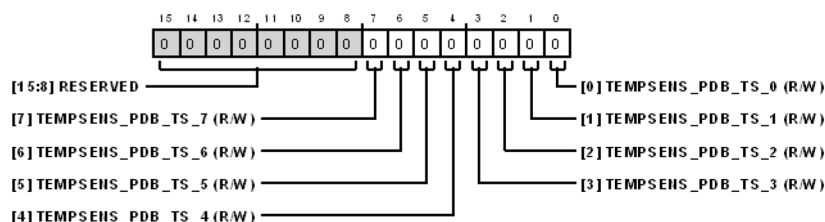


図 109. 温度センサー・イネーブル・レジスタ

表 60. TSENS_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	TEMPSENS_PDB_TS_7	温度センサー7のパワーダウン。	0x0	R/W
6	TEMPSENS_PDB_TS_6	温度センサー6のパワーダウン。	0x0	R/W
5	TEMPSENS_PDB_TS_5	温度センサー5のパワーダウン。	0x0	R/W
4	TEMPSENS_PDB_TS_4	温度センサー4のパワーダウン。	0x0	R/W
3	TEMPSENS_PDB_TS_3	温度センサー3のパワーダウン。	0x0	R/W
2	TEMPSENS_PDB_TS_2	温度センサー2のパワーダウン。	0x0	R/W
1	TEMPSENS_PDB_TS_1	温度センサー1のパワーダウン。	0x0	R/W
0	TEMPSENS_PDB_TS_0	温度センサー0のパワーダウン。 0：温度センサーをパワーダウン。 1：温度センサーをパワーアップ。	0x0	R/W

温度センサー・アラート・ライブ・フラグ・レジスタ

アドレス：0x18C、リセット：0x0000、レジスタ名：TSENS_ALERT_FLAG

温度センサーが 110°C を超えると、このレジスタがレポートします。

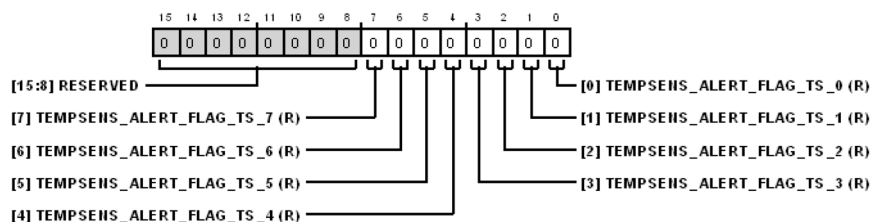


図 110. 温度センサー・アラート・ライブ・フラグ・レジスタ

表 61. TSENS_ALERT_FLAG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	TEMPSENS_ALERT_FLAG_TS_7	温度センサー7のライブ・アラート信号。	0x0	R
6	TEMPSENS_ALERT_FLAG_TS_6	温度センサー6のライブ・アラート信号。	0x0	R
5	TEMPSENS_ALERT_FLAG_TS_5	温度センサー5のライブ・アラート信号。	0x0	R
4	TEMPSENS_ALERT_FLAG_TS_4	温度センサー4のライブ・アラート信号。	0x0	R
3	TEMPSENS_ALERT_FLAG_TS_3	温度センサー3のライブ・アラート信号。	0x0	R

レジスタの詳細：製品固有 DAC のレジスタ・マップ

表 61. TSENS_ALERT_FLAG のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
2	TEMPSENS_ALERT_FLAG_TS_2	温度センサー2のライブ・アラート信号。	0x0	R
1	TEMPSENS_ALERT_FLAG_TS_1	温度センサー1のライブ・アラート信号。	0x0	R
0	TEMPSENS_ALERT_FLAG_TS_0	温度センサー0のライブ・アラート信号。	0x0	R

温度センサー・シャットダウン・ライブ・フラグ・レジスタ

アドレス：0x18E、リセット：0x0000、レジスタ名：TSENS_SHTD_FLAG

温度センサーが 130°C を超え、そのセンサーに関連する DAC または DAC 出力をシャットダウンすると、このレジスタがレポートします。

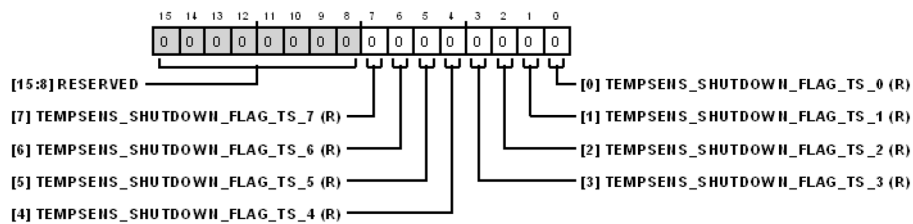


図 111. 温度センサー・シャットダウン・ライブ・フラグ・レジスタ

表 62. TSENS_SHTD_FLAG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	TEMPSENS_SHUTDOWN_FLAG_TS_7	温度センサー7のライブ・シャットダウン信号。	0x0	R
6	TEMPSENS_SHUTDOWN_FLAG_TS_6	温度センサー6のライブ・シャットダウン信号。	0x0	R
5	TEMPSENS_SHUTDOWN_FLAG_TS_5	温度センサー5のライブ・シャットダウン信号。	0x0	R
4	TEMPSENS_SHUTDOWN_FLAG_TS_4	温度センサー4のライブ・シャットダウン信号。	0x0	R
3	TEMPSENS_SHUTDOWN_FLAG_TS_3	温度センサー3のライブ・シャットダウン信号。	0x0	R
2	TEMPSENS_SHUTDOWN_FLAG_TS_2	温度センサー2のライブ・シャットダウン信号。	0x0	R
1	TEMPSENS_SHUTDOWN_FLAG_TS_1	温度センサー1のライブ・シャットダウン信号。	0x0	R
0	TEMPSENS_SHUTDOWN_FLAG_TS_0	温度センサー0のライブ・シャットダウン信号。	0x0	R

温度センサー・アラート・ステータス・レジスタ

アドレス：0x190、リセット：0x0000、レジスタ名：TSENS_ALERT_STAT

温度センサーが 110°C を超えると、このレジスタがレポートします。

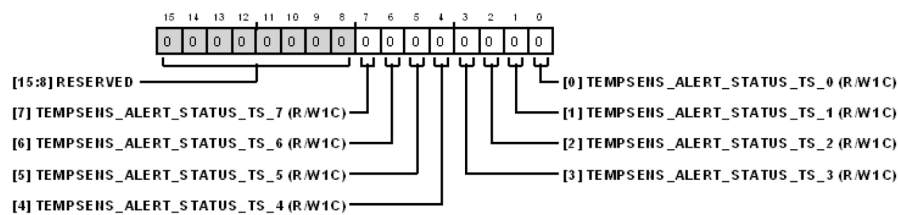


図 112. 温度センサー・アラート・ステータス・レジスタ

表 63. TSENS_ALERT_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	TEMPSENS_ALERT_STATUS_TS_7	温度センサー7のラッチされたアラート信号。	0x0	R/W1C

レジスタの詳細：製品固有 DAC のレジスタ・マップ

表 63. TSENS_ALERT_STAT のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
6	TEMPSENS_ALERT_STATUS_TS_6	温度センサー6のラッチされたアラート信号。	0x0	R/W1C
5	TEMPSENS_ALERT_STATUS_TS_5	温度センサー5のラッチされたアラート信号。	0x0	R/W1C
4	TEMPSENS_ALERT_STATUS_TS_4	温度センサー4のラッチされたアラート信号。	0x0	R/W1C
3	TEMPSENS_ALERT_STATUS_TS_3	温度センサー3のラッチされたアラート信号。	0x0	R/W1C
2	TEMPSENS_ALERT_STATUS_TS_2	温度センサー2のラッチされたアラート信号。	0x0	R/W1C
1	TEMPSENS_ALERT_STATUS_TS_1	温度センサー1のラッチされたアラート信号。	0x0	R/W1C
0	TEMPSENS_ALERT_STATUS_TS_0	温度センサー0のラッチされたアラート信号。	0x0	R/W1C

温度センサー・シャットダウン・ステータス・レジスタ

アドレス：0x192、リセット：0x0000、レジスタ名：TSENS_SHTD_STAT

温度センサーが 130°C を超え、そのセンサーに関連する DAC または DAC 出力をシャットダウンすると、このレジスタがレポートします。

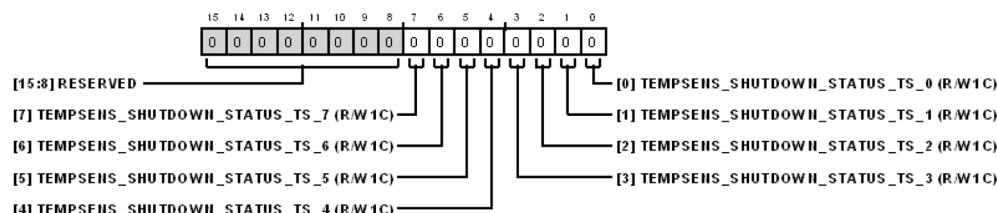


図 113. 温度センサー・シャットダウン・ステータス・レジスタ

表 64. TSENS_SHTD_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	TEMPSENS_SHUTDO WN_STATUS_TS_7	温度センサー7のラッチされたシャットダウン信号。	0x0	R/W1C
6	TEMPSENS_SHUTDO WN_STATUS_TS_6	温度センサー6のラッチされたシャットダウン信号。	0x0	R/W1C
5	TEMPSENS_SHUTDO WN_STATUS_TS_5	温度センサー5のラッチされたシャットダウン信号。	0x0	R/W1C
4	TEMPSENS_SHUTDO WN_STATUS_TS_4	温度センサー4のラッチされたシャットダウン信号。	0x0	R/W1C
3	TEMPSENS_SHUTDO WN_STATUS_TS_3	温度センサー3のラッチされたシャットダウン信号。	0x0	R/W1C
2	TEMPSENS_SHUTDO WN_STATUS_TS_2	温度センサー2のラッチされたシャットダウン信号。	0x0	R/W1C
1	TEMPSENS_SHUTDO WN_STATUS_TS_1	温度センサー1のラッチされたシャットダウン信号。	0x0	R/W1C
0	TEMPSENS_SHUTDO WN_STATUS_TS_0	温度センサー0のラッチされたシャットダウン信号。	0x0	R/W1C

ALARMピンへの温度センサー・ステータス・イネーブル・レジスタ

アドレス：0x194、リセット：0x0000、レジスタ名：ALARMB_TSENS_EN

このレジスタは、特定の温度センサーのピンを通じたアラーム・レポートおよびシャットダウン・レポートをイネーブル/ディスエーブルします。

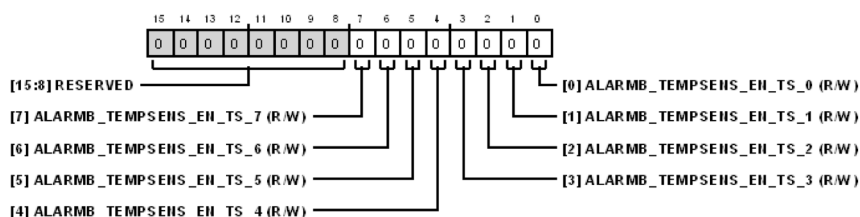


図 114. ALARMピンへの温度センサー・ステータス・イネーブル・レジスタ

レジスタの詳細：製品固有 DAC のレジスタ・マップ

表 65. ALARMB_TSENS_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	ALARMB_TEMPSENS_EN_TS_7	ALARMピンを駆動する温度センサー7のシャットダウン／アラート・イネーブル。	0x0	R/W
6	ALARMB_TEMPSENS_EN_TS_6	ALARMピンを駆動する温度センサー6のシャットダウン／アラート・イネーブル。	0x0	R/W
5	ALARMB_TEMPSENS_EN_TS_5	ALARMピンを駆動する温度センサー5のシャットダウン／アラート・イネーブル。	0x0	R/W
4	ALARMB_TEMPSENS_EN_TS_4	ALARMピンを駆動する温度センサー4のシャットダウン／アラート・イネーブル。	0x0	R/W
3	ALARMB_TEMPSENS_EN_TS_3	ALARMピンを駆動する温度センサー3のシャットダウン／アラート・イネーブル。	0x0	R/W
2	ALARMB_TEMPSENS_EN_TS_2	ALARMピンを駆動する温度センサー2のシャットダウン／アラート・イネーブル。	0x0	R/W
1	ALARMB_TEMPSENS_EN_TS_1	ALARMピンを駆動する温度センサー1のシャットダウン／アラート・イネーブル。	0x0	R/W
0	ALARMB_TEMPSENS_EN_TS_0	ALARMピンを駆動する温度センサー0のシャットダウン／アラート・イネーブル。 0：ディスエーブル。 1：イネーブル。	0x0	R/W

ALARMピンへのアラート／シャットダウン・ステータス信号選択レジスタ

アドレス：0x196、リセット：0x0000、レジスタ名：ALARMB_TSENS_SEL

このレジスタは、特定の温度センサーのピンを通じたアラーム・レポートおよびシャットダウン・レポートをイネーブル／ディスエーブルします。

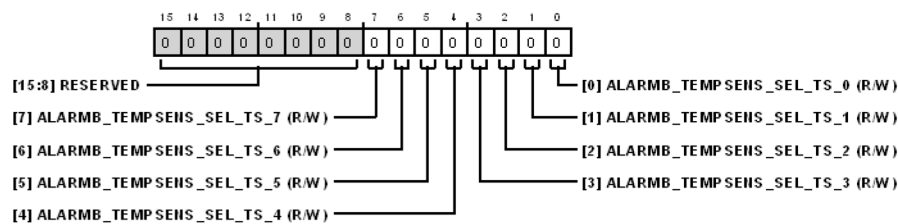


図 115. ALARMピンへのアラート／シャットダウン・ステータス信号選択レジスタ

表 66. ALARMB_TSENS_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
7	ALARMB_TEMPSENS_SEL_TS_7	ALARMピンを駆動する温度センサー7のシャットダウン／アラート・セクタ。	0x0	R/W
6	ALARMB_TEMPSENS_SEL_TS_6	ALARMピンを駆動する温度センサー6のシャットダウン／アラート・セクタ。	0x0	R/W
5	ALARMB_TEMPSENS_SEL_TS_5	ALARMピンを駆動する温度センサー5のシャットダウン／アラート・セクタ。	0x0	R/W
4	ALARMB_TEMPSENS_SEL_TS_4	ALARMピンを駆動する温度センサー4のシャットダウン／アラート・セクタ。	0x0	R/W
3	ALARMB_TEMPSENS_SEL_TS_3	ALARMピンを駆動する温度センサー3のシャットダウン／アラート・セクタ。	0x0	R/W
2	ALARMB_TEMPSENS_SEL_TS_2	ALARMピンを駆動する温度センサー2のシャットダウン／アラート・セクタ。	0x0	R/W
1	ALARMB_TEMPSENS_SEL_TS_1	ALARMピンを駆動する温度センサー1のシャットダウン／アラート・セクタ。	0x0	R/W
0	ALARMB_TEMPSENS_SEL_TS_0	ALARMピンを駆動する温度センサー0のシャットダウン／アラート・セクタ。 0：シャットダウン・ステータス信号を選択。 1：アラート・ステータス信号を選択。	0x0	R/W

温度センサー・シャットダウンによるチャンネル・ディスエーブル・レジスタ

アドレス：0x198、リセット：0x0000、レジスタ名：TSENS_SHTD_EN_CH

このレジスタは、特定のチャンネルのシャットダウンをイネーブル／ディスエーブルします。

レジスタの詳細：製品固有 DAC のレジスタ・マップ

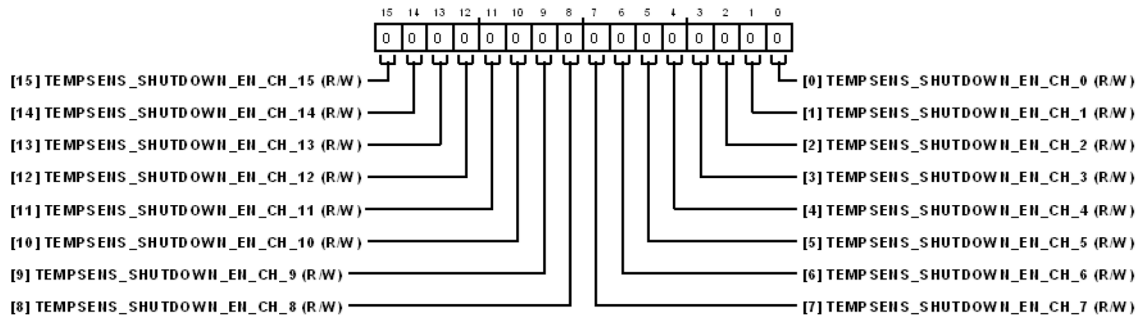


図 116. 温度センサー・シャットダウンによるチャンネル・ディスエーブル・レジスタ

表 67. TSENS_SHTD_EN_CH のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	TEMPSENS_SHUTDO WN_EN_CH_15	温度センサー7によるチャンネル 15 のシャットダウン。	0x0	R/W
14	TEMPSENS_SHUTDO WN_EN_CH_14	温度センサー7によるチャンネル 14 のシャットダウン。	0x0	R/W
13	TEMPSENS_SHUTDO WN_EN_CH_13	温度センサー6によるチャンネル 13 のシャットダウン。	0x0	R/W
12	TEMPSENS_SHUTDO WN_EN_CH_12	温度センサー6によるチャンネル 12 のシャットダウン。	0x0	R/W
11	TEMPSENS_SHUTDO WN_EN_CH_11	温度センサー5によるチャンネル 11 のシャットダウン。	0x0	R/W
10	TEMPSENS_SHUTDO WN_EN_CH_10	温度センサー5によるチャンネル 10 のシャットダウン。	0x0	R/W
9	TEMPSENS_SHUTDO WN_EN_CH_9	温度センサー4によるチャンネル 9 のシャットダウン。	0x0	R/W
8	TEMPSENS_SHUTDO WN_EN_CH_8	温度センサー4によるチャンネル 8 のシャットダウン。	0x0	R/W
7	TEMPSENS_SHUTDO WN_EN_CH_7	温度センサー3によるチャンネル 7 のシャットダウン。	0x0	R/W
6	TEMPSENS_SHUTDO WN_EN_CH_6	温度センサー3によるチャンネル 6 のシャットダウン。	0x0	R/W
5	TEMPSENS_SHUTDO WN_EN_CH_5	温度センサー2によるチャンネル 5 のシャットダウン。	0x0	R/W
4	TEMPSENS_SHUTDO WN_EN_CH_4	温度センサー2によるチャンネル 4 のシャットダウン。	0x0	R/W
3	TEMPSENS_SHUTDO WN_EN_CH_3	温度センサー1によるチャンネル 3 のシャットダウン。	0x0	R/W
2	TEMPSENS_SHUTDO WN_EN_CH_2	温度センサー1によるチャンネル 2 のシャットダウン。	0x0	R/W
1	TEMPSENS_SHUTDO WN_EN_CH_1	温度センサー0によるチャンネル 1 のシャットダウン。	0x0	R/W
0	TEMPSENS_SHUTDO WN_EN_CH_0	温度センサー0によるチャンネル0のシャットダウン。 0：温度センサーはこのチャンネルをディスエーブルしない。 1：温度センサーがこのチャンネルをディスエーブルする。	0x0	R/W

チャンネルごとのデグリッチ・ディスエーブル・レジスタ

アドレス：0x19A、リセット：0x0000、レジスタ名：DAC_DIS_DEGLITCH_CH

このレジスタは、対応する DAC の出力デグリッチャをイネーブルまたはディスエーブルします。

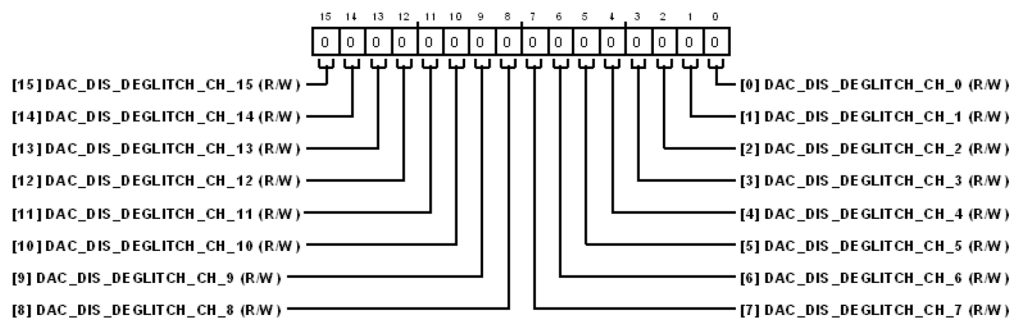


図 117. チャンネルごとのデグリッチ・ディスエーブル・レジスタ

レジスタの詳細：製品固有 DAC のレジスタ・マップ

表 68. DAC_DIS_DEGLITCH_CH のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	DAC_DIS_DEGLITCH_CH_15	チャンネル 15 の DAC デグリッチャをディスエーブル。	0x0	R/W
14	DAC_DIS_DEGLITCH_CH_14	チャンネル 14 の DAC デグリッチャをディスエーブル。	0x0	R/W
13	DAC_DIS_DEGLITCH_CH_13	チャンネル 13 の DAC デグリッチャをディスエーブル。	0x0	R/W
12	DAC_DIS_DEGLITCH_CH_12	チャンネル 12 の DAC デグリッチャをディスエーブル。	0x0	R/W
11	DAC_DIS_DEGLITCH_CH_11	チャンネル 11 の DAC デグリッチャをディスエーブル。	0x0	R/W
10	DAC_DIS_DEGLITCH_CH_10	チャンネル 10 の DAC デグリッチャをディスエーブル。	0x0	R/W
9	DAC_DIS_DEGLITCH_CH_9	チャンネル 9 の DAC デグリッチャをディスエーブル。	0x0	R/W
8	DAC_DIS_DEGLITCH_CH_8	チャンネル 8 の DAC デグリッチャをディスエーブル。	0x0	R/W
7	DAC_DIS_DEGLITCH_CH_7	チャンネル 7 の DAC デグリッチャをディスエーブル。	0x0	R/W
6	DAC_DIS_DEGLITCH_CH_6	チャンネル 6 の DAC デグリッチャをディスエーブル。	0x0	R/W
5	DAC_DIS_DEGLITCH_CH_5	チャンネル 5 の DAC デグリッチャをディスエーブル。	0x0	R/W
4	DAC_DIS_DEGLITCH_CH_4	チャンネル 4 の DAC デグリッチャをディスエーブル。	0x0	R/W
3	DAC_DIS_DEGLITCH_CH_3	チャンネル 3 の DAC デグリッチャをディスエーブル。	0x0	R/W
2	DAC_DIS_DEGLITCH_CH_2	チャンネル 2 の DAC デグリッチャをディスエーブル。	0x0	R/W
1	DAC_DIS_DEGLITCH_CH_1	チャンネル 1 の DAC デグリッチャをディスエーブル。	0x0	R/W
0	DAC_DIS_DEGLITCH_CH_0	チャンネル 0 の DAC デグリッチャをディスエーブル。 0 : DAC デグリッチをイネーブル。 1 : DAC デグリッチをディスエーブル。	0x0	R/W

DAC 割込みイネーブル・レジスタ

アドレス：0x19C、リセット：0x0000、レジスタ名：DAC_INT_EN

このレジスタには 2 つの機能があります。ALARM ピンでの CRC エラー・レポートをイネーブル/ディスエーブルする役割と、どの機能も ALARM ピンには伝達しない役割です。

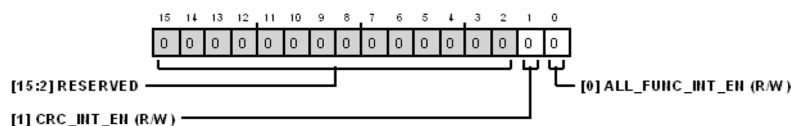


図 118. DAC 割込みイネーブル・レジスタ

表 69. DAC_INT_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:2]	RESERVED	予約済み。	0x0	R
1	CRC_INT_EN	ALARM ピンでの CRC エラー割込みをイネーブル。	0x0	R/W
0	ALL_FUNC_INT_EN	すべての機能無効化割込みをイネーブルし、ALARM を駆動。 0 : ALL_FUNC_INT_STAT 信号を ALARM ピンに伝達しない。 1 : ALL_FUNC_INT_STAT 信号を ALARM ピンに伝達する。	0x0	R/W

結合機能ジェネレータ・ステータス・レジスタ

アドレス：0x19E、リセット：0x0000、レジスタ名：ALL_FUNC_INT_STAT

すべてのデジタル機能がそのサイクルを完了し動作を終了した場合に、このレジスタが通知します。

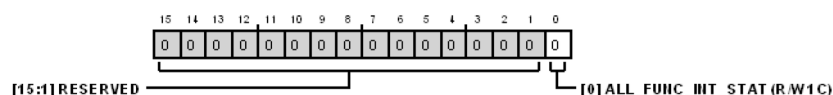


図 119. 結合機能ジェネレータ・ステータス・レジスタ

レジスタの詳細：製品固有 DAC のレジスタ・マップ

表 70. ALL_FUNC_INT_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:8]	RESERVED	予約済み。	0x0	R
0	ALL_FUNC_INT_STAT	すべての機能が割込みステータスをディスエーブル。 0：まだ終了していない機能ジェネレータがある。 1：すべての機能ジェネレータが動作を終了。	0x0	R/W1C

機能ジェネレータ・ビジー・ライブ・フラグ・レジスタ

アドレス：0x1A0、リセット：0x0000、レジスタ名：FUNC_BUSY

特定のチャンネルのデジタル機能がまだビジー状態の場合に、このレジスタが通知します。

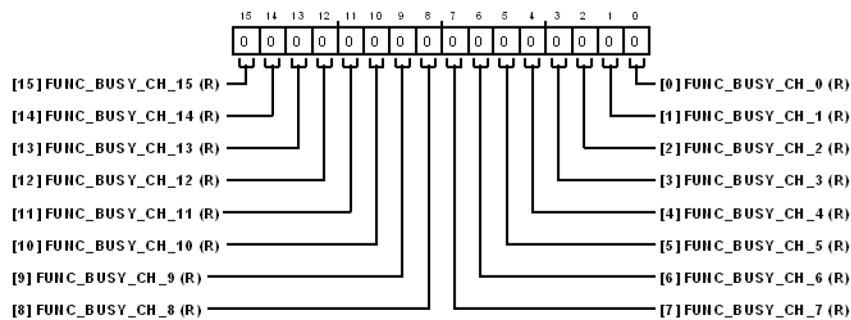


図 120. 機能ジェネレータ・ビジー・ライブ・フラグ・レジスタ

表 71. FUNC_BUSY のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	FUNC_BUSY_CH_15	チャンネル 15 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
14	FUNC_BUSY_CH_14	チャンネル 14 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
13	FUNC_BUSY_CH_13	チャンネル 13 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
12	FUNC_BUSY_CH_12	チャンネル 12 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
11	FUNC_BUSY_CH_11	チャンネル 11 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
10	FUNC_BUSY_CH_10	チャンネル 10 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
9	FUNC_BUSY_CH_9	チャンネル 9 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
8	FUNC_BUSY_CH_8	チャンネル 8 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
7	FUNC_BUSY_CH_7	チャンネル 7 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
6	FUNC_BUSY_CH_6	チャンネル 6 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
5	FUNC_BUSY_CH_5	チャンネル 5 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
4	FUNC_BUSY_CH_4	チャンネル 4 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
3	FUNC_BUSY_CH_3	チャンネル 3 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
2	FUNC_BUSY_CH_2	チャンネル 2 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
1	FUNC_BUSY_CH_1	チャンネル 1 の機能ジェネレータ・ビジー・ライブ・フラグ。	0x0	R
0	FUNC_BUSY_CH_0	チャンネル 0 の機能ジェネレータ・ビジー・ライブ・フラグ。 0：機能ジェネレータがビジーでない。 1：機能ジェネレータがビジー。	0x0	R

リファレンス・ソース選択レジスタ

アドレス：0x1A2、リセット：0x0000、レジスタ名：REF_SEL

このレジスタは、内部リファレンス電圧か外部リファレンス電圧かを選択します。

レジスタの詳細：製品固有 DAC のレジスタ・マップ

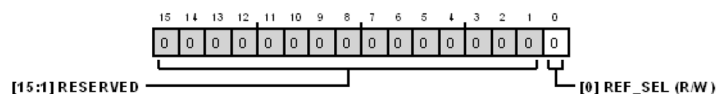


図 121. リファレンス・ソース選択レジスタ

表 72. REF_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	REF_SEL	リファレンスの選択。 0：外部リファレンスを選択。 1：内部リファレンスを選択。	0x0	R/W

初期化 CRC エラー・ステータス・レジスタ

アドレス：0x1A4、リセット：0x0000、レジスタ名：INIT_CRC_ERR_STAT

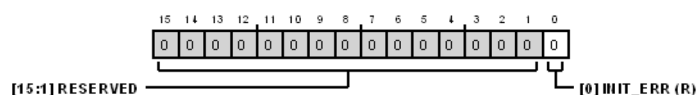


図 122. 初期化 CRC エラー・ステータス・レジスタ

表 73. INIT_CRC_ERR_STAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:1]	RESERVED	予約済み。	0x0	R
0	INIT_ERR	内部CRC初期化エラー・ステータス・フラグ。パワーアップ時に内部CRCエラーが検出された場合に1'b1にセットされます。 0：内部リフレッシュOK。内部リフレッシュ・シーケンスでエラーは検出されませんでした。 1：内部リフレッシュ・エラー。内部リフレッシュ・シーケンスでエラーが検出されました。	0x0	R

レジスタの詳細 : ホットパス DAC のレジスタ・マップ

マルチデバイス SW LDAC モード 0 レジスタ

アドレス : 0x1A8、リセット : 0x0000、レジスタ名 : MULTI_DEV_SW_LDAC_0

このレジスタは、SPI ラインは共有していながらもアドレスの異なる選択デバイスに、ID0 ピンおよび ID1 ピンを使って、ソフトウェア LDAC 更新を送信します。この選択は、設定されたビット・フィールドに応じてデバイスごとに行われます。

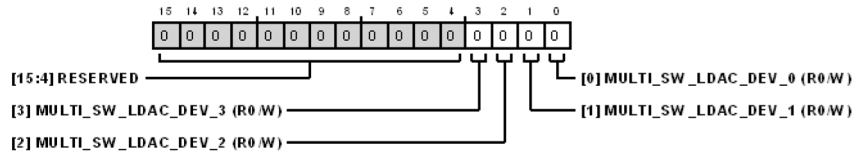


図 123. マルチデバイス SW LDAC モード 0 レジスタ

表 74. MULTI_DEV_SW_LDAC_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:4]	RESERVED	予約済み。	0x0	R
3	MULTI_SW_LDAC_DEV_3	マルチ SW LDAC がデバイス 3 をトリガ。	0x0	R0/W
2	MULTI_SW_LDAC_DEV_2	マルチ SW LDAC がデバイス 2 をトリガ。	0x0	R0/W
1	MULTI_SW_LDAC_DEV_1	マルチ SW LDAC がデバイス 1 をトリガ。	0x0	R0/W
0	MULTI_SW_LDAC_DEV_0	マルチ SW LDAC がデバイス 0 をトリガ。	0x0	R0/W

マルチ入力デバイス 0 レジスタ

アドレス : 0x1AA、リセット : 0x0000、レジスタ名 : MULTI_INPUT_DEV_0

このレジスタは、MULTI_INPUT_SEL の選択に従い、デバイス ID = 0 のチャンネルの入力レジスタを更新します。このレジスタは、MULTI_INPUT と同様に機能します。

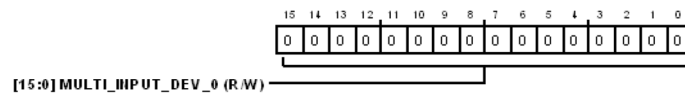


図 124. マルチ入力デバイス 0 レジスタ

表 75. MULTI_INPUT_DEV_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_INPUT_DEV_0	マルチ入力デバイス 0。	0x0	R/W

マルチ入力デバイス 1 レジスタ

アドレス : 0x1AC、リセット : 0x0000、レジスタ名 : MULTI_INPUT_DEV_1

このレジスタは、MULTI_INPUT_SEL の選択に従い、デバイス ID = 1 のチャンネルの入力レジスタを更新します。このレジスタは、MULTI_INPUT と同様に機能します。

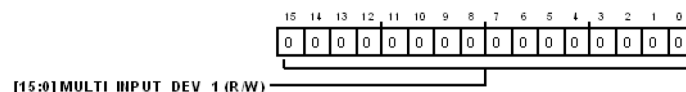


図 125. マルチ入力デバイス 1 レジスタ

表 76. MULTI_INPUT_DEV_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_INPUT_DEV_1	マルチ入力デバイス 1。	0x0	R/W

レジスタの詳細 : ホットパス DAC のレジスタ・マップ

マルチ入力デバイス 2 レジスタ

アドレス : 0x1AE、リセット : 0x0000、レジスタ名 : MULTI_INPUT_DEV_2

このレジスタは、MULTI_INPUT_SEL の選択に従い、デバイス ID = 2 のチャンネルの入力レジスタを更新します。このレジスタは、MULTI_INPUT と同様に機能します。

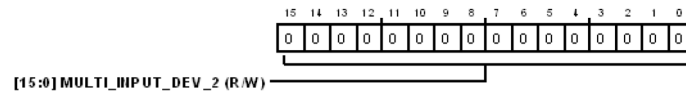


図 126. マルチ入力デバイス 2 レジスタ

表 77. MULTI_INPUT_DEV_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_INPUT_DEV_2	マルチ入力デバイス 2。	0x0	R/W

マルチ入力デバイス 3 レジスタ

アドレス : 0x1B0、リセット : 0x0000、レジスタ名 : MULTI_INPUT_DEV_3

このレジスタは、MULTI_INPUT_SEL の選択に従い、デバイス ID = 3 のチャンネルの入力レジスタを更新します。このレジスタは、MULTI_INPUT と同様に機能します。

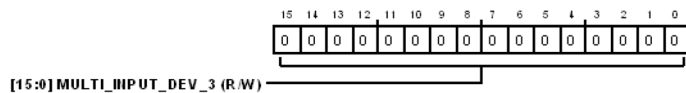


図 127. マルチ入力デバイス 3 レジスタ

表 78. MULTI_INPUT_DEV_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MULTI_INPUT_DEV_3	マルチ入力デバイス 3。	0x0	R/W

マルチデバイス SW LDAC モード 1 レジスタ

アドレス : 0x1B2、リセット : 0x0000、レジスタ名 : MULTI_DEV_SW_LDAC_1

すべてのデバイスで個別に選択されたチャンネルに対するソフトウェア LDAC トリガ。ビット・フィールドがハイに設定されている場合、対応するチャンネルの DAC レジスタが、入力レジスタ・データに更新されます。LDAC_HW_SW[LDAC_HW_SW_CH_n] を 1 にセットする必要があります。

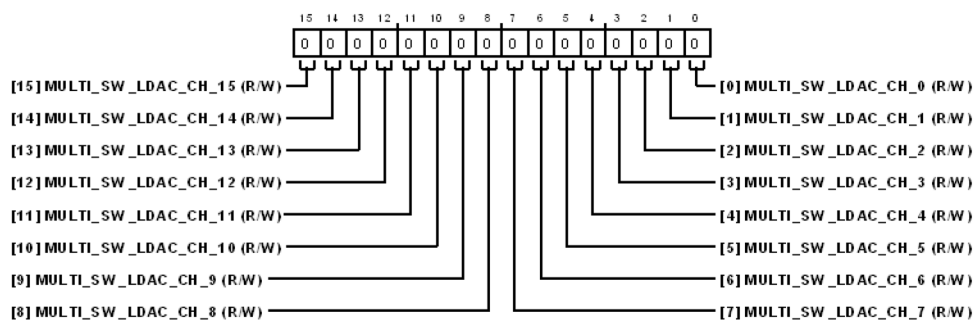


図 128. マルチデバイス SW LDAC モード 1 レジスタ

表 79. MULTI_DEV_SW_LDAC_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	MULTI_SW_LDAC_CH_15	マルチデバイス SW LDAC がチャンネル 15 をトリガ。	0x0	R/W

レジスタの詳細 : ホットパス DAC のレジスタ・マップ

表 79. MULTI_DEV_SW_LDAC_1 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
14	MULTI_SW_LDAC_CH_14	マルチデバイス SW LDAC がチャンネル 14 をトリガ。	0x0	R/W
13	MULTI_SW_LDAC_CH_13	マルチデバイス SW LDAC がチャンネル 13 をトリガ。	0x0	R/W
12	MULTI_SW_LDAC_CH_12	マルチデバイス SW LDAC がチャンネル 12 をトリガ。	0x0	R/W
11	MULTI_SW_LDAC_CH_11	マルチデバイス SW LDAC がチャンネル 11 をトリガ。	0x0	R/W
10	MULTI_SW_LDAC_CH_10	マルチデバイス SW LDAC がチャンネル 10 をトリガ。	0x0	R/W
9	MULTI_SW_LDAC_CH_9	マルチデバイス SW LDAC がチャンネル 9 をトリガ。	0x0	R/W
8	MULTI_SW_LDAC_CH_8	マルチデバイス SW LDAC がチャンネル 8 をトリガ。	0x0	R/W
7	MULTI_SW_LDAC_CH_7	マルチデバイス SW LDAC がチャンネル 7 をトリガ。	0x0	R/W
6	MULTI_SW_LDAC_CH_6	マルチデバイス SW LDAC がチャンネル 6 をトリガ。	0x0	R/W
5	MULTI_SW_LDAC_CH_5	マルチデバイス SW LDAC がチャンネル 5 をトリガ。	0x0	R/W
4	MULTI_SW_LDAC_CH_4	マルチデバイス SW LDAC がチャンネル 4 をトリガ。	0x0	R/W
3	MULTI_SW_LDAC_CH_3	マルチデバイス SW LDAC がチャンネル 3 をトリガ。	0x0	R/W
2	MULTI_SW_LDAC_CH_2	マルチデバイス SW LDAC がチャンネル 2 をトリガ。	0x0	R/W
1	MULTI_SW_LDAC_CH_1	マルチデバイス SW LDAC がチャンネル 1 をトリガ。	0x0	R/W
0	MULTI_SW_LDAC_CH_0	マルチデバイス SW LDAC がチャンネル 0 をトリガ。	0x0	R/W

入力デバイス 0 レジスタ

アドレス : 0x1B4~0x1D2 (インクリメントは 2)、リセット : 0x0000、レジスタ名 : INPUT_DEV_0_CHn

このレジスタは、デバイス ID=0 の DAC_INPUT_A_CH を更新します。



図 129. 入力デバイス 0 レジスタ

表 80. INPUT_DEV_0_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	INPUT_DEV_0_CH	入力 A デバイス 0 のコード。	0x0	R/W

入力デバイス 1 レジスタ

アドレス : 0x1D4~0x1F2 (インクリメントは 2)、リセット : 0x0000、レジスタ名 : INPUT_DEV_1_CHn

このレジスタは、デバイス ID=1 の DAC_INPUT_A_CH を更新します。

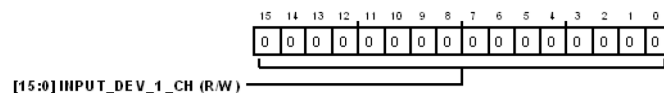


図 130. 入力デバイス 1 レジスタ

表 81. INPUT_DEV_1_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	INPUT_DEV_1_CH	入力 A デバイス 1 のコード。	0x0	R/W

レジスタの詳細 : ホットパス DAC のレジスタ・マップ

入力デバイス 2 レジスタ

アドレス : 0x1F4~0x212 (インクリメントは 2)、リセット : 0x0000、レジスタ名 : INPUT_DEV_2_CHn

このレジスタは、デバイス ID=2 の DAC_INPUT_A_CH を更新します。

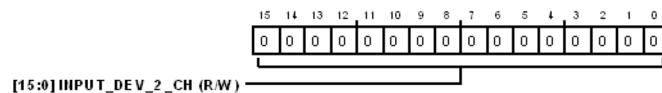


図 131. 入力デバイス 2 レジスタ

表 82. INPUT_DEV_2_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	INPUT_DEV_2_CH	入力 A デバイス 2 のコード。	0x0	R/W

入力デバイス 3 レジスタ

アドレス : 0x214~0x232 (インクリメントは 2)、リセット : 0x0000、レジスタ名 : INPUT_DEV_3_CHn

このレジスタは、デバイス ID=3 の DAC_INPUT_A_CH を更新します。

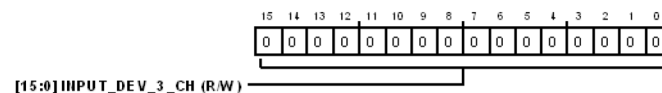


図 132. 入力デバイス 3 レジスタ

表 83. INPUT_DEV_3_CHn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	INPUT_DEV_3_CH	入力 A デバイス 3 のコード。	0x0	R/W

外形寸法

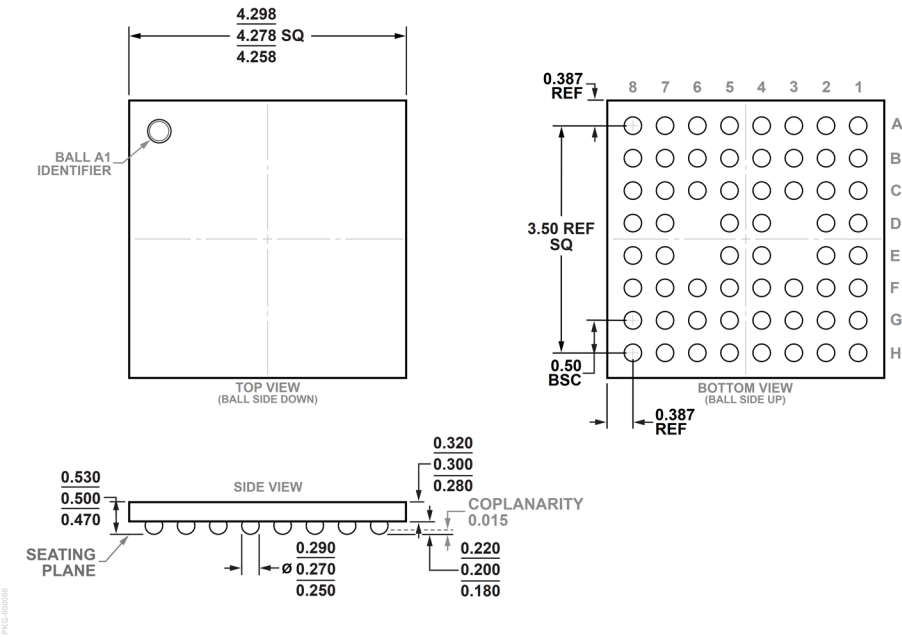


図 133. 60 ボール・ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-60-1)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD5529RBCBZ16-RL	-40°C to +125°C	60-Ball [WLCSP]	Reel, 5000	CB-60-1
AD5529RBCBZ16-RL7	-40°C to +125°C	60-Ball [WLCSP]	Reel7, 1500	CB-60-1

¹ Z = RoHS 準拠製品。

更新：2026 年 4 月 30 日

評価用ボード

Model ¹	Description
EVAL-AD5529R-ARDZ	Evaluation Board

¹ Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026 年 8 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2026 年 8 月 20 日

製品名： AD5529R

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 33 頁、左の段、「ランプ機能」の説明項、最初の文

【誤】

「ランプ機能モードでは、クロックをトグル・ピンに加えることにより、ランプ波形を発生できます。」

【正】

「ランプ機能モードでは、ランプ・クロックをトグル・ピンに加えることにより、ランプ波形を発生できます。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026 年 8 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2026 年 8 月 20 日

製品名： AD5529R

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 34 頁、右の段、一番下の文

【誤】

「プライマリ DAC 入力レジスタのコードに達するのに十分なディザ・クロックが加えられるまで、ランプ機能は動作を続けます。」

【正】

「プライマリ DAC 入力レジスタのコードに達するのに十分なランプ・クロックが加えられるまで、ランプ機能は動作を続けます。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026 年 8 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2026 年 8 月 20 日

製品名： AD5529R

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 39 頁、右の段、下から 9 行目

【誤】

「アドレスの方向は、Interface_Config_A の~~[Addr Direction]~~ビットで選択されます。」

【正】

「アドレスの方向は、Interface_Config_A の~~[Addr Direction]~~[Addr Ascension]ビットで選択されます。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026 年 8 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2026 年 8 月 20 日

製品名： AD5529R

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 40 頁、右の段、一番下の文

【誤】

「STREAM_MODE の挙動は、 TRANSFER REGISTER の [STREAM LENGTH KEEP P. VALUE] ビットで制御されます。」

【正】

「STREAM_MODE の挙動は、 TRANSFER CONFIG の [KEEP STREAM LENGTH VA] ビットで制御されます。」