

データシート
AD4880アナログ・フロントエンドを搭載したデュアル・チャンネル、
20 ビット、40MSPS の SAR ADC

特長

- ▶ 完全差動 ADC ドライバを内蔵
 - ▶ 広い入力コモンモード電圧範囲
 - ▶ 高い同相モード除去性能
 - ▶ シングルエンド／差動変換
- ▶ ゲイン・オプション：1.03、1.25、1.53、2.03、2.74、4.11、5.77
 - ▶ ゲイン設定抵抗を内蔵
- ▶ 高性能
 - ▶ 20 ビット分解能、ノー・ミッシング・コード
 - ▶ スループット：チャンネルあたり 40MSPS
 - ▶ 変換レイテンシ：46.25ns
 - ▶ INL：±7.5ppm（代表値）、±12ppm（最大値）
 - ▶ S/N 比（Signal to Noise Ratio）/THD
 - ▶ $f_{IN} = 1\text{kHz}$ で、92.6dBFS（代表値）／-107.6dBc（代表値）
 - ▶ $f_{IN} = 500\text{kHz}$ で、91.2dBFS（代表値）／-108.0dBc（代表値）
 - ▶ ノイズ・スペクトル密度：-160.9dBFS/Hz
- ▶ 低消費電力
 - ▶ 40MSPS で、チャンネルあたり 120.5mW（代表値）
- ▶ 低ドリフトのリファレンス・バッファおよびデカップリングを内蔵
- ▶ V_{CM} 生成機能を内蔵
- ▶ デジタル機能とデータ・インターフェース
 - ▶ 変換結果 FIFO、チャンネルあたり 16k のサンプル
 - ▶ 最大 2^{10} デシメーションのデジタル平均化フィルタ
- ▶ チャンネルごとの SPI 構成
- ▶ チャンネルごとにデータ・インターフェースを設定可能
 - ▶ シングル・レーン、DDR、シリアル LVDS、レーンあたり 800Mbps
 - ▶ デュアル・レーン、DDR、シリアル LVDS、レーンあたり 400Mbps
 - ▶ シングル／クワッド・レーン SPI データ・インターフェース
- ▶ パッケージ
 - ▶ 196 ボール、10mm × 10mm CSP_BGA、0.65mm ピッチ
 - ▶ 電源デカップリング・コンデンサを内蔵
- ▶ 動作温度範囲：-40°C ~ +85°C

アプリケーション

- ▶ デジタル・イメージング
- ▶ バッテリーのセル解析
- ▶ 分光分析
- ▶ 高速データ・アキュイジション
- ▶ デジタル制御ループ、ハードウェア・イン・ザ・ループ
- ▶ 電力品質の解析
- ▶ ソース計測ユニット
- ▶ 非破壊検査

概要

AD4880 は、デュアル・チャンネル、低ノイズ、低消費電力、高速の、20 ビット逐次比較レジスタ（SAR）A/D コンバータ（ADC）であり、完全差動アンプ（FDA）およびゲイン設定抵抗を内蔵しています。2つのチャンネルは同時に、または別々にサンプリングできるため、幅広いアプリケーションに柔軟に対応できます。

ADC ドライバ、低ドリフトのリファレンス・バッファ、低ドロップアウト（LDO）レギュレータ、およびすべての重要なデカップリング・コンデンサが集積されているため、アナログ・フロントエンドの設計上の課題が大幅に平易になります。仕様規定された性能を容易に達成できるため、必要なプリント回路基板（PCB）レイアウトがよりシンプルかつコンパクトになります。

AD4880 は最大 1MHz の入力信号向けに最適化されており、極めて小さい消費電力で低ノイズと優れた直線性を実現するため、多くの高精度データ・アキュイジション・システムに適しています。

高いサンプル・レートを利用して、オーバーサンプリングを行い、内蔵のデジタル・フィルタとデシメーションを適用してノイズを低減し、超低レイテンシが要求されないアプリケーションでダイナミック・レンジを拡大することにより、アンチエイリアシングのフィルタ要件を緩和できます。

AD4880 は SAR アーキテクチャを採用しており、変換レイテンシはわずか 46.25ns です。そのため、マルチプレックスされた入力信号を使用する広帯域幅のアプリケーション、極めて低いレイテンシが求められるアプリケーション、またはこれら両方に適しています。このような高スループットかつ低レイテンシのアプリケーションでは、2つの独立したマルチレーン低電圧差動信号（LVDS）インターフェースのメリットを享受できます。あるいは、キャプチャしたデータをチャンネルあたり 16k サンプルの先入れ先出し（FIFO）オンチップ・メモリに保存し、シリアル・ペリフェラル・インターフェース（SPI）データ・インターフェースを介して非同期にアクセスすることで、デジタル・ホストの負荷を軽減することもできます。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

目次

特長.....	1	アプリケーション情報.....	35
アプリケーション.....	1	アナログ入力の駆動およびゲイン.....	35
概要.....	1	アナログ入力のフィルタ処理.....	41
機能ブロック図.....	3	代表的なアプリケーション図.....	43
仕様.....	4	リファレンス回路の設計.....	45
タイミング仕様.....	10	データ・インターフェースのクロッキング・ソリューション.....	45
絶対最大定格.....	12	電源ソリューション.....	47
熱抵抗.....	12	デジタル・インターフェース.....	48
静電放電（ESD）定格.....	12	概要.....	48
ESDに関する注意.....	12	SPI 設定インターフェース.....	49
ピン配置およびピン機能の説明.....	13	LVDS データ・インターフェース.....	63
代表的な性能特性.....	18	SPI データ・インターフェース.....	70
用語の定義.....	26	GPIO ピン.....	71
動作原理.....	27	デジタル機能.....	73
製品の概要.....	27	概要.....	73
伝達関数.....	27	イベント検出.....	73
リファレンス・バッファとコモンモード出力.....	27	結果 FIFO.....	75
電源.....	28	デジタル・フィルタ.....	84
内部安定化電源の構成.....	28	システム誤差補正係数.....	91
外部生成化電源の構成.....	29	レイアウトのガイドライン.....	92
パワーオン・リセット（POR）モニタ.....	29	設定レジスタ.....	93
電源シーケンス.....	30	レジスタの詳細.....	95
省電力動作モード.....	32	外形寸法.....	115
ソフトウェア・リセット.....	34	オーダー・ガイド.....	116

改訂履歴

4/2026— Revision 0: Initial Version

機能ブロック図

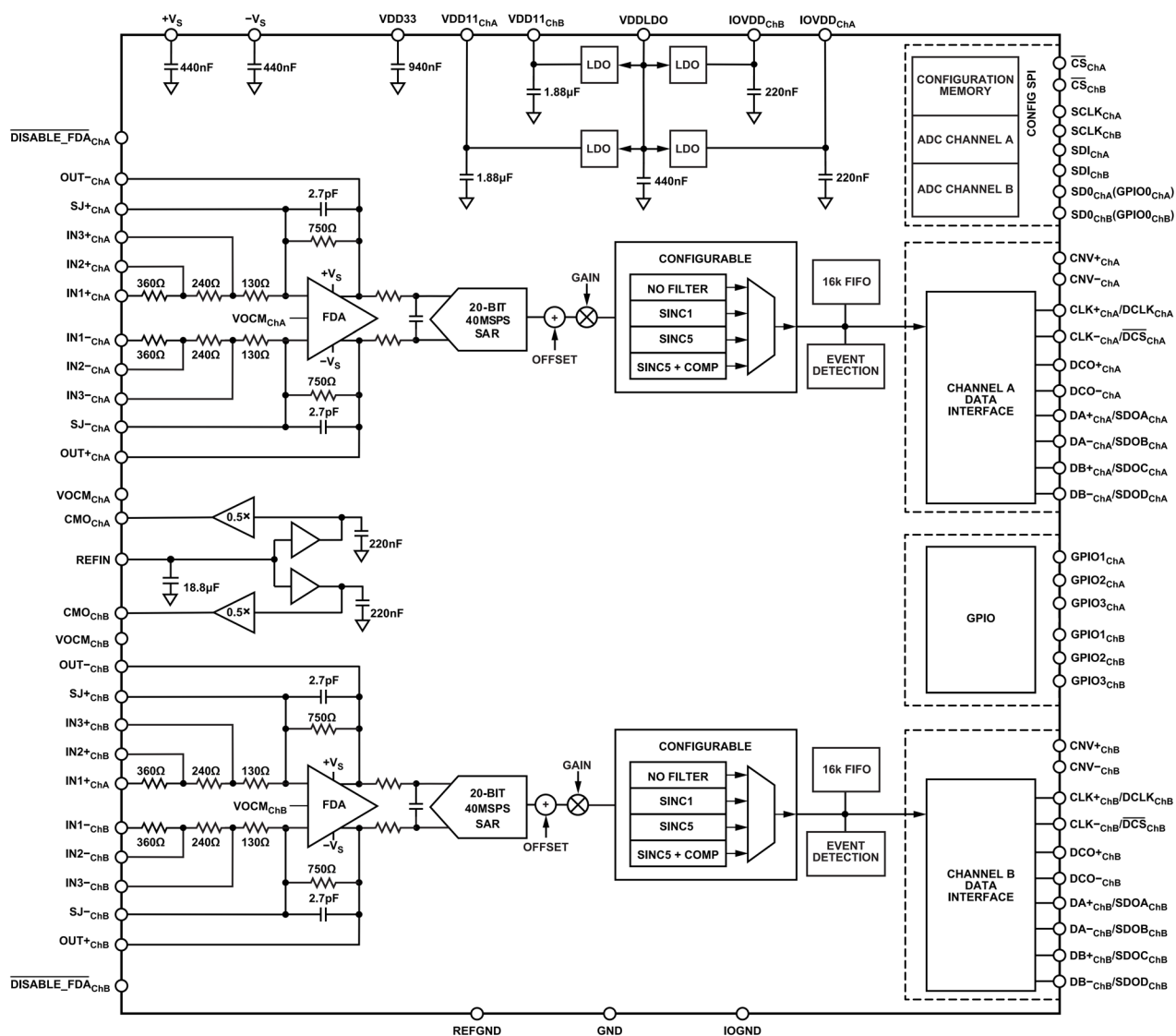


図 1. AD4880 の機能ブロック図

仕様

VDD33 = 3.3V ± 5%、VDDLDO = 1.4V ~ 2.7V、VDD11_{ChA} = VDD11_{ChB} = 1.1V ± 5%、IOVDD_{ChA} = IOVDD_{ChB} = 1.1V - 5% ~ 1.2V + 5%、電圧リファレンス入力 (V_{REFIN}) = 3.0V、+V_S = 5V ± 5%、-V_S = -1V ± 5%、サンプリング周波数 (f_s) = 40MHz、1.5V のコモンモードでの差動入力駆動。特に指定のない限り、T_A = T_{MIN} ~ T_{MAX}、ゲイン (G) = 1.03、外付け FDA 帰還コンデンサなし (C_{fb} = 0pF)。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		20			Bits
ANALOG INPUT					
Input Impedance	Differential drive configuration ¹ G = 1.03, IN1 _{ChX} to IN1 _{ChX} G = 1.25, IN1 _{ChX} to IN1 _{ChX} G = 1.53, IN1 _{ChX} to IN1 _{ChX} G = 2.03, IN1 _{ChX} to IN1 _{ChX} G = 2.74, IN2 _{ChX} to IN2 _{ChX} G = 4.11, IN2 _{ChX} to IN2 _{ChX} G = 5.77, IN1 _{ChX} to IN1 _{ChX}		1460 1200 980 740 548 365 260		Ω Ω Ω Ω Ω Ω Ω
Input Capacitance	IN1 _{ChX} to IN1 _{ChX} IN2 _{ChX} to IN2 _{ChX} IN3 _{ChX} to IN3 _{ChX} SJ _{ChX} to SJ _{ChX}		4 8 10 13		pF pF pF pF
Differential Input Voltage Range (V _{IN})	V _{IN} = ±3V/Gain G = 1.03 G = 2.03 G = 5.77		±2.91 ±1.48 ±0.52		V V V
FDA Input Common-Mode Voltage (V _{CM}) Functional Range	At FDA pins SJ _{ChX} , SJ _{ChX}	-V _S		+V _S - 1.3	V
DC ACCURACY					
No Missing Codes		20			Bits
Differential Nonlinearity (DNL)		-0.99	±0.5	+1.2	LSB
Integral Nonlinearity (INL)	C _{fb} = 0pF (full signal bandwidth) C _{fb} = 220pF (<1MHz signal bandwidth) ²		±7.5 ±7.5	±30 +12	ppm ppm
Transition Noise	Numerically derived from dynamic range C _{fb} = 0pF C _{fb} = 220pF		14.9 8.7		LSB RMS LSB RMS
Gain Error	T _A = 25°C		0.2		%FS
Gain Error Drift	T _A = -40°C to +85°C		67		ppm/°C
Zero Error	T _A = 25°C		19		μV
Zero Error Drift	T _A = -40°C to +85°C		0.4		ppm/°C
DC Power Supply Rejection					
+V _S			-95		dB
-V _S			-97		dB
VDD33			-90		dB
VDD11 _{ChA} , VDD11 _{ChB}			-75		dB
Low Frequency Noise	Bandwidth = 0.1Hz to 10Hz		227		nV RMS
AC PERFORMANCE					
Dynamic Range	Shorted input test C _{fb} = 0pF C _{fb} = 220pF		88.4 92.8		dBFS dBFS
Noise Spectral Density (NSD)	Numerically derived from dynamic range, C _{fb} = 0pF Logarithmic units Linear units		-160.9 19.1		dBFS/Hz nV/√Hz

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Total RMS Noise	Numerically derived from dynamic range				
	$C_{fb} = 0\text{pF}$		85.4		$\mu\text{V RMS}$
	$C_{fb} = 220\text{pF}$		48.6		$\mu\text{V RMS}$
Signal-to-Noise Ratio (SNR)	$C_{fb} = 220\text{pF}$, input frequency (f_{IN}) = 1kHz, voltage magnitude (V_{MAG}) = -0.5dBFS				
	$G = 1.03$		92.7		dBFS
	$G = 1.25$		92.6		dBFS
	$G = 1.53$		92.7		dBFS
	$G = 2.03$		92.6		dBFS
	$G = 2.74$		92.5		dBFS
	$G = 4.11$		92.3		dBFS
	$G = 5.77$		92.1		dBFS
	$G = 7.02$		91.8		dBFS
	$C_{fb} = 220\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		91.2		dBFS
	$C_{fb} = 0\text{pF}$, $f_{IN} = 1\text{kHz}$, $V_{MAG} = -0.5\text{dBFS}$				
	$G = 1.03$	86.5	88.4		dBFS
	$G = 2.03$	86.3	87.8		dBFS
	$G = 5.77$	84.6	85.9		dBFS
	$G = 7.02$		85.3		dBFS
	$C_{fb} = 0\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		87.5		dBFS
	$C_{fb} = 220\text{pF}$, $f_{IN} = 1\text{kHz}$, Sinc5 + compensation filter, decimate by 8, $V_{MAG} = -0.5\text{dBFS}$, $G = 1.03$		97.0		dBFS
	$C_{fb} = 220\text{pF}$, $f_{IN} = 1\text{kHz}$, $V_{MAG} = -0.5\text{dBFS}$				
	$G = 1.03^2$		-105.6	-100.9	dBc
Total Harmonic Distortion (THD)	$G = 1.25$		-105.9		dBc
	$G = 1.53$		-105.8		dBc
	$G = 2.03^2$		-105.8	-101.7	dBc
	$G = 2.74$		-104.0		dBc
	$G = 4.11$		-100.6		dBc
	$G = 5.77^2$		-96.2	-93.3	dBc
	$G = 7.02$		-95.8		dBc
	$C_{fb} = 220\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		-108.0		dBc
	$C_{fb} = 0\text{pF}$, $f_{IN} = 1\text{kHz}$, $V_{MAG} = -0.5\text{dBFS}$				
	$G = 1.03$		-98.8	-91.0	dBc
	$G = 2.03$		-95.8	-94.9	dBc
	$G = 5.77$		-101.7	-93.4	dBc
	$G = 7.02$		-92.3		dBc
	$C_{fb} = 0\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		-100.2		dBc
	$C_{fb} = 220\text{pF}$, $f_{IN} = 1\text{kHz}$, $V_{MAG} = -0.5\text{dBFS}$, $G = 1.03$		92.5		dBFS
	$C_{fb} = 220\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		91.2		dBFS
	$C_{fb} = 0\text{pF}$, $f_{IN} = 1\text{kHz}$, $V_{MAG} = -0.5\text{dBFS}$, $G = 1.03$		88.5		dBFS
	$C_{fb} = 0\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		87.3		dBFS
Spurious-Free Dynamic Range (SFDR)	$C_{fb} = 220\text{pF}$, $f_{IN} = 1\text{kHz}$, $V_{MAG} = -0.5\text{dBFS}$, $G = 1.03$		123.5		dBFS
	$C_{fb} = 220\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		101.5		dBFS
	$C_{fb} = 0\text{pF}$, $f_{IN} = 1\text{kHz}$, $V_{MAG} = -0.5\text{dBFS}$, $G = 1.03$		121.7		dBFS
	$C_{fb} = 0\text{pF}$, $f_{IN} = 500\text{kHz}$, $V_{MAG} = -1\text{dBFS}$, $G = 1.03$		100.9		dBFS
AC Power Supply Rejection					
+ V_S	Ripple voltage = $1V_{p-p}$, $f = 1\text{kHz}$		121		dB
- V_S	Ripple voltage = $1V_{p-p}$, $f = 1\text{kHz}$		110		dB

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
VDD33	Ripple voltage = 50mV _{p-p} , f = 1kHz		94		dB
VDD11 _{ChA} , VDD11 _{ChB}	Ripple voltage = 50mV _{p-p} , f = 1kHz		82		dB
IOVDD _{ChA} , IOVDD _{ChB}	Ripple voltage = 50mV _{p-p} , f = 1kHz		88		dB
VDDLDO	Ripple voltage = 50mV _{p-p} , f = 1kHz		89		dB
Channel-to-Channel Crosstalk	V _{IN} = 3V _{p-p} f _{IN} = 10kHz f _{IN} = 700kHz		-121 -96		dB dB
-3dB Small Signal Bandwidth	V _{IN,dm} = 60mV _{p-p} , G = 1.03, C _{fb} = 0pF		33		MHz
Slew Rate	V _{OUT,dm} = 4V step		500		V/μs
Settling Time to 20-Bits	V _{OUT,dm} = 4V step		40		ns
CHANNEL-TO-CHANNEL MATCHING					
Phase Angle Mismatch	1kHz sine wave G = 1.03 G = 2.03 G = 5.77		6 5 3		m° m° m°
VOCM _{ChX} CHARACTERISTICS					
Input Voltage		1.5 - 0.05	1.5	1.5 + 0.05	V
Input Resistance			125		kΩ
Offset Voltage	Common-mode offset V _{OS,cm,ChX} = V _{OUT,cm,ChX} - VOCM _{ChX} Positive Input (V _{IP}) = Negative Input (V _{IN}) = V _{OCM} = 0V T _A = 25°C T _A = -40°C to +85°C		±5 ±20	±50 ±50	mV mV
Input Bias Current	T _A = 25°C T _A = -40°C to +85°C		-220 -350		nA nA
Input Bias Current Drift	T _A = -40°C to +85°C		-1.5		nA/°C
FDA OUTPUT CLAMPS					
V _{CLAMP+} Clamping Voltage			V _{CLAMP+} + 0.5	V _{CLAMP+} + 0.6	V
V _{CLAMP-} Clamping Voltage		V _{CLAMP-} - 0.6	V _{CLAMP-} - 0.5		V
Recovery Time			100		ns
Input Resistance	Resistance between +V _{CLAMP} and -V _{CLAMP}		240		kΩ
DISABLE (DISABLE_FDA _{ChX} PIN) MODE					
Input Voltage	Disabled Enabled	-V _S - 0.3 GND + 1.4		GND + 1 +V _S + 0.3	V V
Turn Off Time	Static full-scale FDA output falling to 10% amplitude after DISABLE_FDA _{ChX} assertion		20		μs
Turn On Time	Static full-scale FDA output reaching 90% amplitude after DISABLE_FDA _{ChX} deassertion		1.2		μs
DISABLE_FDA _{ChX} Pin Bias Current					
Enabled	DISABLE_FDA _{ChX} = 5V		50		nA
Disabled	DISABLE_FDA _{ChX} = 0V		50		nA
REFERENCE INPUT (REFIN)					
Input Voltage (V _{REFIN})		2.995	3.0	3.005	V
Current Draw		-0.6		+2	μA/MSPS
Leakage Current	T _A = 25°C Converters idle	-12.6 -10		+76 +10	μA μA
COMMON-MODE OUTPUT (CMO _{ChX})					
Absolute Output Voltage	V _{REFIN} = 3.0V	1.47	V _{REFIN} /2	1.51	V
Noise	Bandwidth = 7.4MHz		71		μV RMS

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Noise Spectral Density			26.1		nV/ $\sqrt{\text{Hz}}$
LOW DROPOUT REGULATORS (VDD11 _{ChX} , IOVDD _{ChX})					
Input Voltage Range	$T_A = 25^\circ\text{C}$, VDDLDO = 1.8V	1.4		2.7	V
Output Voltage			1.1		V
Start-Up Time			10		μs
LOW VOLTAGE DIFFERENTIAL SIGNALING (LVDS) INPUT AND OUTPUT (EIA-644)					
Data Format	Serial LVDS data output	Two's complement			
LVDS Inputs (CLK _{ChX} $\pm$ and CNV _{ChX} $\pm$)	IOVDD _{ChX} supply domain inputs.				
Common-Mode Input Voltage (V_{ICM})	Default setting	700		1400	mV
Differential Input Voltage (V_{DIFF})	Default setting	100		600	mV
LVDS Outputs (DCO _{ChX} $\pm$, DA _{ChX} $\pm$, and DB _{ChX} $\pm$)	IOVDD _{ChX} supply domain outputs, differential termination, load resistance (R_L) = 100 Ω				
Common-Mode Output Voltage (V_{OCM})	LVDS_VOD = 001b	910	928	940	mV
	LVDS_VOD = 010b (default)	832	851	867	mV
	LVDS_VOD = 100b	687	706	722	mV
Differential Output Voltage (V_{ODIFF})	LVDS_VOD = 001b	± 176	± 195	± 223	mV _{pk-pk}
	LVDS_VOD = 010b (default)	± 235	± 265	± 297	mV _{pk-pk}
	LVDS_VOD = 100b	± 350	± 392	± 440	mV _{pk-pk}
DIGITAL INPUTS (CNV _{ChX} , $\overline{\text{CS}}_{\text{ChX}}$, SCLK _{ChX} , and SDI _{ChX})	VDD11 _{ChX} supply domain inputs				
Input Voltage Tolerance		0		2.5	V
Logic Levels					
Input Low Voltage (V_{IL})		0		$0.36 \times \text{VDD11}_{\text{ChX}}$	V
Input High Voltage (V_{IH})		0.92		2.5	V
DIGITAL INPUTS (GPIO _{ChX} , $\overline{\text{DCS}}_{\text{ChX}}$, and DCLK _{ChX})	IOVDD _{ChX} supply domain inputs				
Input Voltage Tolerance		0		1.26	V
Logic Levels					
V_{IL}		0		$0.36 \times \text{IOVDD}_{\text{ChX}}$	V
V_{IH}		0.92		$\text{IOVDD}_{\text{ChX}}$	V
Input Current					
Input Low Current (I_{IL})		-1		+1	μA
Input High Current (I_{IH})		-1		+1	μA
Input Pin Capacitance			4.5		pF
DIGITAL OUTPUTS (GPIO _{ChX})	IOVDD _{ChX} supply domain outputs				
Logic Levels					
Output Low Voltage (V_{OL})	Sink current (I_{SINK}) = 500 μA	0		0.15	V
Output High Voltage (V_{OH})	Source current (I_{SOURCE}) = 500 μA	$\text{IOVDD}_{\text{ChX}} - 0.115$		$\text{IOVDD}_{\text{ChX}}$	V
DIGITAL OUTPUTS (SDO _{ChX})	IOVDD _{ChX} supply domain outputs. Configured as serial data output				
Data Format		Two's complement			
Logic Levels					
V_{OL}	$I_{\text{SINK}} = 500\mu\text{A}$			0.15	V
V_{OH}	$I_{\text{SOURCE}} = 500\mu\text{A}$	$\text{IOVDD}_{\text{ChX}} - 0.115$		$\text{IOVDD}_{\text{ChX}}$	V
POWER SUPPLIES					
$\pm V_S$		3	$+V_S = 5\text{V}$	10	V

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
VDD33		3.135	-V _S = -1V 3.30	3.465	V
VDDLDO		1.4		2.7	V
VDD11 _{ChX}	Applied externally, LDO disabled	1.045	1.10	1.155	V
IOVDD _{ChX}	Applied externally, LDO disabled	1.045	1.10	1.26	V
Operating Current	LVDS_CNV_EN = 0				
Static	Converters and interfaces idle, FIFO disabled				
±V _S	±V _S = 10V		±8.2	±9.88	mA
VDD33			11.6	15.2	mA
VDDLDO	Both VDD11 _{ChX} LDO disabled		0.01	0.045	mA
VDD11 _{ChX}	Combined draw of both rails		34	46.5	mA
IOVDD _{ChX}	Combined draw of both rails		10.9	12.5	mA
VDDLDO	Both VDD11 _{ChX} LDO enabled		47.5	60.4	mA
Dynamic	DC input signal				
±V _S	±V _S = 10V		±10	±11.4	mA
VDD33			32.9	37.8	mA
VDDLDO	Both VDD11 _{ChX} LDO disabled		0.01	0.049	mA
VDD11 _{ChX}	Combined draw of both rails		48.9	64	mA
IOVDD _{ChX}	Combined draw of both rails		16.9	19.3	mA
VDDLDO	Both VDD11 _{ChX} LDO enabled		63.4	77.5	mA
Dynamic	-0.5dBFS sine wave input signal				
±V _S	±V _S = 10V		±10	±11.8	mA
VDD33			32.9	37.8	mA
VDDLDO	VDD11 _{ChX} LDO disabled		0.01	0.049	mA
VDD11 _{ChX}	Combined draw of both rails		48.9	64	mA
IOVDD _{ChX}	Combined draw of both rails		16.9	19.3	mA
VDDLDO	Both VDD11 _{ChX} LDO enabled		62.8	77	mA
Standby Mode					
±V _S	DISABLE_FDA _{ChA} = 0V, DISABLE_FDA _{ChB} = 0V, ±V _S = 10V		0.07	0.14	mA
VDD33			3	3.8	mA
VDDLDO	Both VDD11 _{ChX} LDO disabled		0.01	0.045	mA
VDD11 _{ChX}	Combined draw of both rails		3.44	10.4	mA
IOVDD _{ChX}	Combined draw of both rails		0.14	0.7	mA
VDDLDO	Both VDD11 _{ChX} LDO enabled		4.2	12.1	mA
Sleep Mode					
±V _S	DISABLE_FDA _{ChA} = 0V, DISABLE_FDA _{ChB} = 0V, ±V _S = 10V		0.07	0.13	mA
VDD33			1.42	1.88	mA
VDDLDO	Both VDD11 _{ChX} LDO disabled		0.01	0.045	mA
VDD11 _{ChX}	Combined draw of both rails		3.1	11	mA
IOVDD _{ChX}	Combined draw of both rails		0.12	0.69	mA
VDDLDO	Both VDD11 _{ChX} LDO enabled		3.5	11.2	mA
Power Dissipation Per Channel	Both VDD11 _{ChX} LDO disabled +V _S = 5V, -V _S = -1V For typ values: VDD33 = 3.3V, VDD11 _{ChX} = 1.1V, IOVDD _{ChX} = 1.1V For max values: VDD33 = 3.456V, VDD11 _{ChX} = 1.155V, IOVDD _{ChX} = 1.26V				

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Static	Converters and interfaces idle, FIFO disabled		68.4	90.7	mW
Dynamic	DC input signal		120.5	148.8	mW
Dynamic	-0.5dBFS sine wave input signal		120.5	150.0	mW
Standby Mode	$\overline{\text{DISABLE_FDA}}_{\text{ChX}} = 0\text{V}$		7.1	13.5	mW
Sleep Mode	$\overline{\text{DISABLE_FDA}}_{\text{ChX}} = 0\text{V}$		4.3	10.4	mW
TEMPERATURE RANGE					
Specified Performance	T_{MIN} to T_{MAX}	-40		+85	°C

¹ 詳細、およびシングルエンド駆動条件下でのインピーダンスについては、[アナログ入力の駆動およびゲイン](#)のセクションを参照してください。

² 保証されていますが、製品テストは行っていません。

仕様

タイミング仕様

特に指定のない限り、VDD33 = 3.3V ± 5%、VDDLDO = 1.5V ~ 2.7V、VDD11_{ChX} = 1.1V ± 5%、IOVDD_{ChX} = 1.1V - 5% ~ 1.2V + 5%、V_{REFIN} = 3.0V、f_S = 40MHz、T_A = T_{MIN} ~ T_{MAX}。

表 2. タイミング仕様

Parameter	Symbol	Min	Typ	Max	Unit
Sampling Frequency	f _S	1.25 ¹		40	MHz
Conversion Time	t _{CONV}	25		800	ns
Acquisition Phase	t _{ACQ}	t _{CYC}			ns
Conversion Cycle Period	t _{CYC}	t _{CONV}			ns
LVDS Data Interface					
Data Interface Clock Count	N			10	
Active Data Lane Count	L			2	
CNV _{±ChX} High Time	t _{CNVH}	t _{CLK}	5 × t _{CLK}	t _{CYC} - t _{CNVL}	ns
CNV _{±ChX} Low Time	t _{CNVL}	t _{CLK}	5 × t _{CLK}	t _{CYC} - t _{CNVH}	ns
CNV _{±ChX} Edge to CLK _± Rising Edge Alignment	t _{CCA}			535	ps
CNV _{±ChX} to Dx _{±ChX} (MSB) Ready	t _{MSB}				
Gain Error Correction Enabled			20.5	22.4	ns
Gain Error Correction Disabled			15.7	18	ns
CLK _{±ChX} Period	t _{CLK}	2.5		t _{CYC} × L/N	ns
CLK _{±ChX} Frequency	f _{CLK}		1/t _{CLK}	400	MHz
CLK _{±ChX} to Dx _{±ChX} Delay	t _{CLKD}	1		2.1	ns
CLK _{±ChX} to DCO _{±ChX} Delay (Echo Clock Mode)	t _{DCO}	1		2	ns
DCO _{±ChX} to Dx _{±ChX} Delay (Echo Clock Mode)	t _{DCOD}	0.02		0.55	ns
SPI Data Interface					
Data Interface Clock Count, Single Conversion Result	M			24	
Active Data Lane Count	C		1	4	
Data Interface Chip-Select Falling Edge ($\overline{\text{DCS}}_{\text{ChX}}$) to SDO _{BChX} Data Valid	t _{DEN}	5	6		ns
Data Interface Clock Period (DCLK _{ChX})	t _{DCK}	20			ns
Data Interface Clock Low-Pulse Width (DCLK _{ChX})	t _{DCKL}	t _{DCK} × 0.45			ns
Data Interface Clock High-Pulse Width (DCLK _{ChX})	t _{DCLKH}	t _{DCK} × 0.45			ns
Data Interface Clock Falling Edge to Data Remains Valid Delay	t _{DHSDO}	5			ns
Data Interface Clock Falling Edge to Data Valid Delay	t _{DDSDO}			9.6	ns
DCLK _{ChX} Rising to Data Interface Chip Select Falling	t _{DCKEN}	0			ns
Data Interface Chip-Select High to DCLK Disabled	t _{DCLKDIS}	0			ns
Data Interface Chip-Select High Between Frames	t _{DCSMIN}		(t _{DCKEN} + t _{DCLKDIS}) + 0.5 × t _{DCLK}		ns
Serial Configuration Interface					
SCLK _{ChX} Period	t _{SCK}	20			ns
SCLK _{ChX} Low-Pulse Width	t _{SCKL}	t _{SCK} × 0.45			ns
SCLK _{ChX} High-Pulse Width	t _{SCKH}	t _{SCK} × 0.45			ns
SCLK _{ChX} Falling Edge to Data Remains Valid Delay	t _{HSDO}	0.7			ns
SCLK _{ChX} Falling Edge to Data Valid Delay	t _{DSDO}			14.5	ns
$\overline{\text{CS}}_{\text{ChX}}$ Falling Edge to SCLK _{ChX}	t _{CSCK}	0			ns
Last SCLK to $\overline{\text{CS}}_{\text{ChX}}$ Rising	t _{CKCS}	0			ns
SDI _{ChX} Valid Setup Time Before SCLK _{ChX} Rising Edge	t _{SSDI}	1			ns
SDI Valid Hold Time After SCLK Rising Edge	t _{HSDI}	0			ns
SCLK Rising to Data Interface Chip-Select Falling	t _{SKEN}	0			ns

仕様

表 2. タイミング仕様（続き）

Parameter	Symbol	Min	Typ	Max	Unit
Data Interface Chip-Select High to SCLK _{ChX} Disabled	t _{SCKDIS}	0			ns
Data Interface Chip-Select High to SDO _{ChX} Disabled	t _{CSDIS}			10.3	ns
Data Interface Chip-Select High Between Frames	t _{CSMIN}		(t _{SCKEN} + t _{SCKDIS}) + 0.5 × t _{SCK}		ns
Digital Filter					
FILT_SYNC _{ChX} Rising Edge to CNV Rising Edge	t _{SYNC MAX}		t _{CYC} - 5		ns
CNV Rising Edge to FILT_SYNC _{ChX} Falling Edge	t _{SYNC MIN}		3		ns
Event Detection					
Input Threshold Crossed to ALERT Asserted	t _{EVT}	2 × t _{CYC}		3 × t _{CYC}	ns

¹ 最低サンプリング周波数の要件は、電源投入後またはスリープまたはスタンバイ期間後に取得された最初の2つのサンプルは必ずしも正しいものではないため、破棄する必要があることを示唆しています。

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
Analog Inputs	
SJ^{+}_{ChA} to SJ^{-}_{ChA} , SJ^{+}_{ChB} to SJ^{-}_{ChB}	$\pm 1V$
$IN3^{+}_{ChA}$ to $IN3^{-}_{ChA}$, $IN3^{+}_{ChB}$ to $IN3^{-}_{ChB}$	$\pm 2V$
$IN2^{+}_{ChA}$ to $IN2^{-}_{ChA}$, $IN2^{+}_{ChB}$ to $IN2^{-}_{ChB}$	$\pm 4V$
$IN1^{+}_{ChA}$ to $IN1^{-}_{ChA}$, $IN1^{+}_{ChB}$ to $IN1^{-}_{ChB}$	$\pm 7V$
V_{OCM_ChX} to GND	$-V_S$ to $+V_S + 0.3V$
OUT^{+}_{ChX} , $OUT^{-}_{ChX}{}^1$ to GND	$-0.3V$ to $+3.6V$
Supply Voltage	
$+V_S$ to $-V_S$	11V
REFIN, VDD33 to GND	$-0.3V$ to $+3.6V$
VDDLDO to GND	$-0.3V$ to $+2.75V$
VDD11 $_{ChX}$ to GND	$-0.3V$ to $+1.26V$
IOVDD $_{ChX}$ to GND	$-0.3V$ to $+1.26V$
Digital Inputs and Outputs	
Inputs ($CNV^{\pm}_{ChX}$, $CLK^{\pm}_{ChX}$) to GND	$-0.3V$ to $+2.75V$
LVDS OUTPUT ($DCO^{\pm}_{ChX}$, $DA^{\pm}_{ChX}$, $DB^{\pm}_{ChX}$) to GND	$-0.3V$ to $+1.26V$
$\overline{CS}_{ChX}$, $SCLK_{ChX}$, SDI_{ChX} to GND	$-0.3V$ to $+2.75V$
GPIO $_{ChX}$ to GND	$-0.3V$ to $+1.26V$
$\overline{DISABLE_FDA}_{ChXA}$ to GND	$-V_S - 0.3V$ to $+V_S + 0.3V$
$SDOA_{ChX}$, $SDOB_{ChX}$, $SDOC_{ChX}$, $SDOD_{ChX}$ to GND	$-0.3V$ to $1.26V$
Temperature	
Storage Range	$-55^{\circ}C$ to $+150^{\circ}C$
Operating Range	$-40^{\circ}C$ to $+85^{\circ}C$
Maximum T_J	$105^{\circ}C$
Maximum Reflow (Package) as per JEDEC J-STD-020	$260^{\circ}C$

¹ FDA 出力ピン OUT^{+}_{ChX} および OUT^{-}_{ChX} は、ADC の入力を駆動するので、アナログ入力に関する考慮事項があります。これらのノードへの電圧は、FDA を通じてユーザにより間接的に駆動されます。つまり、この絶対最大定格を遵守することには、設定された FDA ゲインを考慮し、FDA への差動入力電圧を制限することが含まれます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。特に最大消費電力が大きいアプリケーションでは、PCB の熱設計に細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} はジャンクションとケースの間の熱抵抗、 θ_{JB} はジャンクションと基板の間の熱抵抗です。 Ψ_{JT} は、ジャンクションと上面の間の熱特性です。

特に指定のない限り、表 4 に仕様規定されている熱抵抗値は JEDEC 仕様に基づいてシミュレーションされており、JESD51-12 に適合した状態で使用する必要があります。

表 4. 熱抵抗 ¹

Package Type	θ_{JA}	θ_{JC}	θ_{JB}	Ψ_{JT}	Unit
BC-196-20	37.3	23	23	3.6	$^{\circ}C/W$

¹ 熱抵抗値は、ビアを使用した 2S2P JEDEC PCB のシミュレーションに基づきます。ただし、 θ_{JC} を除きます。これは、1S0P JEDEC PCB のシミュレーションに基づくものです。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

AD4880 の ESD 定格

表 5. AD4880、196 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM	± 1000	1C
FICDM	± 500	C2a

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

AD4880
TOP VIEW
(Not to Scale)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14
A	IN2 ⁺ ChB	IN2 ⁺ ChB	IN1 ⁺ ChB	IN1 ⁻ ChB	IN2 ⁻ ChB	IN2 ⁻ ChB	GND	IN2 ⁺ ChA	IN2 ⁺ ChA	IN1 ⁺ ChA	IN1 ⁻ ChA	IN2 ⁻ ChA	IN2 ⁻ ChA	GND
B	IN3 ⁺ ChB	IN3 ⁺ ChB	SJ ⁺ ChB	SJ ⁻ ChB	IN3 ⁻ ChB	IN3 ⁻ ChB	-VS	IN3 ⁺ ChA	IN3 ⁺ ChA	SJ ⁺ ChA	SJ ⁻ ChA	IN3 ⁻ ChA	IN3 ⁻ ChA	-VS
C	-VS	-VS	-VS	-VS	-VS	-VS	-VS	-VS	-VS	-VS	-VS	-VS	-VS	-VS
D	+VS	+VS	+VS	+VS	+VS	+VS	+VS	+VS	+VS	+VS	+VS	+VS	+VS	+VS
E	+V _{CLAMP}	OUT ⁻ ChB	OUT ⁻ ChB	OUT ⁺ ChB	OUT ⁺ ChB	+VS	-V _{CLAMP}	+V _{CLAMP}	OUT ⁻ ChA	OUT ⁻ ChA	OUT ⁺ ChA	OUT ⁺ ChA	+VS	-V _{CLAMP}
F	V _{OCM} ChB	CMOChB	DNC	DNC	GND	DISABLE_FDA _{ChB}	GND	V _{OCM} ChA	CMOChA	DNC	DNC	GND	DISABLE_FDA _{ChA}	GND
G	GND	GND	GND	REFGND	REFGND	REFGND	VDD11 _{ChB}	GND	GND	GND	REFGND	REFGND	REFGND	VDD11 _{ChA}
H	GND	VDD33	VDD33	REFGND	REFGND	VDDLDO	VDD11 _{ChB}	GND	VDD33	VDD33	REFGND	REFGND	VDDLDO	VDD11 _{ChA}
J	REFGND	REFGND	GND	GND	GND	GND	VDD11 _{ChB}	REFGND	REFGND	GND	GND	GND	GND	VDD11 _{ChA}
K	REFGND	REFGND	GND	GND	GND	IOGND	IOVDD _{ChB}	REFGND	REFGND	GND	GND	GND	IOGND	IOVDD _{ChA}
L	GND	REFIN	GND	GND	GND	CNV ⁻ ChB	CNV ⁺ ChB	GND	REFIN	GND	GND	GND	CNV ⁻ ChA	CNV ⁺ ChA
M	GND	REFIN	GND	GND	GND	CLK ⁺ ChB/ DCLK _{ChB}	CLK ⁻ ChB/ DCS _{ChB}	GND	REFIN	GND	GND	GND	CLK ⁺ ChA/ DCLK _{ChA}	CLK ⁻ ChA/ DCS _{ChA}
N	GPIO0 _{ChB}	GPIO1 _{ChB}	GPIO2 _{ChB}	GPIO3 _{ChB}	DCO ⁻ ChB	DB ⁺ ChB/ SDOC _{ChB}	DB ⁻ ChB/ SDOD _{ChB}	GPIO0 _{ChA}	GPIO1 _{ChA}	GPIO2 _{ChA}	GPIO3 _{ChA}	DCO ⁻ ChA	DB ⁺ ChA/ SDOC _{ChA}	DB ⁻ ChA/ SDOD _{ChA}
P	DNC	SCLK _{ChB}	SDI _{ChB}	C _S ChB	DCO ⁺ ChB	DA ⁺ ChB/ SDOA _{ChB}	DA ⁻ ChB/ SDOB _{ChB}	DNC	SCLK _{ChA}	SDI _{ChA}	C _S ChA	DCO ⁺ ChA	DA ⁺ ChA/ SDOA _{ChA}	DA ⁻ ChA/ SDOB _{ChA}

□ GROUND PINS

■ ANALOG INPUT PINS

□ ANALOG OUTPUT PINS

□ DIGITAL I/O PINS

□ POWER SUPPLY PINS

■ DO NOT CONNECT

200

図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ [†]	説明
A1, A2	IN2 ⁺ ChB	AI	チャンネル B の正側アナログ入力 2。
A3	IN1 ⁺ ChB	AI	チャンネル B の正側アナログ入力 1。
A4	IN1 ⁻ ChB	AI	チャンネル B の負側アナログ入力 1。
A5, A6	IN2 ⁻ ChB	AI	チャンネル B の負側アナログ入力 2。
A7, A14, F5, F7, F12, F14, G1 to G3, G8 to G10, H1, H8, J3 to J6, J10 to J13, K3 to K5, K10 to K12, L1, L3 to L5, L8, L10 to L12, M1, M3 to M5, M8, M10 to M12	GND	P	グラウンド。すべてのグラウンド・ピンは必ず、PCB GND プレーンに接続します。
A8, A9	IN2 ⁺ ChA	AI	チャンネル A の正側アナログ入力 2。
A10	IN1 ⁺ ChA	AI	チャンネル A の正側アナログ入力 1。
A11	IN1 ⁻ ChA	AI	チャンネル A の負側アナログ入力 1。
A12, A13	IN2 ⁻ ChA	AI	チャンネル A の負側アナログ入力 2。
B1, B2	IN3 ⁺ ChB	AI	チャンネル B の正側アナログ入力 3。
B3	SJ ⁺ ChB	AI	チャンネル B の FDA 加算ジャンクション正側ノード。外部の影響を受けやすいピン。 レイアウトのガイドライン のセクションを参照してください。
B4	SJ ⁻ ChB	AI	チャンネル B の FDA 加算ジャンクション負側ノード。外部の影響を受けやすいピン。 レイアウトのガイドライン のセクションを参照してください。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
B5, B6	IN3 ⁻ ChB	AI	チャンネル B の負側アナログ入力 3。
B7, B14, C1 to C14	-V _S	P	FDA の負電源レール。これらの電源ピンは、2 つの 220nF のコンデンサによって内部で GND とデカップリングされています。これらのピンは外部で短絡する必要があります。
B8, B9	IN3 ⁺ ChA	AI	チャンネル A の正側アナログ入力 3。
B10	SJ ⁺ ChA	AI	チャンネル A の FDA 加算ジャンクション正側ノード。外部の影響を受けやすいピン。 レイアウトのガイドライン のセクションを参照してください。
B11	SJ ⁻ ChA	AI	チャンネル A の FDA 加算ジャンクション負側ノード。外部の影響を受けやすいピン。 レイアウトのガイドライン のセクションを参照してください。
B12, B13	IN3 ⁻ ChA	AI	チャンネル A の負側アナログ入力 3。
D1 to D14, E6, E13	+V _S	P	FDA の正電源レール。これらの電源ピンは、2 つの 220nF のコンデンサによって内部で GND とデカップリングされています。これらのピンは外部で短絡する必要があります。
E1, E8	+V _{CLAMP}	AI	FDA 出力の正側クランプ。これらのピンは、外部で短絡し、リファレンス入力ピン REFIN に接続する必要があります。
E2, E3	OUT ⁻ ChB	AO	チャンネル B の FDA 負側出力。
E4, E5	OUT ⁺ ChB	AO	チャンネル B の FDA 正側出力。
E7, E14	-V _{CLAMP}	AI	FDA 出力の負側クランプ。これらのピンは、外部で短絡し、グラウンドに接続する必要があります。
E9, E10	OUT ⁻ ChA	AO	チャンネル A の FDA 負側出力。
E11, E12	OUT ⁺ ChA	AO	チャンネル A の FDA 正側出力。
F1	V _{OCM} _ChB	AI	チャンネル B の FDA 出力コモンモード電圧。
F2	CMO _{ChB}	AO	チャンネル B の ADC コモンモード電圧出力。
F3, F4, F10, F11, P1, P8	DNC	DNC	接続しないでください。これらのピンには何も接続しないでください。
F6	DISABLE_FDA _{ChB}	DI	チャンネル B の FDA ディスエーブル・ピン。プルアップ・ネットワークが内蔵されており、通常動作ではフローティング状態のままにできます。
F8	V _{OCM} _ChA	AI	チャンネル A の FDA 出力コモンモード電圧。
F9	CMO _{ChA}	AO	チャンネル A の ADC コモンモード電圧出力。
F13	DISABLE_FDA _{ChA}	DI	チャンネル A の FDA ディスエーブル・ピン。プルアップ・ネットワークが内蔵されており、通常動作ではフローティング状態のままにできます。
G4 to G6, G11 to G13, H4, H5, H11, H12, J1, J2, J8, J9, K1, K2, K8, K9	REFGND	P	リファレンス・グラウンド。外部リファレンス・デカップリング・コンデンサを REFIN と REFGND の間に接続します。すべての REFGND を低インピーダンス経路で GND に接続する必要があります。
G7, H7, J7	VDD11 _{ChB}	P	チャンネル B の ADC 用 1.1V コア電源。これらの電源ピンは、4 つの 470nF のコンデンサによって内部で GND とデカップリングされています。 VDDLDO (H6, H13) に給電されると、内部 LDO 電圧レギュレータがこれらのピンで必要な 1.1V を生成します。VDDLDO が 1.4V~2.7V の電圧で駆動されると、電圧レギュレータの電源が自動的にオンになります。 VDDLDO を切断したままにしておく場合は、必要な 1.1V を必ず、外部電源からこれらのピンに供給する必要があります。
G14, H14, J14	VDD11 _{ChA}	P	チャンネル A の ADC 用 1.1V コア電源。これらの電源ピンは、4 つの 470nF のコンデンサによって内部で GND とデカップリングされています。 VDDLDO (H6, H13) に給電されると、内部 LDO 電圧レギュレータがこれらのピンで必要な 1.1V を生成します。VDDLDO が 1.4V~2.7V の電圧で駆動されると、電圧レギュレータの電源が自動的にオンになります。 VDDLDO を切断したままにしておく場合は、必要な 1.1V を必ず、外部電源からこれらのピンに供給する必要があります。
H2, H3, H9, H10	VDD33	P	ADC 用の 3.3V 電源レール入力。これらの電源ピンは、2 つの 470nF のコンデンサによって内部で GND とデカップリングされています。これらのピンは外部で短絡する必要があります。
H6, H13	VDDLDO	P	LDO 電源レール入力。 この電源レールは、2 つの 220nF のコンデンサによって内部で GND とデカップリングされています。4 つの 1.1V 内部 LDO 電圧レギュレータ (ADC あたり 2 つ) には、この入力に 1.4V~2.7V の範囲の電源を接続して給電できます。このピンがオープンのままの場合、4 つの内部レギュレータすべてが自動的にオフになり、VDD11 _{ChA} 、VDD11 _{ChB} 、IOVDD _{ChA} 、IOVDD _{ChB} を、仕様規定された許容制限内の外部電圧源に接続する必要があります。 VDDLDO が電圧源に接続されている場合は、VDD11 _{ChA} 、VDD11 _{ChB} 、IOVDD _{ChA} 、IOVDD _{ChB} を外部電圧源に接続してはなりません。 これらのピンは外部で短絡する必要があります。
K6, K13	IOGND	P	デジタル・インターフェース電源のグラウンド・リファレンス。このピンは必ず、他のすべての GND ピンと同じグラウンド・プレーンに接続します。 タイプ DI、DO、または DI/O として仕様規定されたすべてのピンは必ず、このグラウンド・リファレンスを使用する必要があります。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
K7	IOVDD _{ChB}	P	チャンネル B の ADC 用 1.1V デジタル・インターフェース電源レール。この電源は内部で、220nF のコンデンサによって IOGND とデカップリングされています。 VDDLDO (H6, H13) に給電されると、内部 LDO 電圧レギュレータがこのピンに必要な 1.1V を生成します。VDDLDO が 1.4V~2.7V の電圧で駆動されると、電圧レギュレータの電源が自動的にオンになります。 VDDLDO を切断したままにしておく場合は、必要な 1.1V を必ず、外部電源（通常はホスト・コントローラ・インターフェース電源）からこのピンに供給する必要があります。
K14	IOVDD _{ChA}	P	チャンネル A の ADC 用 1.1V デジタル・インターフェース電源レール。この電源は内部で、220nF のコンデンサによって IOGND とデカップリングされています。 VDDLDO (H6, H13) に給電されると、内部 LDO 電圧レギュレータがこのピンに必要な 1.1V を生成します。VDDLDO が 1.4V~2.7V の電圧で駆動されると、電圧レギュレータの電源が自動的にオンになります。 VDDLDO を切断したままにしておく場合は、必要な 1.1V を必ず、外部電源（通常はホスト・コントローラ・インターフェース電源）からこのピンに供給する必要があります。
L2, L9, M2, M9 L6, L7	REFIN CNV ⁻ _{ChB} , CNV ⁺ _{ChB}	AI DI	ADC 用の 3.0V リファレンス電圧入力。これらのピンは外部で短絡する必要があります。 チャンネル B の ADC 変換開始入力。このピン・ペアは変換制御入力として機能し、変換信号の立上がりエッジで変換が開始されます。 これらの入力は、デフォルトで CMOS（相補型金属酸化膜半導体）モードに設定されています。このモードでは、CNV ⁻ _{ChB} を IOGND に接続し、変換信号を CNV ⁺ _{ChB} に印加する必要があります。LVDS データ・インターフェース・モードでは、変換開始入力を LVDS モードに任意に設定できます。この場合、変換信号は CNV ⁺ _{ChB} と CNV ⁻ _{ChB} に別々に適用され、これらのピンの間に必ず外部 100Ω 終端抵抗を配置する必要があります。詳細については、 ADC 変換の制御 のセクションを参照してください。
L13, L14	CNV ⁻ _{ChA} , CNV ⁺ _{ChA}	DI	チャンネル A の ADC 変換開始入力。このピン・ペアは変換制御入力として機能し、変換信号の立上がりエッジで変換が開始されます。 これらの入力は、デフォルトで CMOS モードに設定されています。このモードでは、CNV ⁻ _{ChA} を IOGND に接続し、変換信号を CNV ⁺ _{ChA} に印加する必要があります。LVDS データ・インターフェース・モードでは、変換開始入力を LVDS モードに任意に設定できます。この場合、変換信号は CNV ⁺ _{ChA} と CNV ⁻ _{ChA} に別々に適用され、これらのピンの間に必ず外部 100Ω 終端抵抗を配置する必要があります。詳細については、 ADC 変換の制御 のセクションを参照してください。
M6	CLK ⁺ _{ChB} /DCLK _{ChB}	DI	チャンネル B の ADC データ・インターフェース・クロック多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、このピンは差動データ・クロック入力の半分として機能し、このピンと CLK ⁻ _{ChB} ピンの間には外部 100Ω 終端抵抗が必要です。 SPI データ・インターフェース・モードでは、このピンにシングルエンドのデータ・クロック信号を印加する必要があります。
M7	CLK ⁻ _{ChB} /DCS _{ChB}	DI	チャンネル B の ADC データ・インターフェース・クロック入力（CLK ⁻ _{ChB} ）／データ・インターフェース・チップ・セレクト（DCS _{ChB} ）多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、このピンは差動データ・クロック入力の半分として機能し、このピンと CLK ⁺ _{ChB} ピンの間には外部 100Ω 終端抵抗が必要です。 SPI データ・インターフェース・モードでは、このピンはチップ・セレクト入力（データ・インターフェース・チップ・セレクト）として機能します。
M13	CLK ⁺ _{ChA} /DCLK _{ChA}	DI	チャンネル A の ADC データ・インターフェース・クロック多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、このピンは差動データ・クロック入力の半分として機能し、このピンと CLK ⁻ _{ChA} ピンの間には外部 100Ω 終端抵抗が必要です。 SPI データ・インターフェース・モードでは、このピンにシングルエンドのデータ・クロック信号を印加する必要があります。
M14	CLK ⁻ _{ChA} /DCS _{ChA}	DI	チャンネル A の ADC データ・インターフェース・クロック入力（CLK ⁻ _{ChA} ）／データ・インターフェース・チップ・セレクト（DCS _{ChA} ）多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、このピンは差動データ・クロック入力の半分として機能し、このピンと CLK ⁺ _{ChA} ピンの間には外部 100Ω 終端抵抗が必要です。 SPI データ・インターフェース・モードでは、このピンはチップ・セレクト入力（データ・インターフェース・チップ・セレクト）として機能します。
N1	GPIO0 _{ChB}	DI/O	チャンネル B の ADC 汎用入出力 0 ピン。 デフォルトでは、このピンは出力としてイネーブルされ、チャンネル B の設定 SPI SDO として機能します。
N2	GPIO1 _{ChB}	DI/O	チャンネル B の ADC 汎用入出力 1 ピン。
N3	GPIO2 _{ChB}	DI/O	チャンネル B の ADC 汎用入出力 2 ピン。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
N4	GPIO3 _{ChB}	DI/O	チャンネル B の ADC 汎用入出力 3 ピン。
N5	DCO ⁺ _{ChB}	DO	チャンネル B の ADC LVDS エコー・クロック負側出力。 この出力ピンは、DCO ⁺ _{ChB} と共に、CLK ⁺ _{ChB} および CLK ⁻ _{ChB} をバッファし遅延したものを出力します。LVDS データ・レーン (DA [±] _{ChB} および DB [±] _{ChB} 、アクティブな場合) からのデータ出力は、DCO ⁺ _{ChB} と DCO ⁻ _{ChB} の立上がりエッジおよび立下がりエッジの両方に合わせてクロック・アウトされます。エコー・クロック・モードを無効化する場合、これらのピンを無接続のままにできます。
N6	DB ⁺ _{ChB} /SDOC _{ChB}	DO	チャンネル B の ADC データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード (デフォルト) では、この出力ピンは DB ⁻ _{ChB} と共に、ADC のオプションのセカンダリ LVDS データ・レーン B として機能します。使用しない場合は、無接続のままにします。 ADC が SPI データ・インターフェース・モードの場合は、このピンはシリアル・データ出力 C (SDOC _{ChB}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChB}) の立下がりエッジで、このピンからシフト出力されます。
N7	DB ⁻ _{ChB} /SDOD _{ChB}	DO	このピンを使用しない場合は必ず、無接続のままにしてください。 チャンネル B の ADC データ・インターフェース出力多機能ピン。 ADC が LVDS データ・インターフェース・モードの場合 (デフォルト)、この出力ピンは DB ⁺ _{ChB} と共に、オプションのセカンダリ LVDS データ・レーン B として機能します。不使用の場合は、無接続のままにします。 ADC が SPI データ・インターフェース・モードの場合は、このピンはシリアル・データ出力 D (SDOD _{ChB}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChB}) の立下がりエッジで、このピンからシフト出力されます。このピンは、 $\overline{DCS}_{ChB}$ がハイ・レベルになっているときに 4 レーン SPI モードで使用すると、高インピーダンス状態にならないことに注意してください。 このピンを使用しない場合は必ず、無接続のままにしてください。
N8	GPIO0 _{ChA}	DI/O	チャンネル A の ADC 汎用入出力 0 ピン。
N9	GPIO1 _{ChA}	DI/O	チャンネル A の ADC 汎用入出力 1 ピン。
N10	GPIO2 _{ChA}	DI/O	チャンネル A の ADC 汎用入出力 2 ピン。
N11	GPIO3 _{ChA}	DI/O	チャンネル A の ADC 汎用入出力 3 ピン。
N12	DCO ⁻ _{ChA}	DO	チャンネル A の ADC LVDS エコー・クロック負側出力。 このピンは、DCO ⁺ _{ChA} と共に、CLK ⁺ _{ChA} および CLK ⁻ _{ChA} をバッファし遅延したものを出力します。LVDS データ・レーン (DA [±] _{ChA} および DB [±] _{ChA} 、アクティブな場合) からのデータ出力は、DCO ⁺ _{ChA} と DCO ⁻ _{ChA} の立上がりエッジおよび立下がりエッジの両方に合わせてクロック・アウトされます。エコー・クロック・モードを無効化する場合、これらのピンを無接続のままにできます。
N13	DB ⁺ _{ChA} /SDOC _{ChA}	DO	チャンネル A の ADC データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード (デフォルト) では、この出力ピンは DB ⁻ _{ChA} と共に、ADC のオプションのセカンダリ LVDS データ・レーン B として機能します。使用しない場合は、無接続のままにします。 ADC が SPI データ・インターフェース・モードの場合は、このピンはシリアル・データ出力 C (SDOC _{ChA}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChA}) の立下がりエッジで、このピンからシフト出力されます。
N14	DB ⁻ _{ChA} /SDOD _{ChA}	DO	このピンを使用しない場合は必ず、無接続のままにしてください。 チャンネル A の ADC データ・インターフェース出力多機能ピン。 ADC が LVDS データ・インターフェース・モードの場合 (デフォルト)、この出力ピンは DB ⁺ _{ChA} と共に、オプションのセカンダリ LVDS データ・レーン B として機能します。不使用の場合は、無接続のままにします。 ADC が SPI データ・インターフェース・モードの場合は、このピンはシリアル・データ出力 D (SDOD _{ChA}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChA}) の立下がりエッジで、このピンからシフト出力されます。このピンは、 $\overline{DCS}_{ChA}$ がハイ・レベルになっているときに 4 レーン SPI モードで使用すると、高インピーダンス状態にならないことに注意してください。 このピンを使用しない場合は必ず、無接続のままにしてください。
P2	SCLK _{ChB}	DI	チャンネル B の ADC 設定インターフェース・シリアル・データ・クロック。このクロック入力、デバイス設定メモリとの間でデータをシフト入出力するために使用します。
P3	SDI _{ChB}	DI	チャンネル B の ADC 設定インターフェース・シリアル・データ入力。データは、シリアル・データ・クロック SCLK _{ChB} の立上がりエッジで、この入力にシフト入力されます。
P4	$\overline{CS}_{ChB}$	DI	チャンネル B の ADC 設定インターフェース・チップ・セレクト入力 (アクティブ・ロー)。 $\overline{CS}_{ChB}$ 入力は、設定 SPI を介してシリアル・データ転送をフレーム化します。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
P5	DCO ⁺ ChB	DO	チャンネル B の ADC LVDS エコー・クロック正側出力。 この出力ピンは、DCO ⁻ ChB と共に、CLK ⁺ ChB および CLK ⁻ ChB をバッファし遅延したものを出力します。LVDS データ・レーン (DA [±] ChB および DB [±] ChB、アクティブな場合) からのデータ出力は、DCO ⁺ ChB と DCO ⁻ ChB の立上がりエッジおよび立下がりエッジの両方に合わせてクロック・アウトされます。エコー・クロック・モードを無効化する場合、これらのピンを無接続のままにできます。
P6	DA ⁺ ChB/SDOA _{ChB}	DO	チャンネル B の ADC データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DA ⁻ ChB と共にプライマリ LVDS データ・レーン A として機能します。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 A (SDOA _{ChB}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChB}) の立下がりエッジで、このピンからシフト出力されます。 このピンを使用しない場合は必ず、無接続のままにしてください。
P7	DA ⁻ ChB/SDOB _{ChB}	DO	チャンネル B の ADC データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DA ⁺ ChB と共にプライマリ LVDS データ・レーン A として機能します。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 B (SDOB _{ChB}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChB}) の立下がりエッジで、このピンからシフト出力されます。 このピンを使用しない場合は必ず、無接続のままにしてください。
P9	SCLK _{ChA}	DI	チャンネル A の ADC 設定インターフェース・シリアル・データ・クロック。このクロック入力は、デバイス設定メモリとの間でデータをシフト入出力するために使用します。
P10	SDI _{ChA}	DI	チャンネル A の ADC 設定インターフェース・シリアル・データ入力。データは、シリアル・データ・クロック SCLK _{ChA} の立上がりエッジで、この入力にシフト入力されます。
P11	$\overline{\text{CS}}_{\text{ChA}}$	DI	チャンネル A の ADC 設定インターフェース・チップ・セレクト入力（アクティブ・ロー）。 $\overline{\text{CS}}_{\text{ChA}}$ 入力は、設定 SPI を介してシリアル・データ転送をフレーム化します。
P12	DCO ⁺ ChA	DO	チャンネル A の ADC LVDS エコー・クロック正側出力。 このピンは、DCO ⁻ ChA と共に、CLK ⁺ ChA および CLK ⁻ ChA をバッファし遅延したものを出力します。LVDS データ・レーン (DA [±] ChA および DB [±] ChA、アクティブな場合) からのデータ出力は、DCO ⁺ ChA と DCO ⁻ ChA の立上がりエッジおよび立下がりエッジの両方に合わせてクロック・アウトされます。エコー・クロック・モードを無効化する場合、これらのピンを無接続のままにできます。
P13	DA ⁺ ChA/SDOA _{ChA}	DO	チャンネル A の ADC データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DA ⁻ ChA と共にプライマリ LVDS データ・レーン A として機能します。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 A (SDOA _{ChA}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChA}) の立下がりエッジで、このピンからシフト出力されます。 このピンを使用しない場合は必ず、無接続のままにしてください。
P14	DA ⁻ ChA/SDOB _{ChA}	DO	チャンネル A の ADC データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DA ⁺ ChA と共にプライマリ LVDS データ・レーン A として機能します。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 B (SDOB _{ChA}) として機能します。これは 4 レーン構成でのみ有効です。結果のデータは、データ・インターフェースのクロック (DCLK _{ChA}) の立下がりエッジで、このピンからシフト出力されます。 このピンを使用しない場合は必ず、無接続のままにしてください。

¹ AI はアナログ入力、AO はアナログ出力、DI はデジタル入力、DI/O はデジタル入出力、DO はデジタル出力、P は電源です。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $f_s = 40\text{MSPS}$ 、 $G = 1.03\times$ 、 $+V_S = 5\text{V}$ 、 $-V_S = -1\text{V}$ 、 $V_{DD33} = 3.3\text{V}$ 、 V_{DDLDO} 無接続、 $\text{IOVDD}_{\text{ChX}} = 1.1\text{V}$ 、 $V_{DD11\text{ChX}} = 1.1\text{V}$ 、 1.5V のコモンモードで差動入力駆動、外付け FDA 帰還コンデンサ (C_{fb}) = 220pF 、デジタル・フィルタはディスエーブル。

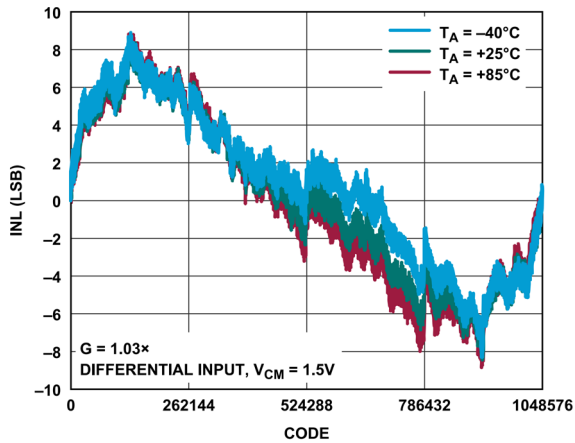


図 3. INL と出力コードの関係、差動入力駆動

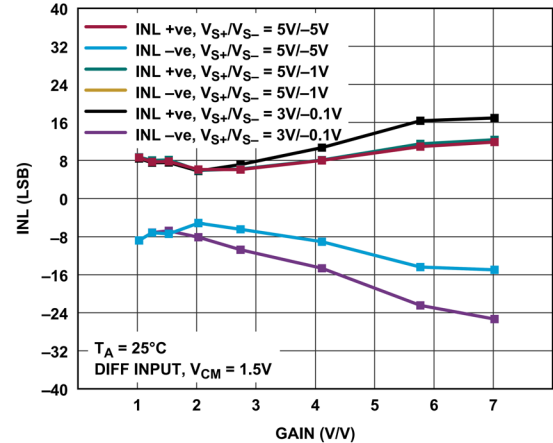


図 6. 様々な FDA 電源スパンでの INL とゲインの関係

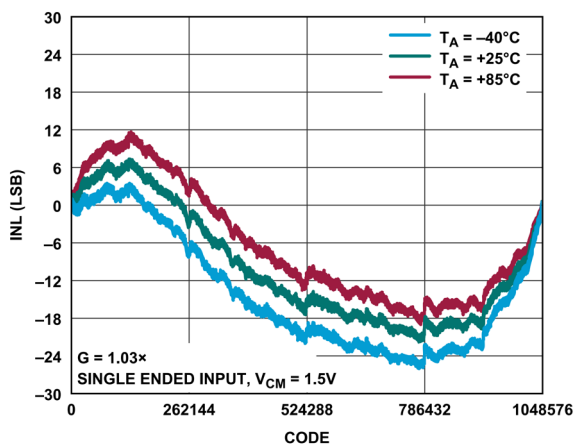


図 4. INL と出力コードの関係、シングルエンド入力駆動

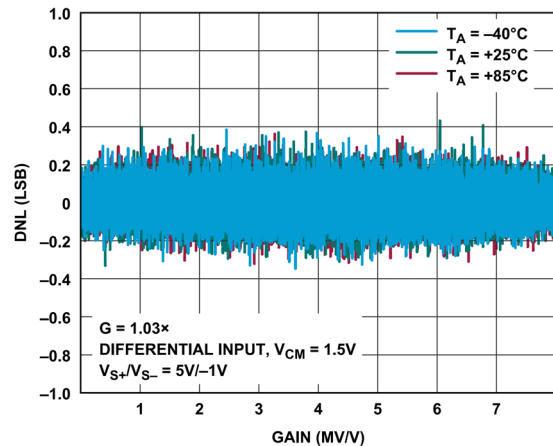


図 7. DNL と温度の関係

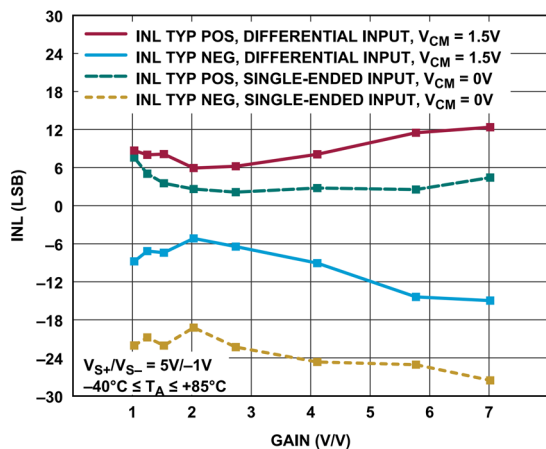


図 5. INL とゲインの関係

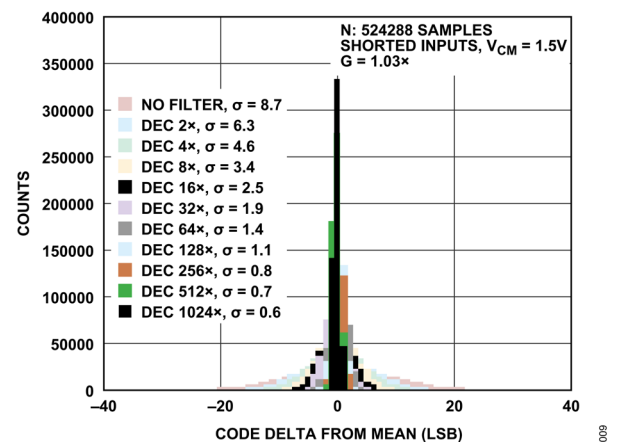


図 8. 出力コードのヒストグラム、sinc1 フィルタ

代表的な性能特性

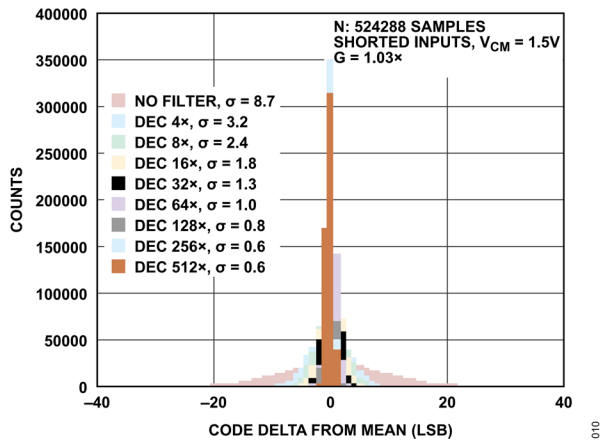


図 9. 出力コードのヒストグラム、sinc5 フィルタ

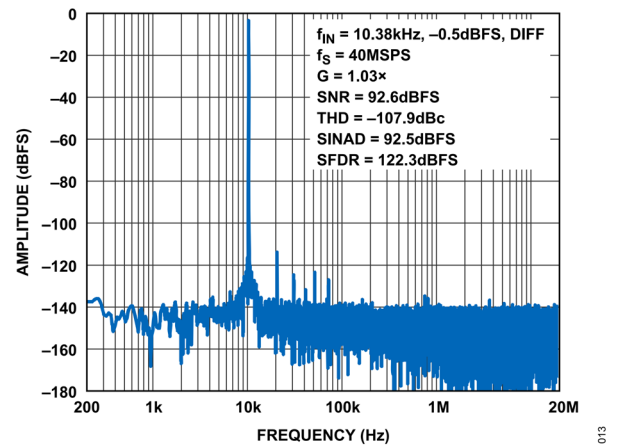
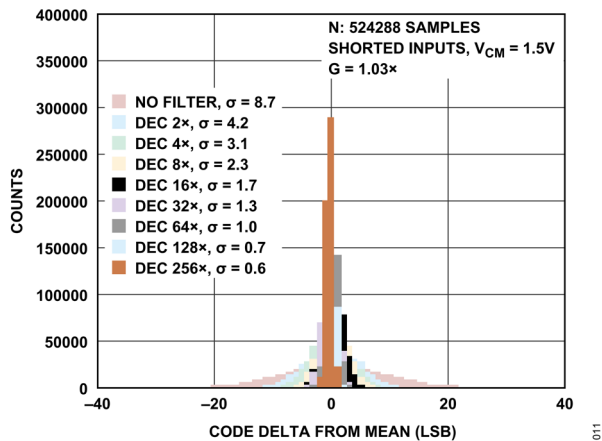
図 12. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 1.03$ 

図 10. 出力コードのヒストグラム、sinc5 フィルタ + 補償フィルタ

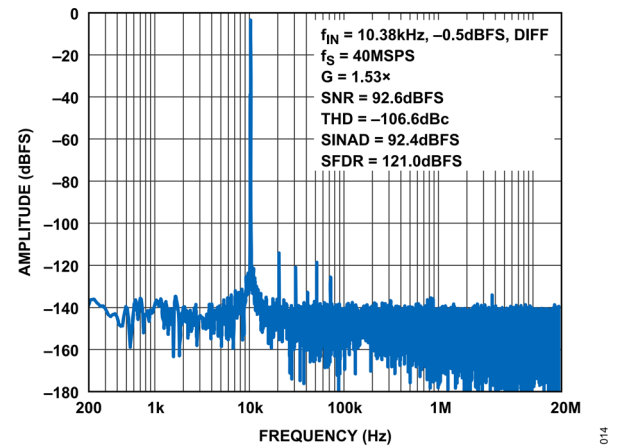
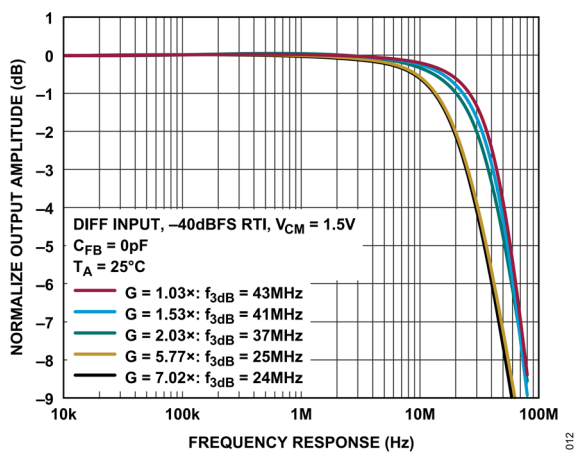
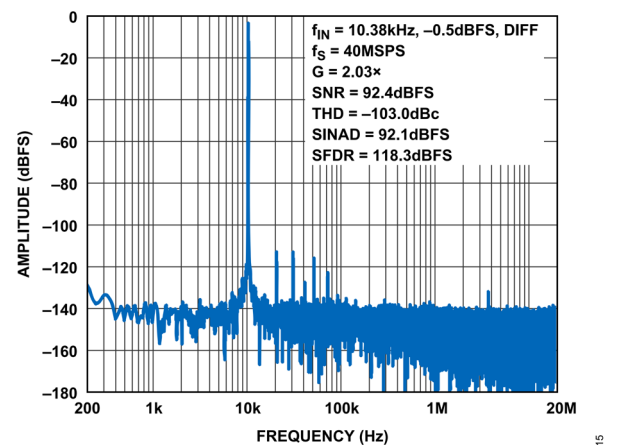
図 13. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 1.53$ 

図 11. 小信号周波数応答、40MSPS

図 14. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 2.03$

代表的な性能特性

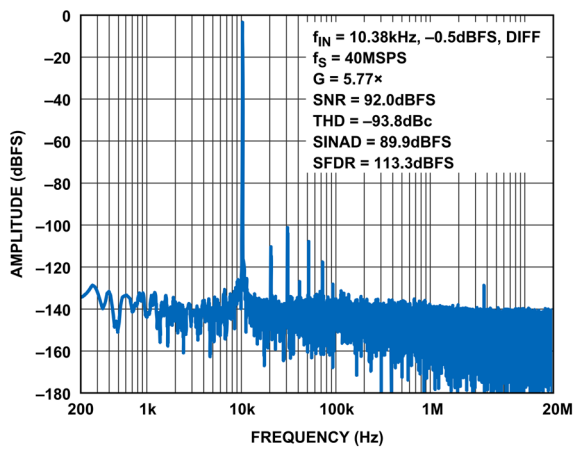


図 15. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、
差動、 -0.5dBFS 、 $G = 5.77$

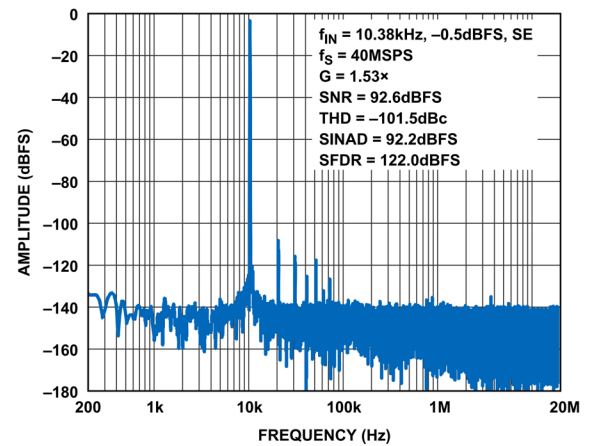


図 18. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、シングルエンド、
 -0.5dBFS 、 $G = 1.53$

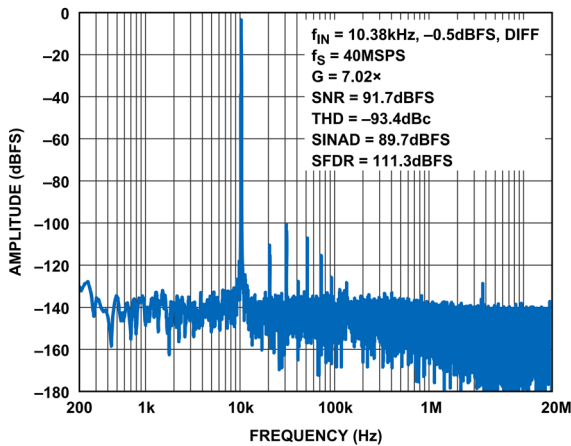


図 16. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、差動、
 -0.5dBFS 、 $G = 7.02$

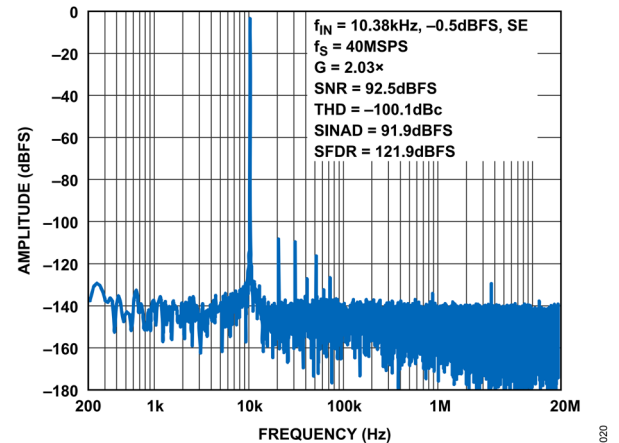


図 19. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、シングルエンド、
 -0.5dBFS 、 $G = 2.03$

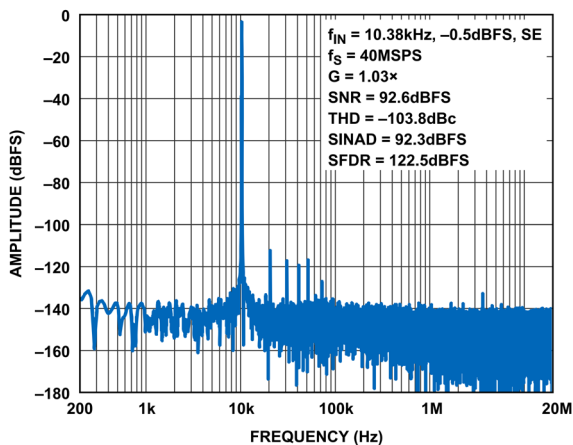


図 17. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、シングルエンド、
 -0.5dBFS 、 $G = 1.03$

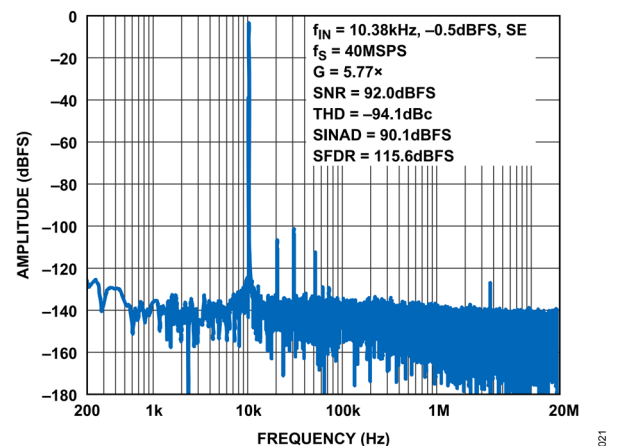


図 20. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、シングルエンド、
 -0.5dBFS 、 $G = 5.77$

代表的な性能特性

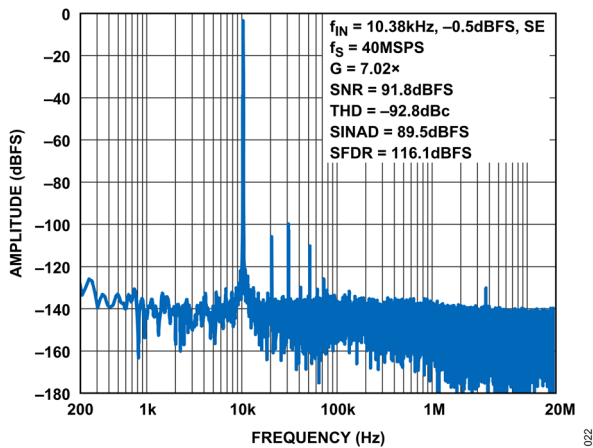


図 21. FFT 40MSPS、 $f_{IN} = 10.38\text{kHz}$ 、シングルエンド、 -0.5dBFS 、 $G = 7.02$

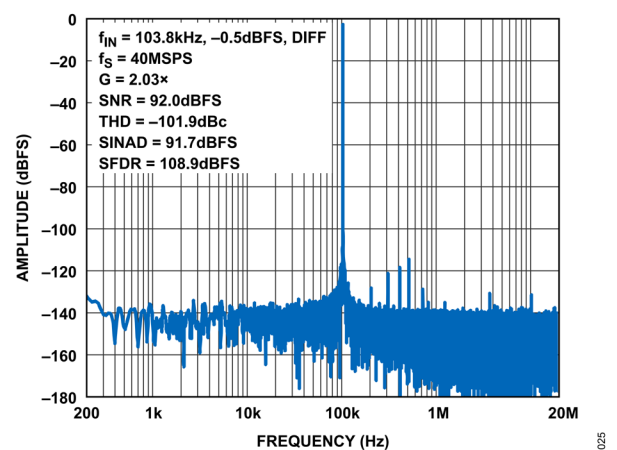


図 24. FFT 40MSPS、 $f_{IN} = 103.8\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 2.03$

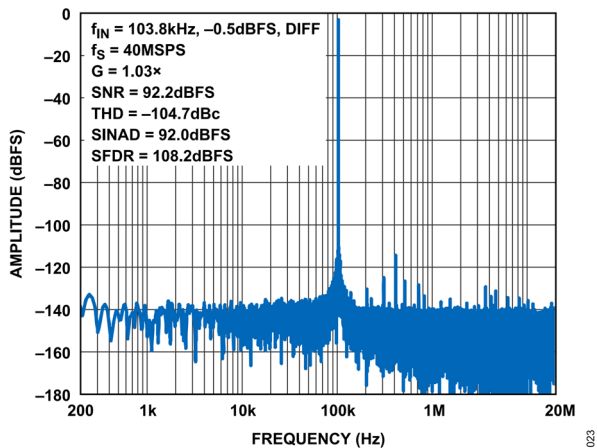


図 22. FFT 40MSPS、 $f_{IN} = 103.8\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 1.03$

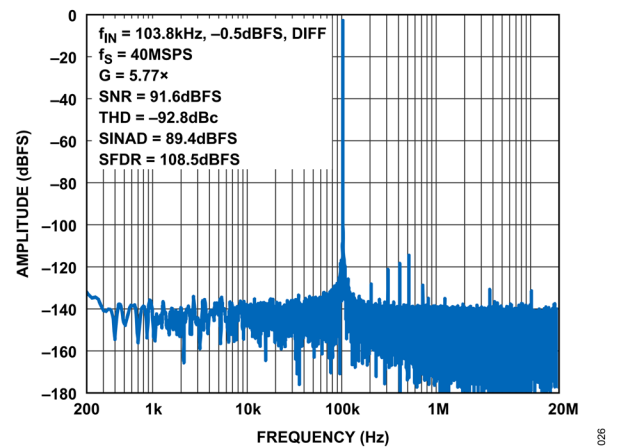


図 25. FFT 40MSPS、 $f_{IN} = 103.8\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 5.77$

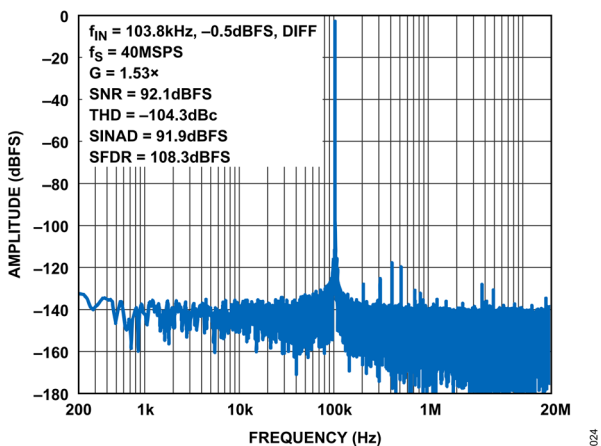


図 23. FFT 40MSPS、 $f_{IN} = 103.8\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 1.53$

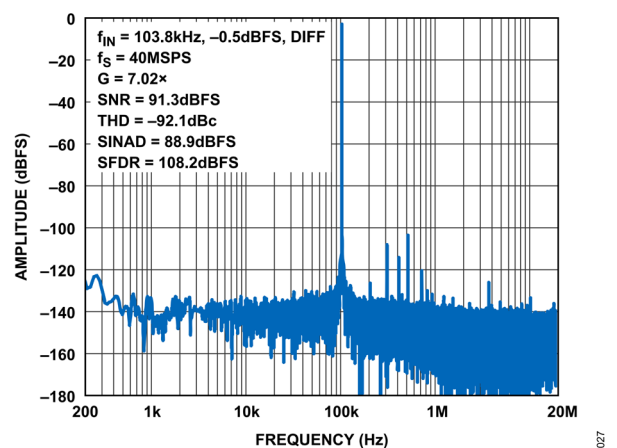


図 26. FFT 40MSPS、 $f_{IN} = 103.8\text{kHz}$ 、差動、 -0.5dBFS 、 $G = 7.02$

代表的な性能特性

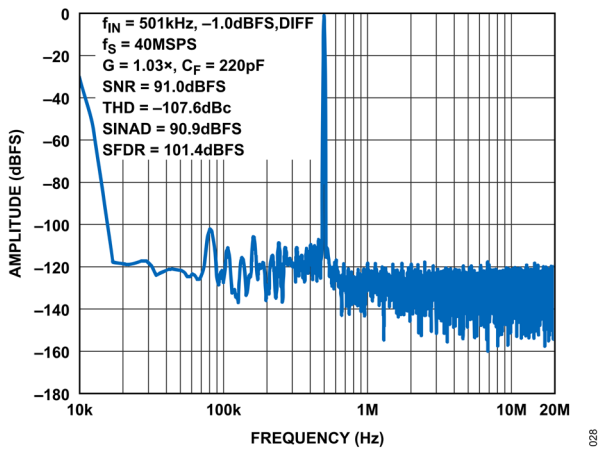


図 27. FFT 40MSPS、 f_{IN} = 501kHz、差動、-1dBFS、 $G = 1.03$

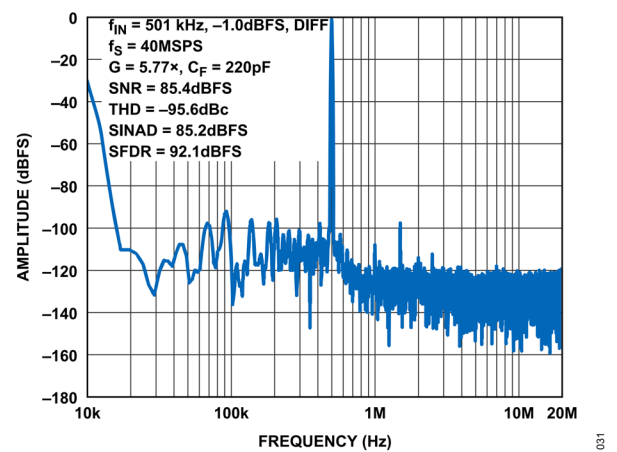


図 30. FFT 40MSPS、 f_{IN} = 501kHz、差動、-1dBFS、 $G = 5.77$

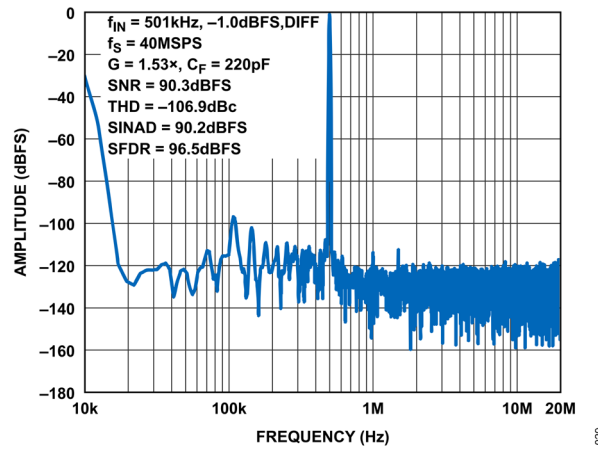


図 28. FFT 40MSPS、 f_{IN} = 501kHz、差動、-1dBFS、 $G = 1.53$

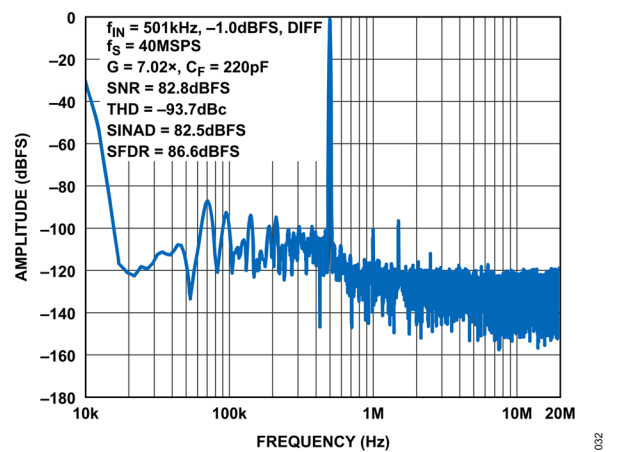


図 31. FFT 40MSPS、 f_{IN} = 501kHz、差動、-1dBFS、 $G = 7.02$

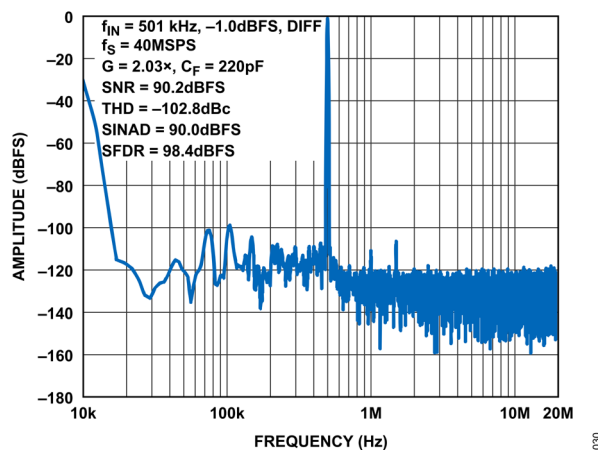


図 29. FFT 40MSPS、 f_{IN} = 501kHz、差動、-1dBFS、 $G = 2.03$

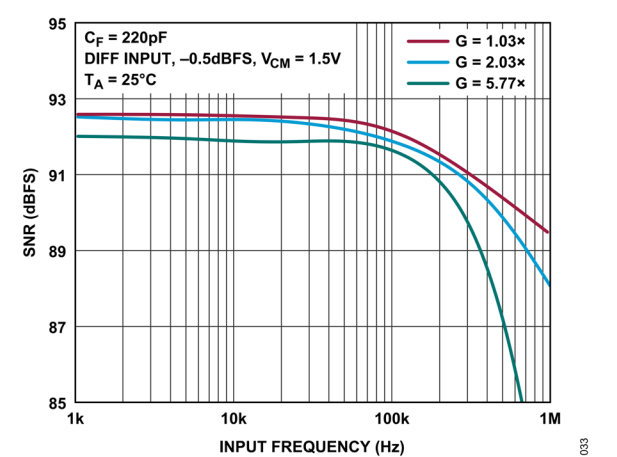


図 32. S/N 比と入力周波数の関係

代表的な性能特性

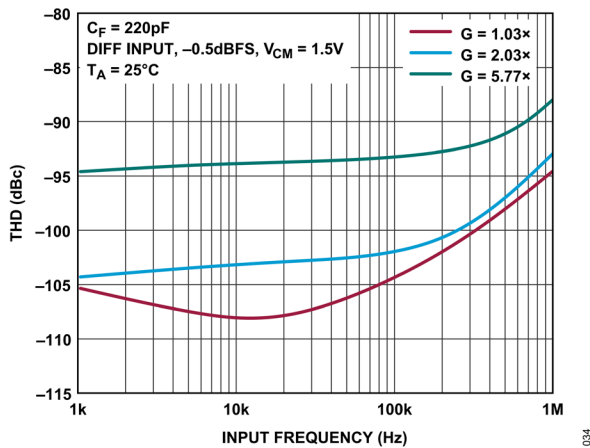


図 33. THD と入力周波数の関係

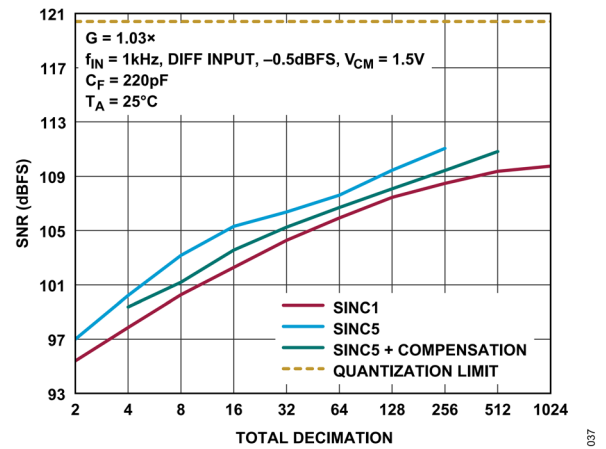


図 36. S/N 比と合計デシメーションの関係

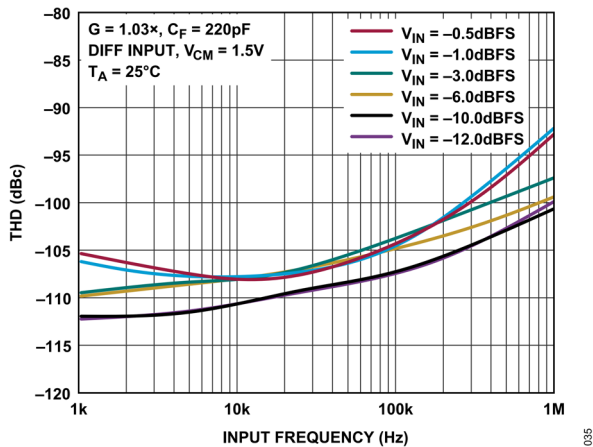


図 34. 様々な入力トーン・レベルでの THD と入力周波数の関係

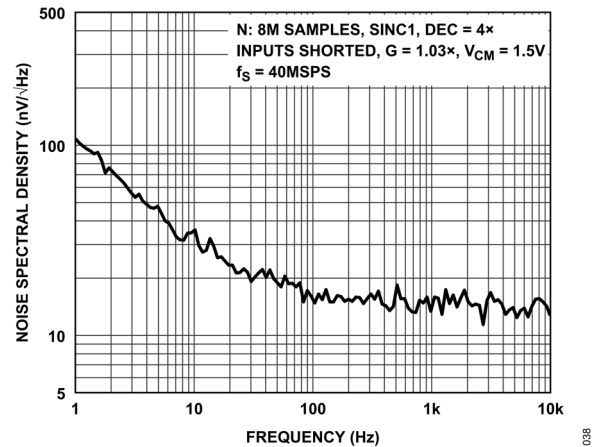


図 37. 低周波ノイズ、入力を短絡

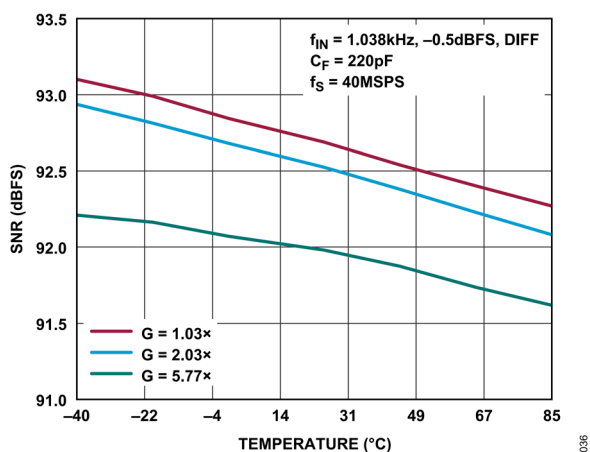
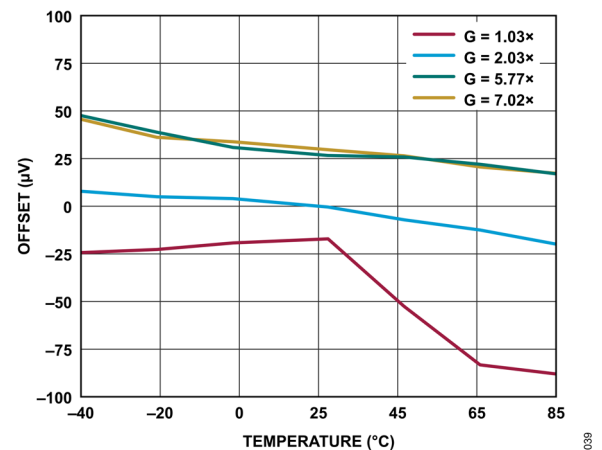
図 35. S/N 比と温度の関係、 $f_{IN} = 1\text{kHz}$ 、 -0.5dBFS 

図 38. オフセット誤差と温度の関係

代表的な性能特性

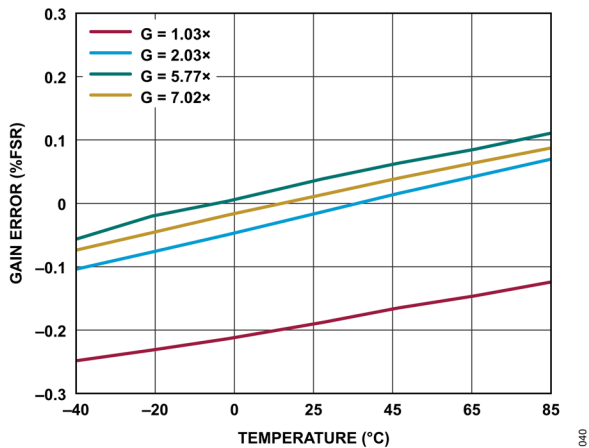


図 39. ゲイン誤差と温度の関係

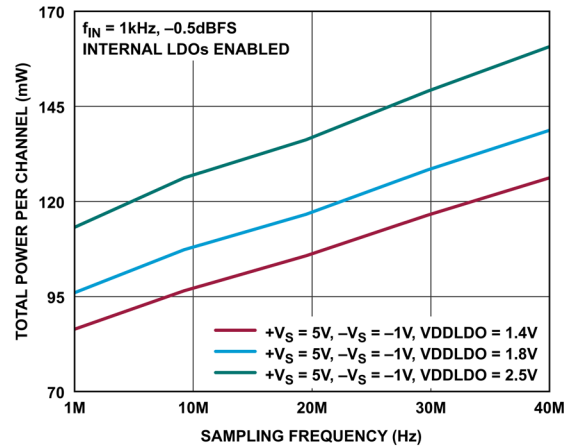


図 42. チャンネルあたりの合計電力とサンプリング周波数の関係、LDO イネーブル

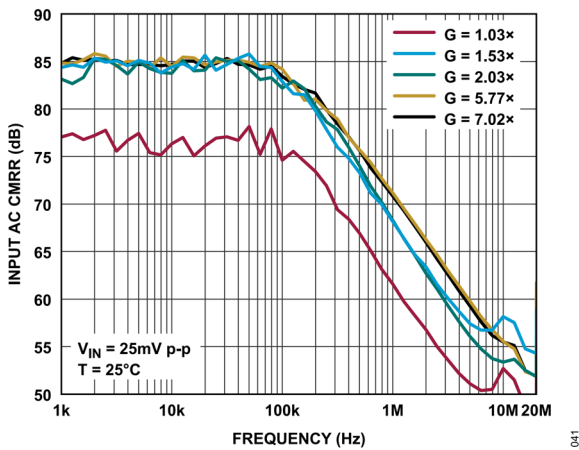


図 40. 入力 AC 同相モード除去比 (CMRR) と周波数の関係

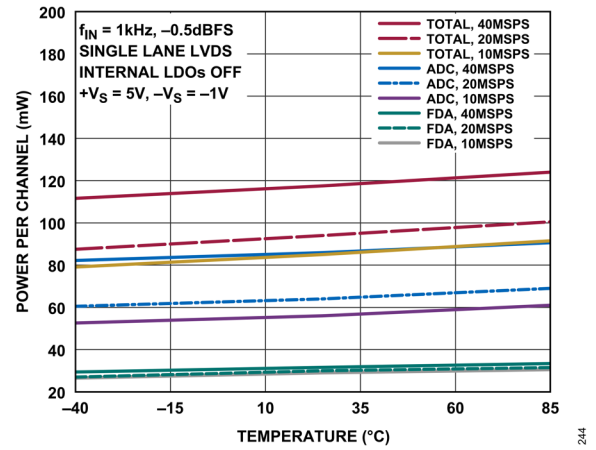


図 43. チャンネルあたりの電力と温度の関係、通常動作モード

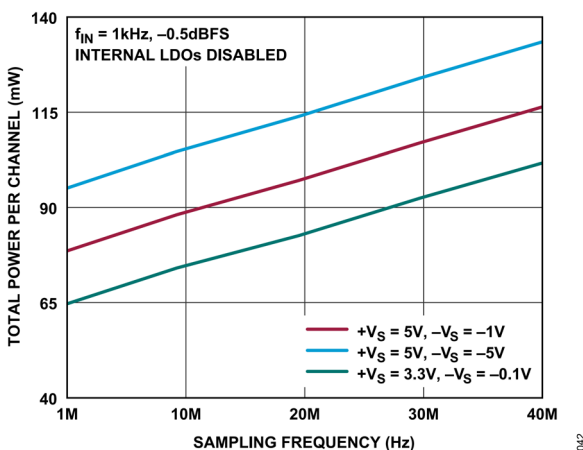


図 41. チャンネルあたりの合計電力とサンプリング周波数の関係、LDO ディスエーブル

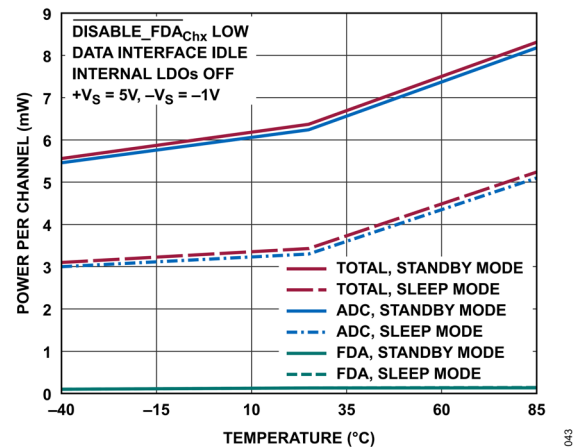


図 44. チャンネルあたりの電力と温度の関係、省電力モード

代表的な性能特性

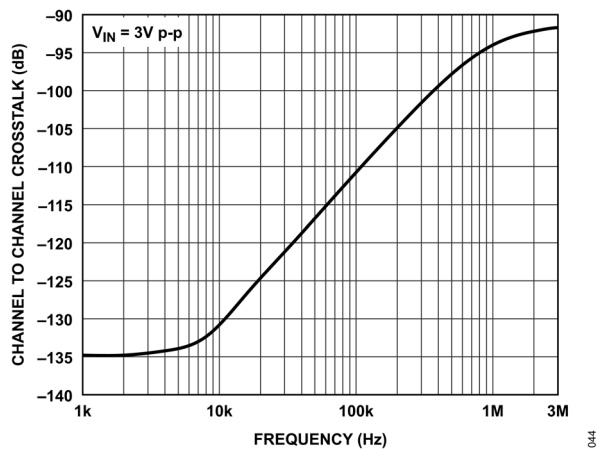


図 45. チャンネル間クロストーク

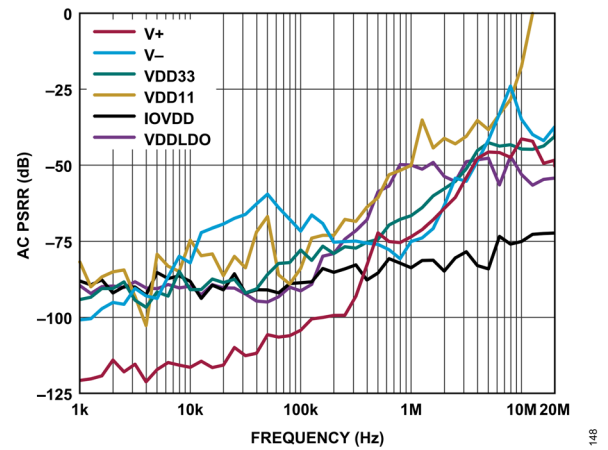


図 47. AC 電源電圧変動除去比 (PSRR) と周波数の関係

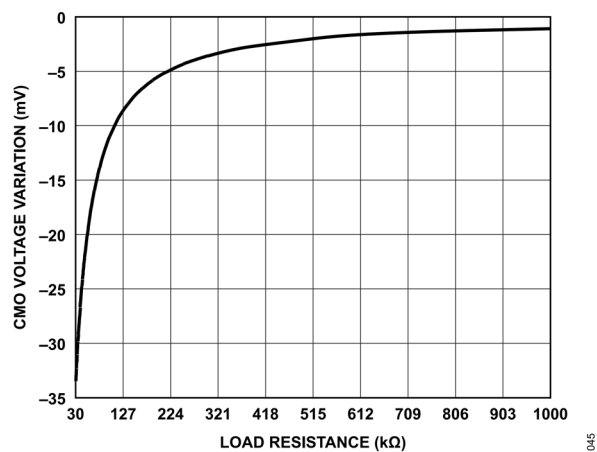


図 46. CMO の電圧変動と負荷抵抗の関係

用語の定義

積分非直線性誤差 (INL)

INL は、負側フルスケールと正側フルスケールの点の間に引かれた線からの各出力コードの偏差を指します。負側フルスケール・リファレンスは、最初のコード遷移の $\frac{1}{2}$ LSB 前に相当する入力レベルとして定義されます。正側フルスケール・リファレンスは、最後のコード遷移を $1\frac{1}{2}$ LSB 超えた入力レベルとして定義されます。偏差は、各コードの中央から直線までの距離として測定されます。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1LSB 間隔で発生します。DNL は、理想的なコード幅からの任意のコードの最大偏差を表す尺度です。DNL はノー・ミッシング・コードが確保される分解能で仕様規定されます。

ゼロ誤差

ゼロ誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する印加電圧との差です。

ゲイン誤差

ゲイン誤差は、ADC 伝達特性の傾きと理想的なコンバータの傾きとの差として仕様規定されます。理想的なデータ・コンバータでは、最初のコード遷移 (100...00 から 100...01 へ) は、公称の負側フルスケール入力 (20 ビットで ± 3.0 V の範囲に対して -2.999997 V) よりも $\frac{1}{2}$ LSB 多く発生し、最後のコード遷移 (011...10 から 011...11 へ) は、公称の正側フルスケール入力 (20 ビットで ± 3.0 V の範囲に対して $+2.999991$ V) よりも $1\frac{1}{2}$ LSB 少なく発生します。

S/N 比 (SNR)

S/N 比は、ADC のフルスケール・サイン波の実効値振幅と、ナイキスト周波数を下回るその他すべてのスペクトル成分 (最初の 5 つの高調波および DC を除く) の実効値総和との比です。S/N 比の値は、フルスケールを基準にしたデシベル (dBFS) で表されます。

信号／ノイズ+歪み (SINAD) 比

SINAD は、ADC のフルスケール・サイン波の実効値振幅と、高調波成分を含み DC 成分は除くナイキスト帯域幅 ($f < f_s/2$) におけるその他すべてのスペクトル成分の二乗和平方根の比です。SINAD の値は、フルスケールを基準にしたデシベル (dBFS) で表されます。

ノイズ・スペクトル密度 (NSD)

ノイズ・スペクトル密度は、ADC の出力で測定した単位帯域幅あたりのノイズ電力を示します。NSD は、ADC のダイナミッ

ク・レンジ (DR) 仕様から数値的に求められます (短絡入力テストを通じて取得)。この導出は、ノイズがナイキスト帯域幅 ($f < f_s/2$) にわたって均等に分布している (つまり白色) と仮定しています。

$$NSD \left(\frac{\text{dBFS}}{\text{Hz}} \right) = -DR \text{ (dB)} - 10 \times \log_{10} \left(\frac{f_s}{2} \right)$$

対数の dBFS/Hz から線形の $\text{nV}/\sqrt{\text{Hz}}$ の単位に変換するには次式を用います。

$$NSD \left(\frac{\text{nV}}{\sqrt{\text{Hz}}} \right) = V_{FullScale, RMS} \times 10^{\left(\frac{NSD \text{ (dBFS/Hz)}}{20} \right)} \times 10^9$$

AD4880 の入力換算 NSD を求めるには、値に FDA のゲインを出力換算値を FDA のゲインで除算する必要がある点に注意してください。

全高調波歪み (THD)

THD は、入力信号の最初の 5 つの高調波成分についてその振幅の実効値を合計した値と、基本周波数 (搬送波) の実効値振幅との比です。THD の値は、搬送波を基準にしたデシベル (dBc) で表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、ADC のフルスケール・サイン波の実効値振幅と、ピーク・スプリアス信号の振幅 (入力信号の高調波成分を除く) との比です。SFDR 値は、フルスケールを基準にしたデシベル (dBFS) で表されます。

位相角ミスマッチ

位相角ミスマッチは、デバイスの 2 つのチャンネル間のタイミングまたは位相応答の差を定量化したものです。これを測定するには、同じサイン波を両方のチャンネルに印加して同時にサンプリングを行い、2 つの再構築された波形の位相シフトを計算します。

電源電圧変動除去比 (PSRR)

PSRR は、周波数に対する、仕様規定された電源レールの変動に対する ADC の感度を表す尺度です。PSRR は、電源に結合された摂動信号の実効値振幅に対する実効値ボルト単位の出力コード変化の観測値の比として計算されます。結果の比はデシベル (dB) で表されます。

動作原理

製品の概要

AD4880 は、デュアル・チャンネル、20 ビット、チャンネルあたり 40MSPS の、完全差動ドライバを内蔵した SAR ADC です。4 つの別々のダイ（2 つの ADC と 2 つの FDA）、ゲイン設定抵抗、重要なデカップリング・コンデンサが含まれた、システム・イン・パッケージ（SiP）として構築されています。部品をパッケージ内に集積化しているため、ソリューション全体の面積を最小限に抑え、部品の選択、配置、配線上の課題などの要因によって発生する可能性のあるパフォーマンス・エラーを低減し、一般に、最初の設計を成功させるためのエンジニアリング作業を削減します。

最新の ADC と低ノイズ FDA を組み合わせることにより、92.6dB（代表値）もの高い S/N 比、46.25ns の出力レイテンシ、1MHz までの信号の高信号忠実度が実現されています。このパラメトリック性能、スループット、帯域幅により、本製品は様々な高速のデータ・アキュイジション・アプリケーションに最適です。低消費電力であることを考慮すると、本製品は、チャンネル密度と温度管理が課題となるアプリケーションに極めて適した選択肢です。

ゲイン設定抵抗を外部で選択できるため事前に設定された値の中からゲインを選択することができると同時に、コンデンサを追加配置できるため帯域幅調整を容易に実行できます。FDA は、シングルエンドまたは差動の入力信号に対処できると共に、コモンモード電圧の外部発生は不要です。また、PCB レアウト、キックバック・セトリング計算、出力フィルタ設計などの一般的な SAR ADC 駆動の課題を広く除去できます。

SiP 手法を採用しているため、チャンネル構成とデータ・アクセスへの依存性は全くありません。チャンネルごとに、変換結果へのアクセスが、最大 400MHz のクロック・レートで動作するマルチレーン LVDS ポートと、最大 50MHz のクロック・レートで動作するマルチ出力 SPI の、2 つの独立したデータ・インターフェースのいずれかを介して行われます。

豊富なデジタル機能セットにより、デバイスの柔軟性が増加し、システムの複雑さが軽減され、デジタル・ホストの負荷が低減されます。これらの機能には、チャンネルあたり 16,384 サンプルの FIFO メモリ、内部および外部イベント検出、多機能 GPIO、デジタル・フィルタリング、システム誤差補正係数などがあります。

伝達関数

AD4880 の各チャンネルは、SAR ADC の入力での $2 \times V_{\text{REFIN}}$ のフルスケール差動電圧を 2^{20} のレベルにデジタル化します。それにより、 $V_{\text{REFIN}} = 3.0\text{V}$ の場合に LSB サイズは $5.72\mu\text{V}$ になります。20 ビットでの 1LSB は約 0.95ppm になります。また、伝達関数は AFE の入力の $\text{INX} \pm \text{CHX}$ ピンではなく、ADC の入力で定義される点にも注意してください。極性は、 $\text{INX} + \text{CHX} - \text{INX} - \text{CHX}$ が正の値であれば、正の電圧の測定値になるという意味で、保存されます。

表 7 に、入力電圧と差動出力コードの対応関係を示します。

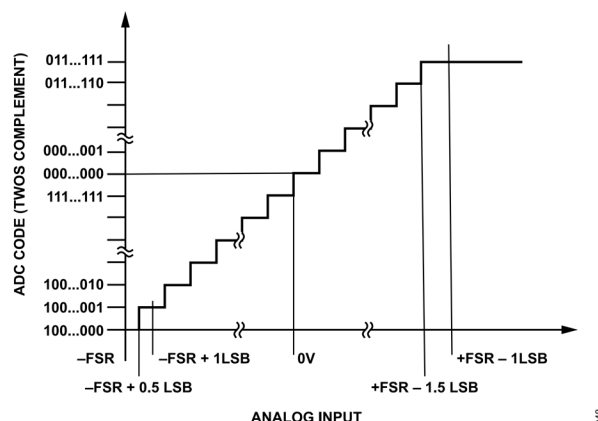


図 48. 差動出力コードに対する ADC の理想的な伝達関数（FSR はフルスケール範囲）

表 7. 入力電圧と出力コードの対応関係

Description	ADC Analog Input Voltage Difference (Volts)	Digital Output Code (Two's Complement, Hex)
FS - 1 LSB	$+V_{\text{REFIN}} \times (1 - 1/2^{19})$	0x7FFFF
Midscale + 1 LSB	$+V_{\text{REFIN}}/2^{19}$	0x00001
Midscale	0	0x00000
Midscale - 1 LSB	$-V_{\text{REFIN}}/2^{19}$	0xFFFFF
-FS + 1 LSB	$-V_{\text{REFIN}} \times (1 - 1/2^{19})$	0x80001
-FS	$-V_{\text{REFIN}}$	0x80000

リファレンス・バッファとコモンモード出力

AD4880 には、REFIN ピンを駆動するために 3.0V の外部リファレンスが必要です。REFIN ピンには、合計 $18.8\mu\text{F} \pm 20\%$ のコンデンサ・アレイが組み込まれています。このコンデンサ・アレイは、市販の多層高誘電体（X6S）セラミック・コンデンサで構成され、2 個の SAR ADC で共用されるメインの電荷貯蔵部品として機能します。

必要に応じて、REFIN ピンと REFGND ピンの間に追加の外部コンデンサ（ C_{RSV} ）を配置して、充電容量とノイズ除去を改善することもできます。すべての精密回路と同様に、外部リファレンス・コンデンサの配置は、PCB の同じ側のデバイス・ピンにできるだけ近づける必要があります。コンデンサとデバイス・ピンの間の配線は必ず、各配線経路における直列インピーダンスが最小になるようにします。

動作原理

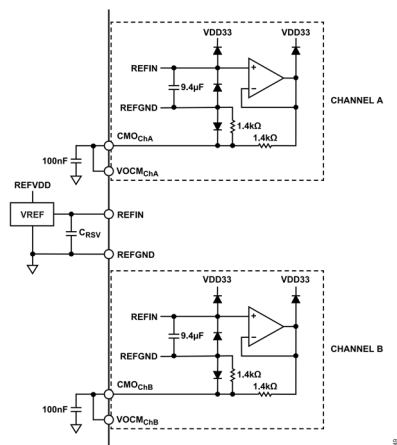


図 49. REFIN および CMO 内部等価回路と代表的な応用例

AD4880 の各チャンネルは内部で V_{REFIN} の 1/2 のコモンモード・リファレンス電圧を生成し、それらは CMO_{ChX} ピンから出力されます。 CMO_{ChX} 出力は、それぞれのアナログ・フロントエンドのコモンモード出力電圧を設定するために用いられます。これを行うには、各 CMO_{ChX} 出力がその対応する $VOCM_{ChX}$ に直接接続されており、100nF の推奨容量でデカップリングされていないわけではありません。

各 CMO_{ChX} 出力は、リファレンス・バッファ出力に接続された抵抗分圧器を用いて生成されます。その結果、出力インピーダンスは、700Ω (代表値) になります。駆動能力は限られているため、追加される負荷に対しては必ず、慎重な検討を行い、過度の起動時間や絶対誤差が生じないようにする必要があります。一般に、次のような場合に CMO_{ChX} のバッファリングを検討します。

- ▶ AD4880 の VDD33 電源レールに、頻繁に電源が再投入される場合。
- ▶ 短い始動セトリング時間が必要な場合。
- ▶ CMO_{ChX} ピンの外部負荷が 30μA を超える場合 ($R_L < 45k\Omega$)。代表的な負荷レギュレーション情報については、図 46 を参照してください。

電源

AD4880 の電力要件は、次の電源ドメインにわたって課せられています。

- ▶ AFE の電源レール ($\pm V_S$)
- ▶ 3.3V の ADC アナログ回路ドメイン (VDD33)
- ▶ 1.1V の ADC コア電源 (VDD11_{ChA}、VDD11_{ChB})
- ▶ デジタル・インターフェース用の 1.1V ドメイン (IOVDD_{ChA}、IOVDD_{ChB})
- ▶ オプションの内部電圧レギュレータ入力レール (VDDLDO)

オプションの VDDLDO 電源レールを用いて、1.1V コア (VDD11_{ChA}、VDD11_{ChB}) およびインターフェース (IOVDD_{ChA}、IOVDD_{ChB}) のレールに内部で給電するために用いられる 4 つの内蔵電圧レギュレータに電力を供給できます。内部電圧レギュレータを使用する場合の詳細および設計上の考慮事項については、内部安定化電源の構成のセクションを参照してください。一方、内部レギュレータを使用しないアプリケーションの詳細については、外部生成化電源の構成のセクションを参照してください。

VDD33 電源レールの電力は、外部電源から供給する必要があり、1.1V 電源レールに給電した後にのみ供給する必要があります。電圧源のアクティブ化の順序の詳細については、電源シーケンスのセクションを参照してください。

すべての電源領域は、多層高誘電体セラミック・コンデンサ (X6S) を用いて内部でデカップリングされているため、外部デカップリング・コンデンサが不要になります。ただし、同じ電源を共用する設計内の他の部品のバルク・デカップリング要件を理解するよう、注意が必要です。AD4880 の内蔵電源デカップリング・コンデンサを、表 6 および表 8 に示します。

表 8. 電源レールに統合されたデカップリング・コンデンサの概要

Supply Pin	Nominal Capacitance (μF)	Capacitance Tolerance (%)	Return Path
+V _S	0.44 (2× 0.22)	±10	GND
-V _S	0.44 (2× 0.22)	±10	GND
VDD33	0.94 (2× 0.47)	±10	GND
VDDLDO	0.44 (2× 0.22)	±10	GND
VDD11 _{ChA}	1.88 (4× 0.47)	±10	GND
VDD11 _{ChB}	1.88 (4× 0.47)	±10	GND
IOVDD _{ChA}	0.22	±10	IOGND _{ChA}
IOVDD _{ChB}	0.22	±10	IOGND _{ChB}

内部安定化電源の構成

AD4880 の各チャンネルには 2 つの内部 LDO レギュレータが含まれています。1 つは 1.1V の VDD11_{ChX} 電源レールを生成し、もう 1 つは 1.1V の IOVDD_{ChX} 電源レールを内部生成します。AD4880 チャンネル・レジスタの電源投入またはリセット時に、1.4V から 2.7V の範囲の外部電圧源が VDDLDO ピンに印加されると、両方のレギュレータが自動的に電源投入されます。なお、内部安定化電源の構成を 1 つのチャンネルにのみ有効化することはできない点に注意してください。レギュレータは、AD4880 の内部負荷要件を満たすように設計されているため、外部負荷は使用できません。また、内部安定化構成を用いる場合、VDD11_{ChA}、VDD11_{ChB}、IOVDD_{ChA}、IOVDD_{ChB} の各回路ノードは、別々に保持する必要があります (これらの間のいかなる組み合わせにおいても相互に短絡してはいけません)。省電力動作モードのセクションで説明するように、IOVDD_{ChX} レールは両方の省電力モードでディスエーブルになることに注意してください。

動作原理

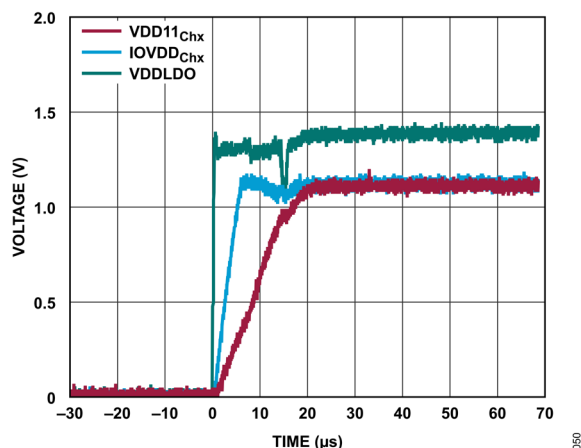


図 50. 代表的なレギュレータの起動トランジェント、コンバータがアイドル

図 51 に、内部レギュレータを使用する場合に必要な接続を示します。図 51 に示すように、3 つの VDD11ChA ピン (G7、H7、J7) を相互に短絡する必要があります。PCB のデバイス側の太いパターンまたは多角形を用いて、物理的設計でこの接続を実装し、配線インピーダンスを最小限に抑えることを推奨します。これと同じ短絡に関する指示が、VDD11ChB ピン (G14、H14、J14) にも当てはまります。VDD33 レールには、3.3V の外部電源で給電されます。消費電力を更に抑えるため、両チャンネルがいずれかの省電力モードになっている場合は、この電源を取り外すことができます。この電源が取り外されると、アナログ回路のみがリセット状態に保持され、設定レジスタの内容は影響を受けません。各電源レールに適用可能な入力電圧許容誤差については、仕様のセクションを参照してください。

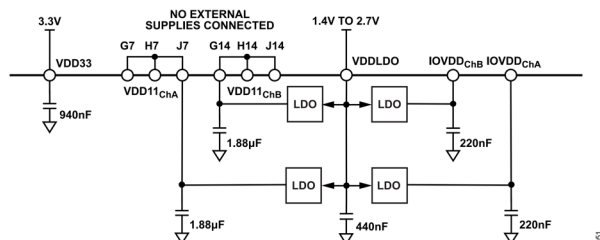


図 51. 内部安定化 (1.1V) 電源の構成

内部安定化電源の構成は、外部レギュレータを排除する能力に有利な面積が制約された用途での使用に理想的です。ただし、この構成では、内部レギュレータにより AD4880 内での消費電力が増加することに注意してください。

外部生成化電源の構成

外部生成化電源を使用するシステムでは、VDDLDO ピンは無接続のままにしておく必要があります。VDDLDO を接続しない場合、VDD11ChA、VDD11ChB、IOVDDChA、IOVDDChB に給電する 4 つの内部 LDO レギュレータすべてが、自動的にディスエーブルされます。VDD11ChA および VDD11ChB には外部から 1.1V を供給する必要があります。その場合、両レールには同じ電源から供給することを推奨します。IOVDDChA および IOVDDChB には外部から 1.1V~1.2V を供給する必要があります。その場合、両レールには同じ電源から供給することを推奨します。VDD11Chx が存在しない場合、対応する ADC チャンネルは POR 状態に保持さ

れ、電源が再確立された後、そのすべてのレジスタはそれぞれのデフォルト状態にリセットされることに留意してください。POR 回路の詳細については、**パワーオン・リセット (POR) モニタ**のセクションを参照してください。VDD33 レールには、3.3V の外部電源で給電されます。両チャンネルが 2 つの**省電力動作モード**のいずれかになっている場合、VDD33 電源を取り外して電力を更に削減できます。アナログ回路のみがリセット状態に保持され、レジスタの内容は影響を受けません。各電源レールに適用可能な入力電圧許容誤差については、**仕様**のセクションを参照してください。

図 52 の例に示されるように、外部電圧源は、VDD11ChA、VDD11ChB、IOVDDChA、IOVDDChB の各ピンに印加されます。

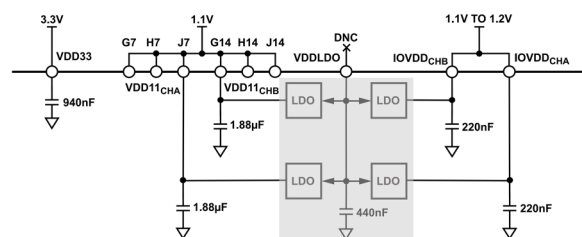


図 52. 外部電圧源の構成

パワーオン・リセット (POR) モニタ

AD4880 の各チャンネルには独立した電源モニタリング回路があり、電源状態が仕様規定された動作制限を超えた場合に、コンバータ機能を停止しコンフィギュレーション・メモリをリセットします。この機能により、チャンネルが電源投入後に確定的な状態になることを徹底できます。電源投入機能は、2 つの独立した電圧モニタで構成されています。最初のモニタはコアの 1.1V 電源 (VDD11ChX) を測定し、2 番目のモニタはリファレンス入力 (REFIN) の電圧を測定します。各モニタには、図 53 に示すように、アナログおよびデジタル・ブロック・リセットのデカップリングに使用される専用のコンパレータ出力があります。

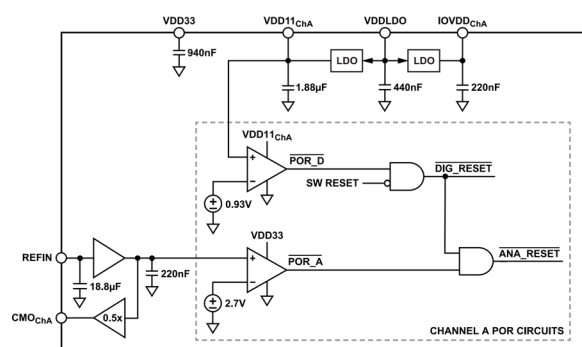


図 53. POR 回路の簡略図 (チャンネル A について表示)

コア VDD (1.1V) 電源モニタは VDD11Chx 電源電圧を 0.93V のプリセット・スレッシュホールドと比較します。電源電圧がこのスレッシュホールド未満に低下した場合は、リセット信号 **POR_D** がアサートします。デジタル論理リセット信号 **DIG_RESET** は、

動作原理

$\overline{\text{POR_D}}$ 信号と SPI ソフトウェア・リセット機能の補完信号の論理組み合わせ（論理積）として定義されます。 $\overline{\text{POR_D}}$ 信号（ $\text{VDD11} < 0.93\text{V}$ ）または SW RESET 信号のいずれかがアサートされると、内部デジタル回路はリセット状態に保持されます。クリアすると、このチャンネルの設定レジスタの内容が工場出荷時のデフォルト設定値に復元されます。

リファレンス・モニタはリファレンス入力ピン REFIN の入力電圧を 2.7V のプリセット・スレッシュホールドと比較します。図 53 に示すように、リファレンス・モニタ回路の電源は VDD33 電源から供給されます。しかし、リファレンス電圧が 2.6V を下回ると、デバイスは変換結果のデータの出力を停止することに注意することが重要です。変換プロセスを再開するには、リファレンス電圧を 2.87V にします。モニタ回路の正常な動作のためには、リファレンス電源をイネーブルする前に、規定の許容範囲である $3.3\text{V} \pm 5\%$ の VDD33 電源を AD4880 に供給する必要があります。デバイスが仕様規定されている電源条件で動作している前提で、リファレンス電圧が 2.7V より低くなると、内部リセット信号の $\overline{\text{POR_A}}$ がアサートされます。 $\overline{\text{POR_A}}$ 信号と $\overline{\text{DIG_RESET}}$ 信号の組み合わせ（論理積）によって、ADC コア、ADC タイマー、リファレンス・バッファなどのアナログ回路ブロックのリセット（ $\overline{\text{ANA_RESET}}$ ）が発生します。このリセット信号がアサートされると、アナログ・ブロックが非アクティブ状態になり、コンバータの機能がディスエーブルされます。このイベントは、デバイス・ステータス・レジスタ（アドレス 0x14）の POR_ANA_FLAG ビットの値 1 で示されます。イベント検出の状態は、ロジック 1 が POR_ANA_FLAG ビットに書き込まれて検出状態がクリアされるまで持続します。

電源シーケンス

表 9 は、1.1V 電源レール（IOVDD_{ChA}、IOVDD_{ChB}、VDD11_{ChA}、VDD11_{ChB}）の内部および外部生成の推奨電源シーケンスを示しています。いずれの方法も図 54 と図 55 に示されています。青色で強調表示されているのは、REFIN 電圧を含む AD4880 に供給する必要がある電源です。いずれの場合も、AD4880 では、電源を電圧の昇順で供給する必要があります。パワーオン・リセット（POR）モニタのセクションで説明したように、リファレンス入力ピンの電圧は、VDD33 が仕様規定された電源の許容範囲内にある場合にのみ適用して、望ましくない動作を回避する必要があります。したがって、選択された電圧リファレンスがイネーブル・ピンを提供しない場合、VDD33 の後に電源が投入されるように、リファレンス回路を設計することを強く推奨します。

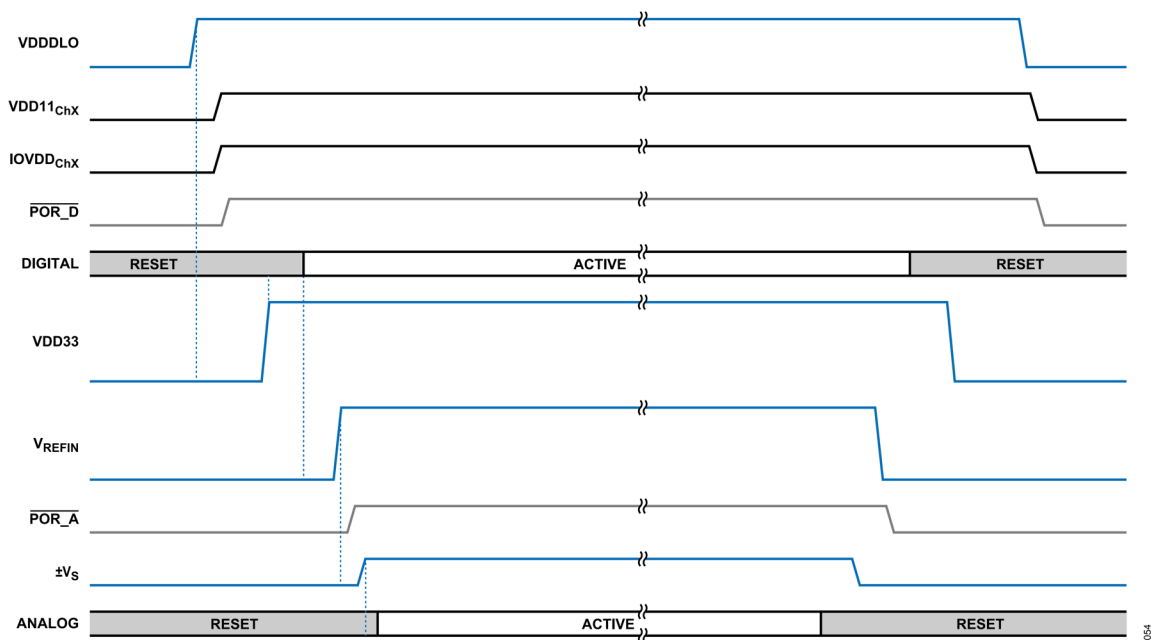
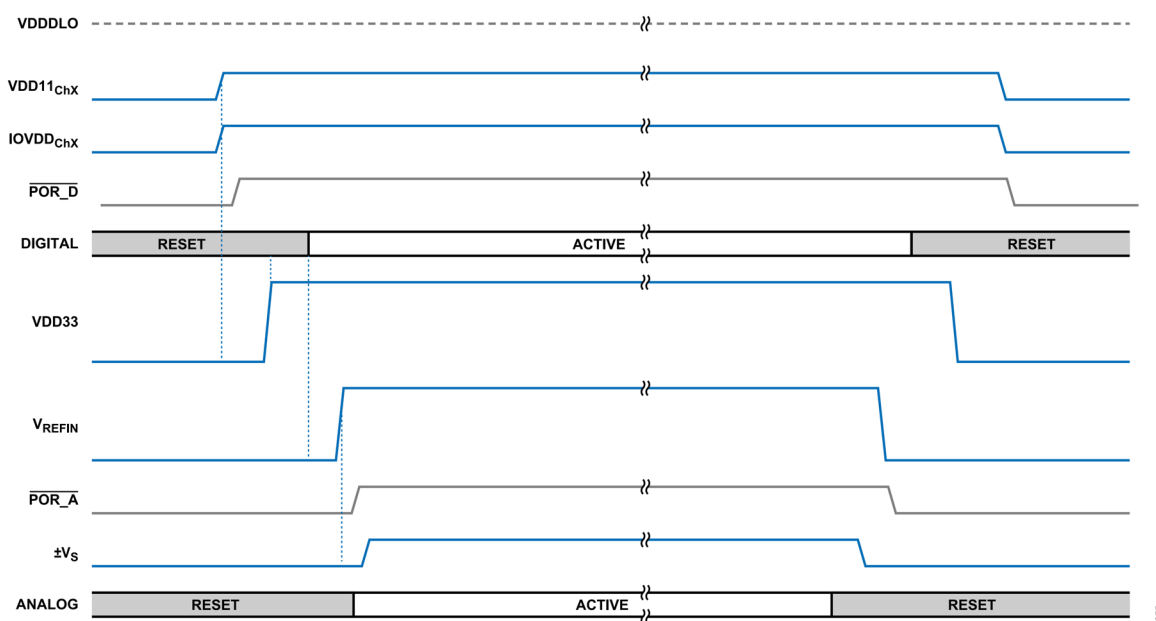
設定 SPI 入力である、 $\overline{\text{CS}}_{\text{ChX}}$ 、 SCLK_{ChX} 、 SDI_{ChX} は、VDD33 電源レールへのクランプで保護されるため、入力を IOVDD_{ChX} より大きく振ることができます。このアーキテクチャ上の決定の結果として、VDD33 が IOVDD_{ChX} - 0.3V より大きくなるまで、SPI 入力をグラウンドに駆動するか、さもなければ入力をフローティング状態のままにしておく必要があります。あるいは、VDD33 電源を、ADP199 のような、電源が IOVDD_{ChX} - 0.3V 未満のときにスイッチが開くように設定された直列電源スイッチを用いてデバイスに接続できます。その場合、デジタル入力を経由する VDD33 までの寄生電流経路が排除されます。

アプリケーション回路の電源を切断するには、表 9 に示す電源投入シーケンスを逆にする必要があります。

表 9. 推奨電源シーケンス

1.1V Supplies (IOVDD and VDD11) Source	Supply Sequence
Internally Generated	1. VDDLDO 2. VDD33 3. Digital inputs 4. Reference 5. $\pm V_S$ 6. Analog inputs
Externally Generated	1. IOVDD, VDD11 2. VDD33 3. Digital inputs 4. Reference 5. $\pm V_S$ 6. Analog inputs

動作原理

図 54. 電源シーケンス、IOVDD_{ChX} および VDD11_{ChX} を内部生成図 55. 電源シーケンス、IOVDD_{ChX} および VDD11_{ChX} を外部生成

動作原理

省電力動作モード

AD4880 の各チャンネルの動作モードは、対応する**デバイス設定レジスタ**（アドレス 0x02）の OPERATING_MODES ビットによって制御されます。電源投入時およびリセット後のデフォルトは、ノーマル・モード（OPERATING_MODES = 2'b00）です。**表 10** は、すべての動作モードを示し、**図 56** は、これらのモード間で許容される遷移を示します。2 つの省電力モード（スタンバイ・モードおよびスリープ・モード）間の直接の遷移は不可であることに注意してください。

電力モードを設定する前に、チャンネルに対するすべての変換とデータ・インターフェースのクロッキングを停止することが重要です。

両方の ADC チャンネルがスタンバイ・モードまたはスリープ・モードになっている場合は、VDD33 電源を取り外して消費電力を削減できます。いずれかの省電力モードを終了するには、SPI 設定インターフェース・コマンドを発行する前にこの電源を再確立する必要があります。

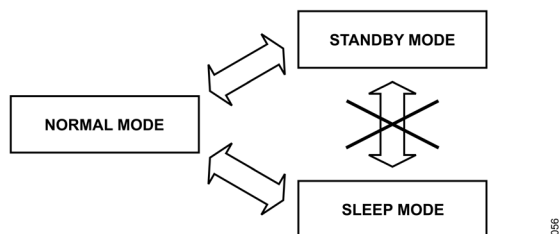


図 56. 動作モードの遷移

ノーマル・モードから 2 つの省電力モードのいずれかに遷移するには、**デバイス設定レジスタ**の OPERATING_MODES ビットに必要な値を書き込みます。SPI 設定インターフェースの動作は省電力モードの影響を受けないため（**SPI 設定インターフェース**のセクションを参照）、ウェイクアップ（つまり、ノーマル・モードへの遷移）も同様の方法で実行されます。通常の変換に迅速に戻る必要がある場合には、電力を節約するためにスタンバイ・モードを選択できます。スリープ・モードは、ノーマル・モードへの復帰に時間がかかる低電力状態です。スタンバイ・モードとスリープ・モードはいずれも、結果 FIFO（**結果 FIFO**のセクションを参照）と併用すると特に便利です。これにより、選択された省電力モードにある間に、以前に保存された変換データに FIFO からアクセスできます。

内部安定化電源構成を用いている場合、チャンネルをスタンバイ・モードまたはスリープ・モードにすると、対応する IOVDD_{ChX} レールを生成している LDO レギュレータがパワーダウンします。それによって、現在給電されていない IOVDD_{ChX} ドメイン下の入出力のすべてがディスエーブルされます（対応するすべての GPIO_{ChX}、LVDS データ・インターフェース（**LVDS データ・インターフェース**のセクションを参照）、SPI データ・インターフェース（**SPI データ・インターフェース**のセクションを参照）の各信号がディスエーブルされます）。この状態でも、AD4880 の SPI 設定に書き込んで、デバイス設定レジスタ（**デバイス設定レジスタ**のセクションを参照）の OPERATING_MODES ビットへの書き込みによってノーマル・モードに戻るコマンドを発行すること、あるいは、ソフトウェア・リセット（**ソフトウェア・リセット**のセクションを参照）を発行することができます。これは、 $\overline{CS}_{ChX}$ 、SCLK_{ChX}、SDI_{ChX} が、VDD11_{ChX} 電源ドメイン下にあるためです。GPIO_{ChX} がディスエーブルになっているため、SPI 設定インターフェース・バス上で読出しアクティビティを実行することはできません。

IOVDD_{ChX} が外部から供給され、チャンネルがスタンバイ・モードまたはスリープ・モードになると、その LVDS データ・インターフェースはディスエーブルになります。ただし、その GPIO_{ChX}、SPI データ・インターフェース、および SPI 設定インターフェース・ピンすべてはイネーブルのまま影響を受けません。仕様規定された範囲内で IOVDD_{ChX} に外部から電力が供給されている間、それまでに取得されチャンネルの結果 FIFO に格納されているデータは、スタンバイ・モードまたはスリープ・モードのいずれかでアクセスできます。

表 10 は、各モードに関連するウェイクアップ時間も示しています。スリープ・モードからのウェイクアップ時間は、スタンバイ・モードの場合よりも大幅に長くなります。これは、内部リファレンス・バッファとコモンモード・バッファが再びイネーブルになり、内部コンデンサに電荷を補充するための時間が必要になるためです。ウェイクアップ時間は、選択された省電力モードを終了する SPI コマンドのデバイス設定レジスタへの書き込み（**デバイス設定レジスタ**のセクションの OPERATING_MODES を参照）から、最初の変換開始パルスが印加されるまでの時間として定義されます。仕様規定されたウェイクアップ時間が経過する前に変換開始パルスを印加すると、動作が不適切になったり、デバイスに致命的な損傷が生じたりする可能性があります。

いずれの省電力動作モードでもチャンネルの消費電力を最小限にするためには、その ADC データ・インターフェース設定 B レジスタの LVDS_SELF_CLK_MODE（**ADC データ・インターフェース設定 B レジスタ**のセクションを参照）をイネーブルして、LVDS DCO トランスミッタをパワーダウンします。

動作原理

表 10. 省電力動作モード

動作モード	OPERATING_MODES ビット値	説明	影響	ウェイクアップ時間 (ノーマル・モード までの最大時間)
通常	0b00	通常動作モード。	通常動作。	N/A ¹
スタンバイ	0b10	スタンバイ動作モード。	内部 IOVDD_{ChX} LDO レギュレータがディスエーブルになります。 IOVDD_{ChX} が外部から供給されていない場合、すべてのチャンネルの GPIO_{ChX}、LVDS データ・インターフェース、SPI データ・インターフェースの信号はディスエーブルになります。SPI 設定インターフェースの場合は、デバイス設定レジスタ（デバイス設定レジスタのセクションを参照）とインターフェース設定 A レジスタ（インターフェース設定 A レジスタのセクションを参照）への書込みのみが可能です。 IOVDD_{ChX} が外部から供給される場合、すべてのチャンネルの GPIO_{ChX} および SPI データ・インターフェース信号がイネーブルになります。SPI 設定インターフェースは完全にイネーブルです。SPI データ・インターフェースはイネーブルのままのため、ユーザは結果 FIFO（結果 FIFOのセクションを参照）内のデータにアクセスできます。 ADC コアの電源が切断されます。アナログ回路はリセット状態のまま（ANA_RESET はアサートされたまま）であり、ADC 変換は実行できません。 VDD33 電源を取り外して電力を減らすことができます。 使用している場合は、VDD11_{ChX} LDO レギュレータはオンのままです。 内蔵リファレンス・バッファがイネーブルになります。 COMMON モード出力バッファがイネーブルになります。LVDS インターフェースはディスエーブルです。	100μs
スリープ	0b11	低消費電力動作モード。	内部 IOVDD_{ChX} LDO レギュレータがディスエーブルになります。 IOVDD_{ChX} が外部から供給されていない場合、すべての GPIO_{ChX}、LVDS データ・インターフェース、SPI データ・インターフェースの信号はディスエーブルになります。SPI 設定インターフェースの場合は、デバイス設定レジスタ（デバイス設定レジスタのセクションを参照）とインターフェース設定 A レジスタ（インターフェース設定 A レジスタのセクションを参照）への書込みのみが可能です。 IOVDD_{ChX} が外部から供給される場合、すべての GPIO_{ChX} および SPI データ・インターフェース信号がイネーブルになります。SPI 設定インターフェースは完全にイネーブルです。 SPI データ・インターフェースはイネーブルのままのため、ユーザは結果 FIFO（結果 FIFOのセクションを参照）内のデータにアクセスできます。 ADC コアの電源が切断されます。アナログ回路はリセット状態のまま（ANA_RESET はアサートされたまま）であり、ADC 変換は実行できません。 VDD33 電源を取り外して電力を減らすことができます。 内蔵リファレンス・バッファがディスエーブルになります。 イネーブルの場合、内部 VDD11_{ChX} LDO レギュレータはオンのままです。 COMMON モード出力バッファはディスエーブルです。LVDS インターフェースはディスエーブルです。 SPI データ・インターフェースはイネーブルのままであり、結果 FIFO（結果 FIFOのセクションを参照）内のデータにアクセスできます。	180μs

¹ N/A は該当なしを意味します。

動作原理

ソフトウェア・リセット

AD4880の各チャンネルは、ソフトウェアによって個別にリセットできます。このリセット方法は、チャンネルのADCがアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用する必要があります。

ソフトウェア・リセットは、そのチャンネルのインターフェース設定 A レジスタ（[インターフェース設定 A レジスタ](#)のセクションを参照、アドレス 0x00）に次の 2 つの書き込みを発行することによって実行されます。

1. レジスタに 0x81 を書き込んで、SW_RESET ビットと SW_RESETX ビットを 1 に設定します。
2. これらのビットのいずれかまたは両方を 0 に設定する別の書き込みコマンドを発行します。

このアクションは、そのチャンネルに以前に設定されたレジスタをデフォルト設定値に戻します。ただし、インターフェース設定 A レジスタの ADDR_ASCENSION ビットは、以前の値を保持します。チャンネルの FIFO にデータがある場合、その内容もソフトウェア・リセットの影響を受けません。ADDR_ASCENSION ビットと FIFO データは、ハードウェア・リセットまたは完全な電源投入が行われた後にのみ、デフォルト設定値に戻ります。

アプリケーション情報

アナログ入力の駆動およびゲイン

AD4880の各チャンネルの入力には、完全差動アンプ段が内蔵されています。図 57 に示すように、帰還抵抗は 750Ω に固定されています。一方、一連の 3 つの抵抗は、様々に配列して直列抵抗の実効値を変更でき、それによって、この段のゲインを調整できます（図 60 および図 73 を参照）。5.77 を超えるゲイン設定を行うと、FDA 段からのノイズの寄与が ADC 自体のノイズを上回るようになるため、一般的には推奨されません。

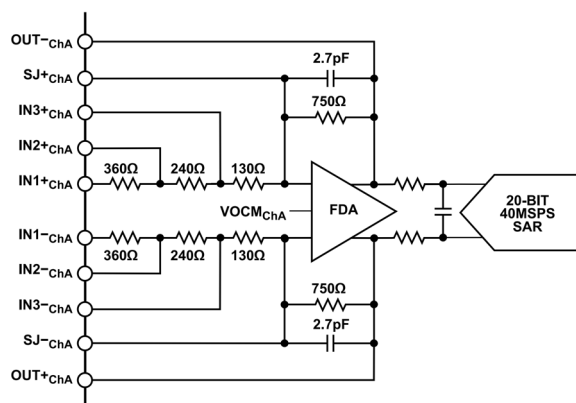
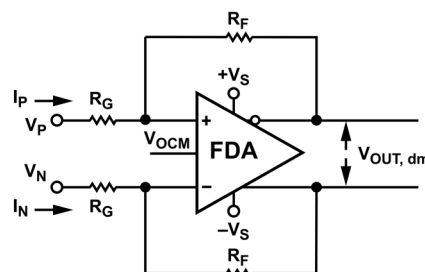


図 57. AD4880 の入力（チャンネル A について表示）

表 11 に、入力ピンの様々な短絡構成を通じて得られるゲインと、その結果得られる差動駆動およびシングルエンド駆動での入力インピーダンスを示します。記号は、図 58 および図 59 に従っています。また、差動ゲインは、 $G = R_F/R_G$ として計算しました。

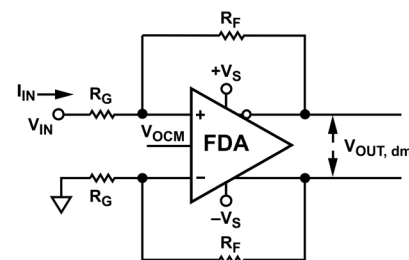
AD4880 の入力は、差動信号またはシングルエンド信号のいずれかで駆動できます。シングルエンドの場合、回路の入力インピーダンスは、インバータとして接続された一般的なオペレーショナル・アンプリファイア（オペアンプ）よりも実効的に高くなる点に注意してください。これは、差動出力電圧の一部が入力に共通モード信号として現れ、入力抵抗 R_G 両端の電圧をある程度ブートストラップするからです。入力信号の共通モードについては、FDA $SJ\pm$ ピンの絶対電圧制限（入力共通モード電圧範囲の仕様）を遵守してください。表 11 では、許容される共通モード電圧範囲が、公称 FDA 電源条件（ $+V_S=5V$ 、 $-V_S=-1V$ ）

でのゲインごとに算出されています。これには、一時的であっても入力共通モード電圧範囲を超えることのないよう、一定のヘッドルームが含まれています。FDA の出力での共通モードの詳細については、リファレンス・バッファと共通モード出力のセクションを参照してください。



$$R_{IN,DIFF} = \frac{V_P - V_N}{(I_P - I_N)/2} = 2 \times R_G$$

図 58. FDA の入力インピーダンス、差動駆動



$$R_{IN,SE} = \frac{V_{IN}}{I_{IN}} = \frac{R_G}{1 - \left(\frac{R_F}{2 \times (R_G + R_F)} \right)}$$

図 59. FDA の入力インピーダンス、シングルエンド駆動

表 11. FDA のゲイン・オプション

Gain	Differential Input Voltage Range (V)	Input Signal Common-Mode Range ($+V_S = 5V$, $-V_S = -1V$)	Required External Shorting	FDA Stage Input	$R_G (\Omega)$	$R_{IN,DIFF} (\Omega)$	$R_{IN,SE} (\Omega)$
1.03	± 2.92	-3.2V to +5.6V	None	IN1 $\pm$	$360 + 240 + 130 = 730$	1460	978
1.25	± 2.40	-2.8V to +5.2V	IN3 $\leftrightarrow$ SJ	IN1 $\pm$	$360 + 240 = 600$	1200	831
1.53	± 1.96	-2.4V to +4.9V	IN2 $\leftrightarrow$ IN3	IN1 $\pm$	$360 + 130 = 490$	980	702
2.03	± 1.48	-2.0V to +4.6V	IN1 $\leftrightarrow$ IN2	IN1 $\pm$ or IN2 $\pm$	$240 + 130 = 370$	740	556
2.08	± 1.44	-2.0V to +4.6V	IN2 $\leftrightarrow$ IN3 $\leftrightarrow$ SJ	IN1 $\pm$	360	720	544
2.74	± 1.10	-1.7V to +4.3V	IN1 $\leftrightarrow$ IN3	IN2 $\pm$	$(360 \parallel 240) + 130 = 274$	548	432
3.13	± 0.96	-1.6V to +4.2V	IN1 $\leftrightarrow$ IN2, IN3 $\leftrightarrow$ SJ	IN1 $\pm$ or IN2 $\pm$	240	480	386
4.11	± 0.73	-1.4V to +4.1V	IN1 $\leftrightarrow$ SJ	IN2 $\pm$	$360 \parallel (240 + 130) = 182.5$	365	305
5.21	± 0.58	-1.3V to +4.0V	IN1 $\leftrightarrow$ IN3 $\leftrightarrow$ SJ	IN2 $\pm$	$(360 \parallel 240) = 144$	288	248
5.77	± 0.52	-1.3V to +3.9V	IN1 $\leftrightarrow$ IN2 $\leftrightarrow$ IN3	IN1 $\pm$ or IN2 $\pm$ or IN3 $\pm$	130	260	227

アプリケーション情報

表 11. FDA のゲイン・オプション（続き）

Gain	Differential Input Voltage Range (V)	Input Signal Common-Mode Range (+V _S = 5V, -V _S = -1V)	Required External Shorting	FDA Stage Input	R _G (Ω)	R _{IN,DIFF} (Ω)	R _{IN,SE} (Ω)
7.02	±0.43	-1.2V to +3.8V	IN1↔SJ	IN3±	(360 + 240) 130 = 106.8	214	190
7.86	±0.38	-1.2V to +3.8V	IN1↔SJ, IN2↔IN3	IN2± or IN3±	(360 130) = 96	191	172
8.92	±0.34	-1.1V to +3.8V	IN1↔IN2↔SJ	IN3±	(240 130) = 84	169	153
10.98	±0.27	-1.1V to +3.7V	IN1↔IN3, IN2↔SJ	IN1± or IN3±	360 240 130 = 68.3	137	126

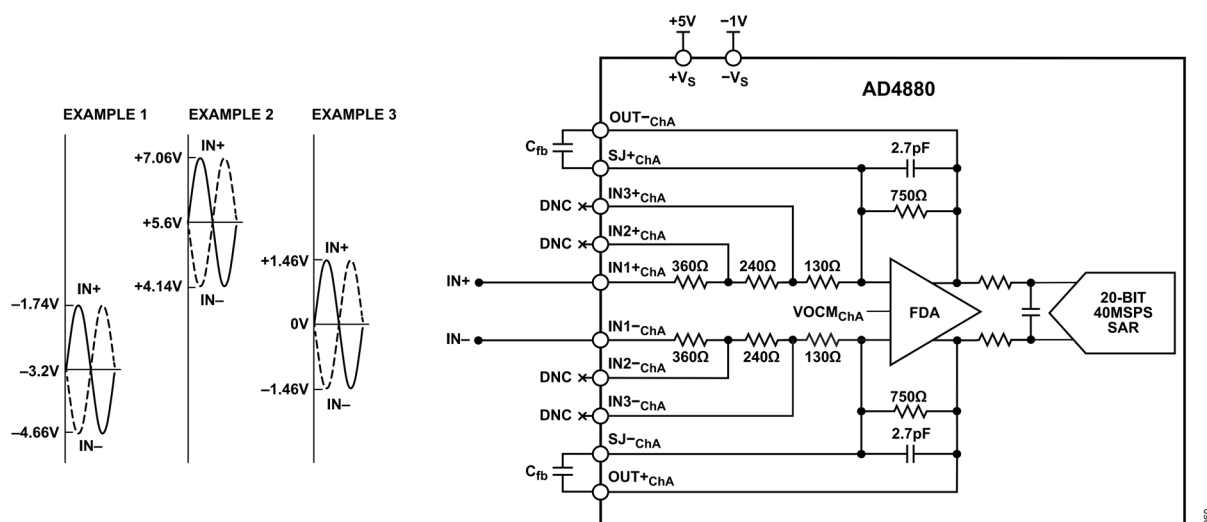


図 60. AD4880 の差動入力構成、ゲイン = 1.03、±2.91V の入力範囲

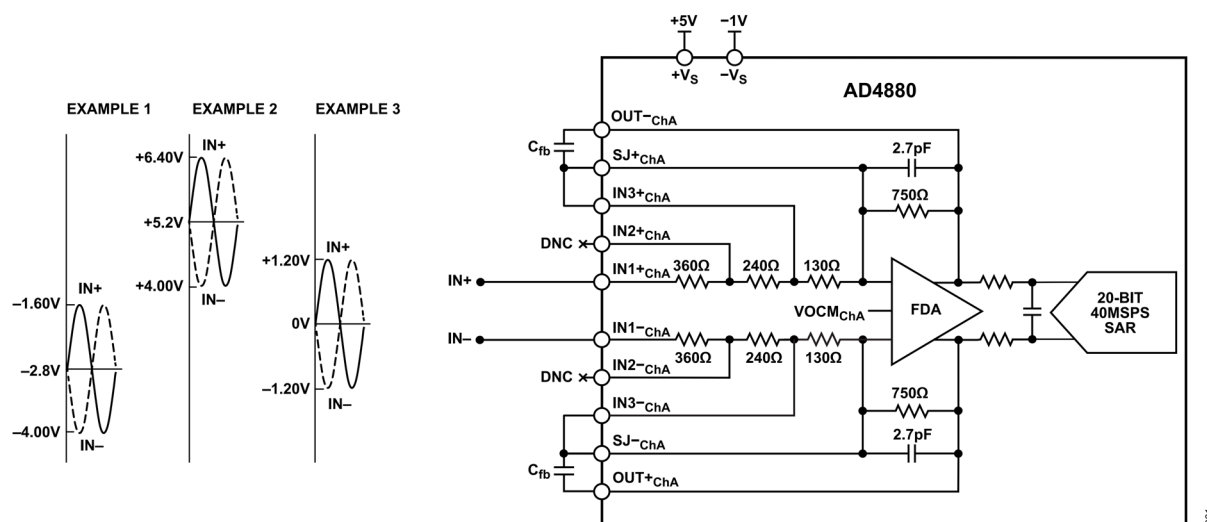


図 61. AD4880 の差動入力構成、ゲイン = 1.25、±2.40V の入力範囲

アプリケーション情報

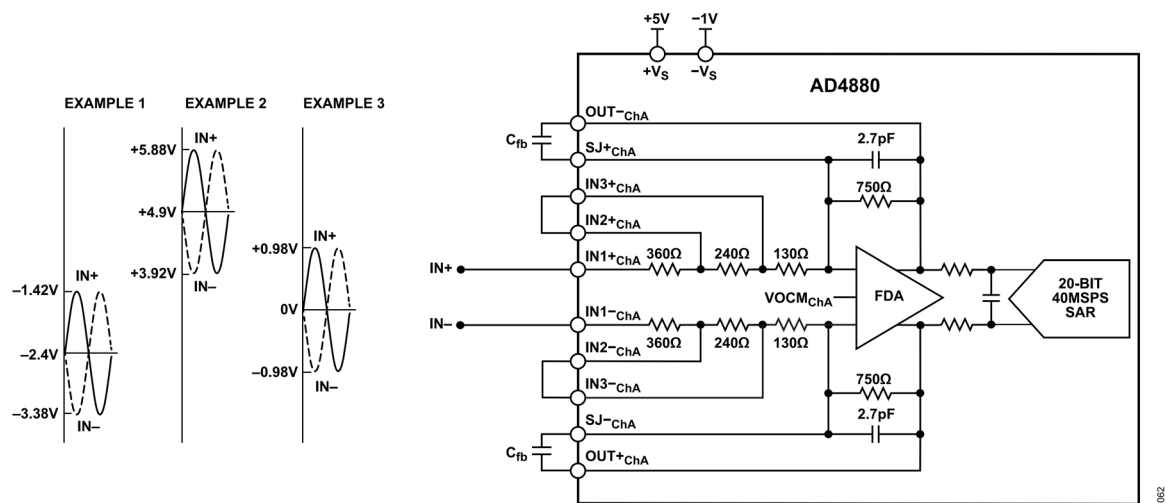


図 62. AD4880 の差動入力構成、ゲイン = 1.53、 $\pm 1.96\text{V}$ の入力範囲

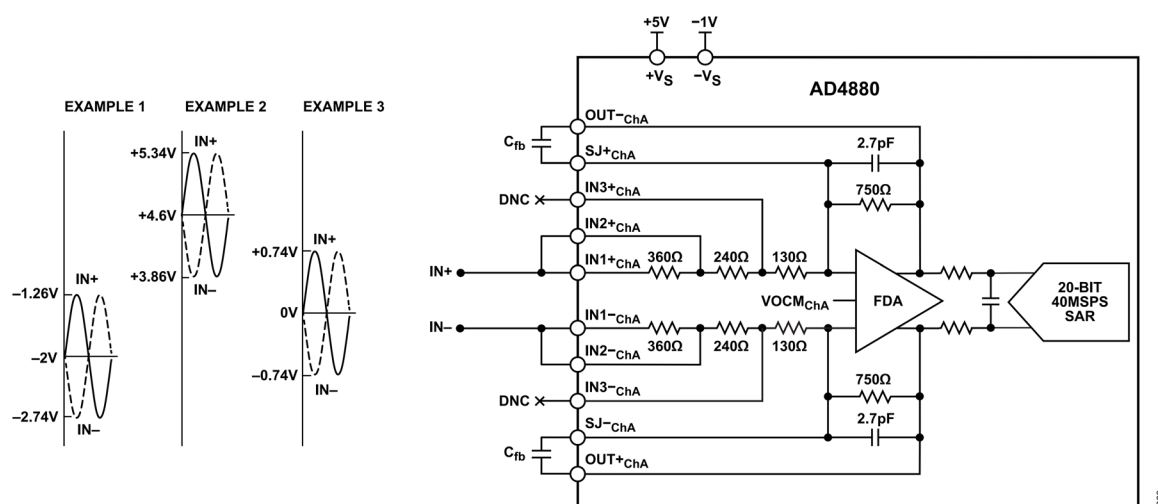


図 63. AD4880 の差動入力構成、ゲイン = 2.03、 $\pm 1.48\text{V}$ の入力範囲

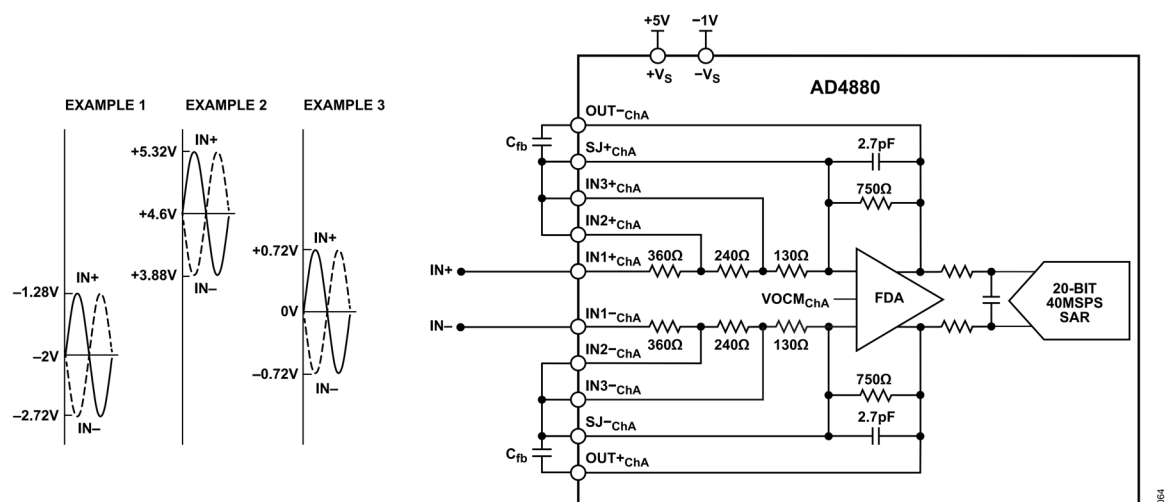


図 64. AD4880 の差動入力構成、ゲイン = 2.08、 $\pm 1.44\text{V}$ の入力範囲

アプリケーション情報

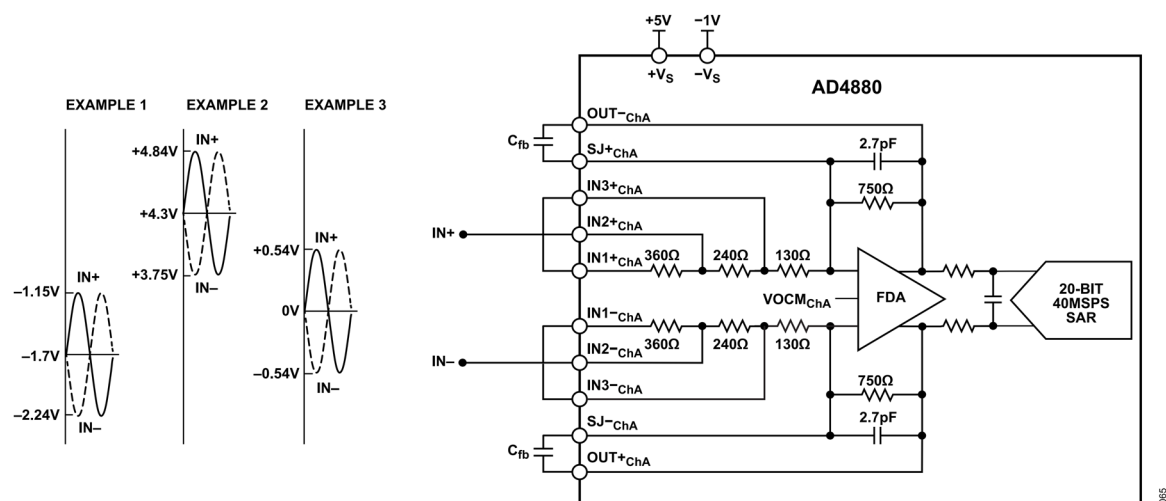


図 65. AD4880 の差動入力構成、ゲイン = 2.74、 $\pm 1.10\text{V}$ の入力範囲

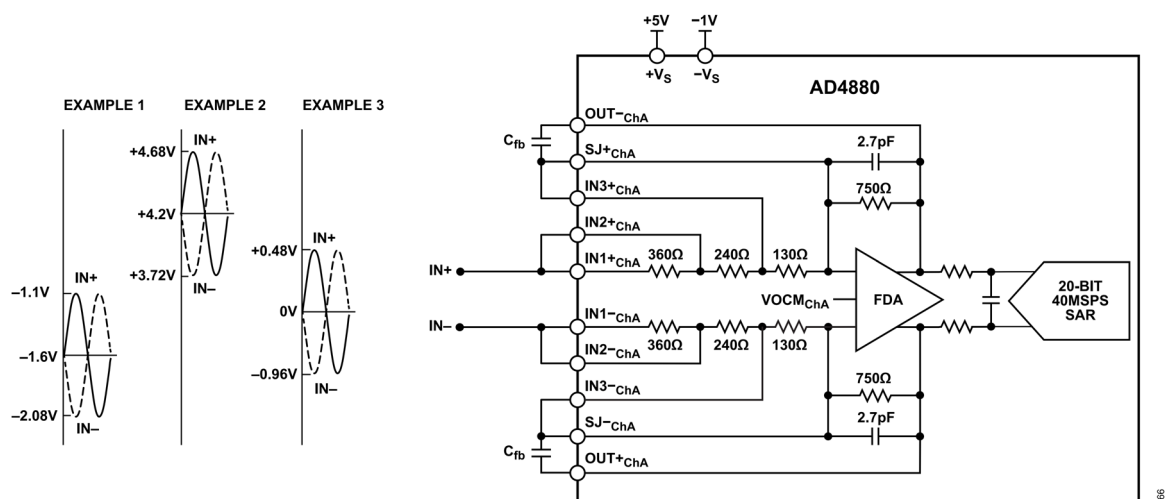


図 66. AD4880 の差動入力構成、ゲイン = 3.13、 $\pm 0.96\text{V}$ の入力範囲

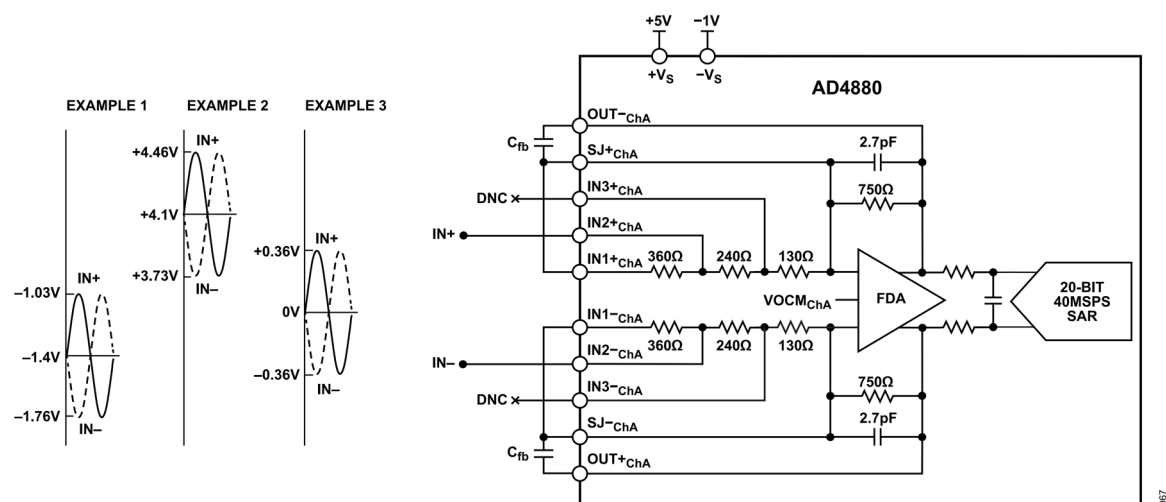


図 67. AD4880 の差動入力構成、ゲイン = 4.11、 $\pm 0.73\text{V}$ の入力範囲

アプリケーション情報

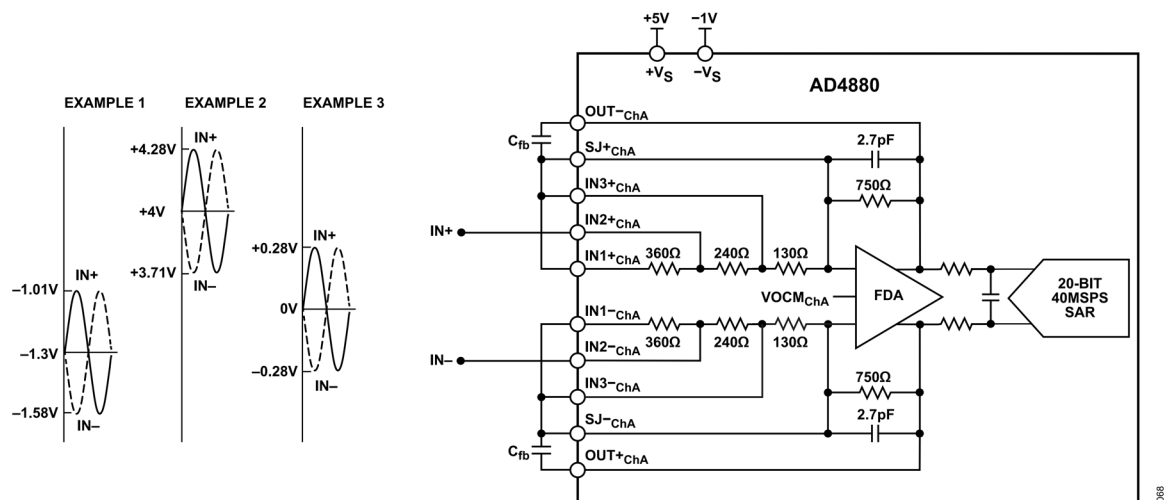


図 68. AD4880 の差動入力構成、ゲイン = 5.21、 $\pm 0.58V$ の入力範囲

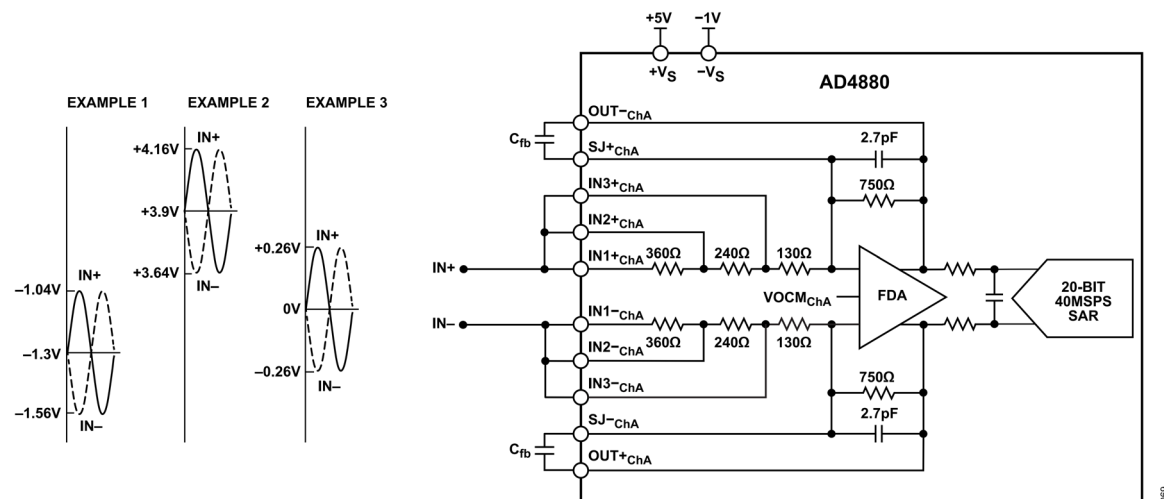


図 69. AD4880 の差動入力構成、ゲイン = 5.77、 $\pm 0.52V$ の入力範囲

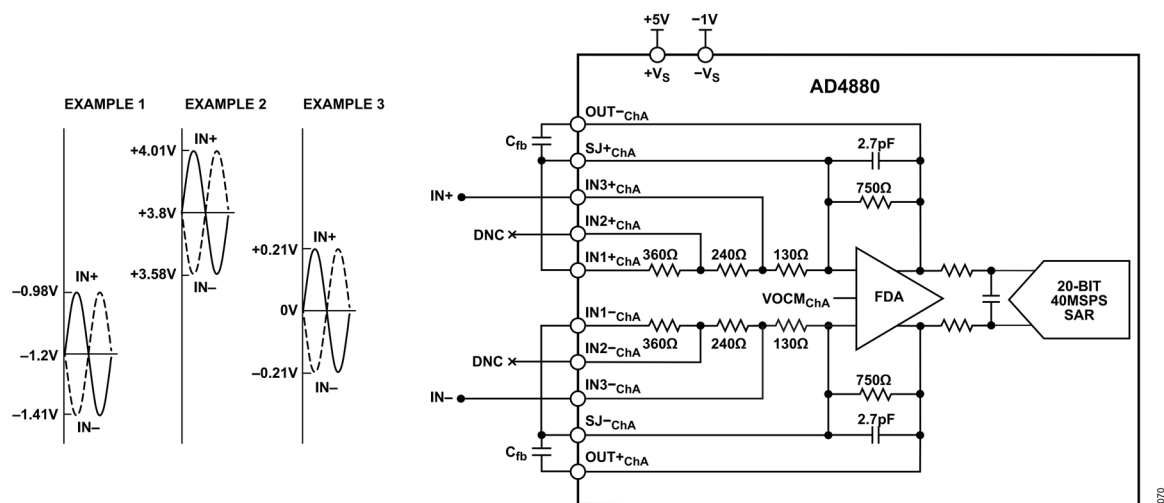


図 70. AD4880 の差動入力構成、ゲイン = 7.02、 $\pm 0.43V$ の入力範囲

アプリケーション情報

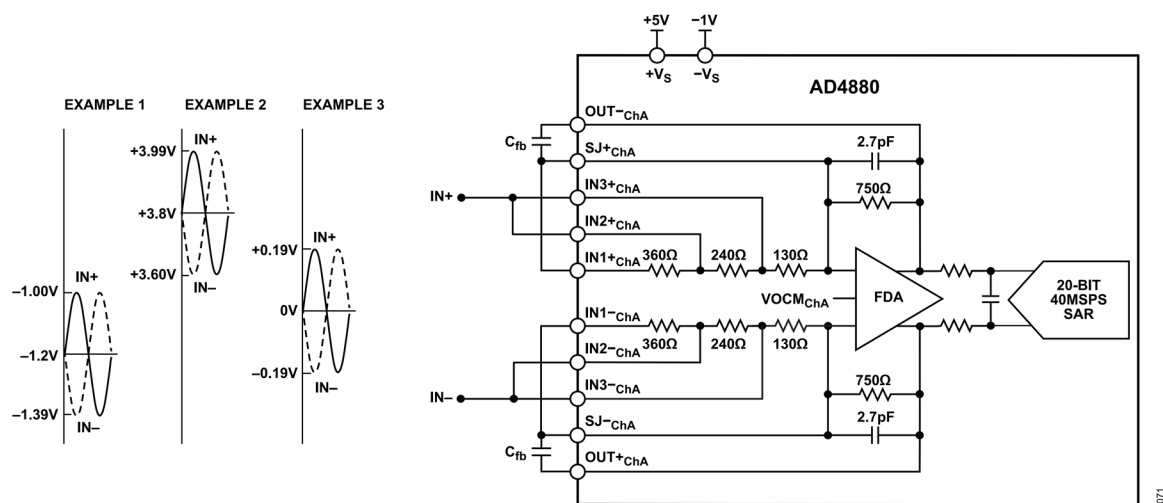


図 71. AD4880 の差動入力構成、ゲイン = 7.86、 $\pm 0.38V$ の入力範囲

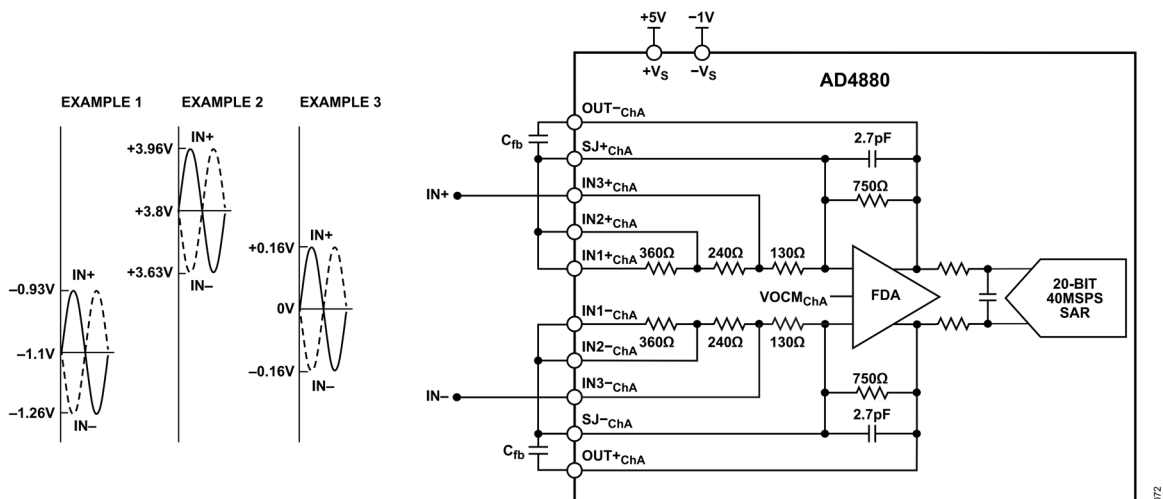


図 72. AD4880 の差動入力構成、ゲイン = 8.92、 $\pm 0.34V$ の入力範囲

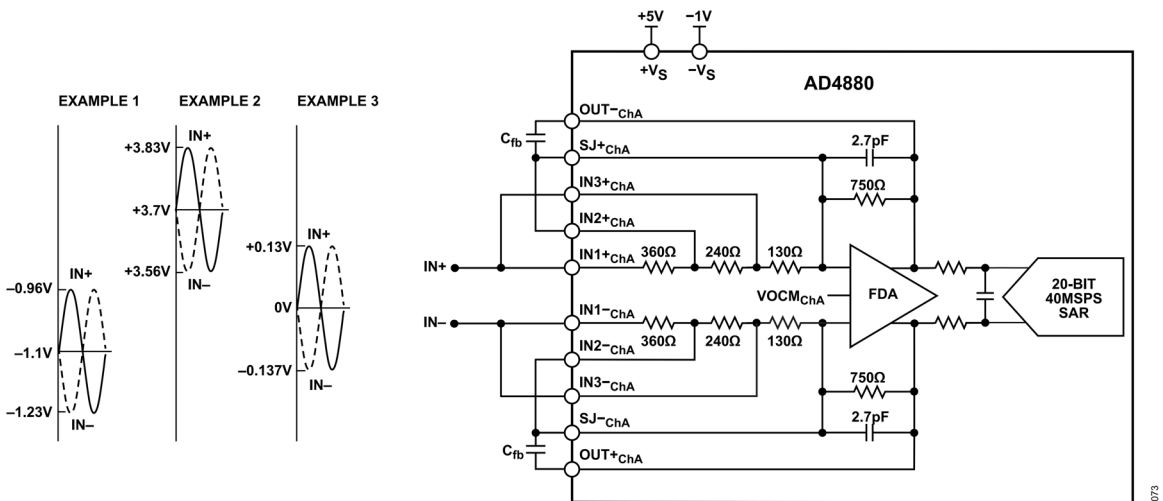


図 73. AD4880 の差動入力構成、ゲイン = 10.98、 $\pm 0.27V$ の入力範囲

アプリケーション情報

アナログ入力のフィルタ処理

AD4880は、第1ナイキスト・ゾーン ($f < f_s/2$) の信号を変換するよう設計されています。最高レベルのAC性能 (S/N比、THD) は、約1MHzまでの範囲で達成できます (図32および図33参照)。アプリケーションのS/N比を最大化するためには、FDA段の入力でのノイズおよびFDA自体が発生するノイズを適切にフィルタ処理することが必要です。高速セトリングが必要なマルチプレックスされた入力を使用するアプリケーションには、通常、FDAの全帯域幅を用いる (または帯域幅制限を最小限にする) ことが適切です。

ノイズ・フィルタリングのためにFDA帯域幅制限を行うには、FDA帰還ネットワークの2.7pFの内部コンデンサと並列に、つまり、 $SJ+ChX$ と $OUT-ChX$ の間、および、 $SJ-ChX$ と $OUT+ChX$ の間に、外部コンデンサを追加します。高品質、高精度のNP0コンデンサを用いることを推奨します。配線パターンインダクタンスを最小限に抑えるために、コンデンサは、AD4880の接続点のできるだけ近くに配置する必要があります。1MHz未満の信号に対しては、220pFの値を用いることで最適なノイズ・フィルタリングが実現できます。表12に、外部帰還コンデンサの様々な値に対して推定されるダイナミック・レンジと3dB帯域幅を示します。

表 12. 帯域幅およびダイナミック・レンジに対して予測される外部FDA帰還コンデンサの効果、 $G = 1.03$ の設定

C_{fb} External		
Capacitor Value (pF)	3dB Bandwidth (MHz)	Dynamic Range (dB)
220	0.95	92.8
180	1.16	92.8

表 12. 帯域幅およびダイナミック・レンジに対して予測される外部FDA帰還コンデンサの効果、 $G = 1.03$ の設定 (続き)

C_{fb} External		
Capacitor Value (pF)	3dB Bandwidth (MHz)	Dynamic Range (dB)
120	1.72	92.7
56	3.55	92.4
22	8.13	91.8
10	14.67	91.1
0 (no capacitor)	39.33	89.3

ゲインが1.03のFDA構成は、FDAの入力での実効的なゲイン設定抵抗 (図58の R_G) の中に、使用可能な中間点を2つ残します。そのため、これらの中間点の間にコンデンサを配置することにより、最小限の追加部品でFDA段のフィルタ次数を増やすことができます。図74および図75に、FDA段全体に2次の応答を生成する配置、図76に3次の応答を生成する配置を示します。ゲイン設定が、1.25、1.53、2.03、2.74の場合は、使用可能な中間点が1つ残ります。それにより、コンデンサを1つ追加するだけで、FDAの応答を2次に増加できます。FDAの入力ネットワークにコンデンサをこのように追加することにより、FDA自体のノイズが実質的に増幅される点に注意してください。そのため、この段のフィルタ次数を増加させることの全体的な効果は、アプリケーション固有の条件に照らして慎重に分析する必要があります。AD4880のモデルをLTspiceで使用することにより、入力フィルタ設計をシミュレーションに基づき分析して高度化できます。

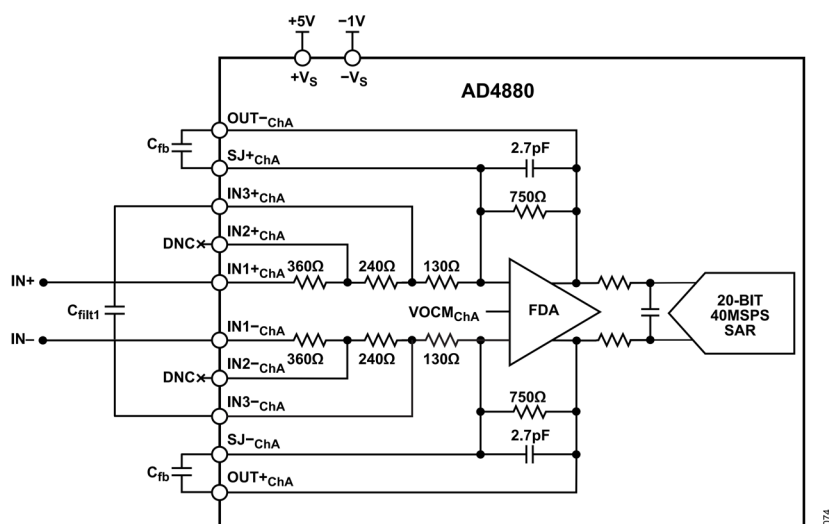
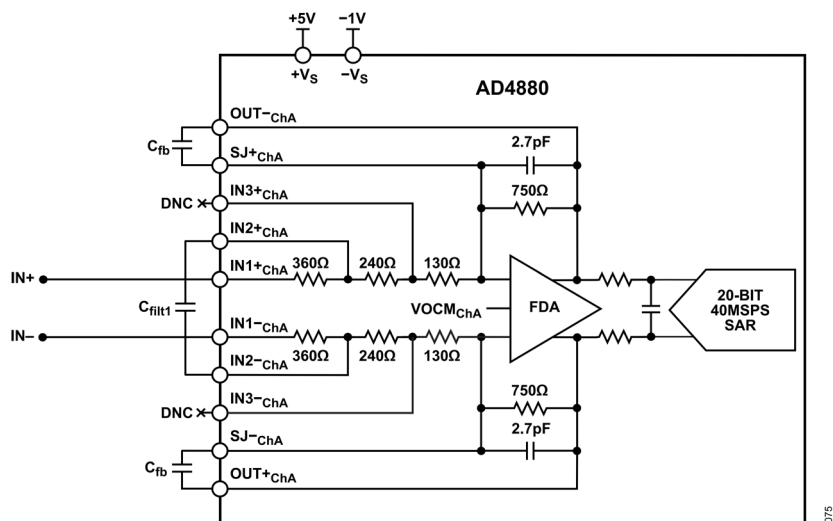
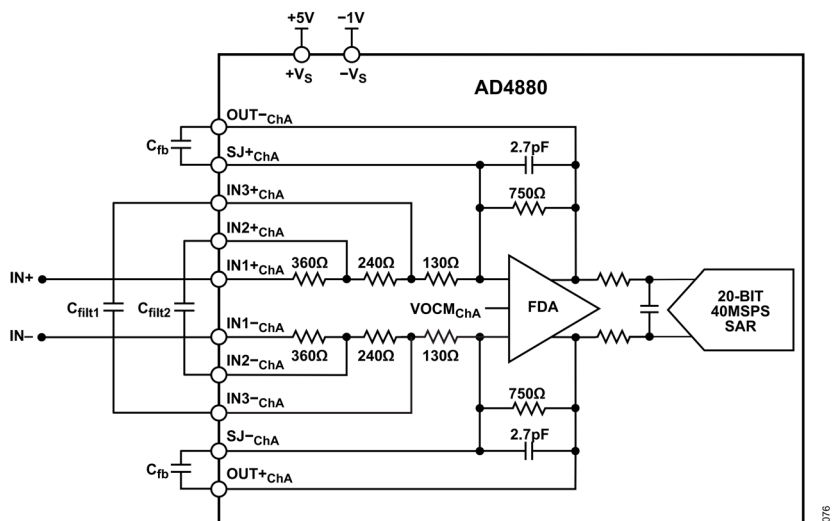


図 74. AD4880 の FDA 段、 $G = 1.03$ 、2 次の応答用にコンデンサ 1 個を追加、オプション 1

アプリケーション情報

図 75. AD4880 の FDA 段、 $G = 1.03$ 、2 次の応答用にコンデンサ 1 個を追加、オプション 2図 76. AD4880 の FDA 段、 $G = 1.03$ 、3 次の応答用にコンデンサ 2 個を追加

アプリケーション情報

代表的なアプリケーション図

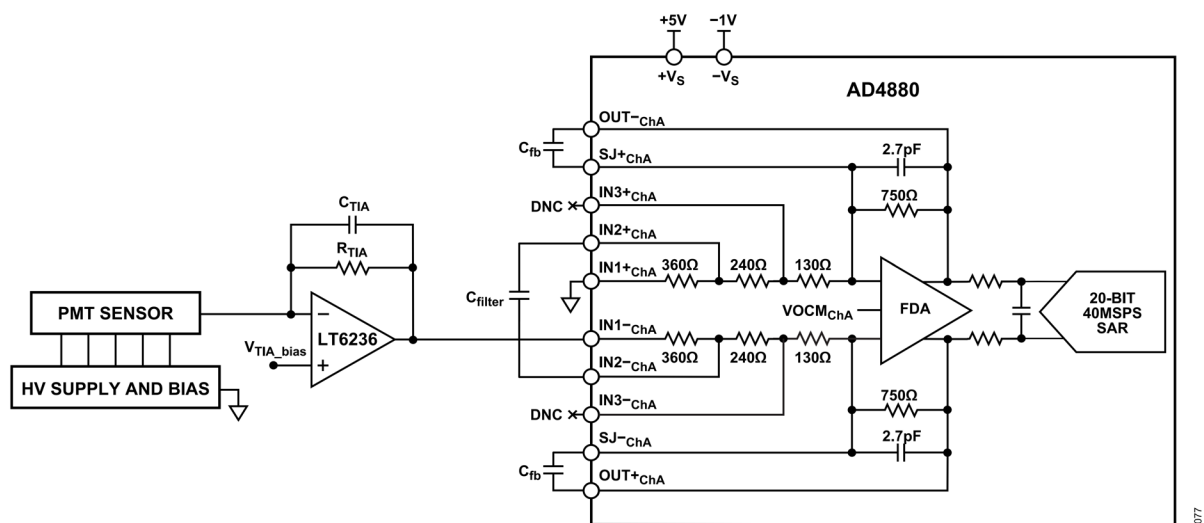


図 77. 低ゲイン TIA を用いた光電子増倍管（PMT）センサーからのデータ・アクイジションの代表的な回路図

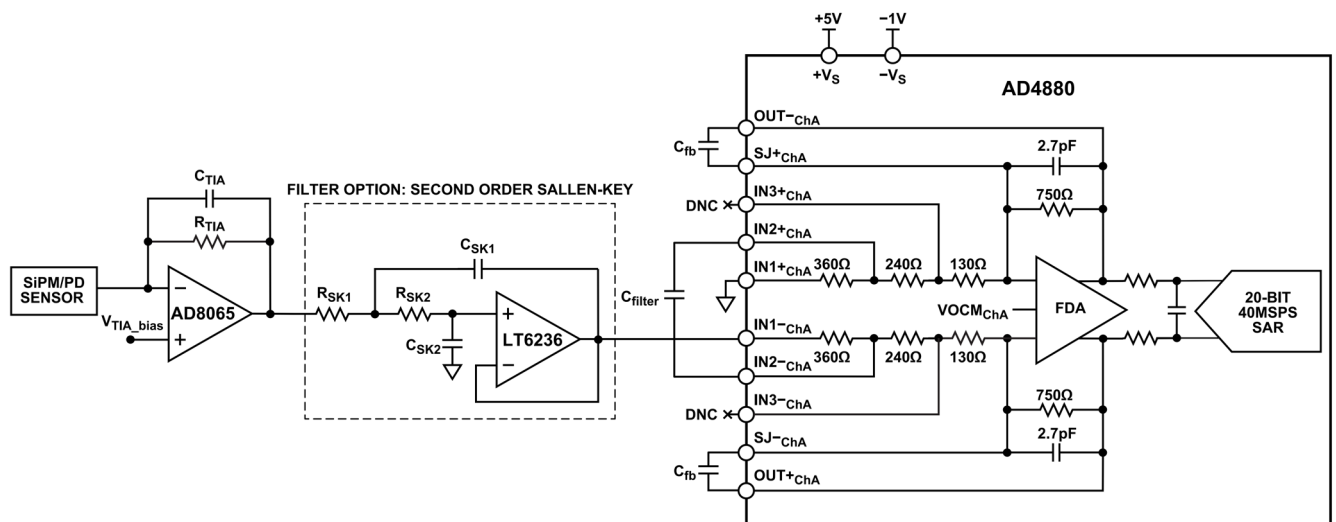


図 78. 高ゲイン TIA を用いたフォト・ダイオード（PD）またはシリコン光電子増倍素子（SiPM）センサーからのデータ・アクイジションの代表的な回路図

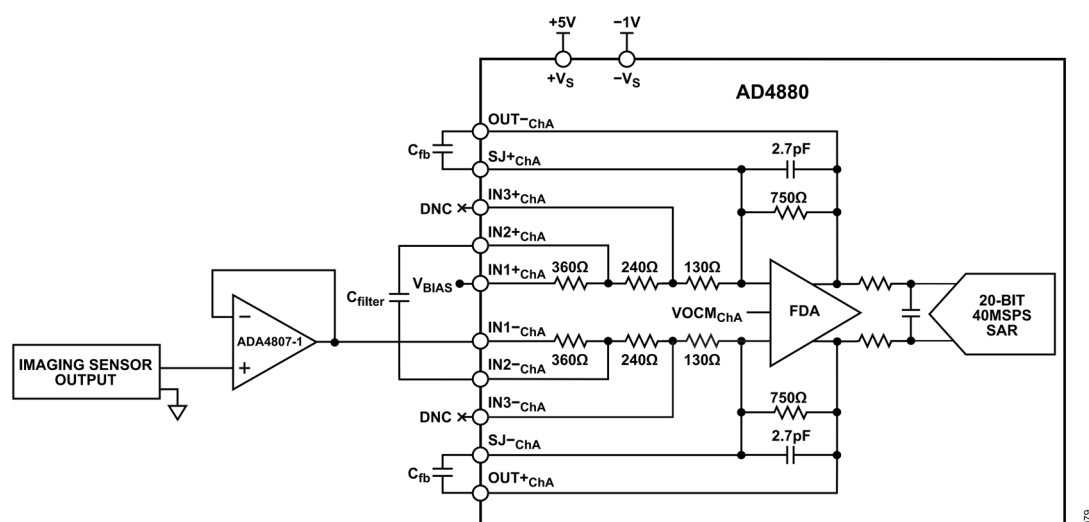


図 79. 低電力でのイメージング・センサー読出し用の代表的な回路図

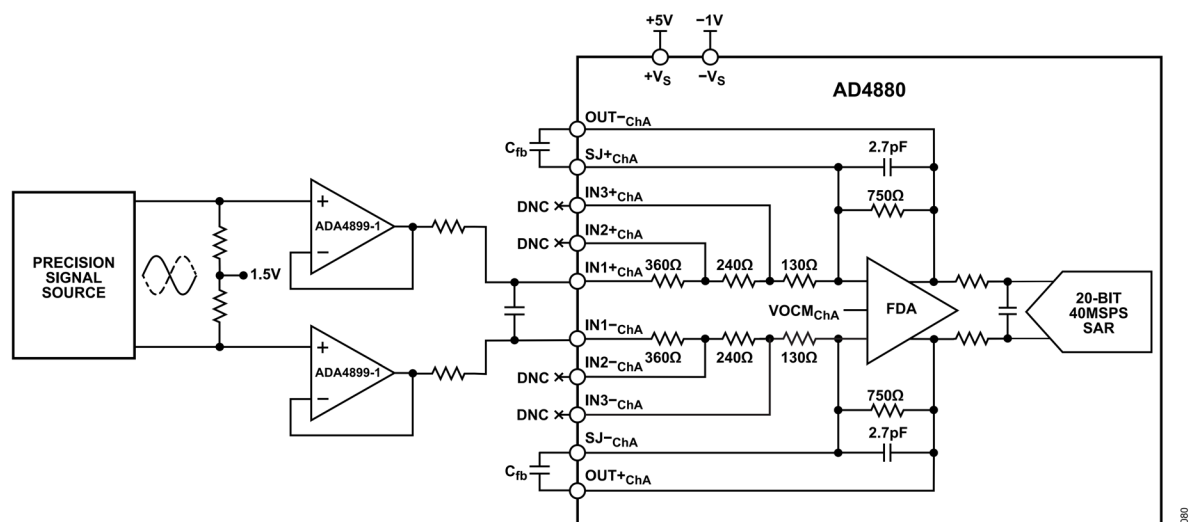


図 80. 実験室における最小限の歪み測定のための代表的な回路図

アプリケーション情報

リファレンス回路の設計

AD4880 には、低ノイズで精度と安定性が高く、温度ドリフトが少ない 3V の外部リファレンスが必要です。内部バッファにより、両方のチャンネルで同じリファレンスを使用できます。このリファレンスにより、SAR ADC の入力での差動入力範囲 $\pm V_{REFIN}$ が定まります。このリファレンスは +3V の $\pm 5mV$ 以内である必要があります。推奨のリファレンスは、[LTC6655](#)、[LT6657](#)、[ADR4530](#) です。ただし、最高の性能を得るには、[LTC6655](#) 外部リファレンスを使用してください。表 13 は、前述の参考文献の代表的なパラメータを詳述し、絶対精度、ノイズ、温度ドリフト、負荷レギュレーション、および電力消費を比較しています。詳細な仕様については、各製品のデータシートを参照してください。

表 13. リファレンス LTC6655、LT6657、ADR4530 の主要パラメータの比較

Parameter	LTC6655	LT6657	ADR4530B
Accuracy	0.025%	0.1%	0.02%
Temperature Coefficient (ppm/°C)	2	1.5	2
0.1Hz to 10Hz Noise (ppm p-p)	0.25	0.5	0.53
Maximum Load (mA)	± 5	± 10	± 10
Load Regulation (ppm/mA)	3	0.7	30
Maximum Supply (V)	13.2	40	15
Shutdown	Yes	Yes	No
Supply Current, I_S (mA)	5	1.2	0.7

外付けのリファレンス・コンデンサは不要です。それは、AD4880 が合計 18.8 μF のコンデンサ（各チャンネルに 9.4 μF 、[図 81](#) を参照）を REFIN ピンに内蔵しているためです。REFIN リファレンス入力ピンは内部でバッファされるため、ADC 変換のトランジェント現象が大幅に減少し、これらのトランジェント現象から外部リファレンスが切り離されます。したがって、外部リファレンスをバッファするための外部アンプは不要になります。リファレンス入力容量 (C_{REFIN}) とリファレンス出力容量 (C_{REFOUT}) の値については、使用する外部リファレンス IC のデータシートの推奨事項を参照してください。レイアウト上の推奨事項として、外部リファレンス・チップは AD4880 とその REFIN ピンのできるだけ近くに配置して、REFIN ピンを外部リファレンス出力に接続するトラックの直列インピーダンスを最小にする必要があります。このトラックがノイズの多い信号、特にデジタル信号に曝されることを最小限に抑えることを推奨します。

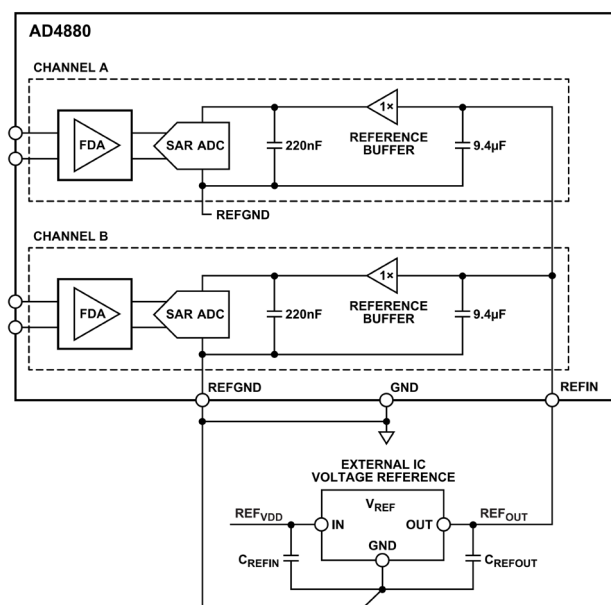


図 81. AD4880 一般的な外部リファレンス設計の機能図

データ・インターフェースのクロッキング・ソリューション

AD4880 の各チャンネルには、専用の LVDS データ・インターフェースが備わっています。LVDS データ・インターフェース ([LVDS データ・インターフェース](#)のセクションを参照) を設計する際、クロッキング・ソリューションが AD4880 のタイミング仕様に準拠していることを確認する必要があります (表 2 を参照)。LVDS モードのデータ・インターフェース用に設定する場合は、タイミング仕様が変換とクロックの同期の最大時間である $\pm 535ps$ (t_{CCA}) の範囲内に収まるようにする必要があります。更に、S/N 比性能に不要な影響がないよう、確実に低ジッタの変換 (CNV) クロックが供給されるようにしてください。このジッタは信号周波数に依存します。したがって、所与のシステムで許容されるジッタのレベルは、アプリケーションのユース・ケースによって異なります。この件に関する詳細については、技術記事、[最大 SNR とクロック・ジッタの関係](#)を参照してください。

例えば、シングル・レーンをイネーブルにしエコー・クロック・モードを用いて LVDS データ・インターフェースを使用するように AD4880 の両チャンネルが設定されている場合の、推奨クロッキング・ソリューションを [図 82](#) に示します。このソリューションでは、低位相ノイズで低ジッタの 25MHz 発振器が選択されます。チュートリアル [MT-008](#) は、水晶発振器の製品データシートでしばしば互換的に引用されている位相ノイズと実効値位相ジッタとの間の変換を支援するものです。内蔵電圧制御発振器 (VCO) を備えた [ADF4350](#) 広帯域シンセサイザは、400MHz のシステム・クロックを発生する汎用的な手段として機能し、同時に低ジッタを維持し、アプリケーションのニーズに応じてこの周波数を再設定するための柔軟性と制御性を提供します。次に、このクロックは、目的の LVDS レベル・シグナリングに合わせて設定可能な出力分圧器を備えた [AD9508](#) クロック・ファンアウト・バッファに供給されます。[図 82](#) に示すように、2 つの出力チャンネルが 1 分周に設定されて LVDS クロック ($CLK_{\pm ChA}$ 、 $CLK_{\pm ChB}$) を発生する一方、他の 2 つの出力チャンネルは、10 分周に設定されて AD4880 の変換クロック ($CNV_{\pm ChA}$ 、 $CNV_{\pm ChB}$) を発生します。 $CNV:CLK$ 周波数の、この

アプリケーション情報

1:10 の比は、ダブル・データレート (DDR)、シングル・レーン、LVDS データ・インターフェースで 20 ビットのデータ読出しを確実に実現します。図 83 に示すようなデュアル・レーン構成の場合、この比率は 1:5 に調整されます。

この例では、エコー・クロック・モードが使用され、ホスト・コントローラ（この場合、フィールド・プログラマブル・ゲート・アレイ（FPGA））のデータ整合性を支援しています。両方のチャンネルに同時にクロック供給する場合、1つの $DCO_{\pm CHX}$ ペアを用いて 2 つのデータ・インターフェースを同期することも可能です。セルフ・クロック・モードでは、 $DCO_{\pm CHX}$ は整合に使用できません。**ADC 結果のレイテンシと LVDS インターフェースの整合**のセクションでは、INTF_CHK_EN ビット（アドレス 0x15、ビット 4）をイネーブルにして、ホスト・コントローラをデータに合わせ、システムの伝播遅延を軽減する方法について説明します。

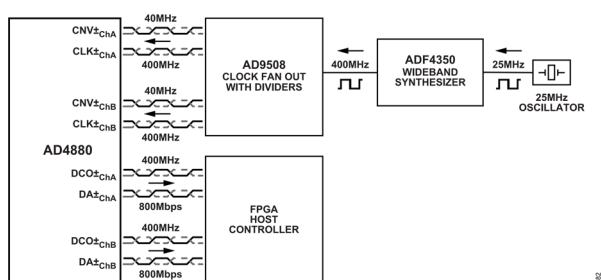


図 82. シングル・レーン、LVDS データ・インターフェースのクロッキングの例

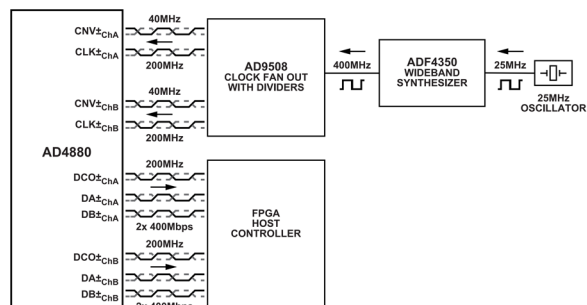


図 83. デュアル・レーン、LVDS データ・インターフェースのクロッキングの例

SPI データ・インターフェース ([SPI データ・インターフェース](#)のセクションを参照) を使用して、結果 FIFO ([結果 FIFO](#)のセクションを参照) からの変換結果に再度アクセスする場合は、必要な性能を達成するために $CNV_{\pm ChX}$ ソース・ジッタを慎重に考慮することが重要です。SPI データ・インターフェースのクロッキングの例 ([図 84](#)を参照) に示した場合では、発振器が変換クロックを直接供給し、データはマイクロコントローラ・ユニット (MCU) によって FIFO から非同期にクロッキングされます。必要に応じて、[図 85](#)に示すように、汎用入出力ピンは、結果 FIFO 動作を制御するように構成できます ([GPIO ピンのセクションと結果FIFOのセクションを参照](#))。

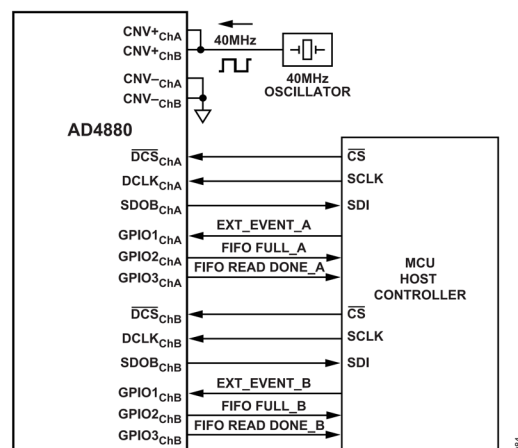


図 84. SPI データ・インターフェースのクロッキングの例、
2 個の SPI ポート

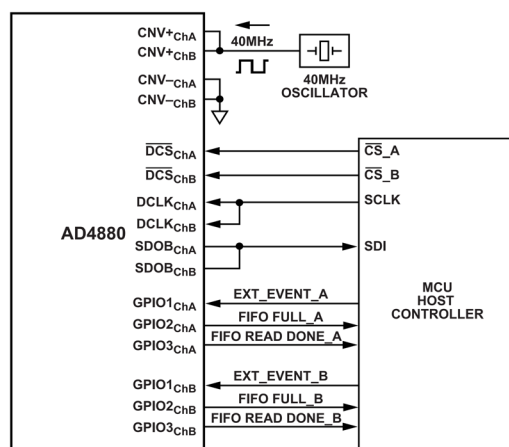


図 85. SPI データ・インターフェースのクロッキングの例、
共用 SPI バス

アプリケーション情報

電源ソリューション

このような低ノイズで最大 40MHz のサンプリング・レートでは、AD4880 に供給される低ノイズ電源が性能や精度の低下の原因とならないように、アプリケーションの電源ソリューションを慎重に検討することが重要です。使いやすさと必要な外付け部品の削減を支援するために、4 つの内部 LDO レギュレータが AD4880 内に内蔵されています。これらのレギュレータの詳細については、[内部安定化電源の構成](#)のセクションを参照してください。また、内部電源デカップリング・コンデンサは、内部で生成されたか外部で生成されたかにかかわらず、すべての電源レールに含まれていることに注意してください（[表 8](#) を参照）。これにより、外付け部品の数が減少し、使用が簡単になり、PCB のレイアウト、配線、および設計密度に大きなメリットがもたらされます。

アプリケーションにおいて必要な電源を生成するための LDO レギュレータの優れた選択肢は、正電源レールに対しては、[LT3045](#) または [ADP150](#) です。一方、 $-V_S$ の負電源レールを生成するには、[ADP7182](#) または [ADP7183](#) を使用できます。これらはすべて超低ノイズであり、また、優れた電源除去性能を備えています。高効率の降圧スイッチング・レギュレータには、正側

電源レールと負側電源レールの両方を生成するために使用できる [LT8604C](#) が適していますが、スイッチング周波数がアプリケーション信号の帯域幅内に収まる可能性が高いため、スイッチング・レギュレータ回路の設計には注意を払う必要があります。また、AD4880 では AC 電源の除去性能が高くなっていますが、電源レールについては適切な考慮が必要です。

AD4880 は、 $+V_S = +5V$ および $-V_S = -1V$ の公称 FDA 電源電圧で完全に仕様規定されています。そのため、非常に低い消費電力で最高性能を実現できます。 $\pm V_S$ にわたる電圧スパンは、消費電力は増加するものの、仕様規定された最大値である 10V まで拡張可能です。そのため、システム内の既存の低ノイズ・レール（例えば、 $-V_S$ 用の $-5V$ レール）を必要に応じて再利用できます。反対に、FDA 電源スパンは、絶対最小消費電力を満たすために最低 3V まで下げることができます。しかし、FDA の電源スパンを減少した場合は性能の低下を予期しておく必要があります（[図 7](#) 参照）。仕様規定された歪みレベルは、ADC の全入力範囲で満たされるわけではないためです。

デジタル・インターフェース

概要

2 個の ADC ダイを含む AD4880 のシステムインパッケージ構成によって、チャンネルごとに完全に独立したデジタル・インターフェースが実現されています。各デジタル・インターフェースは、デバイス設定用の 4 線式 SPI、4 本の汎用入出力 (GPIO) ピン、出力フォーマットが選択可能な変換データ・アクセス・インターフェース (LVDS または SPI データ・インターフェース)、LVDS または CMOS レベルの信号用に設定できる変換開始入力 ($CNV+_{ChX}$ と $CNV-_{ChX}$) で構成されています。

レジスタ・インターフェース

AD4880 の各チャンネルには、個別に専用の設定メモリがあります。各チャンネルの設定レジスタには、対応する SPI 設定インターフェースを通じてアクセスします (SPI 設定インターフェースのセクションを参照)。

ADC 変換の制御

AD4880 の各チャンネルの ADC 変換は個別に制御できます。各 ADC は、サンプルを取得し、 $CNV+_{ChX}$ ピンおよび $CNV-_{ChX}$ ピンで印加される変換開始信号の立上がりエッジで変換動作を開始します。両チャンネルが同一であるため、AD4880 も同時サンプリング・アプリケーションに適しています (データ・インターフェースのクロッキング・ソリューションのセクションの例を参照)。

AD4880 内の ADC の入力段は、無期限にアキュイジション・モードに止まることはできません。つまり、実行すべき最小サンプリング周波数があり (タイミング仕様のセクションを参照)、電源投入後またはスリープやスタンバイ後に取得された最初の 2 つのサンプルは、正しいものとは限らないため、破棄する必要があります。

変換開始入力ピン $CNV\pm_{ChX}$ で電気信号には、CMOS または LVDS の 2 つの設定が可能です。CMOS は、電源投入時およびリセット後のデフォルト・モードです。CMOS では、 $CNV-_{ChX}$ ピンをデジタル・インターフェース・グラウンド (IOGND) に接続する必要があります。このモードでは、変換信号は IOGND を基準とする CMOS ロジック信号であり、表 1 のデジタル入力 (CNV_{ChX} 、 $GPIO_{ChX}$ 、 $\overline{DCS}_{ChX}$ 、 $DCLK_{ChX}$) パラメータに従ったロジック・レベルで $CNV+_{ChX}$ に印加する必要があります。

チャンネルを LVDS モードに切り替えるには、ADC データ・インターフェース設定 B レジスタ (ADC データ・インターフェース設定 B レジスタのセクションを参照、アドレス $0x16$) の $LVDS_CNV_EN$ ビットを 1 に設定する必要があります。このモードでは、 $CNV+_{ChX}$ ピンと $CNV-_{ChX}$ ピンの間に、できるだけ AD4880 に近づけて外部 100Ω 終端抵抗を配置する必要があります。LVDS モードでは、 $CNV+_{ChX}$ ピンおよび $CNV-_{ChX}$ ピンは、表 1 の LVDS I/O (EIA-644) パラメータで仕様規定されたレベルに適合する LVDS ドライバで差動駆動する必要があります。 $CNV+_{ChX}$ と $CNV-_{ChX}$ の差動信号ペアの配線を厳密に一致させ、制御されたインピーダンスを使用して信号の完全性を確保するように注意する必要があります。アプリケーションが両チャンネルの同時サンプリングを目的としている場合は、適切なファンアウトを備えた一般的な変換クロックを実装すると共に、 $CNV\pm_{ChA}$ 信号ペアおよび $CNV\pm_{ChB}$ 信号ペア間でも経路長が一致する必要があります。

ADC 変換データ・インターフェース

各チャンネルの ADC 変換データ・インターフェースは、次のいずれかのシグナリング・オプションに個別に設定できます。

- ▶ LVDS レベル・シグナリング (LVDS データ・インターフェース)
- ▶ CMOS レベル・シグナリング (SPI データ・インターフェース)

インターフェースの選択は、通常、目のアプリケーションの要件と制約によって決定されます。例えば、連続的な高速データ・アキュイジションが要求される場合には、LVDS シグナリング・インターフェースが一般に好ましいオプションです。アプリケーションがデータ・アキュイジションの非連続バーストのみを必要とする場合は、LVDS または SPI データ・インターフェースのいずれかを使用できます。デジタル・インターフェース・ホストの機能によっても、選択されるインターフェース・オプションが決まります。

LVDS と SPI の両方のデータ・インターフェースに共通するのは、選択されたデジタル・ホストの負担を軽減する、次の柔軟な機能です。

- ▶ マルチレーン・データ転送: 低いインターフェース・クロック速度でデータ・スループットを維持できます。
- ▶ テスト・パターンの生成: インターフェースの完全性チェックを容易にします。

更に、LVDS の場合のみ、構成可能な出力ドライブを設定するオプションがあります。

デフォルトでは、LVDS インターフェースは電源投入時とリセット後に選択されます。図 86 に示すように、LVDS の場合、ADC 結果のデータ経路は、オフセットおよびゲイン補正ブロックを通して経路指定されます。ここで、以下のオプションがあります。

- ▶ 生の ADC 変換結果を連続的に直接読み出すこと。
- ▶ ユーザが選択したデジタル・フィルタによって処理された ADC 結果を連続的に読み出すこと (詳細についてはデジタル・フィルタのセクションを参照)。
- ▶ チャンネル FIFO から最大 16k のフィルタリングされていない結果を読み出すこと。
- ▶ チャンネル FIFO から最大 16k のデジタル的にフィルタリングされた結果を読み出すこと。

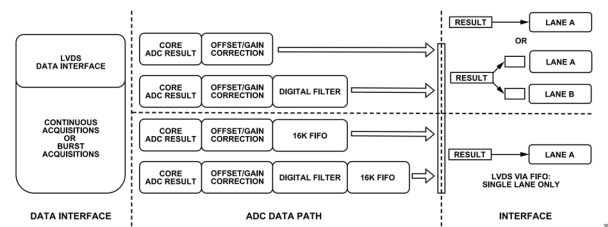


図 86. LVDS データ・インターフェースのオプション (1 チャンネルについて表示)

図 87 に示すように、SPI データ・インターフェース用に構成されている場合、使用可能なデータ経路は次のとおりです。

- ▶ チャンネル FIFO から最大 16k のフィルタリングされていない結果を読み出すこと。
- ▶ チャンネル FIFO から最大 16k のデジタル的にフィルタリングされた結果を読み出すこと。

デジタル・インターフェース

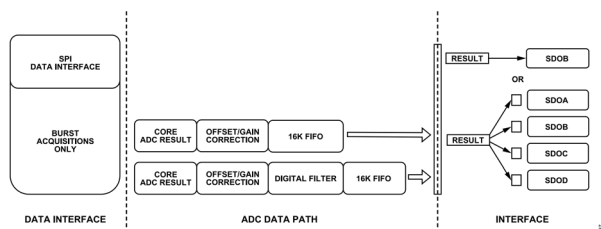


図 87. SPI データ・インターフェースのデータ経路オプション
(1 チャンネルについて表示)

選択したインターフェース・フォーマットに固有の追加機能も使用できます。これらの機能については、[LVDS データ・インターフェース](#)のセクションと [SPI データ・インターフェース](#)のセクションで説明します。

SPI 設定インターフェース

システム・ホストと各 AD4880 チャンネル設定レジスタ間のすべてのシリアル・トランザクションは、それぞれの設定 SPI インターフェースを使用して実行されます。各シリアル・トランザクションは、少なくとも 1 つの命令フェーズからなり、その間に、目的のメモリ動作、すなわち読み出しまたは書き込み、およびトランザクションの開始アドレスが AD4880 チャンネルに伝送されます。命令フェーズのすぐ後には、ホストと AD4880 チャンネルとの間で 1 バイト以上の情報が交換されるデータ・トランザクション・フェーズが続きます。この内容は、[図 88](#) および [図 89](#) の一般的なタイミングで示されるように、インターフェース・チップ・セレクト ($\overline{CS}_{ChX}$) の連続的なアサーションによってフレーム化されます。

SPI レジスタ・インターフェース

AD4880 の各チャンネルには、専用の設定レジスタ・インターフェースが、設定およびステータス・モニタリングの両方が可能な SPI の形態で個別に備わっています。各インターフェースは、4 線式の全 2 重動作に構成されています。インターフェース・チップ・セレクト ($\overline{CS}_{ChX}$)、シリアル・クロック ($SCLK_{ChX}$)、およびシリアル・データ入力 (SDI_{ChX}) 用の専用インターフェース・ピンは、ホスト・コントローラに直接接続するためのものです。デフォルトでは、電源投入時またはソフトウェア・リセット後に、設定インターフェースの SDO 機能が有効になり、GPIO_{0ChX} ピンに割り当てられます。

設定インターフェースのタイミング規則は、SPI モード 3 (クロック極性 (CPOL) = 1、クロック位相 (CPHA) = 1) に対応しています。そのため、シリアル・クロック ($SCLK_{ChX}$) はハイでアイドル状態になると想定され、データ・ピン SDI_{ChX} および SDO_{ChX} の状態は、クロックの立下がり (先行) エッジで更新され、これらのピンは、後続の立上がり (後続) エッジでサンプリングできます。SPI および SPI のモードに関する詳細については、SPI の基本を学ぶの記事を参照してください。

SPI レジスタ・インターフェースに関連付けられた各メモリ・アクセス・コントローラは、それぞれのインターフェース設定メモリ空間 (アドレス 0x00 ~ アドレス 0x11) を介してアクセス可能な、ユーザがプログラム可能な多数のオプションをサポートします。[表 14](#) に、使用可能なオプションのリストと説明を示します。

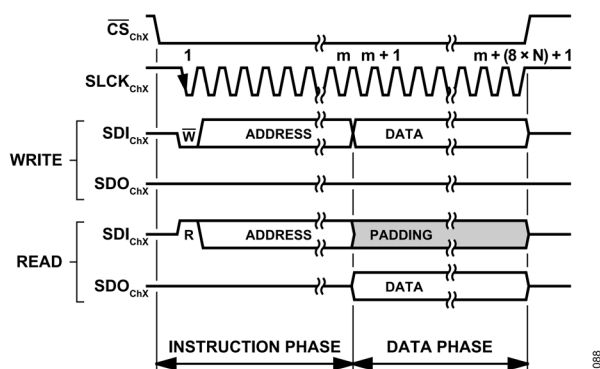


図 88. 一般的な SPI 設定フレーム、CRC ディスエーブル

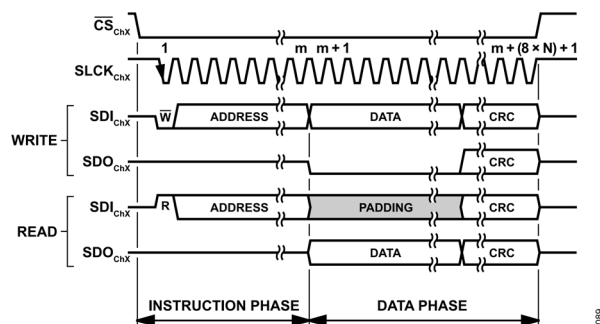


図 89. 一般的な SPI 設定の書き込み操作、CRC イネーブル

デジタル・インターフェース

表 14. コンフィギュレーション・メモリ・コントローラのオプションのまとめ

インターフェースのオプション	説明
ソフトウェア・リセット (SW_RESET、SW_RESETX)	チャンネルの内部コンフィギュレーション・メモリをデフォルトの状態にリセットします (ADDR_ASCENSION ビットを除く)。チャンネルのデータ FIFO は影響を受けません。このリセット方法は、ADC がアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用してください。詳細については、 ソフトウェア・リセット のセクションを参照してください。
アドレス・アセンション (ADDR_ASCENSION)	このオプションを選択すると、メモリ・コントローラのアドレス・カウンタの動作がデクリメント（デフォルト）からインクリメントに変更されます。この変更は、例えば、マルチバイト・レジスタに単一のエンティティとしてアクセスする場合や、ストリーミング・モードがイネーブルになっている場合など、マルチバイト転送に影響します。この選択は、厳密レジスタ・アクセス・モードでのマルチバイト・レジスタ・アクセスの開始アドレスに影響します。詳細については、 アドレス・アセンションの選択 のセクションを参照してください。
ショート命令 (SHORT_INSTRUCTION)	このオプションを選択すると、命令ワードのアドレス・フィールドの長さが 15 ビットから 7 ビットに短縮されます。
単一命令 (SINGLE_INST)	このオプションを選択すると、デフォルトのストリーミング・モードから単一命令モードに変更されます。単一命令モードでは、ホスト・コントローラは所与の SPI フレーム内の各レジスタ・アクセスに対して命令を送送する必要があります。エンティティのサイズは、厳密レジスタ・アクセス設定値と、レジスタがマルチバイトかどうかによって依存します。この機能を使用すると、設定中にメモリ空間にランダムにアクセスできます。詳細については、 命令モードの選択 のセクションを参照してください。
厳密レジスタ・アクセス (STRICT_REGISTER_ACCESS)	このオプションを選択すると、メモリ・コントローラはマルチバイト・レジスタを単一のエンティティとして扱い、部分的なアクセスが試みられたときに障害を生成します。詳細については、 厳密アクセス選択とマルチバイト・レジスタ のセクションを参照してください。
CRC イネーブル (CRC_ENABLE、CRC_ENABLEB)	このオプションを選択すると、巡回冗長検査 (CRC) がイネーブルになり、ホストとの間で送受信されるデータの整合性が検証されます。詳細については、 設定巡回冗長検査 (CRC) のセクションを参照してください。
ステータス・データの伝送 (SEND_STATUS)	このオプションを選択すると、データ・フレームの命令フェーズ中に SDO _{ChX} ラインでステータス・データを伝送できます。詳細については、 ステータス・データの伝送 のセクションを参照してください。
ループ・カウント (LOOP_COUNT)	ループ前のデータ・バイト・カウントを開始アドレスに設定します。データのストリーミング時、アドレスが開始値にループ・バックするまでに書き込まれるデータ・バイト数を、ゼロ以外の値で設定します。この方法で最大 255 個のバイトを書き込むことができます。値を 0x00 にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。このレジスタへ書き込みを行うと、ループ値は次の SPI 命令にのみ適用され、その命令が終了すると自動的にクリアされます。

デジタル・インターフェース

命令フェーズ

命令フェーズは、 $\overline{\text{CS}}_{\text{ChX}}$ ピンのアサート（ロジック 0）の直後に続き、完全な命令パケットの伝送または $\overline{\text{CS}}_{\text{ChX}}$ のデアサートによって終了します。命令パケットは、動作タイプを示す単一のコマンド・ビット（ロジック 1 は読出し、ロジック 0 は書込み）で始まり、その後に動作の開始アドレスが続きます。デフォルトでは、アドレスは 15 ビット長ですが、データ・インターフェースにはオプションのショート命令モードがあり、その場合は 7 ビットに削減されます。ショート命令モードを有効にするには、インターフェース設定 B レジスタ（[インターフェース設定 B レジスタ](#)）のセクションを参照、アドレス 0x01 の SHORT_INSTRUCTION ビットを 1 に設定します。

データ・フェーズ

各命令フェーズの直後には、関連するデータ・フェーズが続き、その間、データは、 SCLK_{ChX} の立下がりエッジでシリアル・データ出力（ SDO_{ChX} ）からシフト出力されるか（読出しアクセス）、または SCLK_{ChX} の立上がりエッジで SDI_{ChX} を介してデバイス設定メモリにシフト入力されます（書込みアクセス）。データ・ペイロードの最小サイズは 1 バイトとして定義されますが、アドレス指定されたレジスタの深さと、SINGLE_INST ビットおよび STRICT_REGISTER_ACCESS ビット（それぞれレジスタ 0x01 のビット 7 およびレジスタ 0x10 のビット 5）のインターフェース設定値によっては、複数バイトを含めることができます。

書込みアクセス

$\overline{\text{CS}}_{\text{ChX}}$ がローに強制されると、新しいシリアル命令フェーズが開始されます。命令フェーズで送信される最初のビットはコマンド・ビットであり、強制的にロー（ロジック 0）になると、これは書込み動作を示します。書込み動作の場合、コマンド・ビットの後には、後続のデータ・フェーズで受信される情報がどこに格納されるかを示すアドレスが続きます。[命令フェーズ](#)のセクションで前述したように、アドレスのデフォルトの長さは 15 ビットですが、アドレスを 7 ビットに短縮することもできます。

命令フェーズに続いて、コンフィギュレーション・メモリ内の 1 つまたは複数のレジスタのデータ・ペイロードを含む整数バイトが AD4880 のチャンネルに伝送されます。このデータ・フェーズのペイロードのサイズは、[厳密アクセス選択とマルチバイト・レジスタ](#)のセクションで説明されているように、選択された SINGLE_INST および STRICT_REGISTER_ACCESS のインターフェース・オプションによって制限されます。各データ・バイトは、インターフェース CRC がディセーブルされていると仮定して、それが受信されるときにアドレス指定されたレジスタにロードされます。しかし、CRC がイネーブルにされている場合、アドレス指定されたデータ・レジスタは、内部で計算されたチェック・サムがホストから受信した CRC 値と一致する場合にのみロードされます。所与のエンティティについて計算された CRC とホストから受信したチェック・サムとが一致しない場合、レジスタ更新は終了し、所与のフレームにおける後続のすべてのデータも同様に無効として扱われます。インターフェース CRC 機能のチェック・サム計算の詳細については、[設定巡回冗長検査 \(CRC\)](#) のセクションを参照してください。

書込み操作のデータ・フェーズでは、製品が最新の CRC チェック・サムを報告していないときに SDO_{ChX} 出力がロジック 0 に駆動され、有効なデータ状態がホスト・コントローラの SDI ピンに確実に提示されることに注意してください。

読出しアクセス

SPI を使用すると、設定レジスタへの読出しアクセスが可能になり、以前の設定書込みの検証、デバイス ID の読出し、またはインターフェース・ステータスの検証が可能になります。

$\overline{\text{CS}}_{\text{ChX}}$ がローに強制されると、新しいシリアル命令フェーズが開始されます。命令フェーズで送信される最初のビットはコマンド・ビットであり、強制的にハイ（ロジック 1）になると、これは読出し動作を示します。読出し動作の場合、コマンド・ビットの後には、アクセスされるレジスタ空間の開始アドレスを示すアドレスが続きます。[命令フェーズ](#)のセクションで前述したように、アドレスのデフォルトの長さは 15 ビットですが、アドレスを 7 ビットに短縮することもできます。

後続のデータ・フェーズでは、アドレス指定されたレジスタ空間からの内容が、 SCLK_{ChX} の立下がりエッジで SDO_{ChX} ラインに MSB ファーストでシフト出力されます。いずれか 1 つのデータ・フレームで伝送されるバイト数は、SHORT_INSTRUCTION オプションおよび STRICT_REGISTER_ACCESS オプションのインターフェース設定値の選択によって決まります。これについては、[命令モードの選択](#)のセクションと、[厳密アクセス選択とマルチバイト・レジスタ](#)のセクションの例を参照してください。

命令モードの選択

設定インターフェース・メモリ・コントローラは、電源投入時にデフォルトでストリーミング・モードになります（SINGLE_INST = 0）。ストリーミング・モードでは、複数の連続したレジスタが単一の SPI フレームでアクセスされ、命令フェーズで指定されたアドレスから開始されます。ストリーミング・モードでは、SPI フレームごとに 1 つの命令フェーズしか許可されないため、アクセス・コマンドを変更したり、レジスタ空間内の非連続アドレスにアクセスしたりするために新しい SPI フレームを開始する必要があります。後続のデータ・フェーズ中に転送される各バイトに対して、内部アドレス・カウンタは、[表 15](#) で指定された方法で、インターフェース設定 A レジスタ（[インターフェース設定 A レジスタ](#)）のセクションを参照）の ADDR_ASCENSION ビットの設定に従って自動的に更新されます。

表 15. アドレス・アセンションの選択

ADDR_ASCENSION ビット値	アドレス・コントローラの動作 (STRICT_REGISTER_ACCESS = 1)
0 (デフォルト)	アドレスをデクリメント。マルチバイト・レジスタは、最上位バイト・アドレスを指定することによってアクセスされます。
1	アドレスをインクリメント。マルチバイト・レジスタは、最下位バイト・アドレスを指定することによってアクセスされます。

[図 90](#) に、デフォルトのインターフェース設定を使用したシリアル・トランザクションの汎用 SPI フレーム・フォーマットを示します。この例では、バイト幅レジスタとマルチバイト・レジスタで構成される設定レジスタ空間の一部がアクセスされます。

デジタル・インターフェース

バイト幅レジスタのアドレスは最上位アドレス (ADDRESS) にあり、マルチバイト・レジスタの最上位バイトはレジスタ・セグメントの最下位アドレスにあります。デフォルトでは、ADDR_ASCENSION プロパティは降順に設定されています。これは、最上位のレジスタのアドレスが命令フェーズ中にホスト・コントローラに渡されることを示します。選択された動作に応じて、命令ワードの後は、バイト幅レジスタ (DATA)、最下位バイト (LSBYTE)、およびマルチバイト・レジスタの最上位バイト (MSBYTE) のデータからなるペイロード、または、読出しアクセスの場合には、パディング・ビットのいずれかが続きます。慣例として、読出しアクセス中にロジック 1 を SDI に渡して、書き込みアクセスのために誤ってアドレス 0 をアドレス指定しないようにすることが推奨されます。

単一命令モード (SINGLE_INST = 1) では、メモリ・アクセス・コントローラは、図 91 に示すように、所与の SPI フレーム内でアクセスされる各レジスタに対して伝送する命令フェーズを必要とします。このモードは、所与の SPI フレーム内でレジスタ空間の隣接していないセクションへのアクセスが必要な場合に便利です。ストリーミング・モードでは、一意のレジスタ・アクセスごとに新しい SPI フレームを開始することで、同じアクセスの柔軟性を実現できることに注意してください。

単一命令モードを選択するには、インターフェース設定 B レジスタ (インターフェース設定 B レジスタのセクションを参照、アドレス 0x01) に SINGLE_INST = 1 を設定します。

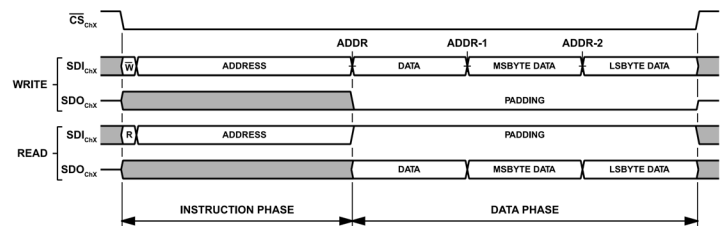


図 90. インターフェース・アクセスの例、インターフェースのデフォルト設定、ストリーミング・モード (ADDR_ASCENSION = 0)

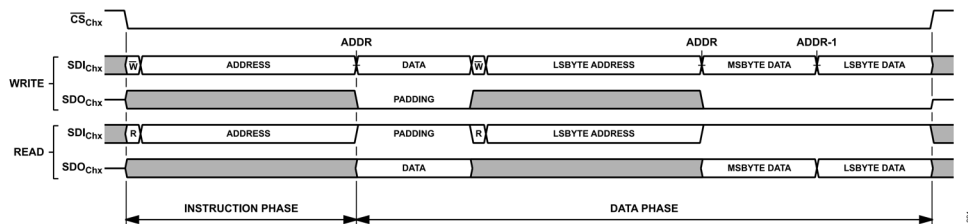


図 91. インターフェース・アクセスの例、単一命令モード (SINGLE_INST = 1)、その他すべてのインターフェース・オプションのデフォルト

デジタル・インターフェース

アドレス・アセンションの選択

前のセクションで説明したように、アドレス・アセンション選択 (ADDR_ASCENSION) ビットは、ストリーミング・モード (SINGLE_INST=0) で AD4880 のチャンネルに伝送されるデータの各バイトに対して内部インターフェース・アドレス・ポインタがどのように更新されるかを決定します。単一命令モード (SINGLE_INST = 1) を使用する場合、各レジスタは、[図 92](#) に示されるように、それ自身の命令フェーズを通して直接アドレス指定され、したがって、アドレス・ポインタは更新されません。SINGLE_INST の設定にかかわらず、ADDR_ASCENSION ビットは、命令フェーズの開始アドレスの選択およびデータ・フェーズ・ペイロードのバイト順序に関して、SPI フレームのフォーマットに直接影響します。この影響については、[厳密アクセス選択とマルチバイト・レジスタ](#)のセクションで詳しく説明します。これは、データ・フォーマットの多くがこのインターフェース設定の選択に依存しているためです。ADDR_ASCENSION 選択ビットは、インターフェース設定 A レジスタ ([インターフェース設定 A レジスタ](#)のセクションを参照、アドレス 0x00) にあります。

[表 15](#)にまとめられているように、ADDR_ASCENSION ビットはデフォルトでクリアされており、その結果、アドレス・ポインタは伝送されるデータ・バイトごとに 1 ずつデクリメントされます。このデクリメント設定 (ADDR_ASCENSION = 0) では、アドレス・ポインタは、カウンタがアドレス 0x0000 に到達するまで、データ・フェーズ・バイトを受信するたびに、命令フェーズで示された開始アドレスから 1 ずつデクリメントします。追加のバイトが受信されると、ポインタは自動的に最大アドレス値 0x7FFF にロールオーバーします。ロールオーバーの動作は固定されているため、SHORT_INSTRUCTION 値や、ユーザが設定可能なレジスタが占有する物理アドレス空間とは無関係です。この動作を理解して、1 つ以上の無効なレジスタ・アドレスにアクセスしようとしたときにインターフェース・エラーが発生しないようにすることが重要です。[設定レジスタ](#)のセクションで説明されているように、デバイス設定に関連付けられたレジスタ・アドレス空間へのレジスタ・アクセスを制限します。

あるいは、ADDR_ASCENSION ビットをセットして (ADDR_ASCENSION = 1)、所与の SPI フレームにおいて AD4880 で受信された各データ・フェーズ・バイトに対して、命令ワード内で識別されたアドレスから開始して、アドレス・ポインタを 1 だけインクリメントさせることもできます。降順の場合と同様に、アドレス・カウンタは、最大アドレス値 0x7FFF に到達し、その後ポインタが 0x0000 にロールオーバーするまで、受信された各データ・バイトに対してインクリメントし続けます。

厳密アクセス選択とマルチバイト・レジスタ

AD4880 のチャンネルの設定メモリにおけるいくつかの位置は、ストレージ要件をサポートするためにマルチバイト・レジスタとして割り当てられています。例えば、オフセット補正レジスタ ([オフセット補正レジスタ](#)のセクションを参照、アドレス 0x25) とゲイン補正レジスタ ([ゲイン補正レジスタ](#)のセクションを参照、アドレス 0x27) は、それらに含まれる補正係数の分解能が 1 バイトを超えるため、マルチバイト・レジスタです。マルチバイト・レジスタの完全なリストについては、[設定レジスタ](#)のセクションを参照してください。各レジスタの長さ (バイト単位) は、他の特性情報と共に、[表 31](#) に示されています。

STRICT_REGISTER_ACCESS ビットの機能は、有効な通信が行われるためには、マルチバイト・レジスタのすべてのバイトが必ず、現在のフレーム内でアクセスされることをインターフェース・コントローラに示すことです。マルチバイト・レジスタが部分的にしかアクセスされない場合、インターフェース・ステータス A レジスタ ([インターフェース・ステータス A レジスタ](#)のセクションを参照、アドレス 0x11) にインターフェース・フォルトが発生し、部分的な内容の更新は破棄されます。この制限の目的は、対応する設定量が、目的のデバイス動作を生成するように確実に更新されることです。アクセス制限機能はデフォルト (STRICT_REGISTER_ACCESS = 1) で有効になっていますが、インターフェース設定 C レジスタ ([インターフェース設定 C レジスタ](#)のセクションを参照、アドレス 0x10) のアクセス・ビットをクリア (STRICT_REGISTER_ACCESS = 0) することで無効化できます。レジスタ・アクセス制限をディセーブルにすると、コンフィギュレーション・メモリの各バイトを個別にアドレス指定できます。ただし、デバイス・メモリ内の任意のマルチバイト・レジスタを正しく設定して必要な動作を実現することは、ソフトウェアの責務です。

レジスタ・アクセス制限をイネーブルにするかディセーブルにするかの決定は、1 つまたは複数のマルチバイト・レジスタ・アクセスを含む SPI フレームの正しい構成に関して意味があります。STRICT_REGISTER_ACCESS をディセーブルにすると、マルチバイト・レジスタの各バイトは単一の要素として扱われます。更に、レジスタの一部のバイトしかプログラムされていない場合、またはバイトがランダムな順序でプログラムされている場合、インターフェースはフォルトを示さず、したがって、これらのレジスタの内容がデバイス内に必要な機能を生成するように更新されることはホストの義務です。

STRICT_REGISTER_ACCESS をイネーブルにすると、特定のアクセス規則が適用され、データとデバイスの目的とする動作との一貫性が確保されます。これらの規則がコンフィギュレーション・メモリ内のマルチバイト・レジスタにどのように適用されるかを理解するためには、メモリがどのように構成されているかを理解することが重要です。慣例により、[図 92](#) に示すように、レジスタの最上位バイトが割り当てられたレジスタ空間の最上位アドレスに格納されるように、マルチバイト・レジスタがコンフィギュレーション・メモリ内に配置されます。その結果、データ・フェーズで伝送されるレジスタ内容のバイト順序は、ADDR_ASCENSION の選択に依存します。

デジタル・インターフェース

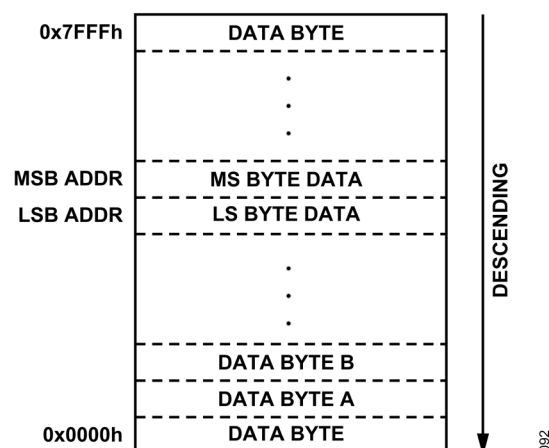
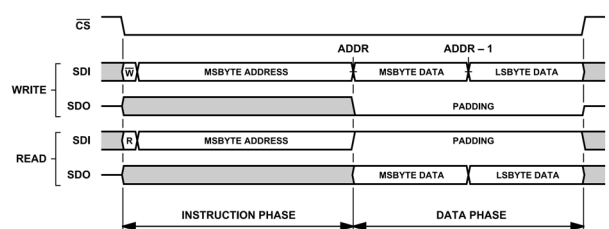
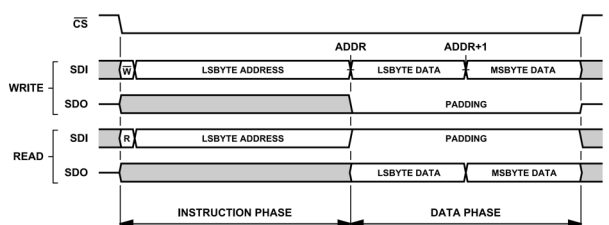


図 92. 汎用バイト幅メモリ、マルチバイト・レジスタの例

図 93 に示すように、アドレス・カウンタは、デフォルトで、マルチバイト・レジスタの最上位バイトが最初にアクセスされ、その後、そのレジスタ内の残りのバイトが昇順にアクセスされるよう

に、自動的にデクリメントします ($\text{ADDR_ASCENSION} = 0$)。逆に、 $\text{ADDR_ASCENSION} = 1$ の場合、マルチバイト・レジスタの最下位バイトが最初にアクセスされ、次に最上位バイトがアクセスされます。

この概念を拡張すると、 $\text{STRICT_REGISTER_ACCESS} = 1$ の場合、データ転送の最初のエンティティとしてマルチバイト・レジスタにアクセスする SPI フレームは、命令ワードの開始アドレスを ADDR_ASCENSION 選択に対応するように正しく設定する必要があります。アドレス・カウンタが自動的にデクリメントする場合 ($\text{ADDR_ASCENSION} = 0$) は、そのマルチバイト・レジスタの最上位バイトのレジスタ・アドレスを先頭アドレスとし、逆に自動的にインクリメントする場合は、最下位バイトのレジスタ・アドレスを先頭アドレスとします。 ADDR_ASCENSION が自動アドレス・デクリメント (0) から自動インクリメント (1) に変更されると、図 90 と図 91 は、図 93 と図 94 に示すように変更され、データ・フェーズのバイト順序および命令フェーズのマルチバイト・レジスタ開始アドレスの変更に対応します。

図 93. 単一命令フォーマット、 $\text{ADDR_ASCENSION} = 0$ (デクリメント)、 $\text{STRICT_REGISTER_ACCESS} = 1$ (イネーブル)図 94. 単一命令フォーマット、 $\text{ADDR_ASCENSION} = 1$ (インクリメント)、 $\text{STRICT_REGISTER_ACCESS} = 1$ (イネーブル)

デジタル・インターフェース

ステータス・データの伝送

各チャンネルのインターフェース・ステータス A レジスタ（[インターフェース・ステータス A レジスタ](#)のセクションを参照、アドレス 0x11）およびデバイス・ステータス・レジスタ（[デバイス・ステータス・レジスタ](#)のセクションを参照、アドレス 0x14）には、それぞれ通信インターフェースおよびデバイス自体に関するステータス・データが格納されます。このデータにより、開発中のデバイス設定のトラブルシューティングが可能になり、また、導入後のホストとインターフェース間の通信で発生する可能性のある問題を継続的にカバーすることができます。SPI コントローラは、通常のレジスタ読み出し動作でデータにアクセスできます。ただし、チャンネルは、SPI コントローラが SDI を介して SPI 命令フェーズ・データを伝送している間、毎回、SDO ラインを介して状態データを自律的に伝送するように構成

できます。この機能は、インターフェース設定 C レジスタ（[インターフェース設定 C レジスタ](#)のセクションを参照、アドレス 0x10）の SEND_STATUS ビットによって制御され、デフォルトではディセーブルになっています。このビットをイネーブルにするには、SEND_STATUS = 1 に設定します。送信されるステータス・データは、インターフェース・ステータス A レジスタとデバイス・ステータス・レジスタから取得されますが、その内容はインターフェース設定 B レジスタ（[インターフェース設定 B レジスタ](#)のセクションを参照）の SHORT_INSTRUCTION ビットの設定値によって異なります。なお、命令フェーズの長さもこの設定値に依存することに注意してください。各ケースで送信されるステータス・データ（ステータス・データが MSB ファーストで送信される場合）の説明については、[表 16](#)と[表 17](#)を参照してください。

表 16. ロング命令モード（SHORT_INSTRUCTION = 0）で SDO_{ChX} を介して送信されるデバイス・ステータス・データ

ビット	名称	説明
15	Not applicable	ビット 15 は常に 0 です。
14	Not applicable	ビット 14 は常に 0 です。
13	FIFO_FULL	デバイス・ステータス・レジスタ・ビット 7：FIFO フル・ステータス・フラグ。 0：FIFO はフルではない。 1：FIFO はフル。
12	FIFO_READ_DONE	デバイス・ステータス・レジスタ・ビット 6：FIFO 読み出し完了フラグ。 0：FIFO 読み出し未完了。 1：FIFO 読み出し完了。
11	HI_STATUS	デバイス・ステータス・レジスタ・ビット 5：高閾値検出ステータス・フラグ。 0：高閾値イベントを未検出。 1：高閾値イベントを検出。
10	LO_STATUS	デバイス・ステータス・レジスタ・ビット 4：低閾値検出ステータス・フラグ。 0：低閾値イベントを未検出。 1：低閾値イベントを検出。
9	ADC_CNV_ERR	デバイス・ステータス・レジスタ・ビット 2：ADC 変換エラー・フラグ。 0：ADC 変換が OK。 1：ADC 変換がエラー。A. 変換期間が速度等級の最小値を下回っています。B. DSP エラー。
8	ROM_CRC_ERR	デバイス・ステータス・レジスタ・ビット 1：読み出し専用メモリ（ROM）の CRC および、またはエラー補正コード（ECC）失敗フラグ。 0：ROM CRC チェックが OK。 1：ROM CRC および、または ECC 失敗。
7	POR_ANA_FLAG	デバイス・ステータス・レジスタ・ビット 3：POR アナログ・ステータス。アナログ POR イベントの発生を検出できます。アナログ POR は、電源投入時、またはロジック電源がある閾値未満に低下したとき、ADC リファレンスがある閾値未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガされます。 0：アナログ POR フラグがクリア。 1：アナログ POR イベントを検出。
6	POR_FLAG	デバイス・ステータス・レジスタ・ビット 0：POR のステータス。POR イベントの発生を検出できます。POR は、電源投入時、ロジック電源がある閾値未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガされます。 0：POR フラグがクリア。 1：POR イベントを検出。
5	NOT_READY_ERR	インターフェース・ステータス A レジスタ・ビット 7：デバイスのトランザクションに対する準備が未了。このビットは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合にセットされます。
4	CLOCK_COUNT_ERR	インターフェース・ステータス A レジスタ・ビット 4：クロック・カウント・エラー。このビットは、トランザクションで不正なクロック・カウントが検出された場合にセットされます。

デジタル・インターフェース

表 16. ロング命令モード (SHORT_INSTRUCTION = 0) で SDO_{ChX} を介して送信されるデバイス・ステータス・データ (続き)

ビット	名称	説明
3	CRC_ERR	インターフェース・ステータス A レジスタ・ビット 3: CRC エラー。このビットは、SPI コントローラが CRC 値を送信しない場合、またはデバイスが計算した CRC 値が SPI コントローラから受信した値と一致しない場合にセットされます。
2	WR_TO_RD_ONLY_REG_ERR	インターフェース・ステータス A レジスタ・ビット 2: 読み出し専用レジスタへの書き込みエラー。読み出し専用レジスタへの書き込みを試行。このビットは、ユーザが読み出し専用のレジスタに書き込もうとしたときにセットされます。
1	REGISTER_PARTIAL_ACCESS_ERR	インターフェース・ステータス A レジスタ・ビット 1: レジスタ部分的アクセス・エラー。このビットは、マルチバイト・レジスタ・アクセスにおいて、期待されるバイト・カウントよりも少ないバイト・カウントが読み書きされるときにセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。
0	ADDRESS_INVALID_ERR	インターフェース・ステータス A レジスタ・ビット 0: 無効アドレス・エラー。存在しないレジスタ・アドレスを読み書きする試行。このビットは、ユーザが許可されたメモリ・マップ空間外のレジスタ・アドレスにアクセスしようとしたときにセットされます。

表 17. ショート命令モード (SHORT_INSTRUCTION = 1) で SDO_{ChX} を介して送信されるデバイス・ステータス・データ

ビット	名称	説明
7	Not applicable	ビット 7 は常に 0 です。
6	POR_FLAG	デバイス・ステータス・レジスタ・ビット 0: POR のステータス。POR イベントの発生を検出できます。POR は、電源投入時、ロジック電源がある閾値未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガされます。 0: POR フラグがクリア。 1: POR イベントを検出。
5	NOT_READY_ERR	インターフェース・ステータス A レジスタ・ビット 7: デバイスがトランザクションの準備を未完了のエラー。このビットは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合にセットされます。
4	CLOCK_COUNT_ERR	インターフェース・ステータス A レジスタ・ビット 4: クロック・カウント・エラー。このビットは、トランザクションで不正なクロック・カウントが検出された場合にセットされます。
3	CRC_ERR	インターフェース・ステータス A レジスタ・ビット 3: CRC エラー。このビットは、SPI コントローラが CRC を送信しない場合、またはデバイスが計算した CRC 値が、SPI コントローラが送信した値と一致しない場合にセットされます。
2	WR_TO_RD_ONLY_REG_ERR	インターフェース・ステータス A レジスタ・ビット 2: 読み出し専用レジスタへの書き込みエラー。このビットは、ユーザが読み出し専用のレジスタに書き込もうとしたときにセットされます。
1	REGISTER_PARTIAL_ACCESS_ERR	インターフェース・ステータス A レジスタ・ビット 1: レジスタ部分的アクセス・エラー。このビットは、マルチバイト・レジスタ・アクセスにおいて、期待されるバイト・カウントよりも少ないバイト・カウントが読み書きされるときにセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。
0	ADDRESS_INVALID_ERR	インターフェース・ステータス A レジスタ・ビット 0: 無効アドレス・エラー。このビットは、ユーザが許可されたメモリ・マップ空間外のレジスタ・アドレスに対して読み書きしようとしたときにセットされます。

設定巡回冗長検査 (CRC)

AD4880 には、8 ビットの巡回冗長検査アルゴリズムに基づくオプションの設定エラー検出機能が備わっています。この機能を有効化すると、レジスタ・トランザクションが完了するたびに、データ・フェーズ中に 8 ビットのチェック・サムがシリアル・データ出力ストリーム (SDO_{ChX}) に挿入されます。レジスタ・アクセスのタイプ (読み出しまたは書き込み) に応じて、ホストには、各レジスタ・アクセスの直後に、対応するチェック・サムを SDO_{ChX} に条件付きで提供することが求められます。インターフェース・コントローラは、ホストが提供するチェック・サムを使用して、CRC エラーが発生したかどうかを判断します。

ホストと AD4880 インターフェースで計算されたチェック・サム値が一致しない場合は、インターフェース・ステータス A レジスタ (インターフェース・ステータス A レジスタのセクションを参照、アドレス 0x11) に CRC_ERR フラグ (CRC_ERR = 1) が設定されます。書き込みアクセス中に CRC エラーが発生すると、

最新のレジスタ・データだけでなく、ストリーミング・モード (SINGLE_INST = 0) の場合は後続のレジスタ・データの書き込みもディセーブルになります。これにより、破損している可能性のあるデータがコンフィギュレーション・メモリにロードされるのを防ぎます。CRC イベントに応答して、ホスト・コントローラは、影響を受けるメモリ位置の設定を再試行するために新しい SPI フレームを開始することが要求されます。データの読み出し中に CRC_ERR が検出された場合、ホスト・コントローラは受信したデータを破棄し、新しい SPI フレームでデータの読み出しを再試行する必要があります。後続のエラーを検出できるように、コンフィギュレーション・メモリへの読み出しまたは書き込みの繰り返しの開始する前に、CRC_ERR フラグをクリアします。エラー・フラグは、コード 0x08 をインターフェース・ステータス A レジスタに書き込むことによってクリアされ、CRC_ERR ビットをロジック 1 に設定します。フォルトをクリアしようとする試みが成功したことを確認するために、その後すぐにインターフェース・ステータス A レジスタを読み出すことを推奨します。

デジタル・インターフェース

設定 CRC 機能はデフォルトで無効になっており、インターフェース設定 C レジスタ（[インターフェース設定 C レジスタ](#)のセクションを参照、アドレス 0x10）の 2 つの相補的なビット・フィールド CRC_ENABLE および CRC_ENABLEB を使用して有効にできます。CRC 機能を有効にするには、CRC_ENABLE ビットを 1 に、CRC_ENABLEB ビットを 10 に設定します。相補的な CRC ビット・フィールドはそれぞれ 2 ビット幅であり、仕様規定されたもの以外の組み合わせでは、機能は無効のままです。1 つのインターフェースで CRC 機能が有効にされると、ホスト・コントローラからの有効なチェック・サムが、[表 18](#)に記述された条件に従って、そのインターフェースを介するすべての後続のシリアル・トランザクションに対して要求されることに留意することが重要です。使用する場合は、デバイス設定レジスタに書き込む前に、CRC 機能を有効にして検証します。CRC 機能が有効になっていることを確認するには、SPI フレームを使用して CRC 設定の書き込みを行います。SPI フレームは、読出しトランザクションの有効なチェック・サムを使用して、インターフェース設定 C レジスタとインターフェース・ステータス A レジスタの両方を読み出すことで構成されます。有効になっている場合、レジスタの CRC_ENABLE ビットおよび CRC_ENABLEB ビットの内容はそれぞれ 1 および 10 である必要があります。インターフェース・ステータス A レジスタの CRC_ERR ビットはクリアされたままになります（ロジック 0）。確認したら、残りの設定レジスタのプログラミングに進みます。

表 18. ホスト・コントローラ (SDI_{ChX}) の条件付きチェック・サム要件のまとめ

Command	SINGLE_INST Bit Value	Check Sum Requirement
Write	Streaming (0) or single instruction (1)	After each data register payload.
Read	Streaming (0)	After the first register data payload following the instruction phase.
	Single instruction (1)	After each data register payload.

各レジスタ・トランザクションのチェック・サムを計算するために、次の CRC-8 多項式が AD4880 に実装されています。

$$x^8 + x^2 + x + 1$$

各シリアル・トランザクションは、この多項式を使用して処理され、レジスタごとにチェック・サムが生成されます。各チェック・サム計算に使用されるデータおよびシード値は、アクセス・コマンド（読出し／書き込み）、ADDR_ASCENSION、

STRICT_REGISTER_ACCESS、および SINGLE_INST の各設定値、および [表 19](#) にまとめられているデータ・ストリーム内のレジスタ・データの位置の関数です。

すべてのレジスタ書き込みアクセス動作では、SINGLE_INST 設定値に関係なく、各レジスタのデータ・ペイロードの後に有効な CRC チェック・サムをホストから送信する必要があります。マルチバイト・レジスタでは、STRICT_REGISTER_ACCESS=1 の場合、アドレス指定されたレジスタのすべてのバイトが送信された後に、有効な CRC がデータ・ストリームに追加されます。STRICT_REGISTER_ACCESS がクリア (0) されている場合、送信される各バイトの後は、次に説明する計算規則を使用した有効なチェック・サムが続く必要があります。

読出しアクセスの場合、ホストからの有効なチェック・サムの計算および伝送は、コマンドと開始アドレスのみを検証するために必要です。ストリーミング・モード (SINGLE_INST = 0) では、CRC チェック・サムは、最初のレジスタ・データ・ペイロードの後にだけホスト・コントローラから送信されます。ストリーミング・モードでの後続のレジスタ・アクセスをすべて、パディング・データで満たします。AD4880 は、前のデータを使用してホストでの検証を可能にするために、各レジスタの読出し後に有効なチェック・サム値を生成し続けます。単一命令モードでアクセスされる各レジスタに対して新しい命令フェーズが要求されるため、アクセスされる各レジスタに対して有効なホスト CRC チェック・サムが要求されます。

単一命令モード (SINGLE_INST = 1) では、多項式は、デフォルトのシード値 0xA5、命令フェーズ・データ、およびアクセス・コマンドに応じて所望のレジスタまたはパディング・データを用いて、各レジスタに対して計算されます。ストリーミング・モード (SINGLE_INST = 0) では、データ・ストリーム内の最初のレジスタのチェック・サム計算は、単一命令モードが選択されたかのように計算されます。後続の各レジスタ・アクセス・チェック・サム計算には、現在のレジスタの開始アドレスおよび対応するデータがシードされます。レジスタ・アクセス制限がイネーブルになっている (STRICT_REGISTER_ACCESS = 1) と仮定すると、ADDR_ASCENSION の選択によってマルチバイト・レジスタの開始アドレスが変わることに注意してください。前述したように、メモリ規約は、ADDR_ASCENSION が 0 に設定された場合、マルチバイト・レジスタの最下位バイトのアドレスが開始アドレスとして機能すると規定しています。逆に、ADDR_ASCENSION ビットが 1 に設定されている場合は、マルチバイト・レジスタの最上位バイトのアドレスが使用されます。

表 19. SINGLE_INST および SPI コマンドに対する設定 CRC チェック・サム・ソース・データのまとめ

Command	Checksum Source	Single Instruction Mode (SINGLE_INST = 1) or Streaming Mode First CRC				Streaming Mode (SINGLE_INST = 0) after first CRC	
		Data Source	Seed	Data Source	Seed		
Write	Controller	Instruction and data	0xA5	Register data	Current start address		
	AD4880	Instruction and data		Register data	Current start address		
Read	Controller	Instruction and padding data	0xA5	Not required, send padding data			
	AD4880	Instruction and register content		Register data	Current start address		

デジタル・インターフェース

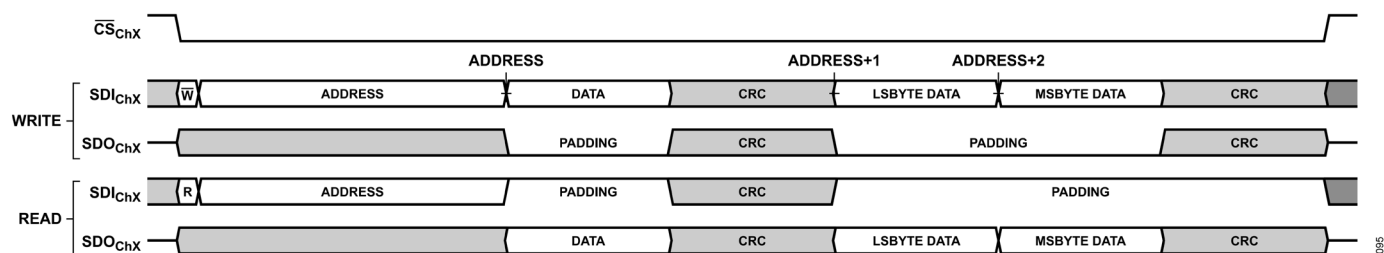


図 95. CRC をイネーブルにしたストリーミング・モードの設定、ADDR_ASCENSION = 1

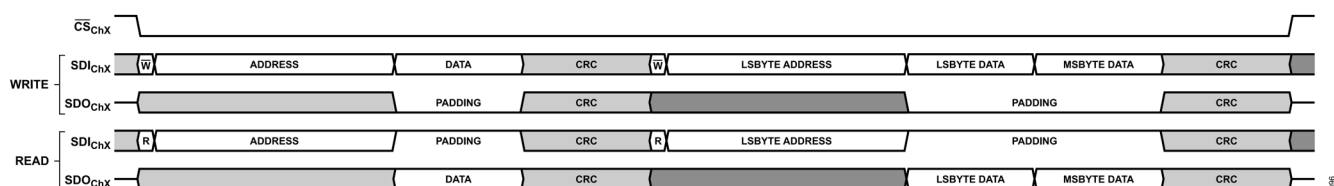
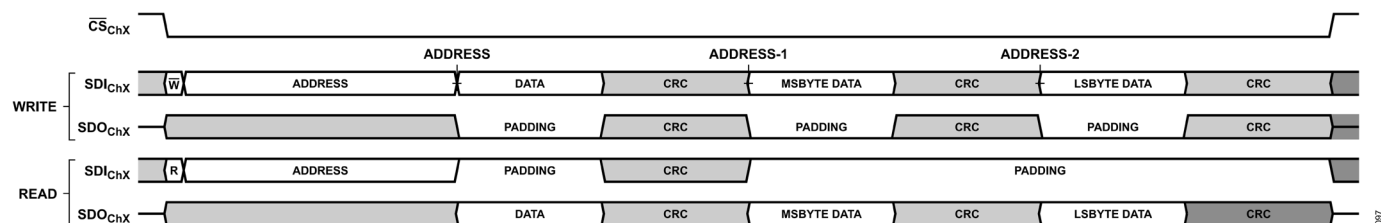


図 96. CRC をイネーブルにした単一命令モードの設定、ADDR_ASCENSION = 1

図 97. CRC をイネーブルにしたストリーミング・モードの設定、
STRICT_REGISTER_ACCESS = 0（ディスエーブル）、ADDR_ASCENSION = 0

デジタル・インターフェース

設定 SPI フレーム

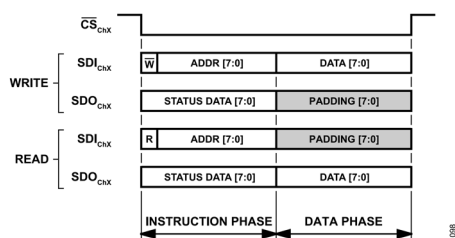


図 98. ショート命令モード、データ・ステータスをイネーブル、CRC をディスエーブル

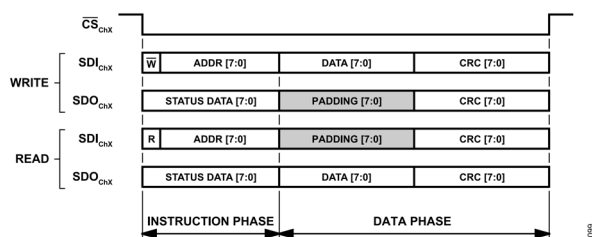


図 99. ショート命令モード、データ・ステータスをイネーブル、CRC をイネーブル

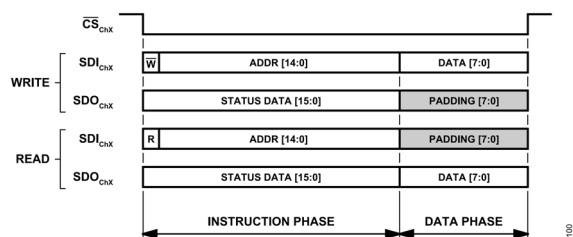


図 100. ロング命令モード、データ・ステータスをイネーブル、CRC をディスエーブル

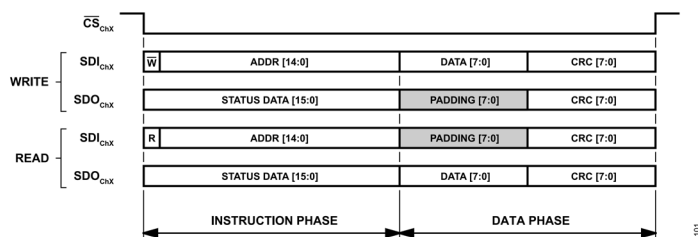


図 101. ロング命令モード、データ・ステータスをイネーブル、CRC をイネーブル

デジタル・インターフェース

設定 SPI タイミング

書き込みデータ・フレーム

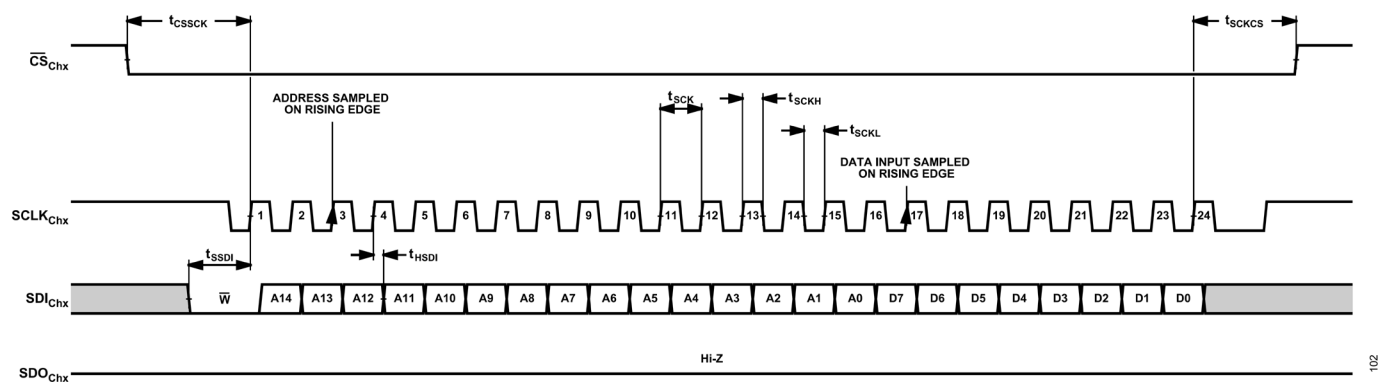


図 102. 設定 SPI タイミング、データ書き込みフレーム、16 ビット命令モード（デフォルト）

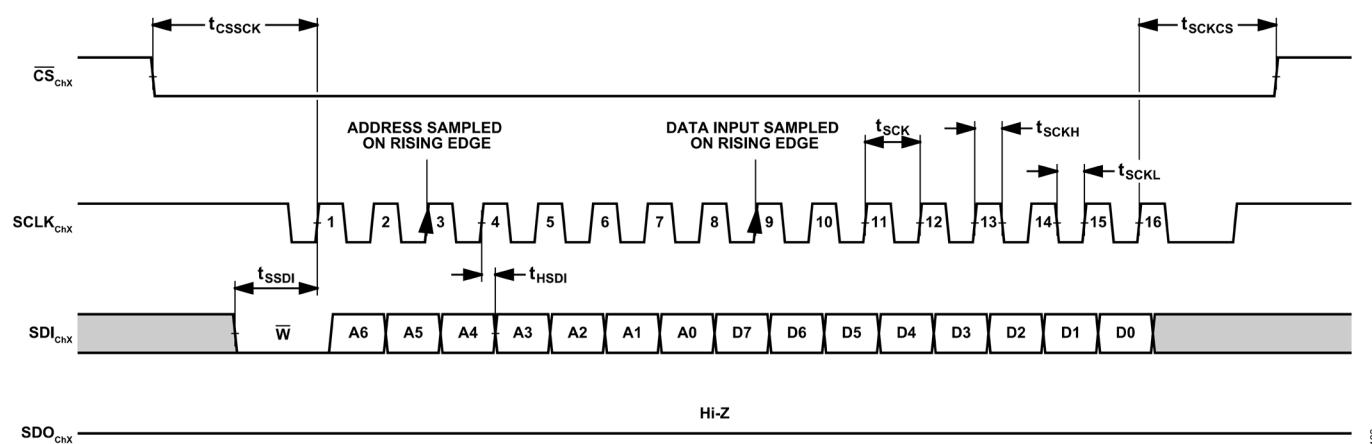


図 103. 設定 SPI タイミング、データ書き込みフレーム、8 ビット命令モード、シングル 8 ビット・レジスタ

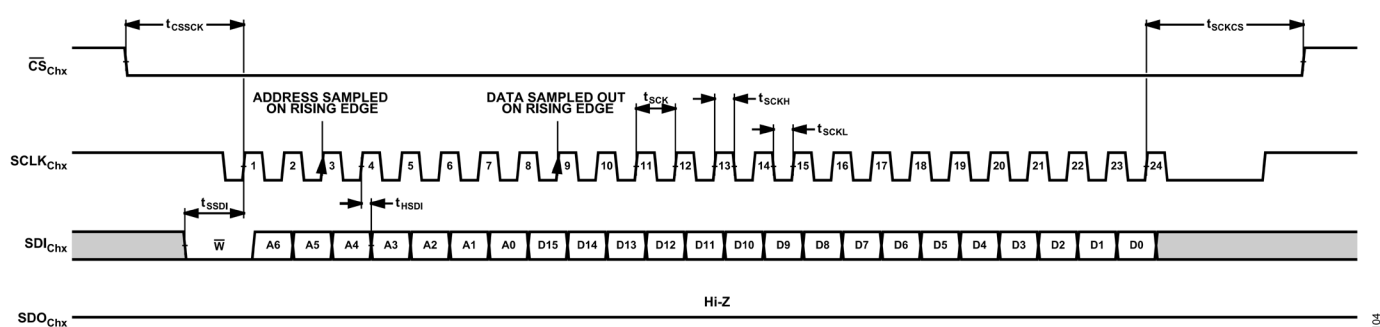


図 104. 設定 SPI タイミング、データ書き込みフレーム、8 ビット命令モード、ストリーミング・モード、マルチバイト・レジスタ

デジタル・インターフェース

読出しデータ・フレーム

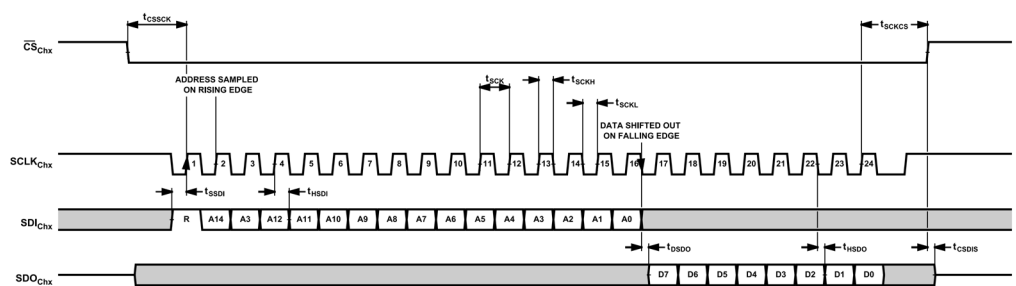


図 105. 設定 SPI タイミング、データ読出しフレーム、16 ビット命令モード（デフォルト）

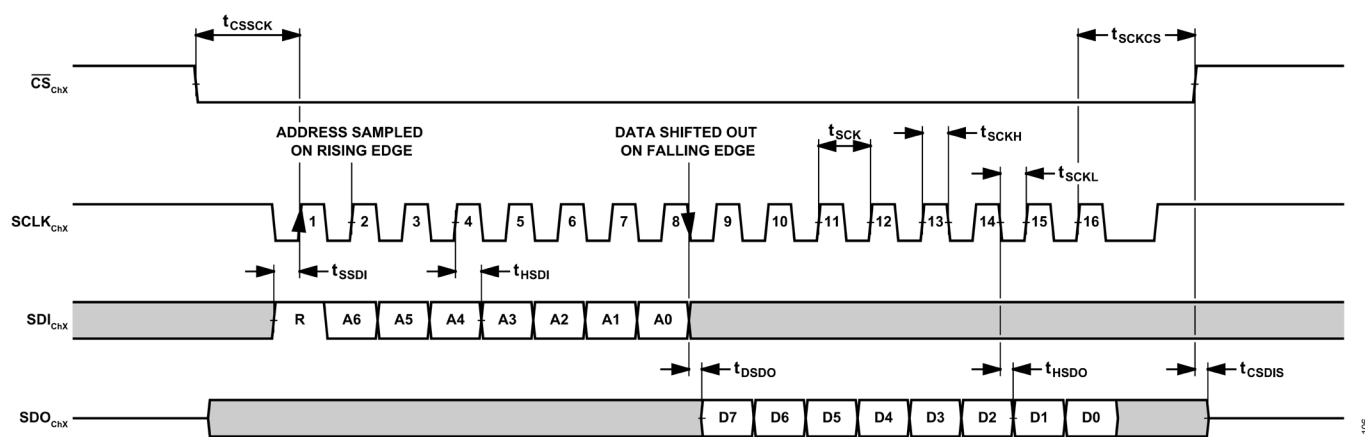


図 106. 設定 SPI タイミング、データ読出しフレーム、8 ビット命令モード

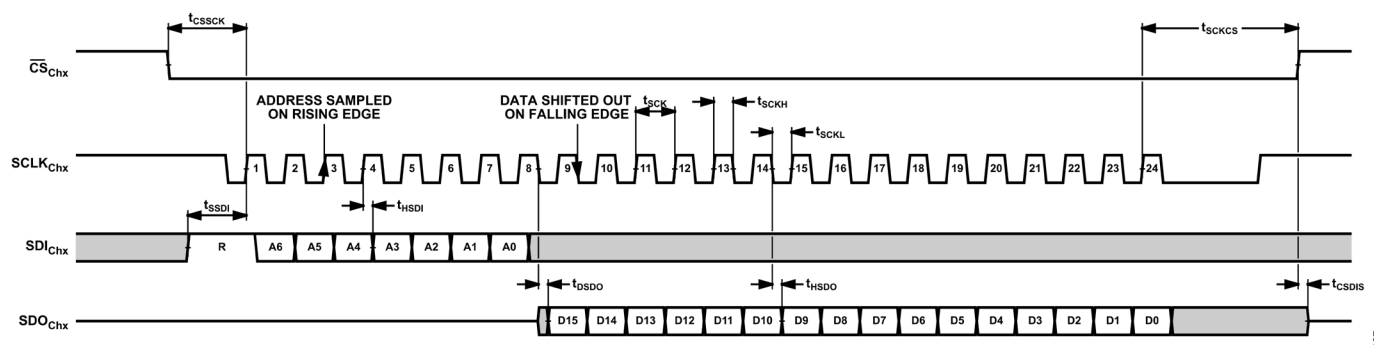
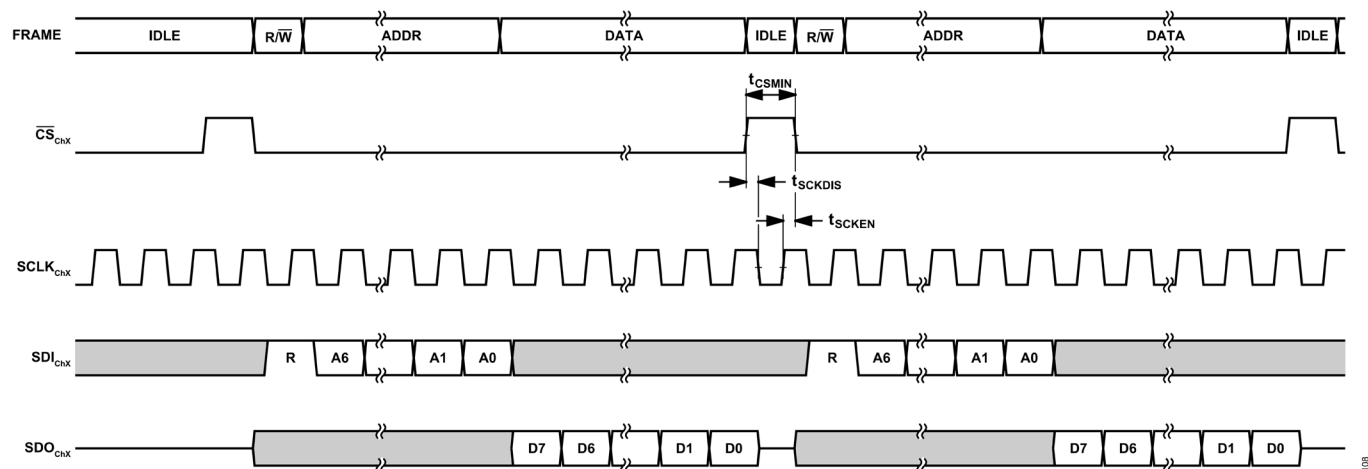


図 107. 設定 SPI タイミング、データ読出しフレーム、8 ビット命令モード、ストリーミング・モード、マルチバイト・レジスタ

デジタル・インターフェース

図 108. 設定 SPI タイミング、データ読出しフレーム、連続 SCLK_{ChX}

デジタル・インターフェース

LVDS データ・インターフェース

LVDS データ・インターフェースの構成

各チャンネルの LVDS インターフェースは、最大 5 組の差動信号で構成されます。データ・クロック入力ペア ($\text{CLK}^{+\text{chX}}$ および $\text{CLK}^{-\text{chX}}$)、エコーされたデータ・クロック出力ペア ($\text{DCO}^{+\text{chX}}$ および $\text{DCO}^{-\text{chX}}$)、2 つのデータ出力レーン ($\text{DA}^{+\text{chX}}$ および $\text{DA}^{-\text{chX}}$ 、 $\text{DB}^{+\text{chX}}$ および $\text{DB}^{-\text{chX}}$)、変換クロック (オプション) は、LVDS ペア ($\text{CNV}^{+\text{chX}}$ および $\text{CNV}^{-\text{chX}}$) または $\text{CNV}^{+\text{chX}}$ を使用する CMOS のいずれかとして構成することができ、この場合、 $\text{CNV}^{-\text{chX}}$ は GND に接続されます。このユーザ選択は、ADC データ・インターフェース設定 B レジスタ (ADC データ・インターフェース設定 B レジスタのセクションを参照、アドレス 0x16) の LVDS_CNV_EN ビットを使用して設定されます。データ・レーンは DDR 方式を使用しています。それにより、1 つのレーンが 400MHz の最大インターフェース・クロック速度でチャンネルの最大スループット 800Mbps を完全に伝達できます。デュアル・レーンを有効化すれば、インターフェース・クロック速度を抑え、同期を容易にできます (ADC データ・インターフェース設定 A レジスタのセクションを参照、アドレス 0x15)。デフォルトでは、変換結果にアクセスするためのプライマリ・データ・インターフェースとして、アクティブなレーンが 1 つの LVDS が選択されています。

最大のスループットを達成するためには、変換が実行されている間に、前の変換の結果を読み出す必要があります。この理由のために、 $\text{CNV}^{+\text{chX}}$ および $\text{CNV}^{-\text{chX}}$ の立上がりエッジおよび立下がりエッジの両方が、 $\text{CLK}^{+\text{chX}}$ および $\text{CLK}^{-\text{chX}}$ の立上がりエッジに密接に時間調整されることが重要です。変換結果にノイズが混入するのを避けるために、 $\text{CLK}^{+\text{chX}}$ と $\text{CLK}^{-\text{chX}}$ のエッジの位置は、表 2 に示すように、インターフェース・クロック ($\text{CLK}^{\pm\text{chX}}$) の $\pm 535\text{ps}$ (t_{CCA}) 以内に整合させる必要があります。

データ・インターフェースは多様に設定可能であり、出力ストリームをカスタマイズして幅広いアプリケーションに対応できます。設定オプションには、アクティブ・レーン・カウント (1、2)、セルフ・クロックおよびエコー・クロック・モード、インターフェース・テスト機能、データ・エンコーディングがあります。LVDS インターフェース・モードは、1MHz を超えるチャ

ンネル・サンプリング・レートでの連続変換が必要なアプリケーションで使用されます。

結果データの送信は MSB ファーストで行われ、ADC 結果のレイテンシと LVDS インターフェースの整合のセクションで詳細に仕様規定された時間が経過した後に出力されます。

LVDS アクティブ・データ・レーン・カウント

LVDS インターフェースは、1 つまたは 2 つのデータ・レーンに結果データを出力するように設定できます。これは、チャンネルごとに、それぞれの ADC データ・インターフェース設定 A レジスタ (ADC データ・インターフェース設定 A レジスタのセクションを参照、アドレス 0x15) の SPI_LVDS_LANES ビットによって制御されます。デフォルトでは、このビットは 0 (1 つのレーンがアクティブ) に設定され、 $\text{SPI_LVDS_LANES} = 1$ に設定すると 2 つのデータ・レーンが使用されます。このビットは、SPI のアクティブなデータ・レーン数の設定にも使用されることに注意してください。

シングル・レーン動作では、データ・レーン A ($\text{DA}^{+\text{chX}}$ と $\text{DA}^{-\text{chX}}$ のシングル・ペア) がプライマリ・データ出力としてイネーブルされ、変換結果は、変換ごとに $\text{CLK}^{+\text{chX}}$ および $\text{CLK}^{-\text{chX}}$ の入力に印加される 8 個のインターフェース・クロックを使用して、MSB ファーストでシリアルにシフト出力されます。結果データは、エコー・クロック出力 $\text{DCO}^{+\text{chX}}$ および $\text{DCO}^{-\text{chX}}$ の各エッジでデバイスからシフト出力されます。結果の MSB (D19) とすべての奇数番号のデータ・ビットは、インターフェース・クロックの立下がりエッジで出力されます。逆に、偶数番号のデータ・ビットは、インターフェース・クロックの立上がりエッジで出力されます。

デュアル・レーン構成では、結果データはクロック・エッジごとに 2 ビットずつ、最初に MSB からパラレルにシフト出力されます。その結果、1 回の変換に必要なインターフェース・クロック・サイクルは 5 つだけです。データ・アクセス期間は変換期間と同等であるため、インターフェース・クロック周波数は、シングル・レーンの場合と比較して 2 分の 1 に減少します。シングル・レーン構成とデュアル・レーン構成においてクロック周期が異なることがタイミングおよびレイテンシに与える影響については、ADC 結果のレイテンシと LVDS インターフェースの整合のセクションを参照してください。

デジタル・インターフェース

エコー・クロック・モード

LVDSデータ・インターフェース・モードでは、 $DCO+_{ChX}$ ピンと $DCO-_{ChX}$ ピンのペアは、 $CLK+_{ChX}$ ピンと $CLK-_{ChX}$ ピンのペアのバッファリングおよび遅延バージョンを提供するエコー・クロック出力であり、ホスト・コントローラへのデータ・クロッキングを容易にします。この機能は、ADCデータ・インターフェース設定Bレジスタ（[ADCデータ・インターフェース設定Bレジスタ](#)のセクションを参照、アドレス0x16）のLVDS_SELF_CLK_MODEビットによって制御されます。デフォルトでは、エコー・クロック・モードはアクティブです（LVDS_SELF_CLK_MODE=0）。LVDS_SELF_CLK_MODE=1に設定すると、 $DCO+_{ChX}$ および $DCO-_{ChX}$ の出力ドライバがディセーブルになり、デバイスがセルフ・クロック・モードになります（[セルフ・クロック・モード](#)のセクションを参照）。

エコー・クロック・モードがアクティブの場合、インターフェースは、ホスト・コントローラとAD4880の間に最低3つのLVDSペア（ $CLK+_{ChX}$ と $CLK-_{ChX}$ 、 $DCO+_{ChX}$ と $DCO-_{ChX}$ 、 $DA+_{ChX}$ と $DA-_{ChX}$ ）を接続する必要があります。CNV+ $_{ChX}$ ピンとCNV- $_{ChX}$ ピンのペアがLVDS入力として設定され、DB+ $_{ChX}$ およびDB- $_{ChX}$ のデータ・レーンがイネーブルになっている場合は、最大5つのLVDSペアが必要です。変換クロック（CNV+ $_{ChX}$ お

よびCNV- $_{ChX}$ ）およびデータ・クロック（ $CLK+_{ChX}$ および $CLK-_{ChX}$ ）は、エッジ配置要件が満たされるようにクロック・ネットワークをファンアウトすることに注意が払われる限り、複数のAD4880デバイス間で共用できます。

エコー・クロック・モードでは、イネーブルされたレーンからのデータは、DDR方式の $DCO+_{ChX}$ および $DCO-_{ChX}$ の立上がりエッジと立下がりエッジの両方に同期してクロック・アウトされます。図109および図110に、それぞれ、シングル・レーン構成およびデュアル・レーン構成に対する、 $DCO+_{ChX}$ および $DCO-_{ChX}$ のエコー・クロックに関する、関連するLVDSインターフェース・タイミングを示します。 t_{MSB_READ} の計算については、[ADC結果のレイテンシとLVDSインターフェースの整合](#)のセクションで説明します。

物理的にレイアウトする場合、ADCからホスト・プロセッサへのデータ・クロック（ $DCO+_{ChX}$ および $DCO-_{ChX}$ ）とデータ・レーン（ $DA+_{ChX}$ および $DA-_{ChX}$ 、 $DB+_{ChX}$ および $DB-_{ChX}$ ）のレーン配線を一致させ、ホストでのデータ回復に影響する可能性のあるタイミング・スキューを最小限に抑えるよう考慮してください。その他の配線の推奨事項については、[レイアウトのガイドライン](#)のセクションを参照してください。

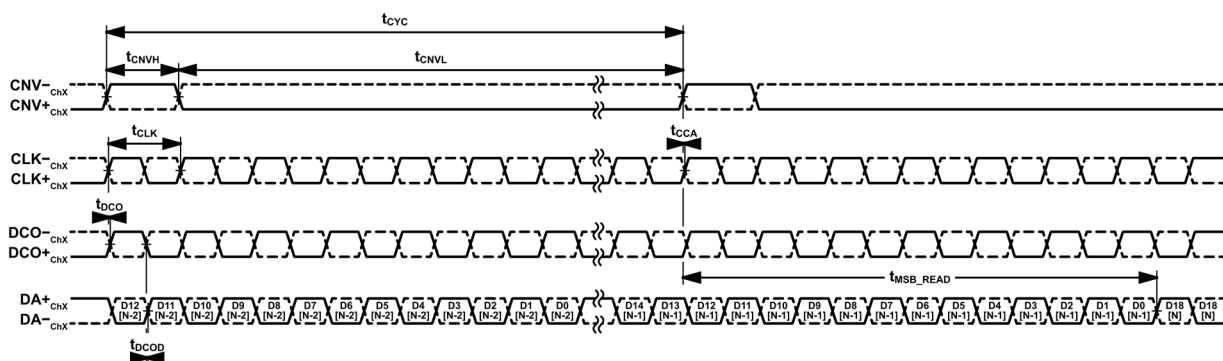


図 109. 連続変換タイミング、LVDS データ・インターフェース、シングル・データ・レーン、エコー・クロック・モード

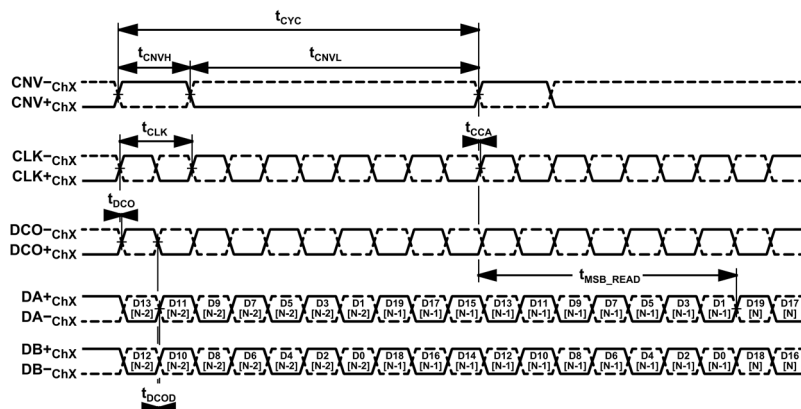


図 110. 連続変換タイミング、LVDS データ・インターフェース、デュアル・データ・レーン、エコー・クロック・モード

デジタル・インターフェース

セルフ・クロック・モード

LVDS データ・インターフェース・モードでは、ADC データ・インターフェース設定 B レジスタ (ADC データ・インターフェース設定 B レジスタのセクションを参照、アドレス 0x16) に $LVDS_SELF_CLK_MODE = 1$ を設定することにより、 $DCO+ChX$ および $DCO-ChX$ のエコー・クロック出力 (エコー・クロック・モードのセクションを参照) をディスエーブルにできます。この設定では、デバイスがセルフ・クロック・モードになり、 $DCO+ChX$ および $DCO-ChX$ の出力ドライバがディスエーブル

になります。これにより、インターフェースの電力が節約され、ホスト・コントローラとのインターフェースに必要な LVDS ペアの数が削減されます。このモードでは、 $DCO+ChX$ ピンおよび $DCO-ChX$ ピンを切断したままにしておくことができます。したがって、シングル・レーン構成では、各 AD4880 インスタンスに接続するために最低 2 つの LVDS ペア ($CLK+ChX$ と $CLK-ChX$ 、 $DA+ChX$ と $DA-ChX$) が必要です。インターフェースの接続性は、複数の AD4880 インスタンス間でインターフェース・クロック ($CLK+ChX$ および $CLK-ChX$) を共用することによって、更に簡素化できます。

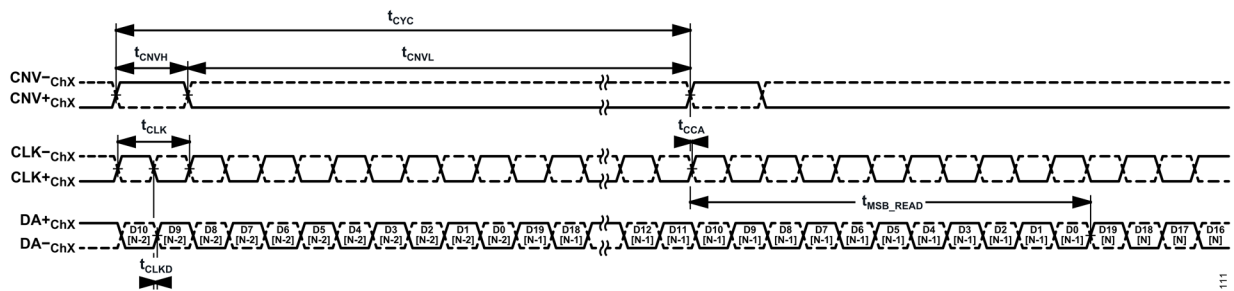


図 111. 連続変換タイミング、LVDS データ・インターフェース、シングル・データ・レーン、セルフ・クロック・モード

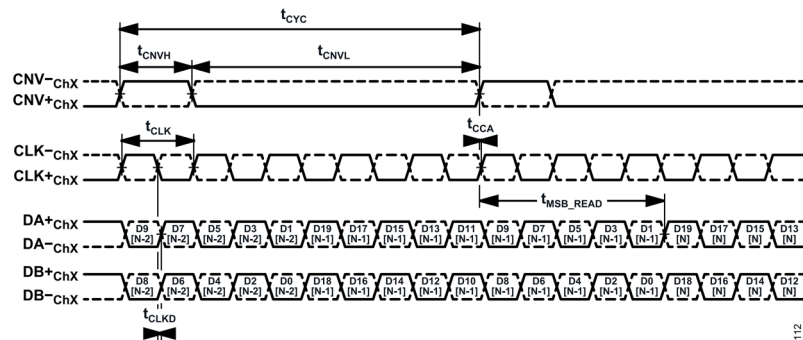


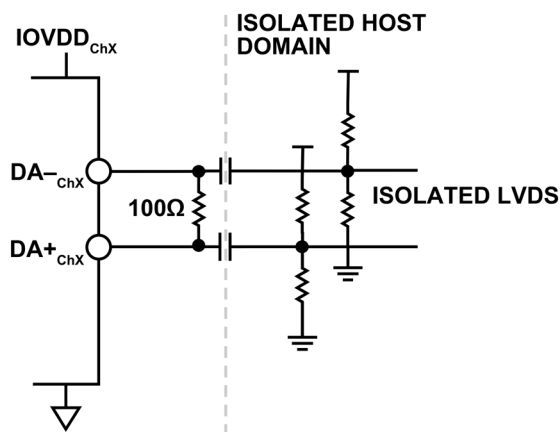
図 112. 連続変換タイミング、LVDS データ・インターフェース、デュアル・データ・レーン、セルフ・クロック・モード

デジタル・インターフェース

LVDS マンチェスタ・エンコーディング・モード

このモードは、ADC_DATA_INTF_CONFIG_B レジスタ (ADC データ・インターフェース設定 B レジスタのセクションを参照、アドレス 0x16) を介してアクセスされ、IEEE 802.3 に適合した結果データのマンチェスタ・エンコーディングを生成します。このモードは、コンバータ電源がフローティング状態であり、データ出力がホスト・コントローラに容量結合されている絶縁データ・アプリケーションで使用できます。各データ・レーンの平均出力が 0 であることを確保することによって、レシーバ側のコモンモード電圧は、結果パターンによって乱されません。マンチェスタ・エンコーディングは、最大データ・スループットが最大 400MHz LVDS クロック・レートで達成できるように、デュアル・レーン LVDS モードでのみ利用可能です。

図 113 に、この絶縁を実装する方法の例を示します。絶縁コンデンサの前に LVDS 100Ω 終端抵抗が必要であることに注意してください。



113

図 113. 絶縁型 LVDS

ADC 結果のレイテンシと LVDS インターフェースの整合

AD4880 のチャンネルが LVDS インターフェース・モードに設定されている場合、各変換結果はその LVDS インターフェース出力シフト・レジスタに格納されます。ADC データ・インターフェース設定 B レジスタ (ADC データ・インターフェース設定 B レジスタのセクションを参照、アドレス 0x16) の LVDS_CNV_CLK_CNT ビットは、変換結果データが LVDS インターフェース出力シフト・レジスタにロードされる時点を設定するために使用されます。ただし、クロック・カウンタ数はストレート・バイナリではエンコードされないことに注意してください (表 20 参照)。変換パルスの立上がりエッジから、その変換要求の MSB が出力レジスタに転送するために内部で利用可能になるまでの合計時間は、 $(t_{CYC} + t_{MSB})$ として定義され、両方とも表 2 に仕様規定されます。この結果データの転送は、CLK+ および CLK- の LVDS の制御下にあるため、完全に完了した結果がリードバックのためにインターフェースに転送されるために許容されなければならない追加の $(1.5 \times t_{CLK})$ があります。ユーザは必ず、必要とされる正確な LVDS_CNV_CLK_CNT 値を計算し、使用される変換レートおよび t_{CLK} に従って ADC データ・インターフェース設定 B レジスタ (ADC データ・インターフェース設定 B レジスタのセクションを参照) を構成します。

最小レイテンシの場合、特定の変換レートに使用する正確な LVDS_CNV_CLK_CNT 値は、 $(t_{MSB}/t_{CLK} + 1.5)$ と計算されます。この数値は、最も近い整数値に切り捨てられます。

ゲイン誤差補正をイネーブルすると (ゲイン誤差補正のセクションを参照)、最大 t_{MSB} 時間は 22.4ns と規定されます。400MHz の LVDS クロックを用いたシングル・レーン LVDS における 40MSPS の変換レートの場合、最小の LVDS_CNV_CLK_CNT は $22.4ns/2.5ns + 1.5$ と計算され、10 という値に丸められます。次に、変換レイテンシは、CLK 信号の立上がりエッジに整合された時間として求められ、タイミング図において t_{MSB_READ} またはレイテンシとして記述され、 $(LVDS_CNV_CLK_CNT + 0.5) \times t_{CLK}$ と計算できます。この例では、シングル・レーン・レイテンシの計算結果は、 $(10 + 0.5) \times 2.5ns + t_{CYC} = 51.25ns$ のレイテンシとなります。

半分速度 (200MHz) で動作する LVDS クロックを用いるデュアル・レーンの例では、同様にレートが 40MSPS でゲイン誤差補正がイネーブルの場合、同じ式を用いて $(22.4ns/5ns) + 1.5$ となるので、LVDS_CNV_CLK_CNT は 5 になり、レイテンシは $(5 + 0.5) \times 5ns + t_{CYC} = 52.5ns$ という結果になります。

ゲイン誤差補正をディスエーブルすると (ゲイン誤差補正のセクションを参照)、最大 t_{MSB} 時間は 18ns と規定されます。400MHz の LVDS クロックを用いたシングル・レーン LVDS で 40MSPS の変換レートの場合、これは $18ns/2.5ns + 1.5$ として計算され、LVDS_CNV_CLK_CNT の設定値は 8 になります。次に、変換レイテンシは、CLK 信号の立上がりエッジに整合された時間として求められ、タイミング図において t_{MSB_READ} またはレイテンシとして記述され、 $(LVDS_CNV_CLK_CNT + 0.5) \times t_{CLK}$ と計算できます。したがって、この場合、シングル・レーン・レイテンシは、 $(8 + 0.5) \times 5 + t_{CYC} = 46.25ns$ のレイテンシと計算されます。

再度、半分速度 (200MHz) で動作する LVDS クロックを用いるデュアル・レーンを例に取ると、同様にレートが 40MSPS でゲイン誤差補正がディスエーブルの場合、計算式は $(18ns/5ns) + 1.5$ となるので、LVDS_CNV_CLK_CNT は 5 になり、レイテンシは $(5 + 0.5) \times 5ns + t_{CYC} = 52.5ns$ という結果になります。

上記 4 つの例は、最小レイテンシを達成するように計算されていますが、より高い LVDS_CNV_CLK_CNT 値を使用することが可能であり、これにより、LVDS_CNV_CLK_CNT 値が +1 単位増加するごとにレイテンシが t_{CLK} 増加します。

図 114 と図 115 は、LVDS_CNV_CLK_CNT によって制御される LVDS インターフェース上への ADC 結果データの配置を説明するのに役立ちます。これらの図は、新しい結果が $t_{CYC} + t_{MSB}$ の時間経過後に内部で完了することを示しています。この時間は、これらの図において、 $t_{MSB_AVAILABLE}$ という表記によっても示されています (図 114 および図 115 の説明のためにのみ導入)。図 114 は、ゲイン誤差補正イネーブル、400MHz の LVDS クロック、シングル・レーンの条件で変換レートが 40MSPS の場合の例を示したものです。これらの条件下で LVDS インターフェースにロードされる変換結果のうち、最も早いものは LVDS_CNV_CLK_CNT の設定値が 10 であることを示しています。MSB をインターフェース出力でできるようにするには、1 つの完全な t_{CLK} サイクル (CLK+ChX の立上がりエッジから次の CLK+ChX 立上がりエッジまでの全サイクル) を追加することが必要です。このサイクルは、例示目的のみのために、概念的な t_{MSB_READ} インジケータと共に図 114 内で強調表示されています。同様に、図 115 は、ゲイン誤差補正イネーブル、200MHz の LVDS クロック、デュアル・レーンの条件で変換レートが 40MSPS の場合の例を示したもので、これらの条件下では最小の LVDS_CNV_CLK_CNT 設定は 5 です。

デジタル・インターフェース

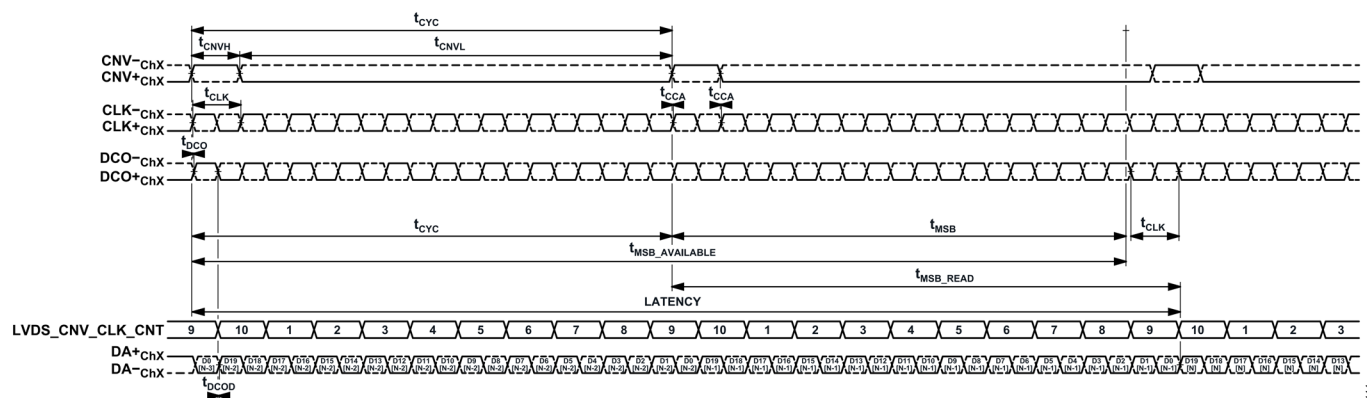


図 114. シングル・レーン LVDS、エコー・クロック・モード、LVDS_CNV_CLK_CNT 位置の例

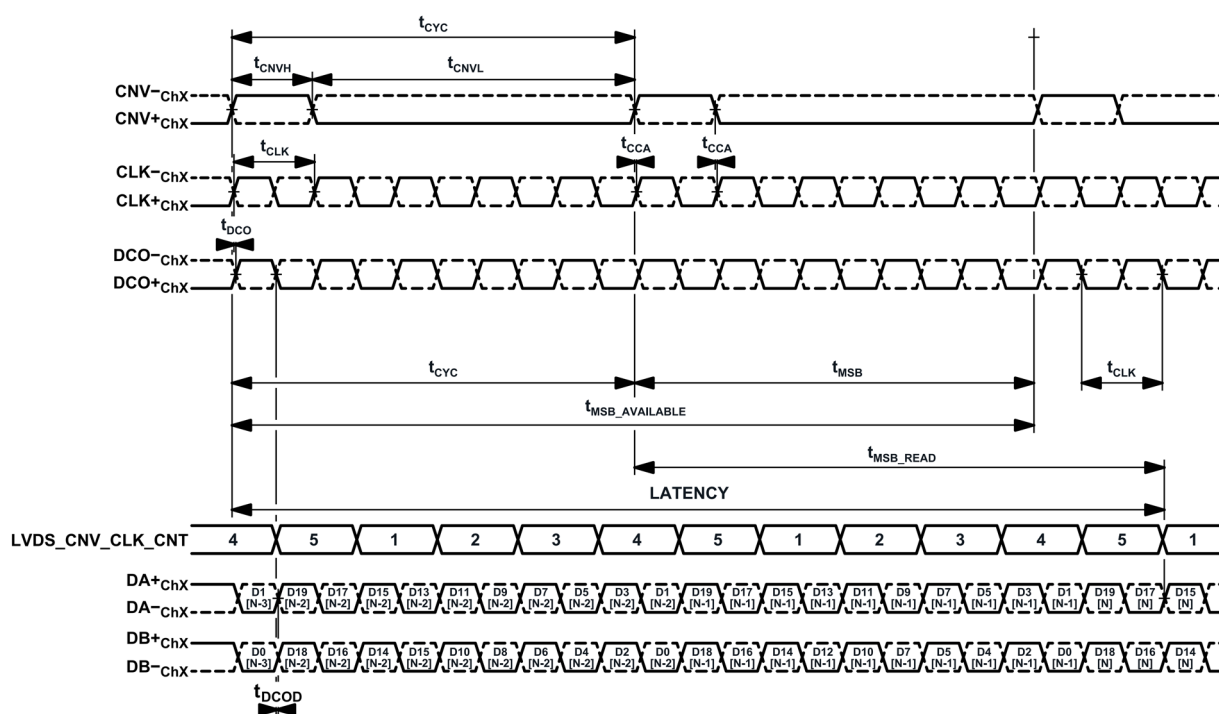


図 115. デュアル・レーン LVDS、エコー・クロック・モード、LVDS_CNV_CLK_CNT 位置の例

デジタル・インターフェース

表 20. LVDS_CNV_CLK_CNT のデータのエンコーディング

LVDS_CNV_CLK_CNT Value	Clock Count Number	
	Single Lane Mode	Dual Lane Mode
0b0000	3	3
0b0001	4	4
0b0010	5	5
0b0011	6	1
0b0100	7	2
0b0101	8	Invalid value
0b0110	9	Invalid value
0b0111	10	Invalid value
0b1000	1	Invalid value
0b1001	2	Invalid value
0b1010 to 0b1111	Invalid value	Invalid value

参考のため、表 21 に、ゲイン誤差補正をイネーブルした場合 ($t_{MSB} = 22.4ns$) とディスエーブルした場合 ($t_{MSB} = 18ns$) について、様々な変換レートでの必要最小限の LVDS_CNV_CLK_CNT 設定を示します。ゲイン誤差補正をディ

スエーブルし、最大 LVDS データ・インターフェース・クロック周波数およびシングル・レーン構成を用いた場合、実現可能な最小レイテンシは 46.25ns である点に注意してください。

AD4880 には、ADC データ・インターフェース設定 A レジスタ (ADC データ・インターフェース設定 A レジスタのセクションを参照、アドレス 0x15) の INTF_CHK_EN ビットをセットすることにより有効になる、インターフェース・チェック機能があります。このビットがセットされると、ADC の結果はインターフェースに出力されなくなり、出力は固定パターン 20'b1010 1100 0101 1101 0110 (0xAC5D6) に置き換えられます。INTF_CHK_EN ビットがセットされていない場合、通常の変換結果が即座に LVDS インターフェースに出力されます。インターフェース・チェック機能を用いると、インターフェースを介したデータの転送が正しいかテストでき、また、特に、AD4880 とそのデジタル・ホストとの間に未知の PCB 伝搬遅延が存在する可能性がある自己クロック・モードの場合は、アライメント手順を実行できます。この機能は、静的データを使用することにより、出力された LVDS データをデジタル・ホストの LVDS クロックに整合させやすくなるよう特別に設計されたものであり、正しい LVDS_CNV_CLK_CNT 設定値が使用されているかどうかを示すものではないことに注意してください。

表 21. 様々なサンプル・レートでの LVDS_CNV_CLK_CNT の最小設定値とレイテンシ

Sample Rate (MSPS)	LVDS Lanes	f _{CLK} (MHz)	Gain Error Correction	LVDS_CNV_CLK_CNT Minimum Setting	Latency (ns)
40	1	400	Yes	10	51.25
40	1	400	No	8	46.25
35	1	350	Yes	9	55.71
35	1	350	No	7	50
30	1	300	Yes	8	61.67
30	1	300	No	6	55
25	1	250	Yes	7	70
25	1	250	No	6	66
20	1	200	Yes	5	77.5
20	1	200	No	5	77.5
15	1	150	Yes	4	96.67
15	1	150	No	4	96.67
40	2	200	Yes	5	52.5
40	2	200	No	5	52.5

デジタル・インターフェース

LVDS データ転送レイテンシ

ユーザが、個々の ADC 変換が開始されてから LSB がホスト・コントローラに到達するまでのレイテンシ全体を知ることに関心がある場合、データ転送レイテンシを考慮することが重要です。観測された合計レイテンシは、ADC レイテンシとデータ転送レイテンシの合計であり、この場合、LVDS_CNV_CLK_CNT は、最小の ADC レイテンシを達成するように設定されます。図 116 に示すように、必要最小限を超えるクロック・サイクルを追加すると、レイテンシ全体に対してレイテンシの LVDS クロック・サイクルが追加されます。

LVDS インターフェースのデータ転送レイテンシは、次のパラメータに依存します。

- ▶ LVDS クロック周期 t_{CLK}
- ▶ アクティブな LVDS レーンの数 N_{LANES}
- ▶ 読み出すビット数 N_{BITS}

レイテンシは次式で計算します。

$$\text{Data Transfer Latency} = \frac{N_{BITS}}{N_{LANES}} \times t_{CLK}$$

非常に低いレイテンシを必要とするアプリケーションでは、データはシングル・レーン・モードとデュアル・レーン・モードのどちらにおいても MSB から LSB に転送され、インターフェースから結果を完全に読み出す必要がないため、低分解能の結果の場合はデータ転送レイテンシを低減できることに注意してください（つまり、 N_{BITS} は使用可能な最大ビット数よりも小さくなるように選択できます）。

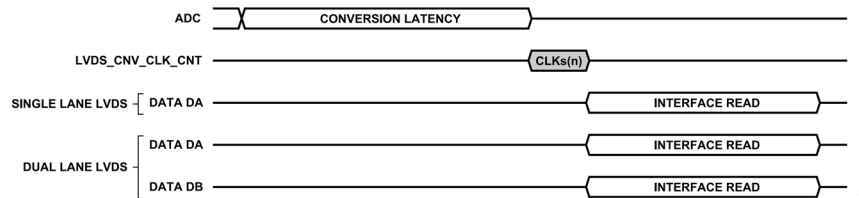


図 116. LVDS データ転送レイテンシ

デジタル・インターフェース

LVDS 出力差動ドライブ

AD4880 の LVDS インターフェースは、差動ペア間に 100Ω の終端抵抗があると仮定して、±185mVp-p、±240mVp-p、および ±325mVp-p の 3 つの所定差動振幅のうちの 1 つから差動出力電圧を選択できます。LVDS ドライバの出力コモンモード電圧は、ピーク出力電圧が IOVDD_{ChX} レール内に維持されるように、選択ごとに自動的に調整されます。デフォルト選択では、差動振幅は ±240mV p-p に設定されています。出力差動電圧は、ADC データ・インターフェース設定 C レジスタ (ADC データ・インターフェース設定 C レジスタのセクションを参照、アドレス 0x17) の LVDS_VOD ビットに書き込むことによって、チャンネルごとに個別に設定できます。

データ・インターフェース・テスト機能

選択した出力設定とは無関係に、AD4880 には、ADC データ・インターフェース設定 A レジスタ (ADC データ・インターフェース設定 A レジスタのセクションを参照、アドレス 0x15) の INTF_CHK_EN ビットをセットすることにより有効になる、インターフェース・チェック機能があります。

インターフェース・チェック機能では、データ・インターフェースに 20 ビットの一定パターンを出力させます。それによって、デバイス・パッド、PCB との相互接続、ホスト・インターフェース接続を含む、データ・インターフェースの物理層の完全性の検証が容易になります。この内蔵テスト機能を有効にすると、ADC 変換結果へのアクセスが中断されます。したがって、この機能は、通常のシステム機能で変換結果を必要としない電源投入時またはアイドル時にのみ使用してください。

詳細については、ADC 結果のレイテンシと LVDS インターフェースの整合のセクションを参照してください。

SPI データ・インターフェース

SPI データ・インターフェースの構成

結果 FIFO への非同期取り込みを使用する場合など、LVDS インターフェースのインターフェース帯域幅を必要としないアプリケーションでは、任意のチャンネルのデータ・インターフェースをシングル・レーンまたはクワッド・レーンの SPI データ・インターフェースに再構成できます。この構成では、チャンネルは最大 50MHz のシリアル・クロック・レートで、1 つまたは 4 つの CMOS データ・レーンに同時にデータを出力します。結果データは、インターフェース・クロック (DCLK_{ChX}) の立下がりエッジでシリアルにシフト出力されます。SPI 設定では、4 つの SPI レーンを使用する場合、チャンネルの結果は最大 200Mbps の実効インターフェース・レートで読み出すことができます。

チャンネルの SPI データ・インターフェースは、ADC データ・インターフェース設定 A レジスタの DATA_INTF_MODE ビットを 1 にセットすることによりアクティブになります (ADC データ・インターフェース設定 A レジスタのセクションを参照、アドレス 0x15)。データ・インターフェースを SPI モードに設定すると、エコー・クロック出力 (DCO_{ChX} および DCO_{-ChX}) を含む LVDS ドライバが自動的にディスエーブルになり、LVDS 機能と CMOS 機能の競合が防止されます。その結果、LVDS_SELF_CLK_MODE および LVDS_VOD 設定値は、もはやデータ・インターフェースの動作に影響を与えず、それらの電

源投入デフォルト値または別の便利な値のままにできます。ドライバがディスエーブルになっているため、DCO_{ChX} および DCO_{-ChX} の各出力ピンは不使用方法であるので、ハードウェア設計で切断されたままにすることができます。

表 22 に詳述するように、以下の LVDS ピンは、SPI データ・インターフェースを実現するために、CMOS 入力または出力として再構成されます。

表 22. LVDS/SPI データ・インターフェース・ピンのクロスリファレンス

LVDS Pin	CMOS Pin	Function
CLK _{ChX}	DCLK _{ChX}	Data interface clock input
CLK _{-ChX}	DCS _{ChX}	Data interface chip select (active low) input
DA _{ChX}	SDOA _{ChX}	Serial Data Output A
DA _{-ChX}	SDOB _{ChX}	Serial Data Output B
DB _{ChX}	SDOC _{ChX}	Serial Data Output C
DB _{-ChX}	SDOD _{ChX}	Serial Data Output D

LVDS 設定モードと同様に、SPI 設定を選択すると、アクティブなレーン数を制御できます。SPI データ・インターフェースの設定では、シングル・レーン SPI またはクワッド・レーン SPI を設定できます。

SPI アクティブ・データ・レーン・カウント

SPI データ・インターフェースは、1 つまたは 4 つのデータ・レーンに結果データを出力するように設定できます。これは、ADC インターフェース設定 A レジスタ (ADC データ・インターフェース設定 A レジスタのセクションを参照、アドレス 0x15) の SPI_LVDS_LANES ビットによって制御されます。デフォルトでは、このビットは 0 (1 つのレーンがアクティブ) に設定されています。1 に設定すると、4 つのデータ・レーンを使用できます。このビットは、LVDS インターフェースのアクティブなデータ・レーン数も設定することに注意してください。表 23 および図 123 に、シリアル・データ出力 (SDO_{ChX}) ピンへのデータの順序とピン配置を示します。

表 23. SPI データ・レーンのデータの順序およびピン配置

Serial Data Output Pin	Output Data Order	
	One Active SPI Lane (SPI_LVDS_LANES = 0)	Four Active SPI Lanes (SPI_LVDS_LANES = 1)
SDOA _{ChX}	Not applicable	SDO 3
SDOB _{ChX}	SDO 0	SDO 2
SDOC _{ChX}	Not applicable	SDO 1
SDOD _{ChX}	Not applicable	SDO 0

データ・インターフェース CRC

結果データの整合性を確保するために、CRC が FIFO 結果に追加されます。この CRC は常にイネーブルで、付加されます。結果のチェック・サムの計算は、設定インターフェースの計算とは無関係です。結果の長さは 24 ビットで、FIFO から取得された各データ結果記録に追加されます。

デジタル・インターフェース

符号の拡張

SPI データ・インターフェースを通じて FIFO データにアクセスする場合、AD4880 の 20 ビットの分解能は、マイクロコントローラまたはマイクロプロセッサ・ホストとのインターフェースで扱いやすいデータ長ではありません。データ・アクセスおよびストレージをより簡単にするために、ADC 結果は 24 ビットに符号拡張されます。このようにして、データ・フォーマットとのホストの整合性が向上します。

GPIO ピン

AD4880 GPIO ピンは、ホスト・プロセッサ、データ・コンバータ、およびその他の関連シグナル・チェーン部品間の状態制御インターフェースを簡素化しやすくすることにより、同期データ・アキュイジション・アプリケーションの開発を簡素化することを目的としています。出力として構成する場合、これらの GPIO ピンは、デバイス・ステータスのインジケータ、関連シグナル・チェーン部品のデジタル制御、またはデバイス設定のためのシリアル・データ・レーンとして割り当てることができます。入力モードでは、GPIO ピンを用いて、デジタル・フィルタの同期（リセット）や外部イベント・トリガなどのコンバータ機能のピン・プログラミングができます。

各チャンネルには、個別に設定可能な専用の GPIO ピンがあります。

各 GPIO に必要な機能は、GPIO 設定 A レジスタ～GPIO 設定 C レジスタ（アドレス 0x19～アドレス 0x1B）に書き込むことによって定義されます。[GPIO 設定 A レジスタ](#)のセクションから [GPIO 設定 C レジスタ](#)のセクションまでを参照してください。各 GPIO の設定には、出力イネーブル・ビット、出力データ・ビット、および機能選択があります。GPIO データ・オプションが選択されている場合は、出力データ・ビットによって出力の論理状態が決定されます。それ以外の場合は、出力がイネーブルになっていれば、選択された機能によって出力状態が決定されます。デフォルトでは、GPIO0_{chX} が出力としてイネーブルになっており、設定 SPI SDO 機能が選択されています。その他の GPIO 出力はすべてディスエーブルになります。

表 25 に、使用可能な AD4880 GPIO 機能の簡単な説明を示します。各 GPIO ピンは、以下の機能のいずれかに設定できます。

表 24. GPIO レジスタの概要

レジスタ	ビット	内容
GPIO_CONFIG_A	GPIO_0_EN, GPIO_1_EN, GPIO_2_EN, GPIO_3_EN	各 GPIO のイネーブル・ビット。 0：GPIO を入力として設定します。 1：GPIO を出力として設定します。
GPIO_CONFIG_A	GPIO_0_DATA, GPIO_1_DATA, GPIO_2_DATA, GPIO_3_DATA	各 GPIO の対応する GPIO_x_SEL ビットを 0111b に設定して、その GPIO へのデータの読み書きができます。 このモードでは、GPIO_x_EN は、GPIO が入力として設定されているか出力として設定されているかに応じて、これらのデータ・ビットのそれぞれが読出し専用か書き込み専用かを選択します。 出力として設定された場合、これらのビットは書き込み専用であり、ユーザは GPIO への出力に必要なロジック・レベルにビットを設定できます。 入力として設定された場合、これらのビットは読出し専用であり、ユーザはこれらのビットを読出して、GPIO へのロジック・レベル入力を決定できます。 対応する GPIO_x_SEL が 0111b に設定されていない場合、GPIO は選択された GPIO 関数で上書きされるため、GPIO_x_DATA は有効ではありません。
GPIO_CONFIG_B	GPIO_0_SEL, GPIO_1_SEL	GPIO0 および GPIO1 の機能モードの選択。
GPIO_CONFIG_C	GPIO_2_SEL, GPIO_3_SEL	GPIO2 および GPIO3 の機能モードの選択。

表 25. GPIO_x_SEL 機能の説明

GPIO_x_SEL	機能	説明
0000b	Configuration SPI SDO	設定シリアル・データ出力。これにより、選択した GPIO が設定 SPI の SDO として設定されます。
0001b	FIFO full	FIFO メモリ・フル表示出力。これは、選択した GPIO を、チャンネル FIFO がフルであることを示すインジケータとして機能するように設定します。FIFO フル・インジケータは、FIFO ウォーターマーク・レジスタ（ FIFO ウォーターマーク・レジスタ のセクションを参照、アドレス 0x1D および 0x1E）内の仕様規定されたカウントに対応する変換結果がデータ FIFO にロードされたときに設定されます。FIFO フル・ステータス・ビットは、FIFO からデータを読み出すことによってクリアされ、最初の変換結果が FIFO からデータ・インターフェース出力シフト・レジスタに移動されるときにクリアされます。
0010b	FIFO read done	FIFO メモリ読出し完了出力。これは、選択した GPIO を FIFO 読出し完了インジケータとして機能するように設定します。FIFO 読出し完了インジケータは、チャンネル FIFO が最初にイネーブルされたとき、および最後の変換結果が FIFO からデータ・インターフェース出力シフト・レジスタに移動されるたびに、デフォルトでクリアされます。FIFO 読出し完了は、選択したデータ・インターフェース上で最後の FIFO 結果の MSB が読み出されたときにクリアされます。

デジタル・インターフェース

表 25. GPIO_x_SEL 機能の説明（続き）

GPIO_x_SEL	機能	説明
0011b	Filter result ready	フィルタ結果準備完了出力。デジタル・フィルタをイネーブルにすると、選択した GPIO が、インターフェース上で新しいデータの読出しができることを示すインジケータとして機能するように設定されます。このアクティブ・ロー表示により、内蔵デジタル・フィルタを使用して入力信号をオーバーサンプリングし、デシメートするときに、ホストと AD4880 との間の同期が可能になります。信号は、各フィルタ・デシメーション期間の終了時にローに駆動され、次のデシメートされた出力が準備完了になる前に再びハイに駆動されます。
0100b	HI_DTCT	高閾値イベント出力。閾値検出をイネーブルにすると、高レベルの閾値をいつ超えるかを示すように、選択された GPIO が設定されます。出力はアクティブ・ハイです。
0101b	LO_DTCT	低閾値出力。閾値検出をイネーブルにすると、低レベルの閾値をいつ超えるかを示すように、選択された GPIO が設定されます。出力はアクティブ・ハイです。
0110b	$\overline{\text{ALERT}}$	ステータス・アラート出力（アクティブ・ロー）。これは、選択した GPIO を閾値イベント検出のステータス・アラートとして機能するように設定します。
0111b	GPIO data	汎用出力モード。このモードでは、GPIO 設定 A レジスタ（ GPIO 設定 A レジスタ のセクションを参照、アドレス 0x19）の対応する GPIO_x_DATA ビットの状態が、設定された出力に適用されます。
1000b	$\overline{\text{FILTER_SYNC}}$	フィルタ同期入力（アクティブ・ロー）。これは、選択した GPIO をデジタル・フィルタの同期信号として機能するように設定します。ローに保持されると、この入力デジタル・フィルタをリセット状態に保持します。
1001b	EXT_EVENT	外部イベント・トリガ入力。イベントは、設定された GPIO 入力でロジック・ハイが検出されたときにトリガされます。このイベントは、FIFO をトリガするために使用できます。

デジタル機能

概要

AD4880には、多くのアプリケーションにソリューションの大きなメリットを提供する便利なデジタル機能がいくつかあります。これらの機能は、各チャンネルごとに個別に設定され、必要に応じてユーザーが個別にイネーブルできます。これらの機能については、簡単に説明します。これらの機能の詳細な説明と定義については、次のセクションで説明します。

- ▶ **イベント検出**：この機能により、アナログ入力がユーザー設定閾値を超えたことを検出できます。この検出があると、設定レジスタ内でフラグ通知したり GPIO に出力したりできます。あるいはこの検出を使用して結果 FIFO をトリガできます。
- ▶ **結果 FIFO**：この機能により、最大 16,384 個の変換結果の記録をチャンネル FIFO メモリ内にアキュイジションできます。これらのアキュイジション結果は、LVDS または SPI データ・インターフェースを介してホスト・コントローラにリードバックできます。FIFO に格納される結果は、未処理の ADC 結果、またはデジタル・フィルタ機能を介して処理された結果のいずれかです。
- ▶ **デジタル・フィルタ**：この機能では、それぞれが広い範囲のデシメーション率を持つ、3 つの異なるデジタル・フィルタ設定が可能であり、それによってオーバーサンプリングの利点と信号帯域幅の厳密な制御が実現します。
- ▶ **システム誤差補正係数**：AD4880 は、工場出荷時にキャリブレーションされオフセット誤差とゲイン誤差を最小限に抑えた優れた精度を実現していますが、この機能を用いることで、ユーザーはアプリケーション内に存在する可能性があるシグナル・チェーン誤差を補正できます。

イベント検出

AD4880にはイベント検出機能が内蔵されており、それにより、ユーザーは、特定のアナログ入力閾値レベルがいつ超えられたか

を示すか、または入力として設定された GPIO をモニタすることができます。次に、内部発生イベントは、設定メモリ内でのフラグのセットに使用するか、あるいは設定された GPIO 出力に経路指定して、閾値条件が破られたことをホスト・コントローラに警告するために使用できます。ユーザーが外部信号を AD4880 に経路指定し、外部トリガとして使用することも可能です。内部発生または外部発生イベントを使用して、対応するチャンネル FIFO（結果 FIFO のセクションを参照）をトリガすることもできます。このメカニズムについては、FIFO のイベント検出のセクションで説明しています。閾値検出は、変換された電圧コードをユーザー設定コードと比較します。これは、閾値検出がサンプルごとに行われ、イベントがすぐにトリガされるためです。また、レベル・ヒステリシス設定値を設定して、不要なトリガを防止することもできます。

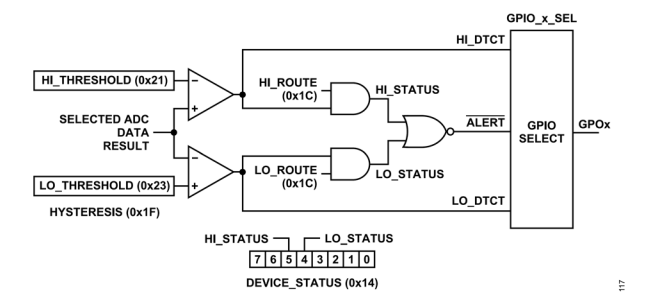


図 117. 内部発生イベント検出信号経路

図 117 は、AD4880 のイベント検出の設定および動作の詳細を説明するのに役立ちます。

表 26. イベント検出

INT_EVENT_EN ビット (アドレス 0x1C)	モード	トリガ・ソース	コメント
0	外部イベント	GPIO_x_SEL = 4b1001、すなわち EXT_EVENT に設定されている。	イベントは、選択された GPIO 入力でロジック・ハイが検出されたときにトリガされます。
1	内部イベント	ADC 結果スレッシュホールド検出がイネーブルになっている。	HI_THRESHOLD（アドレス 0x21 とアドレス 0x22）および LO_THRESHOLD（アドレス 0x23 とアドレス 0x24）は、トリガされるイベントの ADC 結果（またはデジタル・フィルタ結果）コード閾値の上限および下限を設定します。

デジタル機能

イベント検出のタイミング

全般的な設定レジスタ（[全般的な設定レジスタ](#)のセクションを参照）で、あるチャンネルに対しイベント検出がイネーブルになっている場合、HI_DTCT 信号および LO_DTCT 信号は、内部発生イベントの発生を示します。これらの信号は、次の経路を介して内部で経路指定できます。

- ▶ HI_DTCT および LO_DTCT には、GPIO_x_SEL をそれぞれ 0b100 または 0b101 に設定し、イネーブルされた GPIO を介して直接アクセスできます。閾値イベントは、GPIO を介してデジタル・ホストによって外部からモニタできます。設定された GPIO のロジック 1 は、イベントの検出を示します。
- ▶ HI_DTCT と LO_DTCT をそれぞれ経路指定するには、全般的な設定レジスタ（アドレス 0x1C）の HI_ROUTE ビットと LO_ROUTE ビットをそれぞれ 1 に設定して、HI_DTCT と LO_DTCT がデバイス・ステータス・レジスタ（[デバイス・ステータス・レジスタ](#)のセクションを参照、アドレス 0x14）の LO_STATUS ビットと HI_STATUS ビットに伝搬できるようにします。これらのステータス・ビットは、設定 SPI を介してデジタル・ホストによってモニタできます。設定された GPIO のロジック 1 は、イベントの検出を示します。これらの 2 つのビットに 1 が書き込まれると、それぞれが独立してクリアされます。電源のオフ/オンまたはデバイスのリセットによっても、ビットはクリアされます。
- ▶ HI_DTCT および LO_DTCT は、全般的な設定レジスタ（アドレス 0x1C）の HI_ROUTE および LO_ROUTE ビットをそれぞれ 1 に設定して、HI_DTCT および LO_DTCT が ALERT 信号に伝搬できるようにすることで、それぞれ経路指定できます。

GPIO_x_SEL が 0b0110 に設定され、ステータス・アラートを出力するように設定されたイネーブルな GPIO は、ALERT 信号を GPIO に経路指定して、イベントがいつ発生するかを示します。このモードで設定された GPIO は通常ハイであり、ロジック・ローはイベントが発生したことを示します。[図 119](#) のセクションに示されるように、この GPIO は、閾値レベルを超えている間だけローのままであり、閾値限界を超えなくなり、[図 118](#) のタイミングが満たされると、すぐにロジック・ハイに戻ります。

イベント検出は、CNV+_{chX} の立上がりエッジに同期して行われます。アナログ入力が増幅を越える最初の CNV+_{chX} エッジから、デバイス・ステータス・レジスタにフラグが立てられた検出イベント、および ALERT を経路指定するように設定された任意の GPIO まで、変換クロック・サイクル 2 回分のレイテンシが存在します。HI_DTCT フラグと GPIO に経路指定された ALERT の両方が示された[図 117](#) で明らかなように、閾値レベルを超えなくなった場合、動作が異なります。CNV+_{chX} の立上がりエッジで、アナログ入力が増幅を越えなくなった場合、ALERT は、2 回の変換サイクル後に CNV の立上がりエッジでアサート解除します。既に設定されている HI_DTCT または LO_DTCT のいずれも、この時点ではクリアされません。これらの信号は、デバイス・ステータス・レジスタ（アドレス 0x14）の該当するビットに 1 を書き込むか、デバイス・リセットが発生した場合にのみクリアされます。

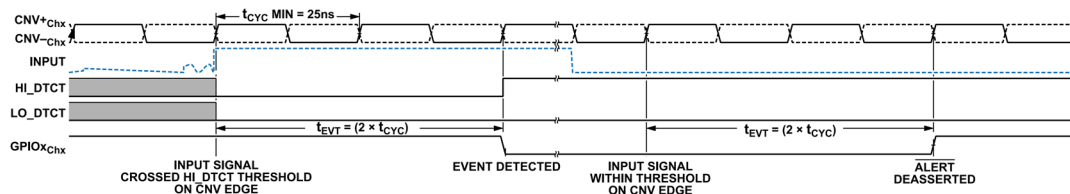


図 118. イベント検出のタイミング

デジタル機能

閾値検出レベル

AD4880の閾値検出にはヒステリシス設定値が含まれています。この設定値を設定することで、ユーザは不要な閾値のトリガを回避できます。図 119 に、これを実現する方法を示します。単一のヒステリシス設定値が設定され、HI_THRESHOLD ビットと LO_THRESHOLD ビットの両方に適用されます。ハイおよびロー検出フラグは、ヒステリシス閾値を超えるまでセットされたままになります。

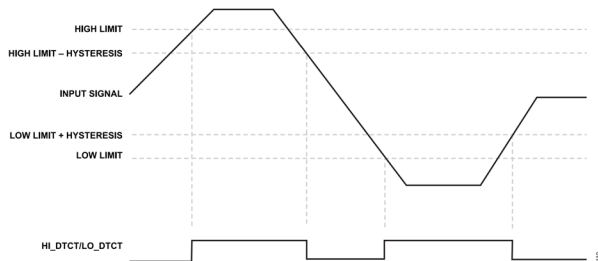


図 119. 閾値検出レベル

イベント検出のイネーブル化

デフォルトでは、電源投入またはリセット後、HI_ROUTE および LO_ROUTE はロジック 0 に設定され、閾値レベルの検出をイベント・アラートの生成からマスクします。イネーブルにすると、これらの信号のゲート付きバージョンである HI_DTCT_GATED と LO_DTCT_GATED が論理 NOR され、ALERT 信号が生成されます。ユーザが HI_DTCT、LO_DTCT、または ALERT 信号を使用して、イベント発生を外部からデジタル・ホストに戻す必要がある場合、GPIO_x_SEL レジスタを使用して、これらの信号のいずれかまたは複数に GPIO ピンに経路指定できます。

FIFO のイベント検出

チャンネルでのイベント検出は、その FIFO メモリの動作準備のためにも使用できます。FIFO のイベント検出は、イベント検出のセクションで詳述している内部イベントまたは外部イベントのいずれかを用いてトリガできます。

ALERT 信号を使用して FIFO をトリガするには、HI_ROUTE ビットや LO_ROUTE ビットを必要に応じて設定する必要があります。複合 ALERT 出力を使用して FIFO をトリガするには、INT_EVENT_EN ビットを 1 に設定する必要があります。または、INT_EVENT_EN ビットを 0 にセットして設定する場合は、GPIO EXT_EVENT 入力を設定する必要があります。この入力は、GPIO にロジック 1 が表示されたときに FIFO をトリガします。このイベントは外部で発生したため、ALERT 信号は生成されません。

HI_THRESHOLD (アドレス 0x21 およびアドレス 0x22) ビットおよび LO_THRESHOLD (アドレス 0x23 およびアドレス 0x24) ビットを使用して、内部イベント検出用の ADC 出力コード閾値を設定できます。これらのビットは、全般的な設定レジスタ (アドレス 0x1C) の HI_ROUTE ビットと LO_ROUTE ビットを用いてマスクできます。これらのビットをロジック・ハイに設定すると、使用されるビットが (事前に設定された GPIO を用いてモニタできる) ALERT フラグに経路指定されます。ALERT フラグは FIFO イベント・トリガとしてもイネーブルになり、また、デバイス・ステータス・レジスタ (アドレス 0x14) の HI_STATUS フラグおよび LO_STATUS フラグとして使用できるようになります。

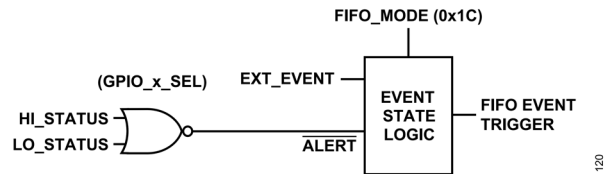


図 120. FIFO イベント検出ロジック

イベント検出 ADC データ結果

ADC データ結果は、図 117 に示すように、選択されたデータ経路に依存します。図 131 で明らかのように、デジタル・フィルタ (デジタル・フィルタのセクションを参照) がイネーブルの場合、選択されたフィルタの出力は、イベント検出のための閾値検出によってチェックされる ADC データ結果を参照します。

結果 FIFO

データ・インターフェースの伝送負荷を軽減する必要がある、非同期のデータ・キャプチャおよびアクセスが適切であるようなアプリケーション向けに、AD4880 の各チャンネルには、独立した単一ポートのデータ FIFO があります。この FIFO は、デジタル・ホスト・コントローラの要件を軽減するのに役立ち、例えば、MCU デジタル・ホストを使用するシステムへの AD4880 の配備が可能になります。各データ FIFO を使用すると、データ・オーバーフローによる結果の損失なしに、アクイジション・バーストごとに最大 16,384 のデータ結果の記録を取得できます。単一ポート・メモリであるため、データ・インターフェースの読み出し動作と ADC 変換結果の書き込み動作をこの FIFO に対して同時に行うことはできません。

ホスト・コントローラと ADC との間の FIFO アクセスの同期を可能にするために状態フラグが内蔵されており、このフラグによって、メモリがフルであるか (FIFO_FULL)、または FIFO 内に利用可能な新しいデータがないか (FIFO_READ_DONE)、すなわち、最後のトリガがセットされて以降、新しいデータがないか、または結果記録の最後の FIFO データのリードバックが既に完了しているかが示されます。N = WATERMARK に達した場合、つまり、FIFO_WATERMARK レジスタで指定されたカウンタに対応する変換結果がデータ FIFO にロードされた場合、メモリはフルに設定され、デバイス・ステータス・レジスタ (デバイス・ステータス・レジスタのセクションを参照、アドレス 0x14) の FIFO_FULL ビットがアサートされます。ステータス・ビットにアクセスするには、設定 SPI を介してデバイス・ステータス・レジスタ (アドレス 0x14) から直接読み出すか、ステータスをデータ SPI フレームに追加するか、必要な GPIO_x_SEL ビットを設定して目的のステータス・フラグを GPIO ピンに割り当てます。これらの GPIO の詳細については、GPIO ピンのセクションを参照してください。ユーザはまた、バースト・アクイジションを開始する種々のモードの中から選択することもできます。これについては、FIFO モードの選択および設定のセクションで更に説明します。

デジタル機能

FIFO モードの選択および設定

AD4880 の各チャンネル・データ FIFO を設定できるモードは 4 種類あります。アクティブ・モードを選択するには、全般的な設定レジスタ（[全般的な設定レジスタ](#)のセクションを参照、アドレス 0x1C）の FIFO_MODE ビットを設定します。デフォルト

では、FIFO はディスエーブルになっています（FIFO_MODE = 00）。これらのモードは、種々のアプリケーションのユース・ケース要件に適合するよう設計されています。[表 27](#) に、各 FIFO モードとその適用可能なユース・ケースの詳細を示します。

表 27. FIFO 設定モード（FIFO_MODE）

FIFO_MODE ビット値	FIFO モード	説明	ユース・ケース
00	FIFO をディスエーブル	FIFO は使用しません。この値は、イベント・トリガのリセットと再準備も行います。	連続変換モード。FIFO は使用しません。
01	即時トリガ・モード	このモードでは、最初の有効なコンバータ結果の受信直後にデータ取り込みが開始され、[N = WATERMARK]の結果が FIFO メモリにロードされるまで継続されます。 FIFO からリードバックされると、FIFO_READ_DONE は、[N = WATERMARK]の結果が FIFO からいつ読み出されるかを示します。	ユーザは、この FIFO_MODE、ビット[1:0]値の設定によって開始される、[N = WATERMARK]結果のバースト・アクイジションに関心があります。
10	イベント・トリガの取り込み、最新の WATERMARK の読出し	FIFO メモリへのデータ取り込みは、ユーザが選択したイベント方式によって開始されます。結果カウンタはイベントによって開始され、FIFO へのデータ取り込みは、[N = WATERMARK]の結果が取り込まれると停止します。 FIFO からリードバックされると、FIFO_READ_DONE は、[N = WATERMARK]の結果が FIFO からいつ読み出されたかを示します。	ユーザは、イベントによって開始された[N = WATERMARK]結果のバースト・アクイジションに関心があります。イベント後の結果データのみが対象となります。
11	イベント・トリガ取り込みモード、全 FIFO 読出し	データ取り込みは、最初の有効なコンバータ結果を受信した直後に開始されます。 FIFO は、イベントが検出されるまで連続して満たされます。FIFO が満たされる（つまり、16,384 個の結果がメモリに書き込まれる）前にイベントが検出されない場合、メモリは先入れ先出し方式で破棄された最も古い結果で満たされ続けます。 選択されたイベント方式を受信すると、結果カウンタは[N = WATERMARK]までカウントします。データ取り込みは、WATERMARK に達すると停止します。このモードでは、FIFO が一杯になると、イベントが発生した FIFO メモリ内の位置が自動的に FIFO_WATERMARK レジスタに格納されます。FIFO_WATERMARK からリードバックされた値によって、ユーザは、格納されている結果のうち、イベントの前に取り込まれたものと、イベントの後に取り込まれたものとを区別できます。詳細については、 イベント・トリガ取り込みモード、全 FIFO 読出し のセクションの例を参照してください。 FIFO からリードバックされると、FIFO_READ_DONE は 16,384 の結果が FIFO からいつ読み出されるかを示します。フル・メモリのリードバックには、イベント後の[N = WATERMARK]の結果が含まれます。この場合の N が 16,384 未満の場合、FIFO の残りの内容にはイベントの前の変換結果が含まれます。	ユーザは、イベントによって開始された[N = WATERMARK]結果のバースト・アクイジションに関心があります。このモードでは、FIFO の全内容が読み出されます。このモードでは、ユーザはイベントの後に[N = WATERMARK]の結果を読み出し、イベントの前に（16,384 - [N = WATERMARK]）の結果を読み出すことができます。 このモードでは、4 の倍数の WATERMARK 値のみが有効です。

デジタル機能

FIFO イベント検出

FIFO は、イベント検出モード ($FIFO_MODE = 2'b10$ または $FIFO_MODE = 2'b11$) で取り込むように設定されています。次のイベント検出オプション ([イベント検出](#)のセクションを参照) を使用できます。

チャンネルの全般的な設定レジスタ (アドレス $0x1C$) には、FIFO が外部イベント・トリガに応答するか、内部イベント・トリガに応答するかを決定する内部イベント・イネーブル・ビット (INT_EVENT_EN) が格納されています。電源投入時およびリセット時のこのビットのデフォルト状態は、 $INT_EVENT_EN = 0$ であり、外部イベント用に設定されています。

非同期データ取り込み

FIFO を非同期取り込みに使用するには、まず FIFO ウォーターマーク・レジスタ ([FIFO ウォーターマーク・レジスタ](#)のセクションを参照、アドレス $0x1D$) に、各バーストで取り込まれる変換の数を書き込みます。1~16,384 の任意の整数を入力できます。GPIO を用いて FIFO ステータス・ビットをホスト・コントローラに渡す場合は、取り込みを開始する前に、これらの選択を GPIO 設定レジスタにプログラムします。GPIO 設定の詳細については、[GPIO ピン](#)のセクションを参照してください。

データ FIFO への非同期取り込みを開始する最終ステップでは、FIFO をイネーブルにし、変換クロックを開始します。全般的な設定レジスタ ([全般的な設定レジスタ](#)のセクションを参照、アドレス $0x1C$) でデータ FIFO をイネーブルにするには、 $FIFO_MODE$ ビットを即時トリガ・モード (01) に設定する必要があります。このモードでは、FIFO は最新の $FIFO_WATERMARK$ サンプルの結果を格納し、メモリへの取り込みを自動的にディスエーブルにします。結果には、SPI データ・インターフェースまたは LVDS インターフェースを介してアクセスできます。

FIFO がイネーブルされると、各変換結果は、変換開始信号 CNV の立上がりエッジでロードされます。内部タイミングは、 $FIFO_WATERMARK$ サンプル結果を FIFO メモリに書き込むためには、 $FIFO_WATERMARK + 3$ の数の変換クロックが必要であることを指示します。詳細については、[図 122](#) および [図 123](#) を参照してください。

[図 121](#) のタイミング図は、 $FIFO_WATERMARK$ が 1000 に設定され、イベントが発生した後の最初の ADC 結果が、3 番目の CNV の後の FIFO によって取り込まれる例を示します。N=1000、つまり $FIFO_WATERMARK$ の値に達した後、 $FIFO_FULL$ がアサートされ、FIFO へのデータのロードが停止します。

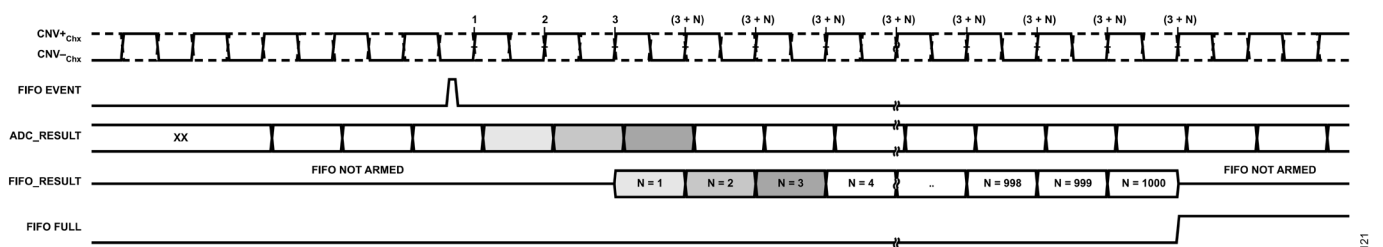


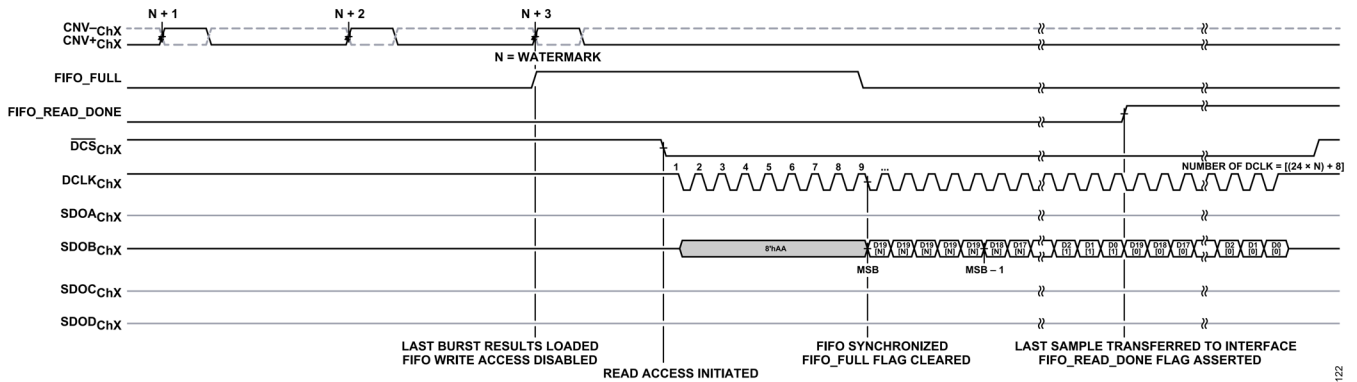
図 121. FIFO データ取り込みの例、WATERMARK = 1000

デジタル機能

非同期読出しアクセス

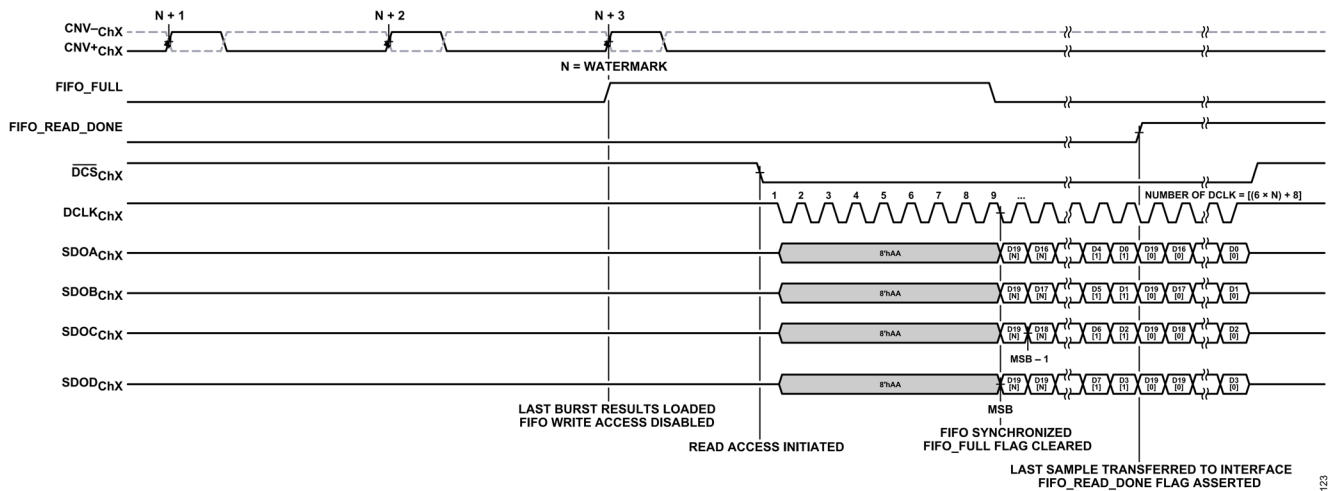
FIFO データへのアクセスは、取り込みが完了した後、データ・インターフェースの LVDS 設定（シングル・レーンのみ）またはマルチ出力 SPI 設定のいずれかを介して行われます。その結果、アクセスは取り込みプロセスに対して非同期に行われ、変換クロックとインターフェース・クロックの間に特定のタイミング制限はありません。データ FIFO とデータ・インターフェース・クロック・ドメイン間の同期では、各読出しアクセスは

ヘッダで始まり、M バイトの変換データの転送が続きます。ここで M は、FIFO_WATERMARK レジスタ（アドレス 0x1D およびアドレス 0x1E）で指定された総結果数と、1 つの変換結果の整数バイト長（SPI データ・インターフェースの場合）の積です。アクティブなレーンの数が 2 倍になるたびに、それによってアクセス周期が 2 分の 1 に短縮されることに注意してください。



122

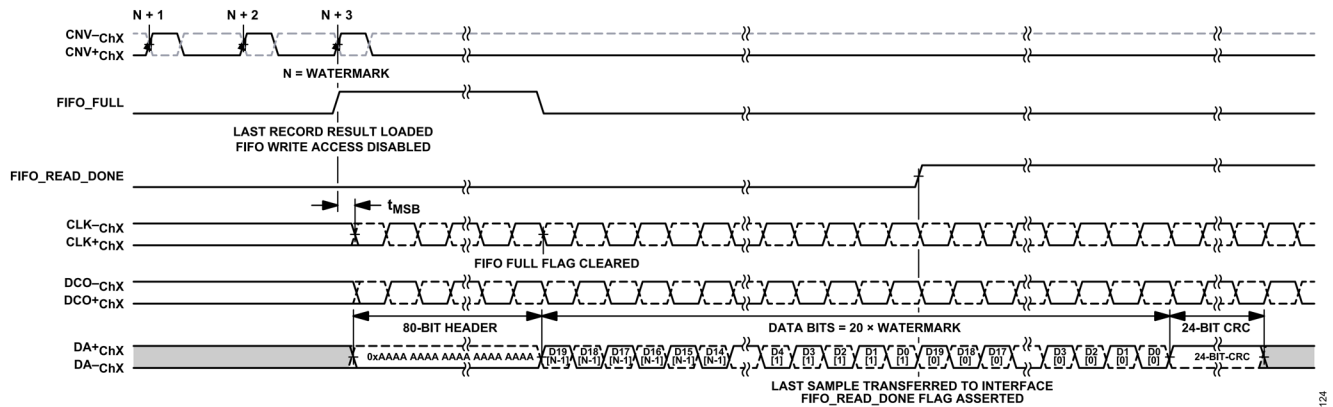
図 122. 非同期取り込み読出しタイミング、データ FIFO イネーブル、シングル・データ・レーン



123

図 123. 非同期取り込み読出しタイミング、データ FIFO イネーブル、クワッドデータ・レーン設定

デジタル機能



124

図 124. 非同期取り込み読み出しタイミング、データ FIFO イネーブル、LVDS 設定

デジタル機能

FIFO タイミングに関する考慮事項

即時トリガ・モード

図 126 は、データ書き込みアクセスのためにチャンネル FIFO の動作準備を行うコマンドと、FIFO の準備を行うポイントとの間のタイミング関係を示します。図 126 は、シングル・レーン SPI データ・アクセスが設定され、FIFO_FULL および FIFO_READ_DONE が GPIO に出力される例を示しています。取り込みがまだ開始されていないため、FIFO_FULL と FIFO_READ_DONE はローに駆動されます。この例では、フリー・ランニング CNV クロックが示されています。全般的な設定レジスタ（アドレス 0x1C）への更新を受信すると、FIFO コントローラは、CNV の次の立上がりエッジでアイドル状態に進みます。次に、FIFO は、更に 2 つの CNV クロック・エッジの後に

書き込み状態に進み、WATERMARK 結果がロードされて FIFO_FULL が生成されるまで、FIFO を満たし始めます。

FIFO データの読出しが完了すると、即時モード取り込みのための再準備イベントは、FIFO_MODE に 2'b00 を書き込むことによって FIFO をディスエーブルにし、次いで、FIFO モードに 2'b01 を書き込むことによって再度イネーブルにして、FIFO を新たな取り込みのために準備します。初期動作準備の場合と同様に、FIFO を作動するための設定命令が発行された後に、CNV の最初の立上がりエッジを受信すると、FIFO はアイドル状態に進みます。シーケンスとタイミングは、初期 FIFO 動作準備と同じです。図 126 参照。

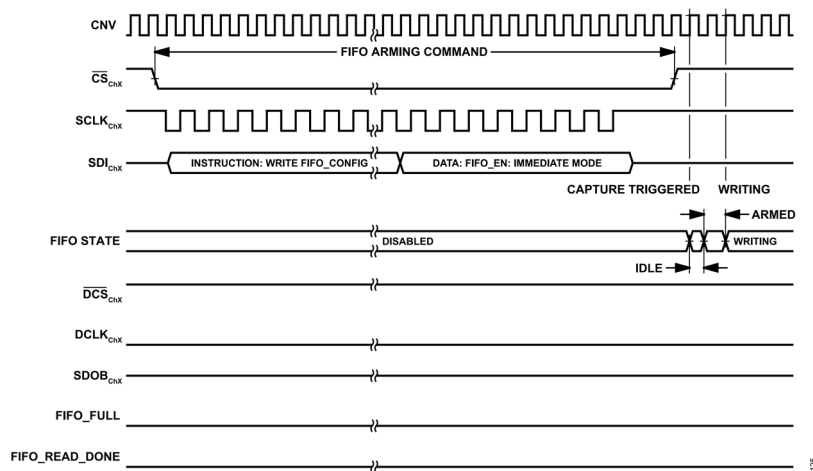


図 125. 即時トリガ・モードの準備

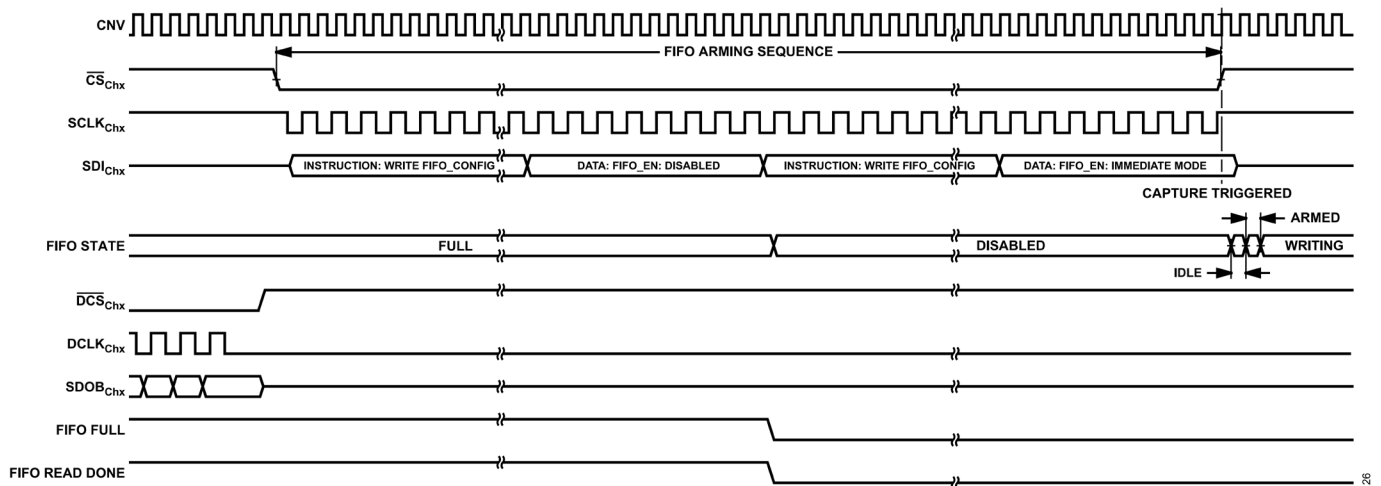


図 126. 即時トリガ・モードの再準備

デジタル機能

イベント・トリガされた取り込み、最新のウォーターマークの読出し

イベント・トリガされた（最新の読出し）モードは、イベントが発生した後の ADC データにのみ関心がある場合に使用されます。このイベントは、内部発生イベントであってもよく、この場合、AD4880 のチャンネルは連続的に動作し、閾値検出は、ADC 入力閾値を超えるとすぐにイベントをトリガするためにイネーブルになります。あるいは、ユーザは、イベントについてシステムまたは ADC 入力を独立してモニタでき、外部イベント・トリガは、設定された GPIO を介してユーザによって発行さ

れます。FIFO の準備をするすべての場合と同様に、FIFO_MODE 書込みコマンド後の最初の立上がりエッジは、データ取り込みのために FIFO を準備しますが、選択された方式のイベントが発生するまで、FIFO にデータは書き込まれません。

トリガの再準備には、即時モードの再準備と同様のプロセスが含まれます。FIFO は、まず、FIFO_MODE ビットに 2'b00 を書き込むことによってディスエーブルにされ、次に、必要な取り込みモードを再びイネーブルにすることによって再準備されます。

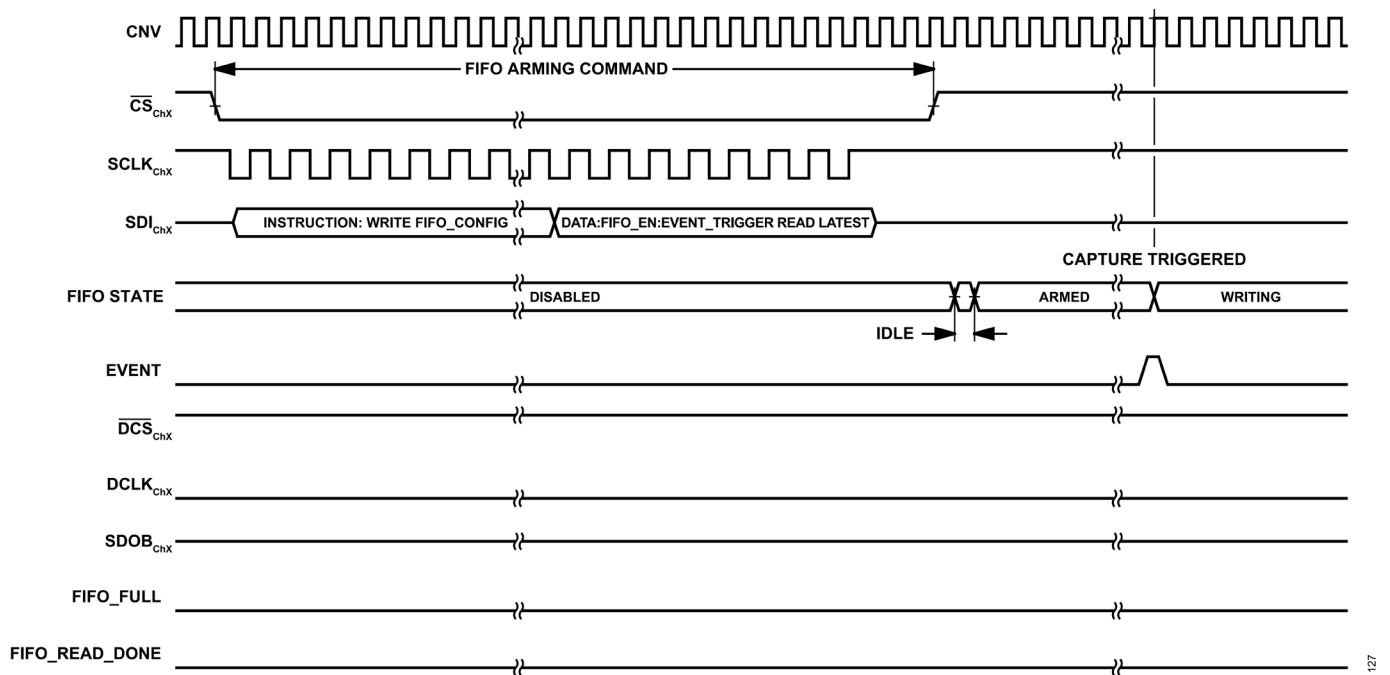


図 127. イベント・トリガされた取り込み、最新のウォーターマークの読出しの準備

デジタル機能

イベント・トリガ取り込みモード、全 FIFO 読出し

イベント・トリガ・モードは、イベントの直前および直後の ADC 結果がユーザにとって関心のある場合に使用できます。準備が完了すると、チャンネル FIFO は新しい ADC 結果で連続的に満たされ、最大で 16,384 の最新の結果を格納し、16,384 の取り込みが行われると、最初に戻って FIFO メモリ内の最も古い結果を上書きします。

トリガ・イベントが発生すると、FIFO はイベント後に WATERMARK の数の結果を取り込み続けます。このモードを使用する場合、FIFO_WATERMARK レジスタを設定する有効な値は 4 の倍数のみです。イベントが発生し、WATERMARK の数の結果が FIFO に取り込まれた後は、FIFO が再準備されるまで、それ以上の新しい結果は取り込まれません。図 128 および図 129 に示すように、ユーザは、16,384 の FIFO 結果をすべてリードバックする必要があり、FIFO_WATERMARK に設定されている値によって、ユーザは FIFO 結果データのどこでイベントが発生したかを判断し、また、イベントの前に発生した結果とイベントの後に発生した結果を区別することができます。フル FIFO リードバックでは、イベントがトリガされた後の最初の結果は $16384 - (\text{FIFO_WATERMARK} - 1)$ に配置されます。ここで、FIFO_WATERMARK は取り込みの準備前に設定された値です。この取り込みモードが準備され、FIFO が 1 回ラップ・アラウンドする前にイベントが発生すると、そのイベント以前の FIFO 結果には前回の FIFO 使用時の結果が含まれ、あるいはデバイスの電源再投入後初めての使用であれば、イベント以前の FIFO データ位置にはランダムなデータが含まれます。

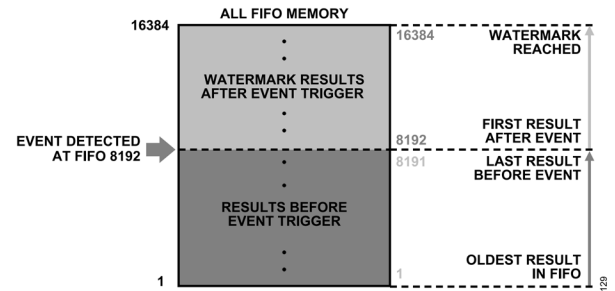
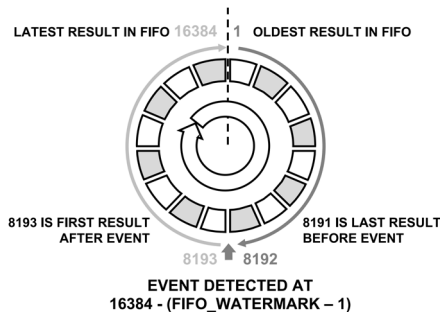


図 129. FIFO イベント取り込みモードの全 FIFO 読出しモードの例、FIFO 内のイベント位置の特定

FIFO_WATERMARK WAS SET TO 8192
1 TO 8192 IN FIFO CONTAINS RESULTS BEFORE TO EVENT (OLDEST FIRST)
8193 TO 16384 IN FIFO CONTAINS RESULTS AFTER EVENT (LATEST LAST)



128

図 128. イベント取り込みモードの全 FIFO 読出しモードの例、FIFO フィリング

デジタル機能

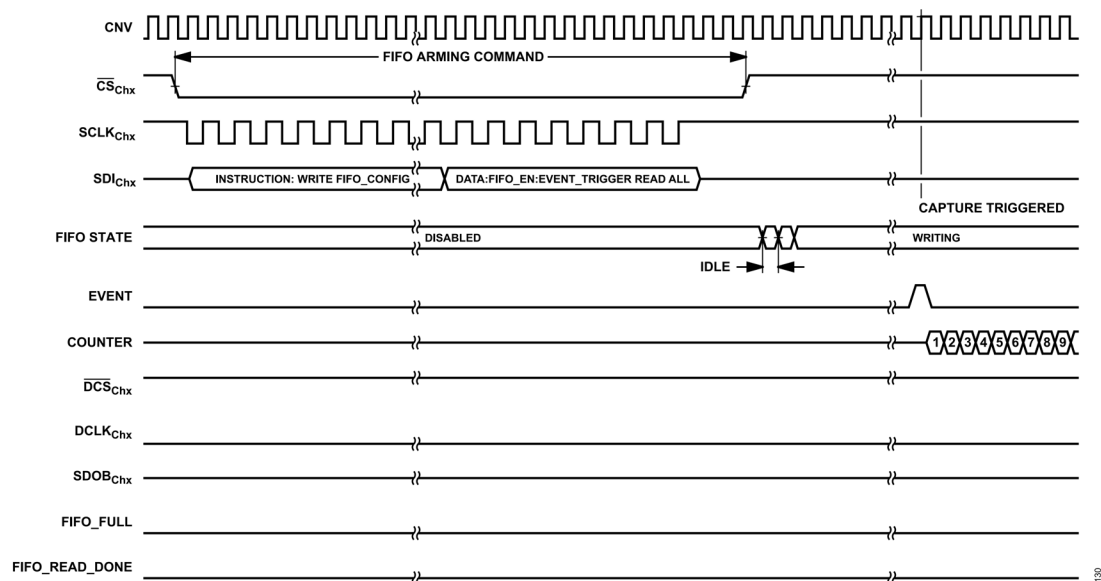


図 130. イベント・トリガ取り込みモード、全 FIFO 読出しの再準備

デジタル機能

デジタル・フィルタ

AD4880の各チャンネルには、帯域幅制限によるノイズ除去が必要なアプリケーションに対して、内蔵デジタル・フィルタをイネーブルにするオプションがあります。図 131 に示され、以下に詳述されるように、デジタル・データを経路指定するために利用可能な 4 つの経路、すなわち、デジタル・フィルタリングなし、sinc1 フィルタ、sinc5 フィルタ、または sinc5 補償フィルタがあります。

これら各フィルタの詳細については、次のセクションで説明します。最初のフィルタ結果が正しいデータを生成するために、ユーザーがフィルタ選択に変更を加えた場合、フィルタ同期 (FILTER_SYNC) 用に設定された GPIO ピンを介してリセットを発行する必要があります。

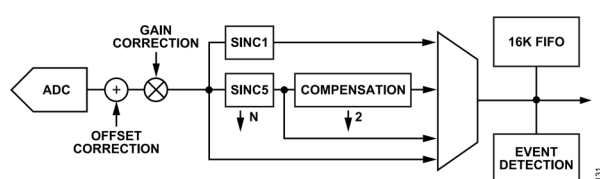


図 131. デジタル・フィルタの選択オプション

デジタル・フィルタリングの利点

各チャンネルの ADC 結果経路は、内蔵デジタル・フィルタ機能を使用するように設定できます。フィルタ設定レジスタ (フィルタ設定レジスタのセクションを参照、アドレス 0x29) には、FILTER_SEL ビットが含まれています。このビットを使用すると、デジタル・フィルタをバイパスでき (デフォルトのレジスタ設定値)、あるいは 3 つのフィルタ・オプションのいずれかを選択できます。各フィルタは、固有の帯域幅プロファイル特性を有し、これにより、最終用途の要件に応じた選択が可能になる高い柔軟性が得られます。表 28 に、ユーザーが選択可能な各フィルタ・タイプに対して達成可能な-3dB 帯域幅を示します。SINC_DEC_RATE ビットは、帯域幅とデータ・デシメーション係数を制御します。

これらのフィルタにより、ユーザーがシグナル・チェーンのノイズ帯域幅をプログラマ的に制御できるようになり、また、アナログ・フロントエンドで必要とされるフィルタリングの量の低減によって利点が得られ、それと同時に、部品を追加せずにダイナミック・レンジの改善が可能になります。デジタル・フィルタ応答に関するセクションでは、次のような様々なフィルタ・プロファイルの詳細が追加されています。

- ▶ sinc1 は広帯域幅ですが、通過帯域の平坦性は最適化されていません。
- ▶ sinc5 の通過帯域応答はより平坦ですが、帯域幅は減少しています。
- ▶ sinc5 + 補償は、 $\pm 0.1\text{dB}$ 以内のリップルで優れた通過帯域の平坦性が得られるように高度に最適化されたフィルタです。

表 28. フィルタ帯域幅

Filter Type	SINC_DEC_RATE	Decimation	-3dB Bandwidth
Sinc1	0000	2	$0.25 \times f_s$
Sinc1	0001	4	$0.114 \times f_s$
Sinc1	0010	8	$0.056 \times f_s$
Sinc1	0011	16	$0.028 \times f_s$
Sinc1	0100	32	$0.014 \times f_s$
Sinc1	0101	64	$0.007 \times f_s$
Sinc1	0110	128	$0.0035 \times f_s$
Sinc1	0111	256	$0.0017 \times f_s$
Sinc1	1000	512	$0.0009 \times f_s$
Sinc1	1001	1024	$0.0004 \times f_s$
Sinc5	0000	2	$0.117 \times f_s$
Sinc5	0001	4	$0.0525 \times f_s$
Sinc5	0010	8	$0.0256 \times f_s$
Sinc5	0011	16	$0.0127 \times f_s$
Sinc5	0100	32	$0.0064 \times f_s$
Sinc5	0101	64	$0.0032 \times f_s$
Sinc5	0110	128	$0.0016 \times f_s$
Sinc5	0111	256	$0.0008 \times f_s$
Sinc5 + Compensation	0000	4	$0.1015 \times f_s$
Sinc5 + Compensation	0001	8	$0.0506 \times f_s$
Sinc5 + Compensation	0010	16	$0.0253 \times f_s$

デジタル機能

表 28. フィルタ帯域幅（続き）

Filter Type	SINC_DEC_RATE	Decimation	-3dB Bandwidth
Sinc5 + Compensation	0011	32	$0.0127 \times f_s$
Sinc5 + Compensation	0100	64	$0.0063 \times f_s$
Sinc5 + Compensation	0101	128	$0.0032 \times f_s$
Sinc5 + Compensation	0110	256	$0.0016 \times f_s$
Sinc5 + Compensation	0111	512	$0.0008 \times f_s$

デジタル機能

フィルタ・デシメーションの設定

各チャンネルのデジタル・フィルタの設定は、フィルタ設定レジスタ（[フィルタ設定レジスタ](#)のセクションを参照、アドレス 0x29）を介して行われます。FILTER_SEL ビットは、アクティブなフィルタリング経路（すなわち、どのフィルタがアクティブであるか）を選択します。経路ごとに許容デシメーション率は異なります（[表 29](#)を参照）。

表 29. FILTER_SEL ビット値によるデジタル・フィルタのデシメーション・オプション

FILTER_SEL		
Bits Value	Active Filter	Allowed Decimation Rates
0b00	No filtering (default)	No decimation
0b01	SINC1 filter	2, 4, 8, 16, 32, 64, 128, 256, 512, 1024
0b10	SINC5 filter	2, 4, 8, 16, 32, 64, 128, 256
0b11	SINC5 + compensation filter	4, 8, 16, 32, 64, 128, 256, 512

デシメーション係数は、フィルタ設定レジスタの SINC_DEC_RATE ビットによって設定されます（エンコード方式については、[表 62](#)を参照してください）。

GPIO 設定 B レジスタ（[GPIO 設定 B レジスタ](#)のセクションを参照、アドレス 0x1A）または GPIO 設定 C レジスタ（[GPIO 設定 C レジスタ](#)のセクションを参照、アドレス 0x1B）のいずれかの GPIO_x_SEL ビットの 1 つを 0011（フィルタ結果準備完了（アクティブ・ロー））に設定することにより、新しいフィルタ・データの準備ができたことを、GPIO ピンを介してホスト・コントローラに示すことができます。新しいデータがインターフェースで利用可能になるまで、前の結果からのデータは出力シフト・レジスタに残ります。ユーザは、同じ LVDS クロック・レートの維持を確実にしなければならず、[図 132](#)に示されるように、繰り返された結果データを再読出しするか、または無視するかのいずれかを行うことができます。ここでは、デシメーション率 4 の例が使用されています。

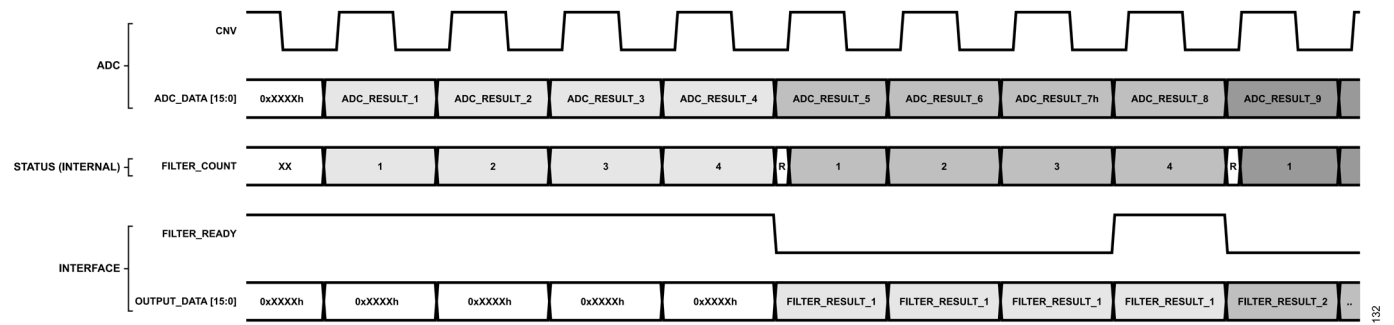


図 132. デジタル・フィルタのデシメーション率 4 のフレームの概要

デジタル機能

フィルタのリセット条件

ダイレクト LVDS

フィルタリングされたデータに LVDS インターフェースを介して直接アクセスする場合、AD4880 は以下の 2 つの方法でフィルタをリセットします。

- ▶ フィルタを設定し、フィルタ設定レジスタのビット[7:0]（[フィルタ設定レジスタ](#)のセクションを参照、アドレス 0x29）に書き込む方法。
- ▶ `FILTER_SYNC`動作作用に設定された GPIO をアサートする方法。

FIFO を使用する場合

チャンネル FIFO がイネーブルになっている場合、ユーザは `FILTER_SYNC`として設定された GPIO を用いて、FIFO アクイジションごとにフィルタをリセットする必要があります。

フィルタの同期

`GPIO_x_SEL` を `FILTER_SYNC`に設定すると、この入力をユーザのコントローラに同期するよう設定できます。これを用いると、AD4880 の両チャンネル間、または、複数の AD4880 デバイス間でフィルタを同期できます。フィルタ・リセットのための `FILTER_SYNC`信号のタイミング要件を [図 133](#) に示します。

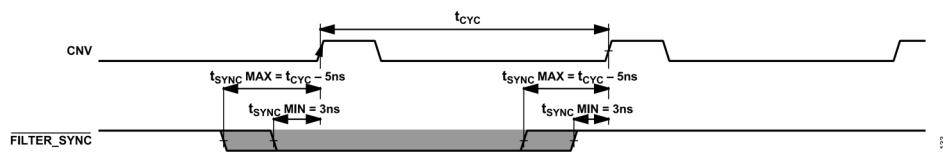


図 133. フィルタ・リセットのタイミング

デジタル機能

フィルタ結果準備完了インジケータ

GPIO_x_SEL ビットを 0011 に設定すると、GPIO は FILTER_RESULT_RDY 信号を出力するように設定されます。この信号はアクティブ・ロー・ロジック信号で、チャンネルからの新しいフィルタ結果が完了するたびにホスト・コントローラに通知されます。LVDS を用いてフィルタ結果を直接読み出す場合、このインジケータは、フィルタリングされた新しい各変換結果がインターフェースを介して読み出せる場合に、ユーザに警告できます。

フィルタ・インターフェースのタイミングに関する考慮事項

チャンネルのフィルタリングされたデータ結果への継続的なアクセスは、LVDS データ・インターフェースを介してのみ可能です。フィルタリングされた結果への SPI データ・インターフェース・アクセスは、FIFO を介してのみ行われます。この場合のタイミングに関する考慮事項は、[FIFO を使用する場合のフィルタ・インターフェースのタイミングに関する考慮事項](#)のセクションで説明されています。LVDS データ・インターフェースで使用する場合は、適切な GPIO_x_SEL (0011) で設定された GPIO を用いて、[図 132](#)のタイミング図の例に示すように、フィルタ結果準備完了 (アクティブ・ロー) 信号を出力することを推奨します。

FIFO を使用する場合のフィルタ・インターフェースのタイミングに関する考慮事項

[図 134](#) は、この動作モードにおけるイベントのシーケンスを示す例として役立ちます。この例は、3 つの結果 (つまり、

WATERMARK=3) が FIFO に格納されるように設定された、デシメーション率 2 の設定値を持つ sinc1 フィルタを示しています。内蔵デジタル・フィルタを FIFO と共に使用する場合、フィルタは、各 FIFO アクイジション記録の前にリセットする必要があります。このリセットは、最初の CNV_{ChX} 立上がりエッジで行います。ここで、FILTER_SYNC 信号は、CNV_{ChX} エッジの少なくとも 15ns 前にローにされ、次の立上がりエッジの少なくとも 5ns 前にリリースする必要があります。最初の ADC 結果は、第 2 の CNV_{ChX} 立上がりエッジから t_{MSB} の時間が経過した後に準備完了します。この最初の ADC 結果は、第 3 の CNV_{ChX} 立上がりエッジでフィルタにラッチされます。第 4 の CNV_{ChX} 立上がりエッジは、第 2 の ADC 結果をデジタル・フィルタにラッチします。第 5 の立上がりエッジで、デシメーション率 2 の最初の結果が完了します。これは、第 5 の立上がりエッジでアクティブになる FILTER_READY 信号によって示されます。この最初にフィルタリングされた結果は、第 6 の CNV_{ChX} 立上がりエッジで FIFO にロードされます。この例では WATERMARK=3 を使用しているため、3 つのフィルタリングされた結果 (つまり、デシメーション率 2 の 6 つのコア ADC 結果) が FIFO にロードされると、WATERMARK に到達し、FIFO_FULL がアサートされて、設定されたデータ・インターフェース (つまり、SPI データ・レーンの LVDS データ・レーン) を介して FIFO 記録を読み出すことができることをユーザに示します。フィルタリングされた ADC 結果の後続の FIFO 記録のアクイジションを開始するには、CNV_{ChX} の最初の立上がりエッジで FILTER_SYNC 信号をローにすることによってデジタル・フィルタのリセットを再び開始して、シーケンス全体を最初からやり直す必要があります。

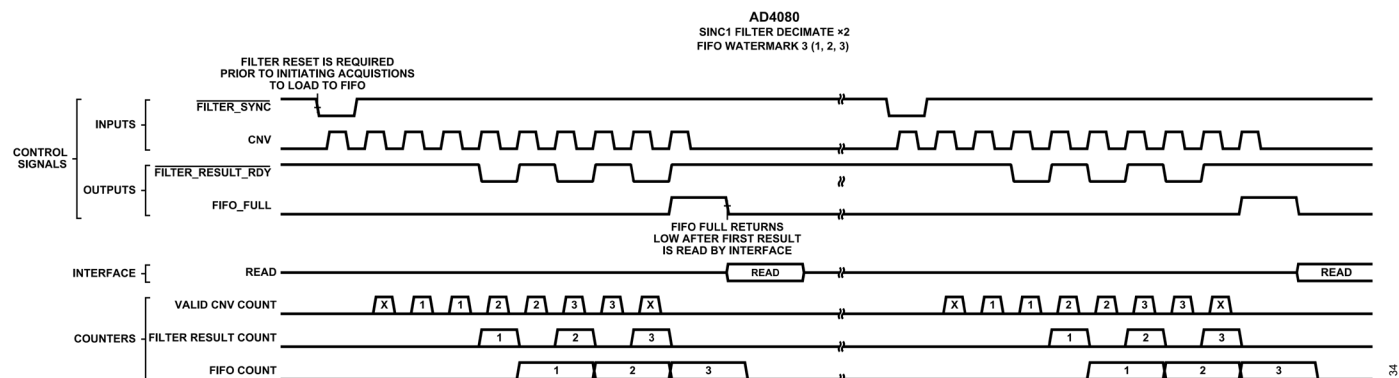


図 134. FIFO を用いたフィルタ・タイミングの説明

デジタル機能

デジタル・フィルタ変換パルス

単一のフィルタ・デシメート結果 (sinc1 セトリング・クロック) に必要な CNV_{ChX} パルスの総数は、以下の式で計算できます。

$$Settling\ CNV\ Pulses_{SINC1} = 2 + (D + 1)$$

3 つのフィルタ・タイプのそれぞれには、必要なクロック・カウントを決定するための固有の式があることに注意してください。

sinc5 のセトリング・クロックの場合、式は次のとおりです。

$$Settling\ CNV\ Pulses_{SINC5} = 2 + (5 \times D + 4)$$

sinc5 + 補償のセトリング・クロックの場合、式は次のとおりです。

$$Settling\ CNV\ Pulses_{SINC5+COMP} = 2 + (35 \times D + 10)$$

ここで、D はデシメーション率 2、4、8... です。

デジタル・フィルタリングのセトリング時間

選択されたフィルタのセトリング時間は、以下のようにセトリング・クロック数 $\times t_{CONV}$ です。

$$\begin{aligned} \text{Filter Settling Time} = \\ (\text{Settling CNV Pulses}_{FILTERTYPE} \times t_{CONV}) \end{aligned}$$

FIFO 使用時のデジタル・フィルタリングのセトリング時間

データをフィルタリングして FIFO を使用する場合、結果のそれぞれの新しい FIFO 記録を、最初の CNV_{ChX} 上で $FILTER_SYNC$ 信号を発行することによって開始し、フィルタをリセットして初期化し、フラッシュされていないデータが最初の FIFO 記録結果に含まれないようにしなくてはならない点に注意することが重要です。

フル FIFO 記録を満たすために必要な変換パルスの最小合計数は、次のように計算できます。

$$\text{Total Required CNVs} = (D \times \text{WATERMARK}) + \text{Settling CNV Pulses}_{FILTERTYPE}$$

ここで、D はデシメーション率 2、4、8... です。

デジタル・フィルタ応答

sinc1 フィルタ

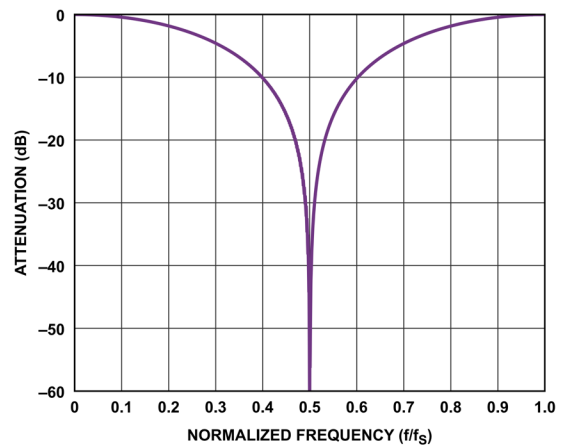


図 135. sinc1 フィルタの応答、デシメーション率 2

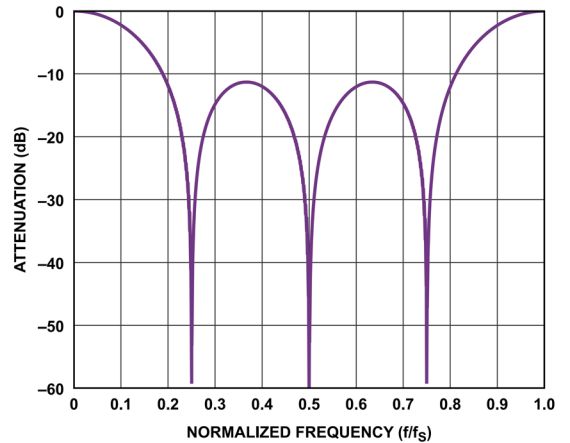


図 136. sinc1 フィルタの応答、デシメーション率 4

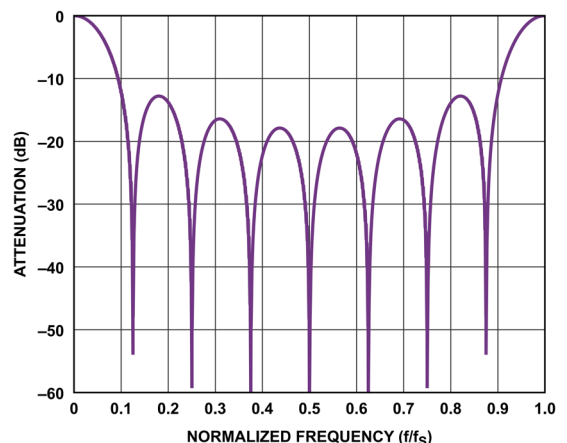


図 137. sinc1 フィルタの応答、デシメーション率 8

デジタル機能

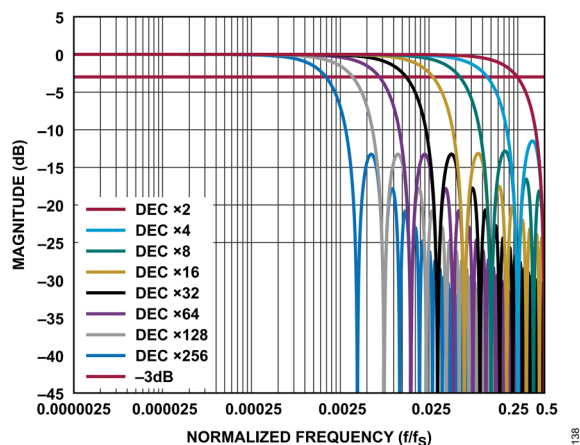


図 138. sinc1 フィルタの応答、全デシメーション率

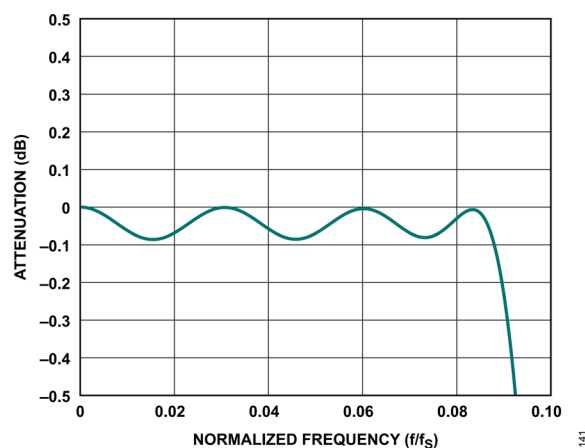


図 141. sinc5 + 補償フィルタの応答、デシメーション率 2、通過帯域リップル

sinc5 フィルタ

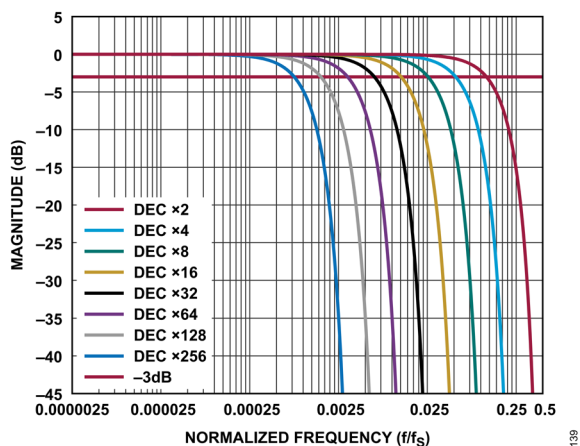


図 139. sinc5 フィルタの応答、全デシメーション率

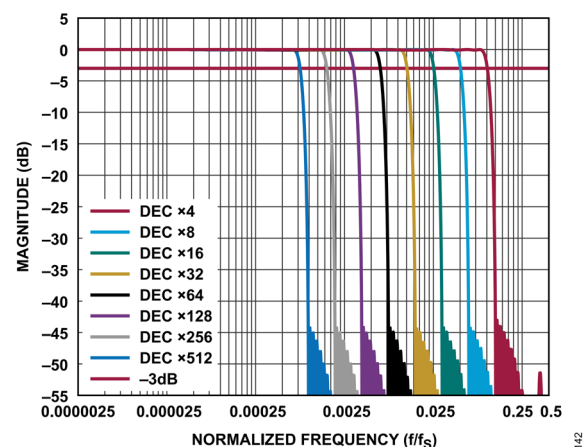


図 142. sinc5 + 補償フィルタの応答

sinc5 + 補償フィルタ

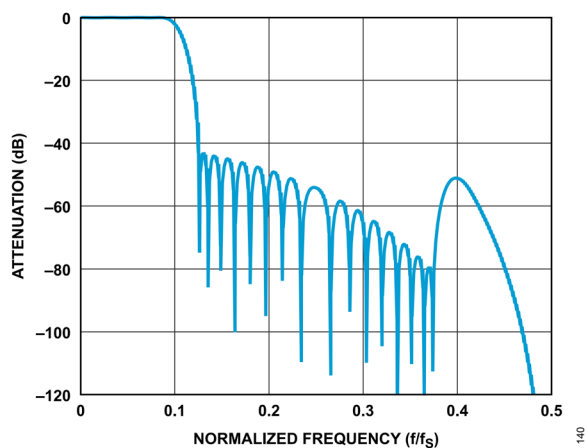


図 140. sinc5 + 補償フィルタの応答、デシメーション率 2

デジタル機能

システム誤差補正係数

系統的なゲインおよびオフセット誤差は、すべての実際のデータ・アキュイジション回路に存在し、したがって、補正の必要性は、測定チャンネルの精度を最大化するために不可欠です。これらの量はホスト・プロセッサ内で補正できますが、実装は非効率的であり、データ・コンバータ内に内蔵された場合よりも多くの電力を消費する可能性があります。エンド・ユーザ向けにこれらの問題を最小限に抑えるため、AD4880はサンプルごとにゲイン補正とオフセット補正の両方を統合しています。

利用可能な誤差補正を記述するために、理想的な ADC の伝達関数が以下の直線式で記述できると考えます。

$$y = mx + c$$

この式は、ADC の伝達関数に適用できます。ここで、

y は、補正された ADC 結果です。

m は、ゲインまたは直線の傾きです。

x は、未補正の ADC 結果です。

c は、オフセットです。

ゲインまたは直線の傾きは、次のように記述できます。

$$m = (y_2 - y_1) / (x_2 - x_1)$$

ここで、以下の単位はボルトです。

y_2 は、正側フルスケール入力付近の入力電圧です。

y_1 は、負側フルスケール入力付近の入力電圧です。

x_2 は、 y_2 の電圧を入力に印加した場合の変換電圧です。

x_1 は、 y_1 の電圧を入力に印加した場合の変換電圧です。

理想的な傾きまたはゲインは $m = 1V/V$ です。

オフセット誤差補正のセクションおよびゲイン誤差補正のセクションのシステム誤差補正係数は、AD4880 の各チャンネルの設定レジスタを用いて、オフセット (c) およびゲイン (m) のシグナル・チェーン誤差を補正する方法を詳述しています。

オフセット誤差補正

AD4880 は、ゼロ誤差が小さくなるように、工場出荷時にキャリブレーションされています。チャンネルの前段のアナログ・シグナル・チェーンに存在する可能性があるシステム・オフセット誤差を考慮に入れるために、オフセット誤差補正機能が備わっています。適用される補正値は、対応するチャンネルのオ

フセット補正レジスタ（オフセット補正レジスタのセクションを参照、アドレス 0x25 および 0x26）の OFFSET ビット・フィールドに書き込まれます。

OFFSET ビット・フィールドは、2 の補数データ形式の 12 ビット値です。このフィールドの LSB サイズは、ADC 変換の LSB と同じです (5.72μV)。したがって、オフセット誤差補正の範囲は、+2047 × LSB (0x7FF) ～ -2048 × LSB (0x800) となります。これは、オフセット補正電圧範囲が 11.713mV ～ -11.719mVであることを示しています。電源投入後またはソフトウェア・リセット後の OFFSET ビット・フィールドのデフォルト値は 0x000 で、ゼロ・オフセット補正が適用されていることを示します。

ゲイン誤差補正

AD4880 は、その固有のゲイン誤差を最小限に抑えるよう、工場出荷時にキャリブレーションされています。チャンネルの前段のアナログ・シグナル・チェーンにより加わるシステム・ゲイン誤差を考慮に入れるために、ゲイン誤差補正機能が備わっています。適用されるゲイン補正係数は、対応するチャンネルのゲイン補正レジスタ（ゲイン補正レジスタのセクションを参照、アドレス 0x27 および 0x28）の GAIN ビット・フィールドに書き込まれている値に依存します。

GAIN ビット・フィールドは 10 ビット値で、フルスケールの ±1.5594% の公称ゲイン誤差補正が可能です。この 10 ビットのレジスタはストレート・バイナリのデータ形式でコード化されており、ゲイン誤差は $1.5594\% / 512 = 0.00305\%$ の分解能で調整できます。値が 0x3FF の場合、ゲイン誤差補正係数は $1.0 + 0.015594$ となり、値が 0x001 の場合は、ゲイン誤差補正係数が $1.0 - 0.015594$ になります。電源投入後またはソフトウェア・リセット後のデフォルト値は、0x200 です。この値は、ゲイン誤差補正が ADC 結果に適用されないことを示し、最小レイテンシの動作が可能です（ADC 結果のレイテンシと LVDS インターフェースの整合を参照）。

適用する必要があるシステム・ゲイン誤差を決定するには、ゲイン誤差補正をディスエーブルしたうえで、できるだけ正側フルスケール入力と負側フルスケール入力の付近で 2 点電圧測定を実行し、システム誤差補正係数で示されている傾きまたはゲインの式を使用します。

レイアウトのガイドライン

AD4880 は、デバイス・パッケージ内にすべての重要なバイパス・コンデンサおよび FDA を内蔵しているため、高精度で高速なコンバータのレイアウトの課題が大幅に軽減されます。これらの内蔵コンデンサは、最大の性能が容易に得られるように、デバイス・パッケージ内に最適に配置されています。ただし、あらゆる高精度ミックスド・シグナル・デバイスと同様、システム・デバイスの配置において、重要なアナログ・シグナル・チェーン部品の配線と高速デジタル信号の配線とが適切に分離され、不要なカップリング効果を防止するように配慮することが必要です。

次に示すレイアウト上の考慮事項に注意してください。

- ▶ FDA の加算ジャンクション・ピン ($SJ_{\pm ChX}$) および出力ピン ($OUT_{\pm ChX}$) は外部の影響を受けやすいため、慎重に取り扱う必要があります。ほとんどのアプリケーションは、これらのピンの間に外部コンデンサ (C_b) を 2.7pF の内蔵コンデンサと並列に配置して、FDA の帯域幅を制限することによるメリットを得ることができます。これらのコンデンサは、配線パターンのインダクタンスを最小限に抑えるため、接続点直下の最下層に配置する必要があります。比較的小さな寄生インダクタンスであっても FDA の特性を低下させる可能性があるためです。不要な配線パターン・スタブは、これら外部の影響を受けやすいノードでは避けるべきです。
- ▶ AD4880 には、AVDD33 (0.47μF)、VDD11_{ChA} および VDD11_{ChB} (各 1.88μF)、IOVDD_{ChA} および IOVDD_{ChB} (各 0.22μF)、VDDLDO (0.22μF)、+V_S (0.44μF)、-V_S (0.44μF) のすべての電源にデカップリング・コンデンサが

内蔵されています (括弧内はその容量)。したがって、外部バイパス・コンデンサは不要となり、基板スペースの節約や、部品表 (BOM) の数と感度の低減ができます。

- ▶ 例えば、すべてのアナログ信号を左側から入力し、ダイナミック・デジタル信号を右側に保持するなど、設計内でアナログ・ドメイン信号とデジタル・ドメイン信号を適切に分離するようにします。
- ▶ AD4880 の下にしっかりとグラウンド・プレーンを備えて、すべてのアナログ・グラウンド (GND)、リファレンス・グラウンド (REFGND)、およびデジタル・グラウンド (IOGND) ピンをこの共有プレーンに接続します。
- ▶ 図 143 に、グラウンド (GND)、リファレンス・グラウンド (REFGND)、およびデジタル・グラウンド (IOGND) の推奨される接続を示します。リファレンス IC の電流帰還経路を、PCB 上の他の回路からの電流帰還ループと同じ電流ループ内に保持しないことを推奨します。図 143 に示すように、リファレンスのローカル・スター・ポイントを PCB の最上層の ADC スター・ポイント・グラウンドに接続します。
- ▶ グラウンド・プレーンの分布を示す PCB ボードの側面断面図については、図 144 を参照してください。図 144 はグラウンド・プレーンのみを示しており、信号トラックは含まれていないことに注意してください。

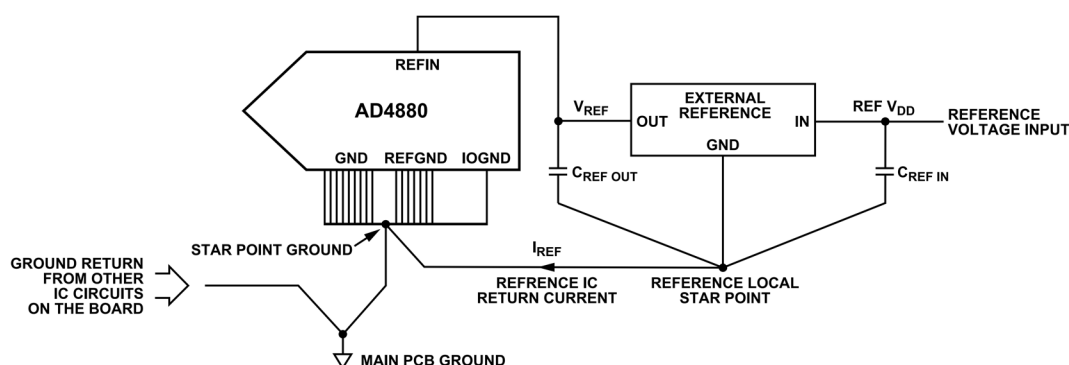


図 143. AD4880 外部リファレンスのグラウンド接続

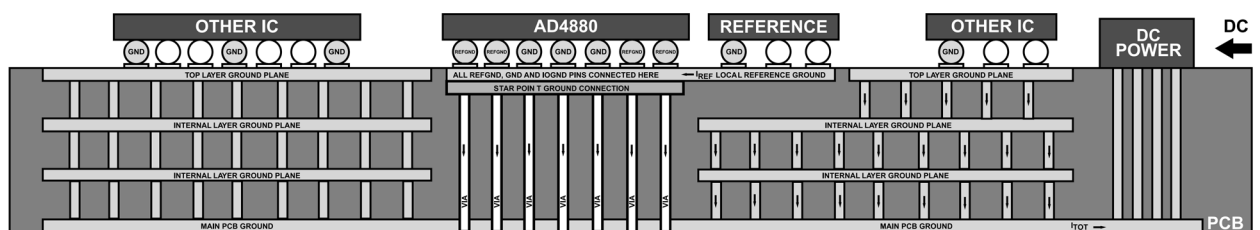


図 144. PCB グラウンド・プレーンの推奨レイアウト

設定レジスタ

AD4880 ファミリの機能は、様々な測定アプリケーションへの低レイテンシのデータ取り込みの適用を簡素化するように設計されています。この簡素化は、データ・インターフェース、データ経路、データ・アクセス方法をチャンネルごとにカスタマイズして、利用可能な設定レジスタを介して測定要件とホスト・プロセッサ・インターフェース要件の両方を満たすことで達成されます。

各チャンネルには独立した固有の設定メモリがあり、個別の設定 SPI インターフェースを通じてアクセスできます。各チャンネルのレジスタ空間を、表 30 に記載されているように、機能別に連続した領域に編成して、デバイス設定の合理化を行いました。その結果、インターフェース・ストリーミング機能（**命令モードの選択**のセクションを参照）を利用して、命令ワードと関連データで構成される単一の SPI フレームへのデバイス設定

を簡素化できます。大半のアプリケーションでは、アドレス 0x15 からアドレス 0x29 までのレジスタ空間アドレス範囲に対する修正で十分です。設定インターフェースおよび製品 ID スペース（アドレス 0x00～アドレス 0x11）の内容を変更する必要があるのは、ソフトウェア・リセットを開始する場合、または設定アクセス方式を変更する場合だけです。設定アクセス方式の変更は、このデータシートの対象外であることに注意してください。これらのオプションに関するサポートについては、最寄りのアナログ・デバイズ販売代理店（www.analog.com/sales 参照）にお問い合わせいただくか、ADI Engineer Zone の **Precision ADCs** のページからテクニカル・サポートの依頼をお送りください。

表 30. レジスタ・マップの編成

アドレス範囲	機能
0x00～0x11	設定インターフェースと製品 ID
0x14	デバイス・ステータス
0x15～0x17	インターフェース設定
0x18～0x1B	電源と GPIO の設定
0x1C	一般的な設定
0x1C～0x1E	FIFO 設定
0x1F～0x24	内部イベント検出
0x25～0x28	システム誤差補正
0x29	デジタル・フィルタの設定

このセクションには、各ビット・フィールドの機能の詳細が記載されています。レジスタの表のアクセス欄では、ビット・フィールドが読み出し専用ビット（R）、読み出し／書き込みビット（R/W）、1 を書き込んでクリアするビット（R/W1C）のいずれであるかを示しています。

表 31. 設定レジスタのまとめ－設定インターフェース関数（アドレス 0x00～0x11）

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RE-SERVED	ADDR_ASCENSION	SDO_ENABLE	RESERVED			SW_RESETX	0x10	R/W
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INST	RESERVED			SHORT_INSTRUCTION	RESERVED			0x00	R/W
0x02	DEVICE_CONFIG	[7:0]	RESERVED						OPERATING_MODES		0x00	R/W
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE				0x07	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x59	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x02	R
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE								0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION						0x83	R
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R
0x0E	STREAM_MODE	[7:0]	LOOP_COUNT								0x00	R/W
0x0F	TRANSFER_CONFIG	[7:0]	RESERVED					KEEP_STREAM	RESERVED		0x00	R/W

設定レジスタ

表 31. 設定レジスタのまとめ－設定インターフェース関数（アドレス 0x00～0x11）（続き）

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
								LENGTH_VAL				
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	SEND_STATUS	ACTIVE_INTERFACE_MODE		CRC_ENABLEB		0x23	R/W
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READY_ERR	RESERVED		CLOCK_COUNT_ERR	CRC_ERR	WR_TO_RD_ONLY_REG_ERR	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR	0x00	R/W
0x14	DEVICE_STATUS	[7:0]	FIFO_FULL	FIFO_READ_DONE	HI_STATUS	LO_STATUS	POR_ANA_FLAG	ADC_CNV_ERR	ROM_CRC_ERR	POR_FLAG	0x09	R/W
0x15	ADC_DATA_INTF_CONFIG_A	[7:0]	RE-SERVED	RE-SERVED	RESERVED	INTF_CHK_EN	RESERVED	SPI_LVDS_LANES	RESERVED	DATA_INTF_MODE	0x40	R/W
0x16	ADC_DATA_INTF_CONFIG_B	[7:0]	LVDS_CNV_CLK_CNT				LVDS_SELF_CLK_MODE	LVDS_MNC_EN	RESERVED	LVDS_CNV_EN	0x00	R/W
0x17	ADC_DATA_INTF_CONFIG_C	[7:0]	LVDS_RX_CURRENT	LVDS_VOD			RESERVED				0x20	R/W
0x18	PWR_CTRL	[7:0]	RESERVED						ANA_DIG_LDO_PD	INTF_LDO_PD	0x00	R/W
0x19	GPIO_CONFIG_A	[7:0]	GPIO_3_DATA	GPIO_2_DATA	GPIO_1_DATA	GPIO_0_DATA	GPO_3_EN	GPO_2_EN	GPO_1_EN	GPO_0_EN	0x01	R/W
0x1A	GPIO_CONFIG_B	[7:0]	GPIO_1_SEL				GPIO_0_SEL				0x00	R/W
0x1B	GPIO_CONFIG_C	[7:0]	GPIO_3_SEL				GPIO_2_SEL				0x00	R/W
0x1C	GENERAL_CONFIG	[7:0]	INT_EVENT_EN	HI_ROUTE	LO_ROUTE	ADC_CNV_ERR_ROUTE	RESERVED		FIFO_MODE		0x00	R/W
0x1D	FIFO_WATERMARK	[7:0]	FIFO_WATERMARK[7:0]								0x00	R/W
0x1E		[15:8]	RE-SERVED	FIFO_WATERMARK[14:8]							0x40	R/W
0x1F	EVENT_HYSTERESIS	[7:0]	HYSTERESIS[7:0]								0x00	R/W
0x20		[15:8]	RESERVED					HYSTERESIS[10:8]			0x00	R/W
0x21	EVENT_DETECTION_HI	[7:0]	HI_THRESHOLD[7:0]								0x00	R/W
0x22		[15:8]	RESERVED				HI_THRESHOLD[11:8]				0x00	R/W
0x23	EVENT_DETECTION_LO	[7:0]	LO_THRESHOLD[7:0]								0x00	R/W
0x24		[15:8]	RESERVED				LO_THRESHOLD[11:8]				0x00	R/W
0x25	OFFSET	[7:0]	OFFSET[7:0]								0x00	R/W
0x26		[15:8]	RESERVED				OFFSET[11:8]				0x00	R/W
0x27	GAIN	[7:0]	GAIN[7:0]								0x00	R/W
0x28		[15:8]	RESERVED						GAIN[9:8]		0x02	R/W
0x29	FILTER_CONFIG	[7:0]	RE-SERVED	SINC_DEC_RATE				RESERVED		FILTER_SEL	0x00	R/W

設定レジスタ

レジスタの詳細

インターフェース設定 A レジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

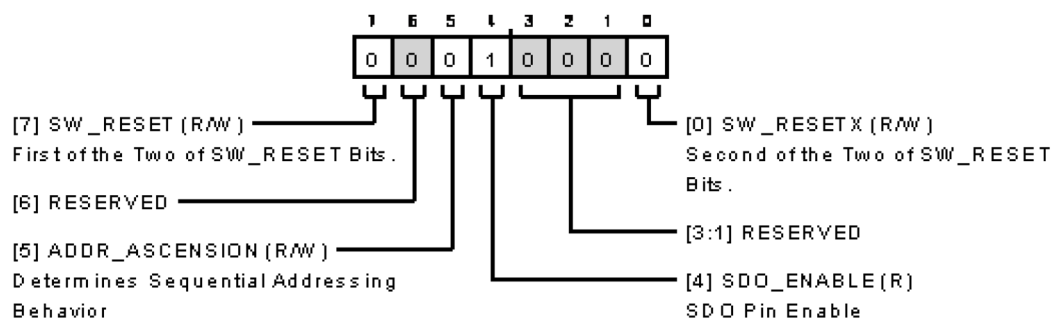


図 145. インターフェース設定 A の設定値

表 32. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つの SW_RESET ビットの 1 つ目。このビットはこのレジスタの 2 か所にあります。本デバイスのソフトウェア・リセットをトリガするには、必ず両方の位置に同時に書き込みます。このアクションは、以前に設定されたすべてのレジスタをデフォルト設定値に戻します。ただし、インターフェース設定 A レジスタの ADDR_ASCENSION ビットは、以前の値を保持します。このリセット方法は、チャンネルがアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用してください。	0x0	R/W
6	RESERVED	予約済み。このビットには 0 を書き込みます。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0 : ストリーミング時にアドレスを 1 だけデクリメントします。 1 : ストリーミング時にアドレスを 1 だけインクリメントします。	0x0	R/W
4	SDO_ENABLE	SDO ピン・イネーブル。	0x1	R
[3:1]	RESERVED	予約済み。これらのビットには 000 を書き込みます。	0x0	R
0	SW_RESETX	2つの SW_RESET ビットの 2 つ目。このビットはこのレジスタの 2 か所にあります。本デバイスのソフトウェア・リセットをトリガするには、必ず両方の位置に同時に書き込みます。このアクションは、以前に設定されたすべてのレジスタをデフォルト設定値に戻します。ただし、インターフェース設定 A レジスタの ADDR_ASCENSION ビットは、以前の値を保持します。このリセット方法は、チャンネルがアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用してください。	0x0	R/W

設定レジスタ

インターフェース設定 B レジスタ

アドレス : 0x01、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_B

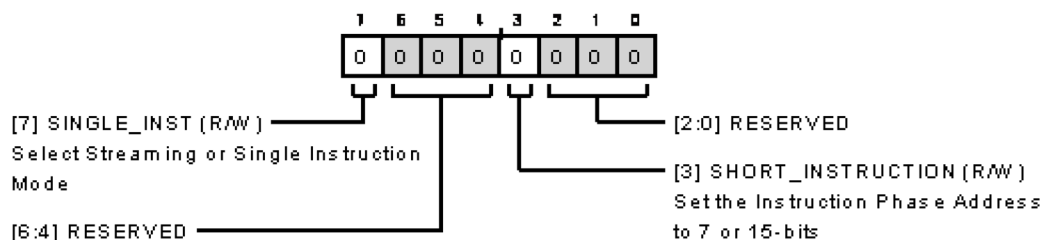


図 146. インターフェース設定 B の追加の設定値

表 33. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーミング・モードまたは単一命令モードを選択。 0 : ストリーミング・モードが有効になります。連続したデータ・バイトが受信されると、アドレスはインクリメントまたはデクリメントします。 1 : 単一命令モードが有効になります。	0x0	R/W
[6:4]	RESERVED	予約済み。これらのビットには 0b000 を書き込みます。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを 7 ビットまたは 15 ビットに設定。 0 : 15 ビット・アドレス指定。 1 : 7 ビット・アドレス指定。	0x0	R/W
[2:0]	RESERVED	予約済み。これらのビットには 0b000 を書き込みます。	0x0	R

デバイス設定レジスタ

アドレス : 0x02、リセット : 0x00、レジスタ名 : DEVICE_CONFIG

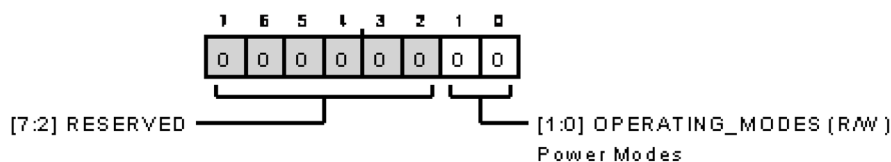


図 147. デバイス設定レジスタ

表 34. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。これらのビットには 0b0000000 を書き込みます。	0x0	R
[1:0]	OPERATING_MODES	チャンネルのパワー・モード。 00 : 通常動作モード。 10 : スタンバイ動作モード。 11 : スリープ・モード。	0x0	R/W

設定レジスタ

チップ・タイプ・レジスタ

アドレス：0x03、リセット：0x07、レジスタ名：CHIP_TYPE

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズのデバイス・ファミリの識別に使用します。CHIP_TYPEは、対象製品を一意に識別するために、製品IDと共に使用する必要があります。

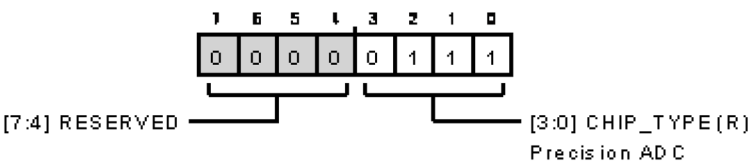


図 148. チップ・タイプ・レジスタ

表 35. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 ADC。	0x7	R

製品ID ロー・レジスタ

アドレス：0x04、リセット：0x59、レジスタ名：PRODUCT_ID_L

このレジスタは、製品IDの下位バイトです。

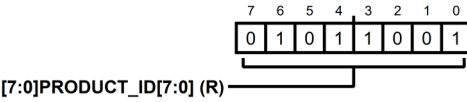


図 149. 製品ID ロー・レジスタ

表 36. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品ID。これらのビットは、本デバイスのチップ・タイプ／ファミリです。PRODUCT_IDは、製品を識別するために、CHIP_TYPEと共に使用する必要があります。	0x59	R

設定レジスタ

製品 ID ハイ・レジスタ

アドレス : 0x05、リセット : 0x00、レジスタ名 : PRODUCT_ID_H

このレジスタは、製品 ID の上位バイトです。

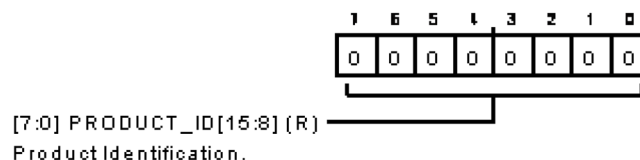


図 150. 製品 ID ハイ・レジスタ

表 37. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID。これらのビットは、本デバイスのチップ・タイプおよびファミリです。PRODUCT_ID は、製品を識別するために、CHIP_TYPE と共に使用する必要があります。	0x0	R

チップ・グレード・レジスタ

アドレス : 0x06、リセット : 0x02、レジスタ名 : CHIP_GRADE

このレジスタは、製品のバリエーションとデバイスのリビジョンを識別します。

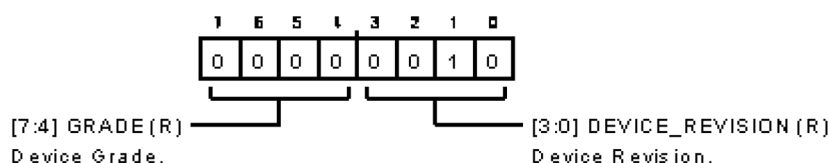


図 151. チップ・グレード・レジスタ

表 38. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイスのグレード。これらのビットは、本デバイスの性能グレードです。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョン。これらのビットは、本デバイスのハードウェア・リビジョンです。	0x2	R

スクラッチ・パッド・レジスタ

アドレス : 0x0A、リセット : 0x00、レジスタ名 : SCRATCH_PAD

このレジスタを使用して書き込みや読出しをテストできます。

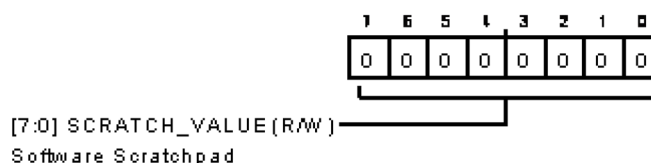


図 152. スクラッチ・パッド・レジスタ

表 39. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

設定レジスタ

SPI リビジョン・レジスタ

アドレス : 0x0B、リセット : 0x83、レジスタ名 : SPI_REVISION

このレジスタは SPI のリビジョンを示します。

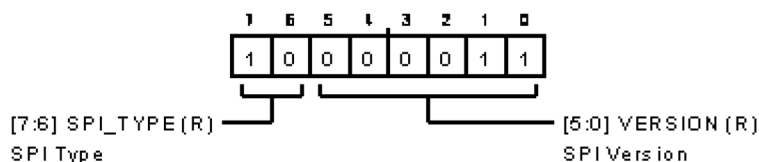


図 153. SPI リビジョン・レジスタ

表 40. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	SPI タイプ。これらのビットは常に 0x2 として読み出されます。	0x2	R
[5:0]	VERSION	SPI のバージョン。 11 : Revision 1.1。	0x3	R

ベンダ ID ロー・レジスタ

アドレス : 0x0C、リセット : 0x56、レジスタ名 : VENDOR_L

このレジスタは、ベンダ ID の下位バイトです。

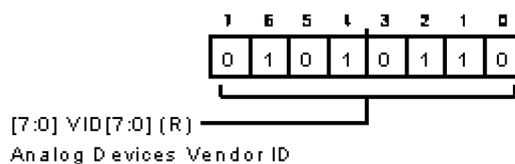


図 155. ベンダ ID ロー・レジスタ

表 41. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダ ID。	0x56	R

ベンダ ID ハイ・レジスタ

アドレス : 0x0D、リセット : 0x04、レジスタ名 : VENDOR_H

このレジスタは、ベンダ ID の上位バイトです。

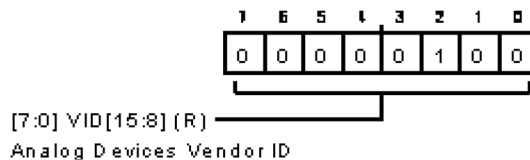


図 156. ベンダ ID ハイ・レジスタ

表 42. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイセズのベンダ ID。	0x4	R

設定レジスタ

ストリーム・モード・レジスタ

アドレス : 0x0E、リセット : 0x00、レジスタ名 : STREAM_MODE

このモードには対応していません。

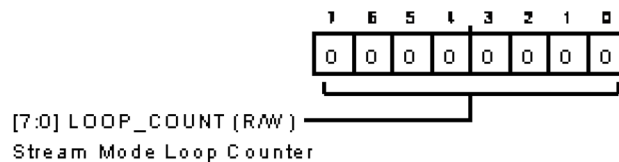


図 156. ストリーム・モード・レジスタ

表 43. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	ストリーム・モードのループ・カウンタ。これらのビットは、開始アドレスにループする前のデータ・バイト・カウントを設定します。データのストリーミング時、アドレスが開始値にループ・バックするまでに書き込まれるデータ・バイト数を、ゼロ以外の値で設定します。この方法で最大 255 個のバイトを書き込むことができます。値を 0x00 にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。このレジスタへ書き込みを行うと、ループ値は次の SPI 命令にのみ適用され、その命令が終了すると自動的にクリアされます。	0x0	R/W

転送設定レジスタ

アドレス : 0x0F、リセット : 0x00、レジスタ名 : TRANSFER_CONFIG

このレジスタは、コントローラ・レジスタとターゲット・レジスタの間のデータの移動方法を制御します。

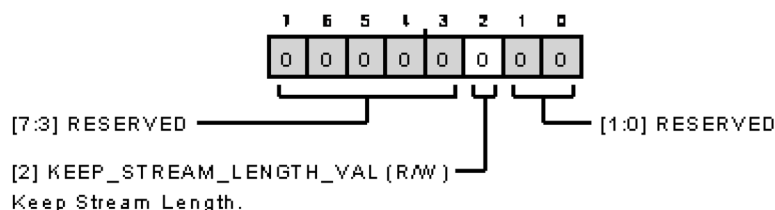


図 157. 転送設定レジスタ

表 44. TRANSFER_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。これらのビットには 0b00000 を書き込みます。	0x0	R
2	KEEP_STREAM_LENGTH_VAL	ストリームの長さを保持します。セットされている場合、ループ・カウンタは $\overline{CS}$ の立上がりエッジでリセットされません。	0x0	R/W
[1:0]	RESERVED	予約済み。これらのビットには 0b00 を書き込みます。	0x0	R

設定レジスタ

インターフェース設定 C レジスタ

アドレス : 0x10、リセット : 0x23、レジスタ名 : INTERFACE_CONFIG_C

このレジスタには、追加のインターフェース設定の設定値が格納されています。

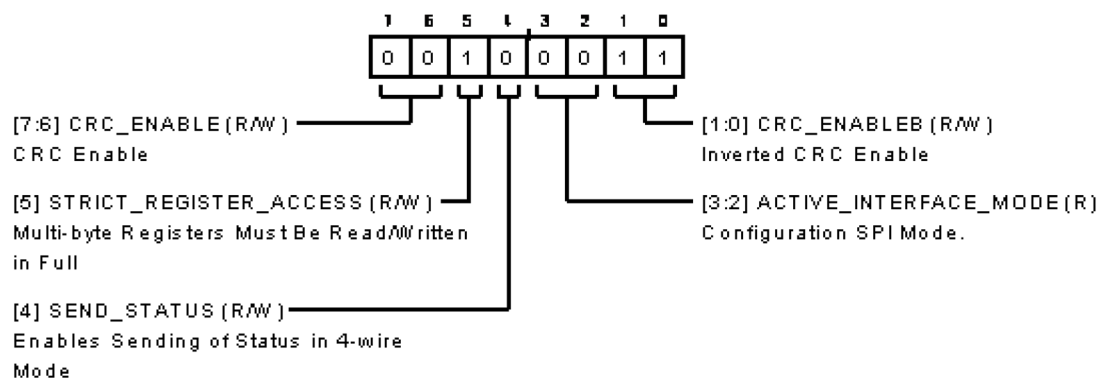


図 158. インターフェース設定 C レジスタ

表 45. INTERFACE_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_ENABLE	CRC イネーブル。これらのビットは、インターフェースでの CRC の使用をイネーブルまたはディスエーブルにするために書き込まれます。CRC_ENABLEB ビットにも、CRC をイネーブルにするために、これらのビットの反転値で書き込む必要があります。 0 : CRC をディスエーブル。 1 : CRC をイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS	マルチバイト・レジスタはすべて読み出し／書き込みをする必要があります。このモードが有効になっている場合、マルチバイト・レジスタのすべてのバイトについて完全に読み出し／書き込みをする必要があります。 0 : ノーマル・モード。アクセス制限なし。 1 : 厳密モード。マルチバイト・レジスタでは、すべてのバイトにアクセスする必要があります。	0x1	R/W
4	SEND_STATUS	4 線式モードでステータスの送信をイネーブルにします。設定されている場合、ステータス情報は命令フェーズ中に SDO _{Chx} 上のデバイスによって送信されます。クリアの場合、命令フェーズ中にステータスは送信されません。	0x0	R/W
[3:2]	ACTIVE_INTERFACE_MODE	設定 SPI モード。これらのビットは、SPI が動作するアクティブ・モードです。	0x0	R
[1:0]	CRC_ENABLEB	CRC イネーブルの反転値。これらのビットは、CRC_ENABLE の反転値で書き込む必要があります。	0x3	R/W

設定レジスタ

インターフェース・ステータス A レジスタ

アドレス : 0x11、リセット : 0x00、レジスタ名 : INTERFACE_STATUS_A

ステータス・ビットが 1 にセットされていると、アクティブ状態であることを示しています。これらのビットは、対応するビット位置に 1 を書き込むことでクリアできます。

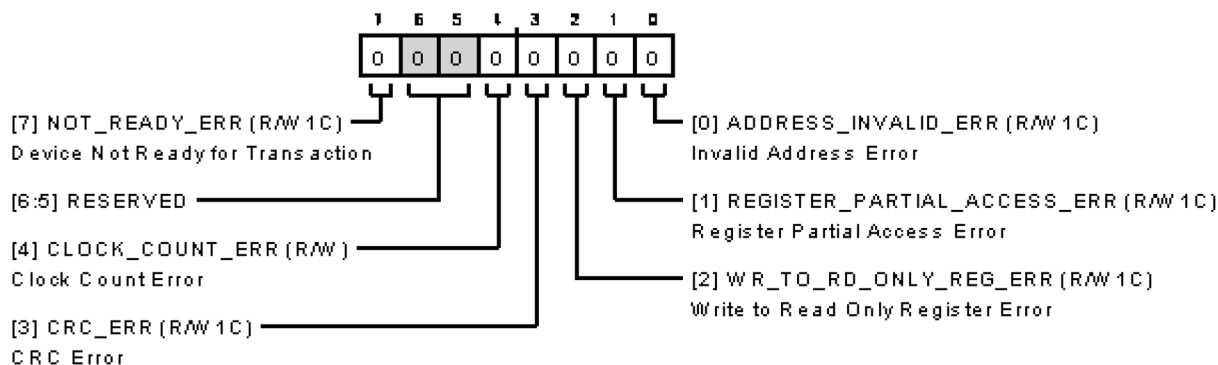


図 159. インターフェース・ステータス A レジスタ

表 46. INTERFACE_STATUS_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_READY_ERR	トランザクションに対するチャンネルの準備が未了。このビットは、ユーザがデジタル初期化の完了前にSPIトランザクションを実行しようとした場合にセットされます。	0x0	R/W1C
[6:5]	RESERVED	予約済み。これらのビットには 0b00 を書き込みます。	0x0	R
4	CLOCK_COUNT_ERR	クロック・カウント・エラー。このビットは、トランザクションで不正なクロック・カウントが検出された場合にセットされます。	0x0	R/W1C
3	CRC_ERR	CRC エラー。このビットは、SPI コントローラが CRC を送信しない場合、または本デバイスが計算した CRC 値が、SPI コントローラが送信した値と一致しない場合にセットされます。	0x0	R/W1C
2	WR_TO_RD_ONLY_REG_ERR	読み出し専用レジスタへの書き込みエラー。このビットは、ユーザが読み出し専用のレジスタに書き込もうとしたときにセットされます。	0x0	R/W1C
1	REGISTER_PARTIAL_ACCESS_ERR	レジスタ部分的アクセス・エラー。このビットは、マルチバイト・レジスタ・アクセスにおいて、期待されるバイト・カウントよりも少ないバイト・カウントが読み書きされるときにセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。	0x0	R/W1C
0	ADDRESS_INVALID_ERR	無効アドレス・エラー。このビットは、ユーザが許可されたメモリ・マップ空間外のレジスタ・アドレスに対して読み書きしようとしたときにセットされます。	0x0	R/W1C

設定レジスタ

デバイス・ステータス・レジスタ

アドレス : 0x14、リセット : 0x09、レジスタ名 : DEVICE_STATUS

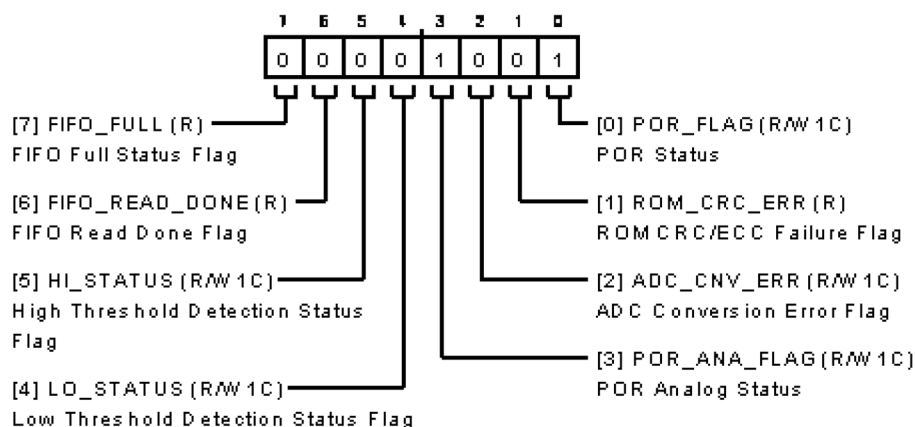


図 160. デバイス・ステータス・レジスタ

表 47. DEVICE_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	FIFO_FULL	FIFO フル・ステータス・フラグ。 0 : FIFO はフルではない。 1 : FIFO はフル。	0x0	R
6	FIFO_READ_DONE	FIFO 読み出し完了フラグ。 0 : FIFO 読み出し未完了。 1 : FIFO 読み出し完了。	0x0	R
5	HI_STATUS	高閾値検出ステータス・フラグ。このビットに1を書き込むとクリアされます。 0 : 高閾値イベントを未検出。 1 : 高閾値イベントを検出。	0x0	R/W1C
4	LO_STATUS	低閾値検出ステータス・フラグ。このビットに1を書き込むとクリアされます。 0 : 低閾値イベントを未検出。 1 : 低閾値イベントを検出。	0x0	R/W1C
3	POR_ANA_FLAG	POR アナログ・ステータス。アナログ POR イベントの発生を検出できます。アナログ POR は、電源投入時、1.1V ロジック電源または ADC リファレンスが 2.7V の閾値未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガされます。このビットに1を書き込むとクリアされます。 0 : アナログ POR フラグがクリア。 1 : アナログ POR イベントを検出。	0x1	R/W1C
2	ADC_CNV_ERR	ADC 変換エラー・フラグ。このビットに1を書き込むとクリアされます。 0 : ADC 変換が OK。 1 : ADC 変換がエラー。ユーザが最小 t_{CONV} 仕様に違反しており、変換結果は無効です。ユーザは、正しいクロック・タイミング仕様が満たされていることを確認する必要があります。	0x0	R/W1C
1	ROM_CRC_ERR	ROM CRC/ECC 失敗フラグ。 0 : ROM CRC チェックが OK。 1 : ROM CRC/ECC が失敗。	0x0	R
0	POR_FLAG	POR のステータス。POR イベントがいつ発生するかを検出できます。POR は、電源投入時、1.1V ロジック電源が閾値 0.93V 未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガされます。このビットに1を書き込むとクリアされます。 0 : POR フラグがクリア。 1 : POR イベントを検出。	0x1	R/W1C

設定レジスタ

ADC データ・インターフェース設定 A レジスタ

アドレス : 0x15、リセット : 0x40、レジスタ名 : ADC_DATA_INTF_CONFIG_A

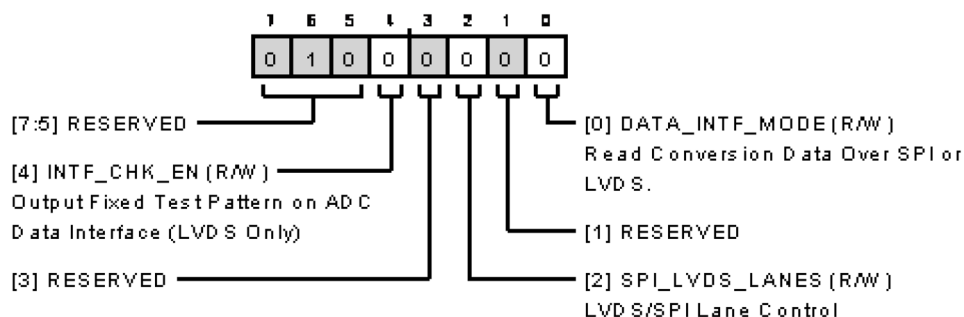


図 161. ADC データ・インターフェース設定 A レジスタ

表 48. ADC_DATA_INTF_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
6	RESERVED	予約済み。このビットは常に 1 にセットします。	0x1	R/W
5	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
4	INTF_CHK_EN	チャンネルのデータ・インターフェースの出力固定テスト・パターン（LVDS のみ）。このモードが有効な場合、ADC 出力は使用できません。 固定パターン = 20'b1010 1100 0101 1101 0110 (0xAC5D6)。 0 : テスト・パターンをディセーブル。 1 : テスト・パターンをイネーブル。	0x0	R/W
3	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
2	SPI_LVDS_LANES	LVDS/SPI レーン・コントロール。チャンネルの変換データをクロック・アウトするレーンの数を求めます。 0 : 1 つのレーンがアクティブ。 1 : 複数のレーンがアクティブ（LVDS 用に 2 つ、SPI データ・インターフェース用に 4 つ）	0x0	R/W
1	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
0	DATA_INTF_MODE	SPI または LVDS を介して変換データを読み出します。グローバル LVDS イネーブルとして動作し、このビットを 1 に設定すると、LVDS トランスミッタ/レシーバの電源が切断されます。 0 : LVDS を介したデータのリードバック。 1 : SPI データ・インターフェース ($\overline{DCS}_{ChX}/DCLK_{ChX}$) を介したデータのリードバック。CLK ⁺ _{ChX} は、FIFO データを読み出すための SPI データ・インターフェース・クロック (DCLK _{ChX}) として再利用され、CLK ⁻ _{ChX} は、FIFO データを読み出すための SPI チップ・セレクト ($\overline{DCS}_{ChX}$) として再利用されます。	0x0	R/W

設定レジスタ

ADC データ・インターフェース設定 B レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : ADC_DATA_INTF_CONFIG_B

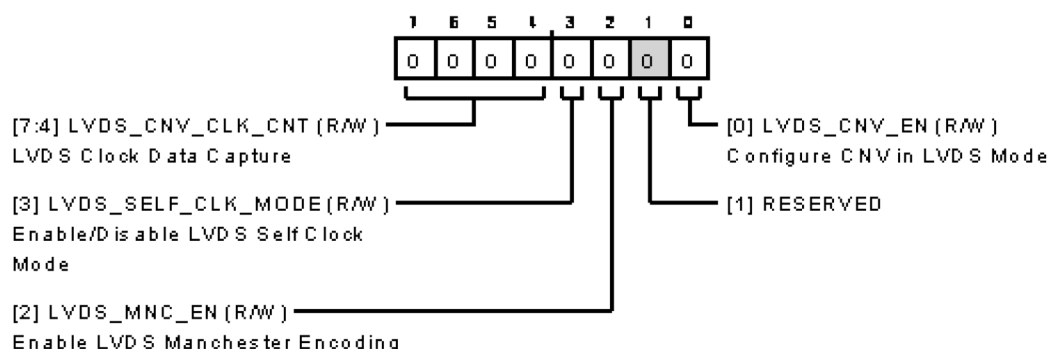


図 162. ADC データ・インターフェース設定 B レジスタ

表 49. ADC_DATA_INTF_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LVDS_CNV_CLK_CNT	LVDS クロック・データ取り込み。変換結果の MSB が変換モード中に使用可能な LVDS クロックの立下がりエッジを求めます。この値の設定の詳細については、 ADC 結果のレイテンシと LVDS インターフェースの整合 のセクションを参照してください。	0x0	R/W
3	LVDS_SELF_CLK_MODE	LVDS セルフ・クロック・モードを有効化／無効化にします。 0 : エコー・クロック・モードを有効化。LVDS DCO トランスミッタの電源が入っています。 1 : セルフ・クロック・モードを有効化。LVDS DCO トランスミッタの電源がオフになっています。	0x0	R/W
2	LVDS_MNC_EN	LVDS マンチェスタ・エンコーディングをイネーブルにします。マンチェスタ・エンコーディングは、デュアル・レーン・モードの変換モード中の LVDS 読出しにのみ適用されます。このモードは、FILTER_SEL = 0 でデジタル・フィルタがディセーブルの場合にのみ動作します。 0 : マンチェスタ・エンコーディングをディセーブル。 1 : マンチェスタ・エンコーディングをイネーブル。	0x0	R/W
1	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
0	LVDS_CNV_EN	CNV を LVDS モードで設定します。LVDS インターフェースが選択されている場合にのみ適用可能です。 0 : CNV ピンを CMOS モードで設定。 1 : CNV ピンを LVDS モードで設定。	0x0	R/W

ADC データ・インターフェース設定 C レジスタ

アドレス : 0x17、リセット : 0x20、レジスタ名 : ADC_DATA_INTF_CONFIG_C

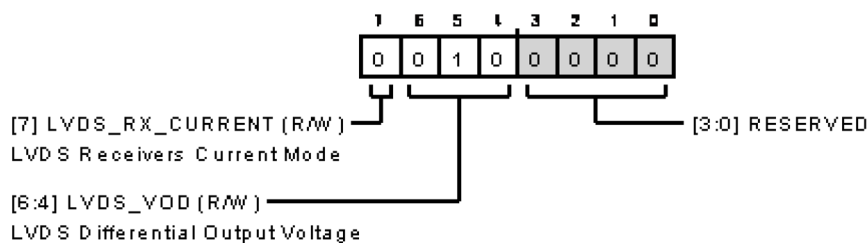


図 163. ADC データ・インターフェース設定 C レジスタ

表 50. ADC_DATA_INTF_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	LVDS_RX_CURRENT	LVDS レシーバの電流モード。1'b0 - 1× 電流。1'b1 - 2× 電流。	0x0	R/W

設定レジスタ

表 50. ADC_DATA_INTF_CONFIG_C のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
[6:4]	LVDS_VOD	LVDS 差動出力電圧。有効なエントリは、約 185mV、約 240mV、および約 325mV の差動電圧に対して、それぞれ 0b001、0b010、および 0b100 です。無効な値を書き込むと、差動電圧はデフォルト設定値の約 240mV にリセットされます。ただし、ユーザは、これらのビットに書き込まれた値をリードバックできます。	0x2	R/W
[3:0]	RESERVED	予約済み。これらのビットには 0b0000 を書き込みます。	0x0	R

パワー・コントロール・レジスタ

アドレス：0x18、リセット：0x00、レジスタ名：PWR_CTRL

このレジスタへの書き込みは推奨しません。

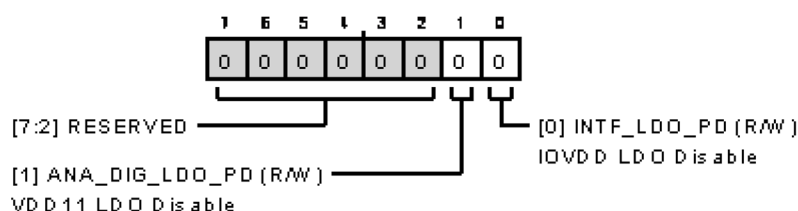


図 164. パワー・コントロール・レジスタ

表 51. PWR_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。これらのビットには 0b000000 を書き込みます。	0x0	R
1	ANA_DIG_LDO_PD	VDD11 LDO ディスエーブル。VDD11 _{ChX} レールに給電する LDO をイネーブルまたはディスエーブルにします。このビットへの書き込みは推奨しません。 0：LDO をイネーブル。 1：LDO をディスエーブル。	0x0	R/W
0	INTF_LDO_PD	IOVDD LDO ディスエーブル。IOVDD _{ChX} レールに給電する LDO をイネーブルまたはディスエーブルにします。このビットへの書き込みは推奨しません。 0：LDO をイネーブル。 1：LDO をディスエーブル。	0x0	R/W

設定レジスタ

GPIO 設定 A レジスタ

アドレス : 0x19、リセット : 0x01、レジスタ名 : GPIO_CONFIG_A

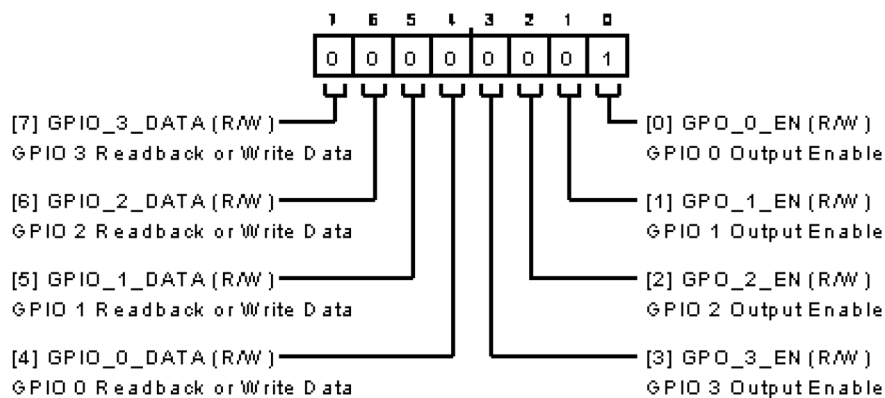


図 165. GPIO 設定 A レジスタ

表 52. GPIO_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	GPIO_3_DATA	GPIO 3 のリードバックまたは書込みデータ。 0 : GPIO 3 に 0 を書き込みます。 1 : GPIO 3 に 1 を書き込みます。	0x0	R/W
6	GPIO_2_DATA	GPIO 2 のリードバックまたは書込みデータ。 0 : GPIO 2 に 0 を書き込みます。 1 : GPIO 2 に 1 を書き込みます。	0x0	R/W
5	GPIO_1_DATA	GPIO 1 のリードバックまたは書込みデータ。 0 : GPIO 1 に 0 を書き込みます。 1 : GPIO 1 に 1 を書き込みます。	0x0	R/W
4	GPIO_0_DATA	GPIO 0 のリードバックまたは書込みデータ。 0 : GPIO 0 に 0 を書き込みます。 1 : GPIO 0 に 1 を書き込みます。	0x0	R/W
3	GPO_3_EN	GPIO 3 出力イネーブル。 0 : GPIO 3 を入力として設定。 1 : GPIO 3 を出力として設定。	0x0	R/W
2	GPO_2_EN	GPIO 2 出力イネーブル。 0 : GPIO 2 を入力として設定。 1 : GPIO 2 を出力として設定。	0x0	R/W
1	GPO_1_EN	GPIO 1 出力イネーブル。 0 : GPIO 1 を入力として設定。 1 : GPIO 1 を出力として設定。	0x0	R/W
0	GPO_0_EN	GPIO 0 出力イネーブル。 0 : GPIO 0 を入力として設定。 1 : GPIO 0 を出力として設定。	0x1	R/W

設定レジスタ

GPIO 設定 B レジスタ

アドレス : 0x1A、リセット : 0x00、レジスタ名 : GPIO_CONFIG_B

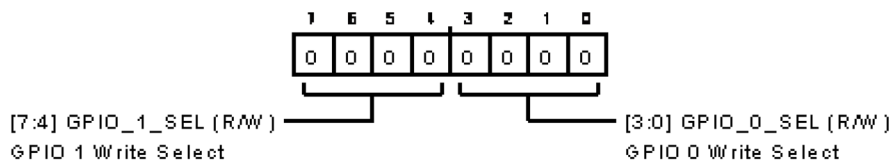


図 166. GPIO 設定 B レジスタ

表 53. GPIO_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GPIO_1_SEL	GPIO 1 書き込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読み出し完了フラグ。 0011 : フィルタ結果準備完了 (アクティブ・ロー)。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート (アクティブ・ロー)。 0111 : GPIO データ。 1000 : フィルタ同期入力 (アクティブ・ロー)。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W
[3:0]	GPIO_0_SEL	GPIO 0 書き込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読み出し完了フラグ。 0011 : フィルタ結果準備完了 (アクティブ・ロー)。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート (アクティブ・ロー)。 0111 : GPIO データ。 1000 : フィルタ同期入力 (アクティブ・ロー)。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W

設定レジスタ

GPIO 設定 C レジスタ

アドレス : 0x1B、リセット : 0x00、レジスタ名 : GPIO_CONFIG_C

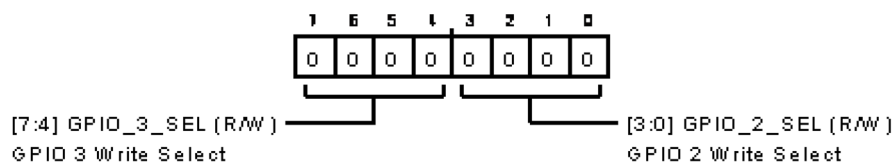


図 167. GPIO 設定 C レジスタ

表 54. GPIO_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GPIO_3_SEL	GPIO 3 書き込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読出し完了フラグ。 0011 : フィルタ結果準備完了 (アクティブ・ロー)。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート (アクティブ・ロー)。 0111 : GPIO データ。 1000 : フィルタ同期入力 (アクティブ・ロー)。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W
[3:0]	GPIO_2_SEL	GPIO 2 書き込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読出し完了フラグ。 0011 : フィルタ結果準備完了 (アクティブ・ロー)。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート (アクティブ・ロー)。 0111 : GPIO データ。 1000 : フィルタ同期入力 (アクティブ・ロー)。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W

設定レジスタ

全般的な設定レジスタ

アドレス : 0x1C、リセット : 0x00、レジスタ名 : GENERAL_CONFIG

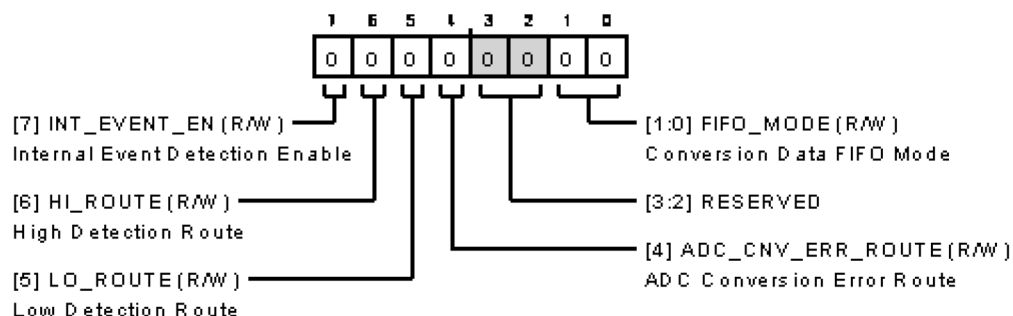


図 168. 全般的な設定レジスタ

表 55. GENERAL_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INT_EVENT_EN	内部イベント検出イネーブル。ADC 結果またはフィルタリングされたデータは、このビットが 1 に設定された後、内部イベント検出にのみ使用されます。 0 : 内部イベント検出はディスエーブルになります。 1 : 内部イベント検出はイネーブルになります。	0x0	R/W
6	HI_ROUTE	高検出経路。FIFO イベント検出、ステータス・レジスタ、およびアラート機能（GPIO 経由）に、高検出ステータスが使用できます。 0 : マスク高検出。 1 : 高検出の経路を、アラート・ピン、ステータス・レジスタ、および FIFO に指定します。	0x0	R/W
5	LO_ROUTE	低検出経路。FIFO イベント検出、ステータス・レジスタ、およびアラート機能（GPIO 経由）に、低検出ステータスが使用できます。 0 : マスク低検出。 1 : 低検出の経路を、アラート・ピン、ステータス・レジスタ、および FIFO に指定します。	0x0	R/W
4	ADC_CNV_ERR_ROUTE	ADC 変換エラー経路。ADC 変換エラー・ステータスの経路を、ステータス・レジスタとアラート機能（GPIO 経由）に指定できます。 0 : マスク ADC 変換エラー。 1 : ADC 変換エラーの経路を、アラート・ピンとステータス・レジスタに指定します。	0x0	R/W
[3:2]	RESERVED	予約済み。これらのビットには 0b0 を書き込みます。	0x0	R
[1:0]	FIFO_MODE	変換データ FIFO モード。 00 : FIFO をディスエーブル。 01 : 即時トリガ・モード。 10 : イベント・トリガの取り込み、最新の WATERMARK の読出し。 11 : イベント・トリガ取り込みモード、全 FIFO 読出し。	0x0	R/W

設定レジスタ

FIFO ウォーターマーク・レジスタ

アドレス : 0x1D およびアドレス : 0x1E、リセット : 0x4000、レジスタ名 : FIFO_WATERMARK

イベント・トリガ取り込みモード、全 FIFO 読出しでは、FIFO イベント・アドレスの読出しができます。それ以外の場合は、ウォーターマーク値になります。ユーザが 1 より小さい値を書き込むと、1 で切り捨てられます。16,384 より大きい場合、16,384 で切り捨てられます。

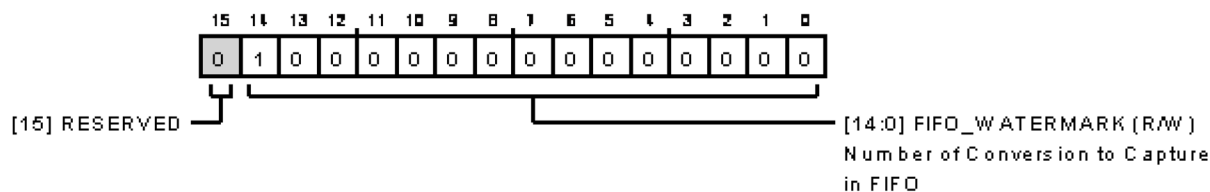


図 169. FIFO ウォーターマーク・レジスタ

表 56. FIFO_WATERMARK のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
[14:0]	FIFO_WATERMARK	FIFO で取り込む変換の数。イベント・トリガ取り込みモード、全 FIFO 読出しでは、この値は 4 の倍数として設定する必要があります。このモードでは、結果の WATERMARK 番号が FIFO に書き込まれると、これらのビットには、イベントが発生した FIFO 内の位置が格納されます。	0x4000	R/W

イベント検出ヒステリシス設定レジスタ

アドレス : 0x20 およびアドレス : 0x1F、リセット : 0x0000、レジスタ名 : EVENT_HYSTERESIS

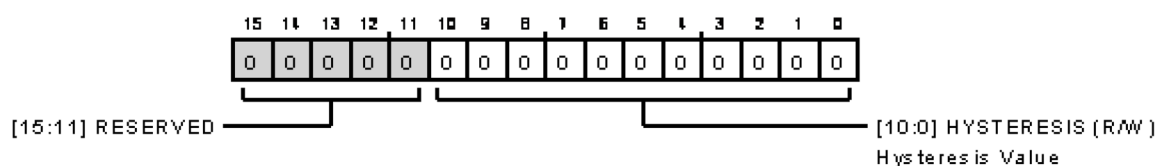


図 170. イベント検出ヒステリシス設定レジスタ

表 57. EVENT_HYSTERESIS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予約済み。これらのビットには 0b000000 を書き込みます。	0x0	R
[10:0]	HYSTERESIS	ヒステリシス値。符号なしデータ形式 (LSB = 1.46484mV)。0x000 は 0 × LSB を表し、0x7FF は 2047 × LSB を表します。	0x0	R/W

設定レジスタ

イベント検出の高閾値設定レジスタ

アドレス : 0x21 およびアドレス : 0x22、リセット : 0x0000、レジスタ名 : EVENT_DETECTION_HI

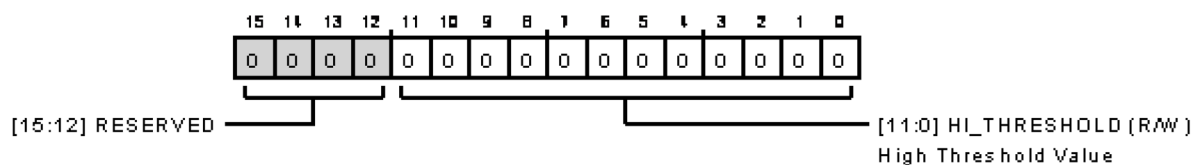


図 171. イベント検出の高閾値設定レジスタ

表 58. EVENT_DETECTION_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。これらのビットには 0b0000 を書き込みます。	0x0	R
[11:0]	HI_THRESHOLD	高閾値。2 の補数データ形式 (LSB = 1.46484mV)。0x800 は $-2048 \times \text{LSB}$ を表し、0x7FF は $+2047 \times \text{LSB}$ を表します。	0x0	R/W

イベント検出の低閾値設定レジスタ

アドレス : 0x23 およびアドレス : 0x24、リセット : 0x0000、レジスタ名 : EVENT_DETECTION_LO

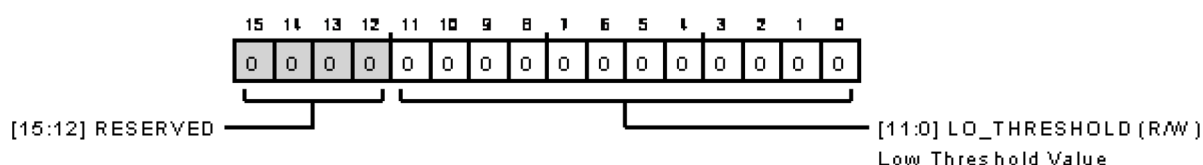


図 172. イベント検出の低閾値設定レジスタ

表 59. EVENT_DETECTION_LO のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。これらのビットには 0b0000 を書き込みます。	0x0	R
[11:0]	LO_THRESHOLD	低閾値。2 の補数データ形式 (LSB = 1.46484mV)。0x800 は $-2048 \times \text{LSB}$ を表し、0x7FF は $+2047 \times \text{LSB}$ を表します。	0x0	R/W

オフセット補正レジスタ

アドレス : 0x25 およびアドレス : 0x26、リセット : 0x0000、レジスタ名 : OFFSET

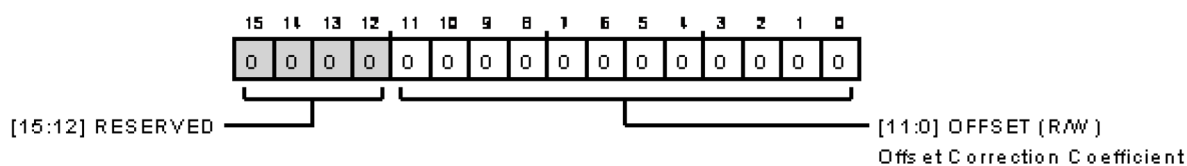


図 173. オフセット補正レジスタ

表 60. OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。このビット・フィールドには 0b0000 を書き込みます。	0x0	R
[11:0]	OFFSET	オフセット補正係数。2 の補数データ形式 (LSB = 5.72μV)。0x800 は $-2048 \times \text{LSB}$ を表し、0x7FF は $+2047 \times \text{LSB}$ を表します。	0x0	R/W

設定レジスタ

ゲイン補正レジスタ

アドレス : 0x27 およびアドレス : 0x28、リセット : 0x0200、レジスタ名 : GAIN

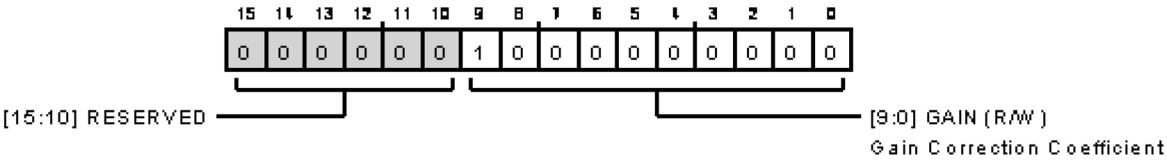


図 174. ゲイン補正レジスタ

表 61. GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予約済み。これらのビットには 0b000000 を書き込みます。	0x0	R
[9:0]	GAIN	ゲイン補正係数。 GAIN = 0x3FF の場合、システム全体のゲインは $1.0 + 0.015594$ になります。 GAIN = 0x200 は、ゲイン補正機能をディスエーブルにし、低レイテンシ動作を可能にします。 GAIN = 0x001 の場合、システム全体のゲインは $1.0 - 0.015594$ になります。	0x200	R/W

設定レジスタ

フィルタ設定レジスタ

アドレス : 0x29、リセット : 0x00、レジスタ名 : FILTER_CONFIG

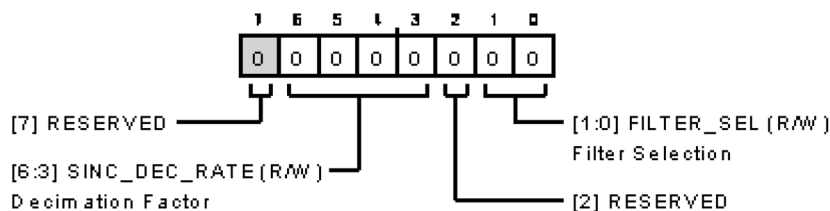


図 175. フィルタ設定レジスタ

表 62. FILTER_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。このビット・フィールドには 0b0 を書き込みます。	0x0	R
[6:3]	SINC_DEC_RATE	デシメーション率。これらのビットは、sinc デシメーション率 N を設定します。フィルタ補償ブロックは、デシメーション率 2 を追加します。選択されたフィルタの全デシメーションは、sinc1 = N、sinc5 = N、または sinc5 + 補償 = $N \times 2$ です。 選択したフィルタに対して、ここで指定した値以外の無効な値を設定すると、フィルタは最大デシメーション率で設定されます。 0000 : N = 2。 0001 : N = 4。 0010 : N = 8。 0011 : N = 16。 0100 : N = 32。 0101 : N = 64。 0110 : N = 128。 0111 : N = 256。 1000 : N = 512 (sinc1 のみ)。 1001 : N = 1024 (sinc1 のみ)。	0x0	R/W
2	RESERVED	予約済み。	0x0	R
[1:0]	FILTER_SEL	フィルタ選択。最初のフィルタ結果が正しいデータを生成するために、ユーザがフィルタ選択に変更を加えた場合、フィルタ同期 (FILTER_SYNC) 用に設定された GPIO ピンを介してリセットを発行する必要があります。 00 : フィルタをディスエーブル。 01 : sinc1 フィルタを選択。 10 : sinc5 フィルタを選択。 11 : sinc5 + 補償フィルタを選択。	0x0	R/W

外形寸法

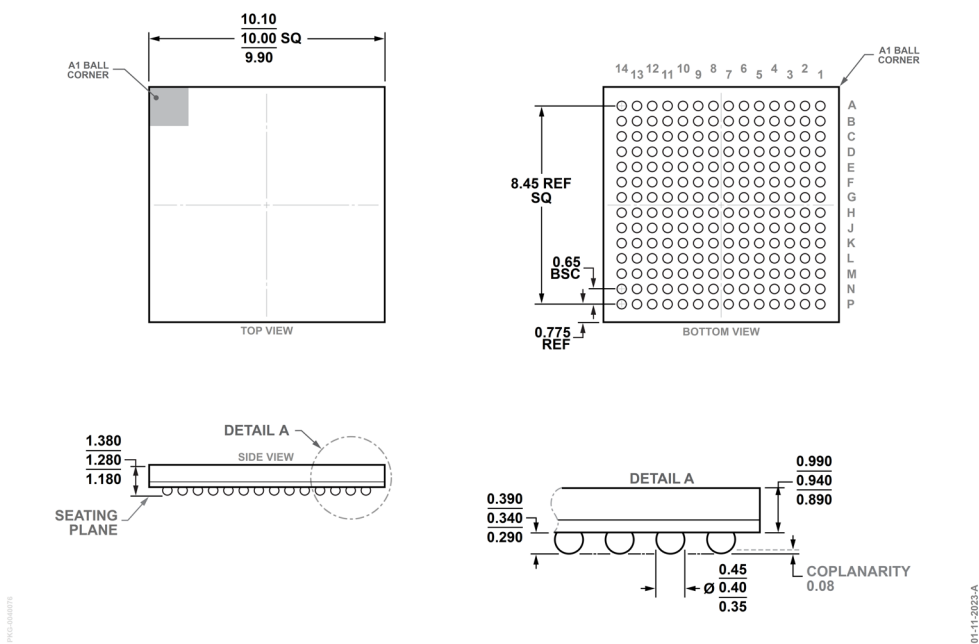


図 176. 196 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA] (BC-196-20)
寸法：mm

外形寸法

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4880BBCZ	-40°C to +85°C	CHIP SCALE BGA	Tray, 168	BC-196-20
AD4880BBCZ-RL	-40°C to +85°C	CHIP SCALE BGA	Reel, 1500	BC-196-20
AD4880BBCZ-RL7	-40°C to +85°C	CHIP SCALE BGA	Reel, 400	BC-196-20

¹ Z = RoHS 準拠製品。

更新：2026 年 1 月 16 日



アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセス製品の提供は、販売状況および在庫状況に依存します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2026 年 8 月 20 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2026 年 8 月 20 日

製品名： AD4880

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 29 頁、左の段、下から 4 行目

【誤】

「IOVDDChA および IOVDDChA」には外部から 1.1V～1.2V を供給する必要があります。」

【正】

「IOVDDChA および IOVDDChB」には外部から 1.1V～1.2V を供給する必要があります。」