

バッファ付き 4 チャンネル同時サンプリング、20 ビットの 250kSPS DAS

特長

- ▶ フル機能の 20 ビット・データ・アキュジション・システム
 - ▶ 内部バッファされた 4 つのチャンネルの同時サンプリング
 - ▶ チャンネルあたり 250kSPS のスループット
 - ▶ 同相電圧範囲の広い差動入力
 - ▶ 25°C で $\pm 75\text{pA}$ (代表値) の入力リーク電流
 - ▶ 300ns 未満のフルスケール入力ステップ・セトリング・タイム
 - ▶ リファレンスとリファレンス・バッファを内蔵 (4.096V)
 - ▶ 電源デカップリング・コンデンサを内蔵
 - ▶ 250kSPS でチャンネルあたり 36mW (スループットに比例)
- ▶ 最小限の外部シグナル・コンディショニング
- ▶ シームレス・ハイ・ダイナミック・レンジ
 - ▶ サンプルごと、チャンネルごとにゲイン範囲を自動設定
 - ▶ ppm レベルの INL を維持
- ▶ チャンネルごとの SoftSpan 入力レンジ (バイポーラまたはユニポーラ)
 - ▶ $\pm 40\text{V}$ 、 $\pm 25\text{V}$ 、 $\pm 20\text{V}$ 、 $\pm 12.5\text{V}$ 、 $\pm 10\text{V}$ 、 $\pm 6.25\text{V}$ 、 $\pm 5\text{V}$ 、 $\pm 2.5\text{V}$
 - ▶ $0\text{V} \sim 40\text{V}$ 、 25V 、 20V 、 12.5V 、 10V 、 6.25V 、 5V 、 2.5V
- ▶ レール to レールの入力オーバードライブ耐性
- ▶ 高性能
 - ▶ INL : $\pm 160\mu\text{V}$ (代表値、 $\pm 40\text{V}$ レンジ)
 - ▶ S/N 比 : 97.2dB、シングル変換 (代表値、 $\pm 40\text{V}$ レンジ)
 - ▶ DR : 111.4dB、シングル変換 (代表値、 $\pm 40\text{V}$ レンジ)
 - ▶ THD : -117dB (代表値、 $\pm 40\text{V}$ レンジ)
 - ▶ CMRR : 120dB (代表値)
- ▶ デジタルの柔軟性
 - ▶ SPI の CMOS ($0.9\text{V} \sim 5.25\text{V}$) および LVDS シリアル入出力
 - ▶ 24 ビットのデジタル平均化によるオーバーサンプリング (オプション)
 - ▶ オフセット、ゲイン、位相の補正 (オプション)
- ▶ 7.00mm $\times$ 7.00mm、64 ボール BGA のフル・ソリューション・フットプリント

アプリケーション

- ▶ ATE (自動試験装置)
- ▶ アビオニクス (航空電子機器) および航空宇宙
- ▶ 計測器および制御システム
- ▶ 半導体製造
- ▶ 試験および計測

機能ブロック図

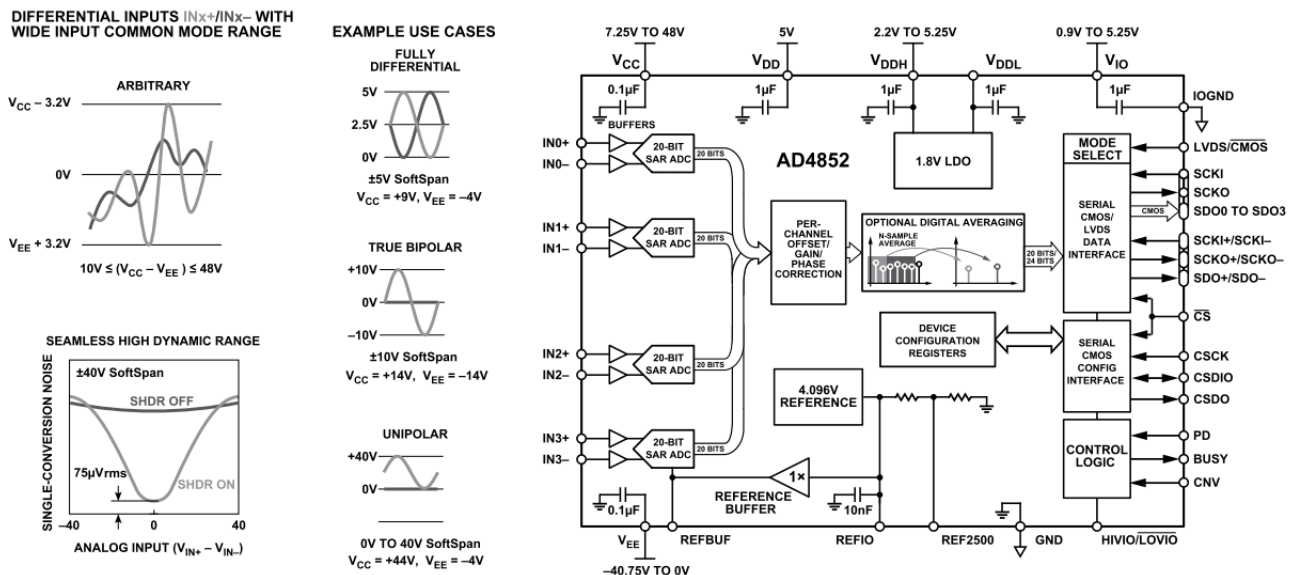


図 1. 機能ブロック図 (アナログ入力信号での使用例を図示)

目次

特長.....	1	SPI 設定 A レジスタ.....	53
アプリケーション.....	1	SPI 設定 B レジスタ.....	54
機能ブロック図.....	1	デバイス設定レジスタ.....	54
概要.....	3	デバイス・タイプ・レジスタ.....	54
関連製品.....	3	製品 ID ロー・レジスタ.....	55
仕様.....	4	製品 ID ハイ・レジスタ.....	55
タイミング仕様.....	13	デバイス・グレード・レジスタ.....	55
絶対最大定格.....	18	スクラッチ・パッド・レジスタ.....	55
ジャンクション温度.....	18	SPI リビジョン・レジスタ.....	56
熱抵抗.....	18	ベンダ ID ロー・レジスタ.....	56
静電放電 (ESD) 定格.....	18	ベンダ ID ハイ・レジスタ.....	56
ESD に関する注意.....	18	ループ設定 A レジスタ.....	56
ピン配置およびピン機能の説明.....	19	ループ設定 B レジスタ.....	57
代表的な性能特性.....	22	SPI 設定 C レジスタ.....	57
用語の定義.....	29	SPI ステータス・レジスタ.....	58
動作原理.....	30	SPI 設定 D レジスタ.....	58
概要.....	30	デバイス・ステータス・レジスタ.....	59
コンバータの動作.....	30	チャンネル・オーバーレンジ・ステータス・レジスタ.....	60
伝達関数.....	30	チャンネル・アンダーレンジ・ステータス・レジスタ.....	60
SOFTSPAN.....	31	レジスタ・マップ CRC.....	61
シームレス・ハイ・ダイナミック・レンジ (SHDR).....	31	デバイス制御レジスタ.....	61
デジタル処理機能.....	31	パケット・フォーマット・レジスタ.....	62
アプリケーション情報.....	36	オーバーサンプリング制御レジスタ.....	62
バッファ付きアナログ入力.....	36	シームレス・ハイ・ダイナミック・レンジ・レジスタ.....	63
アナログ入力駆動回路.....	36	チャンネル・スリープ・レジスタ.....	63
アナログ入力のオーバードライブ耐性.....	36	チャンネル 0 SOFTSPAN レジスタ.....	64
アナログ入力のフィルタ処理.....	37	チャンネル 0 オフセット・レジスタ.....	64
DAS のリファレンス.....	37	チャンネル 0 ゲイン・レジスタ.....	64
電力に関する考慮事項.....	38	チャンネル 0 位相レジスタ.....	65
タイミングと制御.....	39	チャンネル 0 オーバーレンジ制限レジスタ.....	65
デジタル・インターフェース.....	41	チャンネル 0 アンダーレンジ制限レジスタ.....	65
CMOS 変換データ出力モード.....	41	チャンネル 0 テスト・パターン・レジスタ.....	66
LVDS 変換データ出力モード.....	42	外形寸法.....	67
パケット・フォーマット.....	44	オーダー・ガイド.....	67
SPI レジスタ設定バス.....	47	評価用ボード.....	67
レジスタの一覧.....	50		
レジスタの詳細.....	53		

改訂履歴

12/2024—Revision 0: Initial Version

概要

AD4852 は、4 チャンネルすべてでバッファ付きの同時サンプリングが可能な 20 ビット 250kSPS のデータ・アキュイジション・システム (DAS) で、同相電圧範囲の広い差動入力を備えています。その機能アーキテクチャを図 1 に示します。5V の低電圧電源と柔軟な入力バッファ電源で動作し、高精度、低ドリフトのリファレンスとリファレンス・バッファを内蔵している AD4852 は、各チャンネルの SoftSpan レンジをアプリケーションの信号振幅に合わせて個別に設定できるため、追加の外部シグナル・コンディショニングを最小限に抑えることができます。シングル変換のダイナミック・レンジを更に拡大するために、AD4852 はシームレス・ハイ・ダイナミック・レンジ (SHDR) 技術を採用しています。SHDR を有効にすると、チャンネルの入力信号経路のゲインがサンプルごとに自動的に最適化されるため、直線性に影響を及ぼすことなく各サンプルのコンバータ・ノイズを最小限に抑えることができます。

11MHz の帯域幅、ピコアンペアの入力アナログ・バッファ、広い入力同相電圧範囲、120dB の同相モード除去比 (CMRR) により、DAS は IN_{x+} および IN_{x-} での任意の振幅の入力信号を直接デジタル化することができます。この入力信号の柔軟性に $\pm 160\mu V$ の積分非直線性 (INL)、20 ビットでのノー・ミス・コード、97.2dB の S/N 比 (SNR)、111.4dB のダイナミック・レンジを組み合わせることで、AD4852 は、高い正確性、高スループット、高精度をコンパクトなソリューション・フットプリントで実現する必要のあるアプリケーションに最適な選択肢となっています。24 ビットのオーバーサンプリングを有効化すれば、S/N 比とダイナミック・レンジを更に向上できます。オプションでチャンネルごとにオフセット、ゲイン、位相を調整できるため、DAS の上流で生じるシステムレベルの誤差の補正および除去が可能です。

AD4852 は、シリアル・ペリフェラル・インターフェース (SPI) レジスタ設定バス (0.9V~5.25V) を備えており、LVDS (低電圧差動シグナリング) と CMOS (相補型金属酸化膜半導体) の両方の変換データ出力バスに対応できます。バスの選択には LVDS/CMOS ピンを使用します。CMOS モードでは 1~4 本のデータ出力ラインを使用できるため、バスの幅とスループットを最適化できます。

7.00mm × 7.00mm、64 ボールのボール・グリッド・アレイ

(BGA) を採用した AD4852 は、重要な電源およびリファレンスのバイパス・コンデンサを内蔵しているため、ソリューション全体のフットプリントと部品数を最小限に抑えて、アプリケーションのプリント回路基板 (PCB) レイアウトによる影響を低減することができます。このデバイスは、拡張工業用温度範囲 $-40^{\circ}C \sim +125^{\circ}C$ にわたって動作します。

このデータシートでは、LVDS/CMOS などの多機能ピンについて、ピン名全体を表記する場合と、ピンが持つ機能の 1 つを表記する場合があることに注意してください。例えば、LVDS 機能のみが関連する場合は、LVDS と表記されます。

関連製品

- ▶ 電圧リファレンス : [LTC6655-4.096](#) または [ADR4540](#)
- ▶ 電源ソリューション : [LT1761](#)、[LT8330](#)、[LT3042](#)

仕様

$V_{EE} = -40.75V \sim 0V$, $V_{CC} = 7.25V \sim 48V$, $(V_{CC} - V_{EE}) = 10V \sim 48V$, $V_{DD} = 5V$, $V_{DDH} = 2.5V$, $1.8V$ の低ドロップアウト (LDO) レギュレータが有効、 $V_{IO} = 0.9V \sim 5.25V$ 。特に指定のない限り、全チャンネルがサンプリング周波数 (f_s) = $250kSPS$ で変換、内部リファレンスと内部リファレンス・バッファが有効、全 SoftSpan レンジ、SoftSpan 15 および SoftSpan 13 では完全差動入力信号駆動、その他のバイポーラまたはユニポーラの SoftSpan レンジでは真のバイポーラまたはユニポーラ信号駆動、すべての仕様は $T_{MIN} \sim T_{MAX}$ 。代表値は $T_A = 25^\circ C$ の値です。

表 1. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RESOLUTION		20			Bits
ANALOG INPUTS					
Absolute Input Voltage	V_{INX+}^1 , $V_{INX-}^2 \sim V_{CC}$ および V_{EE}	$V_{EE} + 3.2$		$V_{CC} - 3.2$	V
Differential Input Range	$(V_{INX+} - V_{INX-})$, $V_{REF}^3 = V_{REFBUF}^4/1.024$				
	SoftSpan 15 : $\pm 10 \times V_{REF}$ のレンジ	$-10 \times V_{REF}$		$+10 \times V_{REF}$	V
	SoftSpan 14 : $0V \sim 10 \times V_{REF}$ のレンジ	0		$10 \times V_{REF}$	V
	SoftSpan 13 : $\pm 6.25 \times V_{REF}$ のレンジ	$-6.25 \times V_{REF}$		$+6.25 \times V_{REF}$	V
	SoftSpan 12 : $0V \sim 6.25 \times V_{REF}$ のレンジ	0		$6.25 \times V_{REF}$	V
	SoftSpan 11 : $\pm 5 \times V_{REF}$ のレンジ	$-5 \times V_{REF}$		$+5 \times V_{REF}$	V
	SoftSpan 10 : $0V \sim 5 \times V_{REF}$ のレンジ	0		$5 \times V_{REF}$	V
	SoftSpan 9 : $\pm 3.125 \times V_{REF}$ のレンジ	$-3.125 \times V_{REF}$		$+3.125 \times V_{REF}$	V
	SoftSpan 8 : $0V \sim 3.125 \times V_{REF}$ のレンジ	0		$3.125 \times V_{REF}$	V
	SoftSpan 7 : $\pm 2.5 \times V_{REF}$ のレンジ	$-2.5 \times V_{REF}$		$+2.5 \times V_{REF}$	V
	SoftSpan 6 : $0V \sim 2.5 \times V_{REF}$ のレンジ	0		$2.5 \times V_{REF}$	V
	SoftSpan 5 : $\pm 1.5625 \times V_{REF}$ のレンジ	$-1.5625 \times V_{REF}$		$+1.5625 \times V_{REF}$	V
	SoftSpan 4 : $0V \sim 1.5625 \times V_{REF}$ のレンジ	0		$1.5625 \times V_{REF}$	V
	SoftSpan 3 : $\pm 1.25 \times V_{REF}$ のレンジ	$-1.25 \times V_{REF}$		$+1.25 \times V_{REF}$	V
	SoftSpan 2 : $0V \sim 1.25 \times V_{REF}$ のレンジ	0		$1.25 \times V_{REF}$	V
	SoftSpan 1 : $\pm 0.625 \times V_{REF}$ のレンジ	$-0.625 \times V_{REF}$		$+0.625 \times V_{REF}$	V
	SoftSpan 0 : $0V \sim 0.625 \times V_{REF}$ のレンジ	0		$0.625 \times V_{REF}$	V
Common-Mode Input Range	$V_{CM}^5 = (V_{INX+} + V_{INX-})/2$	$V_{EE} + 3.2$		$V_{CC} - 3.2$	V
CMRR	$V_{CM} = 36Vp-p$, 200Hz のサイン波、SHDR がオン	100	120		dB
Differential Input Overdrive Tolerance ⁶	$(V_{INX+} - V_{INX-})$	$-(V_{CC} - V_{EE})$		$(V_{CC} - V_{EE})$	V
Input Overdrive Current Tolerance ⁶	V_{INX+} , $V_{INX-} > V_{CC}$			10	mA
	V_{INX+} , $V_{INX-} < V_{EE}$	0			mA
Input Leakage Current	V_{INX+} , $V_{INX-} = V_{CC} \sim V_{EE}$	-40	± 0.075	+40	nA
Input Resistance	ピンごとの R_{INX+}^7 , R_{INX-}^8		1000		GΩ
Input Capacitance	ピンごとの C_{INX+}^9 , C_{INX-}^{10}		4		pF
DC ACCURACY					
No Missing Codes		20			Bits
INL Error	SHDR がオン				
	SoftSpan 15 と SoftSpan 14 : $\pm 40V$, $0V \sim 40V$ の各レンジ	-725	± 160	+725	μV
	SoftSpan 13 と SoftSpan 12 : $\pm 25V$, $0V \sim 25V$ の各レンジ	-400	± 100	+400	μV
	SoftSpan 11 と SoftSpan 10 : $\pm 20V$, $0V \sim 20V$ の各レンジ	-400	± 100	+400	μV
	SoftSpan 9 と SoftSpan 8 : $\pm 12.5V$, $0V \sim 12.5V$ の各レンジ	-275	± 50	+275	μV
	SoftSpan 7 と SoftSpan 6 : $\pm 10V$, $0V \sim 10V$ の各レンジ	-220	± 50	+220	μV
	SoftSpan 5 と SoftSpan 4 : $\pm 6.25V$, $0V \sim 6.25V$ の各レンジ	-120	± 25	+120	μV
	SoftSpan 3 と SoftSpan 2 : $\pm 5V$, $0V \sim 5V$ の各レンジ	-100	± 25	+100	μV

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Differential Nonlinearity (DNL) Error	SoftSpan 1 と SoftSpan 0 : $\pm 2.5V$ 、 $0V \sim 2.5V$ の各レンジ	-55 -0.9	± 15 ± 0.2	+55	μV LSB
Transition Noise ¹¹	SHDR がオン、ゼロスケール付近		73		μV RMS
	SHDR がオフ、ゼロスケール付近				
	SoftSpan 15 と SoftSpan 14 : $\pm 40V$ 、 $0V \sim 40V$ の各レンジ		461		μV RMS
	SoftSpan 13 と SoftSpan 12 : $\pm 25V$ 、 $0V \sim 25V$ の各レンジ		287		μV RMS
	SoftSpan 11 と SoftSpan 10 : $\pm 20V$ 、 $0V \sim 20V$ の各レンジ		241		μV RMS
	SoftSpan 9 と SoftSpan 8 : $\pm 12.5V$ 、 $0V \sim 12.5V$ の各レンジ		155		μV RMS
	SoftSpan 7 と SoftSpan 6 : $\pm 10V$ 、 $0V \sim 10V$ の各レンジ		133		μV RMS
	SoftSpan 5 と SoftSpan 4 : $\pm 6.25V$ 、 $0V \sim 6.25V$ の各レンジ		94		μV RMS
	SoftSpan 3 と SoftSpan 2 : $\pm 5V$ 、 $0V \sim 5V$ の各レンジ		81		μV RMS
	SoftSpan 1 と SoftSpan 0 : $\pm 2.5V$ 、 $0V \sim 2.5V$ の各レンジ		73		μV RMS
Zero-Scale Error		-700	± 100	+700	μV
Zero-Scale Error Drift			± 1.5		$\mu V/^{\circ}C$
Full-Scale Error ¹²	$V_{REFIO} = 4.096V$ 、REFIO がオーバードライブ状態 ¹³	-0.035	± 0.01	+0.035	%FS
Full-Scale Error Drift ¹²	$V_{REFIO} = 4.096V$ 、REFIO がオーバードライブ状態 ¹³		± 1.5		ppm/ $^{\circ}C$
AC ACCURACY ¹⁴					
Dynamic Range	SHDR がオン/オフ				
	SoftSpan 15 : $\pm 40V$ のレンジ		111.4/95.8		dB
	SoftSpan 14 : $0V \sim 40V$ のレンジ		105.4/89.8		dB
	SoftSpan 13 : $\pm 25V$ のレンジ		107.6/95.8		dB
	SoftSpan 12 : $0V \sim 25V$ のレンジ		101.6/89.8		dB
	SoftSpan 11 : $\pm 20V$ のレンジ		105.7/95.4		dB
	SoftSpan 10 : $0V \sim 20V$ のレンジ		99.7/89.4		dB
	SoftSpan 9 : $\pm 12.5V$ のレンジ		101.6/95.1		dB
	SoftSpan 8 : $0V \sim 12.5V$ のレンジ		95.6/89.1		dB
	SoftSpan 7 : $\pm 10V$ のレンジ		99.7/94.5		dB
	SoftSpan 6 : $0V \sim 10V$ のレンジ		93.7/88.5		dB
	SoftSpan 5 : $\pm 6.25V$ のレンジ		95.7/93.4		dB
	SoftSpan 4 : $0V \sim 6.25V$ のレンジ		89.7/87.4		dB
	SoftSpan 3 : $\pm 5V$ のレンジ		93.7/92.7		dB
	SoftSpan 2 : $0V \sim 5V$ のレンジ		87.7/86.7		dB
	SoftSpan 1 : $\pm 2.5V$ のレンジ		87.7/87.7		dB
	SoftSpan 0 : $0V \sim 2.5V$ のレンジ		81.7/81.7		dB
Oversampled Dynamic Range ¹⁵	OSR = 2		Dynamic Range + 3		dB
	OSR = 32		Dynamic Range + 15		dB
	OSR = 1024		Dynamic Range + 27		dB

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Signal-to-Noise-and-Distortion (SINAD) Ratio	SHDR がオン、入力周波数 (f_{IN}) = 1kHz、-1dBFS				
	SoftSpan 15 : $\pm 40V$ のレンジ	90.9	97.2		dB
	SoftSpan 14 : 0V~40V のレンジ	85.3	92		dB
	SoftSpan 13 : $\pm 25V$ のレンジ	92.6	97.4		dB
	SoftSpan 12 : 0V~25V のレンジ	86.4	92.0		dB
	SoftSpan 11 : $\pm 20V$ のレンジ	93.5	97.9		dB
	SoftSpan 10 : 0V~20V のレンジ	87.2	92.0		dB
	SoftSpan 9 : $\pm 12.5V$ のレンジ	94.3	97.2		dB
	SoftSpan 8 : 0V~12.5V のレンジ	88.2	91.5		B
	SoftSpan 7 : $\pm 10V$ のレンジ	94.1	96.6		dB
	SoftSpan 6 : 0V~10V のレンジ	88.1	90.9		dB
	SoftSpan 5 : $\pm 6.25V$ のレンジ	92.4	94.6		dB
	SoftSpan 4 : 0V~6.25V のレンジ	86.8	88.7		dB
	SoftSpan 3 : $\pm 5V$ のレンジ	91.1	93.1		dB
	SoftSpan 2 : 0V~5V のレンジ	85.4	87.3		dB
	SoftSpan 1 : $\pm 2.5V$ のレンジ	85.3	87.3		dB
	SoftSpan 0 : 0V~2.5V のレンジ	79.7	81.6		dB
	SHDR がオフ、 f_{IN} = 1kHz、-1dBFS				
	SoftSpan 15 : $\pm 40V$ のレンジ	93.1	95.3		dB
	SoftSpan 14 : 0V~40V のレンジ	87.1	89.4		dB
	SoftSpan 13 : $\pm 25V$ のレンジ	93.2	95.3		dB
	SoftSpan 12 : 0V~25V のレンジ	87.3	89.4		dB
	SoftSpan 11 : $\pm 20V$ のレンジ	92.9	95.0		dB
	SoftSpan 10 : 0V~20V のレンジ	86.9	89.0		dB
	SoftSpan 9 : $\pm 12.5V$ のレンジ	92.6	94.7		dB
	SoftSpan 8 : 0V~12.5V のレンジ	86.7	88.8		dB
	SoftSpan 7 : $\pm 10V$ のレンジ	92.2	94.2		dB
	SoftSpan 6 : 0V~10V のレンジ	86.2	88.2		dB
	SoftSpan 5 : $\pm 6.25V$ のレンジ	91.2	93.1		dB
	SoftSpan 4 : 0V~6.25V のレンジ	85.4	87.2		dB
	SoftSpan 3 : $\pm 5V$ のレンジ	90.3	92.3		dB
	SoftSpan 2 : 0V~5V のレンジ	84.6	86.5		dB
	SoftSpan 1 : $\pm 2.5V$ のレンジ	85.3	87.4		dB
	SoftSpan 0 : 0V~2.5V のレンジ	79.7	81.6		dB
Signal-to-Noise Ratio (SNR)	SHDR がオン、 f_{IN} = 1kHz、-1dBFS				
	SoftSpan 15 : $\pm 40V$ のレンジ	90.9	97.2		dB
	SoftSpan 14 : 0V~40V のレンジ	85.3	92.0		dB
	SoftSpan 13 : $\pm 25V$ のレンジ	92.6	97.4		dB
	SoftSpan 12 : 0V~25V のレンジ	86.4	92.0		dB
	SoftSpan 11 : $\pm 20V$ のレンジ	93.6	97.9		dB
	SoftSpan 10 : 0V~20V のレンジ	87.2	92.0		dB
	SoftSpan 9 : $\pm 12.5V$ のレンジ	94.3	97.2		dB
	SoftSpan 8 : 0V~12.5V のレンジ	88.2	91.5		dB
	SoftSpan 7 : $\pm 10V$ のレンジ	94.1	96.6		dB
	SoftSpan 6 : 0V~10V のレンジ	88.1	90.9		dB
	SoftSpan 5 : $\pm 6.25V$ のレンジ	92.5	94.6		dB
	SoftSpan 4 : 0V~6.25V のレンジ	86.8	88.7		dB
	SoftSpan 3 : $\pm 5V$ のレンジ	91.2	93.1		dB

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Total Harmonic Distortion (THD)	SoftSpan 2 : 0V~5V のレンジ	85.5	87.3		dB
	SoftSpan 1 : ±2.5V のレンジ	85.4	87.3		dB
	SoftSpan 0 : 0V~2.5V のレンジ	79.8	81.6		dB
	SHDR がオフ、 $f_{IN} = 1\text{kHz}$ 、 -1dBFS				
	SoftSpan 15 : ±40V のレンジ	93.2	95.3		dB
	SoftSpan 14 : 0V~40V のレンジ	87.1	89.4		dB
	SoftSpan 13 : ±25V のレンジ	93.2	95.3		dB
	SoftSpan 12 : 0V~25V のレンジ	87.3	89.4		dB
	SoftSpan 11 : ±20V のレンジ	92.9	95.0		dB
	SoftSpan 10 : 0V~20V のレンジ	86.9	89.0		dB
	SoftSpan 9 : ±12.5V のレンジ	92.7	94.7		dB
	SoftSpan 8 : 0V~12.5V のレンジ	86.8	88.8		dB
	SoftSpan 7 : ±10V のレンジ	92.2	94.2		dB
	SoftSpan 6 : 0V~10V のレンジ	86.2	88.2		dB
	SoftSpan 5 : ±6.25V のレンジ	91.2	93.1		dB
	SoftSpan 4 : 0V~6.25V のレンジ	85.4	87.2		dB
	SoftSpan 3 : ±5V のレンジ	90.4	92.3		dB
	SoftSpan 2 : 0V~5V のレンジ	84.7	86.5		dB
	SoftSpan 1 : ±2.5V のレンジ	85.4	87.4		dB
	SoftSpan 0 : 0V~2.5V のレンジ	79.8	81.6		dB
	$f_{IN} = 1\text{kHz}$ 、 -1dBFS				
	SoftSpan 15 : ±40V のレンジ		-117	-99	dB
	SoftSpan 14 : 0V~40V のレンジ		-109	-95	dB
	SoftSpan 13 : ±25V のレンジ		-117	-100	dB
	SoftSpan 12 : 0V~25V のレンジ		-111	-98	dB
	SoftSpan 11 : ±20V のレンジ		-114	-99	dB
	SoftSpan 10 : 0V~20V のレンジ		-112	-99	dB
	SoftSpan 9 : ±12.5V のレンジ		-114	-100	dB
	SoftSpan 8 : 0V~12.5V のレンジ		-113	-100	dB
	SoftSpan 7 : ±10V のレンジ		-115	-100	dB
	SoftSpan 6 : 0V~10V のレンジ		-113	-100	dB
	SoftSpan 5 : ±6.25V のレンジ		-115	-99	dB
	SoftSpan 4 : 0V~6.25V のレンジ		-113	-99	dB
	SoftSpan 3 : ±5V のレンジ		-114	-97	dB
	SoftSpan 2 : 0V~5V のレンジ		-113	-97	dB
	SoftSpan 1 : ±2.5V のレンジ		-109	-92	dB
	SoftSpan 0 : 0V~2.5V のレンジ		-110	-92	dB
Spurious-Free Dynamic Range (SFDR)	$f_{IN} = 1\text{kHz}$ 、 -1dBFS				
	SoftSpan 15 : ±40V のレンジ	101	119		dB
	SoftSpan 14 : 0V~40V のレンジ	99	113		dB
	SoftSpan 13 : ±25V のレンジ	101	119		dB
	SoftSpan 12 : 0V~25V のレンジ	103	115		dB
	SoftSpan 11 : ±20V のレンジ	103	119		dB
	SoftSpan 10 : 0V~20V のレンジ	103	116		dB
	SoftSpan 9 : ±12.5V のレンジ	104	119		dB
	SoftSpan 8 : 0V~12.5V のレンジ	104	116		dB
	SoftSpan 7 : ±10V のレンジ	105	119		dB
	SoftSpan 6 : 0V~10V のレンジ	105	116		dB
	SoftSpan 5 : ±6.25V のレンジ	103	118		dB
	SoftSpan 4 : 0V~6.25V のレンジ	103	117		dB

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Channel-to-Channel Crosstalk -3 dB Small-Signal Input Bandwidth Aperture Delay Aperture Delay Matching Aperture Jitter Full-Scale Input Step Settling Time	SoftSpan 3 : $\pm 5V$ のレンジ	101	117		dB
	SoftSpan 2 : $0V \sim 5V$ のレンジ	101	117		dB
	SoftSpan 1 : $\pm 2.5V$ のレンジ	96	111		dB
	SoftSpan 0 : $0V \sim 2.5V$ のレンジ	96	113		dB
	全チャンネルが変換中 ¹⁶		-120		dB
			11		MHz
			1		ns
			300		ps
			1		ps
	フルスケール・ステップ、50ppm セトリング		300		RMS ns
INTERNAL REFERENCE ENABLED					
Internal Reference Output Voltage (V_{REFIO})	$T_A = 25^\circ C$	4.093	4.096	4.099	V
Internal Reference Temperature coefficient ¹⁷		-10	± 2	+10	ppm/ $^\circ C$
Internal Reference Line Regulation	$V_{DD} = 4.75V \sim 5.25V$		50		$\mu V/V$
REFIO Output Resistance			58		Ω
REFIO Output Capacitance			10		nF
INTERNAL REFERENCE DISABLED	REFIO がオーバードライブ状態 ¹³				
REFIO Input Voltage (V_{REFIO})		4.071	4.096	4.121	V
REFIO Input Resistance			38		k Ω
REFIO Input Capacitance			10		nF
REFERENCE BUFFER ENABLED					
Reference Buffer Offset Voltage (V_{OS})	$V_{OS} = (V_{REFBUF} - V_{REFIO})$, $T_A = 25^\circ C$	-100	± 20	+100	μV
Reference Buffer Offset Voltage Drift			± 0.5		$\mu V/^\circ C$
REFERENCE BUFFER DISABLED	REFBUF がオーバードライブ状態 ¹⁸				
REFBUF Input Voltage (V_{REFBUF})		4.071	4.096	4.121	V
REFBUF Input Current (I_{REFBUF}) ¹⁹	$V_{REFBUF} = 4.096V$, $f_S = 250kSPS$		2.3	3.1	mA
	$V_{REFBUF} = 4.096V$ 、変換中ではない		2.2		mA
SCALED REFERENCE OUTPUT					
REF2500 Output Voltage ($V_{REF2500}$)	$T_A = 25^\circ C$	2.497	2.5	2.503	V
REF2500 Temperature Coefficient ¹⁷		-10	± 2	+10	ppm/ $^\circ C$
REF2500 Output Resistance			26		k Ω
CMOS DIGITAL INPUTS					
Input Voltage High (V_{IH})		0.8			V
CNV		4			V
HIVIO/ $\overline{LOVIO}$					V

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
All Other Pins		$0.85 \times V_{IO}$			V
Input Voltage Low (V_{IL})					
CNV				0.4	V
$\overline{HIVIO}/\overline{LOVIO}$				1	V
All Other Pins				$0.15 \times V_{IO}$	V
Digital Input Current (I_{IN})					
CNV		-100		+100	μA
$\overline{HIVIO}/\overline{LOVIO}$		-10		+10	μA
All Other Pins		-10		+10	μA
Digital Input Capacitance (C_{IN})			2		pF
CMOS DIGITAL OUTPUTS					
Output Voltage High (V_{OH})	ソース電流 (I_{SOURCE}) = 500 μA	$V_{IO} - 0.2$			V
Output Voltage Low (V_{OL})	シンク電流 (I_{SINK}) = 500 μA			0.2	V
High-Z Output Leakage Current (I_{OZ})		-10		+10	μA
LVDS DIGITAL INPUTS					
Differential Input Voltage (V_{ID})		± 200	± 350	± 600	mV
Differential Termination Resistance (R_{ID})	$\overline{CS} = 0V$, $V_{ICM} = 1.2V$, 終端が有効 ²⁰	95	107	120	Ω
	$\overline{CS} = V_{IO}$ または終端が無効 ²⁰		10		M Ω
Common-Mode Input Voltage (V_{ICM})	$1.71V \leq V_{IO} < 2.5V$	0.3	1.2	$V_{IO} - 0.3$	V
	$2.5V \leq V_{IO} \leq 5.25V$	0.3	1.2	2.2	V
Common-Mode Input Current (I_{ICM})		-10		+10	μA
LVDS DIGITAL OUTPUTS					
Differential Output Voltage (V_{OD})	100 Ω の差動終端、フルバイアス・モード ²⁰	± 260	± 330	± 400	mV
	100 Ω の差動終端、ハーフバイアス・モード ²⁰	± 135	± 185	± 235	mV
Common-Mode Output Voltage (V_{OCM})	100 Ω の差動終端	1.1	1.25	1.4	V
High-Z Output Leakage Current (I_{OZ})		-10		+10	μA
POWER SUPPLY VOLTAGES					
V_{CC}		7.25		48	V
V_{EE}		-40.75		0	V
$V_{CC} - V_{EE}$		10		48	V
V_{DD}		4.75	5.0	5.25	V
V_{DDH}	1.8V の LDO レギュレータを無効化		0		V
	1.8V の LDO レギュレータを有効化	2.2		5.25	V
V_{DDL}	外部給電、1.8V の LDO レギュレータが無効	1.71	1.8	1.89	V
	1.8V の LDO レギュレータで給電、外部接続なし		1.8		V
V_{IO}					
CMOS Conversion Data Output	$\overline{HIVIO}/\overline{LOVIO} = V_{DD}$	1.71		5.25	V
	$\overline{HIVIO}/\overline{LOVIO} = GND$	0.9		1.89	V
LVDS Conversion Data Output	$\overline{HIVIO}/\overline{LOVIO} = V_{DD}$	1.71		5.25	V
	$\overline{HIVIO}/\overline{LOVIO} = GND$	1.71		1.89	V

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
POWER SUPPLY CURRENTS					
CMOS Conversion Data Output	CMOS 出力に 25pF の負荷				
Operating Mode ²¹	$f_s = 250\text{kSPS}$ 、全チャンネルが変換中				
V_{CC} Current ($I_{V_{CC}}$)	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		5.9	7.8	mA
	$V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$		5.5		mA
	$V_{CC} = +8.2\text{V}$ 、 $V_{EE} = -3.2\text{V}$		5.3		mA
V_{EE} Current ($I_{V_{EE}}$)	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$	-5.9	-4.5		mA
	$V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$		-4.2		mA
	$V_{CC} = +8.2\text{V}$ 、 $V_{EE} = -3.2\text{V}$		-4.0		mA
V_{DD} Current ($I_{V_{DD}}$)	リファレンスとリファレンス・バッファが有効		10.9	17.1	mA
	$V_{REFIO} = 4.096\text{V}$ 、REFIO がオーバードライブ状態 ¹³		9.2		mA
	$V_{REFBUF} = 4.096\text{V}$ 、REFBUF がオーバードライブ状態 ¹⁸		1.3		mA
V_{DDH} Current ($I_{V_{DDH}}$)	$V_{DDH} = 2.5\text{V}$ 、1.8V の LDO レギュレータが有効		7.4	10.3	mA
V_{DDL} Current ($I_{V_{DDL}}$)	$V_{DDH} = \text{GND}$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8\text{V}$		7.3	10.2	mA
V_{IO} Current ($I_{V_{IO}}$)	$V_{IO} = 2.5\text{V}$		0.9	1.2	mA
Acquisition Mode					
$I_{V_{CC}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		5.2		mA
$I_{V_{EE}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		-3.8		mA
$I_{V_{DD}}$	リファレンスとリファレンス・バッファが有効		10.5		mA
	$V_{REFIO} = 4.096\text{V}$ 、REFIO がオーバードライブ状態 ¹³		8.5		mA
	$V_{REFBUF} = 4.096\text{V}$ 、REFBUF がオーバードライブ状態 ¹⁸		0.9		mA
$I_{V_{DDH}}$	$V_{DDH} = 2.5\text{V}$ 、1.8V の LDO レギュレータが有効		72		μA
$I_{V_{DDL}}$	$V_{DDH} = \text{GND}$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8\text{V}$		16		μA
$I_{V_{IO}}$	$V_{IO} = 2.5\text{V}$		1		μA
Nap Mode					
$I_{V_{CC}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		2.7		mA
$I_{V_{EE}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		-1.7		mA
$I_{V_{DD}}$	リファレンスとリファレンス・バッファが有効		10.1		mA
	$V_{REFIO} = 4.096\text{V}$ 、REFIO がオーバードライブ状態 ¹³		8.1		mA
	$V_{REFBUF} = 4.096\text{V}$ 、REFBUF がオーバードライブ状態 ¹⁸		0.6		mA
$I_{V_{DDH}}$	$V_{DDH} = 2.5\text{V}$ 、1.8V の LDO レギュレータが有効		72		μA
$I_{V_{DDL}}$	$V_{DDH} = \text{GND}$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8\text{V}$		16		μA
$I_{V_{IO}}$	$V_{IO} = 2.5\text{V}$		1		μA
Power-Down Mode					
$I_{V_{CC}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		18		μA
$I_{V_{EE}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		-4		μA
$I_{V_{DD}}$			130		μA
$I_{V_{DDH}}$	$V_{DDH} = 2.5\text{V}$ 、1.8V の LDO レギュレータが有効		30		μA
$I_{V_{DDL}}$	$V_{DDH} = \text{GND}$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8\text{V}$		16		μA
$I_{V_{IO}}$	$V_{IO} = 2.5\text{V}$		1		μA
LVDS Conversion Data Output					
Operating Mode	$f_s = 250\text{kSPS}$ 、全チャンネルが変換中				
$I_{V_{CC}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$		5.9	7.8	mA
	$V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$		5.5		mA
	$V_{CC} = +8.2\text{V}$ 、 $V_{EE} = -3.2\text{V}$		5.3		mA
$I_{V_{EE}}$	$V_{CC} = +24\text{V}$ 、 $V_{EE} = -24\text{V}$	-5.9	-4.5		mA
	$V_{CC} = +15\text{V}$ 、 $V_{EE} = -15\text{V}$		-4.2		mA
	$V_{CC} = +8.2\text{V}$ 、 $V_{EE} = -3.2\text{V}$		-4.0		mA
$I_{V_{DD}}$	リファレンスとリファレンス・バッファが有効		12.3	18.6	mA

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
$I_{V_{DDH}}$	$V_{REFIO} = 4.096V$ 、REFIO がオーバードライブ状態 ¹³		10.5		mA
	$V_{REFBUF} = 4.096V$ 、REFBUF がオーバードライブ状態 ¹⁸		2.6		mA
	$V_{DDH} = 2.5V$ 、1.8V の LDO レギュレータが有効		15.9	21	mA
	$V_{DDH} = GND$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8V$		15.8	20.9	mA
$I_{V_{IO}}$	$V_{IO} = 2.5V$		22	165	μA
Acquisition Mode					
$I_{V_{CC}}$	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		5.2		mA
$I_{V_{EE}}$	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		-3.8		mA
$I_{V_{DD}}$	リファレンスとリファレンス・バッファが有効		11.2		mA
$I_{V_{DDH}}$	$V_{REFIO} = 4.096V$ 、REFIO がオーバードライブ状態 ¹³		9.2		mA
	$V_{REFBUF} = 4.096V$ 、REFBUF がオーバードライブ状態 ¹⁸		1.6		mA
	$V_{DDH} = 2.5V$ 、1.8V の LDO レギュレータが有効		8.4		mA
	$V_{DDH} = GND$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8V$		8.3		mA
$I_{V_{IO}}$	$V_{IO} = 2.5V$		1		μA
Nap Mode					
$I_{V_{CC}}$	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		2.7		mA
$I_{V_{EE}}$	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		-1.7		mA
$I_{V_{DD}}$	リファレンスとリファレンス・バッファが有効		10.9		mA
$I_{V_{DDH}}$	$V_{REFIO} = 4.096V$ 、REFIO がオーバードライブ状態 ¹³		8.9		mA
	$V_{REFBUF} = 4.096V$ 、REFBUF がオーバードライブ状態 ¹⁸		1.4		mA
	$V_{DDH} = 2.5V$ 、1.8V の LDO レギュレータが有効		8.4		mA
	$V_{DDH} = GND$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8V$		8.3		mA
$I_{V_{IO}}$	$V_{IO} = 2.5V$		1		μA
Power-Down Mode					
$I_{V_{CC}}$	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		18		μA
$I_{V_{EE}}$	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		-4		μA
$I_{V_{DD}}$			130		μA
$I_{V_{DDH}}$	$V_{DDH} = 2.5V$ 、1.8V の LDO レギュレータが有効		30		μA
$I_{V_{DDL}}$	$V_{DDH} = GND$ 、1.8V の LDO レギュレータが無効、 $V_{DDL} = 1.8V$		16		μA
$I_{V_{IO}}$	$V_{IO} = 2.5V$		1		μA
POWER DISSIPATION	リファレンスとリファレンス・バッファが有効、 $V_{DDH} = 2.5V$ 、1.8V の LDO レギュレータが有効、 $V_{IO} = 2.5V$				
CMOS Conversion Data Output	CMOS 出力に 25pF の負荷				
Operation Mode	$f_s = 250kSPS$ 、全チャンネルが変換中				
	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		325	443	mW
	$V_{CC} = +15V$ 、 $V_{EE} = -15V$		221		mW
	$V_{CC} = +8.2V$ 、 $V_{EE} = -3.2V$		132		mW
Acquisition Mode	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		269		mW
Nap Mode	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		156		mW
Power-Down Mode	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		1.3		mW
LVDS Conversion Data Output	LVDS 出力に 100 Ω の差動負荷				
Operation Mode	$f_s = 250kSPS$ 、全チャンネルが変換中				
	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		351	475	mW
	$V_{CC} = +15V$ 、 $V_{EE} = -15V$		247		mW
	$V_{CC} = +8.2V$ 、 $V_{EE} = -3.2V$		158		mW
Acquisition Mode	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		293		mW
Nap Mode	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		181		mW
Power-Down Mode	$V_{CC} = +24V$ 、 $V_{EE} = -24V$		1.3		mW

仕様

表 1. 仕様 (続き)

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
OPERATING TEMPERATURE RANGE ²²					
T _{MIN}		-40			°C
T _{MAX}				+125	°C

- 1 正のアナログ入力ピン電圧。
- 2 負のアナログ入力ピン電圧。
- 3 REFBUF ピン電圧を(1/1.024)でスケールした値、公称値は 4V。
- 4 REFBUF ピンの電圧、公称値は 4.096V。
- 5 正のアナログ入力ピンと負のアナログ入力ピンの同相電圧。
- 6 いずれかのチャンネルでこの制限値を超えると、他のチャンネルの変換結果が破損する可能性があります。10mA 以下のチャンネルで V_{CC} より高い電圧にアナログ入力を駆動しても、他のチャンネルの変換結果には影響しません。V_{EE} 未満の電圧にアナログ入力を駆動すると、他のチャンネルの変換結果を破損する可能性があります。詳細については、[アナログ入力のオーバードライブ耐性](#)のセクションを参照してください。デバイス信頼性に関するピンの電圧および電流の制限値については、[絶対最大定格](#)のセクションを参照してください。
- 7 正のアナログ入力ピンの抵抗。
- 8 負のアナログ入力ピンの抵抗。
- 9 正のアナログ入力ピンの容量。
- 10 負のアナログ入力ピンの容量。
- 11 [図 18](#) に、SHDR をオンにした場合とオフにした場合の、入力換算遷移ノイズと差動入力レベルの関係を表すグラフを示します。
- 12 これらの仕様値は、内部バンドギャップ・リファレンスをパワー・ダウンした状態で外部電源 VREFIO = 4.096V を用いて測定したものです。仕様値には、内部バンドギャップに関連する公称値や温度ドリフト項は含まれていません。
- 13 REFIO がオーバードライブ状態の場合、[デバイス制御レジスタ](#)を用いて内部バンドギャップ・リファレンスを無効化する必要があります。
- 14 dB 単位で表記されているすべての仕様値は、クロストークと THD を除き、関連する SoftSpan 入力レンジのフルスケール入力を基準とします。クロストークは、クロストーク注入信号の振幅を基準とし、THD は基本入力信号の振幅を基準とします。
- 15 [図 34](#) に、ダイナミック・レンジとオーバーサンプリング比 (OSR) の関係を表すグラフを示します。
- 16 注入チャンネルの周波数 (f_{IN}) が 100kHz でのサイン波と、レシーバー・チャンネルの周波数 (f_{RCV}) が 1kHz での第 2 サイン波。
- 17 温度係数は、出力電圧の最大変化分を仕様規定された温度範囲 (T_{MAX} – T_{MIN}) で除算することによって計算されます。
- 18 REFBUF がオーバードライブ状態の場合、[デバイス制御レジスタ](#)を用いて内部バンドギャップ・リファレンスと内部リファレンス・バッファを無効にする必要があります。
- 19 I_{REFBUF} は、サンプル・レートおよびアクティブ・チャンネル数に比例して変化します。
- 20 [デバイス制御レジスタ](#)を用いて LVDS 終端抵抗とハーフバイアス・モードを有効化または無効化します。
- 21 CMOS 動作モードの電流とサンプル・レートの関係を表すグラフを[図 33](#) に示します。
- 22 デバイスの信頼性に関するジャンクション温度の制限値については、[絶対最大定格](#)のセクションと[ジャンクション温度](#)のセクションを参照してください。

仕様

タイミング仕様

$V_{EE} = -40.75V \sim 0V$ 、 $V_{CC} = 7.25V \sim 48V$ 、 $(V_{CC} - V_{EE}) = 10V \sim 48V$ 、 $V_{DD} = 5V$ 、 $V_{DDH} = 2.5V$ 、 $1.8V$ の LDO レギュレータが有効、 $V_{IO} = 0.9V \sim 5.25V$ 。特に指定のない限り、全チャンネルがサンプリング周波数 (f_s) = 250kSPS で変換、内部リファレンスと内部リファレンス・バッファが有効、全 SoftSpan レンジ、SoftSpan 15 および SoftSpan 13 では完全差動入力信号駆動、その他のバイポーラまたはユニポーラの SoftSpan レンジでは真のバイポーラまたはユニポーラ信号駆動、すべての仕様は $T_{MIN} \sim T_{MAX}$ 。代表値は $T_A = 25^\circ C$ での値。インターフェイス・タイミングのテストは、CMOS 出力に 25pF の負荷容量、LVDS 出力差動ペア間に 100Ω の差動終端抵抗を配置し、LVDS 入力差動ペアの内部終端抵抗を有効化、LVDS フルバイアス・モードを有効化、LVDS 入力差動ペアの $V_{ICM} = 1.2V$ および $V_{ID} = \pm 350mV$ として実施。

表 2. 共通タイミング

Parameter	Symbol	Min	Typ	Max	Unit
Sampling Frequency	f_s	0		250	kSPS
Time Between Conversions	t_{CYC}	4000			ns
Conversion Time	t_{CONV}	605	665	725	ns
Acquisition Phase ¹	t_{ACQ}	3465			ns
CNV High Time	t_{CNVH}	40			ns
CNV Low Time	t_{CNVL}	750			ns
CNV Rising Edge to BUSY Rising Edge Delay	$t_{DCNVBUSY}$			15	ns
Data Valid to BUSY Falling Edge Delay	$t_{DSDOBUSY}$	2			ns
Last SCKI Edge to CNV Rising Edge	$t_{SCKICNV}$	20			ns
PD High Time	t_{PDH}	40			ns
PD Low Time	t_{PDL}	40			ns
Device Wake Time to Ready to Convert	t_{WAKE}			1	ms
Device Power-On-Reset Time	t_{POR}			1	ms

1 アクイジション・フェーズとは、DAS が 250kSPS のスループット・レートで動作している場合に、ADC が新しい入力値を取得するために使用できる時間です。

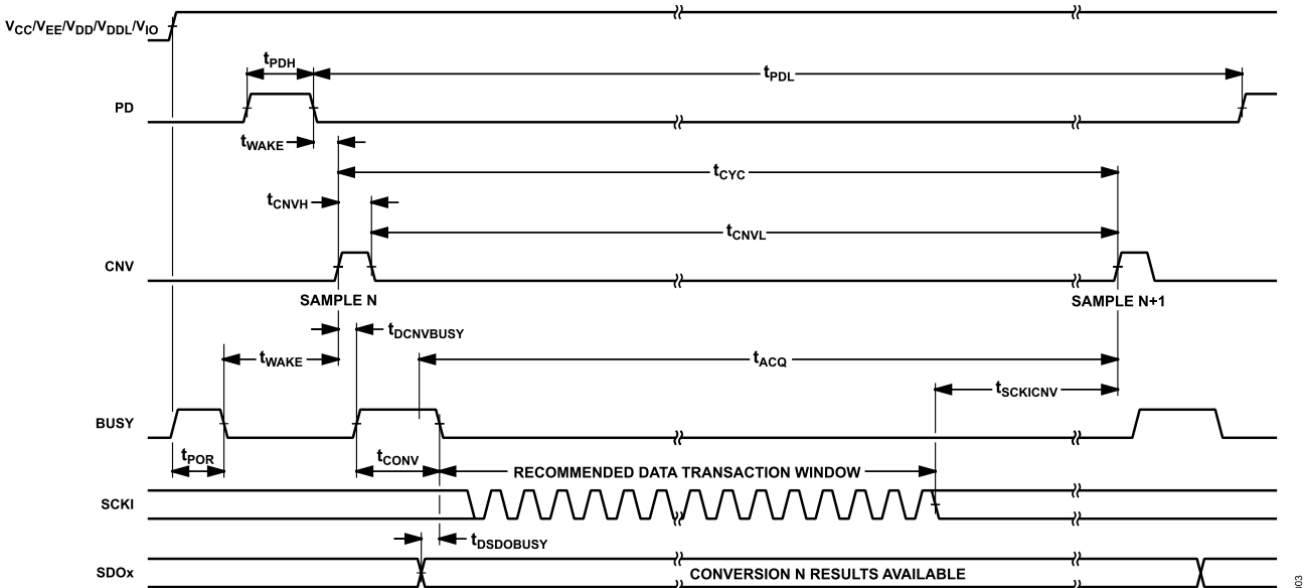


図 2. 共通タイミング

仕様

表 3. SPI レジスタ設定バスの読出し／書き込みタイミング

Parameter	Symbol	Min	Typ	Max	Unit
$\overline{\text{CS}}$ Low Time	t_{CSL}	15			ns
$\overline{\text{CS}}$ High Time	t_{CSH}	15			ns
$\overline{\text{CS}}$ Falling Edge to First CSCK Rising Edge	t_{CSCSCK}	15			ns
CSCK Period	t_{CSCK}	40			ns
CSCK Low Time	t_{CSCKL}	16			ns
CSCK High Time	t_{CSCKH}	16			ns
Last CSCK Edge to $\overline{\text{CS}}$ Rising Edge	t_{CSCKCS}	15			ns
CSDIO Valid Setup Time to CSCK Rising Edge	t_{SCSDIOI}	4			ns
CSDIO Valid Hold Time from CSCK Rising Edge	t_{HCSDIOI}	1			ns
CSCK 16th Rising Edge to CSDIO 3-Wire Output State Delay	t_{DIO}	2		10	ns
CSCK Falling Edge to CSDIO Data Valid Delay	t_{DCSDIOO}			11	ns
CSCK Falling Edge to CSDIO Data Remains Valid	t_{HCSDIOO}	1			ns
CSCK Falling Edge to CSDO Data Valid Delay	t_{DCSDO}			11	ns
CSCK Falling Edge to CSDO Data Remains Valid	t_{HCSDO}	1			ns
$\overline{\text{CS}}$ Falling Edge to 4-Wire Bus Low Impedance Delay	t_{DCSEN}			15	ns
$\overline{\text{CS}}$ Rising Edge to Bus High Impedance Delay	t_{DCSDIS}			15	ns

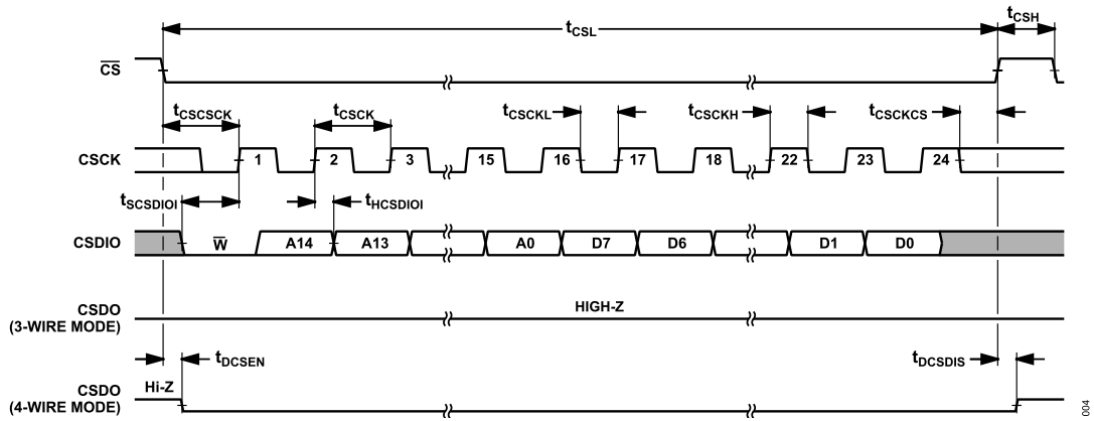


図 3. SPI レジスタ設定バスの書き込みタイミング

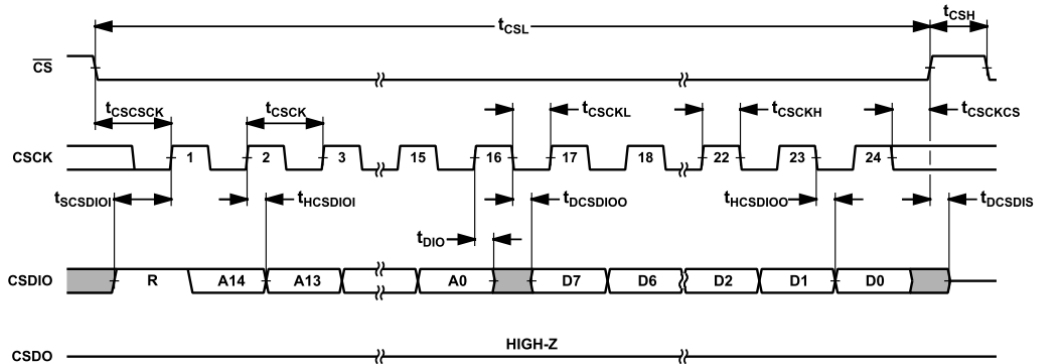


図 4. SPI レジスタ設定バスの 3 線式読出しタイミング

仕様

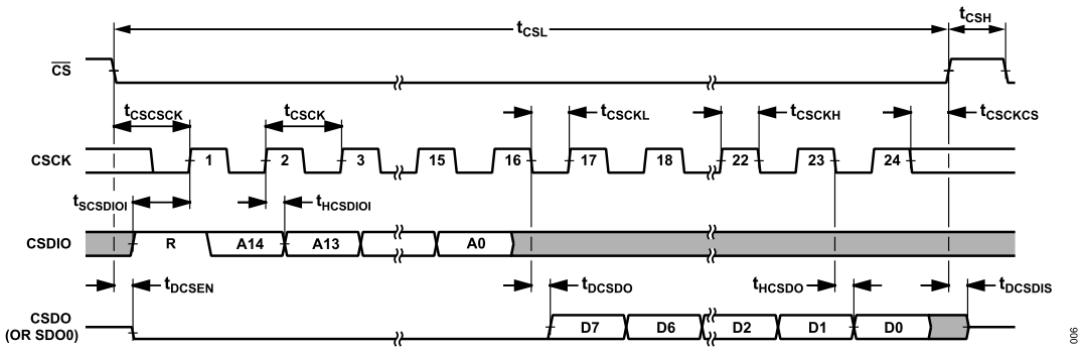


図 5. SPI レジスタ設定バスの 4 線式読出しタイミング

仕様

表 4. CMOS 変換データ出力タイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCKI Period	t_{SCKI}	10			ns
SCKI High Time	t_{SCKIH}	4			ns
SCKI Low Time	t_{SCKIL}	4			ns
SCKI Rising Edge to SDOx Data Valid Delay	t_{DSDO}			7.5	ns
SCKI Rising Edge to SDOx Remains Valid	t_{HSDO}	1.5			ns
Skew Between SDOx Data and SCKO	t_{SKEW}	-1	0	+1	ns
$\overline{CS}$ High Time	t_{CSH}	15			ns
$\overline{CS}$ Low Time	t_{CSL}	15			ns
$\overline{CS}$ Falling Edge to Bus Low Impedance Delay	t_{DCSEN}			15	ns
$\overline{CS}$ Rising Edge to Bus High Impedance Delay	t_{DCSDIS}			15	ns
$\overline{CS}$ Falling Edge to First SCKI Rising Edge	t_{CSSCKI}	15			ns
Last SCKI Edge to $\overline{CS}$ Rising Edge	t_{SCKICS}	15			ns
Last SCKI Edge to CNV Rising Edge	$t_{SCKICNV}$	20			ns

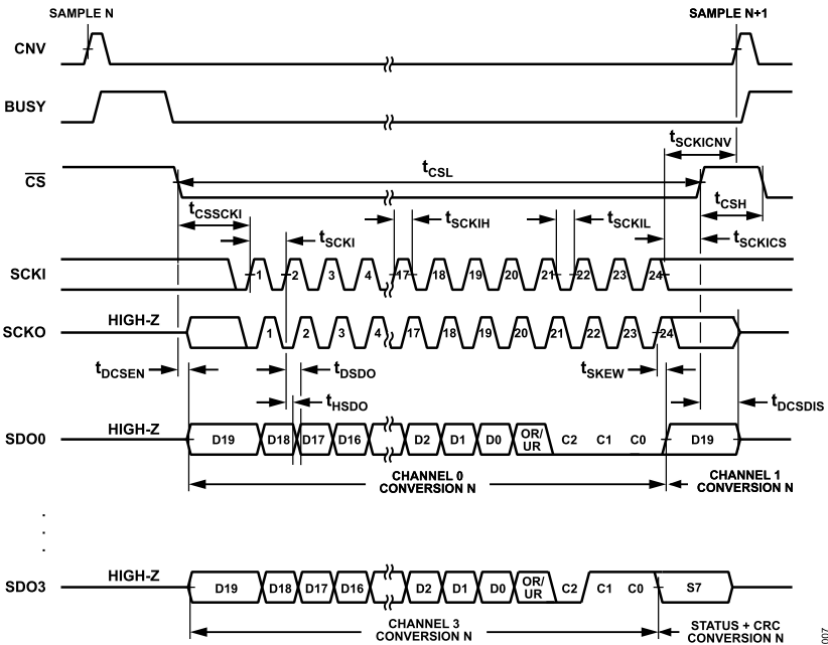


図 6. CMOS 変換データ・バスのタイミング

仕様

表 5. LVDS 変換データ出力タイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCKI Period	t_{SCKI}	2.5			ns
SCKI High Time	t_{SCKIH}	0.75			ns
SCKI Low Time	t_{SCKIL}	0.75			ns
SCKI Edge to SDO Data Valid Delay	t_{DSDO}			7.5	ns
SCKI Edge to SDO Data Remains Valid	t_{HSDO}	1.5			ns
SDO to SCKO Skew	t_{SKEW}	-0.25	0	+0.25	ns
$\overline{CS}$ High Time	t_{CSH}	15			ns
$\overline{CS}$ Low Time	t_{CSL}	75			ns
$\overline{CS}$ Falling Edge to Bus Low Impedance Delay	t_{DCSEN}			75	ns
$\overline{CS}$ Rising Edge to Bus High Impedance Delay	t_{DCSDIS}			15	ns
$\overline{CS}$ Falling Edge to First SCKI Rising Edge	t_{CSSCKI}	75			ns
Last SCKI Falling Edge to $\overline{CS}$ Rising Edge	t_{SCKICS}	15			ns
Last SCKI Edge to CNV Rising Edge	$t_{SCKICNV}$	20			ns

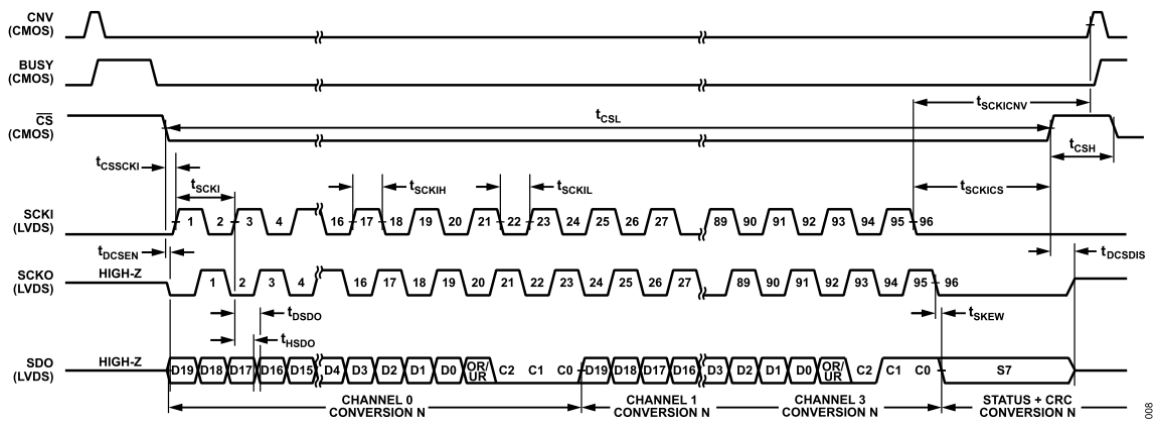


図 7. LVDS 変換データ・バスのタイミング

絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
Analog Input and Output Voltages	
IN0+ to IN3+ and IN0- to IN3-	(V _{EE} - 0.3V) to (V _{CC} + 0.3V)
REFIO, REFBUF, and REF2500 to GND	-0.3V to (V _{DD} + 0.3V)
Supply Voltages	
V _{CC} to GND	-0.3V to (V _{EE} + 50.4V)
V _{EE} to GND	(V _{CC} - 50.4V) to +0.3V
V _{CC} to V _{EE}	50.4 V
V _{DD} and V _{DDH} to GND	-0.3V to +6V
V _{DDL} to GND	-0.3V to +2.1V
V _{IO} to GND ¹	
HIVIO/ $\overline{\text{LOVIO}}$ = GND	-0.3V to +2.1V
HIVIO/ $\overline{\text{LOVIO}}$ = V _{DD}	-0.3V to +6V
IOGND to GND	-0.3V to +0.3V
Digital Input Voltages	
CNV and HIVIO/ $\overline{\text{LOVIO}}$ to GND	-0.3V to (V _{DD} + 0.3V)
All Other Inputs to GND	-0.3V to (V _{IO} + 0.3V)
Digital Output Voltages	
	-0.3V to (V _{IO} + 0.3V)
Transient Latchup Currents ²	
IN0+ to IN3+ and IN0- to IN3-	
V _{CC} - V _{EE} ≤ 44V	±100mA
V _{CC} - V _{EE} > 44V	±10mA
All other inputs and outputs	±100mA
Temperature	
Storage Range	-65°C to +150°C
Operating Junction Range ³	-40°C to +105°C
Maximum Reflow (Package)	260°C

1 V_{IO}の絶対最大定格は、HIVIO/ $\overline{\text{LOVIO}}$ ピンの選択状態によって異なります。

2 フォルト状態時にラッチアップ電流をこれらのレベルに制限するために V_{CC} - V_{EE} > 44V とするアプリケーションでは、INx+ピンと INx-ピンの各々に直列に外部抵抗を追加することを推奨します。詳細については、[アナログ入力](#)のオーバードライブ耐性のセクションを参照してください。

3 デバイス寿命を低下させない連続動作時の最大ジャンクション温度は 105°C です。詳細については[ジャンクション温度](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ジャンクション温度

デバイス寿命を低下させない連続動作時の最大ジャンクション温度は 105°C です。-40°C ~ +125°C で確保されているデバイス仕様については、最大 125°C のジャンクション温度での動作もサポー

トされています。105°C を超える温度で動作させた場合、動作寿命の低下を防ぐためには、次式で定められる補償時間 (t_{COMP}) の間、デバイスを 105°C 未満の温度で動作させる必要があります。

$$t_{COMP} = (AF_{T > 105} - 1) / (1 - AF_{T < 105}) \quad (1)$$

ここで、AF_{T > 105} および AF_{T < 105} は加速係数で、これはジャンクション動作温度の関数です。

例えば、デバイスを 115°C で 1 時間動作させた場合でも、補償時間である 3.2 時間の間 95°C で動作させれば、想定されるデバイス寿命は維持されます。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流下でのジャンクションと周囲環境の間の熱抵抗です。θ_{JCT} はジャンクションとケース上部の間の熱抵抗、θ_{JCB} はジャンクションとケース底部の間の熱抵抗です。

表 7. 熱抵抗

Package Type	θ _{JA}	θ _{JCT}	θ _{JCB}	Unit
05-08-7086	26.4	13.0	4.9	°C/W

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

AD4852 の ESD 定格

表 8. AD4852、64 ボール BGA

ESD Model	Withstand Threshold (V)	Class
HBM	±4000	3A
FICDM	±750	C4

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

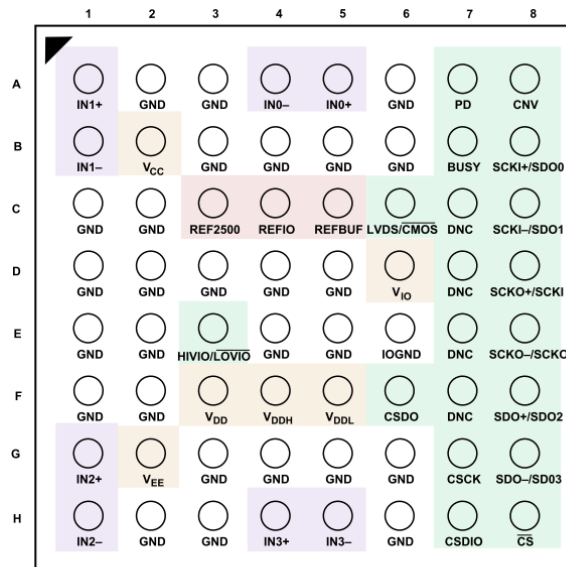
AD4852
TOP VIEW
(Not to Scale)

図 8. ピン配置

表 9. 共通ピンの機能の説明

ピン番号	記号	タイプ ¹	説明
A5 and A4, A1 and B1, G1 and H1, H4 and H5	IN0+ and IN0- to IN3+ and IN3-	AI	チャンネル 0 からチャンネル 3 の正および負のアナログ入力。コンバータはすべてのチャンネルに対して同時に $(V_{INx+} - V_{INx-})$ のサンプリングとデジタル化を行います。入力同相電圧範囲が広く、同相モード除去比が高いため、入力は任意の信号振幅を受け入れることができます。フルスケール差動入力範囲は、各チャンネルの SoftSpan 設定で決まります。
A2, A3, A6, B3 to B6, C1, C2, D1 to D5, E1, E2, E4, E5, F1, F2, G3 to G6, H2, H3, and H6	GND	P	電源グラウンド。GND ピンはすべて強固なグラウンド・プレーンに半田付けします。
A7	PD	DI	パワー・ダウン入力。PD ピンをハイにすると、デバイスがパワー・ダウンします。BUSY ピンがハイの間に PD ピンがハイになった場合、パワー・ダウンは BUSY ピンがローになってから開始されます。変換を介せずに PD ピンを 2 回ハイにすると、POR イベントと同等のグローバル・デバイス・リセットが開始されます。ロジック・レベルは V_{IO} 電源によって決まります。
A8	CNV	DI	変換入力。CNV ピンの立上がりエッジによって新たな変換が始まります。指定されたデバイス性能レベルを実現するには、この信号が低ジッタであることが必要です。CNV のハイおよびローの閾値電圧は、それぞれ 0.8V および 0.4V です。
B2	V _{CC}	P	アナログ入力バッファの正側電源。V _{CC} ピンは、GND ピン基準で 7.25V~48V、V _{EE} ピン基準で 10V~48V の外部電源に接続します。V _{CC} ピンは、0.1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
B7	BUSY	DO	ビジー出力。BUSY ピンは、各変換（またはオーバーサンプリング・ウィンドウ）の開始時にハイになり、変換（またはオーバーサンプリング・ウィンドウ）が完了するとローに戻ります。また、BUSY ピンは、パワーオン・リセットの開始時にもハイになり、パワーオン・リセットが完了するとローに戻ります。ロジック・レベルは V_{IO} 電源によって決まります。
C3	REF2500	AO	2.5V にスケールされたリファレンス出力。REF2500 ピンは、REFIO ピンの電圧を高精度にスケールした電圧を出力します。その公称値は $V_{REFIO} \times (2.500/4.096)$ です。REF2500 ピンを外部接続する場合の推奨使用事例と注意事項については、 DAS リファレンス のセクションを参照してください。
C4	REFIO	AI or AO	バンドギャップ・リファレンス出力およびリファレンス・バッファ入力。内部バンドギャップ・リファレンスの REFIO ピンでの公称出力値は 4.096V です。REFIO ピンは、バンドギャップ出力ノイズをフィルタ除去するために、10nF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。REFIO ピンが外部 4.096V リファレンスでオーバードライブされる場合は、 デバイス制御レジスタ を用いて内部リファレンスを無効化します。REFIO ピンを外部接続する場合の推奨使用事例と注意事項については、 DAS リファレンス のセクションを参照してください。

ピン配置およびピン機能の説明

表 9. 共通ピンの機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
C5	REFBUF	AI or AO	リファレンス・バッファ出力。内蔵のユニティゲイン・リファレンス・バッファは、コンバータのメイン・リファレンス電圧 $V_{REFBUF} = V_{REFIO}$ を REFBUF ピンに生成します。内部バンドギャップ・リファレンスを用いた場合、この電圧の公称値は 4.096V です。REFBUF ピンが外部 4.096V リファレンスでオーバードライブされる場合は、 デバイス制御レジスタ を用いて内部リファレンス・バッファと内部バンドギャップ・リファレンスを無効化すると共に、外付けの 47μF セラミック・コンデンサを REFBUF ピンの近くに接続して REFBUF ピンを GND（ピン B4）にバイパスします。REFBUF ピンを外部接続する場合の推奨使用事例と注意事項については、 DAS リファレンス のセクションを参照してください。
C6	LVDS/CMOS	DI	変換データ・バス・モードの選択。LVDS/CMOS ピンを V_{IO} ピンに接続すると LVDS 変換データ出力モードが選択され、GND ピンに接続すると CMOS 変換データ出力モードが選択されます。LVDS/CMOS ピンの状態は、SPI レジスタ設定バスの動作には影響しません。ロジック・レベルは V_{IO} 電源によって決まります。
D6 ²	V_{IO}	P	デジタル入出力電源。 V_{IO} ピンは、GND ピンを基準として 0.9V~5.25V の外部電源に接続します。HIVIO/LOVIO ピンは、アプリケーションの V_{IO} レベルに応じて正しく接続する必要があります。HIVIO/LOVIO ピンは、 $1.71V \leq V_{IO} \leq 5.25V$ のアプリケーションでは V_{DD} ピンに接続し、 $0.9V \leq V_{IO} \leq 1.89V$ のアプリケーションでは GND ピンに接続します。 $1.71V \leq V_{IO} \leq 1.89V$ のアプリケーションではどちらにも接続できます。 V_{IO} ピンは、1μF のセラミック・コンデンサにより IOGND ピンに内部でバイパスされています。
E3 ²	HIVIO/LOVIO	DI	V_{IO} の電圧モードの選択。HIVIO/LOVIO ピンは、 $1.71V \leq V_{IO} \leq 5.25V$ のアプリケーションでは V_{DD} ピンに接続し、 $0.9V \leq V_{IO} \leq 1.89V$ のアプリケーションでは GND ピンに接続します。 $1.71V \leq V_{IO} \leq 1.89V$ のアプリケーションではどちらにも接続できます。ロジック・レベルは V_{DD} 電源によって決まります。
E6	IOGND	P	デジタル入出力電源のグラウンド。IOGND ピンは GND ピンと同じグラウンド・プレーンに半田付けします。
F3	V_{DD}	P	5V 電源。 V_{DD} ピンは外部 5V 電源に接続します。 V_{DD} ピンは、1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
F4	V_{DDH}	P	1.8V LDO レギュレータの電源。1.8V の内部 LDO レギュレータを用いて V_{DDL} ピンに給電するには、 V_{DDH} ピンを V_{DD} ピンに接続するか、2.2V~5.25V の別の外部電源に接続します。内部 LDO レギュレータを無効化するには、 図 61 に示すように V_{DDH} ピンを GND ピンに接続します。 V_{DDH} ピンは、1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
F5	V_{DDL}	P	1.8V 電源。1.8V の内部 LDO レギュレータを用いて V_{DDL} ピンに給電するには、 V_{DDH} ピンを V_{DD} ピンに接続するか、2.2V~5.25V の別の外部電源に接続します。この場合、 V_{DDL} ピンは外部接続しません。 V_{DDL} ピンに外部から給電するには、 図 61 に示すように、 V_{DDH} ピンを GND ピンに接続して内部 LDO レギュレータを無効化し、 V_{DDL} ピンを外部 1.8V 電源に接続します。 V_{DDL} ピンは、1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
F6	CSDO	DO	SPI レジスタ設定バスのデータ出力。3 線式の SPI レジスタ設定バス動作時には、CSDO ピンは高インピーダンスを維持します。4 線式バス動作時には、CSDO ピンは読出しトランザクション中にシリアル・データを出力します。ロジック・レベルは V_{IO} 電源によって決まります。
G2	V_{EE}	P	アナログ入力バッファの負側電源。 V_{EE} ピンは、GND ピン基準で 0V~-40.75V、 V_{CC} ピン基準で -10V~-48V の外部電源に接続します。 V_{EE} ピンは、0.1μF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。
G7	CSCK	DI	SPI レジスタ設定バスのクロック入力。CSCK ピンの駆動は SPI レジスタ設定バスのクロックで行います。CSCK ピンは、ハイまたはローのどちらでもアイドル状態になることができます。ロジック・レベルは V_{IO} 電源によって決まります。
H7	CSDIO	DI and DO	SPI レジスタ設定バスのデータ入出力。3 線式と 4 線式のどちらの SPI レジスタ設定バス動作時でも、CSDIO ピンはシリアル入力データを受け入れます。3 線式バス動作時には、CSDIO ピンは読出しトランザクション中にシリアル・データの出力も行います。ロジック・レベルは V_{IO} 電源によって決まります。
H8	$\overline{CS}$	DI	チップ・セレクト入力。SPI レジスタ設定バスと変換データ・バスは、 $\overline{CS}$ ピンがローのときに有効化され、ハイのときには無効化されて高インピーダンスになります。ロジック・レベルは V_{IO} 電源によって決まります。

1 AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力です。

2 V_{IO} 電源と関連するデジタル入出力の最大動作定格と絶対最大定格は、HIVIO/LOVIO ピンの状態によって定義されます。

ピン配置およびピン機能の説明

表 10. CMOS 変換データ・バスのピン機能の説明

ピン番号	記号	タイプ ¹	説明
B8, C8, F8, and G8	SDO0 to SDO3	DO	チャンネル 0～チャンネル 3 の CMOS 変換データ出力。変換結果とオプションのチャンネル・ステータス情報は、SCKI ピンに同期してこれらのピンから出力されます。SDO0 ピンは、4 線式読出し動作時に SPI レジスタ設定バスのシリアル・データを出力するよう、 SPI 設定 D レジスタ で設定することもできます。ロジック・レベルは V _{IO} 電源によって決まります。
C7, D7, E7, and F7	DNC	DNC	接続なし。すべての DNC ピンは PCB パッドに半田付けします。それ以外の外部接続はしないでください。
D8	SCKI	DI	CMOS 変換データ・クロック入力。SCKI ピンの駆動は CMOS 変換データ・バスのクロックで行います。SCKI ピンは、ハイまたはローのどちらでもアイドル状態になることができます。ロジック・レベルは V _{IO} 電源によって決まります。
E8	SCKO	DO	CMOS 変換データ・クロック出力。SCKO ピンは、SDO0 ピン～SDO3 ピンのシリアル出力データにスキューを整合させた SCKI ピンのコピーを出力します。クロック・エコーが デバイス制御レジスタ によって無効化されている場合、SCKO ピンは高インピーダンスになります。ロジック・レベルは V _{IO} 電源によって決まります。

1 AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力、DNC は接続なしです。

表 11. LVDS 変換データ・バスのピン機能の説明

ピン番号	記号	タイプ ¹	説明
B8 and C8	SCKI+ and SCKI-	DI	LVDS 変換データ・クロック入力。SCKI+ピンと SCKI-ピンの差動駆動は LVDS 変換データ・バスのクロックで行います。SCKI+ピンと SCKI-ピンはロー状態でアイドルリングされます（ $\overline{CS}$ を遷移している場合を含む）。デフォルトでは、 $\overline{CS}$ ピンがローのとき、SCKI+ピンと SCKI-ピンは 100Ω 差動抵抗で内部終端されます。この終端は、 デバイス制御レジスタ を使って無効にできます。
C7, D7, E7, and F7	DNC	DNC	接続なし。すべての DNC ピンは PCB パッドに半田付けします。それ以外の外部接続はしないでください。
D8 and E8	SCKO+ and SCKO-	DO	LVDS 変換データ・クロック出力。SCKO+および SCKO-ピンは、SDO+および SDO-ピンのシリアル出力データとスキューを整合させた SCKI+および SCKI-ピンのコピーを出力します。SCKO+と SCKO-の出力ペアは、レシーバーのフィールド・プログラマブル・ゲート・アレイ（FPGA）で 100Ω の抵抗を用いて差動終端する必要があります。クロック・エコーが デバイス制御レジスタ を使って無効化されている場合、これらのピンは高インピーダンスになります。
F8 and G8	SDO+ and SDO-	DO	LVDS 変換データ出力。変換結果とオプションのチャンネル・ステータス情報は、SCKI+ピンと SCKI-ピンに同期して、これらのピンから出力されます。SDO+と SDO-の出力ペアは、レシーバー（FPGA）で 100Ω の抵抗を用いて差動終端する必要があります。

1 AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力、DNC は接続なしです。

代表的な性能特性

特に指定のない限り、 $V_{EE} = -24V$ 、 $V_{CC} = +24V$ 、 $V_{DD} = +5V$ 、 $V_{DDH} = +2.5V$ 、 $1.8V$ の LDO レギュレータが有効、 $V_{IO} = +2.5V$ 、 $f_s = 250kSPS$ 、内部リファレンスと内部リファレンス・バッファが有効、SoftSpan 15 および SoftSpan 13 では完全差動入力信号駆動、その他のバイポーラまたはユニポーラの SoftSpan レンジでは真のバイポーラまたはユニポーラ信号駆動、 $T_A = 25^\circ C$ 。

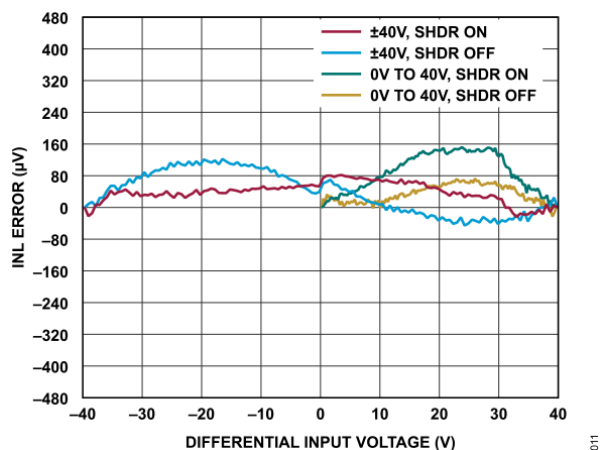


図 9. INL 誤差と差動入力電圧の関係 (SoftSpan 15~SoftSpan 14)

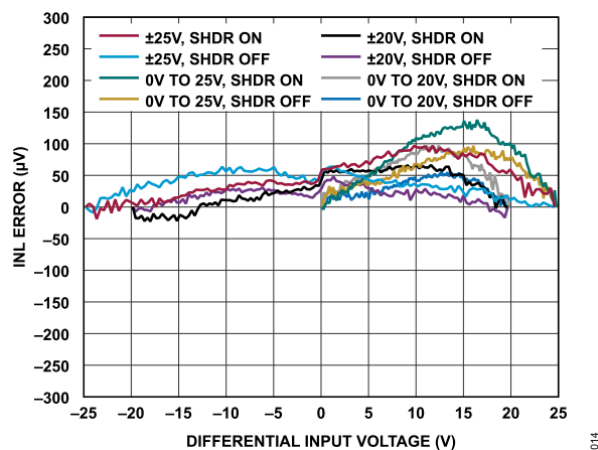


図 12. INL 誤差と差動入力電圧の関係 (SoftSpan 13~SoftSpan 10)

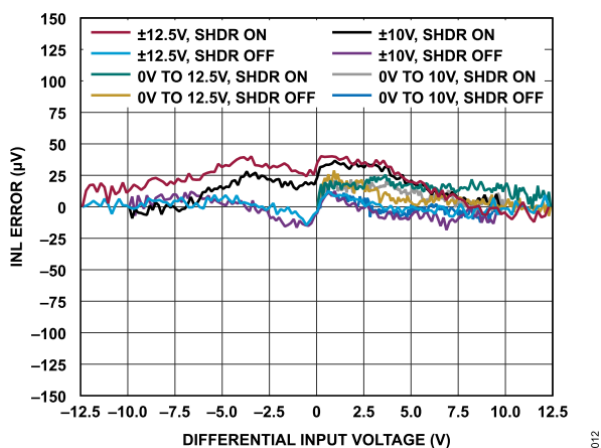


図 10. INL 誤差と差動入力電圧の関係 (SoftSpan 9~SoftSpan 6)

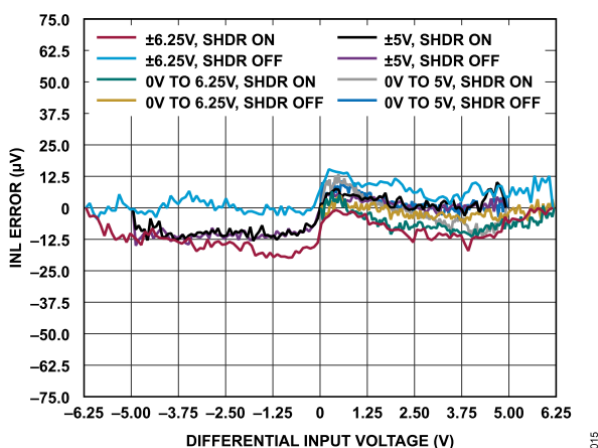


図 13. INL 誤差と差動入力電圧の関係 (SoftSpan 5~SoftSpan 2)

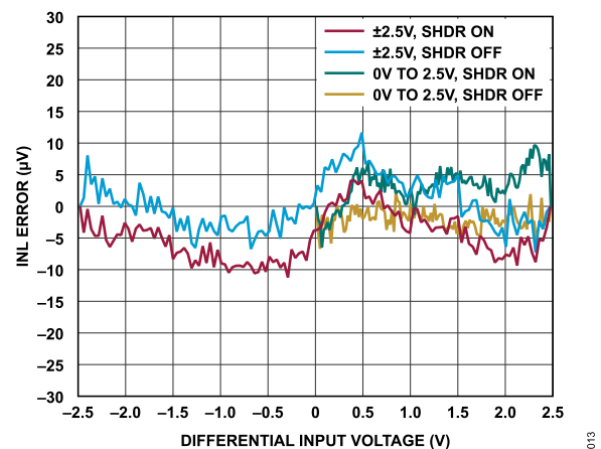


図 11. INL 誤差と差動入力電圧の関係 (SoftSpan 1~SoftSpan 0)

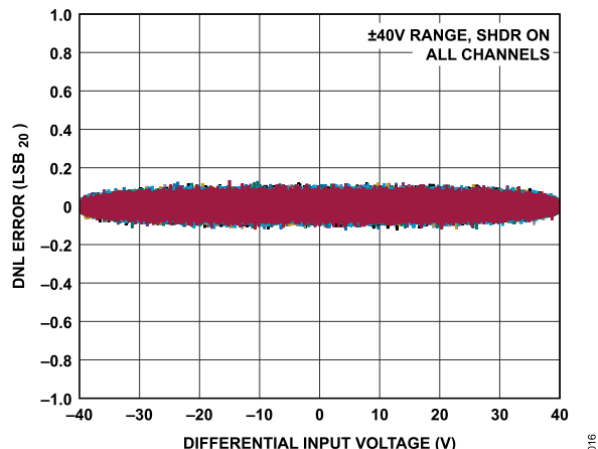


図 14. DNL 誤差と差動入力電圧の関係 (SoftSpan 15)

代表的な性能特性

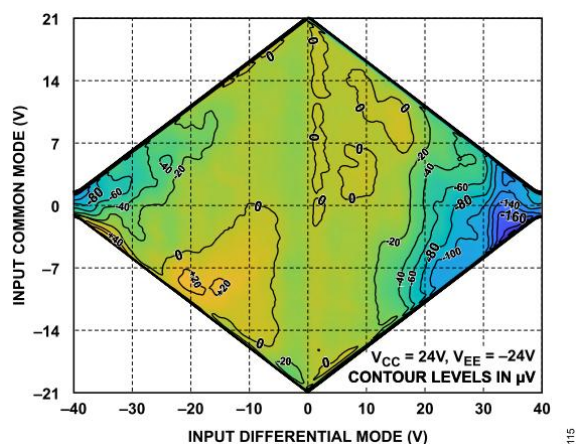


図 15. INL 誤差と入力同相および入力差動電圧の関係

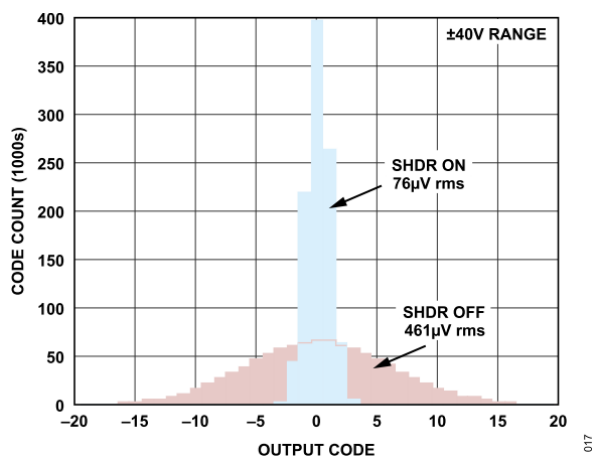


図 16. DC コードのヒストグラム（ゼロスケール付近）

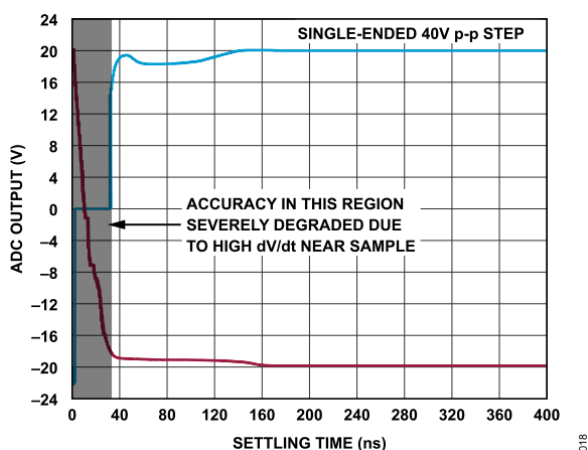


図 17. 入力ステップ応答（大信号セトリング）

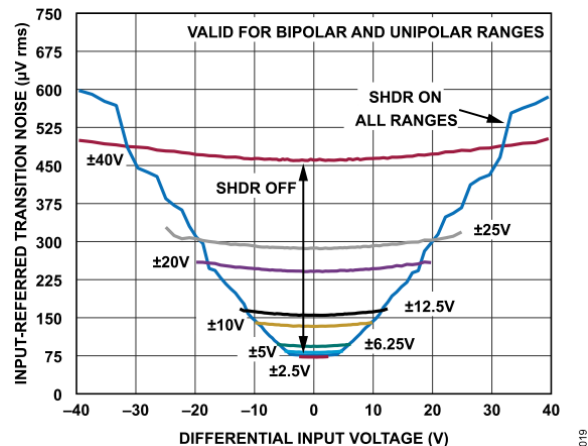


図 18. 入力換算遷移ノイズと差動入力電圧の関係

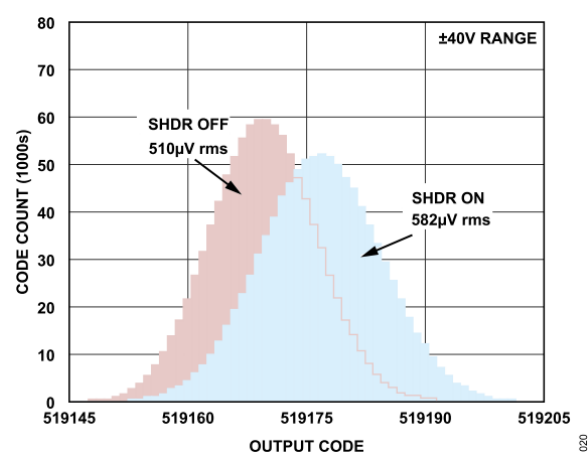


図 19. DC コードのヒストグラム（フルスケール付近）

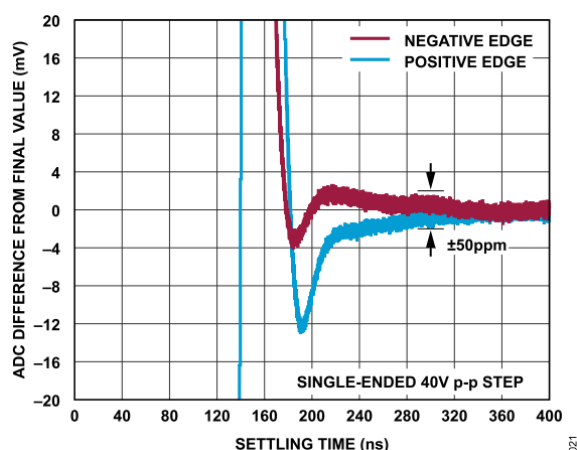


図 20. 入力ステップ応答（微細セトリング）

代表的な性能特性

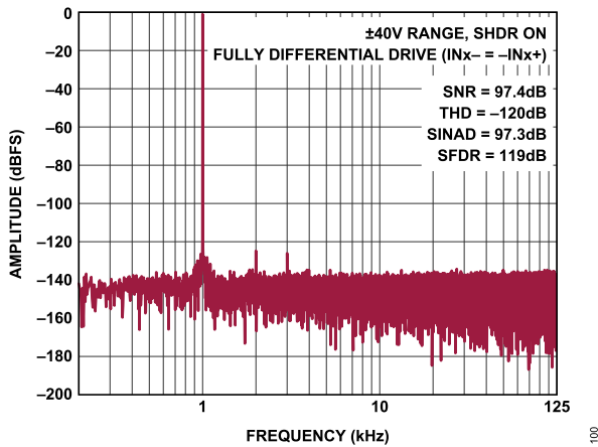
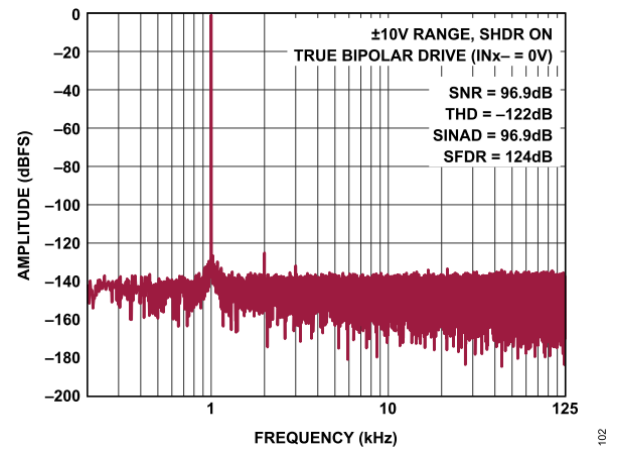
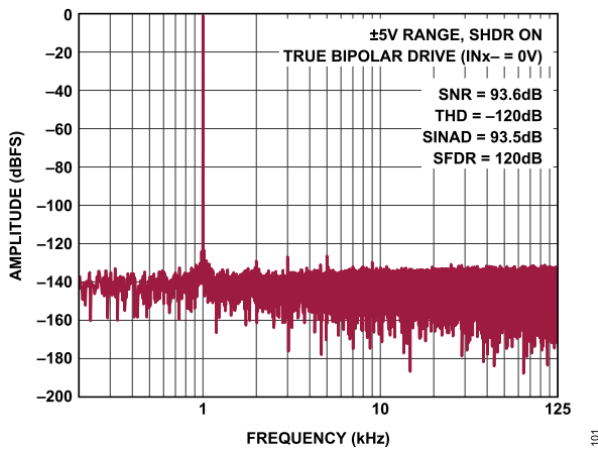
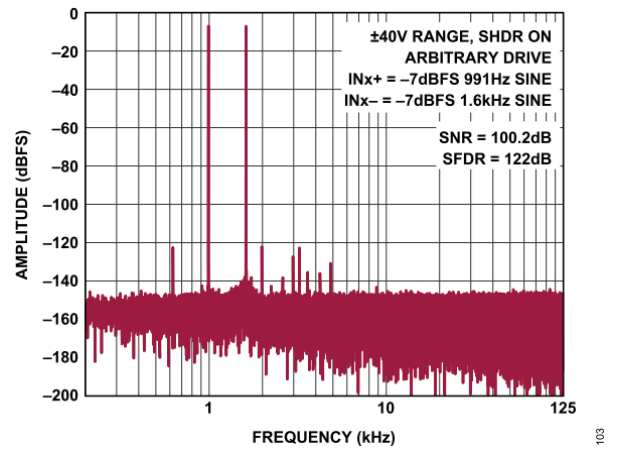
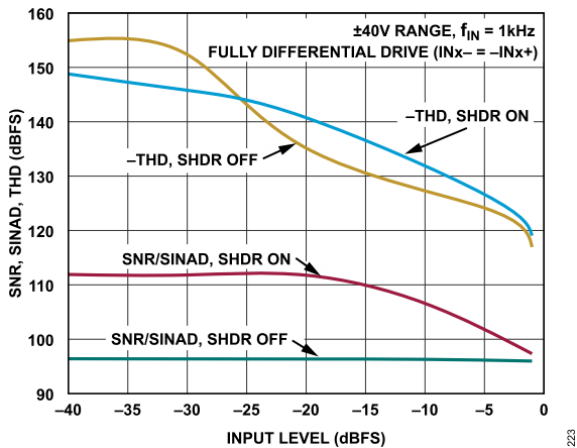
図 21. FFT (250kSPS、 $f_{IN} = 1\text{kHz}$ 、 $\pm 40\text{V}$ レンジ)図 24. FFT (250kSPS、 $f_{IN} = 1\text{kHz}$ 、 $\pm 10\text{V}$ レンジ)図 22. FFT (250kSPS、 $f_{IN} = 1\text{kHz}$ 、 $\pm 5\text{V}$ レンジ)図 25. FFT (250kSPS、 $f_{IN+} = 991\text{Hz}$ 、 $f_{IN-} = 1.6\text{kHz}$ 、 $\pm 40\text{V}$ レンジ)

図 23. SNR、SINAD、THD と入力レベルの関係

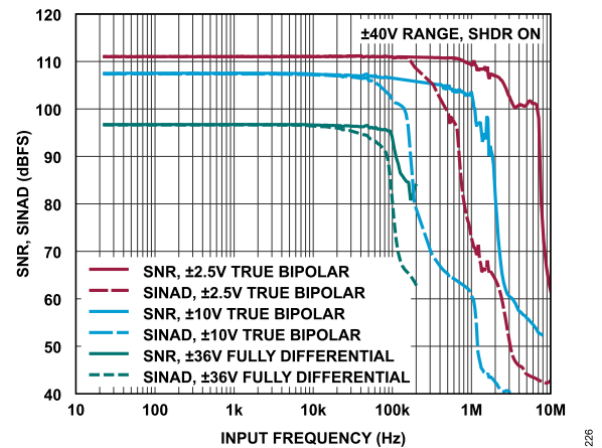


図 26. SNR および SINAD と入力周波数の関係

代表的な性能特性

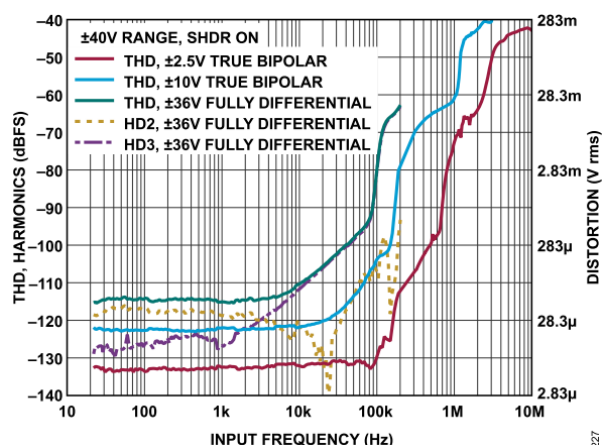


図 27. THD、高調波および歪みと入力周波数の関係

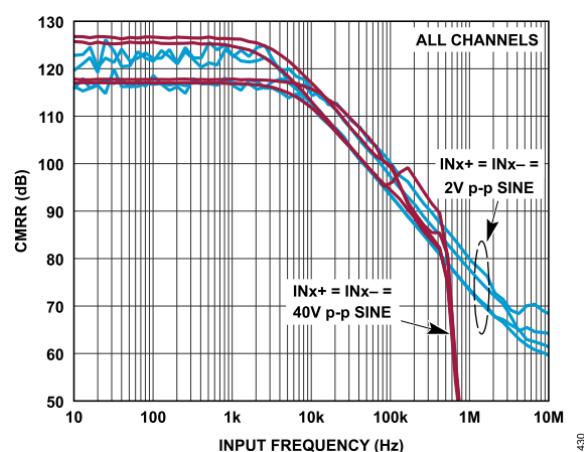


図 30. CMRR と入力周波数の関係

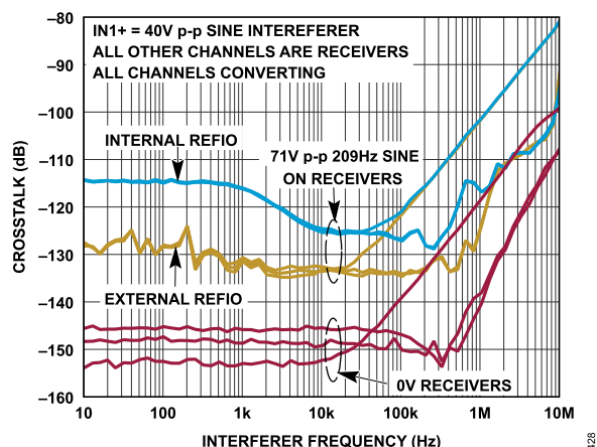


図 28. クロストークと干渉周波数の関係

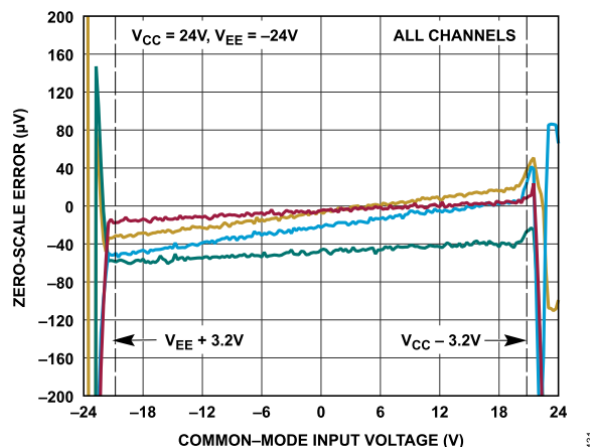


図 31. ゼロスケール誤差と同相入力電圧の関係

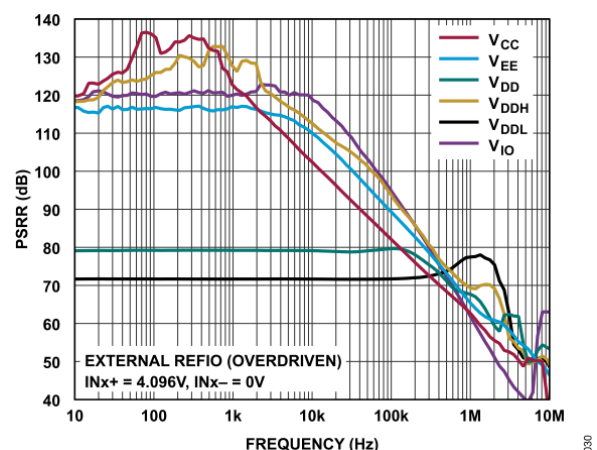


図 29. 電源電圧変動除去比 (PSRR) と周波数の関係

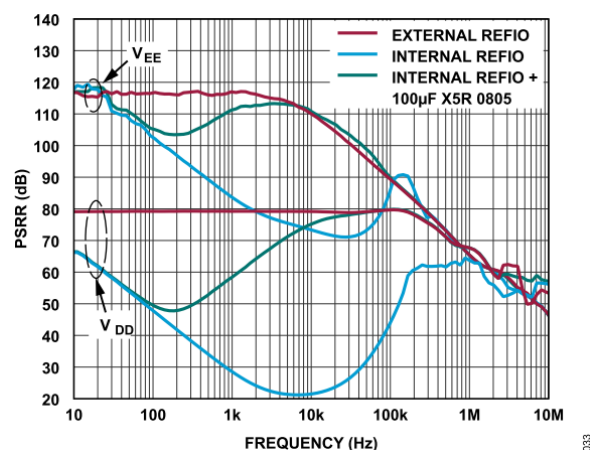


図 32. PSRR と周波数の関係 (内部リファレンスと外部リファレンス)

代表的な性能特性

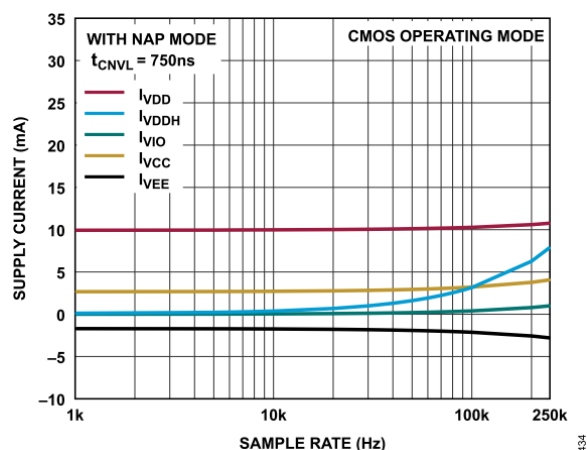


図 33. 電源電流とサンプル・レートの関係

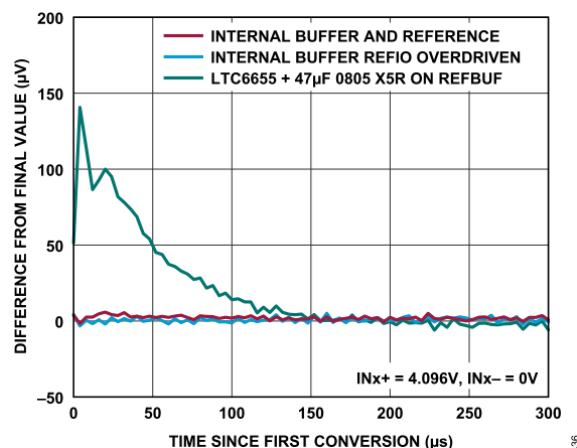


図 36. バースト変換応答 ($f_s = 250\text{kSPS}$)

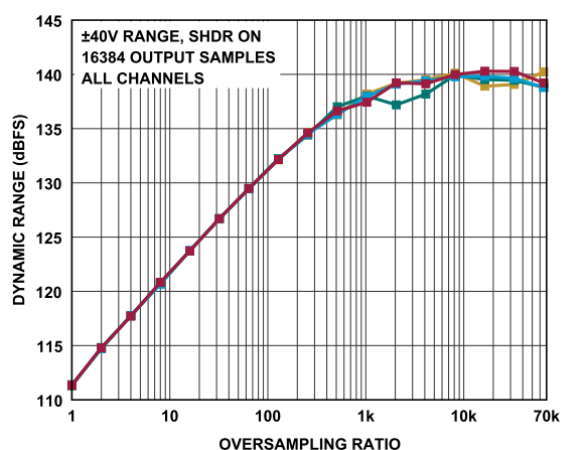


図 34. ダイナミック・レンジとオーバーサンプリング比の関係

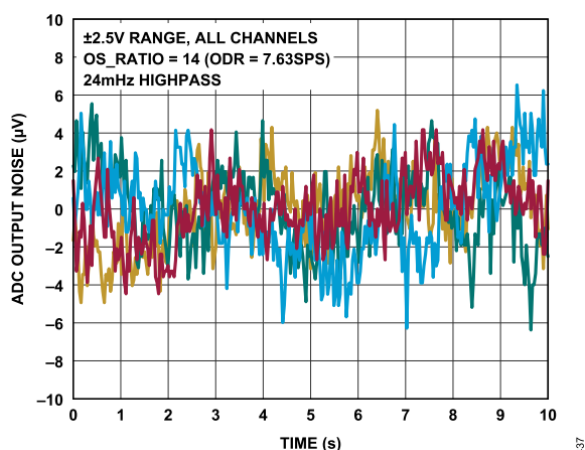


図 37. 10 秒間の低周波ノイズ

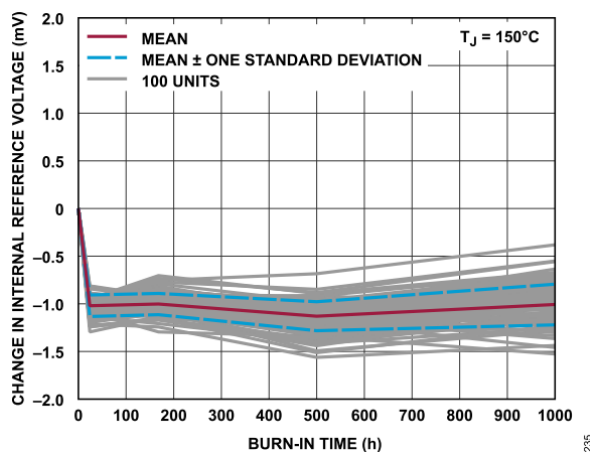


図 35. 内部リファレンス電圧の変化とバーンイン時間の関係

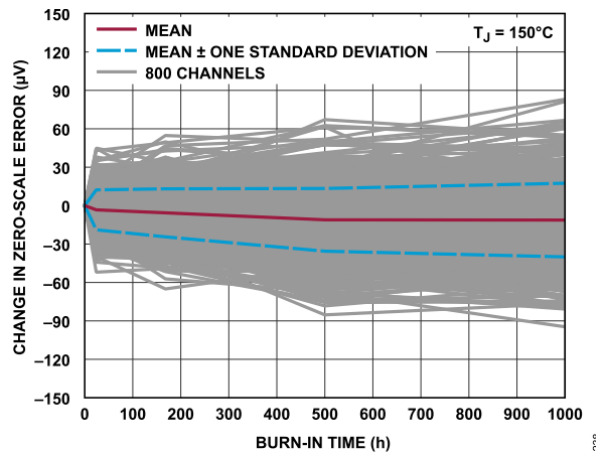


図 38. ゼロスケール誤差の変化とバーンイン時間の関係

代表的な性能特性

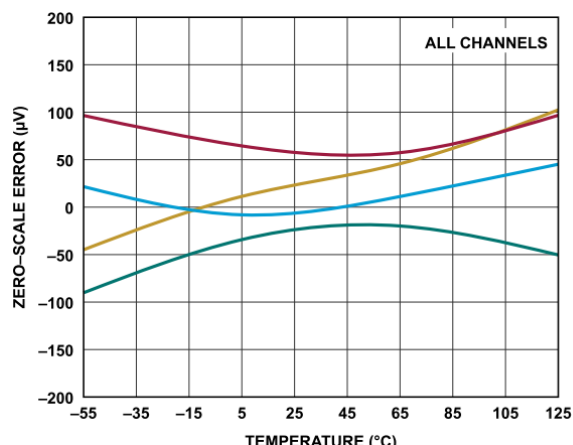


図 39. ゼロスケール誤差と温度の関係

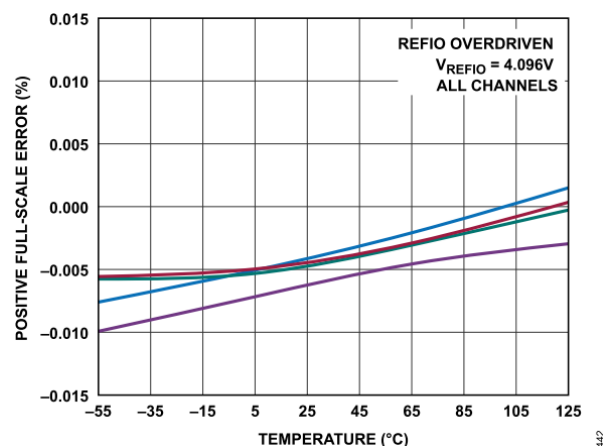


図 42. 正側フルスケール誤差と温度の関係

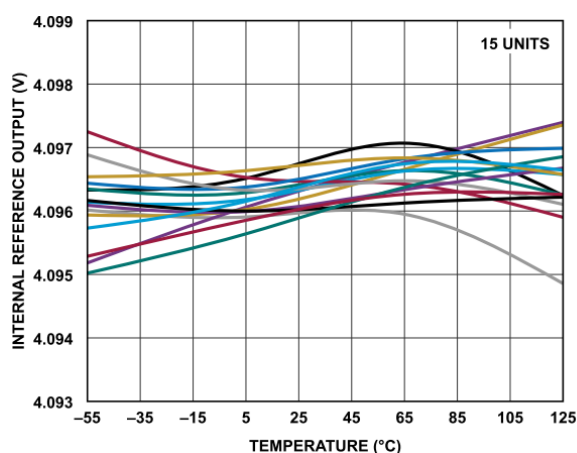


図 40. 内部リファレンス出力と温度の関係

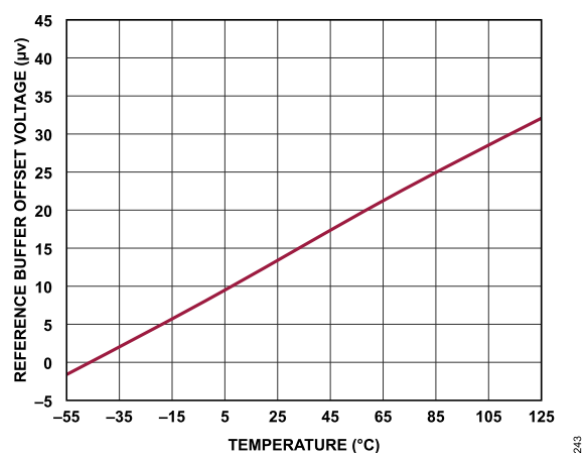


図 43. リファレンス・バッファのオフセット電圧と温度の関係

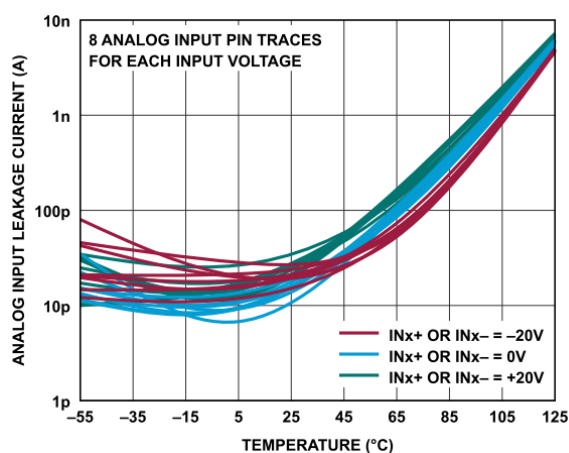


図 41. アナログ入力リーク電流と温度の関係

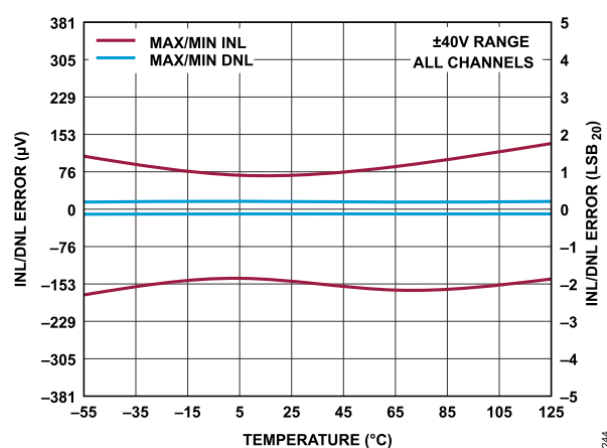


図 44. INL/DNL 誤差と温度の関係

代表的な性能特性

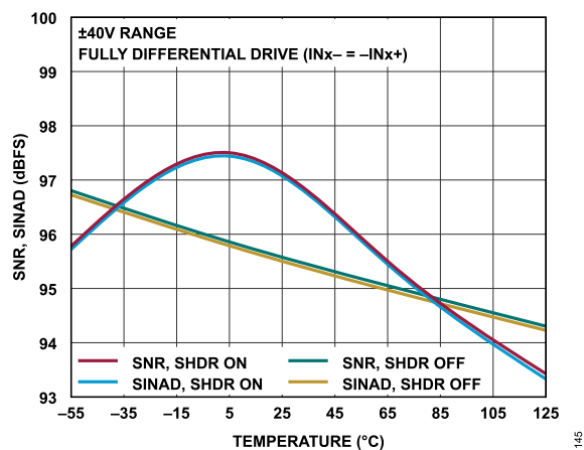


図 45. S/N 比および SINAD と温度の関係

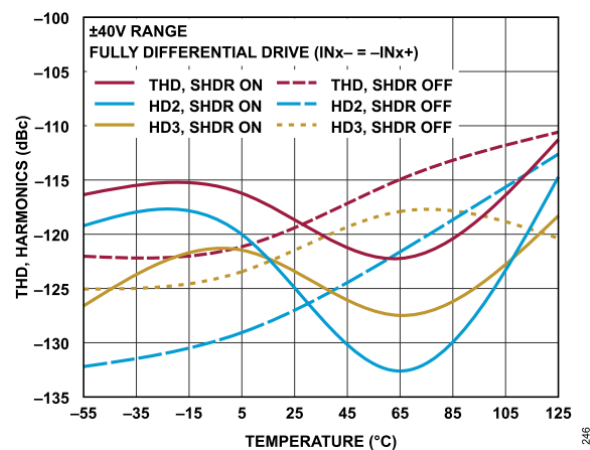


図 47. THD、高調波と温度の関係

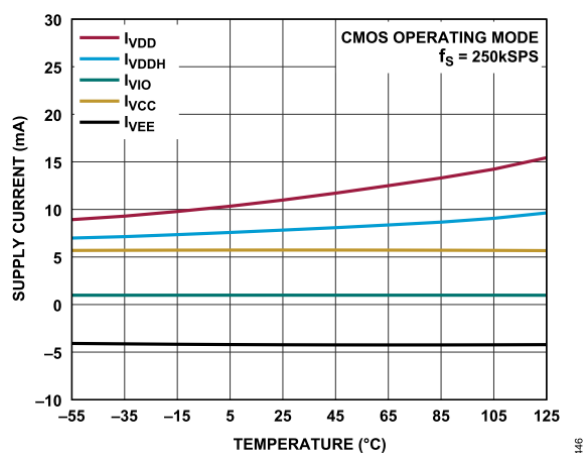


図 46. 電源電流と温度の関係

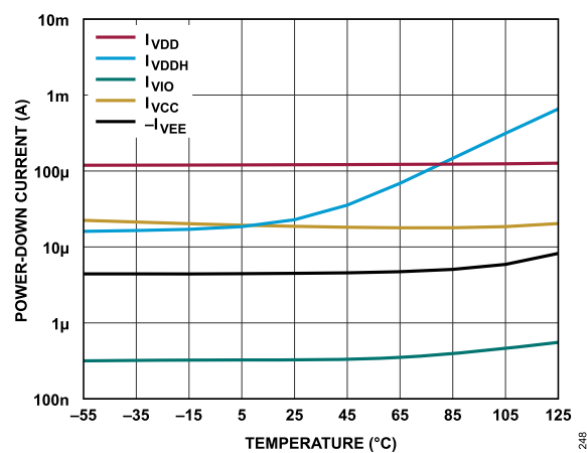


図 48. パワーダウン電流と温度の関係

用語の定義

積分非直線性 (INL) 誤差

INL は、ADC の伝達関数の両端を結ぶ直線と個々のコードとの偏差です。伝達関数の両端は、最初のコード遷移の前の $\frac{1}{2}$ LSB と最後のコード遷移の後の $\frac{1}{2}$ LSB です。偏差は各々のコードの中央から真の直線までの距離として測定されます。

微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

ゼロスケール誤差

バイポーラ SoftSpan レンジとユニポーラ SoftSpan レンジのどちらの場合も、ゼロスケール誤差は、0V の理想的なゼロスケール入力電圧と 0LSB のゼロスケール出力コードを生成する実際の入力電圧との偏差です。

フルスケール誤差

バイポーラ SoftSpan レンジの場合、フルスケール誤差は、最初のコード遷移および最後のコード遷移と理想値との最大偏差です。これにはゼロスケール誤差やリファレンス・バッファの影響が含まれます。

ユニポーラ SoftSpan レンジの場合、フルスケール誤差は、最後のコード遷移と理想値との最大偏差です。これにはゼロスケール誤差やリファレンス・バッファの影響が含まれます。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。これは SINAD と次式のような関係があります。

$$\text{ENOB} = (\text{SINAD}_{\text{dB}} - 1.76)/6.02$$

ENOB の単位はビットです。

ダイナミック・レンジ

ダイナミック・レンジは、フルスケールのサイン波の実効値振幅と合計実効値ノイズとの比で、単位はデシベル (dB) です。すべてのノイズ・ソースと DNL アーティファクトが含まれるように、 -60dBFS の入力信号で測定します。

S/N 比 (SNR)

S/N 比は、フルスケール・サイン波の実効値振幅とナイキスト周波数を下回るその他すべてのスペクトル成分（最初の 5 つの高調波および DC を除く）の実効値総和との比です。SNR 値の単位はデシベル (dB) です。

信号／ノイズ + 歪み (SINAD) 比

SINAD は、フルスケール・サイン波の実効値振幅とナイキスト周波数を下回るその他すべてのスペクトル成分（高調波を含むが DC は除く）の実効値総和との比です。SINAD 値の単位はデシベル (dB) です。

全高調波歪み (THD)

THD は、最初の 5 つの高調波成分の実効値総和と基本波入力信号の実効値振幅との比で、単位はデシベル (dB) です。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

チャンネル間クロストーク

チャンネル間クロストークは、1 つの干渉注入チャンネルに周波数 f_{INJ} のサイン波を印加し、すべてのレシーバー・チャンネルに別の周波数 (f_{RCV}) のサイン波を印加することで測定されます。

クロストークは、 f_{INJ} におけるスペクトル・トーンの実効値総和と、レシーバー・チャンネルと注入チャンネルにおける 5 次までの相互変調積との比です。

チャンネル間クロストークの単位はデシベル (dB) です。測定中、すべてのチャンネルは、内部リファレンスと内部リファレンス・バッファを有効にし、 $f_s = 250\text{kSPS}$ で変換を行っています。

アパーチャ遅延

アパーチャ遅延は、アキュイジション性能の尺度です。これは、CNV 入力の立上がりエッジから、入力信号が変換のために保持されるまでの時間です。

過渡応答

過渡応答は、ADC が 50ppm のセトリング精度でフルスケール入力ステップを達成するのに必要な時間です。

同相モード除去比 (CMRR)

CMRR は、アナログ入力同相電圧に印加される周波数 (f) のサイン波の実効値振幅とその周波数 (f) での ADC 出力データの実効値振幅との比です。CMRR 値の単位はデシベル (dB) です。

電源電圧変動除去比 (PSRR)

PSRR は、電源電圧に印加される周波数 (f) のサイン波の実効値振幅とその周波数 (f) での ADC 出力データの実効値振幅との比です。PSRR 値の単位はデシベル (dB) です。

動作原理

概要

AD4852 は、4 チャンネルすべてでバッファ付きの同時サンプリングが可能な 20 ビット 250kSPS の DAS で、同相電圧範囲の広い差動入力を備えています。その機能アーキテクチャを図 1 に示します。5V の低電圧電源と柔軟な入力バッファ電源で動作し、高精度、低ドリフトのリファレンスとリファレンス・バッファを内蔵している AD4852 は、各チャンネルの SoftSpan レンジをアプリケーションの信号振幅に合わせて個別に設定できるため、追加の外部シグナル・コンディショニングを最小限に抑えることができます。シングル変換のダイナミック・レンジを更に拡大するために、AD4852 は SHDR 技術を採用しています。SHDR を有効にすると、チャンネルの入力信号経路ゲインがサンプルごとに自動的に最適化されるため、直線性に影響を及ぼすことなく各サンプルのコンバータ・ノイズを最小限に抑えることができます。

11MHz の帯域幅、ピコアンペアの入力アナログ・バッファ、広い入力同相電圧範囲、120dB の CMRR により、DAS は INx+ および INx- での任意の振幅の入力信号を直接デジタル化できます。この入力信号の柔軟性に $\pm 160\mu\text{V}$ の INL、20 ビットでのノー・ミス・コード、97.2dB の S/N 比、111.4dB のダイナミック・レンジを組み合わせることで、AD4852 は、高い正確性、高スループット、高精度をコンパクトなソリューション・フットプリントで実現する必要のあるアプリケーションに最適な選択肢となっています。

AD4852 のアナログ入力バッファの絶対入力範囲は、 $(V_{EE} + 3.2\text{V}) \sim (V_{CC} - 3.2\text{V})$ です。バッファの電源である V_{CC} と V_{EE} には柔軟性があるため、アプリケーションの信号振幅条件に合うように選択でき、シグナル・コンディショニングを追加する必要はありません。これらの電源は、グラウンド周辺に非対称にバイアスでき、 V_{EE} ピンを GND に直接接続することもできます。

AD4852 のデジタル機能には、オプションで、S/N 比とダイナミック・レンジを更に向上できる 24 ビット・オーバーサンプリング機能と、DAS の上流で生じるシステムレベルの誤差を補正できるチャンネルごとのオフセット、ゲイン、位相の調整機能があります。

AD4852 には、専用の SPI レジスタ設定バス (0.9V~5.25V) と、ピン選択可能なシリアル LVDS および CMOS 変換データ出力バスが備わっています。CMOS モードでは 1~4 本のデータ出力を使用できるため、バスの幅とスループットを最適化できます。

4 チャンネルを 250kSPS で同時に変換する場合、AD4852 のチャンネルあたりの消費電力は 36mW (代表値) です。オプションのナップ・モードとパワーダウン・モードを用いると、非アクティブ時の消費電力を更に低減できます。

コンバータの動作

AD4852 は 2 つのフェーズで動作します。アキュイジション・フェーズでは、各チャンネルのサンプル&ホールド回路のサンプリング・コンデンサがそれぞれのアナログ入力バッファに接続され (図 53 参照)、差動入力電圧 ($V_{INx+} - V_{INx-}$) をトラッキングします。CNV ピンの立上がりエッジで、すべてのサンプル&ホールド回路がトラック・モードからホールド・モードに遷移し、すべてのチャンネルの入力信号が同時にサンプリングされ変換が開始されます。変換フェーズでは、各チャンネルのサンプリング・

コンデンサが、20 ビットの電荷再分配式コンデンサ D/A コンバータ (CDAC) に接続されます。CDAC は、逐次比較アルゴリズムによってシーケンス処理され、サンプリングされた入力電圧を、差動コンパレータを用いて、チャンネルの SoftSpan フルスケール・レンジのバイナリ重み付け部分 ($V_{FSR}/2$ 、 $V_{FSR}/4$ 、 $\dots$ 、 $V_{FSR}/2^{20}$ など) と効率的に比較します。このプロセスの終了後、CDAC 出力は、各チャンネルでサンプリングされたアナログ入力を近似したものとなります。この方法ですべてのチャンネルが変換されると、ADC の制御ロジックは、シリアル伝送を行うために、各チャンネルから 20 ビットのデジタル出力コードを準備します。

伝達関数

AD4852 は、各チャンネルのフルスケール電圧範囲を 2^{20} 個の離散的なレベルにデジタル化します。ADC のメインのリファレンス電圧である V_{REFBUF} と各チャンネルの SoftSpan 設定によって、その差動入力電圧範囲、LSB サイズ、変換結果のバイナリ形式が表 12 に示すように決まります。変換結果は、バイポーラ SoftSpan レンジの場合はすべて 2 の補数のバイナリ形式で出力され、ユニポーラ SoftSpan レンジの場合はすべてストレート・バイナリ形式で出力されます。理想的なバイポーラ入力伝達関数を図 49 に示します。また、理想的なユニポーラ入力伝達関数を図 50 に示します。

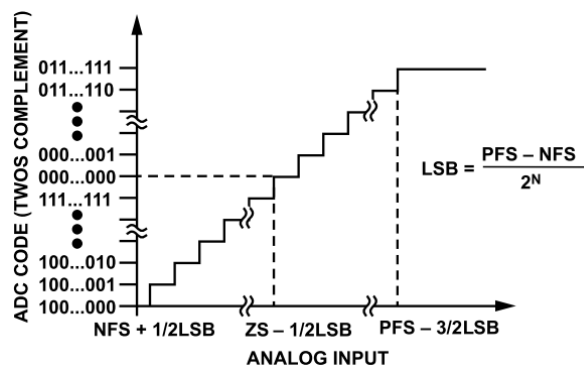


図 49. AD4852 の理想的なバイポーラ入力伝達関数、 $N = 20$ ビット

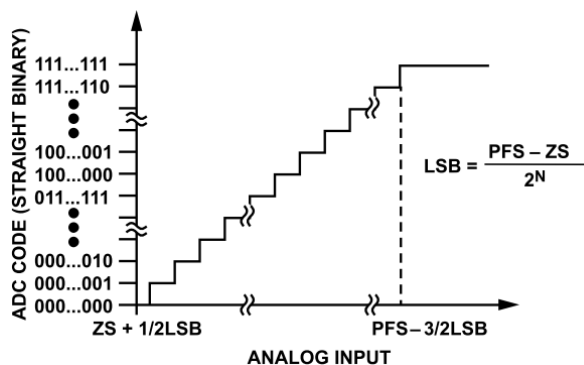


図 50. AD4852 の理想的なユニポーラ入力伝達関数、 $N = 20$ ビット

動作原理

表 12. SoftSpan レンジの特性

		Ideal Ranges ($V_{REFBUF} = 4.096V$)			
SoftSpan	Differential Input Voltage Range ($V_{INx+} - V_{INx-}$)	Negative Full Scale (V)	Zero Scale (V)	Positive Full Scale (V)	LSB (μV)
	Bipolar (Twos Complement Output Code)				
15	$\pm 10 \times (V_{REFBUF}/1.024)$	-40	0	+40	76.294
13	$\pm 6.25 \times (V_{REFBUF}/1.024)$	-25	0	+25	47.684
11	$\pm 5 \times (V_{REFBUF}/1.024)$	-20	0	+20	38.147
9	$\pm 3.125 \times (V_{REFBUF}/1.024)$	-12.5	0	+12.5	23.842
7	$\pm 2.5 \times (V_{REFBUF}/1.024)$	-10	0	+10	19.073
5	$\pm 1.5625 \times (V_{REFBUF}/1.024)$	-6.25	0	+6.25	11.921
3	$\pm 1.25 \times (V_{REFBUF}/1.024)$	-5	0	+5	9.537
1	$\pm 0.625 \times (V_{REFBUF}/1.024)$	-2.5	0	+2.5	4.768
	Unipolar (Straight Binary Output Code)				
14	0 to $10 \times (V_{REFBUF}/1.024)$		0	40	38.147
12	0 to $6.25 \times (V_{REFBUF}/1.024)$		0	25	23.842
10	0 to $5 \times (V_{REFBUF}/1.024)$		0	20	19.073
8	0 to $3.125 \times (V_{REFBUF}/1.024)$		0	12.5	11.921
6	0 to $2.5 \times (V_{REFBUF}/1.024)$		0	10	9.537
4	0 to $1.5625 \times (V_{REFBUF}/1.024)$		0	6.25	5.960
2	0 to $1.25 \times (V_{REFBUF}/1.024)$		0	5	4.768
0	0 to $0.625 \times (V_{REFBUF}/1.024)$		0	2.5	2.384

SOFTSPAN

AD4852 の各チャンネルは、表 12 に示すように、16 通りの SoftSpan レンジのいずれかに個別に設定できます。デジタル化するのに必要な差動アナログ入力 ($V_{INx+} - V_{INx-}$) の範囲に応じて、各チャンネルの SoftSpan レンジを選択します。すべてのチャンネルは、公称 $\pm 40V$ のバイポーラ入力範囲に対応する、SoftSpan 15 にデフォルト設定されています。チャンネルを別のレンジに設定するには、表 13 に示す対応レジスタ・アドレスに 4 ビットの SoftSpan コードを書き込みます。

表 13. チャンネル別の SoftSpan レジスタ

Register Name	Register Address
CH0_SOFTSPAN	0x2A
CH1_SOFTSPAN	0x3C
CH2_SOFTSPAN	0x4E
CH3_SOFTSPAN	0x60

選択された SoftSpan レンジに関わらず、 $INx+$ および $INx-$ のアナログ入力は、広い同相入力範囲と高い CMRR を備えているため、各ピンが $(V_{EE} + 3.2V) \sim (V_{CC} - 3.2V)$ の範囲にある限り、互いに任意の関係で振幅できます。

シームレス・ハイ・ダイナミック・レンジ (SHDR)

SHDR は、サンプルごとに可能な限り最小の入力換算変換ノイズを実現する、アナログ・デバイス独自の技術です。

SHDR が無効化されている場合、各チャンネルの SoftSpan レンジに応じてコンバータのアナログ信号のゲインが自動的に固定され、そのチャンネルのすべてのサンプルに適用されます。この固定ゲインは、選択された SoftSpan の最大信号レベルでチャンネル

が飽和することのないよう、十分に低いことが必要です。固定ゲインにより、全サンプルに対し入力換算ノイズのレベルが一定となります。

SHDR が有効化されている場合、コンバータは、各サンプルの差動電圧に基づいて、アナログ信号ゲインを動的に調整します。差動電圧の大きさが選択された SoftSpan レンジの最大値に近い場合、採用されるゲインは、SHDR を無効化した場合に用いられる値と同じになります。しかし、サンプルの差動電圧の大きさがこれより小さい場合には、コンバータは自動的にゲインを増加させるので、これらのサンプルの入力換算ノイズが低減され、ダイナミック・レンジが向上します。

すべての変換結果は、選択された SoftSpan レンジの形式で報告され、このモードを採用するために追加の出力データ操作を行う必要はありません。図 18 に、SHDR をオンにした場合とオフにした場合のコンバータの入力換算遷移ノイズの比較を示します。表 1 に示すように、SHDR を有効化するとシングル変換のダイナミック・レンジが最大で 15.6dB 向上します。

SHDR は、全チャンネルに対しデフォルトで有効化されています。1 つのチャンネルについて SHDR を無効化するには、SEAMLESS_HDR レジスタの対応する制御ビットをクリアします。

デジタル処理機能

AD4852 には、オーバーサンプリング機能や、オフセット、ゲイン、位相の補正機能など、変換結果に適用できるいくつかのデジタル・データ・ポストプロセス機能があります。これらの機能は、レジスタの一覧のセクションで説明する AD4852 制御レジスタを用いて設定できます。

動作原理

オーバーサンプリング・モード

デフォルトでは、AD4852 は、非オーバーサンプリング・モードで動作します。図 6 と図 7 に示すように、このモードでは、各変換の開始時に BUSY ラインがローからハイに遷移し、BUSY ラインの立下がりエッジ直前の各変換の終了時に、SDO0～SDO3 ライン (CMOS) または SDO ライン (LVDS) は各チャンネルからの最新の変換結果で更新されます。

オーバーサンプリング・モードが有効化されている場合、AD4852 は、各チャンネルの複数の変換結果のデジタル平均を計算します。このモードでは、すべてのチャンネルが 1 つの共通オーバーサンプリング比を共有し、AD4852 から読み出すことができるのは各チャンネルの平均結果だけです。オーバーサンプリングは、出力データワードごとにより低いノイズとより高いダイナミック・レンジが要求されるアプリケーションで有用で、AD4852 では 24 ビットの出力分解能と低い平均出力データ・レートでこれに対応しています。オーバーサンプリング・モードでは、オプションのデジタル位相補正にも対応しています (デジタル位相補正のセクションを参照)。

オーバーサンプリング・モードを用いるには、チャンネルごとにデジタルで平均化処理を行う変換結果の数に対応したオーバーサンプリング比を、表 43 から選択します。選択した 4 ビットの OS_RATIO を OVERSAMPLE レジスタにプログラムすると共に、OS_EN ビットを 0 にクリアします。次に、選択した OS_RATIO をもう一度 OVERSAMPLE レジスタにプログラムすると共に、OS_EN ビットを 1 に設定します。このシーケンスにより、確実に、次の CNV 立上がりエッジがオーバーサンプリング・モードの最初のサンプルとみなされます。

図 51 に示すように、オーバーサンプリング・モードでは、BUSY ラインがオーバーサンプリング・ウィンドウの最初の変換の開始時にローからハイに遷移し、ウィンドウの最後の変換が終了するまでハイを維持します。BUSY ラインがハイを維持していても、オーバーサンプリング・ウィンドウ内で各変換を開始するためには、依然として個別の CNV 立上がりエッジが必要です。各アナログ入力チャンネルの平均結果は、BUSY ラインの立下がりエッジ直前の各オーバーサンプリング・ウィンドウの終了時に、SDO0～SDO3 のライン (CMOS) または SDO ライン (LVDS) で更新されます。

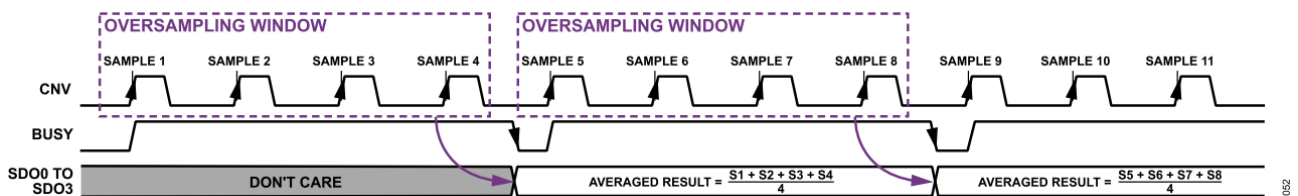


図 51. オーバーサンプリング比が 4 (OS_RATIO = 0x1) の場合のオーバーサンプリング・モード

動作原理

デジタル・オフセット補正

AD4852 の各チャンネルは、20 ビットの符号付きデジタル・オフセット補正値をそれぞれの変換結果に加えるよう、個別にプログラムできます。この機能を使用すると、DAS のアナログ入力の上流で発生する固定オフセット誤差を補正できます。デフォルトのオフセット補正は、全チャンネルに対しゼロです。ゼロ以外の値を使用するには、次式を用いて 20 ビットの符号付きオフセット補正 CHx_OFFSET を計算します。

$$\text{Digital Offset Correction } (\mu V) = CHx_OFFSET \times LSB \text{ Size } (\mu V) \quad (2)$$

ここで、LSB サイズは、表 12 に示すように、チャンネルの SoftSpan レンジの関数です。表 14 に示した対応する CHx_OFFSET レジスタに、20 ビットの符号付きオフセット補正をプログラムします。

オフセット補正は、出力コードが飽和する前に、チャンネルの変換結果に追加されます。コードの飽和が発生するのは、ユニポーラ SoftSpan レンジの場合はゼロ・スケールと正側フル・スケール、バイポーラ SoftSpan レンジの場合は負側と正側のフル・スケールです。オフセット補正は出力コードの飽和の前に行われるため、使用するデジタル・オフセットの大きさと極性に応じて、負側または正側のフル・スケール付近にアーティファクトが生じる可能性があります。AD4852 では、アナログ入力範囲が、表 12 に示す SoftSpan レンジの制限値より約 5% 広くなります。アナログ入力範囲の広がった部分は、出力コード飽和のために通常は観測できませんが、デジタル・オフセット項とゲイン補正項を組み合わせることで観測できます。

表 14. チャンネルごとのオフセット補正レジスタ

Register Name	Register Addresses
CH0_OFFSET	0x2B to 0x2D
CH1_OFFSET	0x3D to 0x3F
CH2_OFFSET	0x4F to 0x51
CH3_OFFSET	0x61 to 0x63

デジタル・ゲイン補正

AD4852 の各チャンネルは、デジタル・ゲイン補正係数をそれぞれの変換結果に適用するよう、個別にプログラムできます。この機能を使用すると、DAS のアナログ入力の上流で発生する固定ゲイン誤差を補正できます。デフォルトのゲイン補正係数は、全チャンネルに対し 1.00000 です。1 以外の係数を使用するには、次式を用いて 16 ビットの符号なしゲイン補正 CHx_GAIN を計算します。

$$\text{Digital Gain Correction} = \frac{CHx_GAIN}{0x8000} \quad (3)$$

表 15 に示した対応する CHx_GAIN レジスタに、この式で計算した値をプログラムします。ゲイン補正係数の範囲は 0～1.99997 で、これは 0x0000～0xFFFF の CHx_GAIN の範囲に対応します。またデフォルト値 1.00000 は $CHx_GAIN = 0x8000$ に相当します。

ゲイン補正がチャンネルの変換結果に適用されるのは、デジタル・オフセット補正の後、かつ出力コード飽和の前です。コードの飽和が発生するのは、ユニポーラ SoftSpan レンジの場合はゼロ・スケールと正側フル・スケール、バイポーラ SoftSpan レンジの場合は負側と正側のフル・スケールです。ゲイン補正は出力コードの飽和の前に行われるため、使用するデジタル・ゲインの大きさに応じて、負側または正側のフル・スケール付近にアーティファクトが生じる可能性があります。AD4852 では、アナログ入力範囲が、表 12 に示す SoftSpan レンジの制限値より約 5% 広くなります。アナログ入力範囲の広がった部分は、出力コード飽和のために通常は観測できませんが、デジタル・オフセット項とゲイン補正項を組み合わせることで観測できます。

表 15. チャンネルごとのゲイン補正レジスタ

Register Name	Register Addresses
CH0_GAIN	0x2E to 0x2F
CH1_GAIN	0x40 to 0x41
CH2_GAIN	0x52 to 0x53
CH3_GAIN	0x64 to 0x65

デジタル位相補正

オーバーサンプリング・モードで動作している間（オーバーサンプリング・モードのセクションを参照）、AD4852 の各チャンネルは、オーバーサンプルされたデジタル平均値にデジタル位相補正項を加えるよう、個別にプログラムできます。この機能を使用すると、DAS のアナログ入力の上流で発生する位相誤差を補正できます。全チャンネルのデフォルト位相補正はゼロです。そのため、すべてのチャンネルのデジタル平均値は、図 51 に示すように、位相の揃った同じサンプル・グループ（例えば、サンプル 1～サンプル 4、サンプル 5～サンプル 8、サンプル 9～サンプル 12 など）を用いて計算されます。

デジタル位相補正を使用するには、（整数回の変換サイクルにおける）加えたい 16 ビット符号なし位相補正項を、表 16 に示した対応する CHx_PHASE レジスタにプログラムします。許容される最大位相補正は、オーバーサンプリング比での変換数より 1 つ少ない値です。図 52 と図 51 を比較すると、位相がゼロでないチャンネルのオーバーサンプルされたデジタル平均値は、オーバーサンプリングの開始時を基準として整数回の変換サイクル分だけシフトされています。全チャンネルのオーバーサンプルされた平均データは、全チャンネルの値が利用可能になった後、BUSY ラインの立下がりエッジ直前に、SDO0～SDO3 のライン（CMOS）または SDO ライン（LVDS）上で更新されます。図 52 の全チャンネルの平均結果は、 $CH3_PHASE = 0x0001$ の設定となっているため、図 51 よりも 1 変換サイクル分だけ後に更新されます。

動作原理

表 16. チャンネルごとの位相補正レジスタ

Register Name	Register Addresses
CH0_PHASE	0x30 to 0x31
CH1_PHASE	0x42 to 0x43
CH2_PHASE	0x54 to 0x55
CH3_PHASE	0x66 to 0x67

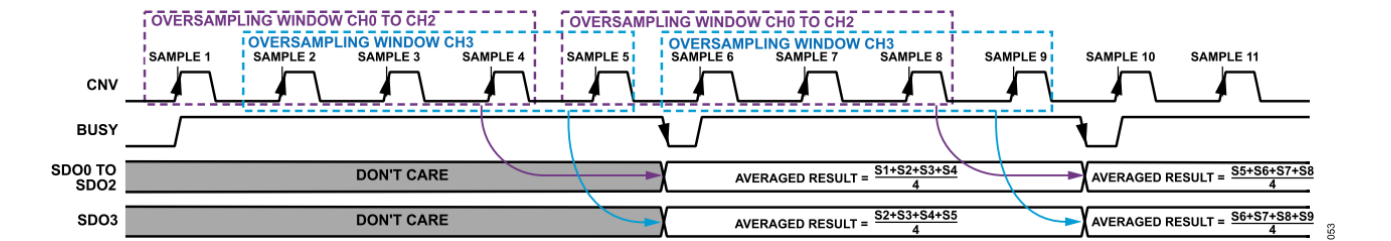


図 52. オーバーサンプリング比が 4 (OS_RATIO = 0x1) の場合のオーバーサンプリング・モード、チャンネル 3 の平均値が 1 サンプル分だけ位相シフト (CH3_PHASE = 0x0001)

動作原理

チャンネルのオーバーレンジおよびアンダーレンジ制限値

AD4852 の各チャンネルに関するすべての変換結果は、20 ビットの符号付きオーバーレンジ制限値 CHx_OR（表 17）およびアンダーレンジ制限値 CHx_UR（表 18）と比較されます。レンジから外れた変換結果が検出されると、CH_OR_STATUS レジスタまたは CH_UR_STATUS レジスタの対応するフラグがセットされます。この制限値チェックは、オーバーサンプリング・モード時に特に有用です（オーバーサンプリング・モードのセクションを参照）。なぜなら、何らかのレンジ外の変換結果がオーバーサンプルされたデジタル平均値に影響したかどうかを、デジタル・ホストが判定できるためです。デフォルトのオーバーレンジ制限値とアンダーレンジ制限値は、それぞれ、バイポーラ入力レンジの正側フル・スケールと負側フル・スケールです。その他の制限値を使用する場合は、目的の 20 ビット符号付きコード制限値を、表 17 と表 18 に示した対応する CHx_OR レジスタと CHx_UR レジスタにプログラムします。

表 17. チャンネルごとのオーバーレンジ制限レジスタ

Register Name	Register Addresses
CH0_OR	0x32 to 0x34
CH1_OR	0x44 to 0x46
CH2_OR	0x56 to 0x58
CH3_OR	0x68 to 0x6A

表 18. チャンネルごとのアンダーレンジ制限レジスタ

Register Name	Register Addresses
CH0_UR	0x35 to 0x37
CH1_UR	0x47 to 0x49
CH2_UR	0x59 to 0x5B
CH3_UR	0x6B to 0x6D

アプリケーション情報

バッファ付きアナログ入力

AD4852 の各チャンネルは、広い同相入力範囲にわたり、アナログ入力ピンの間の電圧差 ($V_{INx+} - V_{INx-}$) を同時にサンプリングします。一方、高い CMRR は、両方の入力に共通する不要信号を減衰させます。広い同相入力範囲と高い CMRR のため、各ピンが ($V_{EE} + 3.2V$) $\sim$ ($V_{CC} - 3.2V$) の間にある限り、 $INx+$ と $INx-$ の両アナログ入力は互いに任意の関係で振幅できます。この機能により、従来のアナログ入力信号の種類 (擬似差動ユニポーラ、擬似差動で真のバイポーラ、完全差動など) を含む、様々な信号振幅を受け入れることができるため、シグナル・チェーン設計が簡素化されます。

バッファ電源である V_{CC} と V_{EE} の動作範囲が広いと、入力同相電圧の柔軟性は更に高くなっています。 $10V \leq (V_{CC} - V_{EE}) \leq 48V$ の電圧差制限が満たされる限り、 V_{CC} 電源と V_{EE} 電源は、それぞれの許容動作範囲内の任意の電圧に個別にバイアスできます。 V_{EE} ピンは直接グラウンドに接続することもできます。この機能により、AD4852 の絶対入力範囲は、特定のアプリケーション要件に応じて調整できます。

すべての SoftSpan レンジにおいて、各チャンネルのアナログ入力は、図 53 に示す等価回路でモデル化できます。アキュイジションの開始時に、サンプリング・コンデンサ (C_{SAMP}) が、サンプリング・スイッチによって内蔵バッファ (BUFFER+ と BUFFER-) に接続されます。サンプルされた電圧は変換プロセスの間にリセットされるため、新しい変換ごとに再度取得されます。図 17 と図 20 に示すように、この広帯域アナログ入力バッファは、連続した変換と変換の間にトランジェント・ステップ・セトリングがある入力信号を取得するのに最適です。最高性能を実現するには、サンプリング時のアナログ入力信号のスルー・レートを $100V/\mu s$ 未満に制限してください。

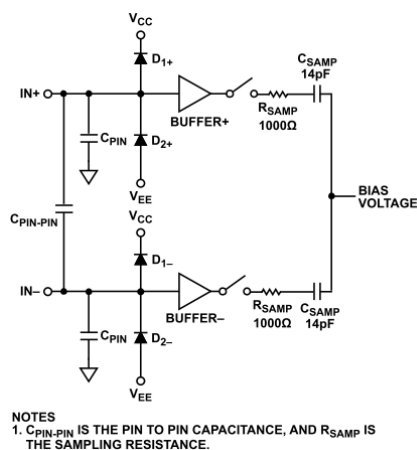


図 53. 差動アナログ入力の等価回路 (シングル・チャンネル)

入力と V_{CC} 電源および V_{EE} 電源の間にあるダイオード ($Dx+$ と $Dx-$) は、入力の ESD 保護のためのものです。アナログ入力が電源電圧の範囲内であれば、AD4852 の DC リーク電流はわずか $75pA$ (代表値) であり、ESD 保護ダイオードがオンになることはありません。この保護機能には、外部オペアンプ・バッファに比べて大きな利点があります。外部オペアンプ・バッファは多くの場合、トランジェント時にオンになるダイオード保護を備えていますが、それにより入力信号経路に電流が注入され、信号電圧が乱されてしまいます。

アナログ入力駆動回路

バッファ入力段は、サンプリング・プロセスからトランジェントを高度にアイソレーションします。インピーダンスが $10k\Omega$ 未満の大半のセンサー、シグナル・コンディショニング・アンプ、フィルタ・ネットワークは、 $4pF$ のアナログ入力受動容量 (C_{PIN}) を直接駆動できます。インピーダンスがより高くセトリングが遅い回路の場合は、アナログ入力ピンと GND ピンの間に $680pF$ のコンデンサを追加することで、AD4852 の DC 精度を完全に維持できます。

AD4852 のユニティゲイン・バッファは入力インピーダンスが高いため、入力駆動条件が緩和されます。また、この高いインピーダンスにより、アンチエイリアスなどの目的で、 $k\Omega$ レベルのインピーダンスや任意の遅い時定数を持つ RC フィルタをオプションで追加できます。駆動能力に制限のあるマイクロパワー・オペアンプも、高インピーダンス・アナログ入力を直接駆動するのに最適です。

AD4852 は、チャンネル間で $120dB$ (代表値) の内部クロストーク・アイソレーションを実現する独自の回路を備えています。このレベルのアイソレーションを確保するには、PCB レイアウトに注意を払う必要があります。入力信号の配線パターンは短くし、十分なシールドを確保して外部結合を最小限に抑えます。AD4852 の異なるチャンネルの入力ピン間の容量性結合は数十フェムトファラッドで、これは PCB 設計が良くない場合に生じる可能性のある結合より数桁も小さい値です。低ソース抵抗や高ソース容量とすることは、外部の容量性結合クロストークの低減に寄与します。シングルエンド入力駆動とすることで、外部クロストーク・アイソレーションを追加できます。他のすべての入力ピンが接地されるか低インピーダンス・ソースにあり、この接地がチャンネル間のシールドとして機能するためです。

アナログ入力のオーバードライブ耐性

$10mA$ 以下のチャンネルで V_{CC} 電源より高い電圧にアナログ入力を駆動しても、他のチャンネルの変換結果には影響しません。このオーバードライブ電流の約 70% は V_{CC} ピンから流出し、残りの 30% は V_{EE} ピンから流出します。 V_{EE} から流出する電流は、 $V_{CC} - V_{EE}$ の電圧降下により熱を発生するため、絶対最大動作ジャンクション温度について考慮する必要があります。 V_{EE} 電源より低い電圧にアナログ入力を駆動すると、他のチャンネルの変換結果が損なわれる可能性があります。

フォルト状態時のラッチアップ電流を $\pm 10mA$ 未満に制限するために ($V_{CC} - V_{EE}$) $> 44V$ とするアプリケーションでは、図 54 に示すように、 $INx+$ ピンと $INx-$ ピンのそれぞれに外部抵抗 (例えば $100\Omega \sim 1000\Omega$) を直列に接続することを推奨します。これらの抵抗は、AD4852 の通常動作ではトランスペアレントです。デバイスの信頼性に関するピンの電圧および電流の制限値については、表 6 の絶対最大定格を参照してください。

V_{CC} より高い電圧あるいは V_{EE} より低い電圧に入力を駆動すると、これらのピンを駆動する外部電源からの通常電流が逆流するおそれがあります。

アプリケーション情報

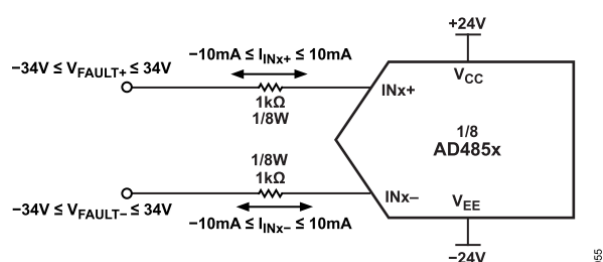


図 54. 外部直列抵抗（AD4852 の通常動作ではトランスペアレント）によるフォルト状態時のラッチアップ電流の制限

アナログ入力のフィルタ処理

真の高インピーダンス・アナログ入力は、様々な受動または能動シグナル・コンディショニング・フィルタに対応できます。バッファ付き DAS 入力のアナログ帯域幅は 11MHz で、外部フィルタに対して特別な帯域幅条件を課すことはありません。そのため、任意の外部入力フィルタを DAS とは無関係に最適化して、シグナル・チェーンのノイズと干渉を除去できます。一般的なフィルタ構成は、図 55 に示すように、サンプリング周波数の半分の位置に極を持つ単純なアンチエイリアス／ノイズ低減 RC フィルタです。

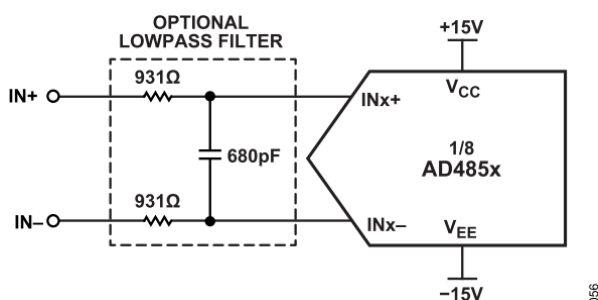


図 55. AD4852 の差動入力フィルタの例

RC フィルタのコンデンサと抵抗は、歪みを増大させないために、高品質のものを使用してください。NPO/COG タイプの誘電体を使用したセラミック・コンデンサは、優れた直線性を持っています。表面実装カーボン抵抗は、自己発熱や半田付け工程での損傷によって歪みが生じるおそれがあります。表面実装型金属薄膜抵抗は、いずれの問題に対してもはるかに耐性があります。

DAS のリファレンス

AD4852 は以下の 3 種のリファレンス構成に対応しています。

- ▶ 内部バンドギャップ・リファレンスと内部リファレンス・バッファ
- ▶ 外部リファレンスと内部リファレンス・バッファ
- ▶ 外部リファレンスと外部リファレンス・バッファ

ほとんどのアプリケーションでは、AD4852 のデフォルト設定である、内部バンドギャップ・リファレンスと内部リファレンス・バッファを使用します。より高い初期精度やより低いリファレンス温度ドリフトが必要なアプリケーションでは、内部バンドギャップ・リファレンスを無効化し、外部リファレンスで REFIO ピンをオーバードライブします。この構成（外部リファレンスと内部リファレンス・バッファ）では、内部リファレンス・バッファが

保持され、ADC の変換トランジェントから外部リファレンスをアイソレーションできるため、1 つの高精度の外部リファレンスを複数のデバイスで共有する場合に最適です。最後の構成（外部リファレンスと外部リファレンス・バッファ）では、内部バンドギャップ・リファレンスと内部リファレンス・バッファを無効化し、外部リファレンスで REFBUF ピンをオーバードライブします。

内部リファレンスと内部バッファを使用

AD4852 は、低ノイズ、低ドリフト（最大 10ppm/°C）の温度補償済みバンドギャップ・リファレンスを内蔵しており、このリファレンスは出荷時に 4.096V に調整されています。このリファレンスの出力は、内部リファレンス・バッファへの入力として機能する REFIO ピンに接続されています（図 56 参照）。REFIO ピンは、バンドギャップ・リファレンスの広帯域ノイズをフィルタ除去するために、10nF のセラミック・コンデンサにより GND ピンに内部でバイパスされています。高精度のユニティゲイン・リファレンス・バッファは、コンバータのメイン・リファレンス電圧（ $V_{REFBUF} = V_{REFIO}$ ）を REFBUF ピンに生成します。内部バンドギャップ・リファレンスを用いた場合、この電圧の公称値は 4.096V です。

内部バンドギャップ・リファレンスの PSRR と周波数の関係を、図 32 に示します。最高性能を発揮するために、VDD ピンへの給電には、LT3042 などの高 PSRR、低ノイズの LDO レギュレータを使用します。オプションとして、REFIO ピンと GND ピン（B4）の間に 100μF、X5R、0805 のコンデンサを外付けすると、100Hz～1MHz の周波数で内部リファレンスの PSRR を大幅に向上させることができます。

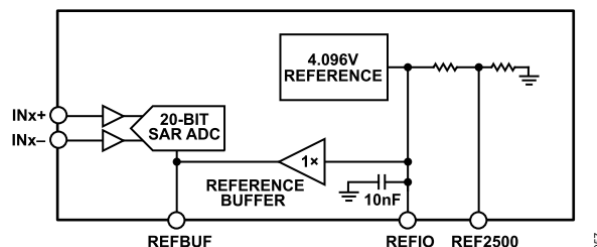


図 56. 内部リファレンスと内部バッファを使用する構成

外部リファレンスと内部バッファを使用

更に高い初期精度や更に低いリファレンス温度ドリフトが必要な場合は、図 57 に示すように REFIO ピンを外部リファレンスでオーバードライブすることができます。LTC6655-4.096 は、小型、低消費電力、高精度であるため、AD4852 と併用して REFIO ピンをオーバードライブするのに最適です。10μF、X5R、0805 のセラミック・コンデンサを REFIO ピンの近くに接続して、LTC6655-4.096 を GND ピン（B4）にバイパスすることを推奨します。この構成では、DEVICE_CTRL レジスタを使って内部バンドギャップ・リファレンスを無効化します。

この構成は内部リファレンス・バッファを保持するため、外部リファレンスを ADC の変換トランジェントからアイソレーションできます。この構成は、1 つの高精度外部リファレンスを複数のデバイスで共有する場合に最適です。また、内部リファレンス・バッファの過渡応答のセクションで説明するように、バースト・サンプリングを行う場合にも最適な過渡応答性能を示します。

アプリケーション情報

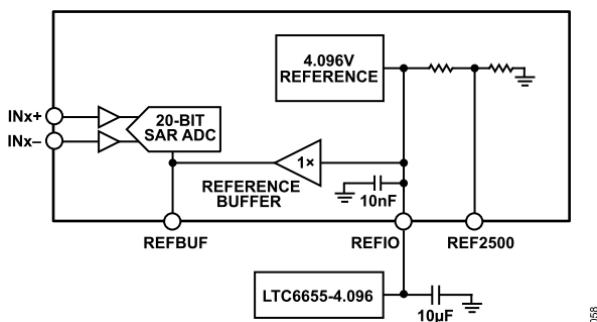


図 57. 外部リファレンスと内部バッファを使用する構成

外部リファレンスを使用し、内部バッファを無効化

外部リファレンスを使用するアプリケーションでは、外部リファレンスと内部バッファを使用する構成を推奨します（[外部リファレンスと内部バッファの構成](#)のセクションを参照）。必要となることはまれですが、AD4852 は図 58 に示す外部リファレンスを使用して REFBUF ピンを直接オーバードライブする構成にも対応しています。LTC6655-4.096 は、小型、低消費電力、高精度であるため、AD4852 と併用して REFBUF ピンをオーバードライブするものに最適です。47μF、X5R の 0805 セラミック・コンデンサを REFBUF ピンの近くに接続して、LTC6655-4.096 を GND ピン（B4）にバイパスすると、トランジェント変換電流を吸収し、ノイズを最小限に抑えることができます。この構成では、DEVICE_CTRL レジスタで内部バンドギャップ・リファレンスと内部リファレンス・バッファを無効化し、REFIO ピンを GND ピンに接続します。

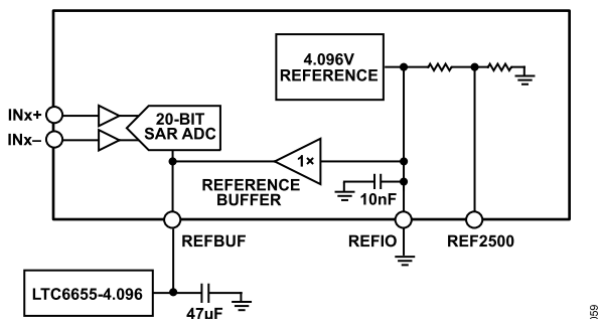


図 58. 外部リファレンスを使用し内部バッファを無効化する構成

AD4852 のコンバータは、各変換サイクルの間に REFBUF ピンから電荷 (Q_{CONV}) を引き出します。内部リファレンス・バッファは、この電荷を最も効率的に供給するよう設計されており、 V_{REFBUF} の変動が最小限に抑えられます。内部バッファが無効化されている場合は、REFBUF ピンの外部リファレンス回路がこの電荷を供給する必要があります。短い時間スケールでは、電荷は外部のバイパス・コンデンサから供給されますが、より長い時間スケールでは、電荷はすべて外部リファレンスから供給されます。この電荷の引出し量は、 $I_{\text{REFBUF}} = Q_{\text{CONV}} \times f_s$ の DC 電流に相当し、そのためサンプル・レートに比例します。長時間のアイドリングの後にバースト・サンプリングが行われるアプリケーションでは (図 59 参照)、 I_{REFBUF} は約 2.2mA から 2.3mA に素早く遷移します ($V_{\text{REFBUF}} = 4.096\text{V}$, $f_s = 250\text{kSPS}$)。この電流ステップにより、外部リファレンスには考慮すべき過渡応答が生じます。これは、 V_{REFBUF} の変動がコンバータの精度に影響するためです。外部リファレンスを用いて REFBUF ピンをオーバードライブする場合

は、セトリングが高速な **LTC6655** ファミリのリファレンスを推奨します。

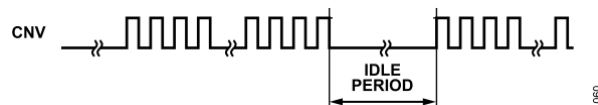


図 59. バースト・サンプリングを示す CNV 波形

内部リファレンス・バッファの過渡応答

バースト・サンプリングを行うアプリケーションで最高の性能を発揮するには、内部リファレンス・バッファを用います。内部リファレンス・バッファには、アイドル期間後のバースト変換に応答した V_{REFBUF} の変動を最小限に抑える、独自の設計が組み込まれています。図 60 では、サポートする 3 種類のリファレンス構成について、DC 入力レベルを用いて AD4852 のバースト変換応答を比較しています。最初の構成では、図 56 に示す内部リファレンスと内部リファレンス・バッファを用いています。2 番目の構成では、図 57 に示すように、内部リファレンス・バッファを使用し、LTC6655-4.096 で REFIO ピンを外部からオーバードライブします。3 番目の構成では、図 58 に示すように、内部リファレンス・バッファを無効化し、LTC6655-4.096 で REFBUF ピンを外部からオーバードライブします。

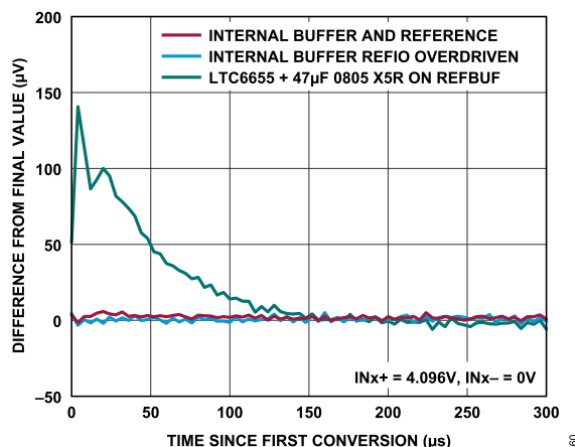


図 60. AD4852 のバースト変換応答 ($f_s = 250\text{kSPS}$)

電力に関する考慮事項

AD4852 には次の 5 つの電源が必要です。

- ▶ V_{CC} および V_{EE} 。正側および負側のアナログ入力バッファ電源です。
- ▶ V_{DD} 。5V のコア電源です。
- ▶ V_{DDH} (または V_{DDL})。1.8V LDO (または 1.8V コア) の電源です。
- ▶ V_{IO} 。デジタル入出力電源です。

5つの電源はすべて、バイパス・コンデンサを内蔵しており、追加の外部バイパスは不要であり推奨しません。

アプリケーション情報

V_{CC} 電源と V_{EE} 電源は、 V_{EE} 電源を直接グラウンドに接続できることも含め、それぞれの許容動作範囲内の任意の電圧に個別にバイアスできます。この機能により、AD4852 の絶対入力範囲は、アプリケーション固有の要件に応じて調整できます。

推奨する使用事例では、図 1 に示すように、 V_{DDL} ピンは内蔵の 1.8V LDO から給電されます。 V_{DDH} ピンは V_{DD} ピンに接続するか、2.2V~5.25V の別の外部電源に接続します。この場合、 V_{DDL} ピンと外部との接続は行いません。 V_{DDL} ピンに外部から給電するには、図 61 に示すように、 V_{DDH} ピンを GND ピンに接続して内部 LDO を無効化し、 V_{DDL} ピンを外部の 1.8V 電源に接続します。

V_{IO} 電源には柔軟性があるため、AD4852 は、2.5V~3.3V のシステムを含め、0.9V~5.25V ($\overline{HIVIO}/\overline{LOVIO}$ ピンのロジック状態で制御) で動作する CMOS ロジックで通信することができます。LVDS データ出力モードを使用する場合は、 V_{IO} 電源の範囲は、1.71V~5.25V ($\overline{HIVIO}/\overline{LOVIO}$ ピンのロジック状態で制御) です。詳細については、表 1 と表 9 を参照してください。

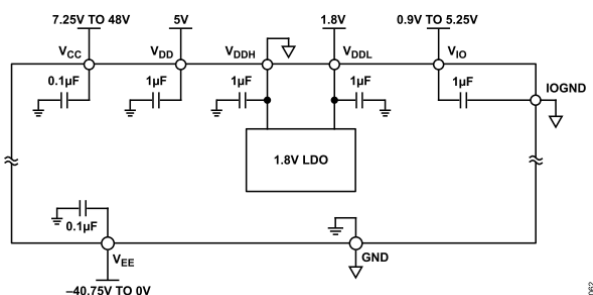


図 61. V_{DDL} が外部給電される場合の AD4852 の電源ピン

電源シーケンス

AD4852 には、電源シーケンスに関して特定の条件はありません。絶対最大定格のセクションに記載されている最大電圧の関係を遵守してください。AD4852 には POR 回路が内蔵されており、初期パワー・アップ時、 V_{DD} 電源が 3.4V 未満に低下した場合や V_{DDL} 電源が 1.2V 未満に低下した場合にコンバータがリセットされます。電源電圧が公称の電源電圧範囲に戻ると、POR 回路は DAS を再度初期化します。POR イベントが終了したことを示す BUSY ラインの立下がりエッジ後、少なくとも $t_{WAKE,MAX} = 1ms$ の間は、変換を開始しないでください。この時間より前に変換を開始しても、有効な結果とはなりません。

タイミングと制御

AD4852 のサンプリングと変換は、CNV ピンによって制御されます。CNV ピンの立上がりエッジで、すべてのチャンネルのサンプル&ホールド回路がトラック・モードからホールド・モードに移移し、すべてのチャンネルの入力信号が同時にサンプリングされ、変換が開始されます。いったん変換が開始されると、DAS をリセットする以外に早期に終了させることはできません (リセット・タイミングのセクションを参照)。最高性能を発揮するために、CNV ピンはノイズのない低ジッタの信号で駆動し、また、CNV ピンの立上がりエッジを誘発するデータ入出力ライン上の遷移が生じないようにします。更に、CNV ピンの立上がりエッジの前後 100ns の間は、アナログ入力の高いスルー・レートを避けてください。コンバータのステータスは、BUSY 出力によって示されます。BUSY 出力は各変換の開始時にローからハイに移移し、変換が完了するまでハイのままになります。内部変換プロセス中

の外部からの擾乱を最小限に抑えるために、CNV ピンをハイに駆動して変換を開始してから 40ns~60ns 経過後または BUSY ラインの立下がりエッジの後に CNV ピンをローに戻す必要があります。サンプリング・レートを下げて消費電力を低減するのに必要な CNV のタイミングについては、ナップ・モードのセクションで説明します。

AD4852 には内部クロックがあり、250kSPS での変換時に 725ns の最大変換時間と 3465ns の最小アキュイジション時間を確保できるよう調整されています。AD4852 のアーキテクチャにより、図 2 に示すように、コンバータは前のサンプリングが完了する前に次のサンプルの取得を始めることができます。最小アキュイジション時間はサンプリング周波数によって異なります。

ナップ・モード

変換の完了後に AD4852 をナップ・モードにすることで、変換と変換の間の消費電力を削減できます。このモードでは、アナログ入力信号のサンプリングに関連した回路を含め、デバイスの一部の回路がオフになります。ナップ・モードを有効にするには、図 62 に示すように、変換と変換の間で CNV ピンをハイのままにします。ナップ・モードになった後、新しい変換を開始するには、CNV ピンをローにし、750ns 以上それを保持してから再度ハイにします。ナップ・モードを使用する場合のコンバータのアキュイジション時間は、CNV ピンのロー時間で設定されます。

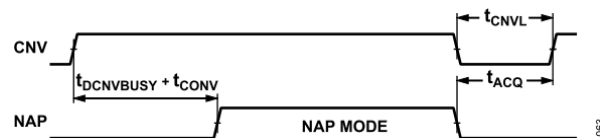


図 62. AD4852 のナップ・モードのタイミング

パワーダウン・モード

PD ピンがハイに駆動されるか、デバイス設定レジスタの PWR_MODE ビット (ビット[1:0]) が 0x3 に設定されると、AD4852 はパワー・ダウンされ、以降の変換要求は無視されます。変換中に PD ピンの切り替え、または PWR_MODE ビットの変更が行われた場合は、変換が完了すると、デバイスはパワー・ダウンされます。このモードでは、AD4852 はわずかなスタンバイ電流を消費するだけなので、消費電力は 1.3mW (代表値) となります。パワーダウン・モードを終了するには、PD ピンをローにし、少なくとも $t_{WAKE,MAX} = 1ms$ だけ待機してから、変換を開始します。この時間より前に変換を開始しても、有効な結果とはなりません。

アプリケーション情報

チャンネル・スリープ

AD4852 の各チャンネルは、消費電力を削減するために、個別にスリープ・モードにすることができます。スリープ・モードが有効化されている場合、チャンネルの入力バッファと ADC は低消費電力のスタンバイ状態になり、変換要求は無視されます。デフォルトでは、全チャンネルのスリープ・モードが無効化されています。1つのチャンネルでスリープ・モードを有効化するには、CH_SLEEP レジスタの対応する制御ビットを 1 に設定します。

リセット・タイミング

AD4852 のグローバル・リセットは、POR イベントに相当し、電源の再投入を行うことなく実行できます。この機能は、システム全体を既知の同期状態にリセットする必要があるシステムレベルのイベントから回復する際に有用です。グローバル・リセットを開始するには、[図 63](#) に示すように、変換を介さずに PD ピンを 2 回ハイに駆動します。あるいは、変換を介さずに、[デバイス設定レジスタ](#)の PWR_MODE ビット（ビット[1:0]）を用いてパワーダウン・モードの開始、終了、再度開始を行うことで、同等のグローバル・リセットをトリガできます。

リセット・イベントは、PD ピンの 2 番目の立上がりエッジでトリガされ、内部タイマーに基づき非同期で終了します。リセットにより、すべてのシリアル・データ出力レジスタはクリアされ、すべてのデバイス状態はそれぞれの POR デフォルト状態に復元されます。リセットが変換中にトリガされた場合、変換は直ちに停止されます。PD ピンがハイになることに関連した通常パワーダウン動作は、リセットの影響を受けません。いったん PD ピンがローになったら、変換を開始する前に、少なくとも $t_{WAKE,MAX} = 1ms$ だけ待機します。この時間より前に変換を開始しても、有効な結果とはなりません。

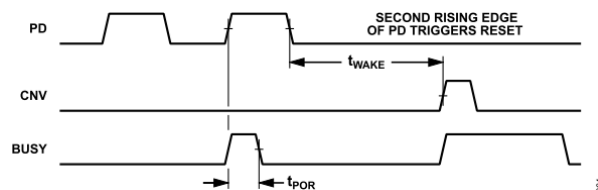


図 63. AD4852 のリセット・タイミング

デジタル・インターフェース

AD4852 は CMOS (図 64 参照) と LVDS (図 69 参照) の両方のシリアル変換データ出力インターフェースに対応しており、LVDS/CMOS ピンを用いて選択できます。 V_{IO} 電源は柔軟性があるため、AD4852 は、0.9V~5.25V (HIVIO/LOVIO ピンのロジック状態で制御) で動作する CMOS ロジックで通信でき、一方、LVDS インターフェースでは低ノイズのデジタル・システムに対応できます。CMOS 変換データ出力モードでは、アプリケーションは 1 レーンから 4 レーンのシリアル・データ出力を使用できるため、最適なバス幅と変換データ・スループットを実現できます。

CMOS 変換データ出力モード

図 64 と図 65 に示すように、シリアル CMOS 変換データ出力バスは、以下のラインで構成されています。

- ▶ 1 本のシリアル・クロック入力 (SCKI)
- ▶ 1 本のシリアル・クロック出力 (SCKO)
- ▶ 4 本のシリアル・データ出力レーン (SDO0~SDO3)

このバスを介した AD4852 との通信は、事前に定められたデータ・トランザクション・ウィンドウの間に行われます。ウィンドウ内で、デバイスは、SDO0 レーン~SDO3 レーンの、変換結果またはオーバーサンプリング結果、オプションのチャンネル構成、デバイス・ステータス情報を含む、ユーザ設定可能なパケットを出力します。4 番目のチャンネル・パケットに続き、診断およびエラー・チェックのために、デバイス・ステータスと 16 ビットの巡回冗長検査 (CRC) を含む 5 番目のパケットを読み出すことができます。AD4852 では、ユーザ選択可能な 3 つのパケット・サイズ (20 ビット長、24 ビット長、32 ビット長) をサポートしています (パケット・フォーマットのセクションを参照)。

次の変換を開始する前に、SCKI 信号の最後のエッジから CNV 信号の立上がりエッジまでに 20ns ($t_{SCKICNV,MIN}$) 以上の時間を確保して、データ・トランザクションを完了します (図 64 参照)。次の変換を開始した後もパケットを読み出すことは可能ですが、変換精度が低下するため推奨できません。

BUSY ピンの立下がりエッジの直前に、SDO0 レーン~SDO3 レーンは、それぞれアナログ入力チャンネル 0~チャンネル 3 の最新の変換結果またはオーバーサンプリング結果に更新されます。SCKI 信号の立上がりエッジでは、クロックに同期してデータが SDO0 レーン~SDO3 レーンにシリアルに出力されます。SCKO 信号は SCKI 信号のエコーですが、SDO0 レーン~SDO3 レーンのデータとスキューが整合しています。CMOS モードでは、SCKI 信号はハイとローのどちらでもアイドル状態になることができます。CMOS 変換データ出力バスが有効化されるのは $\overline{CS}$ 信号がローの場合です。 $\overline{CS}$ がハイの場合は無効化され高インピーダンスになり、バスは複数のデバイスで共有できます。

AD4852 を標準的な SPI ホストとインターフェースする場合は、SCKI 信号の立上がりエッジ時にレシーバーで出力データを取り込みます。これ以外のアプリケーション、例えば、AD4852 を FPGA とインターフェースする場合などでは、SCKO 信号を用いて、SDO0 レーン~SDO3 レーンのシリアル出力データをレシーバーで取り込むことができます。SCKO 信号を用いてデータを取り込むと、温度や電源による遅延の変動に対し、堅牢性が向上します。

図 64 と図 66 に示すように、各 SDO レーンは、順次巡回する方法で、すべてのアナログ入力チャンネルのパケットを出力します。例えば、SDO0 レーンの最初のパケット出力はチャンネル 0 のアナログ入力に対応し、それに続いて、チャンネル 1~チャンネル 3 のパケットが出力されます。最後に、デバイス・ステータスと 16 ビット CRC を含むパケットが読み出せます。その後 SDO0 レーンのデータ出力はチャンネル 0 に戻り、このパターンが限りなく繰り返されます。その他の SDO レーンも同様の巡回パターンに従います。ただし、各レーンの最初のパケットは、それぞれの関連するアナログ入力チャンネルに対応します。チャンネルあたり 250kSPS のスループットを完全に実現するには、データ・パケットが 4 本すべての SDO データ出力レーンから並列に取り込まれる必要があります。フル・スループットを必要としないアプリケーションでは、データ・トランザクション・ウィンドウ内で印加される SCKI パルスの数を増やすことで、使用する物理的な SDO レーンの数減らしてすべてのデータ・パケットを読み出すことができます。

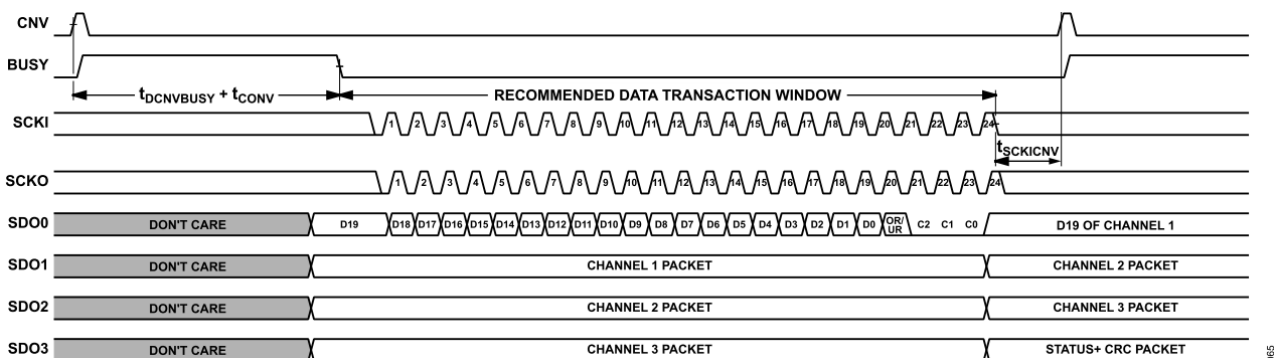


図 64. CMOS 変換データ・バスのタイミング (PACKET_SIZE = 0x1、OS_EN = 0、TEST_PAT = 0)

デジタル・インターフェース

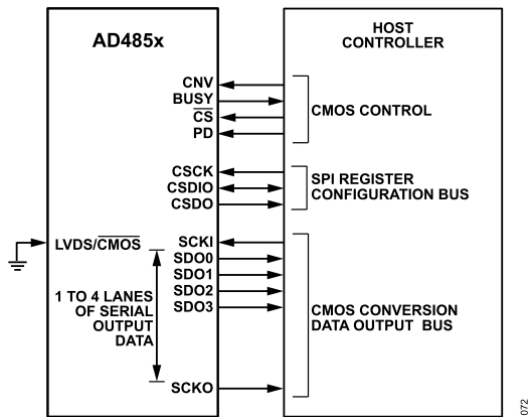


図 65. AD4852 の CMOS 変換データ出力モード

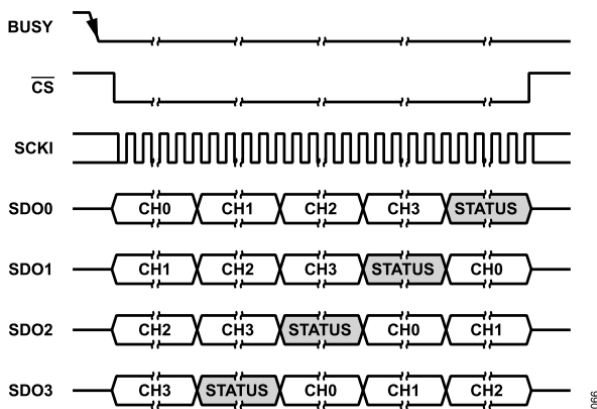


図 66. 印加する SCKI パルスの数を増やすことで、少ない SDO レーンですべてのパケットを読み出すことが可能

LVDS 変換データ出力モード

LVDS 変換データ出力モードでは、情報は、(LVDS+ - LVDS-) としてビットが差分エンコードされた正と負の信号ペアを用いて伝達されます。これらの信号は通常、特性インピーダンスが 100Ω の差動伝送ラインを用いて配信されます。論理 1 と論理 0 は、形式上、それぞれ +350mV と -350mV の差動電圧で表されます。

図 69 に示すように、シリアル LVDS 変換データ出力バスは、次のラインで構成されます。

- ▶ SCKI+ と SCKI-。差動シリアル・クロック入力ペアです。
- ▶ SCKO+ と SCKO-。差動シリアル・クロック出力ペアです。
- ▶ SDO+ と SDO-。差動シリアル・データ出力ペアです。

このバスを介した AD4852 との通信は、事前に定められたデータ・トランザクション・ウィンドウの間に行われます。ウィンドウ内で、デバイスは、SDO ラインにおける変換結果またはオーバーサンプリング結果、オプションのチャンネル構成、デバイス・ステータス情報を含む、ユーザ設定可能なパケットを出力します。4 番目のチャンネル・パケットに続き、診断およびエラー・チェックのために、デバイス・ステータスと 16 ビット CRC を含む 5 番目のパケットを読み出すことができます。AD4852 では、ユーザ選択可能な 3 つのパケット・サイズ (20 ビット長、24 ビット長、32 ビット長) をサポートしています (パケット・フォーマットのセクションを参照)。

図 69 に示すように、次の変換を開始する前に、20ns

($t_{SCKICNV,MIN}$) 以上の時間を確保して、データ・トランザクションを完了します。次の変換を開始した後もパケットを読み出すことは可能ですが、変換精度が低下するため推奨できません。

BUSY 信号の立下がりエッジの直前に、SDO ラインは、チャンネル 0 のアナログ入力からの最新の変換結果またはオーバーサンプリング結果に更新されます。SCKI 信号の立下がりエッジと立下がりエッジの両方で、クロックに同期して SDO ラインにデータがシリアルに出力されます。また、SCKI 信号は、SDO ラインのデータにスキューを整合させた SCKO 信号にエコーされます。

可能であれば、SCKO ラインの立下がりエッジと立下がりエッジを使用して、ダブル・データ・レート (DDR) のシリアル出力データを SDO ラインで取り込むことを推奨します。こうすることで、電源や温度による遅延変動に対する堅牢性を最大にできるためです。CS 信号がローになると LVDS バスは有効化されます。CS 信号がハイのときは、LVDS バスは無効化されて高インピーダンスになり、バスは複数のデバイスで共有できます。LVDS の信号処理は高速であるため、LVDS バスの共有は慎重に検討する必要があります。共有バスに課せられる伝送ラインの制限により、実現可能な最大バス・クロック速度が制限される可能性があります。CS 信号がローのときは、LVDS の入力は 100Ω の差動抵抗で内部終端されますが、出力は 100Ω の抵抗を用いてレシーバー

(FPGA) で差動終端する必要があります。LVDS 出力モードでは、SCKI ラインは、CS 信号を遷移させるときを含め、ロー状態にアイドリングする必要があります。

図 68 と図 69 に示すように、SDO ラインは、順次巡回する方法で、すべてのアナログ入力チャンネルのデータ・パケットを出力します。例えば、SDO ラインの最初のパケット出力はチャンネル 0 のアナログ入力に対応し、それに続いて、チャンネル 1 からチャンネル 3 までのパケットが出力されます。最後に、デバイス・ステータスと 16 ビット CRC を含むパケットが読み出せます。その後 SDO ラインのデータ出力はチャンネル 0 に戻り、このパターンが限りなく繰り返されます。

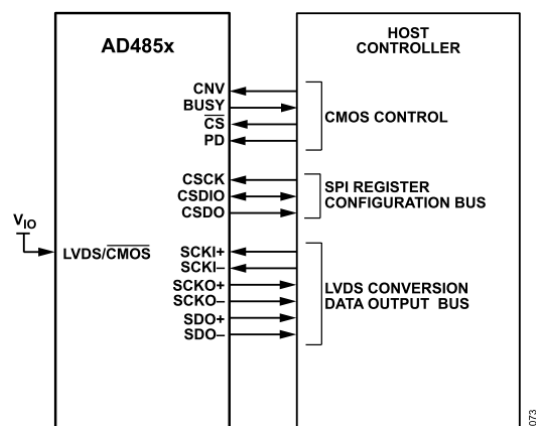


図 67. AD4852 の LVDS 変換データ出力モード

デジタル・インターフェース

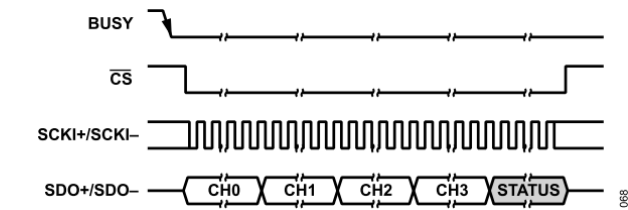


図 68. すべてのパケットが SDO+および SDO-にシーケンシャルに出力

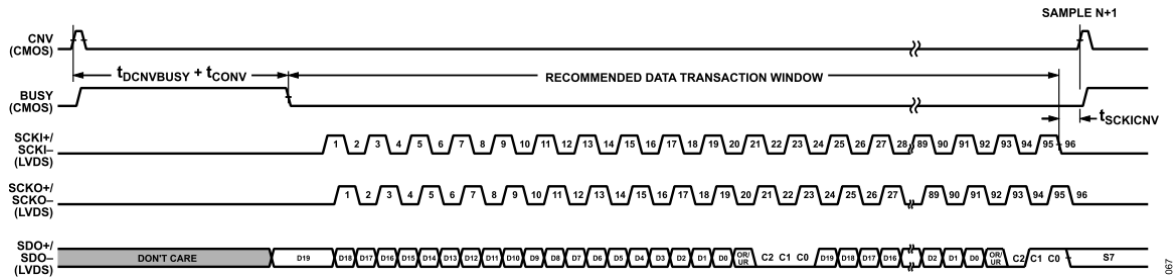


図 69. LVDS シリアル変換データ・バスのタイミング (PACKET_SIZE = 0x1、OS_EN = 0、TEST_PAT = 0)

デジタル・インターフェース

パケット・フォーマット

CMOS および LVDS の変換データ出力バスで供給されるデータは、図 66 と図 68 に示すように、4 個のチャンネル・パケットと 5 番目のステータス・パケットを組み合わせたものとなっています。パケット・データのフォーマットは、パケット・サイズ、オーバーサンプリング・モード、テスト・パターン構成によって異なります。AD4852 では、ユーザ選択可能な 3 つのパケット・サイズ (20 ビット長、24 ビット長、32 ビット長) をサポートしています。デフォルトのパケット・サイズは 24 ビットです。

非オーバーサンプリング・パケット・フォーマット

非オーバーサンプリング・モードに設定された AD4852 では、図 70 に示すチャンネルおよびステータスのパケット・データ・フォーマットが使用できます。パケット・サイズを選択するには、パケット・フォーマット・レジスタの PACKET_SIZE ビットを用い

ます。チャンネル・パケットには、20 ビットの変換結果の他、オプションとして、変換結果のオーバーレンジ/アンダーレンジ、チャンネル番号、およびチャンネルの SoftSpan コードの情報が含まれます。ステータス・パケットには、DEVICE_STATUS レジスタの状態に関する情報と、4 個のチャンネル・パケットと 5 番目のステータス・パケットの全データについて計算された 16 ビット CRC が含まれます。

次の CRC 多項式を使用してチェックサムを計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1 \quad (4)$$

ここで、CRC 計算の初期値は、すべてのトランザクションで 0x0000 です。

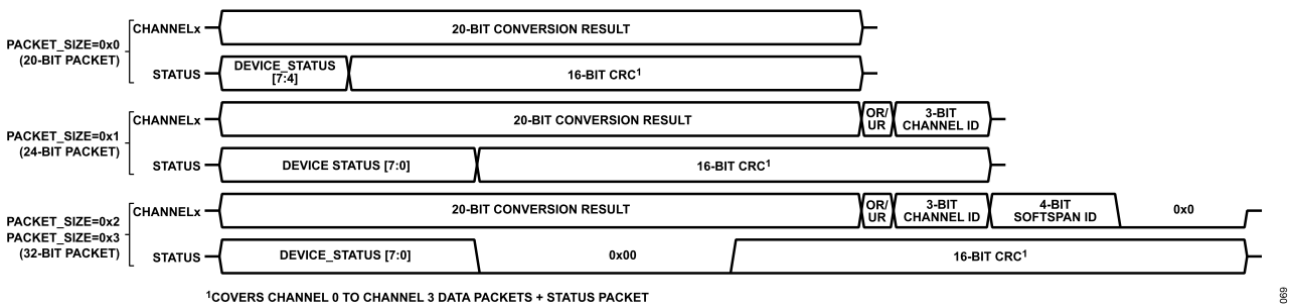


図 70. 非オーバーサンプリング・モード (OS_EN = 0) でのチャンネルおよびステータス・パケット・データのフォーマット (テスト・パターン出力は無効 (TEST_PAT = 0))

デジタル・インターフェース

オーバーサンプリング・パケット・フォーマット

オーバーサンプリング・モードに設定された AD4852 では、[図 71](#) に示すチャンネルおよびステータスのパケット・データ・フォーマットが使用できます。パケット・サイズを選択するには、[パケット・フォーマット・レジスタ](#)の PACKET_SIZE ビット（ビット [1:0]）を用います。チャンネル・パケットには、20 ビットまたは 24 ビットの平均化された変換結果の他、オプションとして、平均結果に含まれる任意の変換のオーバーレンジ／アンダーレンジ、チャンネル番号、チャンネルの SoftSpan コードの情報が含まれます。ステータス・パケットには、[デバイス・ステータス・レジス](#)

[タ](#)の状態に関する情報と、4 個のチャンネル・パケットと 5 番目のステータス・パケットの全データについて計算された 16 ビット CRC が含まれます。

次の CRC 多項式を使用してチェックサムを計算します。

$$x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1 \quad (5)$$

ここで、CRC 計算の初期値は、すべてのトランザクションで 0x0000 です。

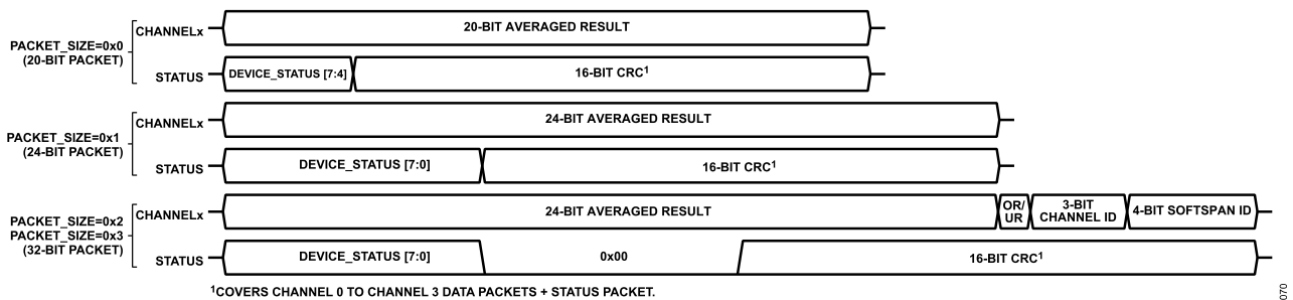


図 71. オーバーサンプリング・モード（OS_EN = 1）でのチャンネルおよびステータス・パケット・データのフォーマット（テスト・パターン出力は無効（TEST_PAT = 0））

デジタル・インターフェース

テスト・パターン・パケット・フォーマット

AD4852 には、CMOS または LVDS 変換データ出力バス動作を検証するためのテスト・パターン・データ出力オプションがあります。このモードを有効化するには、[パケット・フォーマット・レジスタ](#)の TEST_PAT ビット（ビット 2）を 1 に設定します。テスト・パターン・データ出力が有効化されている場合は、[図 72](#) に示すチャンネルおよびステータスのパケット・データ・フォーマットが使用できます。パケット・サイズを選択するには、[パケット・フォーマット・レジスタ](#)の PACKET_SIZE ビット（ビット [1:0]）を用います。このモードのチャンネル・パケット・データは、[表 19](#) に示すように、CHx_TESTPAT レジスタのデータで定義されます。デフォルト状態では、CHx_TESTPAT レジスタの最上位ニブルにチャンネル番号が入り、その後に 0xACE3C2A の固定

パターンが続きます。これらのレジスタは、アプリケーションに必要なテスト・パターンに合うよう更新してください。ステータス・パケットには、4 個のチャンネル・パケットと 5 番目のステータス・パケットの全データについて計算された 16 ビット CRC が含まれます。

表 19. チャンネルごとのテスト・パターン・レジスタ

Register Name	Register Addresses	Default Pattern
CH0_TESTPAT	0x38 to 0x3B	0x0ACE3C2A
CH1_TESTPAT	0x4A to 0x4D	0x1ACE3C2A
CH2_TESTPAT	0x5C to 0x5F	0x2ACE3C2A
CH3_TESTPAT	0x6E to 0x71	0x3ACE3C2A

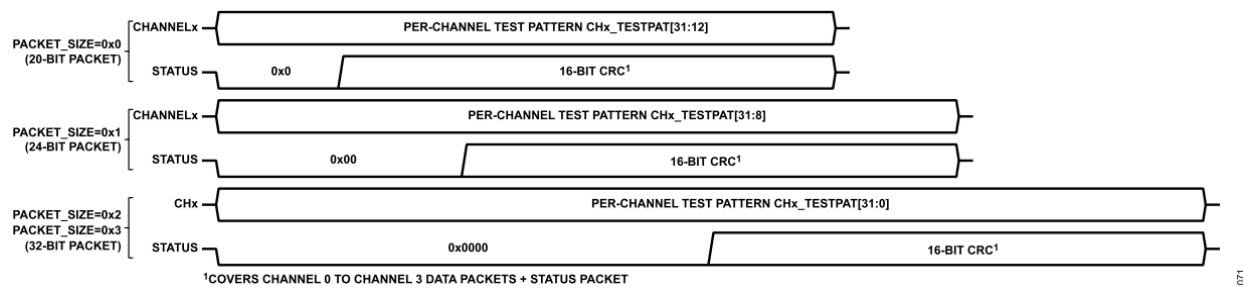


図 72. テスト・パターン出力を有効化した場合（TEST_PAT = 1）のチャンネルおよびステータス・パケット・データのフォーマット

デジタル・インターフェース

SPI レジスタ設定バス

SPI レジスタ設定バスにより、デジタル・ホストは AD4852 のメモリ・マップ・レジスタとの間で読み書きを行うことができます。このバスは、CMOS または LVDS 変換データ出力バスとは無関係です。

デバイスのパワー・アップ時またはグローバル・リセット時には、SPI レジスタ設定バスは、CSCK ピン、CSDIO ピン、 $\overline{\text{CS}}$ ピンで構成される 3 線式動作にデフォルト設定されます。4 線式ホストとインターフェース接続する際には双方向 CSDIO ピンでのバス競合を避けるために、レジスタ読出しトランザクションを実行する前に AD4852 を 4 線式動作に設定する必要があります。4 線式モードを有効化するには、**SPI 設定 A レジスタ**の CSDO_EN ビット（ビット 4）を 1 に設定します。4 線式モードの SPI シリアル・データは、デフォルトで CSDO ラインに出力されますが、**SPI 設定 D レジスタ**の CSDO_ON_SDO0 ビット（ビット 0）を 1 に設定すれば SDO0 レーンに出力できます。

基本的な SPI フレームは、 $\overline{\text{CS}}$ の立下がりエッジで始まり、16 ビットの命令フェーズと可変長のデータ・フェーズが続き、 $\overline{\text{CS}}$ の立下がりエッジで終了します。CSDIO レーンの入力データは、CSCK ラインの立下がりエッジでラッチされ、CSCK の立下がりエッジで CSDIO レーン（3 線式モード）または CSDO ライン（4 線式モード）にシフト・アウトされます。データは、すべての SPI トランザクションで MSB ファーストに揃えられます。

命令フェーズ

どの SPI フレームも $\overline{\text{CS}}$ の立下がりエッジで始まり、その直後に命令フェーズが続きます。命令フェーズは、読出し／書込み（R/W）ビットと、それに続く 15 ビットのレジスタ・アドレス・ワードで構成されます。図 73 と図 74 に示すように、R/W ビットをハイに設定すると読出し命令が開始され、ローに設定すると書込み命令が開始されます。レジスタ・アドレス・ワードはアクセス先のレジスタのアドレスを指定します。

AD4852 では 2 つの命令モードをサポートしています。ストリーミング命令モードでは、可変長データ・フェーズの間に複数の隣

接アドレスにアクセスでき、 $\overline{\text{CS}}$ の立下がりエッジで終了します（**ストリーミング命令モード**のセクションを参照）。非ストリーミング命令モードでは、各命令の後に 1 バイト（とオプションの CRC バイト）のデータ・フェーズが続き、命令ごとに 1 つのアドレスにアクセスできます（**非ストリーミング命令モード**のセクションを参照）。このモードでは、命令フェーズとデータ・フェーズの複数のペアが 1 つの SPI フレームで供給されます。

データ・フェーズ

データ・フェーズでは、レジスタ読出しの場合は、CSCK ラインの立下がりエッジでレジスタ・データが CSDIO ライン（3 線式モード）または CSDO ライン（4 線式モード）にシフト・アウトされます。レジスタ書込みの場合は、CSCK ラインの立下がりエッジでレジスタ・データが CSDIO ラインにラッチされます。レジスタの内容は、レジスタ書込みの間に完全なバイトが受信されるたびに更新されます。SPI バスの CRC チェックが有効化されている場合、レジスタが更新されるのは、各データ・バイトに続いて有効な CRC チェックサム・バイトが受信されたときだけです（**SPI バスの CRC チェック機能**のセクションを参照）。

3 線式 SPI 動作

デバイスのパワー・アップ時またはグローバル・リセット後は、SPI レジスタ設定バスは、CSCK ピン、CSDIO ピン、 $\overline{\text{CS}}$ ピンで構成される 3 線式動作にデフォルト設定されます。図 73 に示すタイミング図は、この動作モードでのシングルバイトの SPI 読出しおよび書込みトランザクションを示したものです。

書込みトランザクション時、CSDIO ピンは、命令フェーズとデータ・フェーズのどちらにおいても、シリアル・データ入力として機能します。読出しトランザクション時は、CSDIO ピンは、命令フェーズにおいてはシリアル・データ入力、データ・フェーズにおいてはシリアル・データ出力として機能します。入力から出力への遷移は、命令フェーズの最後の CSCK の立下がりエッジの後に生じます。3 線式モードを用いることで、AD4852 とデジタル・ホストの間の配線に必要なデジタル・ラインは 3 本で済みます。

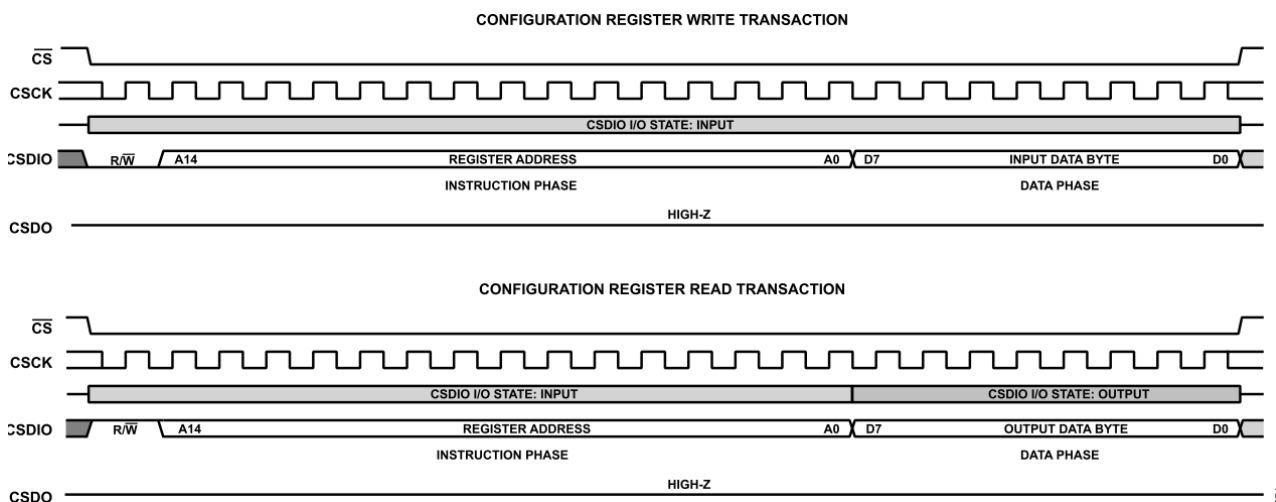


図 73. 3 線式 SPI レジスタ設定バスのフレーム

デジタル・インターフェース

4 線式 SPI 動作

SPI レジスタ設定バスの 4 線式動作を有効にするには、[SPI 設定 A レジスタ](#)の CSDO_EN ビット（ビット 4）を 1 に設定します。4 線式モードでは、SPI シリアル・データは、デフォルトで CSDO ピンに出力されますが（[図 74](#) 参照）、[SPI 設定 D レジスタ](#)の

CSDO_ON_SDO0 ビット（ビット 0）を 1 に設定すれば SDO0 ピンに出力することもできます。後者を選択すれば、AD4852 とホスト・コントローラの間に必要なデータ・ラインの数を減らすことができます。4 線式バス動作では、CSDIO ピンは常にシリアル・データ入力として機能し、CSDO ピンまたは SDO0 ピンのいずれかがシリアル・データ出力として機能します。

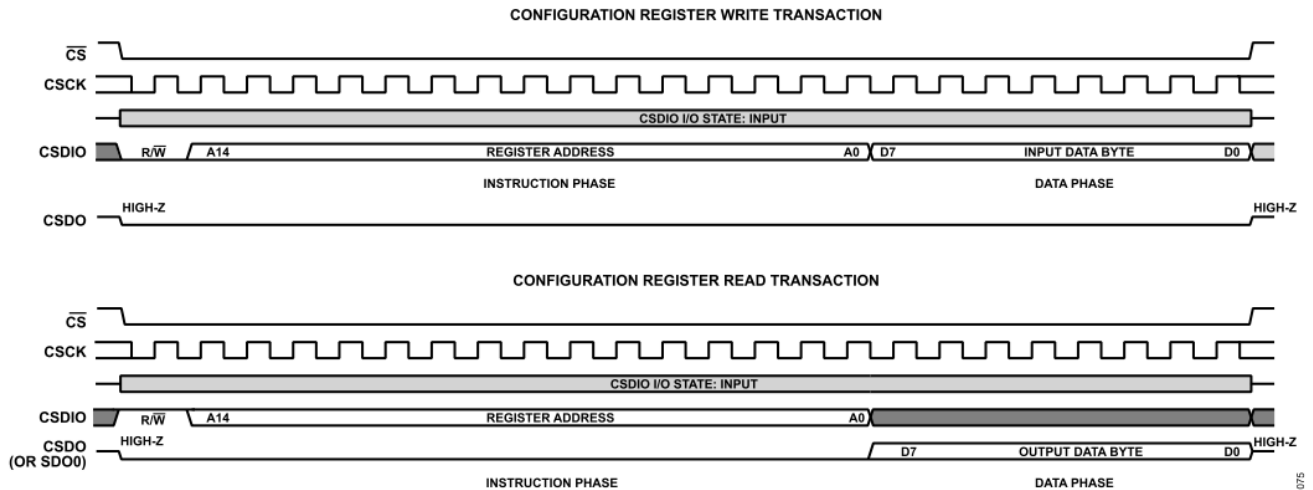


図 74. 4 線式 SPI レジスタ設定バスのフレーム

デジタル・インターフェース

ストリーミング命令モード

SPI 設定 B レジスタの INST_MODE ビット（ビット 7）を 0 に設定すると、ストリーミング・モードが有効になります。ストリーミング・モードでは、SPI フレームごとに 1 つの命令フェーズ（**命令フェーズ**のセクションを参照）のみが受け入れられ、その後複数のデータ・フェーズ（**データ・フェーズ**のセクションを参照）が続き、レジスタごとに 1 つのデータ・フェーズがアクセスされます。

読出しまたは書込み中のレジスタ・アドレスは、各データ・フェーズの後に自動的にインクリメント（**SPI 設定 A レジスタ**のビット 5 である ADDR_DIR ビットが 1）またはデクリメント（ADDR_DIR ビットが 0）されます。ストリーミング・モードにより、AD4852 のメモリ・マップの隣接する大量のレジスタ・アドレスに効率的にアクセスできます。また、このモードはデフォルトで有効化されています。

昇順アドレス・オプションを選択した場合、アドレスは、LOOP_SIZE ビット（**ループ設定 A レジスタ**のビット[7:0]）で定義される回数だけ自動的にインクリメントします。アドレスが 0x71 に達すると、後続のバイト・アクセスはアドレス 0x00 から続行されます。

降順アドレス・オプションを選択した場合、アドレスは、LOOP_SIZE ビット（**ループ設定 A レジスタ**のビット[7:0]）で定義される回数だけ自動的にデクリメントします。アドレスが 0x00 に達すると、後続のバイト・アクセスはアドレス 0x71 から続行されます。

デフォルトでは、LOOP_SIZE ビット（**ループ設定 A レジスタ**のビット[7:0]）は CS ピンの立上がりエッジごとに 0 にリセットされます。そのため、ユーザ設定値が保持されるのは 1 つの SPI フレームの間のみです。永続的なループが必要な場合は、KEEP_LOOP_SIZE ビット（**ループ設定 B レジスタ**のビット 2）を 1 に設定します。

ストリーミング・モードでは 1 フレームにつき 1 つの命令フェーズしかないため、所定の SPI フレーム内のすべての SPI トランザクションは、すべて読出し、またはすべて書込みのいずれかになります。

非ストリーミング命令モード

INST_MODE ビット（**SPI 設定 B レジスタ**のビット 7）を 1 に設定すると、非ストリーミング命令モードが選択されます。非ストリーミング命令モードでは、1 つの SPI フレームで 1 つまたは複数の SPI トランザクションを提供できます。各トランザクションには、読出しまたは書込みのいずれが実行されるのか、そして、どのアドレスにアクセスするのかを示す、命令フェーズが含まれます。SPI フレームでアドレスが隣接するレジスタに対して独占的に読み書きできるストリーミング・モードとは異なり、非ストリーミング命令モードでは、デジタル・ホストは 1 つの SPI フレーム内でレジスタ・アドレスが隣接していないレジスタに対して迅速に読み書きすることができます。

SPI バスの CRC チェック機能

AD4852 のレジスタ・バス・データには、8 ビット CRC に基づくエラー・チェック機能がオプションで備わっています。CRC が有効化されている場合、各レジスタの読出しトランザクションまたは書込みトランザクションのデータ・フェーズに 8 ビットのチェックサム・コードが追加されます。チェックサムの値は、読出しあるいは書込みが行われるデータから計算されるため、AD4852 とデジタル・ホストは、データの破損が生じたかどうかを検知できます。チェックサムが対応するレジスタのデータに一致しない場合、そのレジスタの読出しまたは書込みは無効とみなされません。

次の CRC 多項式を用いて、チェックサムを計算します。

$$x^8 + x^2 + x + 1 \quad (6)$$

CRC 計算の初期値は、すべてのトランザクションで 0xA5 です。

レジスタの一覧

AD4852 には、デバイスを設定したり、その状態をモニタしたりするためのプログラマブルなユーザ・レジスタが備わっています。これらのレジスタには、SPI レジスタ設定バスを用いてアクセスできます（[SPI レジスタ設定バス](#)のセクションを参照）。表 20 に、AD4852 の全レジスタのマップと、各シングルバイト・レジスタに含まれるビット・フィールドの概要を示します。この表で指定されていないレジスタ・アドレスは予約済みです。[レジスタの詳細](#)のセクションでは、各レジスタについてより詳細に説明しています。レジスタの詳細はチャンネル 0 について説明していますが、この説明は後続のチャンネル 1～チャンネル 3 のすべてのチャンネル・レジスタに適用できます。リセットの状態は、デバイス・リセット後のレジスタおよびビット・フィールドのデフォルト状態を示しています。アクセス・モードは、ビットが読み出し専用（R）、読み出しまたは書き込み（R/W）、あるいは読み出しまたは 1 を書き込んでクリア（R/W1C）のどれであることを示しています。

表 20. レジスタの一覧

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x00	SPI_CONFIG_A	[7:0]	SW_RST_M SB	RESERVED	ADDR_DIR	CSDO_EN	RESERVED			SW_RST_L SB	0x00	R/W
0x01	SPI_CONFIG_B	[7:0]	INST_MOD E	RESERVED							0x00	R/W
0x02	DEVICE_CONFIG	[7:0]	RESERVED						PWR_MODE		0xF0	R/W
0x03	DEVICE_TYPE	[7:0]	RESERVED				DEVICE_TYPE				0x07	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x66	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R
0x06	DEVICE_GRADE	[7:0]	DEVICE_GRADE				DEVICE_REVISION				0x00	R
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE								0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION						0x83	R
0x0C	VENDOR_ID_L	[7:0]	VENDOR_ID[7:0]								0x56	R
0x0D	VENDOR_ID_H	[7:0]	VENDOR_ID[15:8]								0x04	R
0x0E	LOOP_CONFIG_A	[7:0]	LOOP_SIZE								0x00	R/W
0x0F	LOOP_CONFIG_B	[7:0]	RESERVED					KEEP_LOOP_SIZE	RESERVED		0x00	R/W
0x10	SPI_CONFIG_C	[7:0]	CRC_ENABLE		RESERVED				CRC_ENABLE_N		0x03	R/W
0x11	SPI_STATUS	[7:0]	NOT_RDY_ERR	RESERVED		CLK_COUNT_ERR	CRC_ERR	WRITE_INVALID	RESERVED	ADDR_INVALID	0x00	R/W
0x14	SPI_CONFIG_D	[7:0]	RESERVED							CSDO_ON_SDO0	0x00	R/W
0x20	DEVICE_STATUS	[7:0]	DEVICE_READY_FLAG	RESET_FLAG	FUSE_CRC_FLAG	REGMAP_CRC_FLAG	SPI_FLAG	CH_ORUR_FLAG	PD_FLAG	SLEEP_FLAG	0x40	R/W
0x21	CH_OR_STATUS	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	CH3_OR_FLAG	CH2_OR_FLAG	CH1_OR_FLAG	CH0_OR_FLAG	0x00	R/W
0x22	CH_UR_STATUS	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	CH3_UR_FLAG	CH2_UR_FLAG	CH1_UR_FLAG	CH0_UR_FLAG	0x00	R/W
0x23	REGMAP_CRC	[7:0]	REGMAP_CRC[7:0]								0x00	R/W
0x24		[15:8]	REGMAP_CRC[15:8]								0x00	R/W
0x25	DEVICE_CTRL	[7:0]	TEST_CRS	RESERVED		LVDS_TERM	LVDS_HALF_BIAS	REFBUF_P_D	REF_SEL	SCKO_ECHO	0x11	R/W
0x26	PACKET	[7:0]	RESERVED					TEST_PAT	PACKET_SIZE		0x01	R/W
0x27	OVERSAMPLE	[7:0]	OS_EN	RESERVED			OS_RATIO				0x00	R/W
0x28	SEAMLESS_HDR	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	CH3_SHDR_EN	CH2_SHDR_EN	CH1_SHDR_EN	CH0_SHDR_EN	0x0F	R/W
0x29	CH_SLEEP	[7:0]	RESERVED	RESERVED	RESERVED	RESERVED	CH3_SLEEP	CH2_SLEEP	CH1_SLEEP	CH0_SLEEP	0x00	R/W
0x2A	CH0_SOFTSPAN	[7:0]	RESERVED				CH0_SOFTSPAN				0x0F	R/W
0x2B	CH0_OFFSET	[7:0]	CH0_OFFSET[3:0]				RESERVED				0x00	R/W
0x2C		[15:8]	CH0_OFFSET[11:4]								0x00	R/W
0x2D		[23:16]	CH0_OFFSET[19:12]								0x00	R/W

レジスタの一覧

表 20. レジスタの一覧（続き）

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x2E	CH0_GAIN	[7:0]					CH0_GAIN[7:0]				0x00	R/W
0x2F		[15:8]					CH0_GAIN[15:8]				0x80	R/W
0x30	CH0_PHASE	[7:0]					CH0_PHASE[7:0]				0x00	R/W
0x31		[15:8]					CH0_PHASE[15:8]				0x00	R/W
0x32	CH0_OR	[7:0]		CH0_OR[3:0]				RESERVED			0xF0	R/W
0x33		[15:8]					CH0_OR[11:4]				0xFF	R/W
0x34		[23:16]					CH0_OR[19:12]				0x7F	R/W
0x35	CH0_UR	[7:0]		CH0_UR[3:0]				RESERVED			0x00	R/W
0x36		[15:8]					CH0_UR[11:4]				0x00	R/W
0x37		[23:16]					CH0_UR[19:12]				0x80	R/W
0x38	CH0_TESTPAT	[7:0]					CH0_TESTPAT[7:0]				0x2A	R/W
0x39		[15:8]					CH0_TESTPAT[15:8]				0x3C	R/W
0x3A		[23:16]					CH0_TESTPAT[23:16]				0xCE	R/W
0x3B		[31:24]					CH0_TESTPAT[31:24]				0x0A	R/W
0x3C	CH1_SOFTSPAN	[7:0]		RESERVED				CH1_SOFTSPAN			0x0F	R/W
0x3D	CH1_OFFSET	[7:0]		CH1_OFFSET[3:0]				RESERVED			0x00	R/W
0x3E		[15:8]					CH1_OFFSET[11:4]				0x00	R/W
0x3F		[23:16]					CH1_OFFSET[19:12]				0x00	R/W
0x40	CH1_GAIN	[7:0]					CH1_GAIN[7:0]				0x00	R/W
0x41		[15:8]					CH1_GAIN[15:8]				0x80	R/W
0x42	CH1_PHASE	[7:0]					CH1_PHASE[7:0]				0x00	R/W
0x43		[15:8]					CH1_PHASE[15:8]				0x00	R/W
0x44	CH1_OR	[7:0]		CH1_OR[3:0]				RESERVED			0xF0	R/W
0x45		[15:8]					CH1_OR[11:4]				0xFF	R/W
0x46		[23:16]					CH1_OR[19:12]				0x7F	R/W
0x47	CH1_UR	[7:0]		CH1_UR[3:0]				RESERVED			0x00	R/W
0x48		[15:8]					CH1_UR[11:4]				0x00	R/W
0x49		[23:16]					CH1_UR[19:12]				0x80	R/W
0x4A	CH1_TESTPAT	[7:0]					CH1_TESTPAT[7:0]				0x2A	R/W
0x4B		[15:8]					CH1_TESTPAT[15:8]				0x3C	R/W
0x4C		[23:16]					CH1_TESTPAT[23:16]				0xCE	R/W
0x4D		[31:24]					CH1_TESTPAT[31:24]				0x1A	R/W
0x4E	CH2_SOFTSPAN	[7:0]		RESERVED				CH2_SOFTSPAN			0x0F	R/W
0x4F	CH2_OFFSET	[7:0]		CH2_OFFSET[3:0]				RESERVED			0x00	R/W
0x50		[15:8]					CH2_OFFSET[11:4]				0x00	R/W
0x51		[23:16]					CH2_OFFSET[19:12]				0x00	R/W
0x52	CH2_GAIN	[7:0]					CH2_GAIN[7:0]				0x00	R/W
0x53		[15:8]					CH2_GAIN[15:8]				0x80	R/W
0x54	CH2_PHASE	[7:0]					CH2_PHASE[7:0]				0x00	R/W
0x55		[15:8]					CH2_PHASE[15:8]				0x00	R/W
0x56	CH2_OR	[7:0]		CH2_OR[3:0]				RESERVED			0xF0	R/W
0x57		[15:8]					CH2_OR[11:4]				0xFF	R/W
0x58		[23:16]					CH2_OR[19:12]				0x7F	R/W
0x59	CH2_UR	[7:0]		CH2_UR[3:0]				RESERVED			0x00	R/W
0x5A		[15:8]					CH2_UR[11:4]				0x00	R/W
0x5B		[23:16]					CH2_UR[19:12]				0x80	R/W

レジスタの一覧

表 20. レジスタの一覧（続き）

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x5C	CH2_TESTPAT	[7:0]					CH2_TESTPAT[7:0]				0x2A	R/W
0x5D		[15:8]					CH2_TESTPAT[15:8]				0x3C	R/W
0x5E		[23:16]					CH2_TESTPAT[23:16]				0xCE	R/W
0x5F		[31:24]					CH2_TESTPAT[31:24]				0x2A	R/W
0x60	CH3_SOFTSPAN	[7:0]		RESERVED				CH3_SOFTSPAN			0x0F	R/W
0x61	CH3_OFFSET	[7:0]		CH3_OFFSET[3:0]				RESERVED			0x00	R/W
0x62		[15:8]					CH3_OFFSET[11:4]				0x00	R/W
0x63		[23:16]					CH3_OFFSET[19:12]				0x00	R/W
0x64		[7:0]					CH3_GAIN[7:0]				0x00	R/W
0x65		[15:8]					CH3_GAIN[15:8]				0x80	R/W
0x66	CH3_PHASE	[7:0]					CH3_PHASE[7:0]				0x00	R/W
0x67		[15:8]					CH3_PHASE[15:8]				0x00	R/W
0x68	CH3_OR	[7:0]		CH3_OR[3:0]				RESERVED			0xF0	R/W
0x69		[15:8]					CH3_OR[11:4]				0xFF	R/W
0x6A		[23:16]					CH3_OR[19:12]				0x7F	R/W
0x6B	CH3_UR	[7:0]		CH3_UR[3:0]				RESERVED			0x00	R/W
0x6C		[15:8]					CH3_UR[11:4]				0x00	R/W
0x6D		[23:16]					CH3_UR[19:12]				0x80	R/W
0x6E	CH3_TESTPAT	[7:0]					CH3_TESTPAT[7:0]				0x2A	R/W
0x6F		[15:8]					CH3_TESTPAT[15:8]				0x3C	R/W
0x70		[23:16]					CH3_TESTPAT[23:16]				0xCE	R/W
0x71		[31:24]					CH3_TESTPAT[31:24]				0x3A	R/W

レジスタの詳細

SPI 設定 A レジスタ

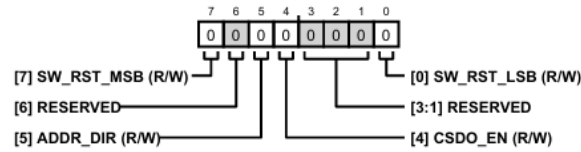


図 75. アドレス : 0x00、リセット : 0x00、レジスタ名 : SPI_CONFIG_A

表 21. SPI_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RST_MSB	ソフトウェア・リセット (MSB)。一回のレジスタ書き込みにより SW_RST_MSB および SW_RST_LSB の両方を 1 に設定すると、AD4852 のソフトウェア・リセットが開始されます。このソフトウェア・リセットは、すべてのレジスタをデフォルト状態にリセットします。ただし、SPI_CONFIG_A レジスタの ADDR_DIR ビットと CSDO_EN ビットは除きます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_DIR	アドレス方向。SPI レジスタ設定バスでの複数バイトの読出しまたは書き込みトランザクション時に、レジスタのアドレス指定を降順で行うか昇順で行うかを選択します (ストリーミング命令モードのセクションを参照)。 0: 降順アドレス指定。レジスタ・アドレスは、データ・バイトごとに 1 ずつデクリメントします。 1: 昇順アドレス指定。レジスタ・アドレスは、データ・バイトごとに 1 ずつインクリメントします。	0x0	R/W
4	CSDO_EN	CSDO ピン・イネーブル SPI レジスタ設定バスの 3 線式動作または 4 線式動作を選択します (3 線式 SPI 動作のセクションと 4 線式 SPI 動作のセクションを参照)。 0: CSDO を無効化。SPI バスは 3 線式モードで動作し、データの入出力は CSDIO で行われます。CSDO は使用されず、高インピーダンスを維持します。 1: CSDO を有効化。SPI バスは 4 線式モードで動作し、データ入力は CSDIO、データ出力は CSDO (あるいは SPI_CONFIG_D レジスタの CSDO_ON_SDO0 が 1 に設定されている場合は SDO0) で行われます。	0x0	R/W
[3:1]	RESERVED	予約済み。	0x0	R
0	SW_RST_LSB	ソフトウェア・リセット (LSB)。一回のレジスタ書き込みにより SW_RST_MSB および SW_RST_LSB の両方を 1 に設定すると、AD4852 のソフトウェア・リセットが開始されます。このソフトウェア・リセットは、すべてのレジスタをデフォルト状態にリセットします。ただし、SPI_CONFIG_A レジスタの ADDR_DIR ビットと CSDO_EN ビットは除きます。	0x0	R/W

レジスタの詳細

SPI 設定 B レジスタ

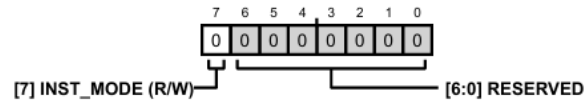


図 76. アドレス : 0x01、リセット : 0x00、レジスタ名 : SPI_CONFIG_B

表 22. SPI_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INST_MODE	命令モード。SPI レジスタ設定バスをストリーミング命令モードとするか非ストリーミング命令モードとするかを選択します（ ストリーミング命令モード のセクションと 非ストリーミング命令モード のセクションを参照）。 0 : ストリーミング命令モード。SPI バスは、複数バイトの読出しまたは書込みトランザクションに対応します。レジスタ・アドレスは、 SPI 設定 A レジスタ の ADDR_DIR ビット（ビット 5）に基づき、連続するデータ・バイトごとに自動的に更新されます。 1 : 非ストリーミング命令モード。SPI バスは、シングルバイトの読出しまたは書込みトランザクションに対応します。	0x0	R/W
[6:0]	RESERVED	予約済み。	0x0	R

デバイス設定レジスタ

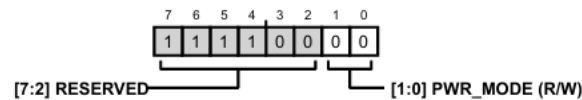


図 77. アドレス : 0x02、リセット : 0xF0、レジスタ名 : DEVICE_CONFIG

表 23. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x3C	R
[1:0]	PWR_MODE	消費電力モード。PD ピン機能に代わるソフトウェア制御可能な機能。 00 : 通常動作モード。 11 : パワーダウン・モード。PD ピンをハイ状態に駆動した場合と同じ効果を持ちます。	0x0	R/W

デバイス・タイプ・レジスタ

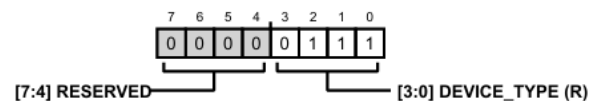


図 78. アドレス : 0x03、リセット : 0x07、レジスタ名 : DEVICE_TYPE

表 24. DEVICE_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	DEVICE_TYPE	デバイス・タイプ。AD4852 を高精度 ADC 製品として識別します。	0x7	R

レジスタの詳細

製品 ID ロー・レジスタ

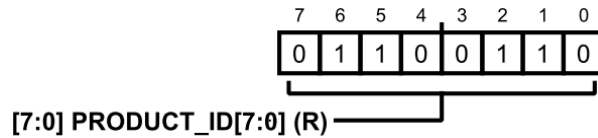


図 79. アドレス : 0x04、リセット : 0x66、レジスタ名 : PRODUCT_ID_L

表 25. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品識別。AD4852 の PRODUCT_ID の下位 1 バイトです。	0x66	R

製品 ID ハイ・レジスタ

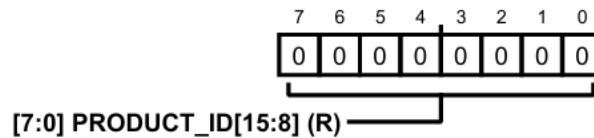


図 80. アドレス : 0x05、リセット : 0x00、レジスタ名 : PRODUCT_ID_H

表 26. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品識別。AD4852 の PRODUCT_ID の上位 1 バイトです。	0x0	R

デバイス・グレード・レジスタ

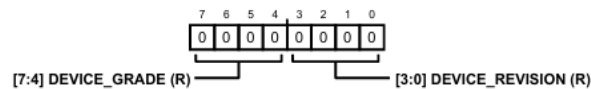


図 81. アドレス : 0x06、リセット : 0x00、レジスタ名 : DEVICE_GRADE

表 27. EVICE_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	DEVICE_GRADE	デバイスの性能グレード。AD4852 の性能グレードを識別します。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョン。AD4852 のハードウェア・リビジョンを識別します。	0x0	R

スクラッチ・パッド・レジスタ

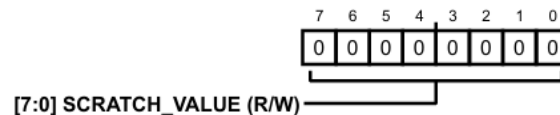


図 82. アドレス : 0x0A、リセット : 0x00、レジスタ名 : SCRATCH_PAD

表 28. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに影響を及ぼすことなく、このレジスタの読み書きができます。SPI レジスタ設定バスの通信をテストするために使用します。	0x0	R/W

レジスタの詳細

SPI リビジョン・レジスタ

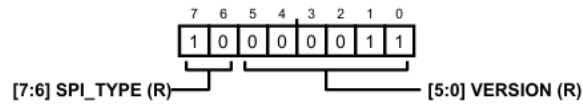


図 83. アドレス : 0x0B、リセット : 0x83、レジスタ名 : SPI_REVISION

表 29. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	SPI タイプ。AD4852 がサポートするアナログ・デバイセズの SPI のタイプを識別します。	0x2	R
[5:0]	VERSION	SPI のバージョン。AD4852 がサポートするアナログ・デバイセズの SPI のバージョンを識別します。	0x3	R

ベンダ ID ロー・レジスタ

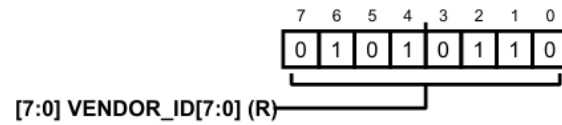


図 84. アドレス : 0x0C、リセット : 0x56、レジスタ名 : VENDOR_ID_L

表 30. VENDOR_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ ID。アナログ・デバイセズの VENDOR_ID の下位 1 バイトです。この値は、アナログ・デバイセズのすべての高精度 ADC に共通です。	0x56	R

ベンダ ID ハイ・レジスタ

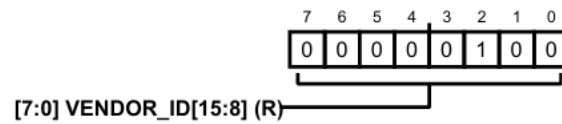


図 85. アドレス : 0x0D、リセット : 0x04、レジスタ名 : VENDOR_ID_H

表 31. VENDOR_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID。アナログ・デバイセズの VENDOR_ID の上位 1 バイトです。この値は、アナログ・デバイセズのすべての高精度 ADC に共通です。	0x4	R

ループ設定 A レジスタ

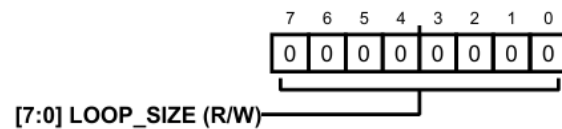


図 86. アドレス : 0x0E、リセット : 0x00、レジスタ名 : LOOP_CONFIG_A

レジスタの詳細

表 32. LOOP_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_SIZE	ループ・サイズ。ストリーミング命令モードが有効な場合（ストリーミング命令モードのセクションを参照）、LOOP_SIZE の値は、開始アドレスにループ・バックするまでにシーケンシャルに読みまたは書き込みが行われるデータ・バイトの数を定義します。この方法で最大 255 バイトを繰り返しループさせることができます。デフォルト値 0x00 は、ループを無効化します。この場合、アドレス指定はレジスタ・マップの上限値または下限値に戻ります。	0x0	R/W

ループ設定 B レジスタ

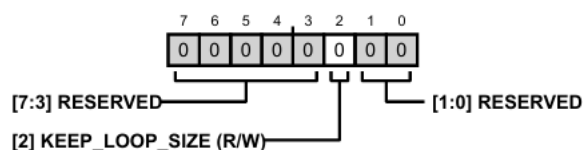


図 87. アドレス : 0x0F、リセット : 0x00、レジスタ名 : LOOP_CONFIG_B

表 33. LOOP_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	KEEP_LOOP_SIZE	ループ・サイズの保持。現在のストリーミング SPI レジスタ設定バス・トランザクションの完了時に、 ループ設定 A レジスタ の LOOP_SIZE ビット（ビット[7:0]）をリセットするか保持するかを選択します。 0 : CS の立上がりエッジで LOOP_SIZE を 0x00 にリセットします。 1 : LOOP_SIZE をリセットしません。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

SPI 設定 C レジスタ

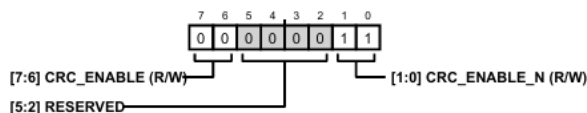


図 88. アドレス : 0x10、リセット : 0x03、レジスタ名 : SPI_CONFIG_C

表 34. SPI_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_ENABLE	CRC 有効化。CRC_ENABLE = 0x1 かつ CRC_ENABLE_N = 0x2 の場合、SPI レジスタ設定バスのトランザクション時に、オプションの CRC チェックが有効化されます。これ以外のビット値の組み合わせでは、SPI の CRC チェックは無効化されます。	0x0	R/W
[5:2]	RESERVED	予約済み。	0x0	R
[1:0]	CRC_ENABLE_N	CRC 有効化の反転値。CRC_ENABLE = 0x1 かつ CRC_ENABLE_N = 0x2 の場合、SPI レジスタ設定バスのトランザクション時に、オプションの CRC チェックが有効化されます。これ以外のビット値の組み合わせでは、SPI の CRC チェックは無効化されます。	0x3	R/W

レジスタの詳細

SPI ステータス・レジスタ

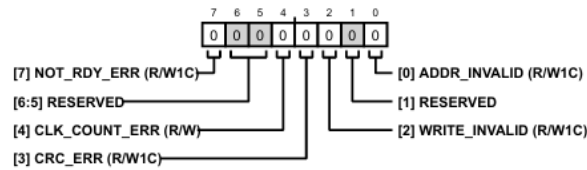


図 89. アドレス : 0x11、リセット : 0x00、レジスタ名 : SPI_STATUS

表 35. SPI_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_RDY_ERR	トランザクション・エラーに対する準備が未了。このフラグが 1 に設定されるのは、AD4852 の応答準備ができる前、例えば、AD4852 のパワーオン・リセットの初期化シーケンスが正常に完了する前に、SPI レジスタ設定バスのトランザクションが開始された場合です。	0x0	R/W1C
[6:5]	RESERVED	予約済み。	0x0	R
4	CLK_COUNT_ERR	クロック・カウント・エラー。このフラグが 1 に設定されるのは、SPI レジスタ設定バスのトランザクションが不正な CSCK エッジ数を示した場合、例えば、SPI フレームがデータ・バイトの途中で終了した場合です。	0x0	R/W
3	CRC_ERR	CRC エラー。このフラグが 1 に設定されるのは、CRC チェックが有効となっていてときに AD4852 が計算値に一致しないチェックサムを受け取った場合です。	0x0	R/W1C
2	WRITE_INVALID	無効書き込みエラー。このビットが 1 に設定されるのは、読み出し専用ビットのみを含むレジスタにデジタル・ホストが書き込みをしようとした場合です。	0x0	R/W1C
1	RESERVED	予約済み。	0x0	R
0	ADDR_INVALID	無効レジスタ・アドレス・エラー。このフラグが 1 に設定されるのは、デジタル・ホストが未定義のレジスタ・アドレスとの間で読み出しや書き込みを行おうとした場合です。	0x0	R/W1C

SPI 設定 D レジスタ

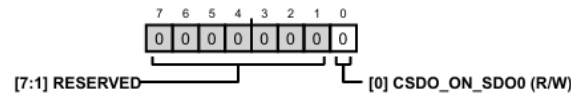


図 90. アドレス : 0x14、リセット : 0x00、レジスタ名 : SPI_CONFIG_D

表 36. SPI_CONFIG_D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	CSDO_ON_SDO0	CSDO のデータを SDO0 に出力。4 線式 SPI レジスタ設定バスの出力データを CSDO に出力するか SDO0 に出力するかを選択します（4 線式 SPI 動作のセクションを参照）。 0 : 4 線式 SPI バスのデータを CSDO に出力。 1 : 4 線式 SPI バスのデータを SDO0 に出力。	0x3	R/W

レジスタの詳細

デバイス・ステータス・レジスタ

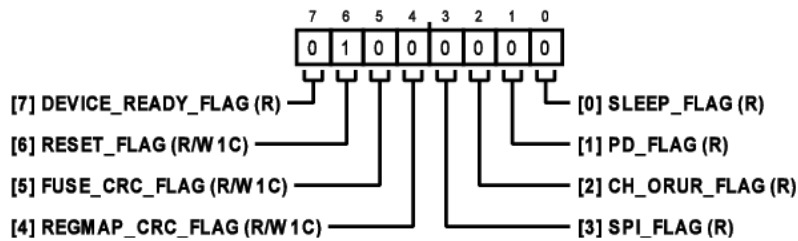


図 91. アドレス : 0x20、リセット : 0x40、レジスタ名 : DEVICE_STATUS

表 37. DEVICE_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	DEVICE_READY_FLAG	デバイス・レディ・フラグ。AD4852 の内部状態は、アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて常にモニタされています。このフラグは、BUSY の立下がりエッジでパワーオン・リセットの初期化シーケンスが正常に完了した時点で 1 に設定されます。この時点以降に値が 0 となった場合は、内部デバイス状態にエラーがあり、ユーザによるグローバル・リセットが必要であることを示しています（ リセット・タイミング のセクションを参照）。	0x0	R
6	RESERVED	リセット・フラグ。このフラグは、リセット・イベントの開始時に 1 に設定されます。	0x1	R/W1C
5	FUSE_CRC_FLAG	ヒューズ CRC フラグ。AD4852 の内部状態は、アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて常にモニタされています。いかなる時点でもこのフラグが 1 に設定された場合は、エラーが検出され、ユーザによるグローバル・リセットが必要であることを示します（ リセット・タイミング のセクションを参照）。	0x0	R/W1C
4	REGMAP_CRC_FLAG	レジスタ・マップ CRC フラグ。AD4852 のレジスタ・マップの状態は、アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて常にモニタされています。いかなる時点でもこのフラグが 1 に設定された場合は、CRC エラーが検出され、デジタル・ホストがレジスタ・マップのエラーをチェックする必要があることを示します。 レジスタ・マップ CRC レジスタが適切な CRC コードでプログラムされていない場合は、このフラグを無視してください。	0x0	R/W1C
3	SPI_FLAG	SPI フラグ。このフラグは、 SPI ステータス・レジスタ のすべてのビットの論理 OR です。	0x0	R
2	CH_ORUR_FLAG	チャンネル・オーバーレンジ／アンダーレンジ・フラグ。このフラグは、 チャンネル・オーバーレンジ・ステータス・レジスタ と チャンネル・アンダーレンジ・ステータス・レジスタ のすべてのビットの論理 OR です。	0x0	R
1	PD_FLAG	パワー・ダウン・フラグ。このフラグが 1 に設定されるのは、AD4852 が現在パワーダウン・モードになっている場合です。	0x0	R
0	SLEEP_FLAG Channel	チャンネル・スリープ・フラグ。このフラグは、 チャンネル・スリープ・レジスタ のすべてのビットの論理 OR です。	0x0	R

レジスタの詳細

チャンネル・オーバーレンジ・ステータス・レジスタ

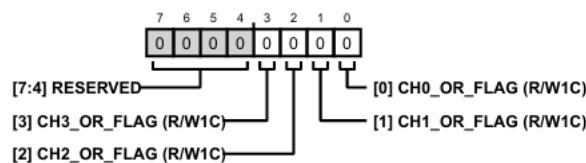


図 92. アドレス : 0x21、リセット : 0x00、レジスタ名 : CH_OR_STATUS

表 38. CH_OR_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
3	CH3_OR_FLAG	チャンネル 3 のオーバーレンジ・フラグ。チャンネル 3 の変換結果が CH3_OR レジスタで設定されているオーバーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C
2	CH2_OR_FLAG	チャンネル 2 のオーバーレンジ・フラグ。チャンネル 2 の変換結果が CH2_OR レジスタで設定されているオーバーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C
1	CH1_OR_FLAG	チャンネル 1 のオーバーレンジ・フラグ。チャンネル 1 の変換結果が CH1_OR レジスタで設定されているオーバーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C
0	CH0_OR_FLAG	チャンネル 0 のオーバーレンジ・フラグ。チャンネル 0 の変換結果が CH0_OR レジスタで設定されているオーバーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C

チャンネル・アンダーレンジ・ステータス・レジスタ

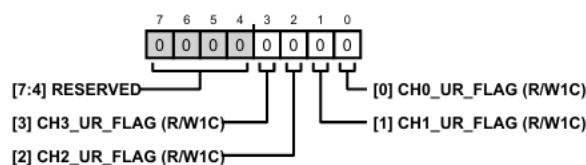


図 93. アドレス : 0x22、リセット : 0x00、レジスタ名 : CH_UR_STATUS

表 39. CH_UR_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	CH3_UR_FLAG	チャンネル 3 のアンダーレンジ・フラグ。チャンネル 3 の変換結果が CH3_UR レジスタで設定されているアンダーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C
2	CH2_UR_FLAG	チャンネル 2 のアンダーレンジ・フラグ。チャンネル 2 の変換結果が CH2_UR レジスタで設定されているアンダーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C
1	CH1_UR_FLAG	チャンネル 1 のアンダーレンジ・フラグ。チャンネル 1 の変換結果が CH1_UR レジスタで設定されているアンダーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C
0	CH0_UR_FLAG	チャンネル 0 のアンダーレンジ・フラグ。チャンネル 0 の変換結果が CH0_UR レジスタで設定されているアンダーレンジ制限値を超えると、このフラグが 1 に設定されます。	0x0	R/W1C

レジスタの詳細

レジスタ・マップ CRC

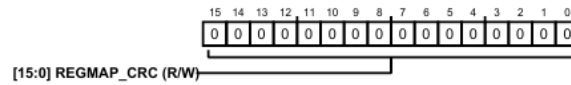


図 94. アドレス : 0x23~0x24、リセット : 0x0000、レジスタ名 : REGMAP_CRC

表 40. REGMAP_CRC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	REGMAP_CRC	レジスタ・マップの CRC。アドレス 0x71 からアドレス 0x25 まではカバーする、ユーザ計算による CRC チェックサムです。アルファ粒子やシステム電源のグリッチなどによる破損の可能性に備えて、AD4852 のレジスタ・マップの状態を常時モニタするために用いることができます。チェックサムを計算するには、次の CRC 多項式を使用します。 $x^{16} + x^{14} + x^{13} + x^{12} + x^{10} + x^8 + x^6 + x^4 + x^3 + x + 1$ ここで、CRC 計算の初期値は 0xFFFF です。	0x0	R/W

デバイス制御レジスタ

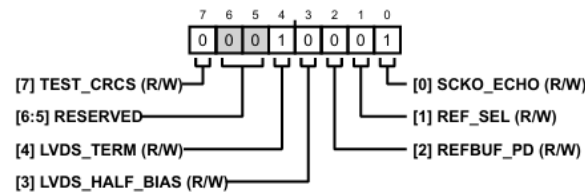


図 95. アドレス : 0x25、リセット : 0x11、レジスタ名 : DEVICE_CTRL

表 41. DEVICE_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	TEST_CRCs	CRC エンジンのテスト。シミュレーションされたビット・エラーを FUSE CRC エンジンと REGMAP CRC エンジンに取り込むために変換を実行する間、1 に設定します。CRC エンジンの機能を検証するには、 デバイス・ステータス・レジスタ の FUSE_CRC_FLAG ビット（ビット 5）と REGMAP_CRC_FLAG ビット（ビット 4）の両方が 1 に設定されていることを確認します。	0x0	R/W
[6:5]	RESERVED	予約済み。	0x0	R
4	LVDS_TERM	LVDS の終端を有効化。1 に設定すると、LVDS 入力ペアの内部終端抵抗が有効化されます。	0x1	R/W
3	LVDS_HALF_BIAS	LVDS のハーフバイアスを有効化。1 に設定すると、LVDS 出力ペアのハーフバイアス出力駆動モードが有効化されます。	0x0	R/W
2	REFBUF_PD	リファレンス・バッファのパワー・ダウン。1 に設定すると、内部リファレンス・バッファをパワー・ダウンします。パワー・ダウンした場合は、 図 58 に示すように、外部リファレンスを REFBUF ピンに接続できます。	0x0	R/W
1	REF_SEL	リファレンスの選択。外部リファレンスと内部リファレンスのどちらを使用するかを選択します。 0 : 内部リファレンス。内部リファレンスを有効化します。 1 : 外部リファレンス。内部リファレンスをパワー・ダウンします。外部リファレンスは、 図 57 に示すように、REFIO ピンに接続します。	0x0	R/W
0	SCKO_ECHO	SCKO エコーの有効化。1 に設定すると、SCKO は SCKI 信号のエコーとなります。	0x1	R/W

レジスタの詳細

パケット・フォーマット・レジスタ

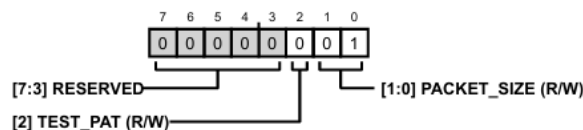


図 96. アドレス : 0x26、リセット : 0x01、レジスタ名 : PACKET

表 42. PACKET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	TEST_PAT	テスト・パターンを有効化。1に設定すると、テスト・パターンの出力データを有効化できます有効化されると、通常の変換データ出力パケットは、各チャンネルの CHx_TESTPAT レジスタの上位ビットで定義された固定データで置き換えられます（ テスト・パターン・パケット・フォーマット のセクションを参照）。この機能を用いると、CMOS または LVDS の変換データ出力バスの通信を検証できます。	0x0	R/W
[1:0]	PACKET_SIZE	パケット・サイズ。CMOS または LVDS の変換データ出力バスのパケット・サイズを、20 ビット、24 ビット、32 ビットの中から選択します。各パケット・サイズのパケット・データ・フォーマット設定は、AD4852 が非オーバーサンプリング・モードとオーバーサンプリング・モードのどちらで動作しているか、および、テスト・パターン・データ出力が有効化されているかどうかによって異なります（ パケット・フォーマット のセクションと テスト・パターン・パケット・フォーマット のセクションを参照）。 00 : 20 ビットのパケット・サイズ。 01 : 24 ビットのパケット・サイズ。 10 : 32 ビットのパケット・サイズ。 11 : 32 ビットのパケット・サイズ。	0x1	R/W

オーバーサンプル制御レジスタ

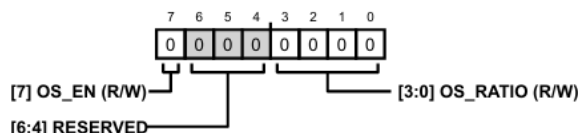


図 97. アドレス : 0x27、リセット : 0x00、レジスタ名 : OVERSAMPLE

表 43. OVERSAMPLE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	OS_EN	オーバーサンプリングの有効化。オーバーサンプリング・モードか非オーバーサンプリング・モードかを選択します（ オーバーサンプリング・モード のセクションを参照）。 0 : オーバーサンプリングを無効化。オーバーサンプリング比を変更する前にオーバーサンプリングを無効化します。 1 : オーバーサンプリングを有効化。	0x0	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	OS_RATIO	オーバーサンプリング比。オーバーサンプリングが有効化されている場合、各チャンネルでデジタル平均化処理を行う変換結果の数を選択します（ オーバーサンプリング・モード のセクションを参照）。 0000 : 2 個の変換結果を平均化。 0001 : 4 個の変換結果を平均化。 0010 : 8 個の変換結果を平均化。 0011 : 16 個の変換結果を平均化。 0100 : 32 個の変換結果を平均化。 0101 : 64 個の変換結果を平均化。		

レジスタの詳細

表 43. OVERSAMPLE のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		0110 : 128 個の変換結果を平均化。 0111 : 256 個の変換結果を平均化。 1000 : 512 個の変換結果を平均化。 1001 : 1024 個の変換結果を平均化。 1010 : 2048 個の変換結果を平均化。 1011 : 4096 個の変換結果を平均化。 1100 : 8192 個の変換結果を平均化。 1101 : 16384 個の変換結果を平均化。 1110 : 32768 個の変換結果を平均化。 1111 : 65536 個の変換結果を平均化。	0x0	R/W

シームレス・ハイ・ダイナミック・レンジ・レジスタ

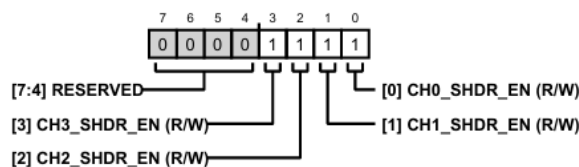


図 98. アドレス : 0x28、リセット : 0x0F、レジスタ名 : SEAMLESS_HDR

表 44. SEAMLESS_HDR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	CH3_SHDR_EN	チャンネル 3 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
2	CH2_SHDR_EN	チャンネル 2 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
1	CH1_SHDR_EN	チャンネル 1 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W
0	CH0_SHDR_EN	チャンネル 0 の SHDR を有効化 1 に設定すると、このチャンネルの SHDR が有効化されます。	0x1	R/W

チャンネル・スリープ・レジスタ

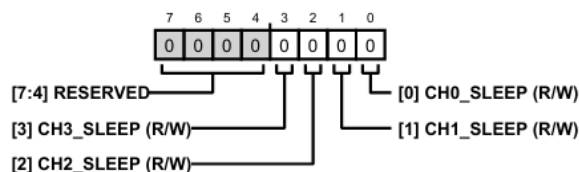


図 99. アドレス : 0x29、リセット : 0x00、レジスタ名 : CH_SLEEP

表 45. CH_SLEEP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	CH3_SLEEP	チャンネル 3 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
2	CH2_SLEEP	チャンネル 2 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
1	CH1_SLEEP	チャンネル 1 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W
0	CH0_SLEEP	チャンネル 0 のスリープ。1 に設定するとチャンネルがスリープ状態になり、消費電力を節約できます。チャンネルは変換要求を無視します。	0x0	R/W

レジスタの詳細

チャンネル 0 SOFTSPAN レジスタ

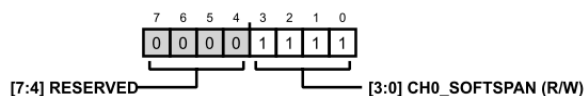


図 100. アドレス : 0x2A、リセット : 0x0F、レジスタ名 : CH0_SOFTSPAN

表 46. CH0_SOFTSPAN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CH0_SOFTSPAN	チャンネル 0 の SoftSpan。このチャンネルの SoftSpan レンジを選択します (SoftSpan のセクションを参照)。 0000 : 0V~2.5V のレンジ。 0001 : ±2.5V のレンジ。 0010 : 0V~5V のレンジ。 0011 : ±5V のレンジ。 0100 : 0V~6.25V のレンジ。 0101 : ±6.25V のレンジ。 0110 : 0V~10V のレンジ。 0111 : ±10V のレンジ。 1000 : 0V~12.5V のレンジ。 1001 : ±12.5V のレンジ。 1010 : 0V~20V のレンジ。 1011 : ±20V のレンジ。 1100 : 0V~25V のレンジ。 1101 : ±25V のレンジ。 1110 : 0V~40V のレンジ。 1111 : ±40V のレンジ。	0xF	R/W

チャンネル 0 オフセット・レジスタ

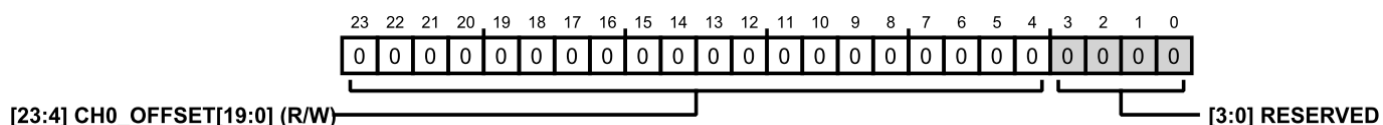


図 101. アドレス : 0x2B~0x2D、リセット : 0x000000、レジスタ名 : CH0_OFFSET

表 47. CH0_OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:4]	CH0_OFFSET[19:0]	チャンネル 0 のオフセット。このチャンネルの各変換結果に加算される、20 ビットの符号付きデジタル・オフセット補正值 (デジタル・オフセット補正のセクションを参照)。オフセットのデフォルト状態は、ゼロ・オフセット補正に対応しています。	0x0	R/W
[3:0]	RESERVED	予約済み。	0x0	R

チャンネル 0 ゲイン・レジスタ

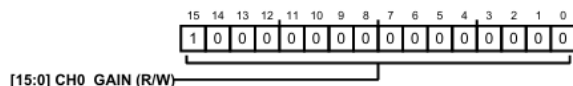


図 102. アドレス : 0x2E~0x2F、リセット : 0x8000、レジスタ名 : CH0_GAIN

レジスタの詳細

表 48. CH0_GAIN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CH0_GAIN	チャンネル 0 のゲイン。このチャンネルの各変換結果に適用される、16 ビットの符号なしデジタル・ゲイン補正係数（ デジタル・ゲイン補正 のセクションを参照）。デフォルト状態は、1.00000 の係数に対応しています。	0x8000	R/W

チャンネル 0 位相レジスタ

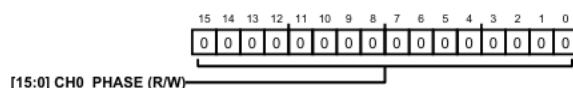


図 103. アドレス : 0x30~0x31、リセット : 0x0000、レジスタ名 : CH0_PHASE

表 49. CH0_PHASE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	CH0_PHASE	チャンネル 0 の位相。このチャンネルに適用される、16 ビットの符号なし位相補正項。このレジスタは、オーバーサンプリング・モードで動作している場合にのみ、意味を持ちます（ オーバーサンプリング・モード のセクションと デジタル位相補正 のセクションを参照）。	0x0	R/W

チャンネル 0 オーバーレンジ制限レジスタ

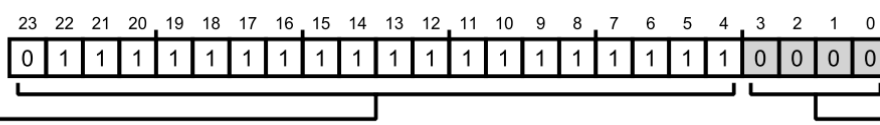


図 104. アドレス : 0x32~0x34、リセット : 0x7FFFF0、レジスタ名 : CH0_OR

表 50. CH0_OR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:4]	CH0_OR[19:0]	チャンネル 0 のオーバーレンジ制限値。チャンネル 0 の変換結果が、この 20 ビットの符号付きデジタル・オーバーレンジ閾値より大きい場合、 チャンネル・オーバーレンジ・ステータス・レジスタ の CH0_OR_FLAG ビット（ビット 0）が 1 に設定されます。	0x7FFFF	R/W
[3:0]	RESERVED	予約済み。	0x0	R

チャンネル 0 アンダーレンジ制限レジスタ

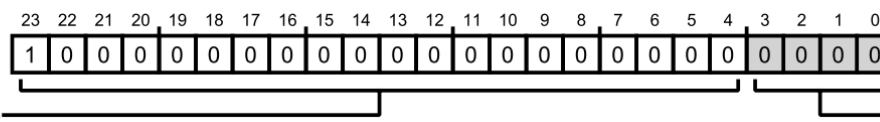


図 105. アドレス : 0x35~0x37、リセット : 0x800000、レジスタ名 : CH0_UR

表 51. CH0_UR のビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:4]	CH0_UR[19:0]	チャンネル 0 のアンダーレンジ制限値。チャンネル 0 の変換結果が、この 20 ビットの符号付きデジタル・アンダーレンジ閾値より小さい場合、 チャンネル・アンダーレンジ・ステータス・レジスタ の CH0_UR_FLAG ビット（ビット 0）が 1 に設定されます。	0x80000	R/W
[3:0]	RESERVED	予約済み。	0x0	R

レジスタの詳細

チャンネル 0 テスト・パターン・レジスタ

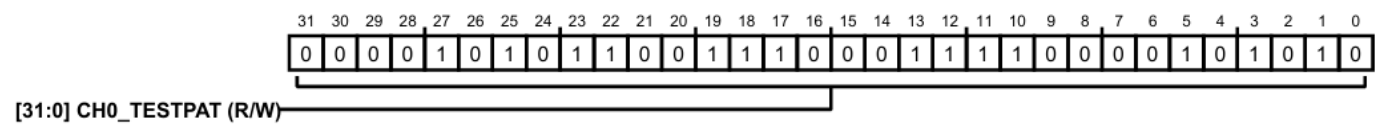


図 106. アドレス : 0x38~0x3B、リセット : 0x0ACE3C2A、レジスタ名 : CH0_TESTPAT

表 52. CH0_TESTPAT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	CH0_TESTPAT	チャンネル 0 のテスト・パターン。テスト・パターン出力が有効化されている場合（ テスト・パターン・パケット・フォーマット のセクションを参照）、チャンネル 0 の通常の変換データ出力パケットは、CH0_TESTPAT で定義される固定データに置き換えられます。CHx_TESTPAT レジスタの最上位ニブルのリセット状態は、チャンネルの数値に対応します（つまり、チャンネル 0 では 0x0、チャンネル 1 では 0x1 など）。	0xACE3C2A	R/W

外形寸法

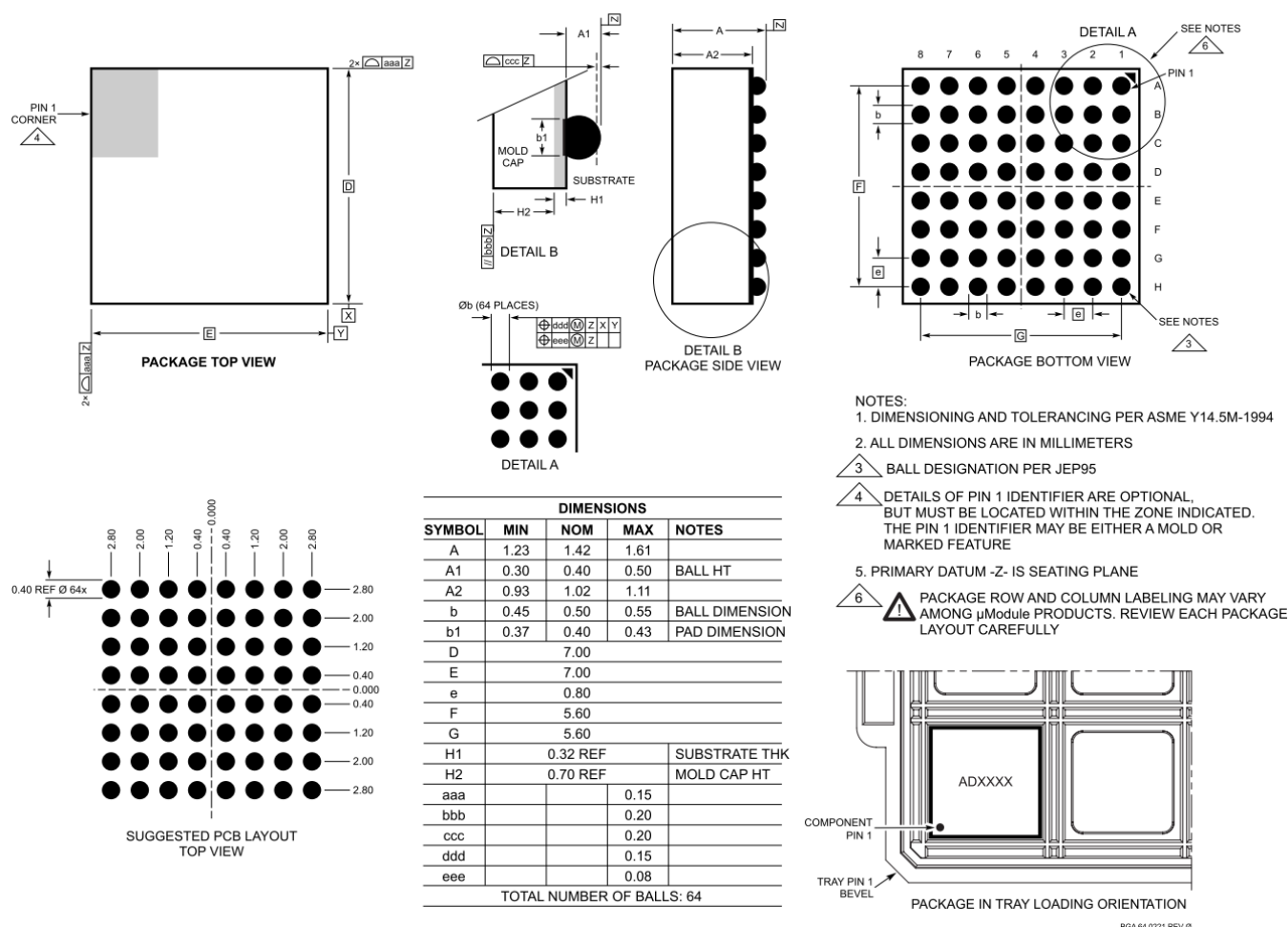


図 107. 64 ボール BGA パッケージ
7 mm × 7 mm × 1.42 mm
(05-08-7086)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4852BBCZ	-40°C to +125°C	64-Lead BGA (7mm × 7mm × 1.42mm)	Tray, 416	05-08-7086
AD4852BBCZ-RL-13	-40°C to +125°C	64-Lead BGA (7mm × 7mm × 1.42mm)	Reel, 2000	05-08-7086

1 $Z = \text{RoHS}$ 適合製品。

評価用ボード

Model ^{1, 2}	Description
EVAL-AD4858FMCZ	Evaluation Board

1 $Z = \text{ROHS}$ 適合製品。

2 AD4856、AD4854、AD4852 の性能評価には、EVAL-AD4858FMCZ 評価用ボードを使用できます。