

チャンネルごとに平均化フィルタを内蔵した、 Easy Drive 対応 16 チャンネル・マルチプレクサ SAR ADC

特長

- ▶ Easy Drive 機能により小型のシステム設計が可能
 - ▶ プリチャージ・バッファによりアナログ入力およびリファレンス回路の駆動要件を緩和
 - ▶ リファレンス・バッファ内蔵 (WLCSP のみ)
- ▶ 小フットプリントで高性能
 - ▶ サンプリング・レート: 500kSPS (AD4691) および 1MSPS (AD4692)
 - ▶ INL: ± 0.85 LSB (最大)
 - ▶ 16 ビットのノー・ミス・コードを確保
 - ▶ 最初から正確な変換が可能
 - ▶ SINAD: $f_{IN} = 1$ kHz で 93dB (代表値)
 - ▶ 14.6mW ($f_s = 1$ MSPS 時) および 7.3mW ($f_s = 500$ kSPS 時)
 - ▶ 32 ピン 5mm \times 5mm LFCSP または 36 ボール 2.96mm \times 2.96mm WLCSP
- ▶ 強化されたデジタル機能
 - ▶ チャンネルごとの平均化フィルタ
 - ▶ カスタマイズ可能なチャンネル・シーケンサ
 - ▶ インターリーブ・チャンネル・サンプリング
 - ▶ 自律モードおよびバースト・サンプリング・モード
 - ▶ 1.2V および 1.8V のロジックに対応した 4 線式 SPI
- ▶ 広い動作温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

アプリケーション

- ▶ 光パワーのモニタリング
- ▶ 医療用計測機器
- ▶ 電子テストおよび計測
- ▶ ATE (自動試験装置)
- ▶ バッテリ駆動装置

概要

AD4691/AD4692 は、高密度、高精度のマルチチャンネル・データ・アキュジション・ソリューション向けに最適化された、コンパクトで高正精度の 16 チャンネル、16 ビットの逐次比較レジスタ (SAR) A/D コンバータ (ADC) です。AD4691/AD4692 は、高精度性能が Easy Drive 機能および柔軟なデジタル処理と組み合わせられているため、スペースに制約のあるアナログ・フロントエンド (AFE) 設計や低消費電力デジタル・ホストに確実に対応できます。

AD4691/AD4692 の Easy Drive 機能により、対応可能なアンプと電圧リファレンスの選択肢が広がります。入力電圧および入力電流のトランジェントがあると、AFE には通常、チャンネルごとに広帯域幅の ADC ドライバ・アンプを組み込む必要がありますが、本デバイスのプリチャージ・バッファは、これらのトランジェントを大幅に抑制することによって、より小型で低消費電力の AFE 設計を可能にします。WLCSP モデルには、真のバッファ付きリファレンス入力を実現するリファレンス・バッファも内蔵されています。

AD4691/AD4692 のデジタル機能およびシリアル・インターフェースは、低消費電力マイクロコントローラや電源の入れ直しが行われるマイクロコントローラで使用できるように最適化されています。AD4691/AD4692 は、チャンネルごとの平均化フィルタおよびカスタマイズ可能なチャンネル・シーケンサを備えており、これらを組み合わせることで、チャンネルに依存しない平均化比率によるオン・チップのノイズ・フィルタリングを実現しています。内蔵のバースト・サンプリング・タイマーにより、自律サンプリング方式およびバースト・サンプリング方式を使用して、最小限のデジタル・リソースで変換を実行できます。デバイスの設定および ADC データのリードバックは、巡回冗長検査 (CRC) オプションに対応している堅牢な 4 線式シリアル・ペリフェラル・インターフェース (SPI) を介してサポートされます。

AD4691/AD4692 は、5mm \times 5mm の 32 ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) および 2.96mm \times 2.96mm の 36 ボール・ウェハ・レベル・チップ・スケール・パッケージ (WLCSP) で提供され、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の動作温度範囲で仕様規定されています。

目次

特長.....	1	汎用ピンの機能.....	34
アプリケーション.....	1	動作モード.....	35
概要.....	1	CNV クロック・モード.....	36
機能ブロック図.....	3	CNV バースト・モード.....	37
仕様.....	4	SPI バースト・モード.....	38
タイミング仕様.....	7	自律モード.....	39
タイミング図.....	8	手動モード.....	40
絶対最大定格.....	9	デジタル・インターフェース.....	42
熱抵抗.....	9	レジスタ・アクセス.....	42
静電放電 (ESD) 定格.....	9	デバイスのリセット.....	45
ESD に関する注意.....	9	状態リセット.....	46
ピン配置およびピン機能の説明.....	10	アプリケーション情報.....	47
代表的な性能特性.....	13	インターリーブ・チャンネル・シーケンス.....	48
用語の定義.....	20	実効チャンネル・サンプリング・レート.....	48
動作原理.....	22	優先シーケンス方式.....	49
概要.....	22	RC キックバック・フィルタ部品の選択.....	51
コンバータの動作.....	22	ロックアウト状態を防止するためのチャンネル・マスク	51
伝達関数.....	23	ADC データ・レジスタの一括読出し.....	52
Easy Drive 機能.....	23	設定フローチャート.....	53
アナログ入力.....	24	レイアウトのガイドライン.....	57
アナログ入力のプリチャージ.....	25	AD4691/AD4692 の性能評価.....	57
入力過電圧保護クランプ.....	26	レジスタの情報.....	58
電圧リファレンス入力.....	26	レジスタの詳細.....	59
電源.....	27	外形寸法.....	80
チャンネル・シーケンサ.....	28	オーダー・ガイド.....	81
平均化フィルタ.....	31		
内部発振器.....	33		
温度センサー.....	33		

改訂履歴

2/2026—Revision 0: Initial Version

機能ブロック図

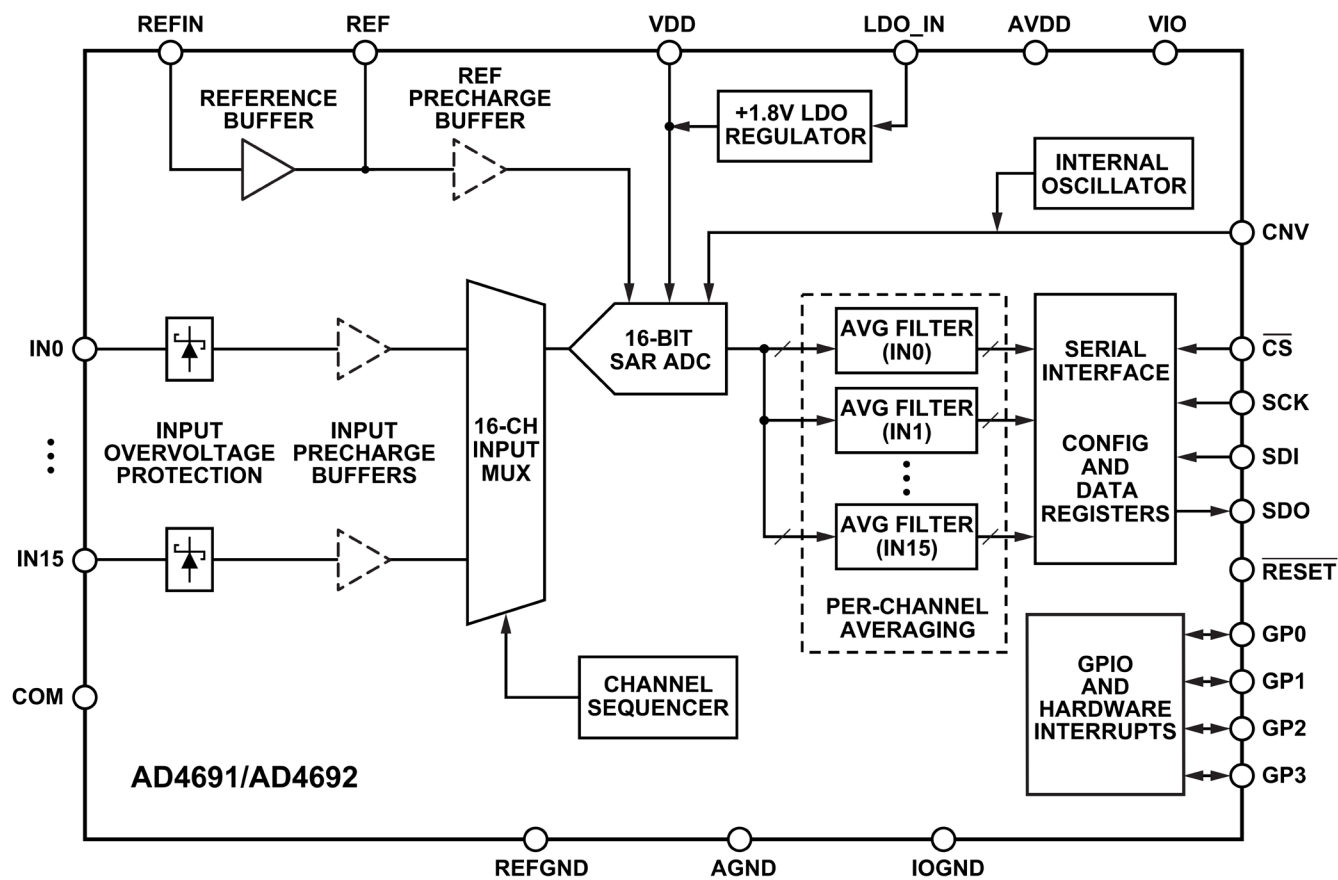


図 1. AD4691/AD4692 の機能ブロック図

001

仕様

AVDD = LDO_IN = 5V、REF = 5V、VIO = 1.8V、内部リファレンス・バッファをディスエーブル、内部 LDO レギュレータをイネーブル、REF デカップリング・コンデンサ (C_{REF}) = 1μF、最大サンプリング周波数 (f_S) で動作、その他のすべての機能はデフォルト設定になっています。特に指定のない限り、最小値および最大値は T_A = -40°C ~ +125°C における値、代表値は T_A = +25°C における値です。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION					
ADC Resolution	No missing codes	16			Bits
Averaging Filter Resolution		16		22	Bits
SAMPLING DYNAMICS					
ADC Sampling Rate (f _S)	AD4691 AD4692			500 1	kSPS MSPS
Aperture Delay			2		ns
ANALOG INPUTS					
Input Voltage (V _{IN}) Range					
Unipolar Mode	INx - REFGND	0		+V _{REF}	V
Pseudo differential Mode	INx - COM	0		+V _{REF}	V
Absolute Input Voltage	INx - REFGND	-0.1		V _{REF} + 0.1	V
	COM - REFGND	-0.1		+0.1	V
Common-Mode Rejection Ratio (CMRR)	f _{IN} = 250kHz		69.5		dB
Analog Input Leakage Current	V _{IN} = 5V		2		nA
Sampling Capacitance (C _{SH})			60		pF
REFERENCE INPUT					
Reference Voltage (V _{REF}) Range	Internal reference buffer disabled REF - REFGND REF - AVDD	2.4		5.1 +0.25	V V
REF Leakage Current	ADC idle (f _S = 0SPS)				
LFCSP	All clamps deactivated All clamps activated		165 8		nA μA
WLCSP			165		nA
REF Input Current	f _S = 500kSPS f _S = 1MSPS		4.75 9.5		μA μA
INTERNAL REFERENCE BUFFER	Internal reference buffer enabled (WLCSP only)				
V _{REF} Range	REFIN - REFGND AVDD - REFIN	2.4		5.1 +0.3	V V
REFIN Leakage Current	ADC idle (f _S = 0SPS)				
	All clamps deactivated All clamps activated		16 4.5		nA μA
REFIN Input Capacitance			50		pF
Turn-On Time (t _{REFBUF}) ¹	C _{REF} = 1μF C _{REF} = 10μF		1.2 10		ms ms
OVERVOLTAGE (OV) CLAMPS					
Clamp Active Input Current (I _{CLAMP})				5	mA
Clamp Activation Voltage				V _{REF} + 0.55	V
Clamping Voltage	I _{CLAMP} = 5mA		V _{REF} + 0.2		V
Clamp Deactivation Voltage		V _{REF} + 0.1			V
DC ACCURACY	VIO = 1.14 V				
Integral Nonlinearity Error (INL)		-1.0	±0.4	+1.0	LSB
Differential Nonlinearity Error (DNL)		-0.65	±0.3	+0.65	LSB
Transition Noise			0.5		LSB rms
Offset Error	LFCSP WLCSP	-360 -500	±30 ±115	+360 +500	μV μV

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Offset Error Drift ²			±1.1		μV/°C
Offset Error Match	LFCSP	-200	±25	+200	μV
	WLCSP	-240	±80	+240	μV
Gain Error		-0.018	±0.001	+0.018	%FS ³
Gain Error Drift ²			±0.08		ppm/°C
Gain Error Match		-0.01	±0.002	+0.01	%FS
Full-Scale Error	LFCSP	-8.5	±1.0	+8.5	LSB
	WLCSP	-14	±1.5	+14	LSB
Full-Scale Error Drift			±0.25		ppm/°C
Total Unadjusted Error (TUE)	LFCSP	-8.5	±1.0	+8.5	LSB
	WLCSP	-14	±2.2	+14	LSB
Low Frequency Noise	Bandwidth = 0.1Hz to 10Hz		5		μV p-p
AC PERFORMANCE					
Total RMS Noise			37.8		μV rms
Dynamic Range			93.4		dB
Signal-to-Noise Ratio (SNR)	$f_{IN} = 1\text{kHz}$, -0.5dBFS				
	LFCSP	90.9	93		dB
	WLCSP	90.5	92.6		dB
Total Harmonic Distortion (THD)	$f_{IN} = 1\text{kHz}$, -0.5dBFS		-117		dB
Signal-to-Noise-and-Distortion (SINAD)	$f_{IN} = 1\text{kHz}$, -0.5dBFS				
	LFCSP	90.8	93		dB
	WLCSP	90.4	92.5		dB
Spurious-Free Dynamic Range (SFDR)	$V_{REF} = 5\text{V}$		121		dB
-3dB Input Bandwidth			11.7		MHz
Channel-to-Channel Crosstalk	$f_{IN} = 100\text{kHz}$				
	LFCSP option		-123		dB
	WLCSP option		-120		dB
Channel-to-Channel Memory	$f_{IN} = 100\text{kHz}$, $f_S = 1\text{MSPS}$		-100		dB
	$f_{IN} = 100\text{kHz}$, $f_S = 500\text{kSPS}$		-110		dB
DIGITAL INPUTS					
Logic Levels					
Input Low Voltage (V_{IL})		-0.3		+0.3 × VIO	V
Input High Voltage (V_{IH})		0.7 × VIO		VIO + 0.3	V
Input Current (I_L)		-1		+1	μA
Input Pin Capacitance			5		pF
DIGITAL OUTPUTS					
Logic Levels					
Output Low Voltage (V_{OL})	Digital output current = +500μA			0.4	V
Output High Voltage (V_{OH})	Digital output current = -500μA	VIO - 0.3			V
POWER REQUIREMENTS					
AVDD to AGND		2.7		5.5	V
LDO_IN to AGND ⁴	Internal LDO enabled	2.4		5.5	V
VDD to AGND	Internal LDO disabled	1.71	1.8	1.89	V
VIO to IOGND		1.14		1.98	V
POWER SUPPLY CURRENT					
Standby Current	ADC idle ($f_S = 0\text{SPS}$)				
AVDD	Internal reference buffer disabled		190		nA
	Internal reference buffer enabled		470		μA

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LDO_IN	Internal LDO regulator enabled				
	Internal reference buffer disabled		9		μA
	Internal reference buffer enabled		18		μA
VDD	Internal LDO regulator disabled				
	Internal reference buffer disabled		3.7		μA
	Internal reference buffer enabled		9		μA
VIO	VIO = 1.8V		250		nA
AVDD Current					
Internal reference buffer disabled	f _S = 500kSPS		0.6	0.73	mA
	f _S = 1MSPS		1.2	1.45	mA
Internal reference buffer enabled	f _S = 500kSPS		1.0	1.4	mA
	f _S = 1MSPS		1.65	2.2	mA
LDO_IN Current	Internal LDO regulator enabled				
	f _S = 500kSPS		2.5	3.4	mA
	f _S = 1MSPS		5	6.8	mA
VDD Current	Internal LDO regulator disabled				
	f _S = 500kSPS		2.4	3.3	mA
	f _S = 1MSPS		4.8	6.6	mA
POWER DISSIPATION					
Standby Power Dissipation					
Internal LDO regulator disabled	Internal reference buffer disabled		7.6		μW
	Internal reference buffer enabled		2.4		mW
Internal LDO regulator enabled	Internal reference buffer disabled		46		μW
	Internal reference buffer enabled		2.5		mW
Power Dissipation, Internal LDO Regulator Disabled	LDO_IN = AGND, VDD = 1.8V				
Internal reference buffer disabled	f _S = 500kSPS		7.3	9.6	mW
	f _S = 1MSPS		14.6	19.1	mW
Internal reference buffer enabled	f _S = 500kSPS		9.3	12.9	mW
	f _S = 1MSPS		16.9	22.9	mW
Power Dissipation, Internal LDO Regulator Enabled	LDO_IN = 5V				
Internal reference buffer disabled	f _S = 500kSPS		15.5	20.7	mW
	f _S = 1MSPS		31	41.4	mW
Internal reference buffer enabled	f _S = 500kSPS		17.5	24	mW
	f _S = 1MSPS		33.3	45	mW
TEMPERATURE RANGE					
Specified Performance	T _{MIN} to T _{MAX}	-40		+125	°C

¹ リファレンス・バッファのターンオン時間仕様値は、REF 電圧を 0V から V_{REF} まで 0.01% の正確さで駆動するためにリファレンス・バッファが必要とする時間です。図 41 を参照してください。

² オフセット誤差、ゲイン誤差、フル・スケール誤差ドリフトは、-40°C ~ +125°C の全動作温度範囲にわたりボックス法を用いています。

³ %FS は、ADC のフル・スケールに対する百分率です (フル・スケールの定義については、伝達関数のセクションを参照)。

⁴ 詳細については、内部 LDO レギュレータのセクションを参照してください。

仕様

タイミング仕様

AVDD = LDO_IN = 5V、REF = 5V、VIO = 1.14V~1.98V、デジタル出力負荷容量 (C_{LOAD}) = 20pF、その他のすべての機能はデフォルト設定になっています。特に指定のない限り、最小値および最大値は T_A = -40°C~+125°Cにおける値、代表値は T_A = +25°Cにおける値です。

表 2. ADC のタイミング仕様

Parameter	Symbol	Min	Typ	Max	Unit
Conversion Time	t _{CONV}		380	430	ns
Acquisition Time ¹	t _{ACQ}				
f _S = 1MSPS		485			ns
f _S = 500kSPS		1485			ns
Sample Period	t _{CYC}				
f _S = 1MSPS		1000			ns
f _S = 500kSPS		2000			ns
CNV High Time	t _{CNVH}	10			ns
CNV Low Time	t _{CNVL}	80			ns
Quiet Time					
Lst SCK Edge to CNV Rising Edge Delay	t _{SCKCNV}	80			ns
CS Rising Edge to CNV Rising Edge Delay	t _{CSBCNV}	10			ns
Internal Oscillator Frequency ²	f _{OSC}	-15%		+15%	MHz

¹ t_{ACQ}の仕様値は、ADCのサンプリング・コンデンサが入力MUXを介して入力ピンに接続されている時間の長さです (図 47 参照)。最小のt_{ACQ}はt_{CYC} - 515nsに等しく、そのため、サンプリング・レートが遅くなると増加します。

² 表 42 の公称発振器周波数設定値を参照してください。

表 3. SPI のタイミング (手動モード以外のすべてのモード)

Parameter	Symbol	Min	Typ	Max	Unit
CS High Time	t _{CSBH}	10			ns
CS Falling Edge to Interface Ready	t _{EN}			15	ns
SCK Period	t _{SCK}	32			ns
SCK Low Time	t _{SCKL}	10			ns
SCK High Time	t _{SCKH}	10			ns
SCK Falling Edge to Data Remains Valid	t _{HSDO}	2			ns
SCK Falling Edge to Data Valid Delay	t _{DSDO}			8	ns
SDI Valid Setup Time to SCK Rising Edge	t _{SSDI}	2			ns
SDI Valid Hold Time After SCK Rising Edge	t _{HSDI}	2			ns
SCK Rising Edge to CS Rising Edge	t _{SCKCSB}	2			ns
CS Rising Edge to SDO High Impedance	t _{DIS}			15	ns

表 4. SPI のタイミング (手動モード)

Parameter	Symbol	Min	Typ	Max	Unit
CS High Time	t _{CSBH}	10			ns
CS Falling Edge to Interface Ready	t _{EN}			15	ns
SCK Period	t _{SCK}	12.5			ns
SCK Low Time	t _{SCKL}	5			ns
SCK High Time	t _{SCKH}	5			ns
SCK Falling Edge to Data Remains Valid	t _{HSDO}	2			ns
SCK Falling Edge to Data Valid Delay	t _{DSDO}			8	ns
SDI Valid Setup Time to SCK Rising Edge	t _{SSDI}	2			ns
SDI Valid Hold Time After SCK Rising Edge	t _{HSDI}	2			ns
SCK Rising Edge to CS Rising Edge	t _{SCKCSB}	2			ns
CS Rising Edge to SDO High Impedance	t _{DIS}			15	ns

仕様

表 5. GPIO およびリセット

Parameter	Symbol	Min	Typ	Max	Unit
Convert-Start to BUSY Falling Edge	t_{BUSY}			t_{CONV}	ns
Convert-Start to EOS Falling Edge	t_{EOSB}			t_{CONV}	ns
Convert-Start to DRDY Falling Edge	t_{DRDYB}			t_{CONV}	ns
RESET Low Time	t_{RESETL}	10			ns
Hardware Reset Delay	t_{HWR}		300		μs
Software Reset Delay	t_{SWR}		300		μs
Power-On Reset Delay	t_{POR}		3		ms

タイミング図

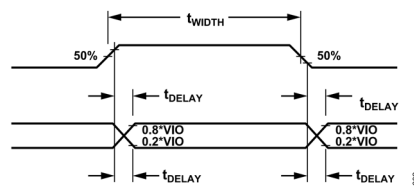


図 2. タイミング仕様における電圧レベル

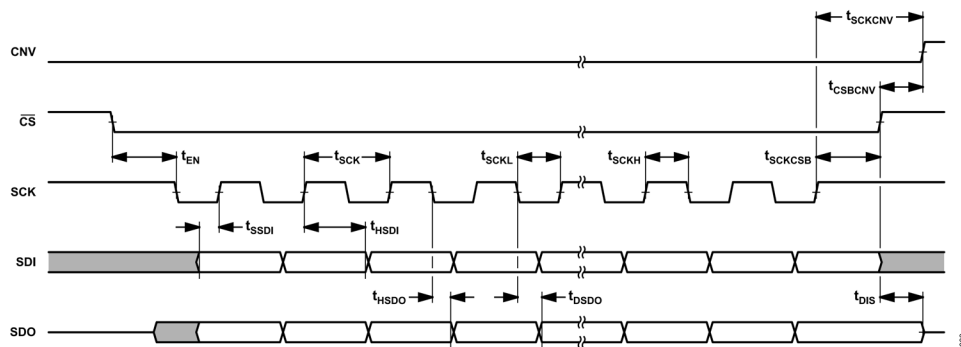


図 3. SPI のタイミング仕様の定義図

絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
Analog Inputs	
INn, ¹ COM to REFGND	-0.3V to REF + 0.3V
Reference Inputs	
REF, REFIN to AGND, REFGND, IOGND	-0.3V to +6V
REF to REFIN	-6.3V to +6.3V
Supply Inputs	
AVDD, LDO_IN to AGND, REFGND, IOGND	-0.3V to +6V
VDD, VIO to AGND, REFGND, IOGND	-0.3V to +2.1V
AVDD to LDO_IN	-6.3V to +6.3V
AVDD, LDO_IN to REF	-6.3V to +6.3V
VDD, VIO to AVDD, LDO_IN, REF	-6.3V to +2.4V
VDD to VIO	-2.4V to +2.4V
Ground	
AGND, IOGND to REFGND	-0.3V to +0.3V
AGND to IOGND	-0.3V to +0.3V
Digital Inputs	
CNV, CS, SDI, SCK, RESET to IOGND	-0.3V to +6V
Digital Outputs	
SDO, GP0, GP1, GP2, GP3 to IOGND	-0.3V to VIO + 0.3V
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperature Soldering	260°C reflow, as per JEDEC J-STD-020

¹ INn は、ピン IN0～ピン IN15 のアナログ入力を指します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は最も厳しい条件で仕様規定されたもので、1 立方フィートの密閉容器内で測定された、自然対流でのジャンクションと周囲の間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 7 に規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されたものであり、JESD51-12 に適合するよう使用してください。最も厳しい条件でのジャンクション温度が記載されています。

θ_{JA} は、アプリケーションとボード・レイアウトに大きく依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に細心の注意が必要です。 θ_{JA} 値は、PCB 材料、レイアウト、環境条件に依存して変化することがあります。

表 7. 熱抵抗の計算値

Package Type	θ_{JA} ¹	θ_{JC} ²	Unit
CP-32-39	40.2	17.5	°C/W
CP-36-5	41.8	0.1	°C/W

¹ シミュレーション値は、JEDEC 自然対流環境での 9 個のサーマル・ビアを備えた JEDEC 2S2P 熱テスト・ボードに基づいたものです。JEDEC JESD51 を参照してください。

² シミュレーション値は、冷却板が直接取り付けられたパッケージ上面について測定されたものです。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

AD4691/AD4692 の ESD 定格

表 8. AD4691/AD4692、32 ピン LFCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	2.5	2
FICDM	1	C3

表 9. AD4691/AD4692、36 ピン WLCSP

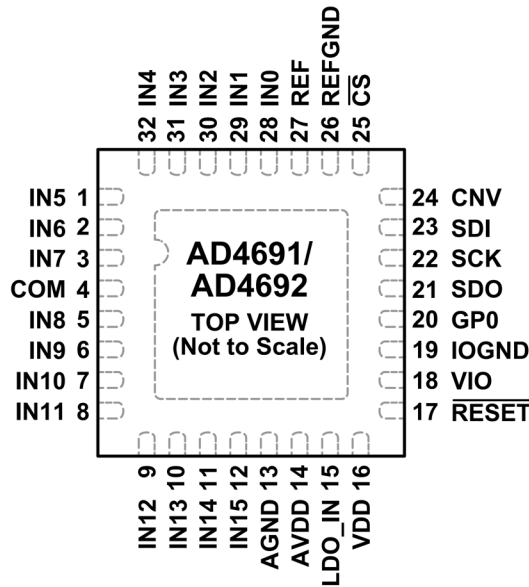
ESD Model	Withstand Threshold (kV)	Class
HBM	3	2
FICDM	1	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. EXPOSED PAD. THE EXPOSED PAD IS NOT CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SYSTEM GROUND PLANE.

004

図 4. AD4691/AD4692 LFCSP のピン配置

表 10. AD4691/AD4692 LFCSP のピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	IN5	AI	アナログ入力チャンネル 5。
2	IN6	AI	アナログ入力チャンネル 6。
3	IN7	AI	アナログ入力チャンネル 7。
4	COM	AI	共通のチャンネル入力。COM は、ADC コアの負側入力によってサンプリングすることにより、センス・グラウンドとして機能させることもできます (マルチプレクサの設定オプションのセクションを参照)。形式上、COM は信号グラウンドに接続されます。
5	IN8	AI	アナログ入力チャンネル 8。
6	IN9	AI	アナログ入力チャンネル 9。
7	IN10	AI	アナログ入力チャンネル 10。
8	IN11	AI	アナログ入力チャンネル 11。
9	IN12	AI	アナログ入力チャンネル 12。
10	IN13	AI	アナログ入力チャンネル 13。
11	IN14	AI	アナログ入力チャンネル 14。
12	IN15	AI	アナログ入力チャンネル 15。
13	AGND	P	アナログ電源のグラウンド。AVDD、LDO_IN、VDD は AGND を基準とします。
14	AVDD	P	アナログ電源。AVDD の範囲は 2.7V~5.5V です。AVDD は 100nF のコンデンサを局所的に接続して AGND とデカップリングします。
15	LDO_IN	P	内部 LDO レギュレータの入力。内部 LDO レギュレータを用いて 1.8V の VDD レールを供給するには、形式上 AVDD に接続します。外部 1.8V 電源で VDD に給電するには、LDO_IN を AGND に接続します。詳細については、内部 LDO レギュレータのセクションを参照してください。
16	VDD	P	ADC コアの電源。VDD の公称値は 1.8V です。VDD は、100nF のコンデンサを局所的に接続して AGND とデカップリングする必要があります。内部 LDO レギュレータがイネーブルされている場合、VDD は内部で生成されます。外部の 1.8V 電源で VDD に給電する場合は、内部 LDO レギュレータをディスエーブルします。
17	RESET	DI	ハードウェア・リセット入力 (アクティブ・ロー)。 <u>RESET</u> をローに駆動すると、デバイスのハードウェア・リセットが実行されます (デバイスのリセットのセクションを参照)。
18	VIO	P	ロジック入出力電源。デジタル入力およびデジタル出力用のロジック電圧レベルを設定します (表 1 参照)。形式上、VIO はホスト・インターフェース・ロジック電源 (1.2V または 1.8V) によって供給されます。VIO は 100nF のコンデンサを局所的に接続して IOGND とデカップリングします。
19	IOGND	P	ロジック入出力グラウンド。VIO は IOGND を基準とします。
20	GP0	DI/DO	汎用ピン 0。GP0 ピンは、汎用入出力 (GPIO) として、または、様々なデバイス・ステータスおよびハードウェアの割り込み信号として機能するように設定できます (汎用ピンの機能のセクションを参照)。

ピン配置およびピン機能の説明

表 10. AD4691/AD4692 LFCSP のピン機能の説明 (続き)

ピン番号	記号	タイプ ¹	説明
21	SDO	DO	シリアル・データ出力。データは、SCKの立下がりエッジでSDO出力からシフト・アウトされます。
22	SCK	DI	シリアル・データ・クロック入力。SPIトランザクション時、SCKは、データをSDOにクロック・アウトしSDIにクロック・インします。
23	SDI	DI	シリアル・データ入力。データはSCKの立上がりエッジでSDI入力にシフト・インされます。
24	CNV	DI	変換入力。CNVの立上がりエッジで、選択した動作モードに応じて1つまたは複数の変換が開始されます (動作モードのセクションで説明)。
25	\overline{CS}	DI	チップ・セレクト入力 (アクティブ・ロー)。 \overline{CS} 入力はすべての SPI トランザクションをフレーム化します (デジタル・インターフェースのセクションを参照)。
26	REFGND	P/AI	リファレンス・グラウンド。REFはREFGNDを基準とします。デフォルトで、REFGNDはADCコアの負側入力によってサンプリングされます (マルチプレクサの設定オプションのセクションを参照)。
27	REF	AI	リファレンス入力。ADCコアのフル・スケール範囲を設定します (電圧リファレンス入力のセクションを参照)。REFの範囲は2.4V~5.1Vです。最適な動作のためには、REFを1 μ F以上のコンデンサでデカップリングする必要があります。
28	IN0	AI	アナログ入力チャンネル0。
29	IN1	AI	アナログ入力チャンネル1。
30	IN2	AI	アナログ入力チャンネル2。
31	IN3	AI	アナログ入力チャンネル3。
32	IN4	AI	アナログ入力チャンネル4。
33	EPAD	NC	露出パッド。露出パッドは内部で接続されていません。ハンダ接続の信頼性を向上させるため、このパッドをシステムのグラウンド・プレーンにハンダ付けすることを推奨します。

¹ AIはアナログ入力、Pは電源、DIはデジタル入力、DOはデジタル出力、NCは内部接続なしを意味します。

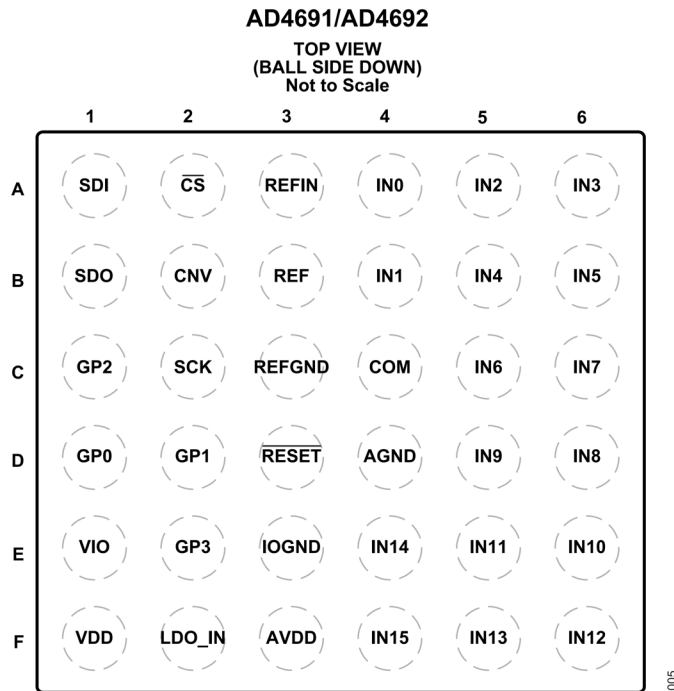


図 5. AD4691/AD4692 WLCSP のピン配置

表 11. AD4691/AD4692 WLCSP のピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1	SDI	DI	シリアル・データ入力。データはSCKの立上がりエッジでSDI入力にシフト・インされます。
A2	\overline{CS}	DI	チップ・セレクト入力 (アクティブ・ロー)。 \overline{CS} 入力はすべての SPI トランザクションをフレーム化します (デジタル・インターフェースのセクションを参照)。
A3	REFIN	AI	内部リファレンス・バッファ入力。内部リファレンス・バッファは、ADCのV _{REF} 電圧に対する高インピーダンス入力として機能します。内部リファレンス・バッファをディスエーブルする場合は、REFINをREFに接続する必要があります。詳細については、内部リファレンス・バッファのセクションを参照してください。

ピン配置およびピン機能の説明

表 11. AD4691/AD4692 WLCSP のピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
A4	IN0	AI	アナログ入力チャンネル 0。
A5	IN2	AI	アナログ入力チャンネル 2。
A6	IN3	AI	アナログ入力チャンネル 3。
B1	SDO	DO	シリアル・データ出力。データは、SCK の立下がりエッジで SDO 出力からシフト・アウトされます。
B2	CNV	DI	変換入力。CNV の立上がりエッジで、選択した動作モードに応じて 1 つまたは複数の変換が開始されます（ 動作モードのセクション で説明）。
B3	REF	AI	リファレンス入力。ADC コアのフル・スケール範囲を設定します（ 電圧リファレンス入力のセクション を参照）。REF の範囲は 2.4V~5.1V です。最適な動作のためには、REF を 1 μ F 以上のコンデンサでデカップリングする必要があります。
B4	IN1	AI	アナログ入力チャンネル 1。
B5	IN4	AI	アナログ入力チャンネル 4。
B6	IN5	AI	アナログ入力チャンネル 5。
C1	GP2	DI/DO	汎用ピン 2。GPx ピンは、汎用入出力（GPIO）として、または、様々なデバイス・ステータスおよびハードウェアの割り込み信号として機能するように設定できます（ 汎用ピンの機能 のセクションを参照）。
C2	SCK	DI	シリアル・データ・クロック入力。SPI トランザクション時、SCK は、データを SDO にクロック・アウトし SDI にクロック・インします。
C3	REFGND	P/AI	リファレンス・グラウンド。REF は REFGND を基準とします。デフォルトで、REFGND は ADC コアの負側入力によってサンプリングされます（ マルチプレクサの設定オプション のセクションを参照）。
C4	COM	AI	共通のチャンネル入力。COM は、ADC コアの負側入力によってサンプリングすることにより、センス・グラウンドとして機能させることもできます（ マルチプレクサの設定オプション のセクションを参照）。形式上、COM は信号グラウンドに接続されます。
C5	IN6	AI	アナログ入力チャンネル 6。
C6	IN7	AI	アナログ入力チャンネル 7。
D1	GP0	DI/DO	汎用ピン 0。GPx ピンは、汎用入出力（GPIO）として、または、様々なデバイス・ステータスおよびハードウェアの割り込み信号として機能するように設定できます（ 汎用ピンの機能 のセクションを参照）。
D2	GP1	DI/DO	汎用ピン 1。GPx ピンは、汎用入出力（GPIO）として、または、様々なデバイス・ステータスおよびハードウェアの割り込み信号として機能するように設定できます（ 汎用ピンの機能 のセクションを参照）。
D3	RESET	DI	ハードウェア・リセット入力（アクティブ・ロー）。RESET をローに駆動すると、デバイスのハードウェア・リセットが実行されます（ デバイスのリセット のセクションを参照）。
D4	AGND	P	アナログ電源のグラウンド。AVDD、LDO_IN、VDD は AGND を基準とします。
D5	IN9	AI	アナログ入力チャンネル 9。
D6	IN8	AI	アナログ入力チャンネル 8。
E1	VIO	P	ロジック入出力電源。デジタル入力およびデジタル出力用のロジック電圧レベルを設定します（ 表 1 参照）。形式上、VIO はホスト・インターフェース・ロジック電源（1.2V または 1.8V）によって供給されます。VIO は 100nF のコンデンサを局所的に接続して IOGND とデカップリングします。
E2	GP3	DI/DO	汎用ピン 3。GPx ピンは、汎用入出力（GPIO）として、または、様々なデバイス・ステータスおよびハードウェアの割り込み信号として機能するように設定できます（ 汎用ピンの機能 のセクションを参照）。
E3	IOGND	P	ロジック入出力グラウンド。VIO は IOGND を基準とします。
E4	IN14	AI	アナログ入力チャンネル 14。
E5	IN11	AI	アナログ入力チャンネル 11。
E6	IN10	AI	アナログ入力チャンネル 10。
F1	VDD	P	ADC コアの電源。VDD の公称値は 1.8V です。VDD は、100nF のコンデンサを局所的に接続して AGND とデカップリングする必要があります。内部 LDO レギュレータがイネーブルされている場合、VDD は内部で生成されます。外部の 1.8V 電源で VDD に給電する場合は、内部 LDO レギュレータをディスエーブルします。
F2	LDO_IN	P	内部 LDO レギュレータの入力。内部 LDO レギュレータを用いて 1.8V の VDD レールを供給するには、形式上 AVDD に接続します。外部 1.8V 電源で VDD に給電するには、LDO_IN を AGND に接続します。詳細については、 内部 LDO レギュレータ のセクションを参照してください。
F3	AVDD	P	アナログ電源。AVDD の範囲は 2.7V~5.5V です。AVDD は 100nF のコンデンサを局所的に接続して AGND とデカップリングします。
F4	IN15	AI	アナログ入力チャンネル 15。
F5	IN13	AI	アナログ入力チャンネル 13。
F6	IN12	AI	アナログ入力チャンネル 12。

¹ AI はアナログ入力、P は電源、DI はデジタル入力、DO はデジタル出力、NC は内部接続なしを意味します。

代表的な性能特性

AVDD = LDO_IN = 5V、REF = 5V、VIO = 1.8V、内部リファレンス・バッファをディスエーブル、内部 LDO レギュレータをイネーブル、REF デカップリング・コンデンサ (C_{REF}) = 1μF、最大サンプリング周波数 (f_s) で動作、T_A = +25°C、その他のすべての機能はデフォルト設定になっています。

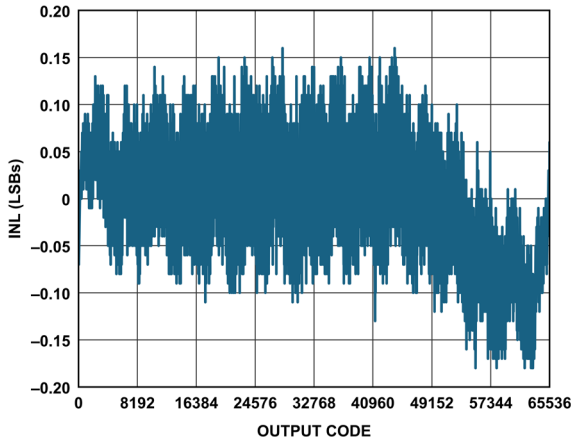


図 6. INL と出力コードの関係

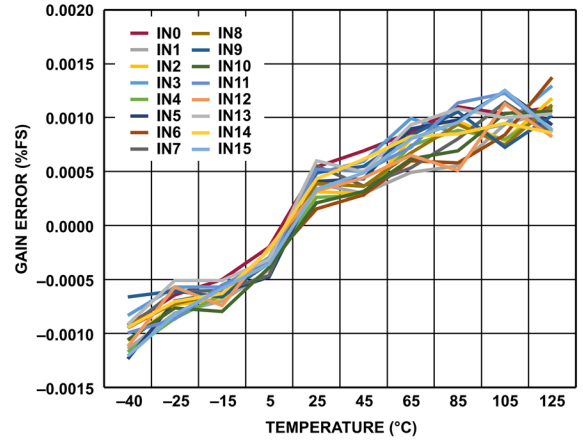


図 9. ゲイン誤差と温度の関係

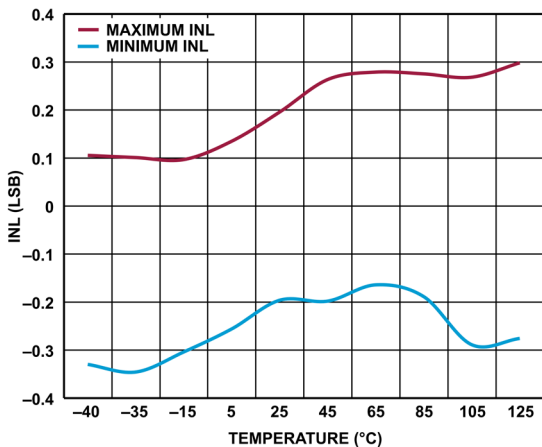


図 7. INL と温度の関係

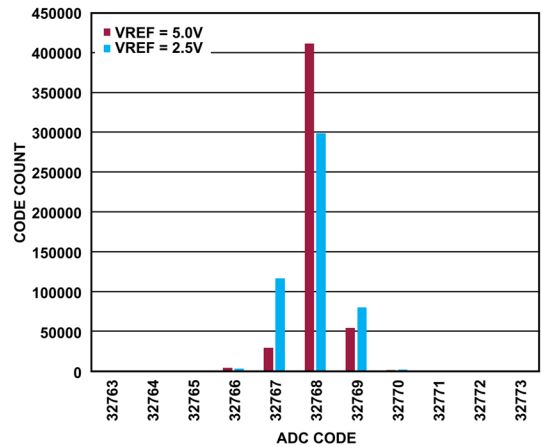


図 10. ヒストグラム、アキュムレータ深度 = 1

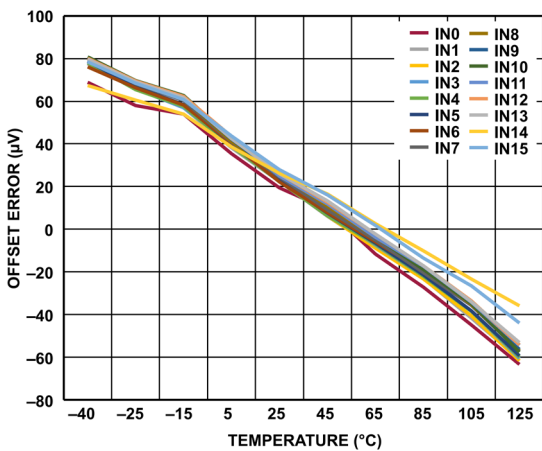


図 8. オフセット誤差と温度の関係

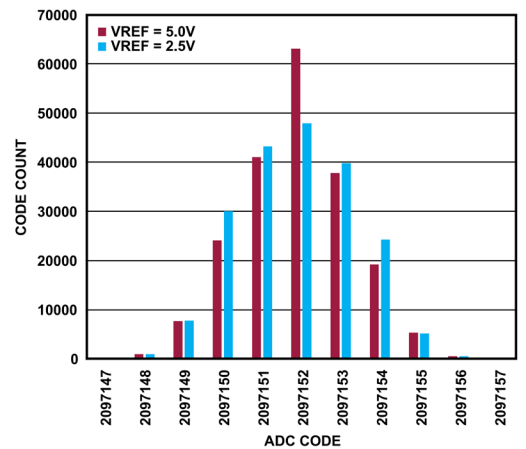


図 11. ヒストグラム、アキュムレータ深度 = 64

代表的な性能特性

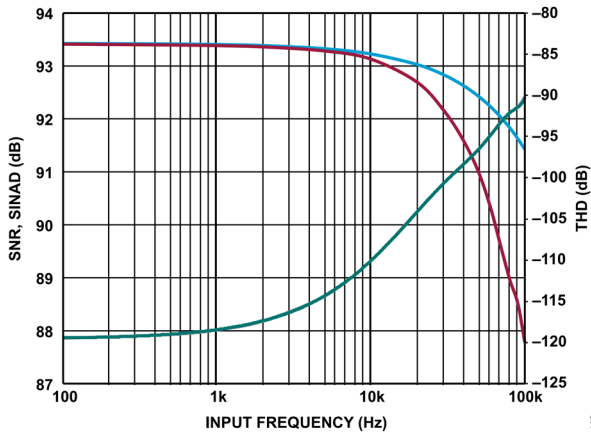


図 12. S/N 比、SINAD、THD と入力周波数の関係

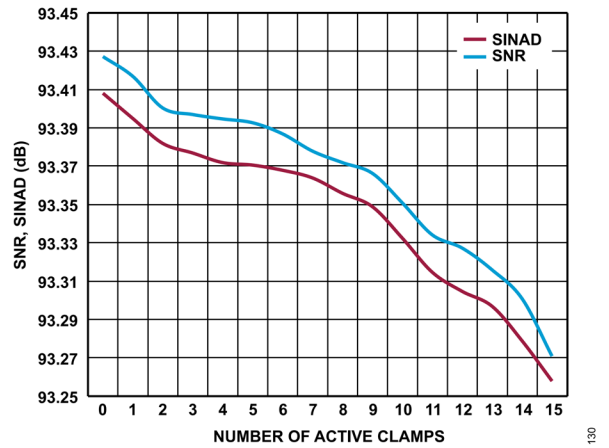


図 15. S/N 比および SINAD とアクティブなクランプ数の関係

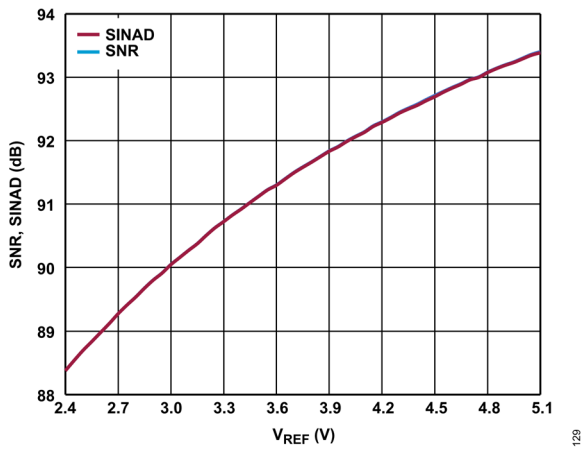


図 13. S/N 比および SINAD と VREF の関係

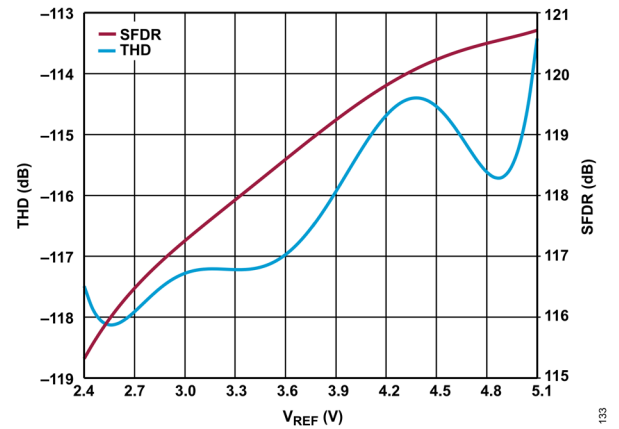


図 16. THD および SFDR と VREF の関係

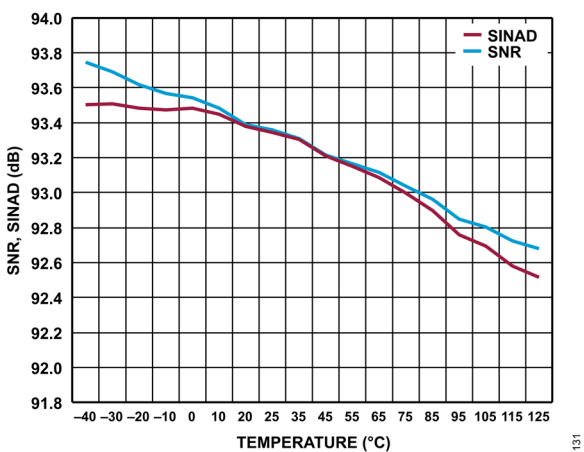


図 14. S/N 比および SINAD と温度の関係

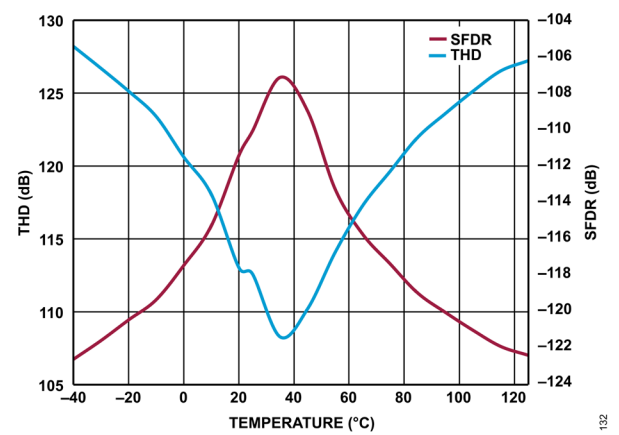


図 17. THD および SFDR と温度の関係

代表的な性能特性

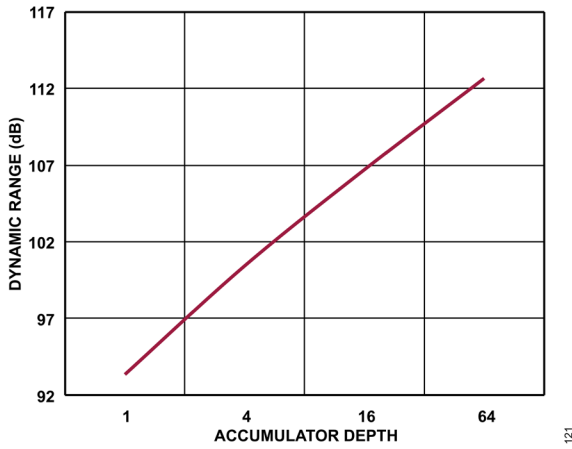


図 18. ダイナミック・レンジとアキュムレータ深度の関係

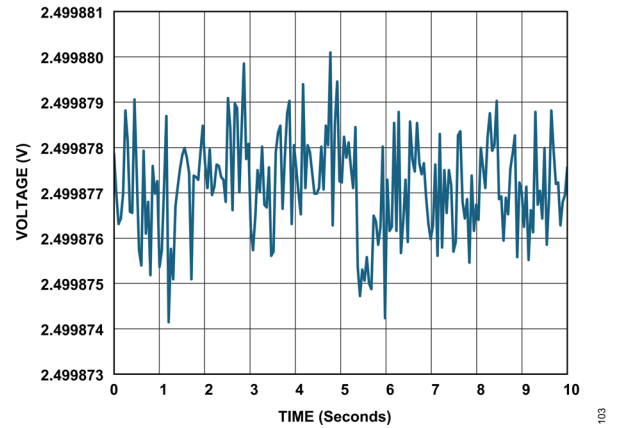


図 21. 1/f ノイズ (0.1Hz~10Hz の帯域幅)、50kSPS

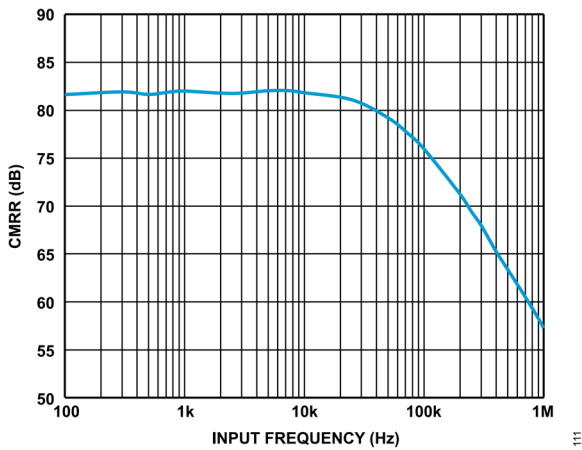


図 19. CMRR と入力周波数の関係

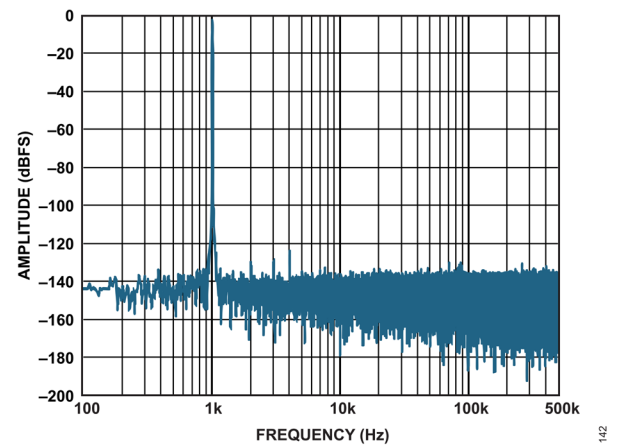


図 22. 高速フーリエ変換 (FFT)、 $f_{IN} = 1\text{kHz}$ 、 $V_{REF} = 5\text{V}$

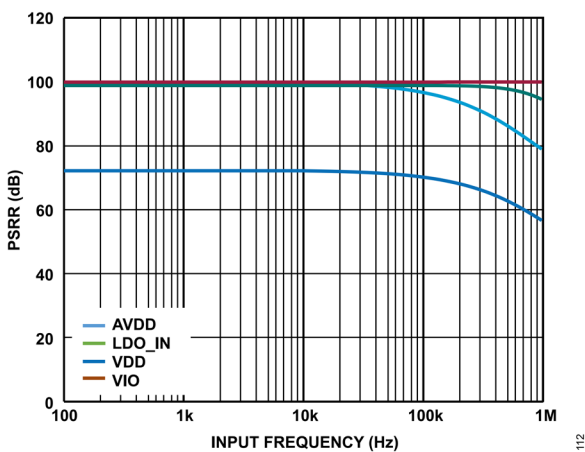


図 20. 電源電圧変動除去比 (PSRR) と入力周波数の関係

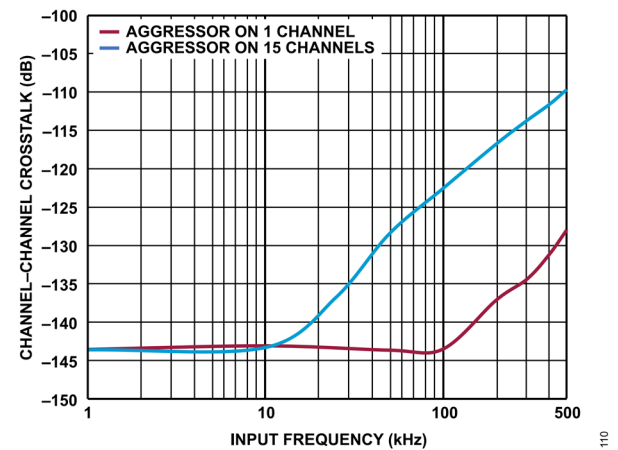


図 23. チャンネル間クロストークと入力周波数の関係

代表的な性能特性

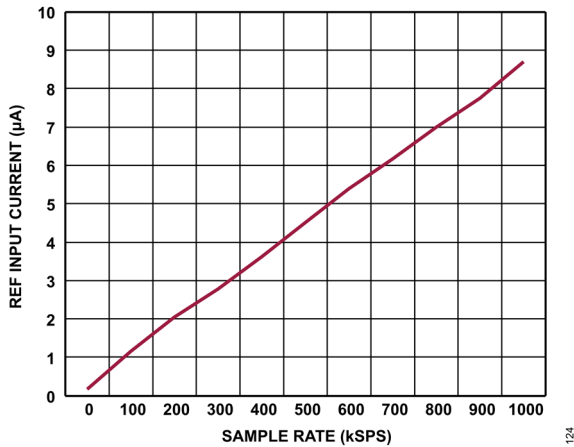


図 24. REF 入力電流とサンプル・レートの関係

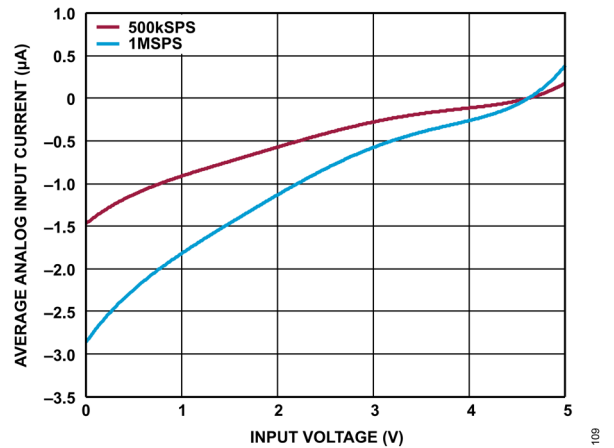


図 27. 平均アナログ入力電流と入力電圧の関係、
 $f_s = 1\text{MSPS}$ および 500kSPS

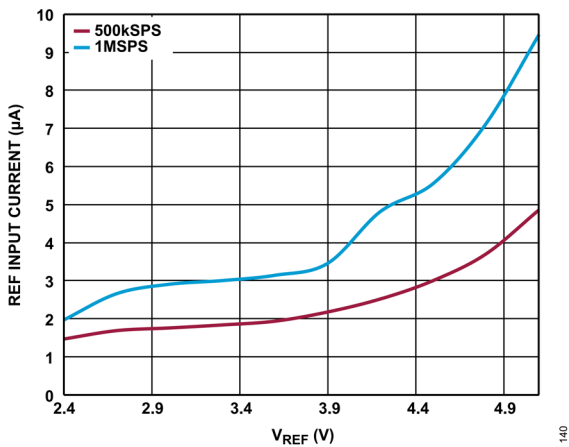


図 25. REF 入力電流と V_{REF} の関係

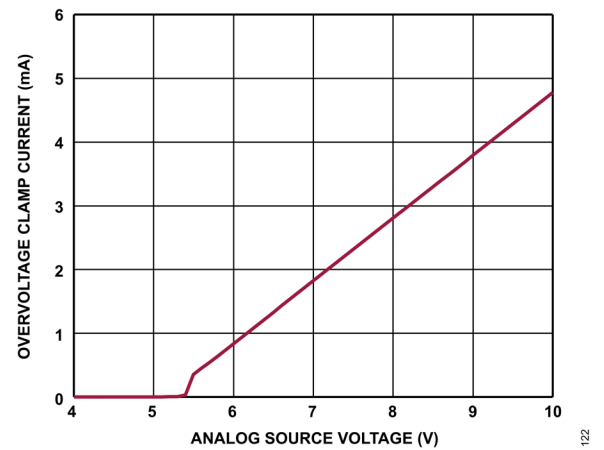


図 28. 過電圧保護クランプ電流とアナログ・ソース電圧の関係

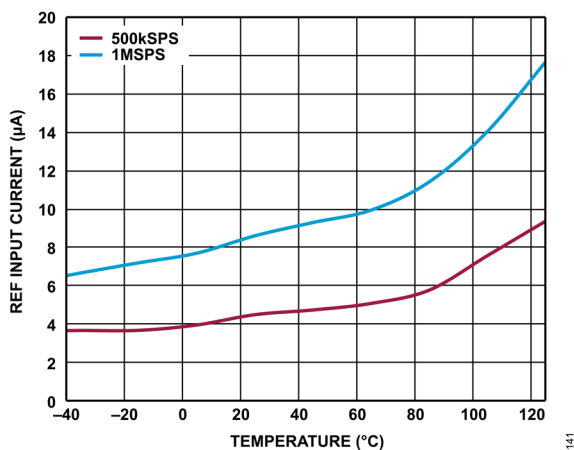


図 26. REF 入力電流と温度の関係

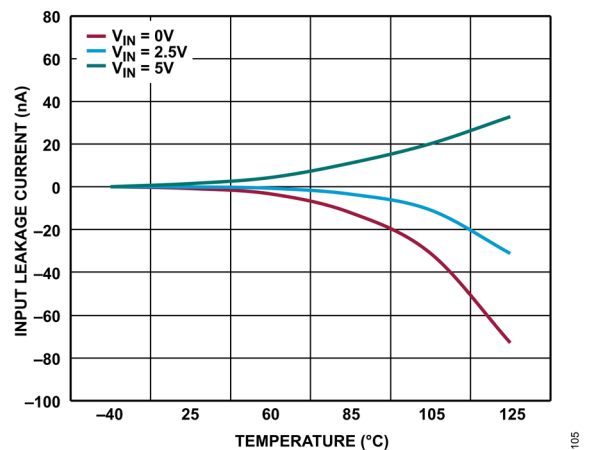


図 29. アナログ入力リーク電流と温度の関係

代表的な性能特性

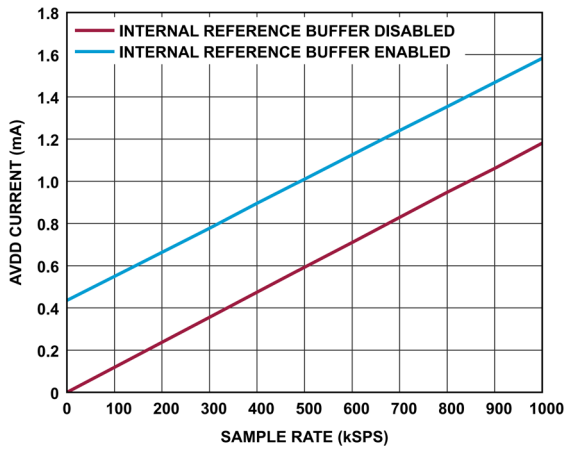


図 30. AVDD 電流とサンプル・レートの関係

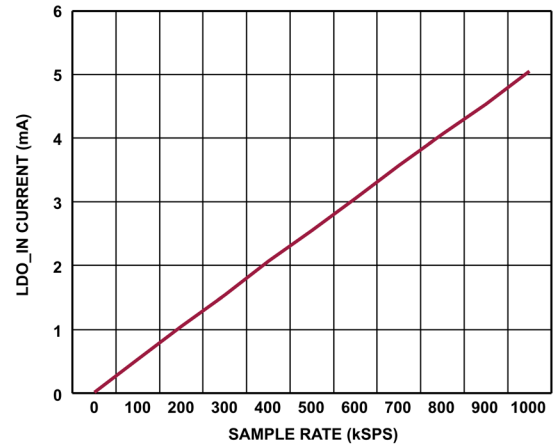


図 33. LDO_IN 電流とサンプル・レートの関係

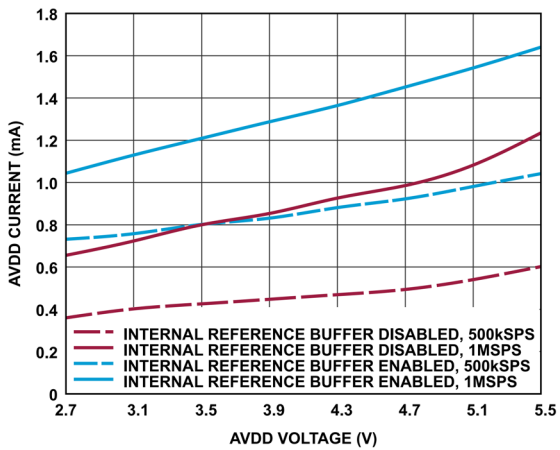


図 31. AVDD 電流と AVDD 電圧の関係

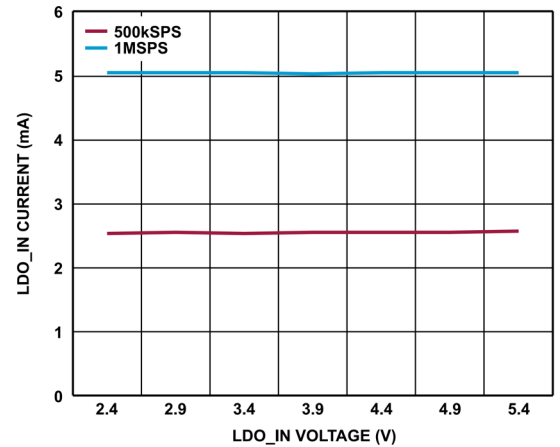


図 34. LDO_IN 電流と LDO_IN 電圧の関係

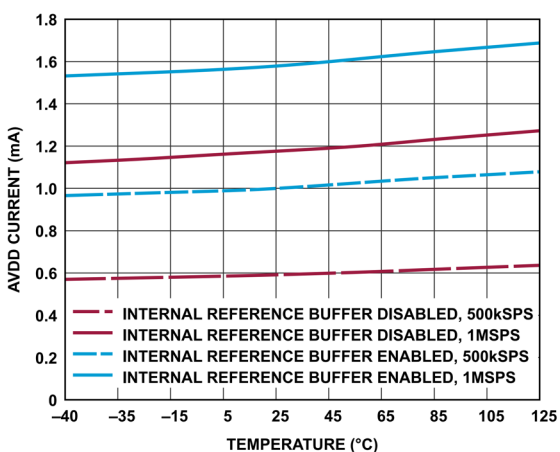


図 32. AVDD 電流と温度の関係

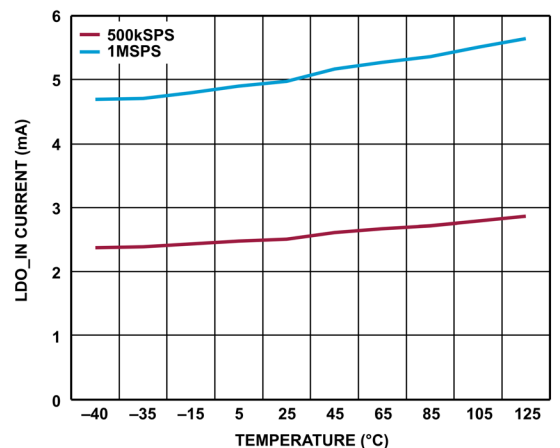


図 35. LDO_IN 電流と温度の関係

代表的な性能特性

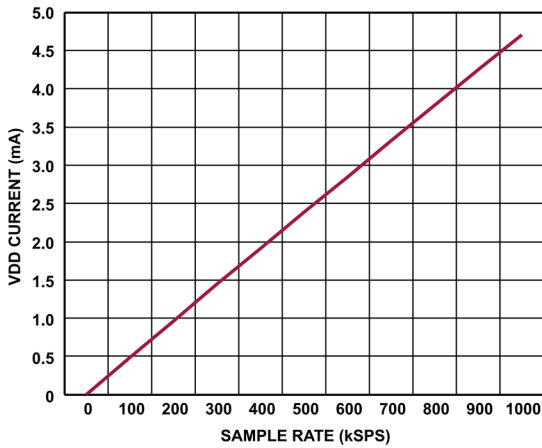


図 36. VDD 電流とサンプル・レートの関係

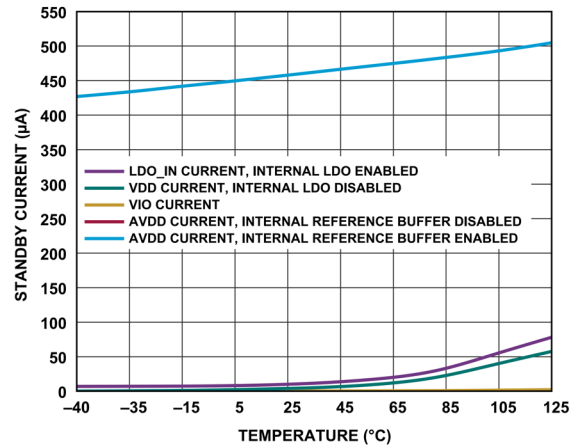


図 39. スタンバイ電流と温度の関係

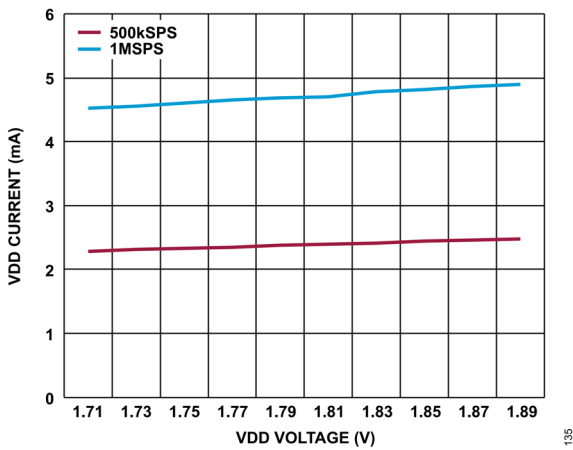


図 37. VDD 電流と VDD 電圧の関係

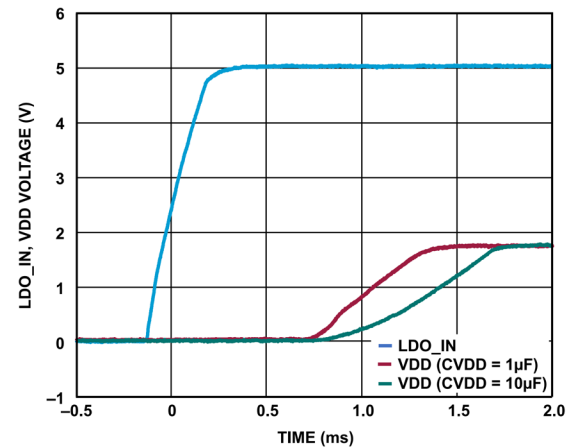


図 40. LDO_IN および VDD の電圧と時間の関係

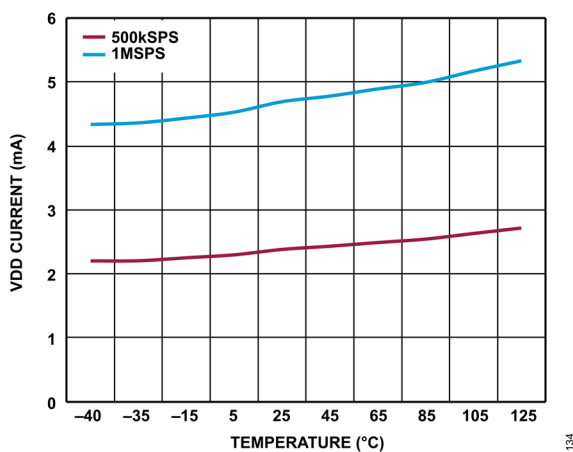


図 38. VDD 電流と温度の関係

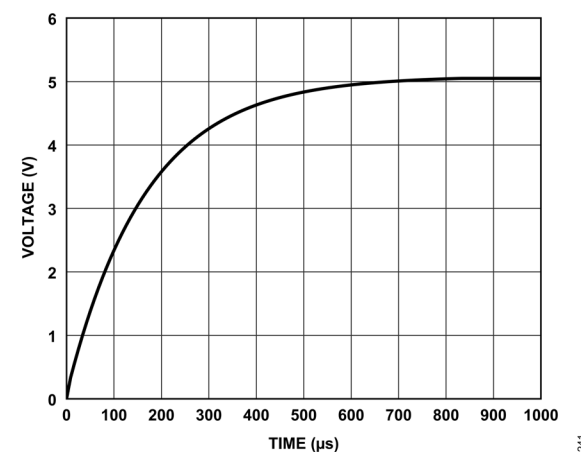


図 41. V_{REF} と時間の関係
(内部リファレンス・バッファをイネーブ)、 $C_{REF} = 1\mu F$

代表的な性能特性

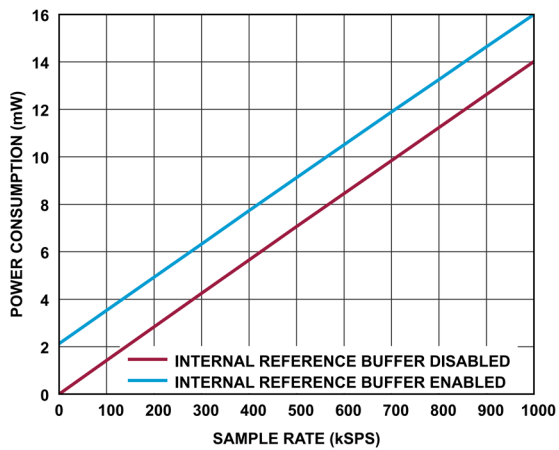


図 42. 消費電力とサンプル・レートの関係 (内部 LDO をディスエーブル)

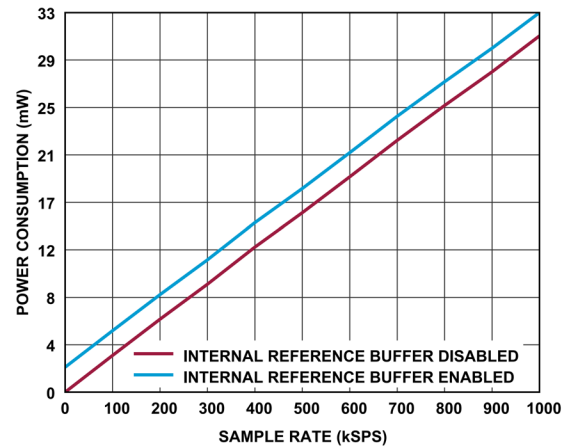


図 45. 消費電力とサンプル・レートの関係 (内部 LDO をイネーブル)

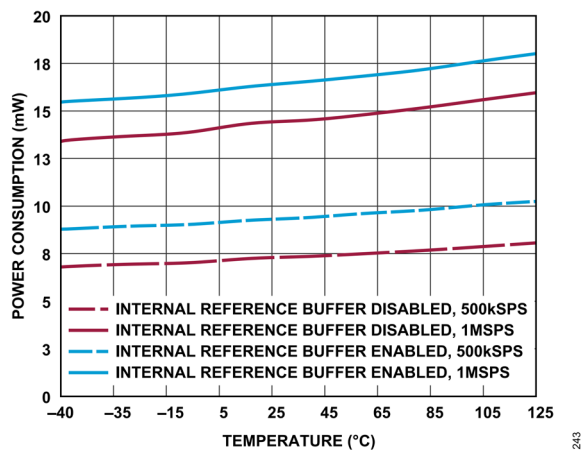


図 43. 消費電力と温度の関係 (内部 LDO をディスエーブル)

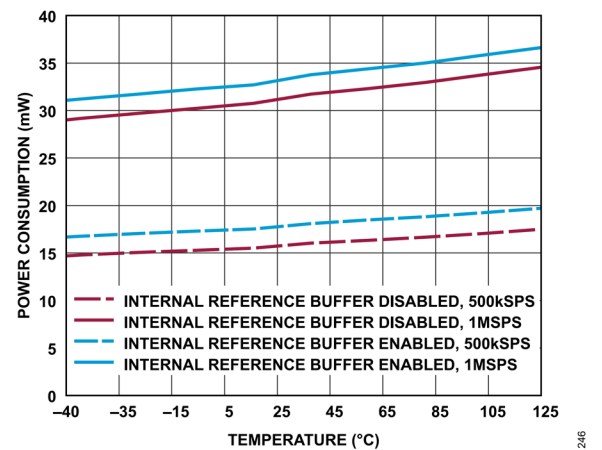


図 46. 消費電力と温度の関係 (内部 LDO をイネーブル)

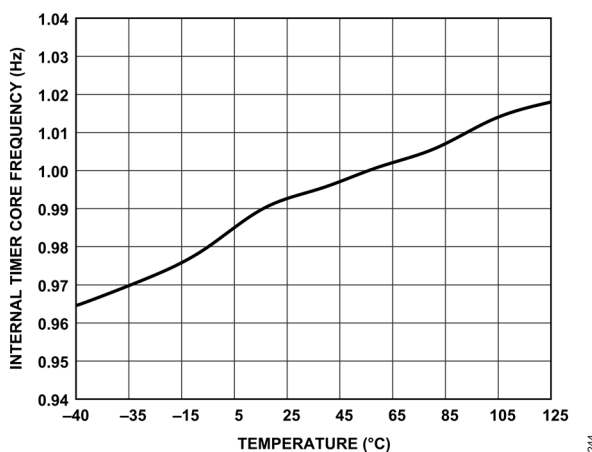


図 44. 内蔵タイマーのコア周波数と温度の関係

用語の定義

積分非直線性誤差 (INL)

INL は、ADC の伝達関数の両端を結ぶ直線と個々のコードとの偏差です。伝達関数の両端は、最初のコード遷移の前の $1/2$ LSB と最後のコード遷移の後の $1/2$ LSB です。偏差は各々のコードの中央から真の直線までの距離として測定されます。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

オフセット誤差

オフセット誤差は、 $-FSR$ と $-FSR + 1$ の間で測定された遷移と理想的な遷移との差です。 $-FSR$ と $-FSR + 1$ の間での理想的な遷移は、 $0V$ より $1/2$ LSB 上のアナログ入力レベルで発生します（[伝達関数のセクション](#)を参照）。

オフセット誤差ドリフトは、温度に伴うオフセット誤差の代表的な変化量を表すものであり、単位は $\mu V/^\circ C$ です。オフセット誤差マッチは、所定のデバイスに対する任意の 2 つの入力チャンネル間におけるオフセット誤差の最大偏差です。

ゲイン誤差

ゲイン誤差は、測定した伝達関数と理想的な伝達関数の勾配の差です。理想的な勾配は、 $V_{REF}/2^{16}$ です。

ゲイン誤差ドリフトは、温度に伴うゲイン誤差の代表的な変化量を表すものであり、単位は $ppm/^\circ C$ です。ゲイン誤差マッチは、所定のデバイスに対する任意の 2 つの入力チャンネル間におけるゲイン誤差の最大偏差です。

フル・スケール誤差

フル・スケール誤差は、 $+FSR - 1$ と $+FSR$ の間で測定された遷移と理想的な遷移との差であり、単位は LSB です。 $+FSR - 1$ と $+FSR$ の間での理想的な遷移は、公称フル・スケールより $1/2$ LSB 下のアナログ入力レベルで発生します（[伝達関数のセクション](#)を参照）。フル・スケール誤差は、デバイスごとのオフセット誤差とゲイン誤差を足し合わせたものになります。

フル・スケール誤差ドリフトは、温度に伴うフル・スケール誤差の代表的な変化量を表すものであり、単位は $ppm/^\circ C$ です。

ダイナミック・レンジ

ダイナミック・レンジは、入力を互いに短絡して測定した合計実効値ノイズに対するフル・スケールの実効値の比率です。ダイナミック・レンジの値の単位は dB であり、すべてのノイズ源と DNL アーティファクトが含まれるように、 $-60dBFS$ の信号で測定します。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波と DC を除く）の実効値総和に対する実際の入力信号の実効値の比です。S/N 比の単位は dB です。

全高調波歪み (THD)

THD は、高調波の実効値の総和と基本波の比であり、次式で定義されます。

$$THD(dB) = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1} \quad (1)$$

ここで、

V_1 は基本波の実効値振幅です。

V_2, V_3, V_4, V_5, V_6 は、2 次～6 次の高調波の実効値振幅です。

信号ノイズ+歪み (SINAD) 比

SINAD は、ナイキスト周波数未満のすべてのスペクトル成分（高調波成分を含むが DC は除く）の実効値の総和に対する、フル・スケール・サイン波の実効値電圧の比率です。SINAD の値はデシベル単位で表されます。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値で、SINAD と次式の関係があります。

$$ENOB = (SINAD - 1.76)/6.02$$

ENOB の単位はビットです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

チャンネル間クロストーク

チャンネル間クロストークは、非アクティブなチャンネルの信号からアクティブなチャンネルへのクロストークのレベルを表す尺度です。チャンネル間クロストークは、1 つまたは複数のチャンネルにフル・スケールの干渉サイン波を印加し、アクティブ・チャンネルに DC のミッド・スケール信号を印加することによって測定されます。チャンネル間クロストークは、干渉サイン波の振幅と、それと同じ周波数のアクティブ・チャンネルのスペクトルの振幅との比です。

チャンネル間メモリ

チャンネル間メモリは、チャンネル・シーケンスにおけるチャンネル間のスイッチング時に発生するクロストークのレベルを表す尺度です。1 つのアナログ入力チャンネルにフル・スケールの干渉サイン波、別のアナログ入力チャンネルに DC 電圧を印加し、変換ごとにサンプリングを 2 つのチャンネル間で繰り返し切り替えることによって測定が行われます。チャンネル間メモリは、干渉サイン波の振幅と、それと同じ周波数の DC 駆動チャンネルのスペクトルの振幅との比です。

用語の定義

アパーチャ遅延

アパーチャ遅延はアキュイジション性能の尺度です。アパーチャ遅延は、CNV 入力の立上がりエッジ（または、選択した動作モードによってはその他の変換開始トリガ）から、入力信号が変換のためにホールドされるまでの時間です。

動作原理

概要

AD4691/AD4692 は、柔軟なデジタル処理機能と制御機能を備えた、16 チャンネル、16 ビット、500kSPS/1MSPS、Easy Drive 対応の小型で高精度な SAR ADC であり、スペースに制約のある広範な高精度測定アプリケーションに対応します (図 1 参照)。AD4691/AD4692 は、広帯域幅の ADC ドライバ・アンプおよびリファレンス・バッファや高速かつ低レイテンシのデジタル・ホストに対する依存度を低減する、様々な機能を備えています。これらの機能には次のものがあります。

- ▶ ノー・ミス・コードで最初の変換から正確な 16 ビット SAR ADC コア
- ▶ 16 チャンネルの低クロストーク・マルチプレクサ
- ▶ アナログ入力およびリファレンス入力のトランジェントを最小限に抑えるプリチャージ・バッファ
- ▶ 内部リファレンス・バッファ
- ▶ アナログ入力ごとの過電圧保護クランプ
- ▶ 柔軟でプログラマブルなチャンネル・シーケンサ
- ▶ チャンネルごとの平均化フィルタ
- ▶ 自律モード用およびバースト・サンプリング・モード用の内部発振器
- ▶ 外部 SPI ペリフェラルとの同期のためのハードウェア割込み信号

AD4691/AD4692 のチャンネル・シーケンサおよびチャンネルごとの平均化フィルタによってチャンネルごとのサンプル・レートおよび平均化比率を柔軟に制御できるため、信号帯域幅や測定分解能に応じた最適化が可能になると同時に、ホスト・プロセッサの計算や SPI データ転送の負荷を軽減できます。チャンネルごとにフィルタがあるためインターリーブ・チャンネル・シーケンスが可能になり、サンプリングのブラインド・スポットを最小限に抑えると共に、チャンネル測定のリピート性を最大限に高めることができます (図 86 参照)。

自律モードおよびバースト・サンプリング・モードによって、ファームウェアが最小限のデジタル・オーバーヘッドで実行するようチャンネルのサンプリング・シーケンスを事前設定できます。また、バースト・サンプリング・モードは、入力チャンネルの高速スキャンも可能にするため、ホスト SPI が結果の負荷を軽減するための時間を最大化でき、それによって ADC を動作させるためのオーバーヘッドを低減し、省電力が求められるデジタル・ホストがスリープ・モードになっている時間を長くすることができます。

AD4691/AD4692 には、広帯域幅の高消費電力 ADC ドライバへの依存度を最小限に抑える、斬新なプリチャージ・バッファ機能があります。アナログ入力プリチャージ・バッファは、アキュイジション前に ADC サンプリング・コンデンサをチャンネルの入力電圧までプリチャージすることによって、マルチプレクサ SAR ADC に一般的に見られる高強度の電圧トランジェントを何桁も軽減します。そのためプリチャージ・バッファによって、AD4691/AD4692 は、従来の一般的な高精度マルチプレクサ ADC に比べインピーダンスが高く帯域幅の狭いセンサーやアンプと直接インターフェースでき、また、チャンネルごとの ADC ドライバ・アンプを取り除くことによってソリューション・サイズと消費電力を大幅に低減できます。

AD4691/AD4692 は 32 ピンの 5mm × 5mm LFCSP パッケージまたは 36 ピンの 2.96mm × 2.96mm WLCSP パッケージを採用しています。

コンバータの動作

AD4691/AD4692 の変換プロセスは、アキュイジション・フェーズ、変換フェーズ、プリチャージ・フェーズの 3 つのフェーズで構成されています。図 47 に、ADC の各フェーズのタイミングを、変換開始を基準として示します。アキュイジション・フェーズの間、マルチプレクサは、アクティブなチャンネルを ADC サンプリング・コンデンサ (C_{SH}) に接続して、入力信号を追跡します。デバイスは、変換開始トリガが発生して変換が開始されるまで、アキュイジション・フェーズにとどまります。変換フェーズの開始時は、マルチプレクサのスイッチが開き、C_{SH} で入力信号をサンプリングします。変換フェーズの終了時 (t_{CONV} の時間が経過した後) は、SAR ADC コアが、対応する 16 ビット・デジタル出力を生成します。

変換フェーズの終了後、次のアキュイジション・フェーズが始まる前に、プリチャージ・フェーズが発生します。プリチャージ・フェーズの間、C_{SH} は次に取得されるチャンネルの電圧に駆動され、アキュイジション開始時での電荷と電圧のトランジェントを大幅に低減します。プリチャージ・フェーズは、変換の開始から 515ns 後に終了します。プリチャージ・バッファおよびプリチャージ・フェーズの詳細については、[アナログ入力のプリチャージ](#)のセクションを参照してください。

次のアキュイジション・フェーズは、プリチャージ・フェーズが終了すると始まります。アキュイジション・フェーズが始まると、マルチプレクサは、チャンネル・シーケンシング・ロジックによって定められる次のチャンネルを選択してそれを C_{SH} に接続し、次の変換開始が更なる変換フェーズを開始するまで、次の信号を取得します。

表 2 に示す最小アキュイジション・タイムの仕様値 (t_{ACQ}) は、AD4691/AD4692 がそれぞれの最大サンプリング・レートで動作しているときにアキュイジション・フェーズになっている時間の最小量を示すものです。t_{ACQ} は、サンプリング周期 (t_{CYC}) から t_{CONV} と t_{PREQ} の和を差し引いた値です。そのため、t_{ACQ} はサンプリング周期が長くなると増加し、また、t_{CYC} - 515ns に等しい値です。

ADC コアは、ADC_BUSY と呼ばれる信号を出力します。これは、変換フェーズの間はハイになり、新たなサンプリングの準備ができるとローになります。ADC_BUSY の信号は、GP0 ピン～GP3 ピンに送られ、GPx_MODE ビット・フィールドを介するハードウェア割込みとして使用されます (表 52 および表 53 を参照)。

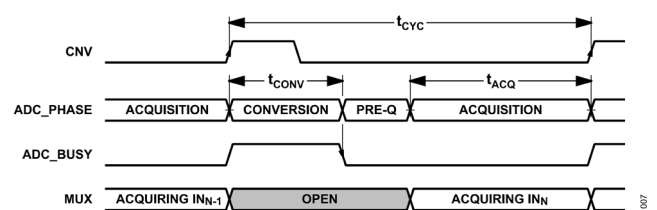


図 47. ADC のフェーズのタイミング図

動作原理

伝達関数

図 48 は、AD4691/AD4692 の SAR ADC コアの理想的な伝達関数を示しています。ADC コアは、サンプリングした電圧をフル・スケール範囲 (FSR) に対する比として 16 ビットのデジタル・コードにエンコードします。伝達関数は、 2^{16}LSB で構成されています。この場合、1LSB は ADC によって決まる離散的な電圧ステップの最小値であり、 $(V_{\text{REF}}/2^{16})\text{V}$ です。AD4691/AD4692 の入力範囲は単極性 ($0\sim V_{\text{REF}}$) であり、その出力コードは、 $0\sim 65,535$ の範囲のストレート・バイナリ・フォーマットです。表 12 に、 $V_{\text{REF}} = 5\text{V}$ を例に用い、入力電圧を出力コードに対応付ける理想的な伝達関数を LSB ごとに示します。

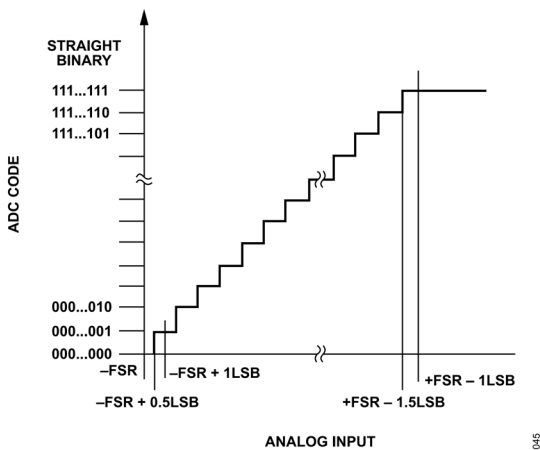


図 48. ADC の理想的な伝達関数 (FSR はフル・スケール範囲)

表 12. ADC の入力電圧と出力コードの対応関係

Description	Input Voltage	Digital Output Code
FSR - 1 LSB	$(65535/65536) \times V_{\text{REF}}$	0xFFFF
...
Midscale + 1 LSB	$(32769/65536) \times V_{\text{REF}}$	0x8001
Midscale	$(\frac{1}{2}) \times V_{\text{REF}}$	0x8000
Midscale - 1 LSB	$(32767/65536) \times V_{\text{REF}}$	0x7FFF
...
-FSR + 1 LSB	$(1/65536) \times V_{\text{REF}}$	0x0001
-FSR	0 V	0x0000

Easy Drive 機能

従来の一般的なマルチプレクス SAR ADC では、アナログ入力に電荷および電圧の高強度のトランジェントを示すため、チャンネルごとに高速、低ノイズ、高消費電力の ADC ドライバ・アンプを必要とします。チャンネルごとに専用の ADC ドライバが必要になると、システムのサイズと消費電力が大幅に増加するため、小型で電力効率に優れたマルチチャンネル高精度測定を行うという目的に反します。AD4691/AD4692 は、いくつかの Easy Drive 機能を備えており、これらの機能によって、マルチプレクサ SAR ADC に関連するシグナル・チェーンの設計課題が平易なものになり、電力効率に優れた省スペースのマルチチャンネル高精度測定ソリューションが可能になります。

AD4691/AD4692 は、アナログ入力プリチャージ・バッファを内蔵しており、それによって、マルチプレクサ SAR ADC によく見られる入力トランジェントを大幅に低減します。トランジェントが小さくなることにより、AD4691/AD4692 は、サンプリングの正確さを損なうことなく、高インピーダンスの信号源を許容できます。それによって、高速 ADC ドライバを用いなくても、精度が重視されるアンプと直接インターフェースできます。また、トランジェントが低減することにより、RC 入力フィルタの容量を低く、抵抗を高くできるため、フロントエンド・アンプが不安定になることへの懸念が減少すると共に消費電力が抑えられます。詳細については、[アナログ入力のプリチャージのセクション](#)を参照してください。

AD4691/AD4692 は、 V_{REF} 信号のトランジェントを低減するため、REF 入力にプリチャージ・バッファも内蔵しています。リファレンス入力プリチャージ・バッファによって電圧リファレンス・トランジェント対応要件が緩和されるため、専用のリファレンス・バッファを用いずに ADC REF 入力を直接駆動できます。平均 REF 電流の減少により、ADC は、正確さを低下させることなくリファレンス源と REF 入力間の直列抵抗の増加を許容することもできます。

AD4691/AD4692 の WLCSP パッケージ・オプションは、真のバッファ付きリファレンス入力 (REFIN) を備えています。内部リファレンス・バッファは、外部ノイズ・フィルタリングを要するリファレンス用にバッファを備えていない低消費電力のリファレンス源を用いるアプリケーションや、複数のデバイスが共通のリファレンス源を共有するアプリケーションに便利です。詳細については、[内部リファレンス・バッファ](#)のセクションを参照してください。

AD4691/AD4692 には、IN0~IN15 および COM に過電圧保護クランプがあり、長時間の DC 過電圧イベントからのデバイスの損傷リスクを軽減します。これらのクランプにより、入力駆動回路の正側電源レールが V_{REF} より大きいようなシステムでも、クランプ用ダイオードを外付けする必要がなくなります。詳細については[入力過電圧保護クランプ](#)のセクションを参照してください。

動作原理

アナログ入力

図 49 に、IN0~IN15 および COM を含む、AD4691/AD4692 のアナログ入力の等価回路を示します。

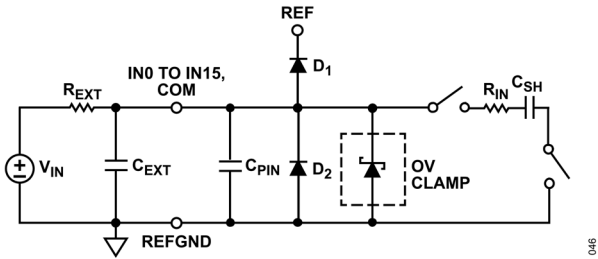


図 49. 等価アナログ入力回路

低クロストークのアナログ・マルチプレクサが、アナログ入力ピンから ADC コア入力に信号を伝送します。アナログ入力のインピーダンスは、ピン容量 (C_{pin}) と、R_{in} および C_{sh} を直列接続して形成されたネットワークを並列に組み合わせたものとしてモデル化されています。R_{in} は、ADC 入力の直列抵抗とマルチプレクサのスイッチ抵抗を表し、代表値は 240Ω です。C_{sh} は、ADC のサンプリング・コンデンサを表し、代表値は 60pF です。

各アナログ入力には、図 49 で OV CLAMP と表示されている、専用の過電圧保護クランプ回路があります。このクランプは、アナログ入力が DC 過電圧状態にならないよう保護するもので、追加の保護ダイオードを外付けする必要はありません。過電圧保護クランプの詳細については、[入力過電圧保護クランプ](#)のセクションを参照してください。

図 49 の R_{EXT} および C_{EXT} は外付けの RC ローパス・フィルタを表し、アキュイジションの開始時に直ちに C_{SH} を充電するために用いられます。[Easy Drive 機能](#)のセクションおよび[アナログ入力のプリチャージ](#)のセクションで説明したように、C_{SH} はアキュイジションの開始前に次のチャンネルの電圧までプリチャージされるため、従来の一般的なマルチプレクサ SAR ADC より C_{EXT} の値を小さく、R_{EXT} の値を大きくすることが可能になります。

マルチプレクサの設定オプション

AD4691/AD4692 には、16 個のアナログ入力から選択しそれらを 16 ビットの SAR ADC コアの入力に振り分ける、柔軟性の高い低クロストークのアナログ・マルチプレクサがあります。図 50 に、内部マルチプレクサの簡略化した回路図を示します。SW_{MUX+} および SW_{MUX-} は、選択したチャンネルを ADC 入力に振り分けるマルチプレクサ・スイッチを表しています。SW_{MUX+} および SW_{MUX-} はブレイク・ビフォア・メイクであり、内部チャンネル・シーケンシング・ロジックにより制御されます ([チャンネル・シーケンサ](#)のセクションを参照)。

AD4691/AD4692 の各入力チャンネルは、図 50 に示すように、シングルエンド・モードまたは擬似差動モードに設定できます。シングルエンド・モードでは、SW_{MUX-} が ADC_{IN-} 入力を REF_{GND} に接続し、デバイスのグラウンドを基準として入力信号をサンプリングします。擬似差動モードでは、SW_{MUX-} が ADC_{IN-} 入力を COM に接続し、信号のグラウンドを基準として入力信号をサンプリングします。

専用の信号グラウンドを持つシステムで擬似差動モードを使用すると、サンプリングされた信号のコモン・モード・ノイズを減衰できます。図 19 に、AD4691/AD4692 の代表的な CMRR を示します。これは、ADC への ADC_{IN+} 入力と ADC_{IN-} 入力間のコモン・モード信号の減衰係数と周波数の関係を表したものです。なお、COM の入力電圧範囲は REF_{GND} ± 0.1V であるため、COM に接続される信号のグラウンドは、デバイスのグラウンドとも共通でなくてはならない点に注意してください。

各チャンネルのチャンネル構成設定値は、アクティブなチャンネル・シーケンサ・モードおよび CONFIG_IN_n レジスタの IN_MODE ビットによって決まります。標準シーケンサ・モードでは、CONFIG_IN₀ レジスタの IN_MODE ビットが、16 チャンネルすべてのチャンネル構成モードを設定します。詳細シーケンサ・モードでは、各チャンネルの構成モードは、対応する CONFIG_IN_n レジスタの IN_MODE ビットを介して個別に設定されます。図 98 に、各シーケンサ・モードのアナログ入力モード設定に関するフローチャートを示します。

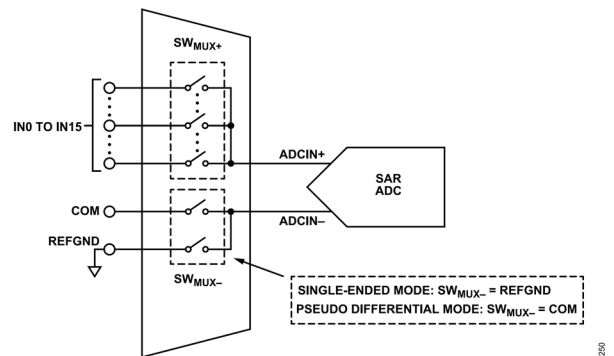


図 50. マルチプレクサの簡略化した接続図

動作原理

アナログ入力のプリチャージ

AD4691/AD4692 アナログ入力プリチャージ・バッファにより、チャンネルごとに高速の ADC ドライバ・アンプを設ける必要性がなくなるため、効率的なマルチチャンネル・データ・アキュジションの設計が可能になります。従来のマルチプレクサ SAR ADC では、チャンネル間の電圧ミスマッチにより大きな入力トランジェントが発生します。これらのトランジェントは、ADC の $\frac{1}{2}$ LSB 以内に安定化させる必要があるため、アナログ・フロントエンド回路に厳しい要件が課せられ、消費電力、面積、ノイズが増大してしまいます。

従来のマルチプレクサ ADC では、サンプリング・コンデンサ C_{SH} が、直前のチャンネルからサンプリングされた電圧を保持しています。マルチプレクサが次のチャンネルに移行するとき、入力ピンおよびサンプリング・コンデンサの電圧は、 V_{REF} と同じ大きさになる可能性があり、電圧を均等化するために電荷が急速に再分配される際に、チャンネルを流れる電流にスパイクが発生します。結果として生じるグリッチの大きさは、電圧ミスマッチの大きさと外部コンデンサ (図 49 の C_{EXT}) のサイズに関連します。

AD4691/AD4692 の入力プリチャージ・バッファは、アキュジションの前に C_{SH} を次のチャンネルの電圧に駆動するため、入力のグリッチを何桁も低減できます。プリチャージ・バッファは、変換と変換の間でパワーダウンを行い、消費電力がサンプリング・レートに比例するため (図 42 および図 45 を参照)、内蔵バッファに代わる電力効率の高い代替手段となります。

図 51 および図 52 に、プリチャージ動作と、それに伴う IN_0 と IN_1 のチャンネル・シーケンスの例を示します。各プリチャージ・バッファには、ADC コアが直前のチャンネルをサンプリン

グしている間に次のチャンネルの信号をトラック&ホールドするための並列サンプリング経路が含まれています。プリチャージ・バッファのフェーズは、ADC の変換フェーズおよびアキュジション・フェーズとチャンネル・シーケンシング・ロジックに整合されています。

最初の変換前に、ADC コアがマルチプレクサを通じて (IN_0_SH を通じて) IN_0 をトラックし、その間、プリチャージ・サンプリング回路が IN_1 を ($PQ1_SH$ を通じて) トラックします。最初の変換開始によって、ADC がトリガされると共に IN_1 プリチャージ・サンプリングのスイッチが開き、 IN_0 および IN_1 の電圧がサンプリングされます。変換の終了時、ADC は IN_0 の電圧変換を終了し、 IN_1 プリチャージ・フェーズが始まります。 IN_1 プリチャージ・バッファがパワーアップしてサンプリング・コンデンサとの間で電流のソースやシンクを行い、そのコンデンサを IN_1 電圧まで駆動します。プリチャージ・フェーズが終了すると、 IN_1 ピンは、マルチプレクサを通じてサンプリング・コンデンサに接続されます。次の変換が始まるとこのプロセスが繰り返され、ADC が IN_1 をサンプリングし IN_0 プリチャージ・バッファが IN_0 を ($PQ0_SH$ を通じて) サンプリングします。

変換開始からプリチャージ・フェーズ終了までの時間遅延は 515ns です。プリチャージ・バッファは、プリチャージ・フェーズの間に 5mV 以内の正確さでサンプリング・コンデンサを駆動します。これは 5V V_{REF} の場合 0.1%フル・スケールに相当します。それによって、サンプルごとの電荷損失は 300fC まで減少します。これは、これと等価なプリチャージを行わないマルチプレクサ ADC に比べ 1000 分の 1 の値です。

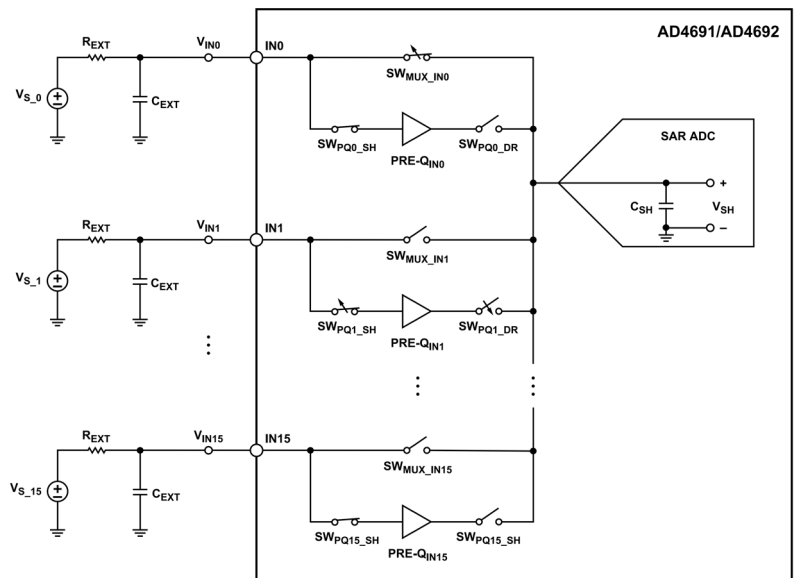


図 51. プリチャージ・バッファの簡略化した回路図

動作原理

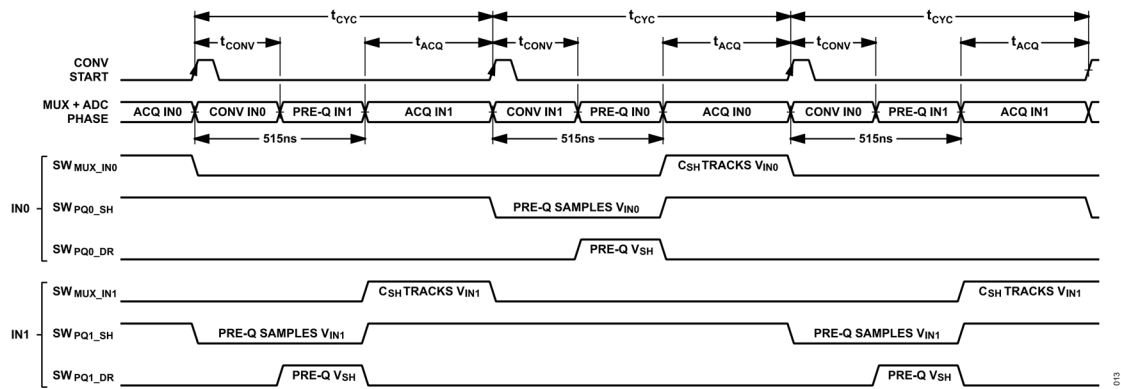


図 52. プリチャージのタイミング図の例

入力過電圧保護クランプ

AD4691/AD4692 には、IN0～IN15 および COM に過電圧保護クランプがあり、長時間の DC 過電圧イベントからのデバイスの損傷リスクを軽減します。これらのクランプにより、入力駆動回路の正側電源レールが V_{REF} より大きいようなシステムでも、クランプ用ダイオードを外付けする必要性が減少します。

入力過電圧イベントによってリファレンス源が妨害される程度が、過電圧保護クランプにより抑制されます。アクティブな場合、クランプはアナログ入力の電圧を仕様規定されたクランプ電圧に制限し、入力電流をアナログ入力と REF 入力を接続する ESD ダイオード (図 49 の D1) を通さずに、グラウンドに流します。これによって、1 つのアナログ入力の過電圧状態が別のアナログ入力またはリファレンスを共有する別のデバイスの性能を低下させることを防ぎます。

表 1 に、過電圧保護クランプのアクティブ化電圧、非アクティブ化電圧、クランピング電圧を示します。図 28 には、過電圧状態中のクランプの代表的な作用を示します。クランプ回路がアクティブになるのは、アナログ入力電圧がアクティブ化電圧を超えた場合です。クランプ回路が非アクティブになるのは、入力電圧が非アクティブ化電圧を下回った場合です。クランプがアクティブになっている間、ステータス・レジスタにフラグがセットされ、これをデジタル・ホストが読み出せます (過電圧クランプ・フラグのセクションを参照)。

各過電圧保護クランプ回路は、5mA の最大持続電流に対応します。17 個のクランプ回路はすべて、デバイスに損傷を与えることなく同時に 5mA をシンクできます。クランプ電流は、 V_{REF} 、外付け直列抵抗 (図 49 の R_{EXT} など)、AFE 回路の出力電圧の関数です。

過電圧クランプ・フラグ

AD4691/AD4692 は、過電圧保護クランプのステータスを確認するための手段をいくつか備えています。

CLAMP_STATUS1 レジスタおよび CLAMP_STATUS2 レジスタの INX_CLAMP_FLAG ビットは、IN0～IN15 の過電圧保護クランプのステータスを示します。各 INX_CLAMP_FLAG ビットは、対応する入力クランプ回路がアクティブになるとアサートされ、対応する入力クランプ回路が非アクティブになるとデアサートされます。DEVICE_STATUS レジスタの CLAMP_FLAG ビットは、IN0～IN15 のいずれかの組み合わせの過電圧クランプがア

クティブになるとアサートされます (いずれかの INX_CLAMP_FLAG ビットがアサートされている場合)。このビットはスティッキーで、すべてのクランプが非アクティブなときに読み出された場合にのみ、クリアされます。

ステータス・レジスタの COM_CLAMP_FLAG ビットは、COM 入力の過電圧保護クランプがアクティブになるとアサートされ、COM 入力の過電圧保護クランプが非アクティブになるとデアサートされます。

電圧リファレンス入力

V_{REF} により、ADC のフル・スケール電圧が設定されます (伝達関数のセクションを参照)。ADC コアは、変換プロセスのビット・トライアルの間にリファレンス入力 (REF) の電圧をサンプリングし、出力コードの結果を定めます。AD4691/AD4692 は、2.4V～5.1V のリファレンス電圧に対応します。

従来の SAR ADC に共通する課題は、高精度の V_{REF} を維持しながら SAR のビット・トライアル中に REF 入力動的に流入電流を引き出せるだけの、十分な駆動能力を持つリファレンス回路を設計することにあります。リファレンス入力プリチャージ・バッファは、REF 入力のトランジェント電流スパイクを低減し、電圧リファレンスおよびアンプの幅広い選択を可能にするため、正確さを犠牲にすることなく AD4691/AD4692 の REF 入力を駆動できます。REF プリチャージ・バッファを用いることにより、リファレンス・デカップリング・コンデンサ (C_{REF}) を $1\mu\text{F}$ という小さな値にできます。これは従来の SAR ADC に比べ、一桁小さい値です。

AD4691/AD4692 の WLCSP モデルには、真のバッファ付きリファレンス入力のための内部リファレンス・バッファも内蔵されています (内部リファレンス・バッファのセクションを参照)。

AD4691/AD4692 は、選択したリファレンス電圧で最高の性能が発揮できるよう設定する必要があります。REF_CTRL レジスタの VREF_SET ビット・フィールドには、表 40 に示すように、 V_{REF} の範囲に関し 5 通りのオプションがあります。この値は、REF ピンに加わる V_{REF} 電圧と一致するようプログラムする必要があります。図 99 に、リファレンス入力およびリファレンス・バッファの設定に関するフローチャートを示します。

動作原理

内部リファレンス・バッファ

内部リファレンス・バッファ (AD4691/AD4692 の WLCSP オプションでのみ利用可能) は、真のバッファ付きリファレンス入力 (REFIN) を備えています。内部リファレンス・バッファは、非バッファの低消費電力の電圧リファレンスを用いるアプリケーションの場合や、複数のデバイスが AD4691/AD4692 と共通のリファレンス源を共有する場合に便利です。内部リファレンス・バッファの真の高インピーダンス入力は、電圧リファレンスと ADC 入力間に、より高強度のローパス・フィルタリングを可能にします。

内部リファレンス・バッファがイネーブルされている場合、許容可能な最大 V_{REF} は $AVDD - 0.3V$ で (表 1 参照)、 $AVDD$ 電源は、追加のスタンバイ電流として $470\mu A$ を消費します。表 1 および図 42~図 46 に、内部リファレンス・バッファをディスエーブルした場合とイネーブルした場合の消費電力を示します。

AD4691/AD4692 の内部リファレンス・バッファの簡略化した回路図を、図 53 に示します。内部リファレンス・バッファは、REF_CTRL レジスタの REFBUF_EN ビットを 1 に設定することでイネーブルできます。内部リファレンス・バッファはデフォルトではディスエーブルされています。

内部リファレンス・バッファのターンオン時間の仕様 (表 1 の t_{REFBUF}) は、内部リファレンス・バッファがイネーブルされてから REF ピン電圧が $0V$ から V_{REF} に 0.01% 以内の精度で遷移するまでの遅延です。 t_{REFBUF} は REF デカップリング・コンデンサ (C_{REF}) に比例します。

内部リファレンス・バッファを使用しない場合、REFIN は REF に短絡する必要があり、また、内部リファレンス・バッファが確実にディスエーブルされるよう、REFBUF_EN ビットを 0 にセットしたままにする必要があります。

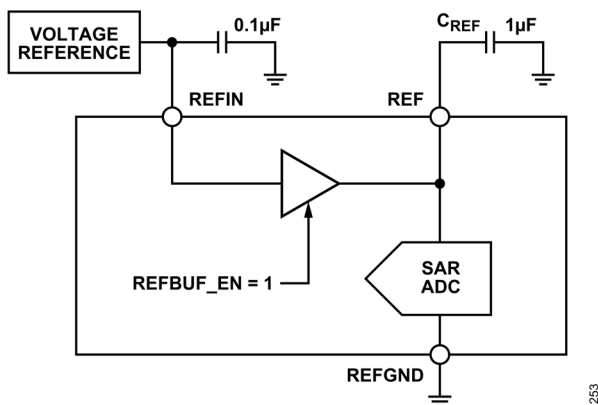


図 53. 内部リファレンス・バッファの簡略化した回路図

電源

AD4691/AD4692 には以下に示す 4 つの電源ドメインがあります。

- ▶ $AVDD$ は、アナログ電源レール
- ▶ VDD は、ADC コア電源レール
- ▶ VIO は、デジタル・インターフェース用のロジック電源レール
- ▶ LDO_IN は、オプションで VDD レールに内部で給電する内部 LDO レギュレータへの入力

各電源入力の電圧範囲については、表 1 を参照してください。

AD4691/AD4692 は、 VIO 、 VDD 、 $AVDD$ (および内部 LDO がイネーブルの場合は LDO_IN) の間の電源シーケンスには依存しません。 VIO と VDD に最初に供給されると、パワーオン・リセット (POR) が起動します (デバイスのリセットのセクションを参照)。また、AD4691/AD4692 は広い周波数範囲にわたって電源のリップルによる影響を受けません (図 20 参照)。

VDD は ADC コアとデバイス・レジスタ・メモリの両方に電力を供給します。 VDD がパワーダウンすると (例えば、内部 LDO レギュレータをディスエーブルして低消費電力状態に移行する場合など)、設定レジスタはクリアされます。

$AVDD$ 、 LDO_IN 、 VDD と $AGND$ の間、および VIO と $IOGND$ の間は、 $100nF$ 以上のコンデンサでデカップリングしてください。 $AVDD$ と LDO_IN を短絡すると、両方のピンで 1 つのデカップリング・コンデンサを用いることができます。内部 LDO を使用しない場合は、 LDO_IN のデカップリングは不要です。内部 LDO レギュレータのセクションで説明するように、内部 LDO レギュレータを用いる場合、適切なデバイス動作を実現するためには、 VDD ピンに $100nF$ 以上のデカップリング・コンデンサが必要です。

内部 LDO レギュレータ

AD4691/AD4692 は、 $+1.8V$ の VDD レールを内部で給電するオプションの内部 LDO レギュレータを備えており、必要なシステム電源の数を最小限に抑えます。 LDO_IN を $AVDD$ に接続することにより、1 つの電源で $AVDD$ と VDD に給電できます。

内部 LDO レギュレータの出力は、 VDD ピンに内部で接続されています。内部 LDO がイネーブルされている場合、その出力が VDD を内部で駆動します (図 54 参照)。内部 LDO レギュレータをイネーブルするには、 LDO_IN が $2.4V$ 以上に駆動され、 VIO は既に給電されており、DEVICE_SETUP レジスタの LDO_EN ビットが 1 にセットされている必要があります。デバイスのパワーアップ時とデバイス・リセット後は、内部 LDO レギュレータはデフォルトでイネーブルされます。内部 LDO レギュレータの出力で VIO 電源に給電することはできません。 VIO には、デジタル・ホストまたはその他のシステム電源レールで給電する必要があります。

動作を安定させるために、内部 LDO レギュレータには出力デカップリング・コンデンサが必要です。内部 LDO を使用する場合、 VDD ピンと $AGND$ ピンの間に $100nF \sim 10\mu F$ のデカップリング・コンデンサを接続してください。

内部 LDO レギュレータがディスエーブル時、その出力はディスエーブルされ高インピーダンスになります。内部 LDO を使用しない場合、 LDO_IN は $AGND$ に接続し、 VDD には外部から供給することが必要です (図 55 参照)。 VDD に外部から給電する場合は、 LDO_IN 入力が $AGND$ に短絡されている場合でも、DEVICE_SETUP レジスタの LDO_EN ビットをクリアしてください。図 99 に、内部 LDO レギュレータをイネーブルまたはディスエーブルするためのフローチャートを示します。

内部 LDO レギュレータの出力は、 VDD が別の $1.8V$ 電源で駆動されている場合、または VDD が偶然 $AGND$ に短絡された場合にも耐えられるよう設計されています。 VDD ピンが他のレールや負荷とは確実に切断されているようにしてください。内部 LDO は、他のデバイスに給電することは目的としていません。

内部 LDO レギュレータを一時的にディスエーブルすると、 $AVDD$ 、 LDO_IN 、または VIO のレールをディスエーブルせずに AD4691/AD4692 を低消費電力状態にできます。内部 LDO レギュレータがディスエーブルされると (ただし、 VDD が外部電源から給電されていない場合)、ADC コアはシャットダウンし、設定レジスタの内容は消去されます。

動作原理

内部 LDO レギュレータは、SPI を介したウェイクアップ・コマンド、またはハードウェア・リセットにより再度イネーブルできます。ウェイクアップ・コマンドは 0x000081 で、ソフトウェア・リセットを実行することと同等です（ハードウェア・リセットとソフトウェア・リセットの詳細については、[デバイスのリセット](#)のセクションを参照）。デジタル・インターフェースでは、ウェイクアップ・コマンドを受けられるよう VIO が給電されたままになっている必要があります。また、内部 LDO レギュレータは、VIO が仕様規定された範囲にない場合はイネーブルされません（表 1 を参照）。

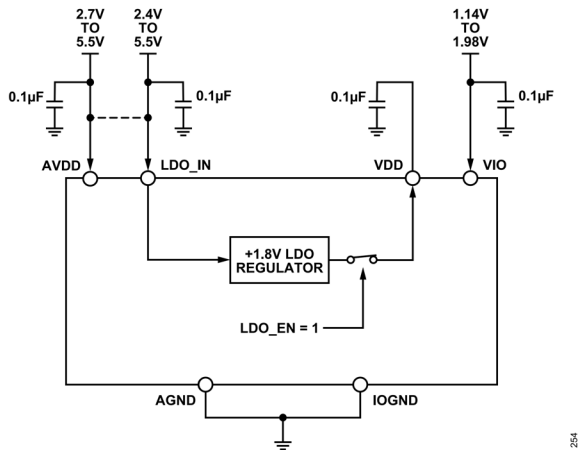


図 54. 内部 LDO レギュレータを用いた VDD への給電

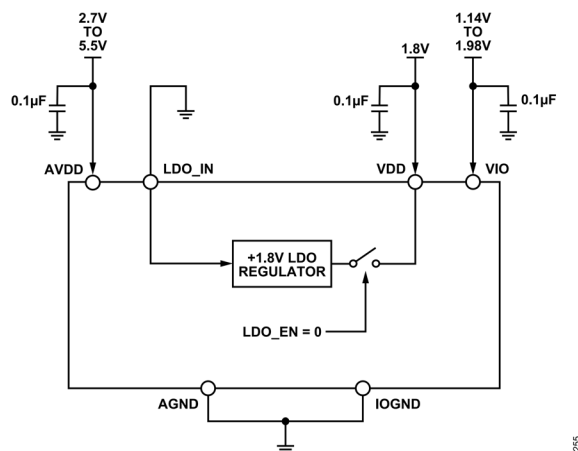


図 55. 外部からの VDD への給電

チャンネル・シーケンサ

AD4691/AD4692 は、ユーザ設定のチャンネル・シーケンスを通じ ADC サンプリングに同期してスキャンを自動化する、チャンネル・シーケンサを備えています。チャンネル・シーケンサは、アクティブなチャンネルを ADC の変換ごとに一度の割合で更新するよう、マルチプレクサ・スイッチを制御します。

チャンネル・シーケンサには 2 つのシーケンシング・モードがあります。標準シーケンサ・モードは、すべてのチャンネルのサンプリング・レートおよび平均化比率が同じであるような、単純なチャンネル・シーケンサに対応します（[標準シーケンサ・モード](#)のセクションを参照）。詳細シーケンサ・モードは、完全にカスタムなチャンネル・シーケンサに対応し、チャンネルごとに異なるサンプリング・レートおよび平均化比率が可能です（[詳細シーケンサ・モード](#)のセクションを参照）。チャン

ネル・シーケンサ・モードは、SEQ_CTRL レジスタの SEQ_MODE ビットによって設定されます。

チャンネル・シーケンサは、プログラムされたシーケンスの終了までシーケンサが達したことを通知する、アクティブ・ローのシーケンサ終了 ($\overline{\text{EOS}}$) ステータス信号を発生します。 $\overline{\text{EOS}}$ は、割込み信号として作用するよう、オプションで GP0 ピン～GP3 ピンに出力させることができ、また、バースト・サンプリング・モードでの停止トリガとして割り当てすることもできます。詳細については、[シーケンサ終了 \(\$\overline{\text{EOS}}\$ \) 信号](#)のセクションを参照してください。

チャンネル・シーケンスのすべてのチャンネルは、 $\overline{\text{DRDY}}$ 信号が正しく機能し、ロックアウト状態が発生しないようにするために、変換の実行前にマスク解除する必要があります（詳細については、[データ・レディ \(\$\overline{\text{DRDY}}\$ \) 信号](#)のセクションを参照）。

チャンネル・シーケンサは、手動モードを除くすべての動作モードでイネーブルされます。手動モードの場合は、デジタル・ホストが SPI を通じてリアル・タイムでチャンネル・シーケンスを送信します（詳細については、[手動モード](#)のセクションを参照）。

シーケンサ終了 ($\overline{\text{EOS}}$) 信号

AD4691/AD4692 のチャンネル・シーケンサには、チャンネル・シーケンスが終了するとローに遷移する ($\overline{\text{EOS}}$) 信号があります。 $\overline{\text{EOS}}$ は、ADC コアがシーケンスの最後のチャンネルの変換を完了した後にアサートされ、それによって、シーケンサはシーケンスの最初のチャンネルにロール・オーバーします。

$\overline{\text{EOS}}$ 信号は、次の変換後、または状態リセット後にデアサートされます。 $\overline{\text{EOS}}$ は、標準シーケンサ・モードおよび詳細シーケンサ・モードのどちらでもサポートされており、[図 57](#)と[図 59](#)に図示されています。

$\overline{\text{EOS}}$ は、ハードウェア割込みとして機能するよう、配線を汎用ピンに引き回すことができます（表 18 参照）。

$\overline{\text{EOS}}$ は、CNV バースト・モードや SPI バースト・モードでのバースト・サンプリングを自動的に停止するための、内部発振器停止トリガとして割り当てすることもできます。これらのモードでは、AD4691/AD4692 は、チャンネル・シーケンスの 1 回の反復試行を通じてサンプルのバーストを自律的に実行します（[CNV バースト・モード](#)のセクションおよび [SPI バースト・モード](#)のセクションを参照）。

動作原理

標準シーケンサ・モード

標準シーケンサ・モードは、2つのシーケンサ・モードのうちの比較的単純なモードであり、各チャンネルが同じ出力データ・レートを必要とする場合、およびチャンネルの順序を任意に設定する必要がない場合に推奨されます。

標準シーケンサ・モードでは、チャンネル・シーケンサは事前にプログラムされたイネーブル・チャンネルのセットを昇順でスキャンします。各チャンネルは、STD_SEQ_CONFIG レジスタの対応する INx_EN ビットを通じてイネーブルまたはディスエーブルされます。シーケンサは、イネーブルされた各チャンネルを昇順でスキャンし、ディスエーブルされた各チャンネルはスキップします。そのため、各イネーブル・チャンネルはシーケンスの反復試行ごとに一度の割合でサンプリングされます。図56および図57に、シーケンサにおいて標準シーケンサと4つのアナログ入力 (IN0、IN2、IN5、IN7) がイネーブルされている例を示します。

標準シーケンサ・モードを選択するには、SEQ_CTRL レジスタの SEQ_MODE ビットを1にセットします。STD_SEQ_CONFIG レジスタの INx_EN ビットは、各 INx チャンネルをイネーブル (INx_EN = 1) またはディスエーブル (INx_EN = 0) に設定します。STD_SEQ_CONFIG レジスタは16ビット幅のレジスタであり、1つのSPIフレームですべてを書き込む必要があります (レジスタ長のセクションを参照)。デフォルトでは、チャンネル・シーケンサは標準シーケンサ・モードであり、IN0 がイネーブルでその他すべてのチャンネルはディスエーブルになっています。

SEQ_MODE ビットまたは INx_EN ビットを更新した後は、チャンネル・シーケンサの内部状態を更新するために状態リセットが必要です (状態リセットのセクションを参照)。標準シーケンサ・モードでは、マルチプレクサのチャンネルは、状態リセット後のシーケンスにおいてイネーブルされている最小番号のチャンネルに設定されます。

STD_SEQ_CONFIG REGISTER CHANNEL SEQUENCE

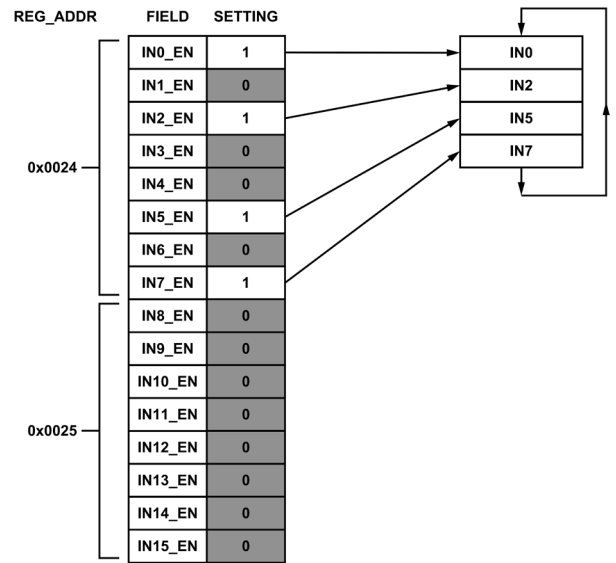


図 56. 標準シーケンサの簡略図

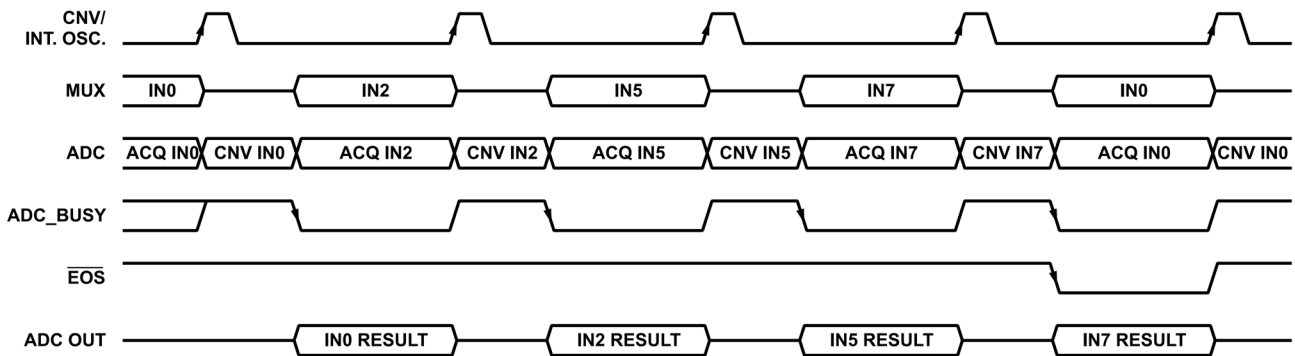


図 57. 標準シーケンサのタイミング図の例

動作原理

詳細シーケンサ・モード

詳細シーケンサ・モードは、チャンネルの順序が完全にカスタマイズ可能な事前プログラムされたチャンネル・シーケンスをスキャンします。詳細シーケンサ・モードは、**実効チャンネル・サンプリング・レート**のセクションで説明するように、サンプル・レートとデシメーション・レートをチャンネルごとに柔軟に設定可能です。

詳細シーケンサ・モードでは、チャンネルのシーケンスは、一連のスロットとして定義され、各スロットを16チャンネルのいずれかに割り当てることができます。シーケンス長は、1スロット~128スロットの範囲で設定可能です。シーケンサのスロット進行は、スロット0から始まる昇順で行われます。図59に、4つのスロットがチャンネルIN4、チャンネルIN6、チャンネルIN4、チャンネルIN2に割り当てられたシーケンス長でイネーブルされた、詳細シーケンサの例を示します。

詳細シーケンサ・モードを選択するには、SEQ_CTRLレジスタのSEQ_MODEビットを0にセットします。シーケンス長は、SEQ_CTRLレジスタのNUM_SLOTS_ASビット・フィールドで設定します。シーケンス長は、NUM_SLOTS_AS+1です。図58に示した例では、NUM_SLOTS_ASビット・フィールドが3に設定されており、スロット長が4であるシーケンスを意味しています。

各スロットのチャンネル割り当ては、AS_SLOT0レジスタ~AS_SLOT127レジスタのSLOT_INXビット・フィールドで設定されます。ここで、AS_SLOT0はスロット0に、AS_SLOT1は

スロット1に対応し、以下同様の対応関係になっています。表45に、16個のアナログ入力のそれぞれに対応するSLOT_INXの値を示します。

SEQ_MODEビット、NUM_SLOTS_ASビット・フィールド、またはAS_SLOTXレジスタを更新した後は、チャンネル・シーケンサの内部状態を更新するために状態リセットが必要です(状態リセットのセクションを参照)。詳細シーケンサ・モードでは、マルチプレクサ・チャンネルはスロット0に割り当てられたチャンネルに設定されます(AS_SLOT0レジスタにより設定)。

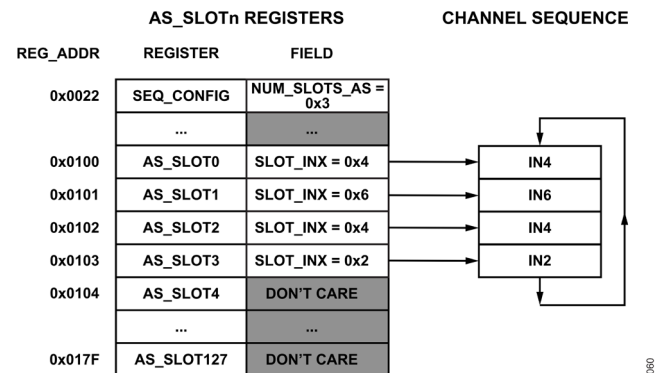


図 58. 詳細シーケンサの簡略図

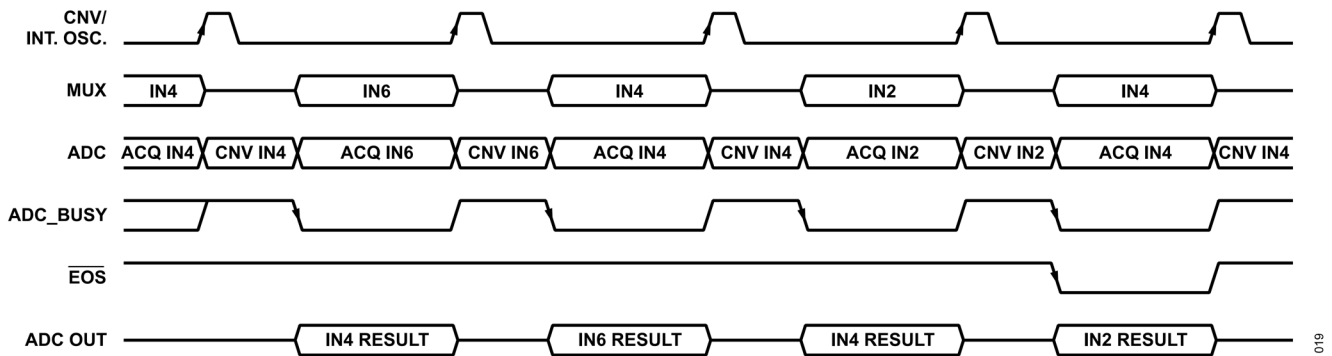


図 59. 詳細シーケンサのタイミング図の例

動作原理

平均化フィルタ

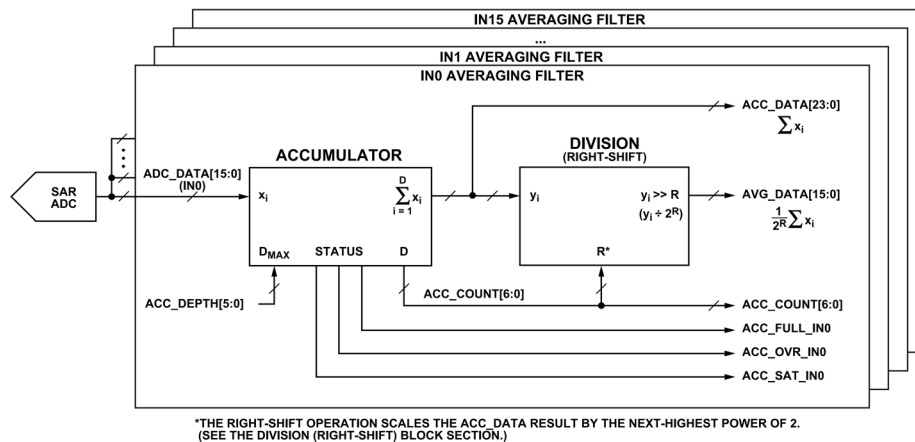


図 60. 平均化フィルタの簡略図

AD4691/AD4692は、その16チャンネルのそれぞれに平均化フィルタを備えています。平均化フィルタは、オン・チップのノイズ・フィルタリング機能を提供し、それによって測定分解能やダイナミック・レンジを向上します。チャンネルごとに専用の平均化フィルタを内蔵しているため、1つのチャンネルのデータが別のチャンネル・データを上書きするのを防止でき、それによってチャンネル・シーケンスと平均化フィルタを実質的に切り離し、インターリーブ・チャンネル・サンプリングが可能になるため、より正確なマルチチャンネル測定を実現できます。

図 60 に、平均化フィルタの簡略図を示します。各フィルタにアキュムレータ・ブロックおよび除算（右シフト）ブロックがあり、それぞれ、平均化機能の加算および除算を行います。アキュムレータは、対応する入力チャンネルからの ADC サンプルの累計を計算し、除算ブロックは、24 ビット和を右シフトしてそれを 16 ビットの平均化された値にスケールします。AD4691/AD4692 は、24 ビットの生のアキュムレータ出力または 16 ビットの平均化出力の SPI リードバックをサポートしています（平均化フィルタのリードバックのセクションを参照）。

平均化フィルタは、手動モードを除くすべてのモードでイネーブルになっています。平均化が必要な場合、各チャンネルのアキュムレータ深度を 1 に設定して 16 ビット AVG_INx レジスタから読出しを行うことにより、平均化比率を実質的に 1 に設定します。詳細については、アキュムレータのセクションを参照してください。

アキュムレータ

各平均化フィルタのアキュムレータ・ブロックは、平均化の計算における累計の部分を実行します。各アキュムレータは、対応するチャンネルから取得した変換結果の和を出力します。アキュムレータごとに、サンプルの現在の和を出力するデータ出力 (ACC_DATA) と、その和におけるサンプル数を出力するサンプル・カウンタ (ACC_COUNT) があります。ACC_COUNT は、アキュムレータがそのチャンネルから新しいサンプルを受け取るたびにインクリメントします。

各アキュムレータは、プログラムされた深度設定値に達するまで、新しいサンプルを受け取ります。その後は満杯とみなされ、リセットするまで新しいサンプルは無視されます。そのため、深度設定は、各チャンネルの実質的な累積（および平均化）の比率を設定します。

アキュムレータ深度は、ACC_DEPTH_IN0 レジスタ～ACC_DEPTH_IN15 レジスタの ACC_DEPTH ビット・フィールドを通じて、1～64 の範囲で設定できます。深度設定は ACC_DEPTH + 1 です。ここで、ACC_DEPTH は 0～63 の範囲の整数値です。デフォルトでは、すべてのチャンネルが 64 サンプルの深度に設定されています。

標準シーケンサ・モードでは、ACC_DEPTH_IN0 レジスタが全 16 チャンネルの深度を設定するため、すべてのチャンネルの実質的な平均化比率が確実に等しくなります。詳細シーケンサ・モードでは、各チャンネルの深度は対応する ACC_DEPTH_INx レジスタによって個別に設定されるため、各チャンネルに異なる平均化比率を設定できます。

ACC_DATA のデータは、右揃えの 24 ビット・コードとしてフォーマットされており、ACC_IN0 レジスタ～ACC_IN15 レジスタまたは ACC_STS_IN0 レジスタ～ACC_STS_IN15 レジスタを通じて直接読み出せます（平均化フィルタのリードバックのセクションで説明）。ACC_DATA および ACC_COUNT は、読出し後もそれぞれの状態を維持します。アキュムレータが新しいサンプルの準備をできるように ACC_DATA および ACC_COUNT をクリアするには、状態リセットが必要です（状態リセットのセクションを参照）。

除算（右シフト）ブロック

各平均化フィルタには、アキュムレータの累計出力 (ACC_DATA) を 16 ビットの平均化された値 (AVG_DATA) にスケールする、除算ブロックがあります。除算ブロックは、ACC_DATA のデータに右シフト操作を行い、2 のべき乗で除算します。除算ブロックは、アキュムレータの ACC_COUNT カウンタ値をモニタし、ACC_DATA をその次に大きな 2 のべき乗で除算するのに必要な右シフト操作の回数を決定します。表 13 に、ACC_COUNT カウンタ値と、それに対応する右シフト操作の回数の関係をまとめます。

図 60 に示すように、除算ブロックの出力は、平均化フィルタの出力を供給します。各平均化フィルタの AVG_DATA 出力は、AVG_IN0 レジスタ～AVG_IN15 レジスタ、または AVG_STS_IN0 レジスタ～AVG_STS_IN15 レジスタを通じて読み出せます（平均化フィルタのリードバックのセクションを参照）。

動作原理

なお、除算ブロックは算術的な除算の代わりに右シフト操作を行うため、平均化フィルタは 2 のべき乗による除算のみを行う点に注意してください。ACC_COUNT が 2 のべき乗の場合、16 ビットの AVG_DATA のデータの LSB サイズは、16 ビットの ADC コアの LSB サイズと同じです（[伝達関数](#)のセクションで説明）。ACC_COUNT が 2 のべき乗でない場合、累計値は真の平均の計算値より大きな除数で除算され、実効的な LSB サイズが小さくなり分解能が低下します。そのため、AVG_DATA から読み出す場合は、アキュムレータ深度を 2 のべき乗に設定することを推奨します。あるいは、代わりに ACC_DATA の値を読み出すこと（およびオプションでデジタル・ホストにおいて深度による除算を行うこと）を推奨します。

表 13. 平均化フィルタの右シフト操作と ACC_COUNT の関係

ACC_COUNT	Right-Shifts	Effective Divisor
1	0	1
2	1	2
3, 4	2	4
5 to 8	3	8
9 to 16	4	16
17 to 32	5	32
33 to 64	6	64

平均化フィルタのリードバック

平均化フィルタからデータ（およびオプションの状態）を読み出すために、AD4691/AD4692 には以下の 4 つのセットのレジスタがあります。

- ▶ AVG_IN0~AVG_IN15 には各チャンネルの平均化された 16 ビットのデータが含まれます
- ▶ AVG_STS_IN0~AVG_STS_IN15 には、各チャンネルの 16 ビットの平均化されたデータと 8 ビットのステータスが含まれます
- ▶ ACC_IN0~ACC_IN15 には各チャンネルの 24 ビットのアキュムレータ出力が含まれます
- ▶ ACC_STS_IN0~ACC_STS_IN15 には、各チャンネルの 24 ビットのアキュムレータ出力と 8 ビットのステータスが含まれます

表 14~表 17 に、4 つのリードバック・レジスタ・セットの名称、アドレス、内容をまとめます。[ADC データ・レジスタの一括読出し](#)のセクションでは、複数（またはすべて）のチャンネルのレジスタを 1 つの SPI フレームで読み出してデジタル・ホストへの効率的なデータ転送を行うための推奨事項を説明しています。

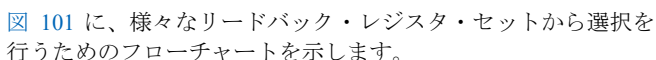
 図 101 に、様々なリードバック・レジスタ・セットから選択を行うためのフローチャートを示します。

表 14. 平均化フィルタ・データ・レジスタ (AVG_INx)

Register Name	Register Address	Register Contents
AVG_IN0	0x0200	AVG_DATA[7:0]
	0x0201	AVG_DATA[15:8]
AVG_IN1	0x0202	AVG_DATA[7:0]
	0x0203	AVG_DATA[15:8]
...
AVG_IN15	0x021E	AVG_DATA[7:0]
	0x021F	AVG_DATA[15:8]

表 15. 平均化フィルタ・データおよびステータス・レジスタ (AVG_STS_INx)

Register Name	Register Address	Register Contents
AVG_STS_IN0	0x0220	ACC_ERR, ACC_COUNT[6:0]
	0x0221	AVG_DATA[7:0]
	0x0222	AVG_DATA[15:8]
...
AVG_STS_IN15	0x024D	ACC_ERR, ACC_COUNT[6:0]
	0x024E	AVG_DATA[7:0]
	0x024F	AVG_DATA[15:8]

表 16. アキュムレータ・データ・レジスタ (ACC_INx)

Register Name	Register Address	Register Contents
ACC_IN0	0x0250	ACC_DATA[7:0]
	0x0251	ACC_DATA[15:8]
	0x0252	ACC_DATA[23:16]
...
ACC_IN15	0x027D	ACC_DATA[7:0]
	0x027E	ACC_DATA[15:8]
	0x027F	ACC_DATA[23:16]

表 17. アキュムレータ・データおよびステータス・レジスタ (ACC_STS_INx)

Register Name	Register Address	Register Contents
ACC_STS_IN0	0x0280	ACC_ERR, ACC_COUNT[6:0]
	0x0281	ACC_DATA[7:0]
	0x0282	ACC_DATA[15:8]
	0x0283	ACC_DATA[23:16]
...
ACC_STS_IN15	0x02BC	ACC_ERR, ACC_COUNT[6:0]
	0x02BD	ACC_DATA[7:0]
	0x02BE	ACC_DATA[15:8]
	0x02BF	ACC_DATA[23:16]

動作原理

平均化フィルタ・ステータス・インジケータ

平均化フィルタは、現在の状態および特定のエラー状態を示す、いくつかのステータス・フラグを生成します。

アキュムレータのセクションで説明したように、ACC_COUNT の値がプログラムされた深度設定 (ACC_DEPTH + 1) に等しい場合、アキュムレータは満杯とみなされます。対応するアキュムレータが満杯でそのデータをレジスタ・マップを通じてリードバックする用意ができていない場合に、ACC_FULL_INx ビットがアサートされます (平均化フィルタのリードバックのセクションで説明)。ACC_FULL_INx ビットは、ACC_STS_FULL_1 レジスタおよび ACC_STS_FULL_2 レジスタを通じて読み出せます。

ACC_FULL_INx ビットは、データ・レディ (DRDY) 信号のセクションで説明するように、DRDY 信号を生成するためにも用いられます。

アキュムレータ・オーバーフロー・エラーが発生すると、ACC_OVR_INx ビットがアサートされます。アキュムレータ・オーバーフローが発生するのは、アキュムレータが既に満杯であるときに、ADC が新しいサンプルをアキュムレータに書き込もうとした場合です。オーバーフロー・イベントの間、新しいサンプルは無視され、実質的に破棄されます。ACC_OVR_INx ビットは、ACC_STS_OVR_1 レジスタおよび ACC_STS_OVR_2 レジスタを通じて読み出せます。

アキュムレータ飽和エラーが発生すると、ACC_SAT_INx ビットがアサートされます。アキュムレータの飽和は、アキュムレータが正の FSR 出力コード (0xFFFF) または負の FSR 出力コード (0x0000) を ADC から受信するという事象として定義され、ADC 入力での飽和によってアキュムレータおよび平均化された結果が破損する可能性があることを示しています。アキュムレータ飽和エラーは、これが生じてもアキュムレータへのデータ書き込みができなくなるわけではなく、検出のためにのみ用意されたものです。

AVG_STS_INx および ACC_STS_INx の各レジスタの ACC_ERR ビットは、それぞれのチャンネルの ACC_OVR_INx ビットおよび ACC_SAT_INx ビットの論理和です (表 63 および表 65 を参照)。

ACC_OVR_SIG 信号および ACC_SAT_SIG 信号は、それぞれ、16 個すべての ACC_OVR_INx ビットおよび ACC_SAT_INx ビットの論理和です。ACC_OVR_SIG および ACC_SAT_SIG は、ホスト・プロセッサへのハードウェア割込みまたはアラートとして機能するよう GP0 ピン～GP3 ピンに出力させることができます (汎用ピンの機能のセクションを参照)。

データ・レディ (DRDY) 信号

AD4691/AD4692 には、すべての平均化フィルタが一杯で、かつ、新たに読み出すデータがある場合にそれを通知する、アクティブ・ローのデータ・レディ (DRDY) 信号があります。DRDY は、デジタル・ホストへのハードウェア割込みとして機能するよう、汎用ピン (GP0～GP3) に配線を引き回すことができます。また、DRDY は、内部発振器停止トリガとして割り当てすることもできます。それによって、CNV バースト・モード時や SPI バースト・モード時にすべてのデータがレディ状態になっている場合にバースト・サンプリングを自動的に停止できます (CNV バースト・モードのセクションおよび SPI バースト・モードのセクションを参照)。

図 61 に、DRDY 信号発生のための簡略ロジック図を示します。ACC_MASK_INx ビット (ACC_MASK_1 レジスタおよび ACC_MASK_2 レジスタ) は、各チャンネルの ACC_FULL_INx

信号のマスクまたはマスク解除を行うよう動作します。DRDY 信号は、すべての非マスク・チャンネルのアキュムレータが満杯になった後のみ、ローに遷移します。チャンネルがマスクされている場合、その ACC_FULL_INx 信号は無視され、DRDY のアサートがトリガされることはありません。デフォルトでは、すべてのチャンネルは、IN0 を除きマスクされており、チャンネル・シーケンサのデフォルト設定 (IN0 のみイネーブルした標準シーケンサ・モード) に一致しています。

DRDY 信号を用いる前に、ACC_MASK_INx ビットを設定する必要があります。チャンネルは、対応する ACC_MASK_INx ビットが 1 にセットされた場合はマスクされ、0 にセットされた場合はマスク解除されます。ロックアウト状態になるのを防止するため、チャンネルは、それがチャンネル・シーケンスに含まれない場合にマスクし、含まれる場合にはマスクを解除する必要があります。すべての ACC_MASK_INx ビットを同時に 1 にセットするのは無効であり、DRDY 信号はアサートされません。詳細については、ロックアウト状態を防止するためのチャンネル・マスクのセクションを参照してください。

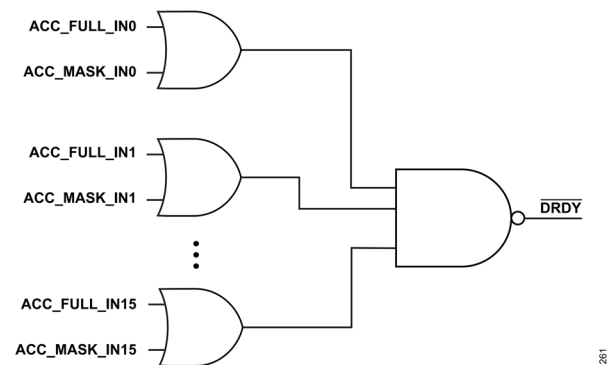


図 61. DRDY マスクのロジック図 (簡略図)

内部発振器

AD4691/AD4692 には、CNV バースト・モード、SPI バースト・モード、自律モードで ADC サンプリング・クロックを自律的に生成する内部発振器が備わっています。内部発振器のコア周波数は 2MHz であり、INTERNAL_OSCILLATOR レジスタの OSC_FREQ ビット・フィールドを設定することにより、コア周波数が分周されてサンプリング・クロックが生成されます。サンプリング周波数オプションの範囲は、1.25kHz～1MHz です (表 42 参照)。内部発振器がアクティブな間は、OSC_FREQ ビット・フィールドを変更しないでください。関連する動作モードごとの内部発振器のアクティブ化および非アクティブ化の詳細については、動作モードのセクションを参照してください。

1MHz の設定は AD4691 ではサポートされておらず、OSC_FREQ を 0x0 に設定すると発振器周波数が 500kHz に設定される点に注意してください。

温度センサー

AD4691/AD4692 には、ダイの温度を電圧に変換する温度センサーが備わっています。この電圧は SAR ADC コアによってサンプリングされ、出力コードに変換されます。AD4691/AD4692 が手動モードの場合にのみ、温度センサーにアクセスできます (手動モードのセクションを参照)。

動作原理

温度センサーの感度は、デバイス温度の変化に対する出力電圧の変化を表す尺度であり、代表値は $-1.8\text{mV}/^{\circ}\text{C}$ です。 0°C での温度センサーの出力は 725mV （代表値）です。したがって、 V_{TEMP} の範囲（代表値）は、 $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ の温度範囲に対し $797\text{mV}\sim 500\text{mV}$ です。

測定されたダイ温度（ T ）と温度センサーの出力電圧（ V_{TEMP} ）の関係式は、形式的に次式で表されます。

$$V_{\text{TEMP}} = \left(-1.8\frac{\text{mV}}{^{\circ}\text{C}} \times T\right) + 725\text{mV} \quad (2)$$

V_{TEMP} は、アナログ入力と同じ伝達関数を用い、ADCによって16ビットの出力コード（ D_{TEMP} ）に変換されます。 V_{TEMP} は次式により D_{TEMP} から計算できます。

$$V_{\text{TEMP}} = D_{\text{TEMP}} \times \frac{V_{\text{REF}}}{2^{16}} \quad (3)$$

逆に、ダイ温度（ T ）の測定値は、次式を用いて V_{TEMP} から計算できます。

$$T = \frac{V_{\text{TEMP}} - 725\text{mV}}{-1.8\text{mV}/^{\circ}\text{C}} \quad (4)$$

汎用ピンの機能

AD4691/AD4692 汎用ピンは、同期タイミング、ハードウェア割込み、基本的な論理信号を処理するための複数のデジタル機能をサポートしています。LFCSPモデルには、1つの汎用ピン（GP0）、WLCSPモデルには4つの汎用ピン（GP0～GP3）があります。各汎用ピンの機能は、GP_CONFIG_1レジスタおよびGP_CONFIG_2レジスタの対応するGPx_MODEビット・フィールドによって選択します。

表18に、各汎用ピンに信号を選択するためのGPx_MODEビット・フィールドの設定値を示します。なお、GP1_MODE、GP2_MODE、GP3_MODEは、LFCSPではドント・ケアです。デフォルトでは、汎用ピンは無効化されています（高インピーダンス）。

表 18. 汎用ピンの設定

GPx_MODE	GPx Pin Function Assignment
0x0	Disabled/high-Z (default)
0x1	Logic low output
0x2	Logic high output
0x3	Logic input
0x4	ADC_BUSY signal
0x5	EOS signal
0x6	DRDY signal
0x7	ACC_OVR_SIG
0x8	ACC_SAT_SIG

ロジック出力

各汎用ピンは、静的なロジック・ローまたはロジック・ハイの信号を出力するよう設定できます。それによって、ホストは、デジタル・ホスト・リソースを追加して使用する代わりに、AD4691/AD4692のSPIおよびレジスタを通じて外部デバイスのロジック入力（スイッチの位置やPGIAのゲイン設定など）を制御できます。ロジック出力機能は、デジタル・アイソレーション・チャンネルの数を削減することによって、絶縁されたアプリケーションで特に有用なものとなります。

表18に示すように、ロジック・レベルは、GPx_MODEビット・フィールドによって選択します。GP0ピン～GP3ピンのロジック出力スレッショルドは、表1において、 V_{OL} および V_{OH} として仕様規定されています。

ロジック入力

各汎用ピンをロジック入力として設定することにより、デジタル・ホスト・リソースを追加して使用する代わりにAD4691/AD4692のSPIおよびレジスタを通じて外部ロジック信号の状態をモニタできます。ロジック入力機能は、デジタル・アイソレーション・チャンネルの数を削減することによって、絶縁されたアプリケーションで特に有用なものとなります。

GPx_MODEビット・フィールドを用いて、対応するGPxピンをロジック入力として設定できます（表18参照）。ロジック入力として設定した場合、GP0～GP3の入力信号の状態は、それぞれGPIO_READレジスタのGP0_READビット～GP3_READビットに反映されます。汎用ピンのロジック入力スレッショルドは、表1において、 V_{IL} および V_{IH} として仕様規定されています。

動作モード

AD4691/AD4692 には、いくつかの ADC 動作モードがあり、それぞれが自動化またはスループット向上のために最適化されています。各モードは、ADC サンプルングの制御およびタイミングが異なります。

表 19 に、AD4691/AD4692 の各動作モードをまとめます。CNV クロック・モードでは、CNV 入力、各サンプルング時に直接的制御を行うための ADC サンプルング・クロックとして作用します。CNV バースト・モードおよび SPI バースト・モードでは、内部発振器を用いてサンプルの設定可能なバーストを実行し、 $\overline{\text{EOS}}$ または $\overline{\text{DRDY}}$ を用いてバーストを終了します。自律モードでは、内部発振器が、SPI 書込みによってイネーブルやディス

エーブルにされる、自走サンプルング・クロックとして作用します。手動モードは、可能な限り高速の ADC サンプルングおよびスループットを実現するために、デジタル・ホストによる直接的な介入が一層必要になると引き換えに、チャンネル・シーケンサ、平均化フィルタ、レジスタ・マップをバイパスします。

表 20 に、AD4691/AD4692 の動作モードを選択するために用いられる設定ビットを示します。デフォルトでは、CNV クロック・モードが選択されています。各モードの機能および SPI プロトコルの詳細は、以降のセクションで説明します。

表 19. 動作モードの機能のまとめ

Mode Name	Channel Sequencing	Averaging Filters	ADC Convert Start
CNV Clock Mode	Channel Sequencer	Enabled	CNV Input
CNV Burst Mode	Channel Sequencer	Enabled	Internal oscillator, burst sampling triggered by CNV rising edge
SPI Burst Mode	Channel Sequencer	Enabled	Internal oscillator, burst sampling triggered by SPI write to OSC_EN
Autonomous Mode	Channel Sequencer	Enabled	Internal oscillator, autonomous sampling toggled by SPI write to OSC_EN
Manual Mode	SPI Commands	Disabled/Bypassed	CNV input

表 20. 動作モード設定ビット

Mode Name	MANUAL_MODE	ADC_MODE ¹	OSC_EN ²	STOP_STATE ¹
CNV Clock Mode	0	0x0	Don't care	Don't care
CNV Burst Mode	0	0x1	Don't care	0 = $\overline{\text{EOS}}$, 1 = $\overline{\text{DRDY}}$
SPI Burst Mode	0	0x3	1 = Initiates burst sampling	
Autonomous Mode	0	0x2	1 = Initiates sampling, 0 = stops sampling	Don't care
Manual Mode	1	Don't care	Don't care	Don't care

¹ ADC_MODE または STOP_STATE の状態を変更した後は状態リセットが必要です。

² ADC_MODE を更新する前に OSC_EN を 0 にセットする必要があります。

動作モード

CNV クロック・モード

CNV クロック・モードでは、CNV 入力に ADC サンプリングのクロック・ソースとして機能します。CNV 信号の各立上がりエッジが 1 回の変換をトリガします。各変換の後、ADC の結果は対応チャンネルの平均化フィルタに送信され、チャンネル・シーケンサはマルチプレクサをシーケンスの次のチャンネルに更新します。平均化フィルタのリードバックのセクションで説明したように、ADC の結果は、平均化フィルタ・レジスタまたはアキュムレータ出力レジスタを通じてリードバックされます。表 20 に、CNV クロック・モードを選択するための設定ビットの設定値を示します。

CNV クロック・モードにおけるデジタル・ホストと AD4691/AD4692 デジタル・インターフェースの代表的な接続図を、図 62 に示します。図 63 には、CNV クロック・モードにおける、CNV 信号、SPI トランザクション、ADC_BUSY 信号のタイミング図を示します。

CNV クロック・モードで変換を実行する前に、動作原理のセクションで説明したようにチャンネル・シーケンサと平均化フィルタを設定し、その後状態リセットを行う必要があります。

図 93 に、CNV クロック・モードの AD4691/AD4692 の設定フローをステップごとに示します。

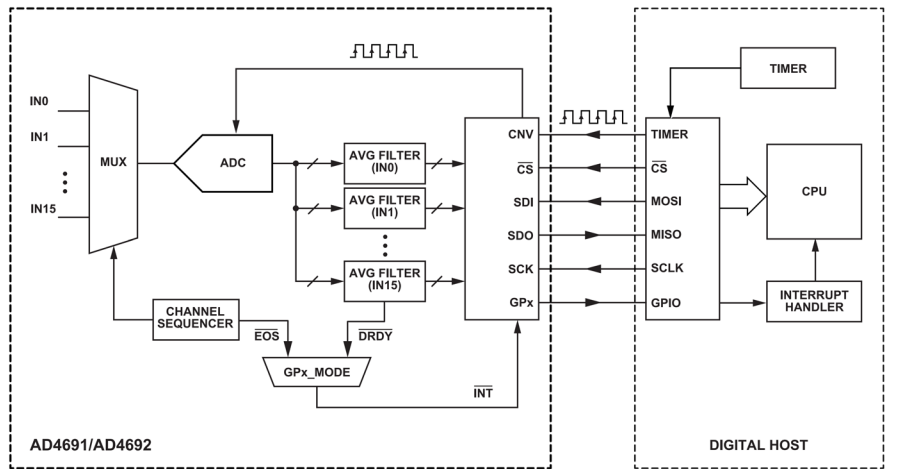
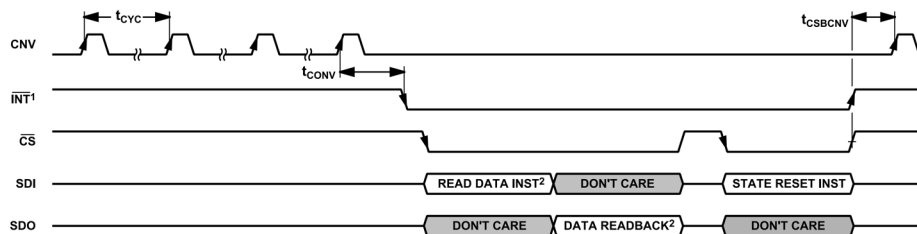


図 62. CNV クロック・モードの接続図の例



¹SEE THE GENERAL PURPOSE PIN FUNCTIONS SECTION FOR DETAILS ON HARDWARE INTERRUPT OPTIONS.
²SEE THE AVERAGING FILTER READBACK SECTION FOR DETAILS ON ADC DATA READBACK.

図 63. CNV クロック・モードのタイミング図

動作モード

CNV バースト・モード

CNV バースト・モードでは、CNV の各立上がりエッジがサンプルのバーストをトリガします。内部発振器は、ADC のサンプリング・クロックとして機能し、選択した停止状態が発生するまで動作を続けます。停止状態は、ADC_SETUP レジスタの STOP_STATE ビットの設定に応じて、 $\overline{\text{EOS}}$ 信号または $\overline{\text{DRDY}}$ 信号によってトリガできます。(バースト内の) 各変換の後、ADC の結果は対応チャンネルの平均化フィルタに送信され、チャンネル・シーケンサはマルチプレクサをシーケンスの次のチャンネルに更新します。平均化フィルタのリードバックのセクションで説明したように、サンプルのバーストが終了すると、ADC の結果は、平均化フィルタ・レジスタまたはアキュムレータ出力レジスタを通じてリードバックされます。表 20 に、CNV バースト・モードを選択するための設定ビットの設定と、必要な停止状態のソースを示します。

CNV バースト・モードにおけるデジタル・ホストと AD4691/AD4692 デジタル・インターフェースの代表的な接続図を、図 64 に示します。図 65 に、CNV バースト・モードにおけ

る、CNV 信号、内部発振器、停止状態信号 ($\overline{\text{EOS}}$ または $\overline{\text{DRDY}}$)、SPI リードバックのタイミング図を示します。

CNV バースト・モードで変換を実行する前に、動作原理のセクションで説明したように、内部発振器周波数、停止状態ソース、チャンネル・シーケンサ、平均化フィルタを設定し、その後状態リセットを行う必要があります。データ・レディ ($\overline{\text{DRDY}}$) 信号のセクションで説明したように、ロックアウト状態になるのを防止するためにアキュムレータ・マスク・ビットをセットする必要があります。ロックアウト状態になると、 $\overline{\text{DRDY}}$ がアサートされず、停止状態がトリガされないため、バースト・サンプリングが自動的に停止しなくなります。

図 94 に、CNV バースト・モードの AD4691/AD4692 の設定フローをステップごとに示します。

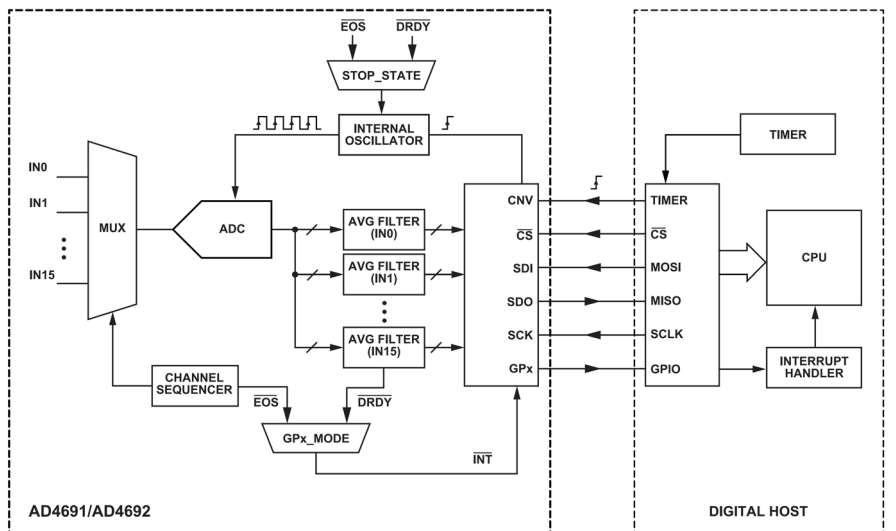
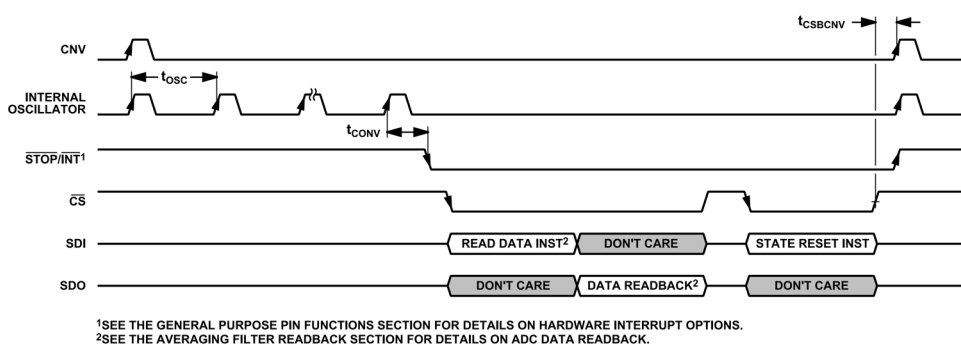


図 64. CNV バースト・モードの接続図の例



¹SEE THE GENERAL PURPOSE PIN FUNCTIONS SECTION FOR DETAILS ON HARDWARE INTERRUPT OPTIONS.
²SEE THE AVERAGING FILTER READBACK SECTION FOR DETAILS ON ADC DATA READBACK.

図 65. CNV バースト・モードのタイミング図

動作モード

SPI バースト・モード

SPI バースト・モードでは、OSC_EN_REG レジスタの OSC_EN ビットへの SPI 書込みによって、サンプルのバーストがトリガされます。内部発振器は、ADC のサンプリング・クロックとして機能し、選択した停止状態が発生するまで動作を続けます。停止状態は、ADC_SETUP レジスタの STOP_STATE ビットの設定に応じて、EOS 信号または DRDY 信号によってトリガできます。(バースト内の) 各変換の後、ADC の結果は対応チャンネルの平均化フィルタに送信され、チャンネル・シーケンサはマルチプレクサをシーケンスの次のチャンネルに更新します。平均化フィルタのリードバックのセクションで説明したように、サンプルのバーストが終了すると、ADC の結果は、平均化フィルタ・レジスタまたはアキュムレータ出力レジスタを通じてリードバックされます。表 20 に、SPI バースト・モードを選択するための設定ビットの設定と、必要な停止状態のソースを示します。

バースト・サンプリングは、OSC_EN ビットに 1 を書き込むことによって開始されます。停止状態トリガが発生し、サンプル・バーストが停止すると、OSC_EN ビットは 0 に内部リセットされます。

SPI バースト・モードにおけるデジタル・ホストと AD4691/AD4692 デジタル・インターフェースの代表的な接続図を、図 66 に示します。CNV の入力状態は、SPI バースト・モードではドント・ケアです。図 67 に、SPI バースト・モードにおける、OSC_EN SPI 書込み、内部発振器、停止状態信号 (EOS または DRDY)、SPI リードバックのタイミング図を示します。

SPI バースト・モードで変換を実行する前に、動作原理のセクションで説明したように、内部発振器周波数、停止状態ソース、チャンネル・シーケンサ、平均化フィルタを設定し、その後状態リセットを行う必要があります。データ・レディ (DRDY) 信号のセクションで説明したように、ロックアウト状態になるのを防止するためにアキュムレータ・マスク・ビットをセットする必要があります。ロックアウト状態になると、DRDY がアサートされず、停止状態がトリガされないため、バースト・サンプリングが自動的に停止しなくなります。

図 95 に、SPI バースト・モードの AD4691/AD4692 の設定フローをステップごとに示します。

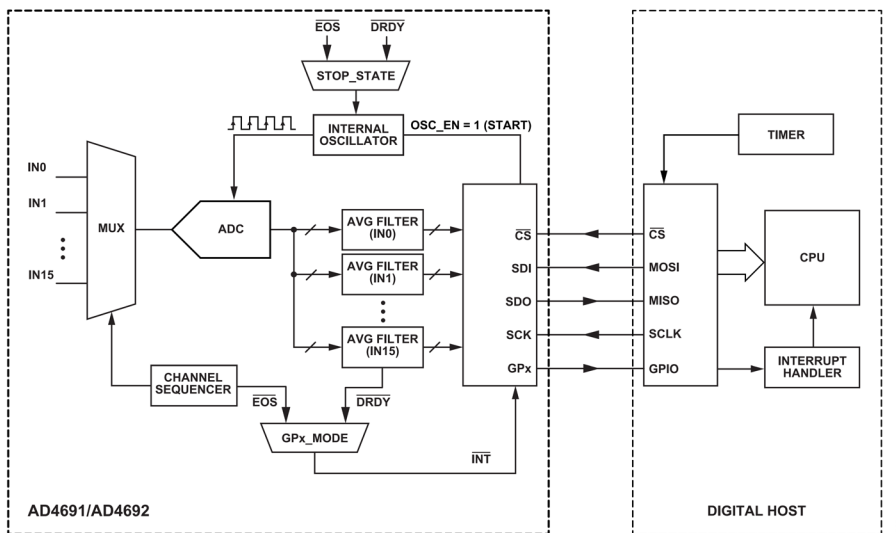
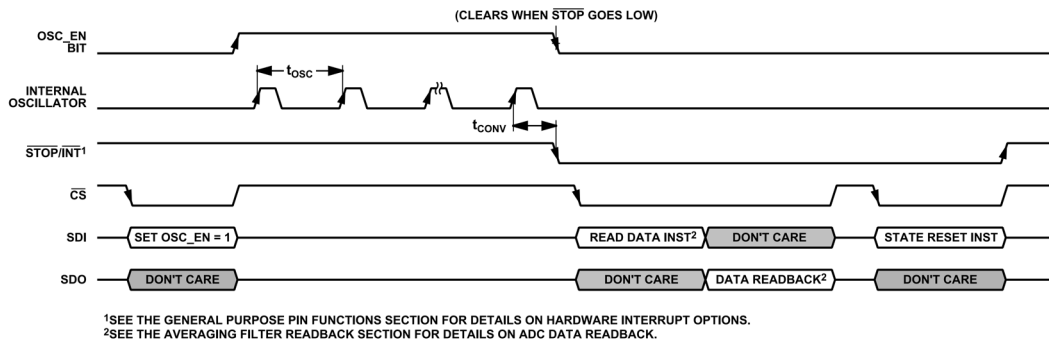


図 66. SPI バースト・モードの接続図の例



¹SEE THE GENERAL PURPOSE PIN FUNCTIONS SECTION FOR DETAILS ON HARDWARE INTERRUPT OPTIONS.
²SEE THE AVERAGING FILTER READBACK SECTION FOR DETAILS ON ADC DATA READBACK.

図 67. SPI バースト・モードのタイミング図

動作モード

自律モード

自律モードでは、SPI コマンドを使用して自律 ADC サンプリングの開始および停止を行います。内部発振器は、ADC サンプリングのクロックとして機能し、OSC_EN_REG レジスタの OSC_EN ビットへの書き込みによりイネーブルやディスエーブルになります。OSC_EN を 1 に設定すると、OSC_EN が再度 0 にセットされるまで、内部発振器が動作し変換をトリガします。各変換の後、ADC の結果は対応チャンネルの平均化フィルタに送信され、チャンネル・シーケンサはマルチプレクサをシーケンスの次のチャンネルに更新します。平均化フィルタのリードバックのセクションで説明したように、内部発振器のディスエーブル後、ADC の結果は、平均化フィルタ・レジスタまたはアキュムレータ出力レジスタを通じてリードバックされます。表 20 に、自律モードを選択するための設定ビットの設定と、必要な停止状態のソースを示します。

自律モードにおけるデジタル・ホストと AD4691/AD4692 デジタル・インターフェースの代表的な接続図を、図 68 に示します。CNV の入力状態は、自律モードではドント・ケアです。図 69 に、自律モードにおける、OSC_EN SPI 書き込み、内部発振器、SPI リードバックのタイミング図を示します。

自律モードで変換を実行する前に、動作原理のセクションで説明したように、内部発振器周波数、チャンネル・シーケンサ、平均化フィルタを設定し、その後状態リセットを行う必要があります。

図 96 に、自律モードの AD4691/AD4692 の設定フローをステップごとに示します。

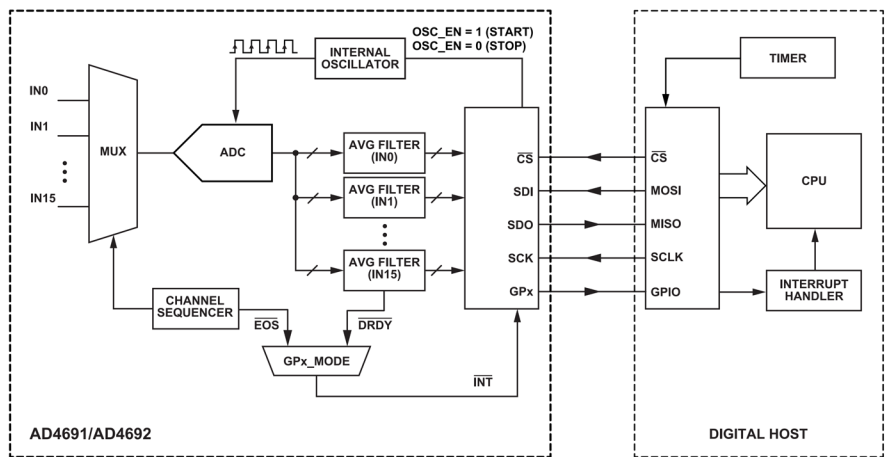


図 68. 自律モードの接続図の例

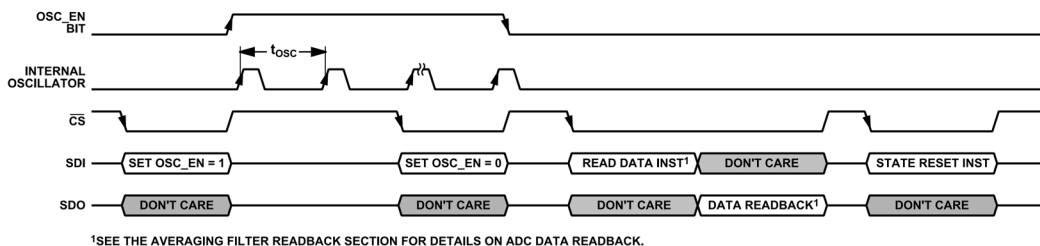


図 69. 自律モードのタイミング図

動作モード

手動モード

設定レジスタ、チャンネル・シーケンサ、平均化フィルタをバイパスし、より高速のデータ・リードバックとマルチプレクサのチャンネル・シーケンスに対する直接的な SPI 制御を可能にすることが、手動モードが他の動作モードと異なる点です。手動モードの SPI プロトコルは、レジスタ・アクセスのセクションで説明するレジスタ・アクセス・フォーマットには従いません。ADC の結果は、SDI のレジスタ・アクセス命令フェーズを用いずに SDO で読み出されます。その代わりに、SDI データは、次のマルチプレクサ・チャンネルを選択するために用いられる、5 ビットのコマンド・コード (CMD) で構成されます。

表 21 に、手動モードでの有効な CMD コードを示します。CMD コードは、SDI 入力データの最初の 5 ビットで送信されます。CMD[4:0]の列に書かれているコード値は、5 ビットの CMD 値を表します。これに対し、SDI[15:0]の列は、これらの 5 ビット値が SDO の 16 ビット ADC データと揃うよう、等価な 16 ビットの値に (ゼロをパッドして) 変換します。CMD のその他の 5 ビット値は無操作として処理されます。つまり、マルチプレクサは次の変換を行うために現在のチャンネルにとどまります。

MANUAL_MODE ビットを 1 にセットすると、AD4691/AD4692 は手動モードになります。終了コマンドが SDI に送信されるまで、デバイスは手動モードのままになります。終了コマンドを受信すると、MANUAL_MODE ビットはクリアされ、デバイスは手動モードを終了します。図 73 に、終了コマンドによって手動モードを終了するタイミング図を示します。

手動モードでは、CNV 入力が ADC サンプリングのクロック・ソースとして機能します。CNV 信号の各立上がりエッジが 1 回

の変換をトリガします。デジタル・ホストは、SPI を通じて変換結果を読み出してから次の CNV 立上がりエッジを送信します。

図 70 に、デジタル・ホストに対する代表的な接続図を、図 71 に、CNV 信号および、SDI に CMD コード、SDO に ADC データを含む SPI フレームのタイミング図を示します。手動モードは、AD4696 の 2 サイクル・コマンド・モードに対し下位互換性があります。SDI CMD が送信されてから ADC サンプリング結果が SDO で読み出されるまでには、2 サイクル分の遅延があります。

手動モードには、ADC データのチャンネル ID を含んでいるオプションのステータス・ビットと、過電圧保護クランプがアクティブかどうかを示す OV_ERR ビットが含まれています。ステータス・ビットをイネーブルするには、DEVICE_SETUP レジスタの STATUS_EN ビットを 1 にセットします。ステータス・ビットがイネーブルの場合、16 ビットの SDO データ・パケットは 24 ビットに拡張されます。図 72 に、手動モードの SDO データ・パケット・フォーマットを、ステータス・ビットがディスエーブルの場合とイネーブルの場合について示します。

図 97 に、手動モードの AD4691/AD4692 の設定フローをステップごとに示します。

表 21. 手動モードの CMD コードの機能

CMD[4:0]	SDI[15:0]	Function
0x0A	0x5000	Exit command
0x0F	0x7000	Temperature sensor
0x10 to 0x1F	0x8000 to 0xF800	IN0 to IN15 channel selection

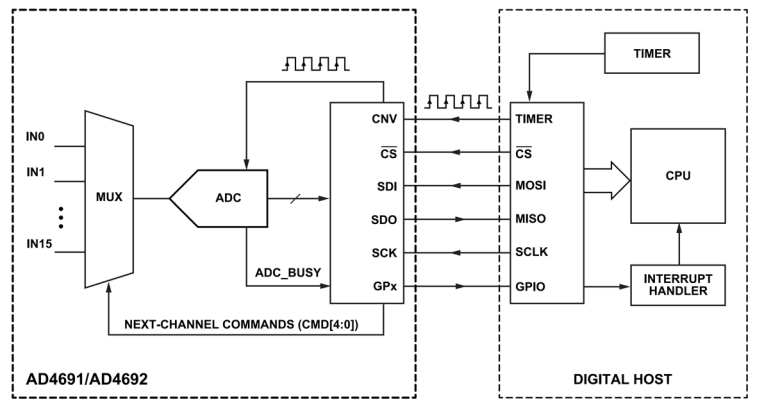


図 70. 手動モードの接続図の例

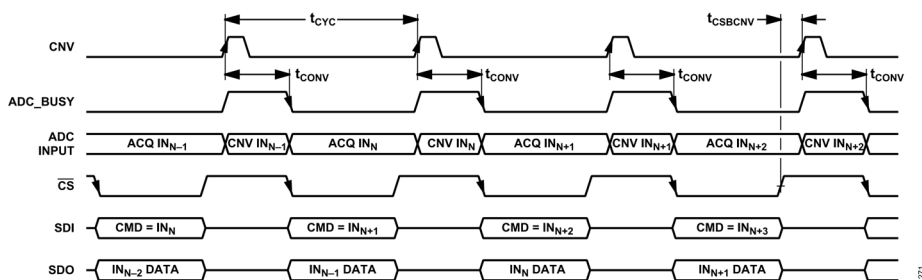


図 71. 手動モードのタイミング図

動作モード

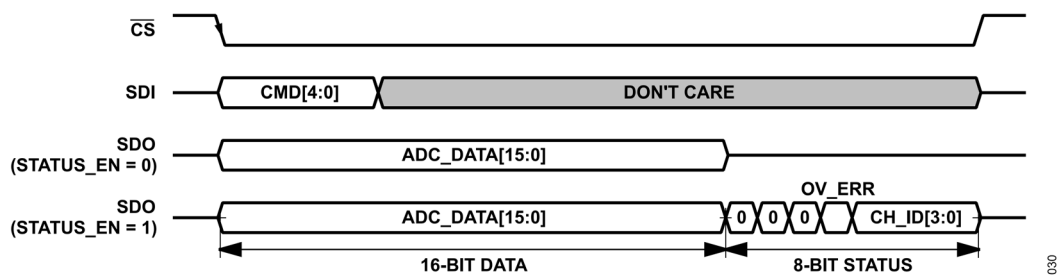


図 72. 手動モードの SPI データ・フォーマット

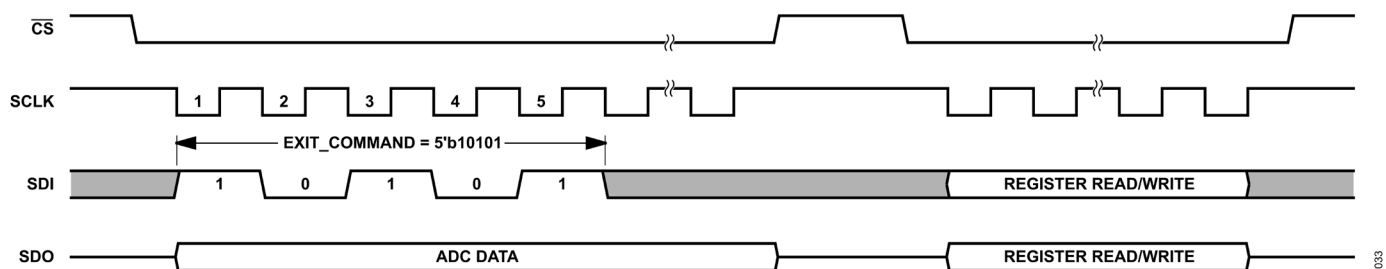


図 73. 終了コマンドのタイミング図

デジタル・インターフェース

AD4691/AD4692 のデジタル・インターフェースは、4 線式 SPI、変換開始入力 (CNV)、アクティブ・ローのリセット入力 (RESET)、複数の設定可能な信号オプションを持つ汎用デジタル・ピンを備えています。

SPI は主として、デバイス設定レジスタの読出しおよび書込みと、ADC または平均化フィルタの変換結果の読出しのために使用されます。**レジスタ・アクセス**のセクションでは、設定レジスタにアクセスするための SPI プロトコルを説明しています。**動作モード**のセクションでは、ADC サンプリング制御およびデータ・リードバック・プロトコルを動作モードごとに説明しています。

デバイスのリセットのセクションでは、AD4691/AD4692 でのリセット・オプションを定義しています。完全なデバイス・リセットは、RESET 入力によって、あるいは、SPI を通じてソフトウェア・リセット・ビットに書込みを行うことによって開始されます。AD4691/AD4692 には、設定レジスタをリセットすることなくマルチプレクサ・チャンネルと平均化フィルタの現在の状態をリセットする、状態リセット・オプションもあります。

インターフェースのロジック・レベルは VIO 電圧で設定され、1.2V ~ 1.8V のロジック・システムに対応します。AD4691/AD4692 は SPI モード 3 を使用します (クロック・フェーズ (CPHA) = クロック極性 (CPOL) = 1)。

レジスタ・アクセス

AD4691/AD4692 設定レジスタは、SPI を通じて読出しおよび書込みができます。すべての設定レジスタは、1 セットのレジスタ・アドレスに割り当てられており、各アドレス値は 1 バイトのレジスタ・データに対応しています。各レジスタ・アクセス・トランザクションは、命令フェーズ (どのレジスタにアクセスするかを指定) とデータ・フェーズ (レジスタの読出しデータまたは書込みデータを含む) で構成されています。**図 74**に、設定レジスタとの間で読書きを行うための基本的な SPI トランザクション・フォーマットを図示します。

命令フェーズは、 R/\bar{W} ビットと、これに続くアクセス対象のレジスタのアドレス (REG_ADDR) で構成されています。 R/\bar{W} ビットは、トランザクションが書込み ($R/\bar{W} = 0$) か読出し ($R/\bar{W} = 1$) かを指定します。REG_ADDR は、どのアドレスとの間で書込みまたは読出しを行うかを指定する、15 ビットの値です。**表 24**に、すべての AD4691/AD4692 設定レジスタとその対応するアドレス値を示します。

命令フェーズの後にデータ・フェーズが続きます。データ・フェーズは、1 つ以上のレジスタに対する読出しまたは書込みデータ (REG_DATA) と、SPI エラー検出用のオプションの巡回冗長検査 (CRC) バイトで構成されています。各レジスタは、その読出しまたは書込みが有効とみなされるためには、同じデータ・フェーズでそのレジスタ全体から読み出す、またはそのレジスタ全体に書き込むことが必要です。部分的なレジスタ書込みは無効とみなされ、デバイスはこれを無視します。各 REG_DATA パケットの長さは、アクセスするレジスタの長さによって異なり、8 ビットから 32 ビットの範囲です (**レジスタ長のセクション**で説明)。

CRC エラー検出のセクションでは、SPI 伝送エラーを検出するための 8 ビットの CRC チェックサム計算に関する情報を提供しています。

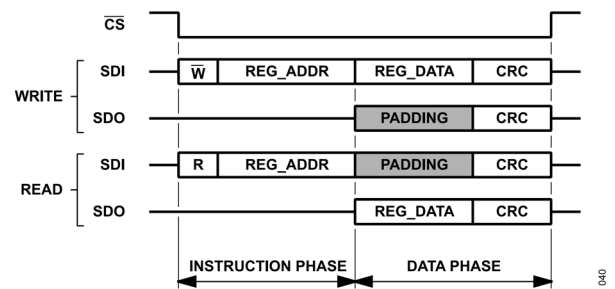


図 74. レジスタ・アクセスのための SPI フォーマット

レジスタ長

AD4691/AD4692 の各設定レジスタは、8 ビットの整数倍の長さです。**表 24**に示すように、ほとんどのレジスタは 8 ビット長ですが、一部は 16 ビット、24 ビット、32 ビットの長さです。

レジスタ・アクセスのセクションで説明したように、有効とみなされるためには、レジスタの全体を 1 つの SPI フレーム内で読書きする必要があります。レジスタへの部分的な書込みは無効であり無視されます。SPI_STATUS レジスタには、AD4691/AD4692 の SPI が部分的な読出しまたは書込みを検出した場合にアサートされる、複数のエラー・フラグがあります。

8 ビットより長いレジスタ (マルチバイト・レジスタ) は常に、隣接するレジスタ・アドレスにまたがって存在します。この場合、最上位バイト (MSByte) は最大値のアドレスに格納され、最下位バイト (LSByte) は最小値のアドレスに格納されます。例えば、AVG_IN0 レジスタは 16 ビット長のレジスタであり、その MSByte はアドレス 0x0201、LSByte はアドレス 0x0200 にあります (**ADC データ・レジスタの一括読出し**のセクションで、全 16 チャンネルに対するマルチバイト・データ・リードバック・レジスタの読出しに関してより具体的な説明があります)。

一括レジスタ読出しおよび書込みのセクションで説明するように、アクティブなレジスタのアドレスは、データの各バイトが読み出された後にデクリメントされます。つまり、各レジスタの REG_DATA パケットの読出しまたは書込みは、MSByte ファーストで行われます。例えば、AVG_IN0 レジスタから読み出すには、命令フェーズで REG_ADDR = 0x0201 を送信し、REG_DATA の全 16 ビットをクロック・アウトして AVG_IN0 レジスタの MSByte と LSByte を読み出します。

書込み可能な唯一のマルチバイト・レジスタは STD_SEQ_CONFIG レジスタであり、これは、アドレス 0x0025 とアドレス 0x0024 にある 16 ビット長のレジスタです (**標準シーケンサ・モード**のセクションを参照)。STD_SEQ_CONFIG レジスタの全 16 ビットを更新するには、1 つの SPI フレームで書き込む必要があります。

CRC がイネーブルの場合、CRC チェックサム・バイトが各レジスタの REG_DATA の末尾に付加されます。例えば、レジスタが 8 ビット長の場合、CRC バイトは 8 ビットの REG_DATA の後に生じます。レジスタが 16 ビット長であれば、CRC バイトは 16 ビットの REG_DATA の後に生じる、というように続きます。

デジタル・インターフェース

一括レジスタ読出しおよび書込み

AD4691/AD4692 の SPI は、レジスタの一括読出しおよび書込み用に 2 つのモードに対応しており、1 つの SPI フレーム内で複数のレジスタに効率的にアクセスできます。

自動デクリメント・モードは、ADC リードバック・レジスタの 16 チャンネル全部を 1 つの SPI 読出しフレームで読み出したり、イネーブルされている詳細シーケンサ・スロットの全部を 1 つの SPI 書込みフレームで設定したりするなど、レジスタ・マップの隣接するセクションから読み出すために最適化されています。命令フェーズで指定された REG_ADDR は、REG_DATA の各バイトに続いて 1 ずつデクリメントされるため、新たに SPI フレームを開始することなく、メモリ・マップ内の次にあるレジスタに効率的にアクセスできます。図 75 に、自動デクリメント・モードでの一括レジスタ読出しおよび書込み用の一般的な SPI プロトコルを示します。

直接アドレス・モードは、ADC リードバック・レジスタの 16 チャンネルのすべてを連続的に扱うのではなくそのサブセットを読み出す場合などのように、レジスタ・マップの接続しないセクションから読み出すために最適化されています。デジタル・ホストは、各 REG_DATA の転送後に新しい REG_ADDR 値を送信します。それによって、メモリ・マップで隣接していな

い複数のレジスタに 1 つの SPI フレーム内で効率的にアクセスできます。レジスタが複数バイト長の場合は、そのレジスタの全データを REG_DATA が確実に含むように、REG_ADDR を MSByte のアドレスにする必要があります（詳細については、レジスタ長のセクションを参照）。図 76 に、直接アドレス・モードでの一括レジスタ読出しおよび書込み用の一般的な SPI プロトコルを示します。

SPI_CONFIG_B レジスタの INST_MODE ビットは、自動デクリメント・モードと直接アドレス・モードのどちらにするかを選択します（SPI 設定 B レジスタを参照）。デフォルトでは自動デクリメント・モードが有効になっています。

どちらのモードにおいても、レジスタ書込みは、CRC がディスエーブルかイネーブルかに応じて異なるタイミングで適用されます。CRC がディスエーブルの場合、CRC バイトは省略され、レジスタは REG_DATA バイトの最後のビットで更新されます。CRC がイネーブルの場合、各 REG_DATA バイトの直後に対応する CRC バイトが続く必要があり、レジスタの内容は、CRC バイトが受信され検証された後にのみ更新されます。CRC バイトの検証の詳細については、CRC エラー検出のセクションを参照してください。

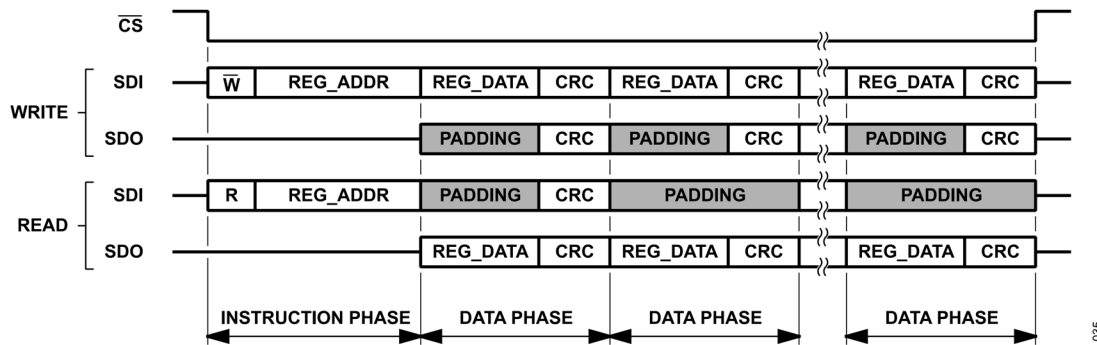


図 75. 自動デクリメント・モードでの一括レジスタ・アクセス

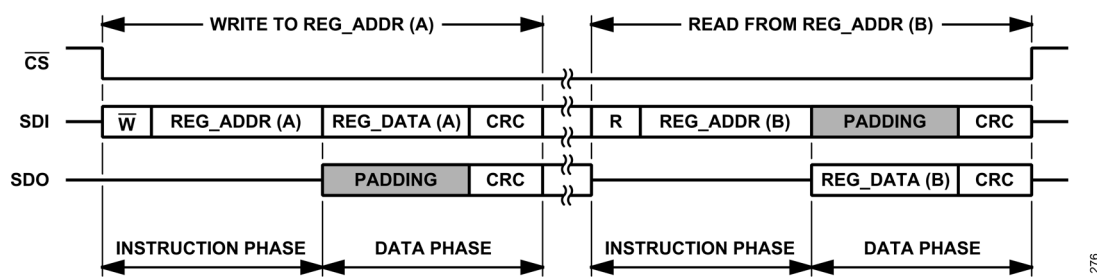


図 76. 直接アドレス・モードでの一括レジスタ・アクセス

デジタル・インターフェース

CRC エラー検出

AD4691/AD4692 には、以下の CRC-8 多項式に基づくレジスタ読みおよび書き込みの SPI 伝送エラー検出機能があります。

$$x^8 + x^2 + x + 1 \tag{5}$$

CRC をイネーブルするには、同じ SPI フレームで CRC_EN_A ビット・フィールドを 0x1、CRC_EN_B ビット・フィールドを 0x2 にセットします。SPI トランザクション・エラーが意図せず CRC をイネーブルしたりディスエーブルしたりすることのないように、両方のビット・フィールドへの書き込みは同じ SPI フレームで行う必要があります。図 74 に示すように、CRC がイネーブルされている場合、データ・フェーズの各 REG_DATA パケットには 8 ビットのチェックサム・コードが付加されます。チェックサム計算機能によって CRC-8 多項式が受信 REG_DATA パケットおよび送信 REG_DATA パケットに適用され、AD4691/AD4692 がホストからの送信エラーやホストへの送信エラーを検出できます。

図 74 および図 75 に、SPI フレームごとに 1 回または複数回のレジスタ書き込みおよび読み出しを行うために求められる、CRC チェックサム・コードのフォーマットを示します。CRC がイ

ネーブルの場合、AD4691/AD4692 は SDO を介してデジタル・ホストにチェックサム・コードを送信し、SDI を介してデジタル・ホストによって送信されたチェックサム・コードを検証します。受信したチェックサムが予想される値と異なる場合、AD4691/AD4692 は、伝送が破損されたとみなします。そのため、内部レジスタはその値を更新せず、SPI_STATUS レジスタの CRC_ERROR ビットがアサートされます。ホストのソフトウェアは、破損されたデータ伝送とその結果生じる予期せぬデバイス設定の発生を検出するために、CRC_ERROR ビットを定期的にチェックします。

表 22 に、可能なすべてのレジスタ書き込みおよび読み出しトランザクションのチェックサム計算に対するシード値とデータ値をまとめます。チェックサムの計算は、SDI 入力にローにスタックしているかどうかを検出するために非ゼロ値をシード値とします。SPI フレームの最初のレジスタ書き込みまたは読み出しの場合、シード値は 0xA5 です。一括トランザクションの場合、後続の各レジスタのチェックサムは、そのレジスタのアドレスの MSByte がシード値になります（例えば、STD_SEQ_CONFIG の場合は 0x0025 など）。

表 22. CRC 計算のシードとデータの値

Command	CRC Source	First CRC	Subsequent CRCs		
		Seed Input	Data Input	Seed	Data Source
Write	SDI (from host)	0xA5	R \bar{W} , REG_ADDR, REG_DATA	Current start address	REG_DATA
	SDO (to host)		R \bar{W} , REG_ADDR, REG_DATA	Current start address	REG_DATA
Read	SDI (from host)	0xA5	R \bar{W} , REG_ADDR, PADDING	Not required, send padding data	REG_DATA
	SDO (to host)		R \bar{W} , REG_ADDR, REG_DATA	Current start address	

デジタル・インターフェース

デバイスのリセット

AD4691/AD4692 には、以下のデバイス・リセット・オプションがあります。

- ▶ パワーオン・リセット (POR)
- ▶ $\overline{\text{RESET}}$ 入力を介したハードウェア・リセット
- ▶ SPI_CONFIG_A レジスタを介したソフトウェア・リセット

デバイス・リセットにより、設定レジスタがデフォルト設定に再初期化され、AD4691/AD4692 が CNV クロック・モードに遷移します。ハードウェア・リセット、ソフトウェア・リセット、POR はすべて、DEVICE_STATUS レジスタの RESET_FLAG ビットをアサートします。RESET_FLAG ビットは読出し後クリアするビットであり、DEVICE_STATUS レジスタからの有効な読出し後は自動的に 0 に設定されます。RESET_FLAG ビットは、デバイスがデバイス・リセットを実行したことを確認するため、またはリセットが意図せずに行われた場合にそれを確認するために、デジタル・ホストが使用できます。

表 5 のリセット遅延仕様は、デバイスのリセットからデバイスが SPI 通信および動作の準備ができるまでの代表的な遅延時間を示しています。デバイスの準備が整う前にデジタル・ホストが SPI 読出しまたは書込みトランザクションを実行しようとすると、トランザクションは無効とみなされ、SPI_STATUS レジスタの NOT_RDY_ERROR ビットが 1 に設定されます。NOT_RDY_ERROR ビットは R/WIC ビットであり、リセットされるのは有効なレジスタ書込みトランザクションで 1 に設定された場合のみです。

完全なデバイス・リセットの他、AD4691/AD4692 には、設定レジスタをリセットすることなくマルチプレクサ・チャンネルと平均化フィルタの現在の状態をリセットする、状態リセット・オプションもあります。状態リセット遅延 (t_{STATE}) は、STATE_RESET ビットに 1 を書き込んでから ADC がより多くの変換を実行する準備ができるようになるまでに必要な最小遅延時間です。詳細については状態リセットのセクションを参照してください。

ハードウェア・リセット

ハードウェア・リセットは、 $\overline{\text{RESET}}$ の立下がりエッジで開始されます。図 77 に、ハードウェア・リセットを実行するためのタイミング図を示します。 $\overline{\text{RESET}}$ をローに駆動しておく最小時間は t_{RESETL} であり、 t_{HWR} は $\overline{\text{RESET}}$ の立下がりエッジの後、SPI フレームの開始までデジタル・ホストが待機しなくてはならない時間です (表 5 参照)。

内部 LDO レギュレータが VDD を供給し、ハードウェア・リセットの前にディスエーブルされている場合、内部 LDO レギュレータはハードウェア・リセットによってイネーブルされ、内部 LDO の出力が VDD の必要最低電圧に達するだけの追加遅延が必要となります (パワーオン・リセット (POR) のセクションを参照)。

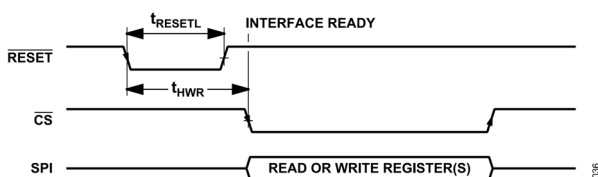


図 77. ハードウェア・リセットのタイミング図

ソフトウェア・リセット

ソフトウェア・リセットを開始するには、SPI_CONFIG_A レジスタの SW_RST_MSB ビットと SW_RST_LSB ビットを 1 に設定します。ソフトウェア・リセットは、SPI_CONFIG_A レジスタを除き、レジスタの情報のセクションに示されているすべての設定レジスタの状態をデフォルト値に再初期化します。ソフトウェア・リセットが完了すると、SW_RST_MSB ビットと SW_RST_LSB ビットは自動的にクリアされます。図 78 に、ソフトウェア・リセットを実行するためのタイミング要件を示します。ソフトウェア・リセットから新たな SPI フレームの開始までにデジタル・ホストが待機しなくてはならない時間は t_{SWR} です (表 5 参照)。

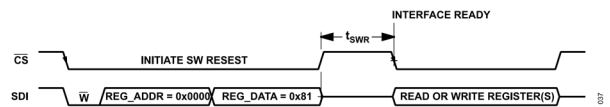


図 78. ソフトウェア・リセットのタイミング図

パワーオン・リセット (POR)

POR は、VDD または VIO が最初に供給されたときに開始されます。POR イベントが検知されると、AD4691/AD4692 の設定レジスタはデフォルト値に初期化されますが、それでもなお、POR 後にはハードウェア・リセットまたはソフトウェア・リセットを実行することを推奨します。

図 79 に、VIO が既に給電されている場合の VDD POR のタイミング図を示します。図 80 に、VDD が外部の +1.8V 電源から既に給電されている場合の VIO POR のタイミング図を示します。なお、内部 LDO レギュレータは、VIO が給電されるまでオンにならない点に注意してください。内部 LDO レギュレータを用いて内部で VDD に給電する場合、図 81 に示すように、VDD POR は VIO POR の後に発生します。

図 82 に、LDO レギュレータのウェイクアップ・コマンドに続く VDD POR のタイミング図を示します。内部 LDO レギュレータがウェイクアップすると、VDD が +1.8V に駆動され、VDD POR がトリガされます。ウェイクアップ・コマンドからデバイス・レディまでの総合的な遅延は、LDO レギュレータの起動遅延に POR 遅延を加えた値です。

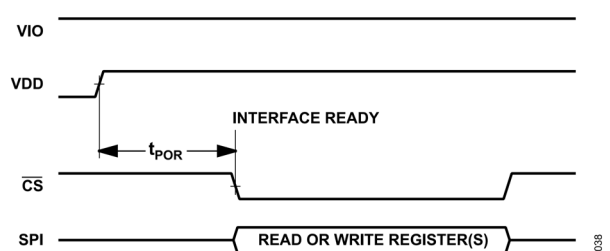


図 79. VDD POR のタイミング図

デジタル・インターフェース

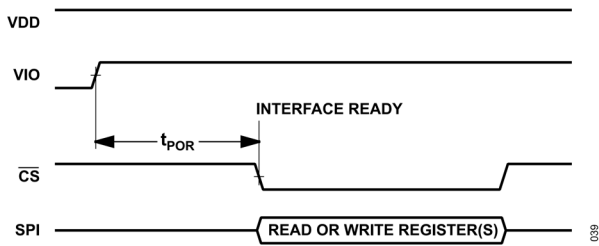


図 80. VIO POR のタイミング図 (VDD は外部供給)

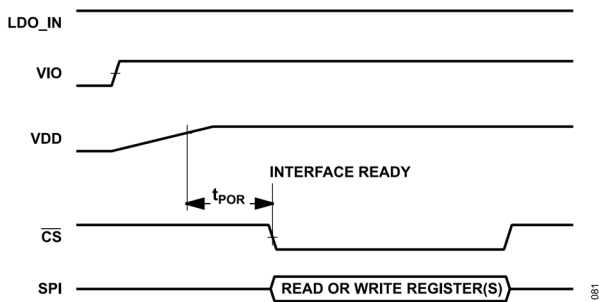


図 81. VIO POR のタイミング図 (VDD は内部供給)

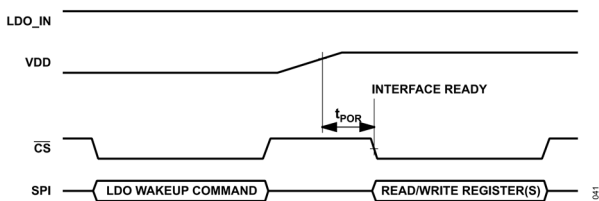


図 82. LDO レギュレータのウェイクアップ・コマンド POR のタイミング図

状態リセット

状態リセットは、設定レジスタのいずれの R/W ビットの状態もリセットせずに、以下の機能ブロックの状態をリセットします。

- ▶ チャンネル・シーケンサの位置およびアクティブなマルチプレクサ・チャンネル
- ▶ 平均化フィルタのデータおよびサンプルのカウンタ

状態リセットを開始するには、STATE_RESET_REG レジスタの STATE_RESET ビットを 1 にセットします。STATE_RESET ビットは、状態リセットが終了すると自動的にクリアされます。

デジタル・ホストは、平均化フィルタが満杯になった後に状態リセットを実行してフィルタを空にし、新しい ADC サンプルに対して準備する必要があります。動作モードの各セクションに、状態リセットを実行する際のガイダンスを動作モードごとに説明しています。

デジタル・ホストは、チャンネル・シーケンサまたは平均化フィルタに関連するいずれかの設定レジスタを更新した後も状態リセットを実行する必要があります。一般的に、適切なデバイス動作を確保するために、いずれかの設定レジスタを更新した後は、状態リセットを行うことを推奨します。

図 83 に、状態リセットと、それに関連するいくつかの内部デバイス状態および読み出し専用ビットを示します。

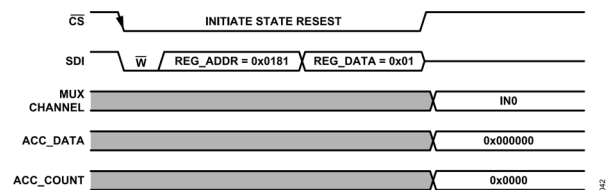
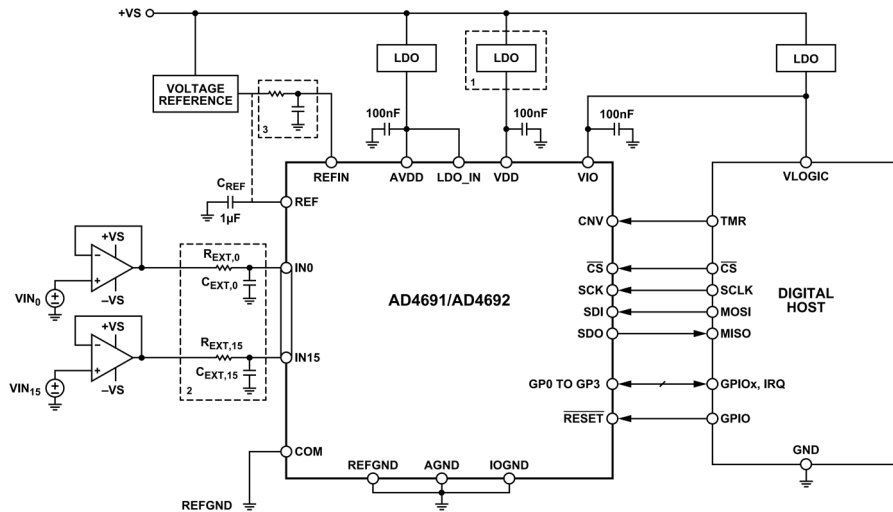


図 83. 状態リセットのタイミング図

アプリケーション情報

図 84 に、AD4691/AD4692 付随回路の推奨接続図の例を示します。

AD4691/AD4692 付随回路には、通常、電源、電圧リファレンス、チャンネルごとの AFE シグナル・コンディショニング回路、SPI 対応デジタル・ホストが備わっています。



¹DEDICATED +1.8V SUPPLY FOR VDD NOT REQUIRED WHEN USING INTERNAL LDO REGULATOR. (SEE THE INTERNAL LDO REGULATOR SECTION.)
²R_{EXT,x} AND C_{EXT,x} REPRESENT EXTERNAL INPUT RC FILTERS FOR ANALOG INPUT IN_x.
³OPTIONAL LOW PASS FILTER BETWEEN VOLTAGE REFERENCE AND REF IN INPUT (REFERENCE BUFFER ENABLED ONLY).

204

図 84. AD4691/AD4692 の代表的な接続図

アプリケーション情報

インターリーブ・チャンネル・シーケンス

AD4691/AD4692 は、柔軟なチャンネル・シーケンサをチャンネルごとの平均化フィルタと組み合わせているため、インターリーブ・チャンネル・シーケンス方式を使用して複数の ADC チャンネルからより一貫したアキュイジションを行うことができます。平均化フィルタを内蔵する従来のマルチプレクサ ADC では、通常 1 つのフィルタをすべてのチャンネルが共有しており、そのため、フィルタは次のチャンネルをサンプリングする前に、1 つのチャンネルの平均化された結果が準備できるまで待機しなくてはなりません。それによって、一部のチャンネルが長時間にわたってサンプリングされないブラインド・スポットが生じ、測定の繰り返し性が低下する原因になります。平均化フィルタをチャンネルごとに配置することにより、各チャンネルにそのデータのメモリ位置が提供され、チャンネル間で互いに上書きするのが防止されます。それによって、ブラインド・スポットを生じることなくシーケンサがチャンネルをスキャンできるようになります。

図 85 および図 86 に、従来のチャンネル・シーケンスとインターリーブ・チャンネル・シーケンスの違いを示します。インターリーブ・シーケンス手法は、各チャンネル・アキュイジション・ウィンドウのブラインド・スポットを大幅に減少させます。

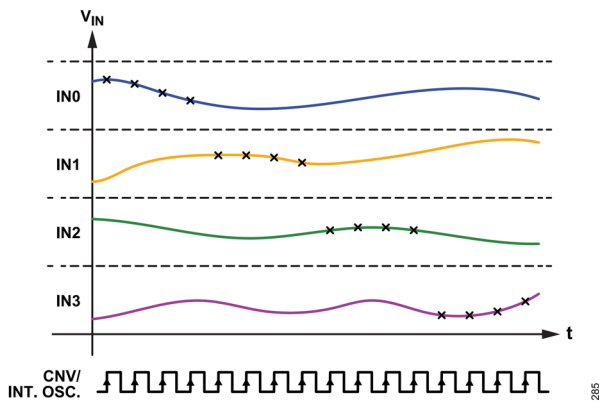


図 85. 従来のシーケンス (平均化比率 4)

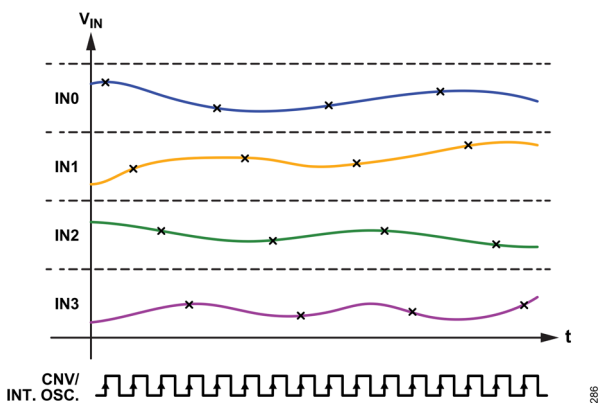


図 86. AD4691/AD4692 のインターリーブ・シーケンス (平均化比率 4)

実効チャンネル・サンプリング・レート

AD4691/AD4692 のアナログ入力には 1 つの ADC コアにマルチプレクスされ、マルチプレクサの状態は変換フェーズの最後で更新されます。そのため、チャンネルごとの実効サンプリング・レート (f_{S_INx}) は、ADC のサンプリング・レート (f_S) とチャンネル・シーケンス設定に依存します。

以下に示す実効サンプリング・レートの式は、 f_S が一定であると仮定しています。これは、CNV クロック・モードおよび自律モードの場合にあてはまります。CNV バースト・モードと SPI バースト・モードでは、この式は各サンプル・バースト・ウィンドウ内でのみ有効です。

標準シーケンサ・モードでは、イネーブルされた各チャンネルがシーケンスごとに 1 回サンプリングされます。そのため、イネーブルされたすべてのチャンネルは、同じ実効サンプリング・レートになり、このレートは次式で与えられます。

$$f_{S_INx} = \frac{f_S}{N_{CH}}$$

ここで、

N_{CH} は、イネーブルされたチャンネルの数です。

f_{S_INx} は、各チャンネルの平均化フィルタの入力データ・レートに等しい値です。

各チャンネルの出力データ・レート (f_{ODR_INx}) は、新しいアキュムレータまたは平均化のデータの準備ができるレートであり、次式で計算されます。

$$f_{ODR_INx} = \frac{f_{S_INx}}{ACC_DEPTH}$$

ここで、 ACC_DEPTH は、平均化フィルタのセクションで説明したように、平均化された (または累計された) 結果ごとのサンプル数です。

詳細シーケンサ・モードでは、チャンネル・シーケンスは更に柔軟でカスタマイズ可能です。そのため、 f_{S_INx} はチャンネルごとに異なる場合があり、一般化するのは実際的ではありません。優先シーケンサ方式のセクションで、チャンネルごとに複数のサンプリング・レートが可能な、詳細シーケンサによってサポートされるタイプのシーケンスについて、その詳細を説明します。

アプリケーション情報

優先シーケンス方式

優先シーケンス方式は、高優先度チャンネル（サンプリング・レートが高く平均化比率も高い）と低優先度チャンネル（サンプリング・レートが低く平均化比率も低い）からなる 1 つのセットを実現するよう詳細シーケンサをプログラムするための方法です。以下では、AD4691/AD4692 の詳細シーケンサ・モードを使用して優先シーケンス方式を実装する方法を説明します。

図 87 に、2 つの優先度を持つ一般的なチャンネル・シーケンスを示します。チャンネルは、高優先度（HP）チャンネルと低優先度（LP）チャンネルに分類されます。LP チャンネルはシーケンスごとに 1 回サンプリングされるのに対し、HP チャンネルはシーケンスごとに複数回サンプリングされます。代わりに、チャンネル・シーケンスをサブシーケンスのグループと考えることもできます。その場合、すべての HP チャンネルがサブシーケンスごとに 1 回サンプリングされますが、LP チャンネルは 1 つのみがサブシーケンスごとに 1 回サンプリングされます。

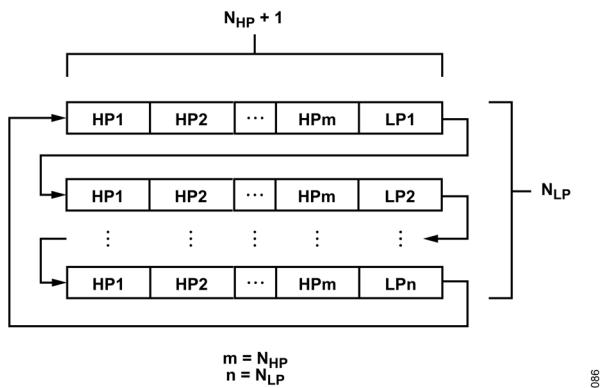


図 87. 2 優先度チャンネル・シーケンスにおける HP チャンネルと LP チャンネルのシーケンス

LP チャンネルと HP チャンネルの数は、チャンネル・シーケンス全体の長さとその実効サンプリング・レートを左右します。2 優先度シーケンス方式を実行するのに必要な詳細シーケンサのスロットの数 (N_{SLOTS}) は、次式で定まります。

$$N_{SLOTS} = N_{LP} \times (N_{HP} + 1) \tag{6}$$

ここで、
 N_{LP} は LP チャンネルの数です。
 N_{HP} は HP チャンネルの数です。

2 優先度シーケンス方式を実行するのに必要な N_{SLOTS} の最大値は、 $N_{LP} = N_{HP} = 8$ チャンネルの場合の値であり、 $N_{SLOTS} = 72$ スロットです。

LP チャンネルは N_{SLOTS} チャンネルごとに 1 回サンプリングされるのみであるため、実効サンプリング周波数 (f_{S_LP}) は次式で表されます。

$$f_{S_LP} = f_S / N_{SLOTS} \tag{7}$$

HP チャンネルは LP チャンネルごとに 1 回サンプリングされるため、実効サンプリング周波数 (f_{S_HP}) は次式で表されます。

$$f_{S_HP} = f_S \times \frac{N_{LP}}{N_{SLOTS}} \tag{8}$$

表 23 および図 88 に、IN0、IN1、IN2 を HP チャンネル、IN3 および IN4 を LP チャンネルとする 2 優先度シーケンスの例を示します。この例では、 N_{SLOTS} が 8 であるため、NUM_SLOTS_AS ビット・フィールドは 0x7 に設定されます。シーケンス・スロットのチャンネル割当ては、詳細シーケンサ・モードのセクションで説明したように、AS_SLOTx レジスタを通じて設定されます。この例では、HP チャンネルのアクキュムレータ深度を LP チャンネルのアクキュムレータ深度の 2 倍に設定することにより、すべてのチャンネルが確実に同じ出力データ・レートになります。図 88 に、HP チャンネルの深度が 4、LP チャンネルの深度が 2 であり、それにより各チャンネルの出力データ・レートが $f_S/16$ になっている例を示します。

表 23. 2 優先度の例とサンプリング・レートおよび出力データ・レート

Slot Number	Slot Channel	Channel Effective Sampling Rate	Accumulator Depth (i.e. Averaging Ratio)	Output Data Rate
0	IN0	$f_S/4$	4	$f_S/16$
1	IN1	$f_S/4$	4	$f_S/16$
2	IN2	$f_S/4$	4	$f_S/16$
3	IN3	$f_S/8$	2	$f_S/16$
4	IN0	$f_S/4$	4	$f_S/16$
5	IN1	$f_S/4$	4	$f_S/16$
6	IN2	$f_S/4$	4	$f_S/16$
7	IN4	$f_S/8$	2	$f_S/16$

アプリケーション情報

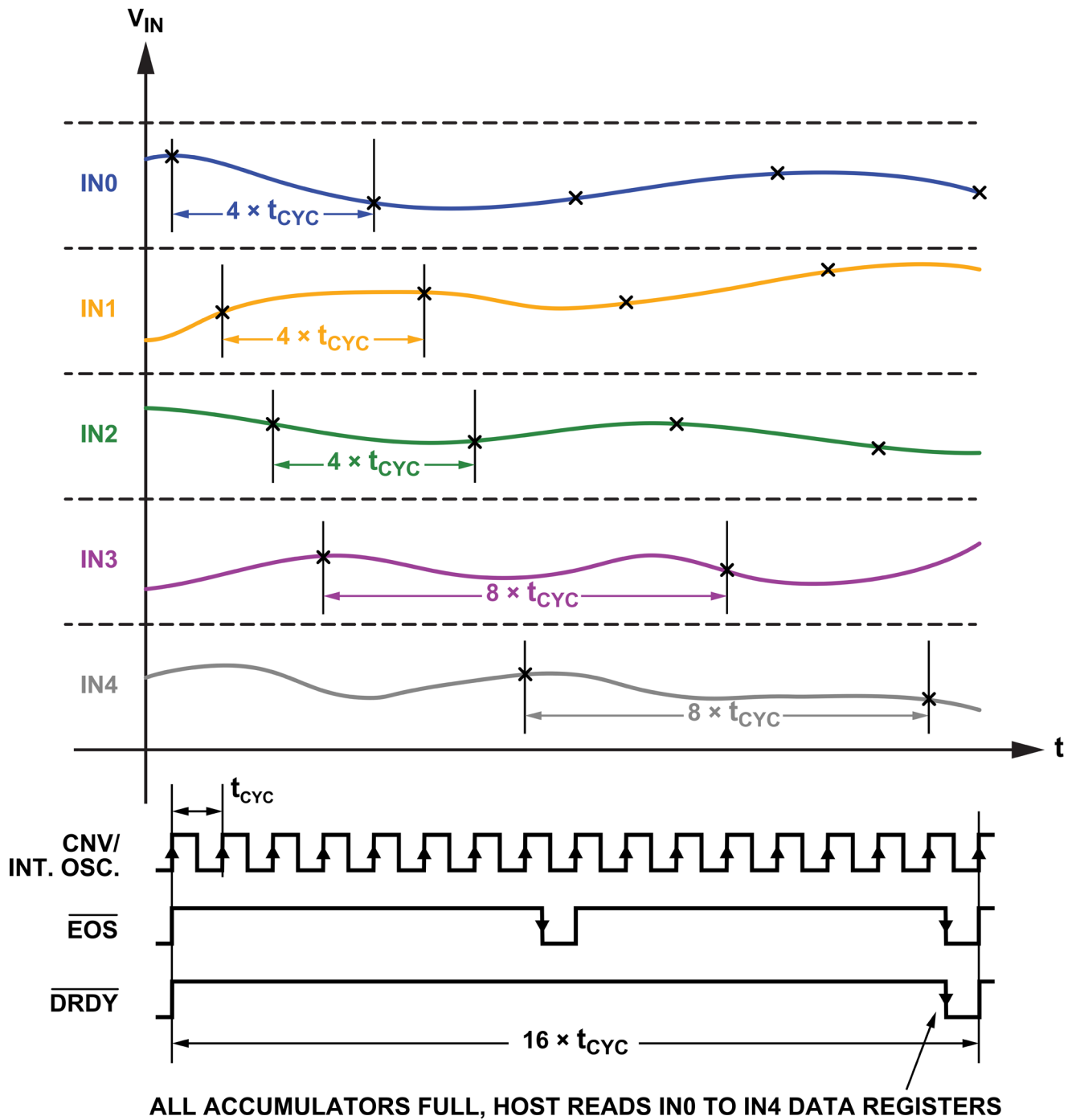


図 88.2 優先度のタイミング図の例

アプリケーション情報

RC キックバック・フィルタ部品の選択

このセクションでは、AD4691/AD4692 の入力にある RC キックバック・フィルタの部品選択に関する推奨事項を説明します (図 84 の R_{EXT} および C_{EXT} を参照)。ここでの分析では、正確なセトリングを実現するための、プリチャージ・バッファ、サンプリング・コンデンサ (C_{SH})、RC フィルタ部品値の間の関係を示します。

アナログ入力のプリチャージのセクションで説明したように、MUX スイッチが入力チャンネルの取得を開始するようトグルすると、電圧グリッチ (V_{GLITCH}) が発生します。MUX スイッチが互いに短絡したときに C_{EXT} の電圧と C_{SH} の電圧が異なることが、 V_{GLITCH} の原因です。 V_{GLITCH} の大きさは、容量および、 C_{EXT} と C_{SH} の電圧差 (ΔV) に比例し、次式で表されます。

$$V_{GLITCH} = \left(\frac{C_{SH}}{C_{SH} + C_{EXT}} \right) \times \Delta V \tag{9}$$

ADC がセトリング誤差をサンプリングすることのないよう、 R_{EXT} および C_{EXT} の値は、次の変換開始までに V_{GLITCH} が $\frac{1}{2}LSB$ の範囲に確実にセトリングするように選択する必要があります。キックバック・フィルタのセトリング・タイム (t_{SETTLE}) は次式のとおりです。

$$t_{ACQ} > t_{SETTLE} = \tau \times N_{\tau} \tag{10}$$

ここで、

τ は、RC の時定数です。

N_{τ} は、 V_{GLITCH} が $\frac{1}{2}LSB$ 以内にセトリングするのに必要な時定数の数です。

N_{τ} は、RC の指数関数的なセトリング関係式によって次のように定まります。

$$N_{\tau} = \ln \left(\frac{V_{GLITCH}}{V_{REF}/2^{17}} \right) \tag{11}$$

t_{ACQ} は、サンプリング周期 (t_{CYC}) とプリチャージ遅延の関数であるアクイジション・タイムであり、次式で計算されます。

$$t_{ACQ} = t_{CYC} - 515ns = \frac{1}{f_S} - 515ns \tag{12}$$

従来の MUX SAR ADC では、 ΔV は V_{REF} と同じ大きさになる場合もあり、そのため、 V_{GLITCH} を減衰するための大きな C_{EXT} と、十分小さな τ を実現するための小さな R_{EXT} が必要になります。また、それによって、安定性と S/N 比を維持するために高速で低ノイズのアンプも必要になります。AD4691/AD4692 のプリチャージ・バッファは、 ΔV 、ひいては V_{GLITCH} を最小限に抑えることにより、これらの高速アンプを不要にします。プリチャージ・バッファにより、 ΔV は 5mV になり、 V_{REF} が 5V の場合、従来の MUX SAR ADC に比べて 1000 倍の低減を実現できます。

図 89 に、前出の式を用いて計算した、 C_{EXT} の様々な値とサンプリング・レートに対し推奨される、 R_{EXT} の最大値を示します。前述および図 89 の分析は、セトリング・タイムがキックバック・フィルタの時定数によって支配されると仮定しており、キックバック・フィルタとフロントエンド・アンプの出力インピーダンスとの間の相互作用によるオーバーシュートやリングングは無視しています。

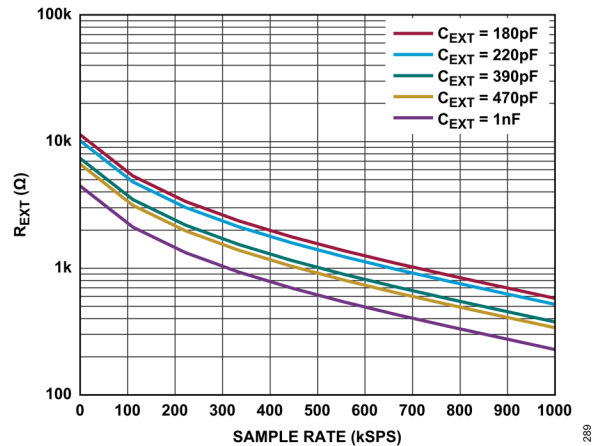


図 89. R_{EXT} および C_{EXT} の値とサンプリング・レートの関係

ロックアウト状態を防止するためのチャンネル・マスク

ロックアウト状態は、 \overline{DRDY} 信号が、 \overline{CNV} バースト・モードまたは SPI バースト・モードにおいて停止トリガとして用いられながらアサートできない状況を指します。それによって、すべてのアキュムレータが満杯になっている場合でも、内部発振器が停止することなく動作し続けます。ロックアウト状態は、アクティブなチャンネル・シーケンスに対しアキュムレータのマスク・ビット (ACC_MASK_INx) が不適切に設定されていることが原因であり、 ACC_FULL_INx 信号によって \overline{DRDY} 信号をトグルしてハイに保持することが無期限にできなくなります。

ロックアウト状態を防止するには、シーケンスに含まれないすべてのチャンネルをマスクしたまま、シーケンスに含まれるすべてのチャンネルのマスクを解除する必要があります。これらのマスク要件は、標準シーケンサ・モードと詳細シーケンサ・モードの両方にあてはまります。図 90 に、対応する ACC_MASK_INx ビットを 0 (含まれるチャンネルのマスクを解除) または 1 (含まれないチャンネルをマスク) にセットしたチャンネル・シーケンスの例を示します。

すべての ACC_MASK_INx ビットを同時に 1 にセットした場合もロックアウト状態を引き起こします。含まれるチャンネルのすべてが確実にマスクされるためです。

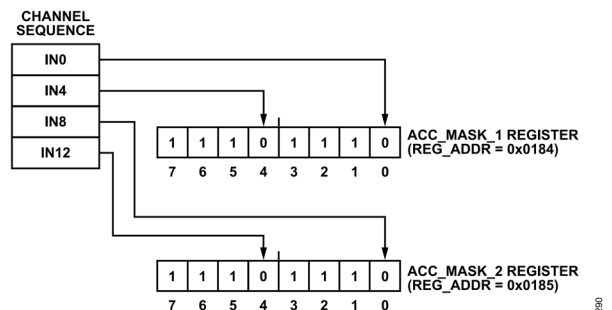


図 90. マスク・ビットの設定とチャンネル・シーケンスの関係を示す例

アプリケーション情報

ADC データ・レジスタの一括読出し

平均化フィルタのリードバックのセクションで説明したように、AD4691/AD4692には、各16チャンネルのADC結果を読み出すために複数のレジスタがあります。このセクションでは、一括レジスタ読出しおよび書込みのセクションで説明した自動デクリメント・モードまたは直接アドレス・モードを用いてこれらのレジスタから効率的にデータを読み出すための、推奨事項を提供します。

表14～表17に、各リードバック・レジスタ・セット（平均化データ、アキュムレータ・データ、およびステータス・バイトの有無）のチャンネルごとのレジスタ・アドレスを示します。リードバック・レジスタの各セットには、ADCの16チャンネルすべてのデータが含まれており、各チャンネルのアドレスは、次のチャンネルのアドレスと連続しています。例えば、AVG_IN0レジスタの次はAVG_IN1レジスタであり、その次はAVG_IN2レジスタというように続きます。

自動デクリメント・モードは、複数の隣接チャンネルからの読出しを行う場合に最も効率的です。例えば、AVG_INxの16個の全レジスタから読み出す場合、図91に示すように、命令フェーズでREG_ADDR = 0x021Fを送信して、ACC_IN15の

MSByteのアドレスを指定し、1つのSPIフレームで32バイトのデータをクロック・アウトするのが最も効率的です。後続の状態リセットは、REG_ADDR = 0x0181と設定した2つ目のSPIフレームで行う必要があります。

直接アドレス・モードは、複数の非隣接チャンネルからの読出しを行う場合に最も効率的です。例えば、図92に示すように、ACC_INxレジスタからチャンネルIN0、IN3、IN6、IN9を読み出す場合、各命令フェーズに各チャンネルのMSByteのアドレスを含めた1つのSPIフレームで送信するのが最も効率的です。後続の状態リセットは、チャンネル・データ・リードバックと同じフレームで発生させることができます。

一般的に、ハードウェア上で隣接する連続的なチャンネル・グループを用いることを推奨します。隣接するチャンネルのグループから自動デクリメント・モードで読み出す方が、非隣接チャンネルのグループから直接アドレス・モードで読み出すよりも効率的であるためです。例えば、システムが12チャンネルのみを用いる場合、可能な限り最速のリードバックを行うには、アナログ・フロントエンド回路を（12チャンネルをランダムに組み合わせるのではなく）IN0～IN11に接続します。

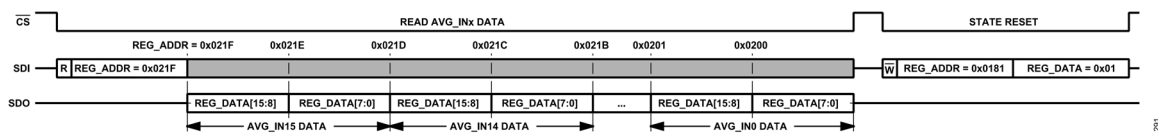


図91. 自動デクリメント・モードでの隣接チャンネル・データの読出し

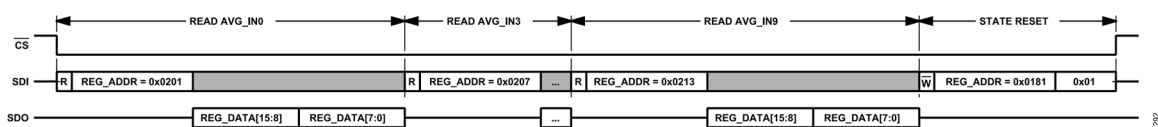


図92. 直接アドレス・モードでの非隣接チャンネル・データの読出し

アプリケーション情報

設定フローチャート

図 93～図 99 に、AD4691/AD4692 に様々な機能および動作モードを設定して動作させるためのフローチャート例を示します。

これらのフローチャートは、デバイス設定レジスタを必要なモードに設定するためのガイドとして参照してください。

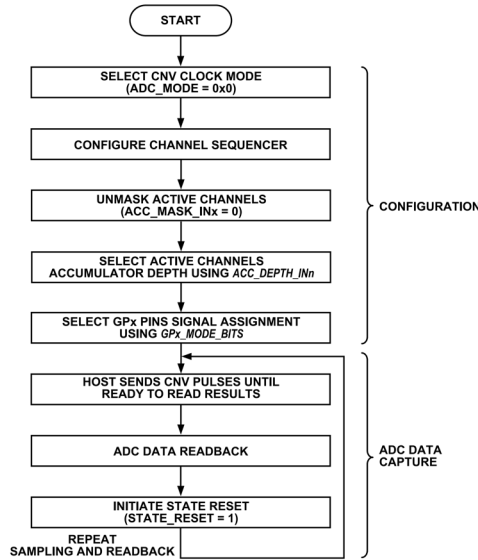


図 93. CNV クロック・モード用のデバイス設定フローチャート

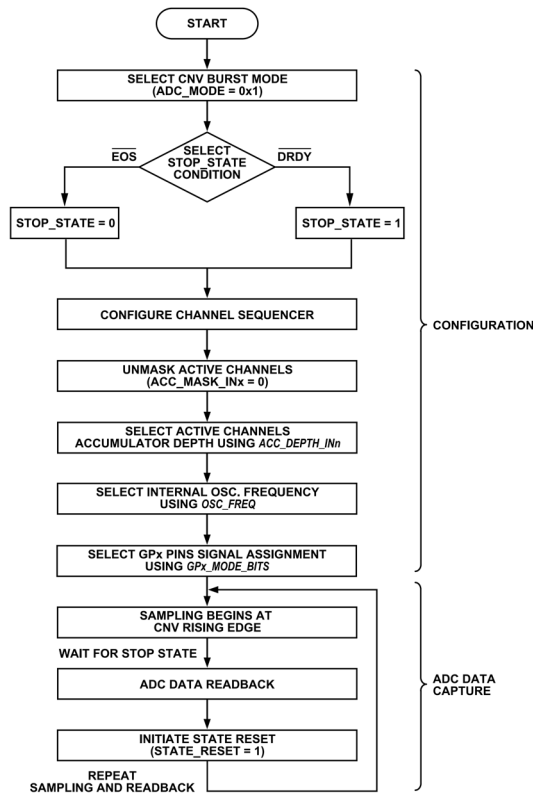


図 94. CNV バースト・モード用のデバイス設定フローチャート

アプリケーション情報

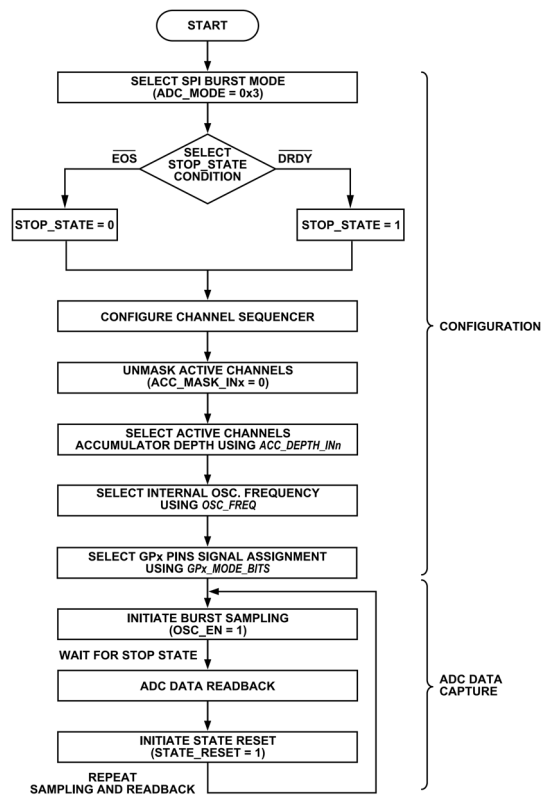


図 95. SPI バースト・モード用のデバイス設定フローチャート

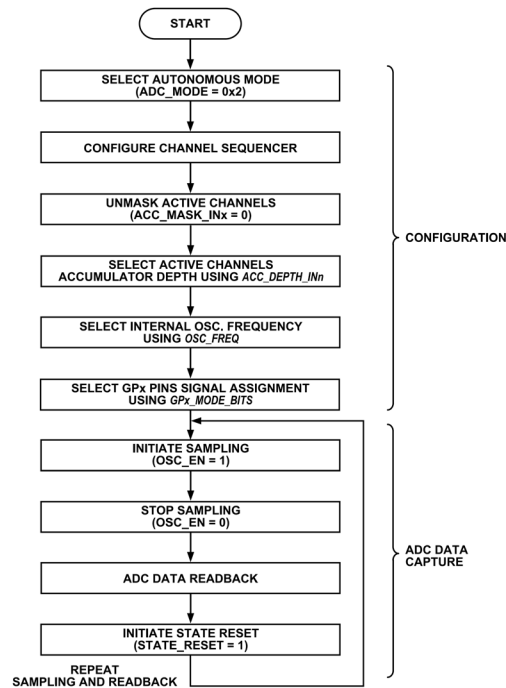


図 96. 自律モード用のデバイス設定フローチャート

アプリケーション情報

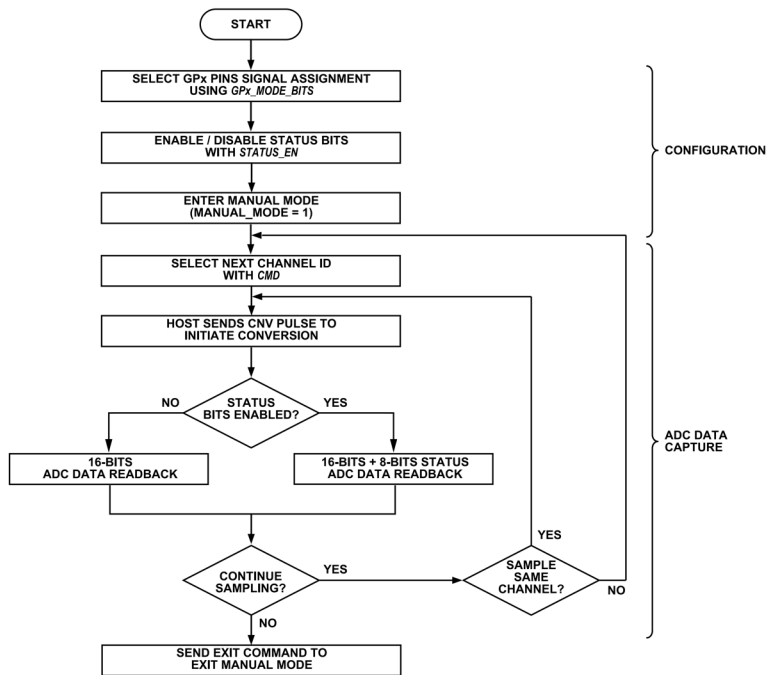


図 97. 手動モード用のデバイス設定フローチャート

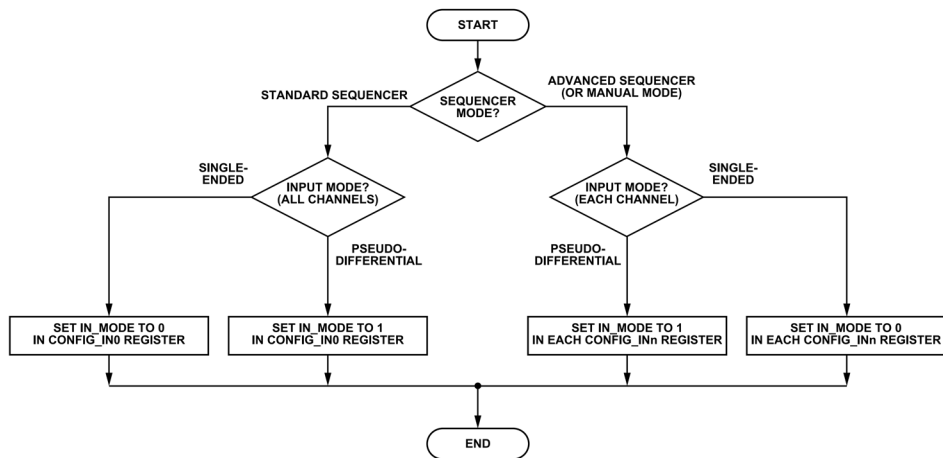


図 98. アナログ入力設定用のデバイス設定フローチャート

アプリケーション情報

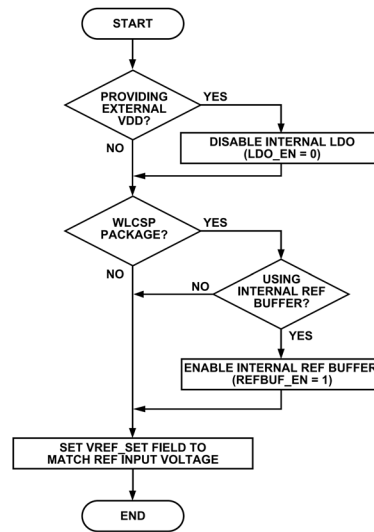


図 99. リファレンスおよび LDO レギュレータ用のデバイス設定フローチャート

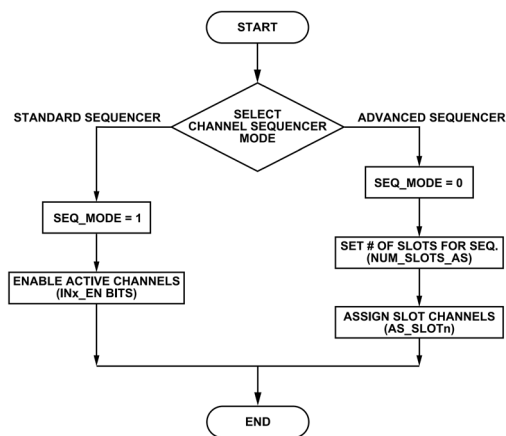


図 100. チャンネル・シーケンサを設定するためのフローチャート

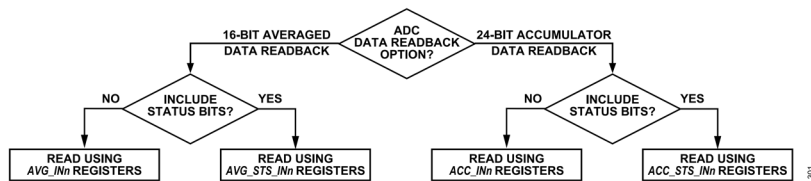


図 101. リードバック・レジスタのオプションを選択するためのフローチャート

アプリケーション情報

レイアウトのガイドライン

AD4691/AD4692 を PCB に配置して最高性能を実現するための推奨レイアウト技術を、以下で説明します。PCB レイアウトの例は、AD4692 評価用ボード (EVAL-AD4692-ARDZ) のユーザ・ガイドに記載されています。

アナログ・パターン (アナログ入力およびリファレンス入力に接続されるパターン) は、デジタル・パターン (CNV 入力、SPI、汎用ピンに接続されるパターン) とは物理的に分離し、高速スイッチング・デジタル信号からアナログ入力信号への相互結合を抑制する必要があります。同じ PCB 層上のアナログ・パターンとデジタル・パターンの間には、グラウンド・フィルを追加してください。また、間にグラウンド・プレーンの PCB 層を挟まずに、デジタル・パターンがアナログ・パターンまたは AD4691/AD4692 デバイスと交差することのないようにしてください。AD4691/AD4692 のアナログ・ピンとデジタル・ピンは、アナログ・パターンとデジタル・パターンを容易に分離できるよう配列されています。

AD4691/AD4692 のアナログ入力 (IN0~IN15) の入力インピーダンスは、変換と変換の間で切り替わるマルチプレクサ・スイッチと ADC コア入力スイッチによって、動的なものとなります。アナログ入力の非線形電圧ステップを緩和するために、コンデンサを外付けすることを推奨します。これらの外付けコンデンサをアナログ入力にできるだけ近づけて配置することで、性能低下の原因となるコンデンサとアナログ入力の間での寄生インピーダンス経路の長さを最小限に抑制します。

AD4691/AD4692 の電圧リファレンス入力 (REF) の入力インピーダンスも動的です。リファレンス駆動回路の出力と REF 入力の間の実効インピーダンスは非常に小さくなくてはならず、また、REF ピンのできるだけ近くにデカップリング・コンデンサを配置する必要があります。内部リファレンス・バッファを

使用しない場合は、外部リファレンス回路と REF ピンを幅の広いパターンで接続し、パターンインピーダンスを最小限に抑えてください。

AD4691/AD4692 の電源は、電源ピンの近くに配置した低等価直列抵抗 (ESR) のセラミック・コンデンサでデカップリングし、接続には短く幅の広いパターンを使用して経路を低インピーダンスにし、電源ラインのグリッチの影響を抑える必要があります (電源のセクションを参照)。AVDD と同じ電源で LDO_IN に電源供給する場合は、幅広の共通パターンでこれらのピンを短絡し、100nF の 1 つのコンデンサを使用して両方のピンをデカップリングします。

WLCSP の PCB レイアウトおよびアセンブリの詳細については AN-617 アプリケーション・ノート、ウェーハ・レベル・チップ・スケール・パッケージを参照してください。

AD4691/AD4692 の性能評価

AD4691/AD4692 の評価ツール用に、AD4692、PC からボードを制御するための評価用ソフトウェア、ハードウェアおよびソフトウェア用サポート資料を含む、完全実装済みおよび試験済み評価用ボード (EVAL-AD4692-ARDZ) が用意されています。

EVAL-AD4692-ARDZ ボードを使用することで、AD4691/AD4692 が提供する様々なデジタル機能を使用して、アナログ・フロントエンド回路およびリファレンス回路をプロトタイプ化できます。標準的な Arduino Uno デジタル・ヘッダも備えているため、EVAL-SDP-CK1Z ボードやサード・パーティのコントローラ・ボードとインターフェースして、インターフェース・ファームウェアやアプリケーション・ソフトウェアをプロトタイプ化できます。

レジスタの情報

AD4691/AD4692 のデバイス設定は、それぞれの設定レジスタを通じて行います。レジスタ・アクセスのセクションで説明したように、AD4691/AD4692 の SPI を使用して、設定レジスタとの間での読書きができます。

AD4691/AD4692 の設定レジスタは、一式のレジスタ・アドレスに割り当てられています。各アドレス値は、1 バイトのレジスタ・データに対応しています。レジスタ長のセクションで説明したように、ほとんどのレジスタは 1 バイト長ですが、一部はマルチバイト長です。表 24 に、AD4691/AD4692 の設定レジスタすべてについて、レジスタへのメモリ・アドレスの割当てを示します。

AD4691/AD4692 の設定レジスタのビットおよびフィールドは、読み専用、読み/書き込み、または読み/1 を書き込んでクリアで定義されています。表 24 の「アクセス」の列には、読

出し専用ビットのみを含むレジスタが R、書き込み可能ビットのあるレジスタが R/W と記されています。表 25～表 65 の「アクセス」の列では、読み専用ビットは R、読み/書き込みビットは R/W、1 を書き込んでクリア・ビットは R/W1C と記されています。

SPI_STATUS レジスタには様々なエラー・フラグがあり、レジスタ・アクセスのセクションで概要を説明しているいくつかの protocols 形態のいずれかに対し、SPI 読みまたは書き込みトランザクションが違反しているかどうかを示します (表 35 参照)。ステータス・レジスタの SPI_ERROR ビットは、SPI_STATUS レジスタのエラー・フラグのビットごとの論理和です (表 36 参照)。

表 24. AD4691/AD4692 の設定レジスタの一覧

アドレス	名称	説明	リセット	アクセス
0x0000	SPI_CONFIG_A	SPI 設定 A。	0x10	R/W
0x0001	SPI_CONFIG_B	SPI 設定 B。	0x00	R/W
0x0003	DEVICE_TYPE	デバイス・タイプ。	0x07	R
0x0004	PRODUCT_ID_LSB	製品 ID (LSB)。	1	R
0x0005	PRODUCT_ID_MSB	製品 ID (MSB)。	0x00	R
0x000A	SCRATCH_PAD	スクラッチ・パッド。	0x00	R/W
0x000C	VENDOR_ID_LSB	ベンダ ID (LSB)。	0x56	R
0x000D	VENDOR_ID_MSB	ベンダ ID (MSB)。	0x04	R
0x000E	STREAM_MODE	予約済み。	0x00	R/W
0x0010	SPI_CONFIG_C	SPI 設定 C。	0x23	R/W
0x0011	SPI_STATUS	SPI ステータス。	0x00	R/W
0x0014	DEVICE_STATUS	デバイスのステータス。	0x20	R
0x001A	CLAMP_STATUS1	クランプのステータス (IN0～IN7)。	0x00	R
0x001B	CLAMP_STATUS2	クランプのステータス (IN8～IN15)。	0x00	R
0x0020	DEVICE_SETUP	デバイスの設定。	0x10	R/W
0x0021	REF_CTRL	リファレンスの制御。	0x10	R/W
0x0022	SEQ_CTRL	シーケンサの制御。	0x80	R/W
0x0023	OSC_FREQ_REG	内部発振器周波数。	0x00	R/W
0x0025	STD_SEQ_CONFIG	標準シーケンサの設定。	0x0001	R/W
0x0030 to 0x003F	CONFIG_INn	アナログ入力の設定。	0x08	R/W
0x0100 to 0x017F	AS_SLOTn	詳細シーケンサ・スロット。	0x00	R/W
0x0180	OSC_EN_REG	内部発振器イネーブル。	0x00	R/W
0x0181	STATE_RESET_REG	状態リセット。	0x01	R/W
0x0182	ADC_SETUP	ADC の設定。	0x00	R/W
0x0184	ACC_MASK_1	アキュムレータ・マスク (IN0～IN7)。	0xFE	R/W
0x0185	ACC_MASK_2	アキュムレータ・マスク (IN8～IN15)。	0xFF	R/W
0x0186 to 0x0195	ACC_DEPTH_INn	アキュムレータ深度。	0x3F	R/W
0x0196	GP0_GP1_MODE	GP0 および GP1 の制御。	0x00	R/W
0x0197	GP2_GP3_MODE	GP2 および GP3 の制御。	0x00	R/W
0x01A0	GPIO_READ	GPIO のロジック入力状態。	0x00	R
0x01B0	ACC_STS_FULL_1	アキュムレータ満杯ステータス (IN0～IN7)。	0x00	R
0x01B1	ACC_STS_FULL_2	アキュムレータ満杯ステータス (IN8～IN15)。	0x00	R
0x01B2	ACC_STS_OVR_1	アキュムレータ・オーバーラン・ステータス (IN0～IN7)。	0x00	R
0x01B3	ACC_STS_OVR_2	アキュムレータ・オーバーラン・ステータス (IN8～IN15)。	0x00	R
0x01B4	ACC_STS_SAT_1	アキュムレータ飽和ステータス (IN0～IN7)。	0x00	R
0x01BE	ACC_STS_SAT_2	アキュムレータ飽和ステータス (IN8～IN15)。	0x00	R

レジスタの情報

表 24. AD4691/AD4692 の設定レジスタの一覧 (続き)

アドレス	名称	説明	リセット	アクセス
0x01C0 to 0x01CF	ACC_STATUS_INn	アキュムレータの全般的ステータス。	0x00	R
0x0201 to 0x021F	AVG_INn	平均化フィルタのデータ。	0x00	R
0x0222 to 0x024F	AVG_STS_INn	平均化フィルタのデータおよびステータス。	0x000	R
0x0252 to 0x027F	ACC_INn	アキュムレータのデータ。	0x000	R
0x0283 to 0x02BF	ACC_STS_INn	アキュムレータのデータおよびステータス。	0x0000	R

↑表 28 を参照してください。

レジスタの詳細

SPI 設定 A レジスタ

アドレス : 0x0000、リセット : 0x10、レジスタ名 : SPI_CONFIG_A

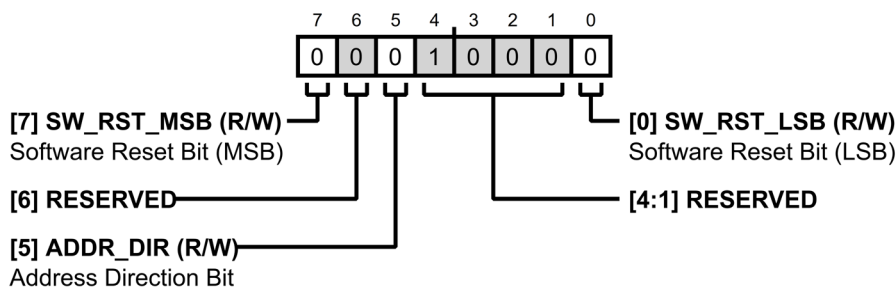


表 25. SPI_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RST_MSB	ソフトウェア・リセット・ビット (MSB)。同じレジスタ書込みフレームで SW_RST_MSB および SW_RST_LSB の両方を 1 に設定すると、デバイスのソフトウェア・リセットが開始されます。SPI_CONFIG_A レジスタを除くすべてのレジスタが、デフォルトのパワーアップ状態にリセットされます。	0x0	R/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_DIR	予約済み。このビットは 0 に設定する必要があります。	0x0	R/W
[4:1]	RESERVED	予約済み。	0x8	R
0	SW_RST_LSB	ソフトウェア・リセット・ビット (LSB)。同じレジスタ書込みフレームで SW_RST_MSB および SW_RST_LSB の両方を 1 に設定すると、デバイスのソフトウェア・リセットが開始されます。SPI_CONFIG_A レジスタを除くすべてのレジスタが、デフォルトのパワーアップ状態にリセットされます。	0x0	R/W

SPI 設定 B レジスタ

アドレス : 0x0001、リセット : 0x00、レジスタ名 : SPI_CONFIG_B

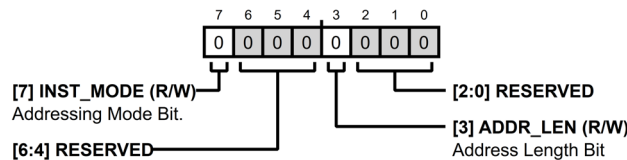


表 26. SPI_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INST_MODE	アドレス指定モード・ビット。レジスタの一括読出しまたは一括書込みを行うために、自動デクリメント・モードを用いるか直接アドレス・モードを用いるかを選択します。 0 : 自動デクリメント・モード。 1 : 直接アドレス・モード。	0x0	R/W

レジスタの情報

スクラッチ・パッド・レジスタ

アドレス：0x000A、リセット：0x00、レジスタ名：SCRATCH_PAD

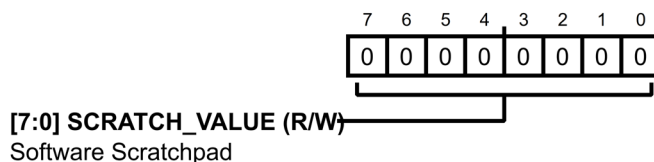


表 30. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。このレジスタは、デバイスとの SPI 通信をテストするために使用します。このレジスタに書き込まれる値は、デバイス設定やデバイス動作には影響しません。	0x00	R/W

ベンダ ID (LSB) レジスタ

アドレス：0x000C、リセット：0x56、レジスタ名：VENDOR_ID_LSB

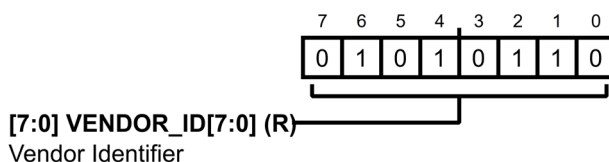


表 31. VENDOR_ID_LSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ識別子。VENDOR_ID[15:0]フィールドは、アナログ・デバイセズのすべての高精度 ADC で同じ値 (0x0456) です。	0x56	R

ベンダ ID (MSB) レジスタ

アドレス：0x000D、リセット：0x04、レジスタ名：VENDOR_ID_MSB

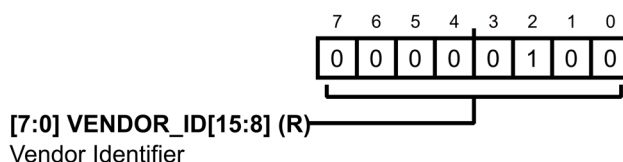


表 32. VENDOR_ID_MSB のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID フィールド。VENDOR_ID[15:0]フィールドは、アナログ・デバイセズのすべての高精度 ADC で同じ値 (0x0456) です。	0x04	R

レジスタの情報

予約済みレジスタ

アドレス : 0x000E、リセット : 0x00、レジスタ名 : STREAM_MODE

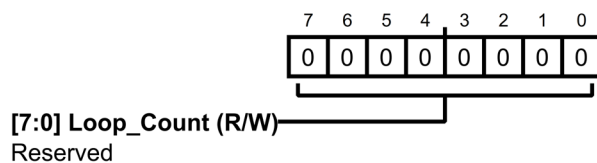


表 33. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	予約済み。このフィールドは 0x00 に設定する必要があります。	0x00	R/W

SPI 設定 C レジスタ

アドレス : 0x0010、リセット : 0x23、レジスタ名 : SPI_CONFIG_C

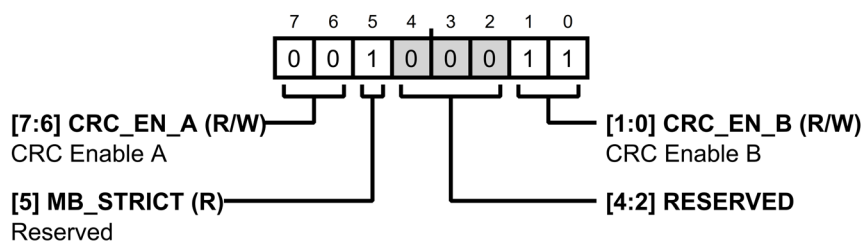


表 34. SPI_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_EN_A	CRC イネーブル A。同じレジスタ書き込みフレームで CRC_EN_A を 0x1 に、CRC_EN_B を 0x2 に設定すると、インターフェースの CRC がイネーブルになります。 0x0 : CRC をディスエーブル。 0x1 : CRC をイネーブル。	0x0	R/W
5	MB_STRICT	予約済み。このビットは 1 に設定する必要があります。	0x1	R/W
[4:2]	RESERVED	予約済み。	0x0	R
[1:0]	CRC_EN_B	CRC イネーブル B。同じレジスタ書き込みフレームで CRC_EN_A を 0x1 に、CRC_EN_B を 0x2 に設定すると、インターフェースの CRC がイネーブルになります。	0x3	R/W

レジスタの情報

SPI ステータス・レジスタ

アドレス : 0x0011、リセット : 0x00、レジスタ名 : SPI_STATUS

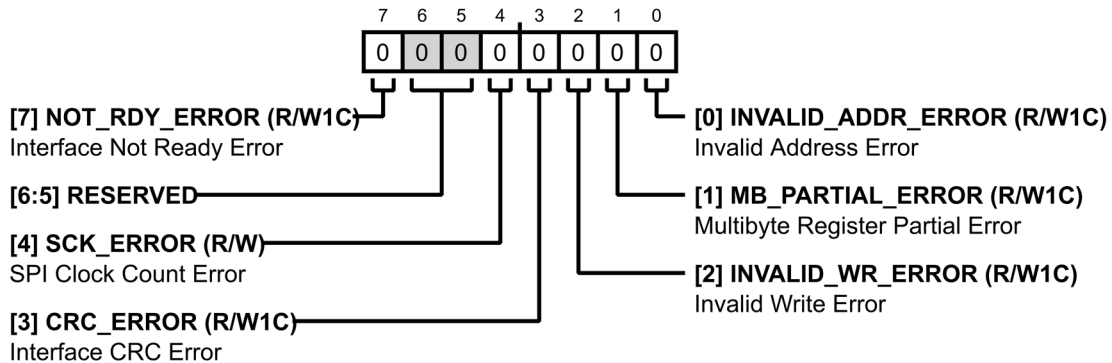


表 35. SPI_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_RDY_ERROR	インターフェース準備未完了によるエラー。このビットは、デバイスが応答する準備ができる前にデジタル・ホストがSPI トランザクションを開始した場合に1にセットされます。例えば、デバイス・リセットの完了前がこれに該当します。NOT_RDY_ERROR はスティッキー・ビットであり、1を書き込むことでのみクリアされます。	0x0	R/W1C
[6:5]	RESERVED	予約済み。	0x0	R
4	SCK_ERROR	SPI クロック・カウント・エラー。このビットは、SPI トランザクションで不正な数のシリアル・クロック・エッジが受信された場合に1にセットされます。例えば、データ・フェーズが8SCK 周期の整数倍で構成されていない場合が該当します。SCK_ERROR はスティッキー・ビットであり、1を書き込むことでのみクリアされます。	0x0	R/W
3	CRC_ERROR	インターフェース CRC エラー。このビットは、デバイスが無効な CRC チェックサム値をSDI で受信した場合に設定されます（設定モード時）。このエラー・ビットは、CRC がイネーブルされている場合にのみアクティブとなります。CRC_ERROR はスティッキー・ビットであり、1を書き込むことでのみクリアされます。	0x0	R/W1C
2	WRITE_INVALID	無効書き込みエラー。このビットは、読出し専用ビットのみを含むレジスタにデジタル・ホストが書き込みを行おうとした場合に1にセットされます。INVALID_WRITE_ERROR はスティッキー・ビットであり、1を書き込むことでのみクリアされます。	0x0	R/W1C
1	MB_ERROR	マルチバイト・レジスタ部分エラー。このビットは、デジタル・ホストが1つのSPI フレームでマルチバイト・レジスタの全バイトからの読出しまたは全バイトへの書き込みに失敗した場合に1にセットされます。例えば、STD_SEQ_CONFIG レジスタの下位バイトのみを読み出した場合が該当します。MB_PARTIAL_ERROR はスティッキー・ビットであり、1を書き込むことでのみクリアされます。	0x0	R/W1C
0	ADDR_INVALID	無効アドレス・エラー。このビットは、デジタル・ホストが未定義のレジスタ・アドレスからの読出し、またはそのアドレスへの書き込みを試みた場合に1にセットされます。INVALID_ADDR_ERROR はスティッキー・ビットであり、1を書き込むことでのみクリアされます。	0x0	R/W1C

レジスタの情報

デバイス・ステータス・レジスタ

アドレス : 0x0014、リセット : 0x20、レジスタ名 : DEVICE_STATUS

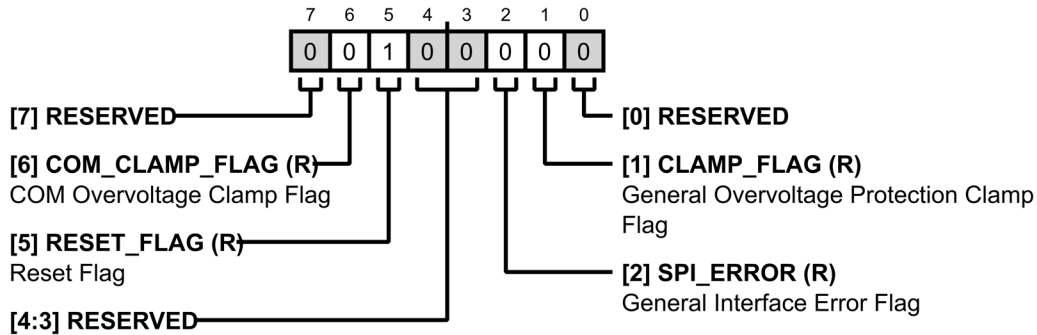
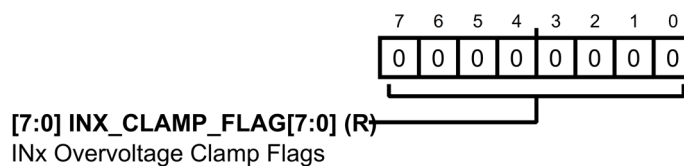


表 36. DEVICE_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
6	COM_CLAMP_FLAG	COM 過電圧クランプ・フラグ。COM 過電圧保護クランプが過電圧イベントによりアクティブになっているかどうかを示します。このビットはスティッキーではなく、COM 過電圧保護クランプが非アクティブになるとクリアされます。 0 : COM クランプが非アクティブ。 1 : COM クランプがアクティブ。	0x0	R
5	RESET_FLAG	リセット・フラグ。このビットを最後に読み出してからフル・デバイス・リセットが発生したかどうかを示します。RESET_FLAG は、読み出されると自動でクリアされます。 0 : リセットは発生していない。 1 : リセットが発生した。	0x1	R
[4:3]	RESERVED	予約済み。	0x0	R
2	SPI_ERROR	一般インターフェース・エラー・フラグ。SPI_STATUS レジスタのいずれかのエラー・フラグがアサートされているかどうかを示します。SPI_ERROR は、SPI_STATUS レジスタのすべてのビットの論理和です。 0 : インターフェース・エラーは検出されてない。 1 : 少なくとも 1 つのインターフェース・エラーが検出されている。	0x0	R
1	CLAMP_FLAG	一般過電圧保護クランプ・フラグ。過電圧イベントにより IN0~IN15 のいずれかで過電圧保護クランプがアクティブになったかどうかを示します。いずれかの INX_CLAMP_FLAG ビットがアサートされると CLAMP_FLAG がアサートされます。すべての INX_CLAMP_FLAG ビットがデアサートされている間 (すべてのクランプが非アクティブになっている間) に DEVICE_STATUS レジスタが読み出された場合にのみ、CLAMP_FLAG はデアサートされます。 0 : クランプは非アクティブ。IN0~IN15 のいずれのクランプもアクティブではありません。 1 : クランプがアクティブ。IN0~IN15 の少なくとも 1 つのクランプがアクティブになっています。	0x0	R
0	RESERVED	予約済み。	0x0	R

クランプ・ステータス (IN0~IN7) レジスタ

アドレス : 0x001A、リセット : 0x00、レジスタ名 : CLAMP_STATUS1



レジスタの情報

表 39. DEVICE_SETUP のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
2	MANUAL_MODE	手動モード・イネーブル・ビット。このビットを 1 にセットするとデバイスは手動モードになります。手動モードでは、SPI は ADC データにアクセスするためにのみ用いられ、レジスタの読出しや書込みはサポートしません。終了コマンドを送信すると、このビットが 0 にリセットされて手動モードが終了します。 0: 手動モードを無効化。 1: 手動モードを有効化。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

リファレンス・コントロール・レジスタ

アドレス: 0x0021、リセット: 0x10、レジスタ名: REF_CTRL

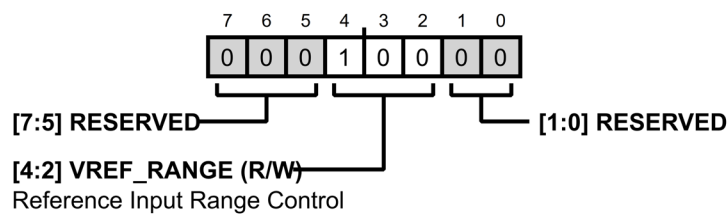


表 40. REF_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
[4:2]	VREF_SET	リファレンス入力範囲制御。このフィールドは、使用するリファレンス電圧と一致するように設定してください。 0x0: $2.4V \leq V_{REF} \leq 2.75V$ 。 0x1: $2.75V < V_{REF} \leq 3.25V$ 。 0x2: $3.25V < V_{REF} \leq 3.75V$ 。 0x3: $3.75V < V_{REF} \leq 4.50V$ 。 0x4: $4.5V < V_{REF} \leq 5.10V$ 。	0x4	R/W
1	RESERVED	予約済み。	0x0	R/W
0	REFBUF_EN	リファレンス・バッファ・イネーブル・ビット。内部リファレンス・バッファをイネーブルまたはディスエーブルします。このビットは WLCSP オプション時にのみ有効です。LFCSP オプションでこのビットを変更しても無効です。 0: 内部リファレンス・バッファをディスエーブル。 1: 内部リファレンス・バッファをイネーブル。(WLCSP のみ。)	0x0	R/W

シーケンサ・コントロール・レジスタ

アドレス: 0x0022、リセット: 0x80、レジスタ名: SEQ_CTRL

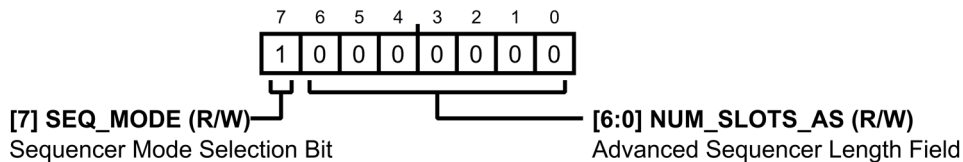


表 41. SEQ_CTRL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SEQ_MODE	シーケンサ・モードの選択ビット。標準シーケンサ・モードか詳細シーケンサ・モードかを選択します。 0: 詳細シーケンサ・モード。 1: 標準シーケンサ・モード。	0x1	R/W

レジスタの情報

標準シーケンサ設定レジスタ

アドレス : 0x0025、リセット : 0x0001、レジスタ名 : STD_SEQ_CONFIG

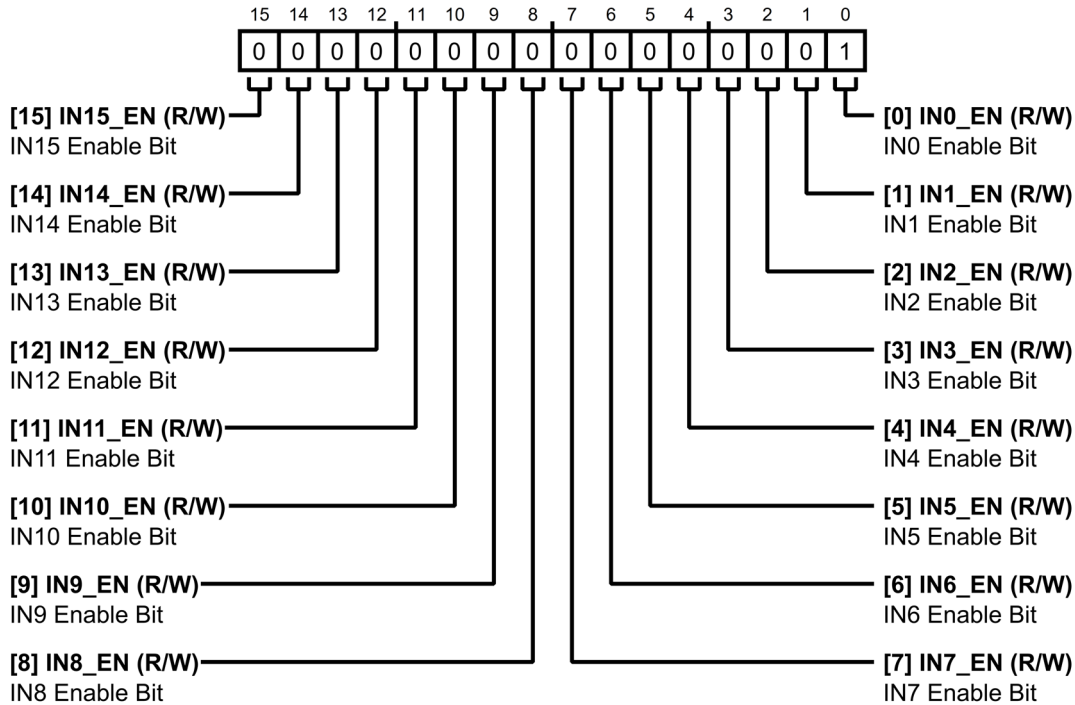


表 43. STD_SEQ_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
15	IN15_EN	IN15 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN15 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
14	IN14_EN	IN14 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN14 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
13	IN13_EN	IN13 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN13 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
12	IN12_EN	IN12 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN12 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
11	IN11_EN	IN11 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN11 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
10	IN10_EN	IN10 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN10 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
9	IN9_EN	IN9 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN9 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
8	IN8_EN	IN8 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN8 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
7	IN7_EN	IN7 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN7 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
6	IN6_EN	IN6 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN6 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
5	IN5_EN	IN5 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN5 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W

レジスタの情報

表 43. STD_SEQ_CONFIG のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
4	IN4_EN	IN4 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN4 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
3	IN3_EN	IN3 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN3 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
2	IN2_EN	IN2 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN2 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
1	IN1_EN	IN1 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN1 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x0	R/W
0	IN0_EN	IN0 標準シーケンサ・イネーブル・ビット。このビットが1に設定されていると、標準シーケンサがイネーブルの場合に IN0 がチャンネル・シーケンスに含まれます (標準シーケンサ・モードのセクションを参照)。	0x1	R/W

アナログ入力設定レジスタ

アドレス : 0x0030~0x003F (0x0001 インクリメント)、リセット : 0x08、レジスタ名 : CONFIG_INn

各チャンネルには、それに対応した CONFIG_IN0 (アドレス 0x0030) ~CONFIG_IN15 (アドレス 0x003F) のチャンネル設定レジスタがあります。

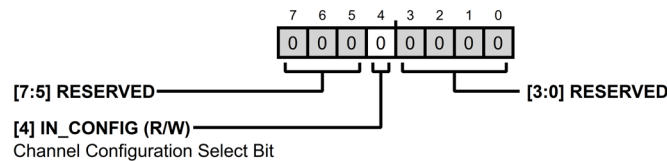


表 44. CONFIG_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R/W
4	IN_N_MODE	チャンネル設定選択ビット。シングルエンド動作か擬似差動動作かを選択します。標準シーケンサ・モードが選択されている場合は、CHANNEL_CONFIG0 の IN_N_MODE 設定が全チャンネルに適用されます。詳細シーケンサ・モードが選択されている場合は、各 CHANNEL_CONFIGn レジスタの IN_N_MODE 設定が INn チャンネルごとに個別に適用されます。 0x0 : シングルエンド・モード。REFGND を基準として INn を変換します。 0x1 : 擬似差動モード。COM を基準として INn を変換します。	0x0	R/W
[3:0]	RESERVED	予約済み。	0x0	R/W

詳細シーケンサ・スロット・レジスタ

アドレス : 0x0100~アドレス 0x017F (0x0001 のインクリメント)、リセット : 0x00、レジスタ名 : AS_SLOTn

各詳細シーケンサ・スロットには、それに対応した AS_SLOT0 (アドレス 0x0100) ~AS_SLOT127 (アドレス 0x017F) のシーケンサ・スロット・レジスタがあります。

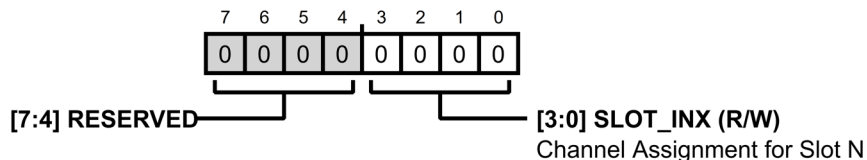


表 45. AS_SLOTn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R

レジスタの情報

表 45. AS_SLOTn のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[3:0]	SLOT_INX	スロット N へのチャンネル割当て。どのチャンネル (IN0~IN15) をスロット n に割り当てるかを選択します (詳細シーケンサ・モードのセクションを参照)。 0x0 : IN0。 0x1 : IN1。 0x2 : IN2。 0x3 : IN3。 0x4 : IN4。 0x5 : IN5。 0x6 : IN6。 0x7 : IN7。 0x8 : IN8。 0x9 : IN9。 0xA : IN10。 0xB : IN11。 0xC : IN12。 0xD : IN13。 0xE : IN14。 0xF : IN15。	0x0	R/W

内部発振器イネーブル・レジスタ

アドレス : 0x0180、リセット : 0x00、レジスタ名 : OSC_EN_REG

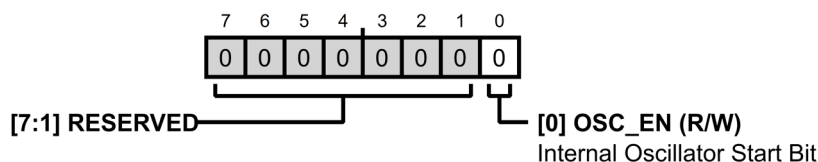


表 46. OSC_EN_REG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	OSC_EN	内部発振器始動ビット。SPI バースト・モードおよび自律モード時に内部バースト・タイマーをイネーブル/ディスエーブルします。SPI バースト・モード時には、OSC_EN に 1 を書き込むことによりバースト・サンプリングが開始され、ユーザにより定義された停止状態において OSC_EN は 0 に自動クリアします。自律モード時には、OSC_EN に 1 を書き込むことにより自律サンプリングが開始され、OSC_EN に手動で 0 が書き込まれるまで続きます。 0 : 内部発振器をディスエーブル。 1 : 内部発振器をイネーブル。	0x0	R/W

レジスタの情報

状態リセット・レジスタ

アドレス : 0x0181、リセット : 0x01、レジスタ名 : STATE_RESET_REG

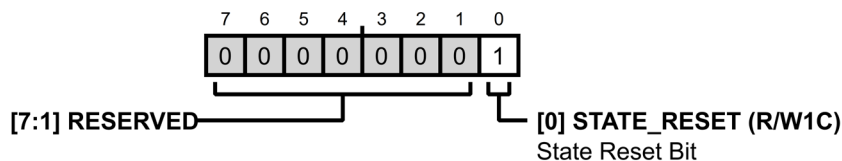


表 47. STATE_RESET_REG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R/W
0	STATE_RESET	状態リセット・ビット。チャンネル・シーケンサおよびアキュムレータの状態をリセットします。このビットは1を書き込むとクリアされます。適切なデバイス動作を確保するために、チャンネル・シーケンサおよび平均化フィルタに関する設定レジスタを更新した後は、このビットを設定することが必須です。	0x0	R/W

ADC セットアップ・レジスタ

アドレス : 0x0182、リセット : 0x00、レジスタ名 : ADC_SETUP

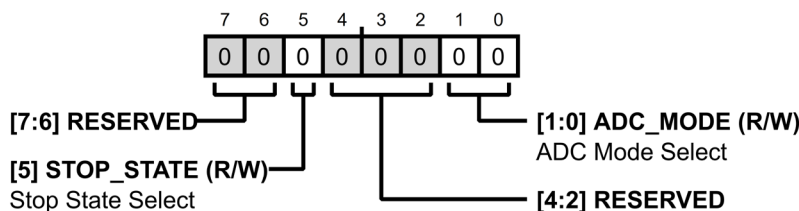


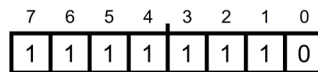
表 48. ADC_SETUP のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	STOP_STATE	停止状態の選択。CNV バースト・モードまたは SPI バースト・モードを選択している場合に用いる停止状態を選択します。 0 : $\overline{\text{EOS}}$ が停止状態をトリガします。 1 : $\overline{\text{DRDY}}$ が停止状態をトリガします。	0x0	R/W
[4:2]	RESERVED	予約済み。	0x0	R
[1:0]	ADC_MODE	ADC モードの選択。 0x0 : CNV クロック・モード。 0x1 : CNV バースト・モード。 0x2 : 自律モード。 0x3 : SPI バースト・モード。	0x0	R

レジスタの情報

アキュムレータ・マスク・レジスタ (IN0~IN7)

アドレス : 0x0184、リセット : 0xFE、レジスタ名 : ACC_MASK_1



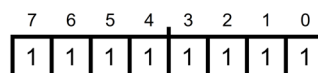
[7:0] ACC_MASK_IN[7:0] (R/W)
Accumulator Mask Bits

表 49. ACC_MASK_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_MASK_IN[7:0]	アキュムレータ・マスク・ビット。各チャンネル・アキュムレータからのデータ・レディ信号をマスクする（ディスエーブルする）かマスク解除する（イネーブルする）かを選択します。ACC_MASK_IN[15:0]の各ビットは1つのチャンネルに対応します。例えば、ACC_MASK_IN0はIN0アキュムレータのマスク操作を制御します。	0xFE	R/W

アキュムレータ・マスク・レジスタ (IN8~IN15)

アドレス : 0x0185、リセット : 0xFF、レジスタ名 : ACC_MASK_2



[7:0] ACC_MASK_IN[15:8] (R/W)
Accumulator Mask Bits

表 50. ACC_MASK_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_MASK_IN [15:8]	アキュムレータ・マスク・ビット。各チャンネル・アキュムレータからのデータ・レディ信号をマスクする（ディスエーブルする）かマスク解除する（イネーブルする）かを選択します。ACC_MASK_IN[15:0]の各ビットは1つのチャンネルに対応します。例えば、ACC_MASK_IN0はIN0アキュムレータのマスク操作を制御します。	0xFF	R/W

アキュムレータ深度レジスタ

アドレス : 0x0186~アドレス 0x0195 (0x0001 のインクリメント)、リセット : 0x3F、レジスタ名 : ACC_DEPTH_INn

各チャンネルには、それに対応した ACC_DEPTH_IN0 (アドレス 0x0186) ~ACC_DEPTH_IN15 (アドレス 0x0195) のアキュムレータ深度レジスタがあります。

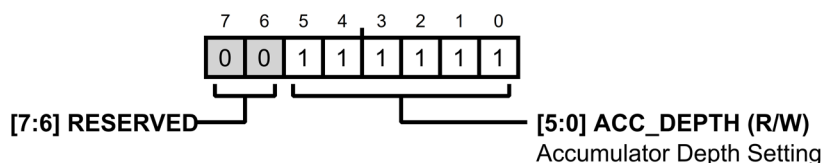


表 51. ACC_DEPTH_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	ACC_DEPTH	アキュムレータ深度設定。対応するチャンネルの平均化フィルタに対するアキュムレータ満杯状態を設定します。アキュムレータ満杯状態は、現在の出力を計算するために用いるサンプル数 (ACC_COUNT) が ACC_DEPTH + 1 に等しい場合に発生します。例えば、ACC_DEPTH = 0x0F に設定すると、対応するチャンネルから 16 サンプルを受け取るとアキュムレータは満杯になります。深度は、アキュムレータごとに 1 サンプル~64 サンプルの範囲で設定できます。	0x3F	R/W

レジスタの情報

GP0 および GP1 のコントロール・レジスタ

アドレス : 0x0196、リセット : 0x00、レジスタ名 : GP0_GP1_MODE

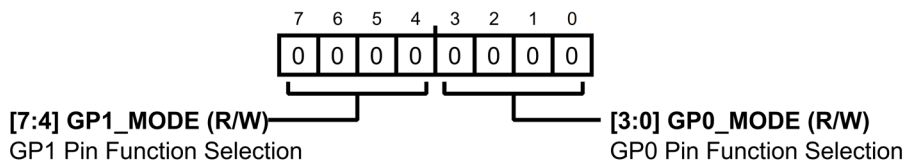
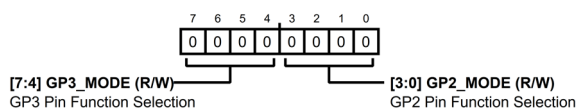


表 52. GP0_GP1_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GP1_MODE	GP1 ピンの機能選択。 0x0 : 無効/高インピーダンス (デフォルト)。 0x1 : 静的ロジック・ロー。 0x2 : 静的ロジック・ハイ。 0x3 : ロジック入力。 0x4 : ADC_BUSY 信号。 0x5 : \overline{EOS} 信号。 0x6 : アキュムレータ・データ・レディ信号。 0x7 : アキュムレータ・オーバーフロー・エラー信号。 0x8 : アキュムレータ飽和エラー信号。 0x9~0xF : 無効。	0x0	R/W
[3:0]	GP0_MODE	GP0 ピンの機能選択。 0x0 : 無効/高インピーダンス (デフォルト)。 0x1 : 静的ロジック・ロー。 0x2 : 静的ロジック・ハイ。 0x3 : ロジック入力。 0x4 : ADC_BUSY 信号。 0x5 : \overline{EOS} 信号。 0x6 : アキュムレータ・データ・レディ信号。 0x7 : アキュムレータ・オーバーフロー・エラー信号。 0x8 : アキュムレータ飽和エラー信号。 0x9~0xF : 無効。	0x0	R/W

GP2 および GP3 のコントロール・レジスタ

アドレス : 0x0197、リセット : 0x00、レジスタ名 : GP2_GP3_MODE



レジスタの情報

表 53. GP2_GP3_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GP3_MODE	GP3 ピンの機能選択。 0x0 : 無効/高インピーダンス (デフォルト)。 0x1 : 静的ロジック・ロー。 0x2 : 静的ロジック・ハイ。 0x3 : ロジック入力。 0x4 : ADC_BUSY 信号。 0x5 : EOS 信号。 0x6 : アキュムレータ・データ・レディ信号。 0x7 : アキュムレータ・オーバーフロー・エラー信号。 0x8 : アキュムレータ飽和エラー信号。 0x9~0xF : 無効。	0x0	R/W
[3:0]	GP2_MODE	GP2 ピンの機能選択。 0x0 : 無効/高インピーダンス (デフォルト)。 0x1 : 静的ロジック・ロー。 0x2 : 静的ロジック・ハイ。 0x3 : ロジック入力。 0x4 : ADC_BUSY 信号。 0x5 : EOS 信号。 0x6 : アキュムレータ・データ・レディ信号。 0x7 : アキュムレータ・オーバーフロー・エラー信号。 0x8 : アキュムレータ飽和エラー信号。 0x9~0xF : 無効。	0x0	R/W

GPIO のロジック入力状態レジスタ

アドレス : 0x01A0、リセット : 0x00、レジスタ名 : GPIO_READ

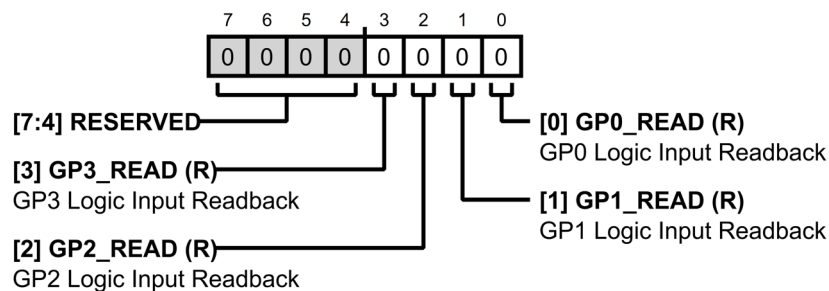


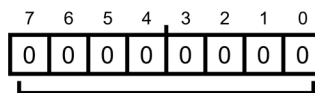
表 54. GPIO_READ のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	GP3_READ	GP3 ロジック入力リードバック。GP3 の現在のロジック入力信号の状態を示します。GP3_READ は、GP3_MODE の設定により GP3 がロジック入力に設定されている場合にのみ有効です。	0x0	R
2	GP2_READ	GP2 ロジック入力リードバック。GP2 の現在のロジック入力信号の状態を示します。GP2_READ は、GP2_MODE の設定により GP2 がロジック入力に設定されている場合にのみ有効です。	0x0	R
1	GP1_READ	GP1 ロジック入力リードバック。GP1 の現在のロジック入力信号の状態を示します。GP1_READ は、GP1_MODE の設定により GP1 がロジック入力に設定されている場合にのみ有効です。	0x0	R
0	GP0_READ	GP0 ロジック入力リードバック。GP0 の現在のロジック入力信号の状態を示します。GP0_READ は、GP0_MODE の設定により GP0 がロジック入力に設定されている場合にのみ有効です。	0x0	R

レジスタの情報

アキュムレータ満杯ステータス・レジスタ (IN0~IN7)

アドレス : 0x01B0、リセット : 0x00、レジスタ名 : ACC_STS_FULL_1



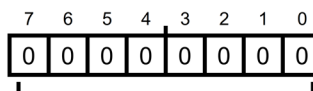
[7:0] ACC_FULL_IN[7:0] (R)
Accumulator Full Status Bits

表 55. ACC_STS_FULL_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_FULL_IN[7:0]	アキュムレータ満杯ステータス・ビット。アキュムレータごとに満杯ステータスを示します。満杯状態になるのは、アキュムレータのサンプル数がユーザ設定のアキュムレータ深度 (ACC_DEPTH + 1) に等しくなった場合です。ACC_FULL_IN[15:0]ビットのリードバック値は、対応するチャンネルのアキュムレータが満杯でない場合は0、満杯の場合は1です。	0x0	R

アキュムレータ満杯ステータス・レジスタ (IN8~IN15)

アドレス : 0x01B1、リセット : 0x00、レジスタ名 : ACC_STS_FULL_2



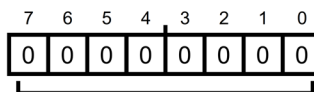
[7:0] ACC_FULL_IN[15:8] (R)
Accumulator Full Status Bits

表 56. ACC_STS_FULL_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_FULL_IN[15:8]	アキュムレータ満杯ステータス・ビット。アキュムレータごとに満杯ステータスを示します。満杯状態になるのは、アキュムレータのサンプル数がユーザ設定のアキュムレータ深度 (ACC_DEPTH + 1) に等しくなった場合です。ACC_FULL_IN[15:0]ビットのリードバック値は、対応するチャンネルのアキュムレータが満杯でない場合は0、満杯の場合は1です。	0x0	R

アキュムレータ・オーバーラン・ステータス・レジスタ (IN0~IN7)

アドレス : 0x01B2、リセット : 0x00、レジスタ名 : ACC_STS_OVR_1



[7:0] ACC_OVR_IN[7:0] (R)
Accumulator Overrun Status Bits

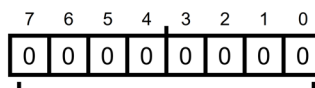
レジスタの情報

表 57. ACC_STS_OVR_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_OVR_IN[7:0]	アキュムレータ・オーバーラン・ステータス・ビット。アキュムレータごとにオーバーラン・ステータスを示します。オーバーランが生じるのは、アキュムレータが既に満杯状態のときに ADC コアが新しいサンプルをアキュムレータに書き込もうとした場合です。その場合、そのサンプルは無視されます。ACC_OVR_IN[15:0]ビットでは、最後の状態リセット以降に、対応するチャンネルのアキュムレータでオーバーラン・イベントが発生した場合に 0 または 1 がリードバックされます。	0x0	R

アキュムレータ・オーバーラン・ステータス・レジスタ (IN8~IN15)

アドレス : 0x01B3、リセット : 0x00、レジスタ名 : ACC_STS_OVR_2



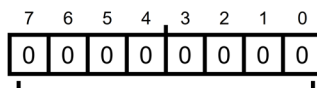
[7:0] ACC_OVR_IN[15:8] (R)
Accumulator Overrun Status Bits

表 58. ACC_STS_OVR_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_OVR_IN[15:8]	アキュムレータ・オーバーラン・ステータス・ビット。アキュムレータごとにオーバーラン・ステータスを示します。オーバーランが生じるのは、アキュムレータが既に満杯状態のときに ADC コアが新しいサンプルをアキュムレータに書き込もうとした場合です。その場合、そのサンプルは無視されます。ACC_OVR_IN[15:0]ビットでは、最後の状態リセット以降に、対応するチャンネルのアキュムレータでオーバーラン・イベントが発生した場合に 0 または 1 がリードバックされます。	0x0	R

アキュムレータ飽和ステータス・レジスタ (IN0~IN7)

アドレス : 0x01B4、リセット : 0x00、レジスタ名 : ACC_STS_SAT_1



[7:0] ACC_SAT_IN[7:0] (R)
Accumulator Saturation Status Bits

表 59. ACC_STS_SAT_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_SAT_IN[7:0]	アキュムレータ飽和ステータス・ビット。各アキュムレータで飽和エラーが発生したかどうかを示します。飽和エラーが発生するのは、アキュムレータに入力されたいずれかのサンプルが負のフル・スケールまたは正のフル・スケールになった場合です。これは累計の間に ADC の飽和が生じている可能性を示しています。ACC_SAT_IN[15:0]ビットでは、最後の状態リセット以降に飽和エラーが発生した場合に 1 がリードバックされます。	0x0	R

レジスタの情報

アキュムレータ飽和ステータス・レジスタ (IN8~IN15)

アドレス : 0x01B5、リセット : 0x00、レジスタ名 : ACC_STS_SAT_2

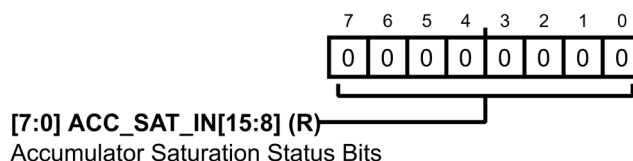


表 60. ACC_STS_SAT_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ACC_SAT_IN[15:8]	アキュムレータ飽和ステータス・ビット。各アキュムレータで飽和エラーが発生したかどうかを示します。飽和エラーが発生するのは、アキュムレータに入力されたいずれかのサンプルが負のフル・スケールまたは正のフル・スケールになった場合です。これは累計の間に ADC の飽和が生じている可能性を示しています。ACC_SAT_IN[15:0]ビットでは、最後の状態リセット以降に飽和エラーが発生した場合に 1 がリードバックされます。	0x0	R

アキュムレータの全般的ステータス・レジスタ

アドレス : 0x01C0~0x01CF (0x0001 のインクリメント)、リセット : 0x00、レジスタ名 : ACC_STATUS_INn

各チャンネルには、それに対応した ACC_STATUS_IN0 (アドレス 0x01C0) ~ACC_STATUS_IN15 (アドレス 0x01CF) のアキュムレータ・ステータス・レジスタがあります。

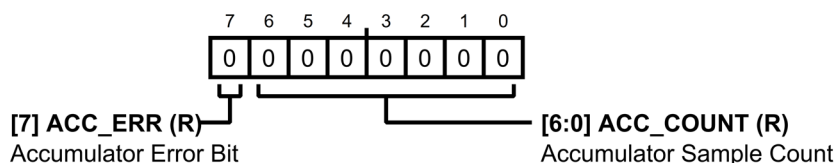


表 61. ACC_STATUS_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ACC_ERR	アキュムレータ・エラー・ビット。対応するチャンネルのアキュムレータにオーバーラン・エラーまたは飽和エラーが生じている場合に、それを通知します。各チャンネル n の ACC_ERR ビットは、ACC_STS_SAT[n] ビットと ACC_STS_OVR[n] ビットの論理和になります。	0x0	R
[6:0]	ACC_COUNT	アキュムレータのサンプル・カウント。対応するアキュムレータの現在の出力を計算するために用いるサンプルの数を示します。ACC_COUNT は、ADC コアがその対応するアナログ入力チャンネルから新しいサンプルを生成するたびにインクリメントし、ACC_COUNT がユーザー設定による深度設定値に到達し、満杯状態 (ACC_COUNT = ACC_DEPTH - 1) になるまで続きます。	0x00	R

レジスタの情報

平均化フィルタ・データ・レジスタ

アドレス：0x0201～アドレス 0x021F (0x0002 のインクリメント)、リセット：0x0000、レジスタ名：AVG_INn

各チャンネルには、それに対応した AVG_IN0 (アドレス 0x0201) ～AVG_IN15 (アドレス 0x021F) の 16 ビットの平均化データ・レジスタがあります。

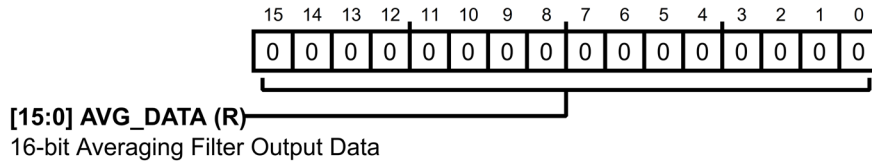


表 62. AVG_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	AVG_DATA	16 ビットの平均化フィルタ出力データ。現在の平均化フィルタの出力データを返します。	0x0000	R

平均化フィルタ・データおよびステータス・レジスタ

アドレス：0x0222～アドレス 0x024F (0x0003 のインクリメント)、リセット：0x000000、レジスタ名：AVG_STS_INn

各チャンネルには、それに対応した AVG_STS_IN0 (アドレス 0x0222) ～AVG_STS_IN15 (アドレス 0x024F) の 16 ビットの平均化データおよびステータス・レジスタがあります。

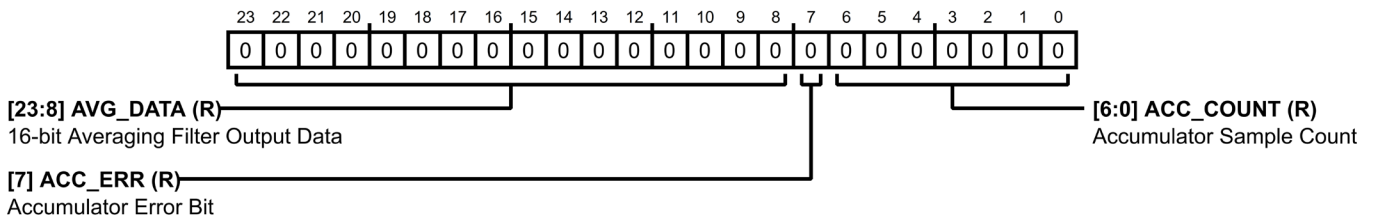


表 63. AVG_STS_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:8]	AVG_DATA	16 ビットの平均化フィルタ出力データ。現在の平均化フィルタの出力データを返します。	0x0000	R
[7]	ACC_ERR	アキュムレータ・エラー・ビット。対応するチャンネルのアキュムレータにオーバーラン・エラーまたは飽和エラーが生じている場合に、それを通知します。各チャンネル n の ACC_ERR ビットは、ACC_STS_SAT[n] ビットと ACC_STS_OVR[n] ビットの論理和になります。	0x0	R
[6:0]	ACC_COUNT	アキュムレータのサンプル・カウント。対応するアキュムレータの現在の出力を計算するために用いるサンプルの数を示します。ACC_COUNT は、ADC コアがその対応するアナログ入力チャンネルから新しいサンプルを生成するたびにインクリメントし、ACC_COUNT がユーザ設定による深度設定値に到達し、満杯状態 (ACC_COUNT = ACC_DEPTH - 1) になるまで続きます。	0x00	R

レジスタの情報

アキュムレータ・データ・レジスタ

アドレス：0x0252～アドレス 0x027F (0x0003 のインクリメント)、リセット：0x000000、レジスタ名：ACC_INn

各チャンネルには、それに対応した ACC_IN0 (アドレス 0x0252) ～ACC_IN15 (アドレス 0x027F) の 24 ビットのアキュムレータ・データ・レジスタがあります。

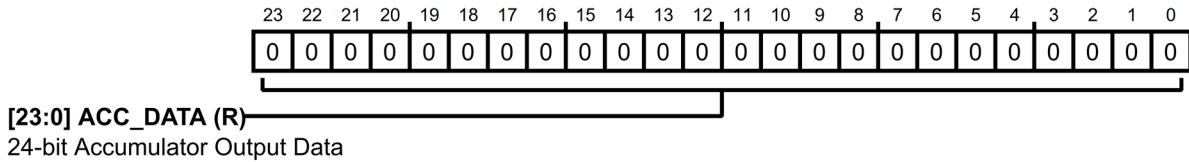


表 64. ACC_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[23:0]	ACC_DATA	24 ビットのアキュムレータ出力データ。現在のアキュムレータの出力データを返します。	0x000000	R

アキュムレータ・データおよびステータス・レジスタ

アドレス：0x0283～アドレス 0x02BF (0x0004 のインクリメント)、リセット：0x00000000、レジスタ名：ACC_STS_INn

各チャンネルには、それに対応した ACC_STS_IN0 (アドレス 0x0283) ～ACC_STS_IN15 (アドレス 0x02BF) の 32 ビットのアキュムレータ・データ・レジスタがあります。

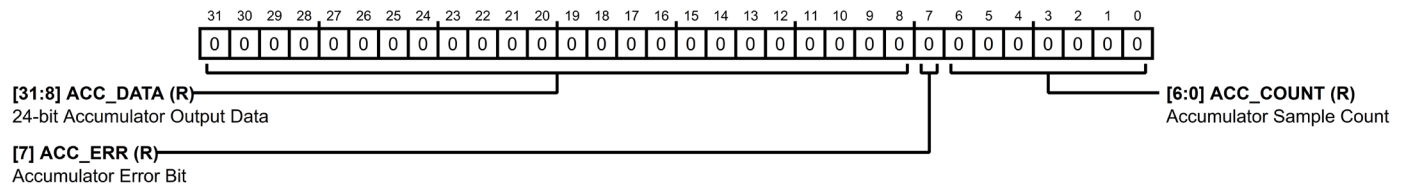
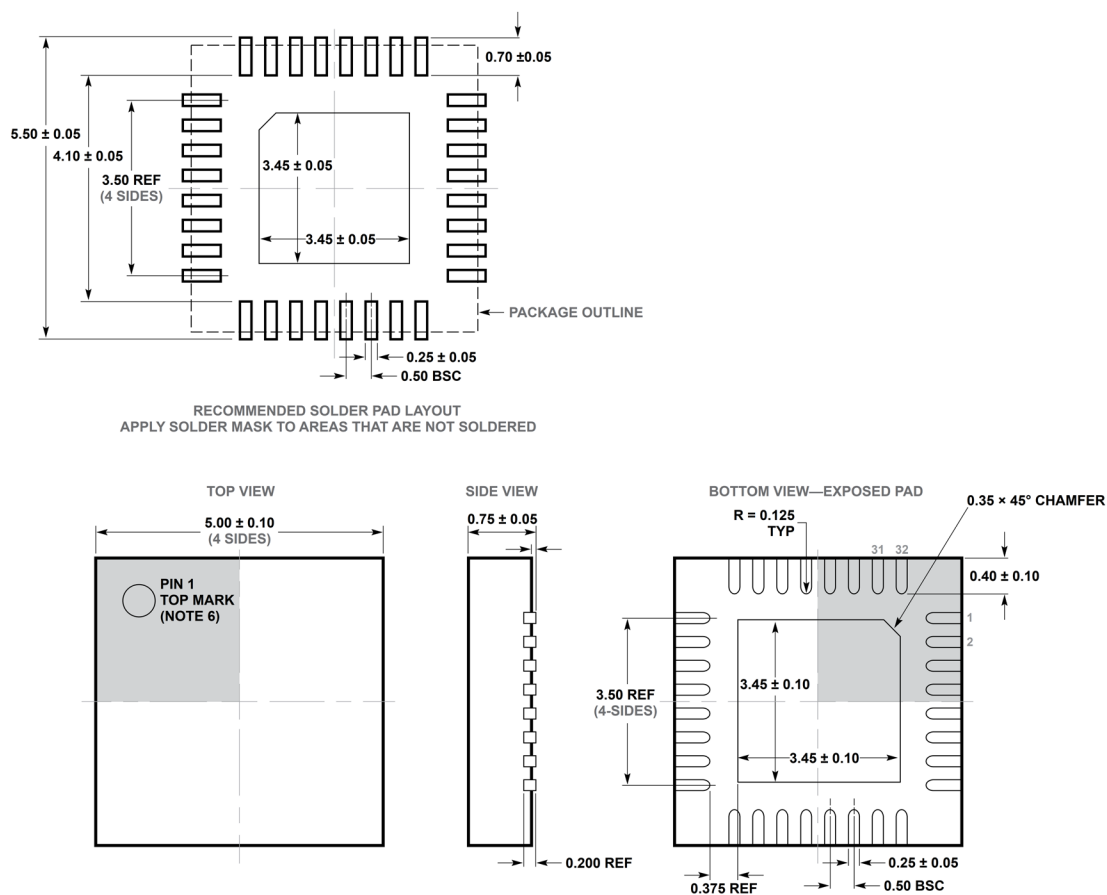


表 65. ACC_STS_INn のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:8]	ACC_DATA	24 ビットのアキュムレータ出力データ。現在のアキュムレータの出力データを返します。	0x000000	R
[7]	ACC_ERR	アキュムレータ・エラー・ビット。対応するチャンネルのアキュムレータにオーバーラン・エラーまたは飽和エラーが生じている場合に、それを通知します。各チャンネル n の ACC_ERR ビットは、ACC_STS_SAT[n] ビットと ACC_STS_OVR[n] ビットの論理和になります。	0x0	R
[6:0]	ACC_COUNT	アキュムレータのサンプル・カウント。対応するアキュムレータの現在の出力を計算するために用いるサンプルの数を示します。ACC_COUNT は、ADC コアがその対応するアナログ入力チャンネルから新しいサンプルを生成するたびにインクリメントし、ACC_COUNT がユーザ設定による深度設定値に到達し、満杯状態 (ACC_COUNT = ACC_DEPTH - 1) になるまで続きます。	0x00	R

外形寸法



- NOTE:
1. DRAWING PROPOSED TO BE A JEDEC PACKAGE OUTLINE M0-220 VARIATION
 2. DRAWING NOT TO SCALE
 3. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE
 4. EXPOSED PAD SHALL BE SOLDER PLATED
 5. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

図 102. 32 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
5mm × 5mm ボディ、0.75mm パッケージ高
(CP-32-39)
寸法：mm

外形寸法

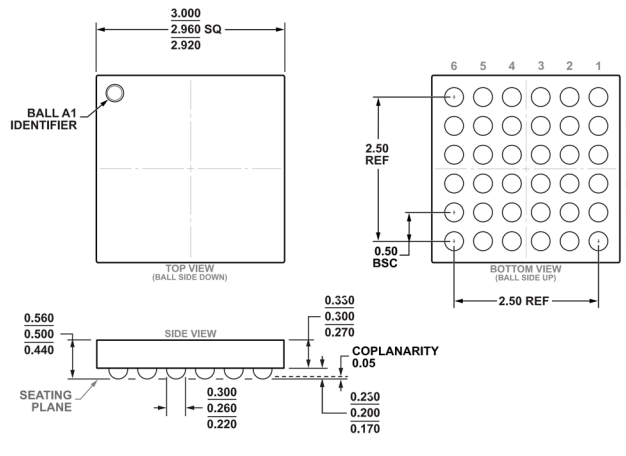


図 103. 36 ボール・ウェハ・レベル・チップ・スケール・パッケージ (WLCSP) (CB-36-5)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4691BCBZ-RL7	-40°C to +125°C	36-Ball WLCSP (2.96mm × 2.96mm × 0.50mm)	Reel, 1500	CB-36-5
AD4691BCPZ	-40°C to +125°C	32-Lead LFCSP (5mm × 5mm w/ EP)	Tray, 490	CP-32-39
AD4691BCPZ-RL7	-40°C to +125°C	32-Lead LFCSP (5mm × 5mm w/ EP)	Reel, 1500	CP-32-39
AD4692BCBZ-RL7	-40°C to +125°C	36-Ball WLCSP (2.96mm × 2.96mm × 0.50mm)	Reel, 1500	CB-36-5
AD4692BCPZ	-40°C to +125°C	32-Lead LFCSP (5mm × 5mm w/ EP)	Tray, 490	CP-32-39
AD4692BCPZ-RL7	-40°C to +125°C	32-Lead LFCSP (5mm × 5mm w/ EP)	Reel, 1500	CP-32-39

¹ Z = RoHS 準拠製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。

