

### 24 ビット、62.5kSPS、マルチチャンネル、 低ノイズ高精度シグマデルタ ADC

#### 特長

- ▶ 入力換算ノイズ：10nV (3.8SPS、ゲイン = 128 での値)
- ▶ クロスポイント・マルチプレクサ・アナログ入力
- ▶ 4 個の差動入力/8 個の疑似差動入力
- ▶ 超低ノイズの内蔵 PGA、ゲイン：0.5~128
- ▶ 出力データレート：3.8SPS~62.5kSPS
- ▶ 柔軟なデジタル・フィルタ
  - ▶ 低レイテンシ sinc フィルタ
  - ▶ 50Hz/60Hz を同時に除去
- ▶ ドリフト 5ppm/°C (代表値) のバンド・ギャップ・リファレンス
- ▶ 内部発振器
- ▶ アナログ電源：4.75V~5.25V または ±2.5V
- ▶ デジタル電源：1.7V~5.25V
- ▶ マッチングされたプログラマブル励起電流源
- ▶ ローサイド・パワー・スイッチ
- ▶ 内蔵バイアス電圧発生器
- ▶ 内部温度センサー
- ▶ 4 つの汎用入出力
- ▶ 内部キャリブレーションとシステム・キャリブレーション

- ▶ センサー・バーンアウト検出
- ▶ 診断機能
- ▶ チャンネルごとの設定
- ▶ 柔軟な自動チャンネル・シーケンサ
- ▶ 3 線式または 4 線式のシリアル・インターフェース (シュミット・トリガ付き SCLK)
- ▶ SPI、QSPI、MICROWIRE、DSP に対応
- ▶ データ・ストリーミング用の TDM 対応インターフェース
- ▶ 性能温度範囲：-40°C~+105°C
- ▶ 動作温度範囲：-40°C~125°C
- ▶ 32 ピン、4mm × 6mm LFCSP パッケージを採用

#### アプリケーション

- ▶ 工業用プロセス制御 PLC/DCS モジュール
- ▶ 温度計測
- ▶ 圧力計測
- ▶ 医療用および科学用計測機器
- ▶ クロマトグラフィ
- ▶ 環境モニタリング
- ▶ 電子テストおよび計測
- ▶ 計測器
- ▶ 重量計

#### 機能ブロック図

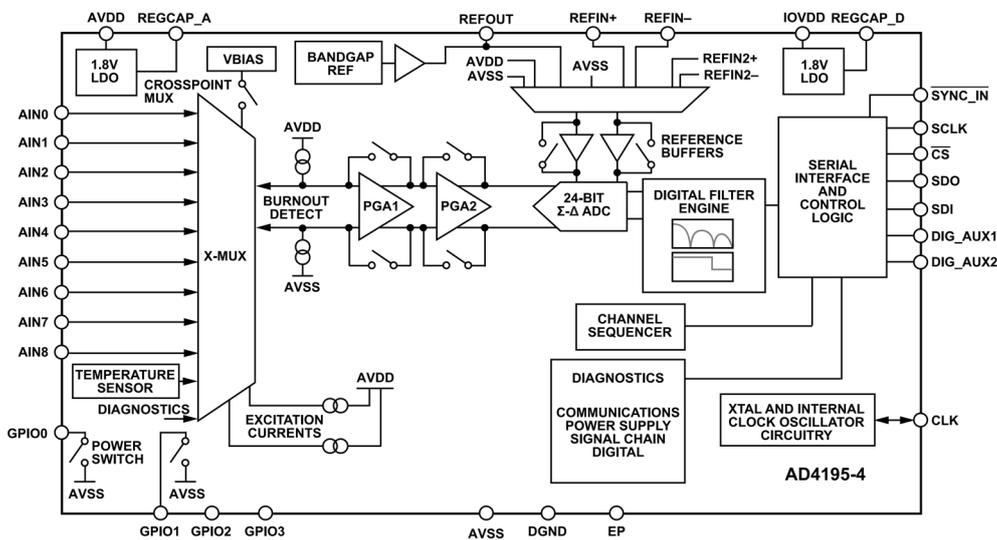


図 1. AD4195-4 の機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイゼスは、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイゼスの特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長	1	連続読出し	52
アプリケーション	1	連続送信	53
機能ブロック図	1	SPI フレーム同期	53
概要	4	デバイスの識別	55
仕様	5	デバイスのリセット	55
タイミング特性	10	IO の駆動強度	55
タイミング図	11	SDO_RDYB_DLY	55
絶対最大定格	13	ADC の同期	56
熱抵抗	13	標準同期	56
静電放電 (ESD) 定格	13	代替同期	56
ESD に関する注意	13	複数の AD4195-4 デバイスの同期	57
ピン配置およびピン機能の説明	14	診断機能	58
代表的な性能特性	17	デバイス・エラー	58
実効値およびノイズ性能	26	リファレンス検出	58
sinc <sup>5</sup> + 平均化	26	リファレンス過電圧/低電圧の検出	58
sinc <sup>5</sup>	27	変換エラー	58
sinc <sup>3</sup>	27	アナログ入力過電圧/低電圧検出	58
ポスト・フィルタ	28	励起電流コンプライアンス	58
動作原理	30	電源モニタ	58
概要	30	LDO モニタリング	58
電源	31	SPI SCLK カウンタ	59
デジタル・コミュニケーション	32	SPI 読出し/書き込みエラー	59
設定の概要	32	ノット・レディ・エラー	59
ADC 回路情報	39	チェックサム保護	59
アナログ入力チャンネル	39	メモリ・マップ・チェックサム保護	61
外部マルチプレクサの制御	39	バーンアウト電流	61
プログラマブル・ゲイン・アンプ (PGA)	39	プルアップ電流	62
リファレンス	39	温度センサー	62
バイポーラ/ユニポーラ設定	40	グラウンディングとレイアウト	63
データ出力コーディング	40	アプリケーション情報	64
励起電流	41	重量計	64
ブリッジ・パワーダウン・スイッチ	41	RTD を使用した温度計測	65
汎用入出力 (GPIO0~GPIO3)	41	内蔵レジスタ・マップ	67
バイアス電圧発生器	42	INTERFACE_CONFIG_A レジスタ	70
マルチプレクサ・チョッピング	42	INTERFACE_CONFIG_B レジスタ	70
クロック	42	DEVICE_CONFIG レジスタ	70
スタンバイ・モードとパワーダウン・モード	42	CHIP_TYPE レジスタ	71
キャリブレーション	43	PRODUCT_ID_L レジスタ	71
スパンとオフセットの限界値	43	PRODUCT_ID_H レジスタ	71
デジタル・フィルタ	45	CHIP_GRADE レジスタ	72
sinc <sup>5</sup> + 平均化フィルタ	45	SCRATCH_PAD レジスタ	72
sinc <sup>5</sup> フィルタ	47	SPI_REVISION レジスタ	72
sinc <sup>3</sup> フィルタ	48	VENDOR_L レジスタ	72
ポスト・フィルタ	49	VENDOR_H レジスタ	73
アンチエイリアシング・フィルタ	51	INTERFACE_CONFIG_C レジスタ	73
デジタル・インターフェース	52	INTERFACE_STATUS_A レジスタ	73
ADC の変換モードと変換結果へのアクセス方法	52	STATUS レジスタ	74

DATA_16B レジスタ .....	74	AFE レジスタ .....	87
DATA_16B_STATUS レジスタ .....	75	FILTER レジスタ .....	88
DATA_24B レジスタ .....	75	FILTER_FS レジスタ .....	88
DATA_24B_STATUS レジスタ .....	75	オフセット・レジスタ .....	89
DATA_PER_CHANNEL レジスタ .....	76	ゲイン・レジスタ .....	89
PIN_MUXING レジスタ .....	76	REF_CONTROL レジスタ .....	89
CLOCK_CTRL レジスタ .....	77	V_BIAS レジスタ .....	90
STANDBY_CTRL レジスタ .....	78	I_PULLUP レジスタ .....	90
POWER_DOWN_SW レジスタ .....	78	CURRENT_SOURCE レジスタ .....	91
ADC_CTRL レジスタ .....	79	GPIO_MODE レジスタ .....	92
ERROR_EN レジスタ .....	81	GPIO_OUTPUT_DATA レジスタ .....	93
ERROR レジスタ .....	82	GPIO_INPUT_DATA レジスタ .....	93
CHANNEL_EN レジスタ .....	83	外形寸法 .....	94
CHANNEL_SETUP レジスタ .....	83	オーダー・ガイド .....	94
CHANNEL_MAP レジスタ .....	84	評価用ボード .....	94
MISCELLANEOUS (MISC) レジスタ .....	86		

## 改訂履歴

1/2025—Revision 0: Initial Version

## 概要

AD4195-4 は、高精度計測アプリケーションに適した、低ノイズの全機能内蔵型アナログ・フロント・エンドです。このデバイスは、低ノイズの 24 ビット  $\Sigma$ - $\Delta$  型 A/D コンバータ (ADC) を内蔵しており、4 個の差動入力または 8 個のシングルエンド入力/疑似差動入力を使用するように構成できます。内蔵の低ノイズ・ゲイン段により、小さな振幅の信号を直接 ADC に入力できます。

AD4195-4 は最高レベルのシグナル・チェーン集積化を実現します。このデバイスは内部リファレンスを備えています。また、2 つの外部差動リファレンスにも対応し、これらは内部でバッファ処理が可能です。その他の主要な内蔵機能は次のとおりです。

- ▶ プログラマブル・ゲイン・アンプ (PGA)。ゲインをプログラムできるので (0.5~128)、この PGA は、抵抗ブリッジ、熱電対、測温抵抗体 (RTD) などの、低出力振幅のトランスジューサに直接インターフェースできます。
- ▶ PGA は広いコモンモード入力範囲を備えているため、広い範囲で変化する入力コモンモードに対しマージンを大きくとることができます。
- ▶ 低ドリフトで十分にマッチングされた高精度の電流源。励起電流源を使用して、2 線式、3 線式、4 線式 RTD またはブリッジ型センサーを励起できます。励起電流出力オプションは、10 $\mu$ A、50 $\mu$ A、100 $\mu$ A、250 $\mu$ A、500 $\mu$ A、1mA、1.5mA です。より大きな電流が必要な場合は、電流を合算することもできます。
- ▶ ローサイド・パワー・スイッチ (PDSW) は、変換と変換の間にブリッジ・センサーをパワーダウンさせるのに使用します。

- ▶ 熱電対用の電圧バイアス (VBIAS ソースがチャンネルのコモンモード電圧を (AVDD + AVSS)/2 に設定)。
- ▶ スマート・シーケンサにより、イネーブルされた事前設定済みの各チャンネルを予め定められた順序で変換できるため、トランスジューサ、システム・チェック、診断測定を組み合わせることでインターリーブさせることができます。このシーケンサにより、設定を変更するのにデバイスとのシリアル・インターフェース通信を繰り返す必要がなくなります。16 個のチャンネルは順番に設定されます。これらのチャンネルはそれぞれ、ゲイン、フィルタ・タイプ、出力データレート、バッファリング、およびリファレンス源を選択できる 8 つのユーザ定義 ADC セットアップから選択します。

AD4195-4 は、充実した機能セットの一部として広範な診断機能も備えています。これらの診断機能には巡回冗長検査 (CRC)、シグナル・チェーン・チェック、シリアル・インターフェース・チェックが含まれ、より信頼性の高いソリューションになっています。

また、このデバイスは複数のフィルタ・オプションを備えているので、優れた柔軟性を発揮します。更に、より高速のセトリングを可能にする sinc フィルタを内蔵している他、50Hz と 60Hz を同時に除去するためのオプションも複数備えています。

このデバイスは、4.75V~5.25V のアナログ単電源または 2.5V のバイポーラ電源で動作します。デジタル電源の電圧範囲は 1.7V~5.25V です。仕様規定された動作温度範囲は -40°C~+105°C です。AD4195-4 は 32 ピン LFCSF パッケージを採用しています。

仕様

特に指定のない限り、AVDD = 4.75V~5.25V、IOVDD = 1.7V~5.25V、AVSS = DGND = 0V、REFIN+ = 2.5V（外部リファレンス）、REFIN- = AVSS、MCLK = 16MHz、TA = TMIN~TMAX（-40°C~+105°C）。

表 1. 仕様

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
<b>ADC SPEED CODING AND PERFORMANCE</b>					
Output Data Rate (ODR)					
Sinc <sup>5</sup>		976.5		62,500	SPS
Sinc <sup>5</sup> + Avg		3.8		62,500	SPS
Sinc <sup>3</sup>		3.8		62,500	SPS
50Hz/60Hz Post Filters		16.67	20	25	SPS
No Missing Codes <sup>2</sup>		24			Bits
Data output coding	Bipolar mode	2s complement			
	Unipolar mode	Straight Binary			
Resolution		See the <a href="#">RMS and Noise Performance</a> section			
Noise		See the <a href="#">RMS and Noise Performance</a> section			
<b>ACCURACY</b>					
Gains			0.5, 1, 2, 4, 8, 16, 32, 64, 128		
Integral Nonlinearity (INL)	Gain = 1, Gain = 1 precharge	-3	±1	+3	ppm of FSR
	All other gains	-12	±3	+12	ppm of FSR
Precalibration Offset Error <sup>3</sup>	Gain = 1 precharge	-70	±30	+70	µV
	Gain < 16	-45 - (40/gain)	±(15 + (40/gain))	+45 + (40/gain)	µV
	Gain ≥ 16	-43	±6	+43	µV
Offset Error Drift vs. Temperature <sup>2</sup>	Gain = 1 precharge	-55	±20	+55	nV/°C
	Gain < 8	-140/gain	±50/gain	+140/gain	nV/°C
	Gain = 8, 16, 32	-35	±20	+35	nV/°C
	Gain = 64, 128	-50	±20	+50	nV/°C
Gain Error <sup>3</sup>	Gain = 1 precharge, TA = 25°C	-50	±10	+50	ppm of FSR
	All other gains, TA = 25°C	-250	±50	+250	ppm of FSR
Gain Error Drift vs. Temperature <sup>2</sup>	All gains	-1	±0.5	+1	ppm/°C
<b>REJECTION</b>					
DC Power Supply Rejection	VIN = 1V/gain, All supplies				
	Gain = 0.5		98		dB
	Gain = 1 precharge and Gains of 1 to 8	88	104		dB
	Gain of 16 to 128	100	116		dB
Common-Mode Rejection <sup>4</sup>	VIN = 1V/gain				
At DC	Gain = 0.5		106		dB
	Gain = 1 precharge and Gains of 1 to 8	98	108		dB
	Gains of 16 to 128	107	125		dB
At 50Hz, 60Hz	50ms settling postfilter, 50Hz ± 1Hz and 60Hz ± 1Hz	120			dB
Normal Mode Rejection <sup>2</sup>	50Hz ± 1Hz and 60Hz ± 1Hz				
	Internal clock, 50ms settling postfilter	74	89		dB
	External clock, 50ms settling postfilter	89			dB
<b>ANALOG INPUTS</b>					

仕様

表 1. 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
Differential Input Voltage Range <sup>5</sup>	VREF = (REF+ - REF-) or internal reference	-VREF/gain		+VREF/gain	V
Single-Ended Input Voltage Range		0		VREF/Gain	V
Absolute AIN Voltage Limits <sup>2</sup>		AVSS		AVDD	V
Input Capacitance			8		pF
Analog Input Current	Absolute input current measured with AIN between AVSS + 0.1V and AVDD - 0.1V Differential input current measured with full-scale input, VCM = (AVDD+AVSS)/2				
Gain = 1 precharge					
Absolute Input Current		-225	±140	+225	nA
Differential Input Current		-64	±28	+64	nA
Absolute Input Current Drift <sup>2</sup>			280		pA/°C
Gain = 1					
Absolute Input Current		-15	±2	+15	nA
Differential Input Current		-11	±2	+11	nA
Absolute Input Current Drift <sup>2</sup>			12		pA/°C
Gain = 0.5					
Absolute Input Current		-15	±2	+15	nA
Differential Input Current		-22	±4	+22	nA
Absolute Input Current Drift <sup>2</sup>			38		pA/°C
Gain = 128					
Absolute Input Current		-20	±2	+20	nA
Differential Input Current		-10	±2	+10	nA
Absolute Input Current Drift <sup>2</sup>			45		pA/°C
All other gains					
Absolute Input Current		-15	±2	+15	nA
Differential Input Current		-10	±2	+10	nA
Absolute Input Current Drift <sup>2</sup>			70		pA/°C
INTERNAL REFERENCE	100nF external capacitor to AVSS				
Initial Accuracy <sup>6</sup>	REFOUT with respect to AVSS, TA = 25°C	2.495	2.5	2.505	V
Temperature Coefficient			±5	+15	ppm/°C
Reference Load Current, ILOAD		-10		+10	mA
Thermal Hysteresis	Cycle of 25°C, +75°C, -25°C, +25°C		44		ppm
Power Supply Rejection	AVDD (line regulation)		100		dB
Load Regulation	ΔVOUT/ΔILOAD		12		ppm/mA
Voltage Noise	eN, 0.1Hz to 10Hz, 2.5V reference		4.5		μV rms
Voltage Noise Density	eN, 1kHz, 2.5V reference		215		nV/√Hz
Turn-On Settling Time	100nF REFOUT capacitor		200		μs
Short-Circuit Current, I <sub>SC</sub>			28		mA
EXTERNAL REFERENCE INPUTS					
Differential Input Range <sup>2</sup>	VREF = REF+ - REF-	1	2.5	AVDD - AVSS	V
Absolute Voltage Limits <sup>2</sup>					
Reference Buffers Disabled		AVSS - 0.05		AVDD + 0.05	V

仕様

表 1. 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
Reference Buffers Enabled	Full buffer or precharge buffer	AVSS		AVDD	V
REFIN Input Current (Reference Buffers Disabled)			±22		µA/V
Reference Input Current	External clock		±1.2		nA/V/°C
Reference Input Current Drift	Internal clock		±6		nA/V/°C
Reference Buffers Enabled					
Reference Input Current	Precharge buffer		±6		µA
	Full buffer		±55		nA
Reference Input Current Drift	Precharge buffer		40		nA/°C
	Full buffer		1.25		nA/°C
Normal Mode Rejection	See the Rejection parameter				
<b>VBIAS</b>					
Output voltage setting			(AVDD + AVSS)/2		V
Output Impedance			1		kΩ
Start-up time	Dependent on the capacitance connected to AINn		9		µs/nF
<b>EXCITATION CURRENTS</b>					
Current Settings			10, 50, 100, 250, 500, 1000, 1500		µA
Output Compliance <sup>2</sup>	10µA, 50µA, 100µA, 1% accuracy			AVDD – 1.25	V
	250µA/500µA/1mA/1.5mA, 1% accuracy			AVDD – 1.45	V
Initial Accuracy	T <sub>A</sub> = 25°C, 10µA		±3		%
	T <sub>A</sub> = 25°C, 50µA, 100µA	-1	±0.1	+1	%
	T <sub>A</sub> = 25°C, >100µA	-2	±0.2	+2	%
Drift <sup>2</sup>	10µA		±20		ppm/°C
	50µA, 100µA	-30	±5	+30	ppm/°C
	>100µA	-80	±25	+80	ppm/°C
Current Mismatch					
Same Current Matching <sup>2</sup>	10µA		±1.3		%
	250µA, 1mA	-1.2	±0.1	+1.2	%
	50µA/100µA/500µA/1.5mA	-0.7	±0.1	+0.7	%
Different Current Matching			±1		%
Drift Matching <sup>2</sup>	Current sources at the same value				
	10µA		±3		ppm/°C
	50µA, 100µA, 250µA	-7	±2	+7	ppm/°C
	> 250µA	-4	±1	+4	ppm/°C
Line Regulation (AVDD)	AVDD = 5V ± 5%		150		ppm/V
Load Regulation	>10µA		40		ppm/V
Start-up time	R <sub>LOAD</sub> = 1kΩ, C <sub>LOAD</sub> = 0pF Dependent on the load connected to AINn		7		µs
<b>TEMPERATURE SENSOR</b>					
Accuracy	After user calibration at 25°C		±2		°C
Sensitivity			477		µV/K
<b>LOW-SIDE POWER SWITCH</b>					

仕様

表 1. 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
Ron			10	15	Ω
Current Through Switch <sup>2</sup>			25		mA
PULL-UP CURRENTS					
Source Current			100		nA
BURNOUT CURRENTS					
Source/Sink Current			±0.1, 2, 10		μA
Accuracy	Sinking/Sourcing				
	±0.1μA		25		%
	±2μA, ±10μA		10		%
GENERAL-PURPOSE I/O (GPIO0 to GPIO3) <sup>2</sup>	With respect to AVSS				
Input Mode Leakage Current		-1		+1	μA
Floating State Output Capacitance			5		pF
Output High Voltage, V <sub>OH</sub>	I <sub>SOURCE</sub> = 200μA	AVSS + 4			V
Output Low Voltage, V <sub>OL</sub>	I <sub>SINK</sub> = 800μA			AVSS + 0.4	V
Input High Voltage, V <sub>IH</sub>		AVSS + 3			V
Input Low Voltage, V <sub>IL</sub>				AVSS + 0.7	V
DIAGNOSTIC TRIP POINTS					
Reference Detect Level		0.6		0.85	V
Reference/AIN OV/UV Trip Level					
Overvoltage		AVDD + 0.065			V
Undervoltage				AVSS - 0.065	V
Reference/AIN OV/UV Clear Level					
Overvoltage		AVDD + 0.015			V
Undervoltage				AVSS - 0.01	V
Excitation Current Source Compliance	10μA to 100μA	AVDD - 1.3		AVDD - 0.8	V
	>100μA	AVDD - 1.6		AVDD - 1	V
ALDO Trip Point			1.5		V
DLDO Trip Point			1.6		V
CLOCK					
Internal Clock					
Frequency			16		MHz
Accuracy		-2.5		+2.5	%
Duty Cycle			50:50		%
External Clock (CLK)		1	16	17	MHz
Minimum Low Time		27.6			ns
Minimum High Time		27.6			ns
LOGIC INPUTS <sup>2</sup>					
Input High Voltage, V <sub>IH</sub>		0.8 × IOVDD			V
Input Low Voltage, V <sub>IL</sub>				0.2 × IOVDD	V
Hysteresis			0.04		V
Leakage Currents	SYNC_IN Pin			+15	uA
	All other pins	-1		+1	uA
Input Capacitance	All digital inputs		10		pF
LOGIC OUTPUT <sup>2</sup> (CLK, DIG_AUX1, DIG_AUX2, SDO)					
Output High Voltage, V <sub>OH</sub> <sup>2</sup>	I <sub>SOURCE</sub> = 1mA	0.8 × IOVDD			V
Output Low Voltage, V <sub>OL</sub> <sup>2</sup>	I <sub>SINK</sub> = 2mA			0.4	V
Leakage Current	Floating state	-1		+1	μA
Output Capacitance	Floating state		10		pF

仕様

表 1. 仕様 (続き)

Parameter <sup>1</sup>	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SYSTEM CALIBRATION<sup>2</sup></b>					
Full-Scale (FS) Calibration Limit				1.05 × FS	V
Zero-Scale Calibration Limit		-1.05 × FS			V
Input Span		0.8 × FS		2.1 × FS	V
<b>POWER REQUIREMENTS</b>					
Power Supply Voltage					
AVDD to AVSS		4.75		5.25	V
AVSS to DGND		-2.625		0	V
IOVDD to DGND		1.7		5.25	V
IOVDD to AVSS	For AVSS < DGND			6.35	V
<b>POWER SUPPLY CURRENTS<sup>7</sup></b>					
AVDD Current, External Reference					
Gain = 1 precharge			5	6.2	mA
Gain < 16 except Gain = 1 precharge			7	8.8	mA
Gain ≥ 16			10	12.2	mA
I <sub>AVDD</sub> Increase Due To					
Both Reference Buffers					
Precharge			0.7	0.9	mA
Full Buffer			1.7	2.2	mA
Internal Reference			0.5	0.6	mA
Diagnostics			0.1		mA
Excitation Currents			0.06		mA
VBIAS			0.05		mA
IOVDD Current	External clock		1	1.35	mA
	Internal clock		1.3	1.65	mA
AVDD Standby Mode	LDOs on only		70	135	μA
AVDD Power-Down Mode			0.2	1.2	μA
IOVDD Standby Mode	LDOs on only		15	280	μA
IOVDD Power-Down Mode			0.8	1.5	μA
<b>POWER DISSIPATION<sup>7</sup></b>					
Full Operating Mode	IOVDD = 5.25V, AVDD = 5.25V Gain = 1 precharge, reference buffers disabled, external clock and reference		32	40	mW
	Gain > 16, reference buffers enabled, internal clock and reference		71	88	mW
Standby Mode	LDOs on only		447	2,180	μW
Power-Down Mode			5.25	14.2	μW

<sup>1</sup> 温度範囲は-40°C~+105°Cです。

<sup>2</sup> これらの仕様は、製品テストを受けたものではありませんが、製品の初期リリース時に特性評価データで裏付けられています。

<sup>3</sup> オフセット誤差は、システム・キャリブレーションまたは内部ゼロスケール・キャリブレーションに従って選択されたプログラム済み ODR でのノイズの程度です。システム・フルスケール・キャリブレーションにより、プログラム済み ODR でのノイズと同等レベルにまでゲイン誤差が減少します。

<sup>4</sup> AINP および AINM の最小および最大電圧は、AVSS + 0.1V と AVDD - 0.1V です。

<sup>5</sup> 差動アナログ入力の最大許容範囲は±(AVDD - 0.65 V)/ゲインです。一方、シングルエンド・アナログ入力の最大許容範囲は 0V~(AVDD - 0.65V)/ゲインで、これは高リファレンス電圧を用いた場合に該当します。

<sup>6</sup> この仕様には、湿度感度レベル (MSL) プリコンディショニングの影響が含まれています。

<sup>7</sup> これは、REFOUT、励起電流、デジタル出力ピンに負荷が接続されていないときの仕様です。デジタル入力は IOVDD または DGND に接続します。

仕様

タイミング特性

特に指定のない限り、IOVDD = 1.7V~5.25V (IOVDD < 3V の場合は DIG\_OUT\_STR ビットをセット)、DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、C<sub>LOAD</sub> = 20pF。

表 2. タイミング特性

Parameter	Limit at T <sub>MIN</sub> , T <sub>MAX</sub>	Unit	Test Conditions/Comments <sup>1,2</sup>
<b>SCLK</b>			
t <sub>3</sub>	25	ns min	SCLK high pulse width
t <sub>4</sub>	25	ns min	SCLK low pulse width
t <sub>12</sub>	8.25/f <sub>MOD</sub>	ns min	$\overline{\text{RDY}}$ high time if $\overline{\text{RDY}}$ is low and the next conversion is available (f <sub>MOD</sub> = MCLK/8)
t <sub>13</sub>	2/MCLK	ns min	$\overline{\text{SYNC\_IN}}$ low pulse width
<b>READ OPERATION</b>			
t <sub>1</sub>	0	ns min	$\overline{\text{CS}}$ falling edge to SDO active time
	12.5	ns max	4.75V < IOVDD ≤ 5.25V
	17.5	ns max	3V ≤ IOVDD ≤ 4.75V
	25	ns max	1.7V ≤ IOVDD < 3V
t <sub>2</sub> <sup>3</sup>	5	ns min	SCLK active edge to data valid delay <sup>4</sup>
	12.5	ns max	4.75V < IOVDD ≤ 5.25V
	17.5	ns max	3V ≤ IOVDD ≤ 4.75V
	25	ns max	1.7V ≤ IOVDD < 3V
t <sub>5</sub> <sup>5</sup>	2.5	ns min	Bus relinquish time after $\overline{\text{CS}}$ inactive edge
	20	ns max	
t <sub>6</sub>	5	ns min	SCLK inactive edge to $\overline{\text{CS}}$ inactive edge
t <sub>7</sub>	9	ns min	SCLK inactive edge to $\overline{\text{RDY}}$ high. SDO and $\overline{\text{RDY}}$ use separate pins or SDO and $\overline{\text{RDY}}$ share a pin with Bit SDO_RDYB_DLY cleared. Shared pin returns to functioning as $\overline{\text{RDY}}$ after the SCLK inactive edge
t <sub>7A</sub>	t <sub>5</sub>	ns min	Data valid after $\overline{\text{CS}}$ inactive edge (when SDO and $\overline{\text{RDY}}$ share a pin). Bit SDO_RDYB_DLY is set. Shared pin continues to function as SDO until $\overline{\text{CS}}$ is taken high
<b>WRITE OPERATION</b>			
t <sub>8</sub>	0	ns min	$\overline{\text{CS}}$ falling edge to SCLK active edge setup time <sup>4</sup>
t <sub>9</sub>	8	ns min	Data valid to SCLK edge setup time
t <sub>10</sub>	8	ns min	Data valid to SCLK edge hold time
t <sub>11</sub>	5	ns min	$\overline{\text{CS}}$ rising edge to SCLK edge hold time
<b>CONTINUOUS TRANSMIT OPERATION</b>			
t <sub>14</sub>	2	ns max	DCLK active edge to $\overline{\text{RDY}}$ falling edge setup time
t <sub>15</sub>		ns max	Difference between (data valid to DCLK edge setup time) and DCLK low time
	t <sub>DCLK_LOW</sub> - 1	ns max	4.75V < IOVDD ≤ 5.25V
	t <sub>DCLK_LOW</sub> - 3.5	ns max	3V ≤ IOVDD ≤ 4.75V
	t <sub>DCLK_LOW</sub> - 2.5	ns max	1.7V ≤ IOVDD < 3V
t <sub>16</sub>	t <sub>DCLK_HIGH</sub> - 3.5	ns max	Difference between (data valid to DCLK edge hold time) and DCLK high time
t <sub>17</sub>	3.5	ns min	DCLK rising edge to $\overline{\text{RDY}}$ high time
t <sub>18</sub>			Difference between DCLK high pulse width and applied external MCLK high time. Valid for divide by 1 option
	-2	ns max	4.75V < IOVDD ≤ 5.25V
	-6.5	ns max	3V ≤ IOVDD ≤ 4.75V
	-4	ns max	1.7V ≤ IOVDD < 3V
t <sub>19</sub>			Difference between DCLK low pulse width and applied external MCLK low time. Valid for divide by 1 option
	1.5	ns max	4.75V < IOVDD ≤ 5.25V
	3.5	ns max	3V ≤ IOVDD ≤ 4.75V

仕様

表 2. タイミング特性 (続き)

Parameter	Limit at T <sub>MIN</sub> , T <sub>MAX</sub>	Unit	Test Conditions/Comments <sup>1,2</sup>
	2	ns max	1.7V ≤ IOVDD < 3V

<sup>1</sup> 初回リリース時のサンプル・テストにより、適合性が確保されています。

<sup>2</sup> 図 4 および図 5 を参照。

<sup>3</sup> このパラメータは、出力が V<sub>OL</sub> の限界値もしくは V<sub>OH</sub> の限界値を横切るのに要する時間で定義されています。

<sup>4</sup> SCLK のアクティブ・エッジは SCLK の立下がりエッジです。

<sup>5</sup> RDY はデータ・レジスタの読出し後にハイに戻ります。シングル変換モードおよび連続変換モードで、RDY がハイ・レベルの間に、必要ならば同一データを再度読み出すことができますが、2 回目以降の読出しは、次の出力更新が近いところで行わないように注意してください。連続読出し機能をイネーブすると、デジタル・ワードは 1 回しか読み出すできません。

タイミング図

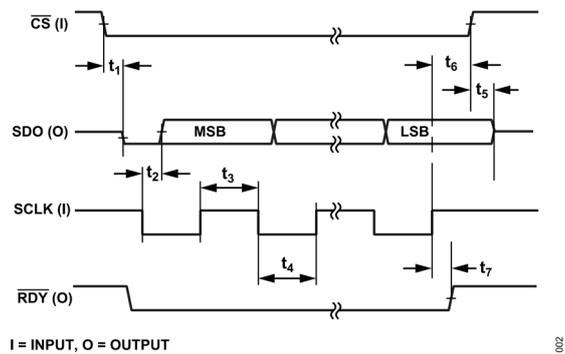


図 2. 読出しサイクルのタイミング図 (SDO と RDY が別々のピンを使用)

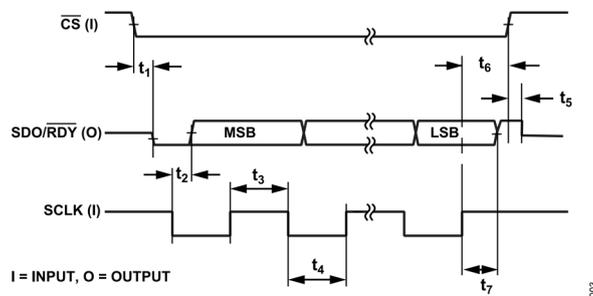


図 3. 読出しサイクルのタイミング図 (SDO\_RDYB\_DLY ビットがクリアされた状態で SDO と RDY が同じピンを共用)

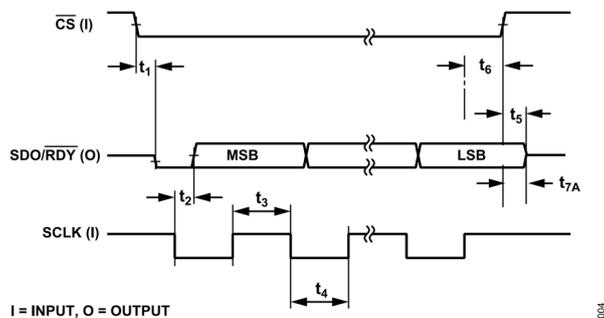


図 4. 読出しサイクルのタイミング図 (SDO\_RDYB\_DLY ビットがセットされた状態で SDO と RDY が同じピンを共用)

仕様

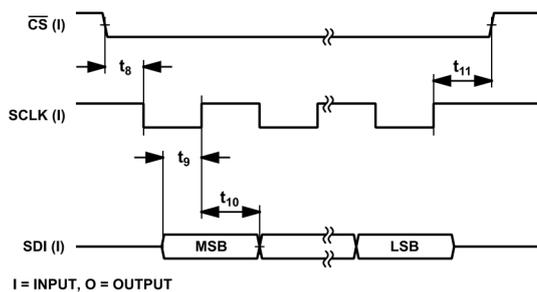


図 5. 書き込みサイクルのタイミング図

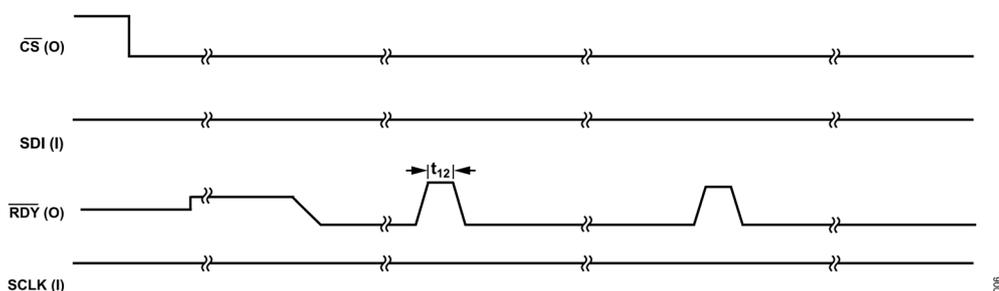


図 6. 最初にRDYがローで、次の変換が可能な場合に、DOUT/RDYがハイになる時間

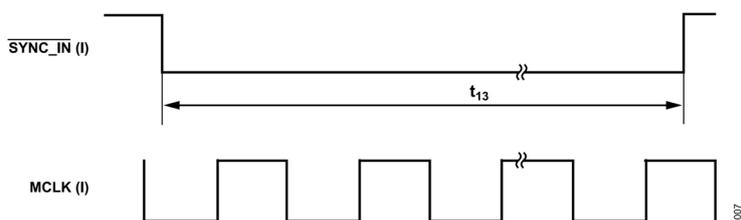


図 7. SYNC\_INのパルス幅

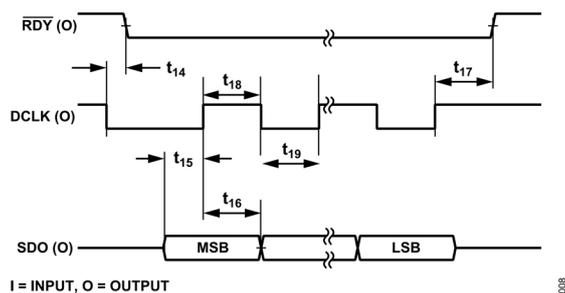


図 8. 連続送信

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

Parameter	Rating
AVDD to AVSS	-0.3V to +6.5V
AVDD to DGND	-0.3V to +6.5V
IOVDD to DGND	-0.3V to +6.5V
IOVDD to AVSS	-0.3V to +7.5V
AVSS to DGND	-3.25V to +0.3V
Analog Input Voltage to AVSS	-0.3V to AVDD + 0.3V
Reference Input Voltage to AVSS	-0.3V to AVDD + 0.3V
GPIO Input Voltage to AVSS	-0.3V to AVDD + 0.3V
GPIO Output Voltage to AVSS	-0.3V to AVDD + 0.3V
REFOUT to AVSS	-0.3V to AVDD + 0.3V
Digital Input Voltage to DGND	-0.3V to IOVDD + 0.3V
Digital Output Voltage to DGND	-0.3V to IOVDD + 0.3V
Analog Input/Digital Input Current	10mA
Temperature	
Operating Range	-40°C to +105°C
Storage Range	-65°C to +150°C
Maximum Junction	150°C
Lead Soldering, Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。 $\theta_{JA}$  は、1 立方フィートの密封容器内で測定された、自然対流下でのジャンクションから周囲への熱抵抗です。 $\theta_{JB}$  は、ジャンクションから基板への熱抵抗です。 $\theta_{JC}$  は、ジャンクションからケースへの熱抵抗です。表 4 に規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されたものであり、JESD51-12 に従って使用してください。最も厳しい条件でのジャンクション温度が記載されています。表 4 の値は、自然対流の試験環境での標準的な JEDEC 2S2P 熱試験ボードに基づいて計算したものです。詳細については、JEDEC JESD51 シリーズを参照してください。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JB}$	$\theta_{JC\_TOP}$	Unit
CP-32-34	39.49	9.93	14.86	$^\circ\text{C}/\text{W}$

## 静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起チャージ・デバイス・モデル（FICDM）。

## AD4195-4 の ESD 定格

表 5. AD4195-4、32 ピン LFCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	4	3A
FICDM	1.25	C3

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

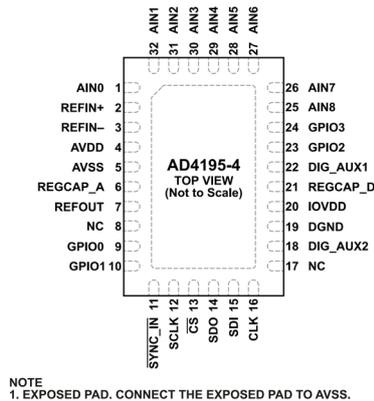


図 9. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	AIN0	アナログ入力 0 / 励起電流 / バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
2	REFIN+	正のリファレンス入力。外部リファレンスは REFIN+ と REFIN- の間に加えてください。REFIN+ は AVDD から AVSS + 1V までの間の任意の値とすることができます。公称リファレンス電圧 (REFIN+ - REFIN-) は 2.5V ですが、このデバイスは 1V ~ AVDD のリファレンスで機能します。
3	REFIN-	負のリファレンス入力。このリファレンス入力は AVSS ~ AVDD - 1V の範囲とすることができます。
4	AVDD	アナログ電源電圧。これは AVSS を基準としています。
5	AVSS	アナログ電源電圧。AVDD の電圧は、AVSS を基準としています。AVDD と AVSS の差は 4.75V ~ 5.25V の範囲とする必要があります。AD4195-4 にバイポーラ電源を供給するには、AVSS を 0V よりも低くしてください。例えば AVSS を -2.5V に、AVDD を +2.5V に接続すると、ADC に ±2.5V の電源を供給できます。
6	REGCAP_A	アナログ低ドロップアウト (LDO) レギュレータの出力。このピンは、1µF のコンデンサと 0.1µF のコンデンサを並列に接続して、AVSS とデカップリングします。
7	REFOUT	内部リファレンス出力。これは AVSS を基準としています。内部 2.5V 電圧リファレンスのバッファ付き出力をこのピンに出力できます。このピンは、0.1µF のコンデンサを用いて AVSS とデカップリングします。
8	NC	接続なし。
9	GPIO0	汎用入力または出力 / 正のリファレンス入力 / パワー・スイッチ / 励起電流。このピンは、AVSS から AVDD までの間を基準にした汎用入出力ビットとして設定します。このピンは、REFIN2± の正のリファレンス入力としても機能します。REFIN2+ は AVDD から AVSS + 1V までの間の任意の値とすることができます。公称リファレンス電圧 (REFIN2+ ~ REFIN2-) は 2.5V ですが、このデバイスは 1V ~ AVDD のリファレンスで機能します。このピンは、AVSS に対するローサイド・パワー・スイッチとしても機能します。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。
10	GPIO1	汎用入力または出力 / 負のリファレンス入力 / パワー・スイッチ / 励起電流。このピンは、AVSS から AVDD までの間を基準にした汎用入出力ビットとして設定します。このピンは、REFIN2± の負のリファレンス入力としても機能します。REFIN2- は、AVSS から AVDD - 1V までの間の任意の値とすることができます。このピンは、AVSS に対するローサイド・パワー・スイッチとしても機能します。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。
11	SYNC_IN	同期入力。このピンは、複数の AD4195-4 デバイスを使用する場合にデジタル・フィルタとアナログ変調器の同期を可能にするロジック入力です。デフォルト・モードの場合、SYNC_IN をローにすると、デジタル・フィルタ、フィルタ制御ロジック、キャリブレーション制御ロジックのノードがリセットされ、アナログ変調器がリセット状態に保たれます。SYNC_IN は、デジタル・インターフェースには影響を与えませんが、RDY がローの場合はこれをハイ状態にリセットします。  複数のチャンネルがイネーブルの場合、SYNC_IN 機能を用いるとシーケンスは強制的にリセットされます。そのため、SYNC_IN がハイになると、変換シーケンスは最初にイネーブルされたチャンネルから開始します。 この入力は ALT_SYNC モードでも使用します。ALT_SYNC モードで複数のチャンネルがイネーブルされている場合、シーケンスはリセットされず、SYNC_IN ピンは、ADC がシーケンスにおいて新たに選択されたチャンネルのサンプリングを開始するタイミングの制御のために用いられます。そのため、チャンネルの変更後、ADC は SYNC_IN がハイになるまで待つからサンプリングを開始します。このピンの使用に関する詳細は、ADC の同期のセクションを参照してください。
12	SCLK	シリアル・クロック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。SCLK にはシュミット・トリガ入力が入内蔵されているため、光アイソレーション・アプリケーションのインターフェースにも適しています。転送される全データが連続したパルス列である場合、シリアル・クロックも連続にすることができます。あるいは、ADC との間で小さいデータ群として情報が送受信される場合は、不連続クロックにすることもできます。
13	CS	チップ・セレクト入力。これは ADC を選択するアクティブ・ローのロジック入力です。CS は、シリアル・バスに複数のデバイスが接続されたシステムで ADC を選択するために使用するが、デバイスと通信する際にフレーム同期信号として使用します。CS は、SCLK、DIN、SDO がデバイスとインターフェースしている場合のみローにハードワイヤー接続できます。CS がローにハードワイヤー接続されている場合、SDO ピンは常にイネーブルされています。そのため、SDO ピンにはマイクロプロセッサに専用ピンが必要です。

## ピン配置およびピン機能の説明

表 6. ピン機能の説明 (続き)

ピン番号	記号	説明
14	SDO	シリアル・データ出力/データ・レディ出力。SDO は、ADC の出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵するデータのレジスタまたは制御レジスタからのデータでも格納できます。更に、SDO はデータ・レディ・ピン $\overline{\text{RDY}}$ として機能し、ローに移行することで変換の完了を示します。変換後にデータが読み出されないと、次の更新が行われる前にこのピンはハイになります。SDO の立下がりエッジは、プロセッサに対する割込みとして使用され、有効なデータが存在することを示します。外部シリアル・クロックを使用する場合は、SDO ピンを使用してデータを読み出すことができます。 $\overline{\text{CS}}$ がローの場合、データ/制御ワードの情報が SCLK の立下がりエッジで SDO ピンに出力され、SCLK の立下がりエッジで有効になります。なお、データ・レディ機能は、DIG_AUX1 ピンで使用できます。これは、シリアル・データ出力とデータ・レディ機能を独立させたい場合に便利です。また、AD4195-4 には、変換の読み出しを簡単にする連続送信モードもあります。AD4195-4 は DCLK およびフレーム同期信号を供給します。そのため、変換結果は使用可能になると自動的に SDO に置かれます。連続送信モードがイネーブルされている場合は、このモードがディスエーブルされるまで、SDO ピンは変換結果の出力専用となります。
15	SDI	ADC の入力シフト・レジスタへのシリアル・データ入力。入力シフト・レジスタ内のデータは、命令フェーズで選択されたレジスタ・アドレスと共に、ADC 内の制御レジスタに転送されます。
16	CLK	クロック入力または出力どちらの機能として動作させるかは、CLOCK_CTRL レジスタの CLOCKSEL ビットで設定します。MCLK ソースの選択には以下の 3 つのオプションがあります。内部発振器：外部への出力なし、内部発振器：CLK ピンに出力、外部クロック：CLK ピンへ入力 (入力は IOVDD ロジック・レベルとする必要があります)。
17	NC	接続なし。
18	DIG_AUX2	連続送信モードでのクロック DCLK/START 入力。連続送信モードでは、このピンはデータ・クロック DCLK を供給します。またこのピンは、DIG_AUX1 ピンと併用して、共通のメイン・クロックを共用する複数のデバイスでの同期を行うために使用することもできます。このモードでは、印加された START 信号から同期信号 SYNC_OUT を内部で生成し、SYNC_OUT が内部メイン・クロックと同期します。SYNC_OUT は、マルチ AD4195-4 システム内の全ての AD4195-4 ADC に印加され、この全ての ADC に同期変換動作を行わせませす。
19	DGND	デジタル・グラウンド基準ポイント。
20	IOVDD	シリアル・インターフェース電源電圧、1.7V~5.25V。IOVDD は AVDD とは無関係です。例えば、AVDD が 5.25V の場合でもシリアル・インターフェースは 1.7V で動作できます。
21	REGCAP_D	デジタル LDO レギュレータ出力。このピンは、1 $\mu$ F のコンデンサと 0.1 $\mu$ F のコンデンサを並列に接続して、DGND とデカップリングします。
22	DIG_AUX1	SPI インターフェース用データ・レディ/連続送信モードでのデータ・レディ/同期出力。シリアル・インターフェースを使用している場合、データ・レディ機能をこのピンで出力し、SDO ピンをシリアル・データ出力専用にすることができます。連続送信モードを用いる場合、このピンは同様に、データ・レディ・ピンとして機能し、DIG_AUX2 がデータ送信用にクロック DCLK を供給します。またこのピンは、DIG_AUX2 ピンと併用して、共通のメイン・クロックを共用する複数のデバイスでの同期を行うために使用することもできます。このモードでは、印加された START 信号から同期信号 SYNC_OUT を内部で生成し、SYNC_OUT が内部メイン・クロックと同期します。SYNC_OUT は、マルチ AD4195-4 システム内の全ての AD4195-4 ADC に印加され、この全ての ADC に同期変換動作を行わせませす。
23	GPIO2	汎用入出力/励起電流。このピンは、AVSS から AVDD までの間を基準にした汎用入出力ビットとして設定します。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。
24	GPIO3	汎用入出力/励起電流。このピンは、AVSS から AVDD までの間を基準にした汎用入出力ビットとして設定します。いずれかの内部プログラマブル励起電流源からこのピンに出力することも可能です。
25	AIN8	アナログ入力 8/励起電流/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
26	AIN7	アナログ入力 7/励起電流/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
27	AIN6	アナログ入力 6/励起電流/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
28	AIN5	アナログ入力 5/励起電流/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
29	AIN4	アナログ入力 4/励起電流/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
30	AIN3	アナログ入力 3/励起電流/バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できます。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。

## ピン配置およびピン機能の説明

表 6. ピン機能の説明 (続き)

ピン番号	記号	説明
31	AIN2	アナログ入力 2 / 励起電流 / バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できません。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
32	AIN1	アナログ入力 1 / 励起電流 / バイアス電圧。この入力ピンは、差動入力または疑似差動入力の正端子または負端子になるよう CHANNEL_MAPn レジスタで設定されます。あるいは、いずれかの内部プログラマブル励起電流源からこのピンに出力できません。アナログ電源レールの中間のバイアス電圧をこのピンで出力できます。
	EP	露出パッド。露出パッドは AVSS に接続します。

代表的な性能特性

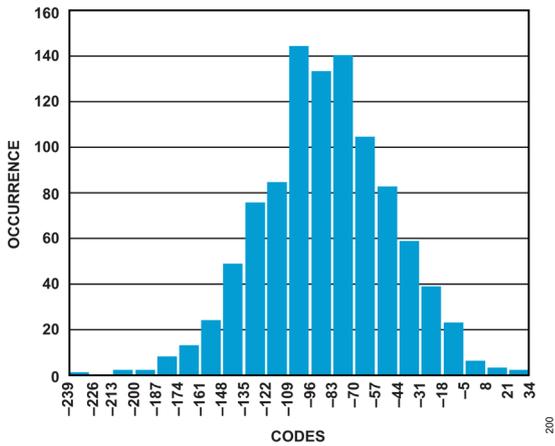


図 10. ノイズ・ヒストグラム  
( $\text{sinc}^5$  + 平均化フィルタ、62.5kSPS、PGA\_Gain = 1)

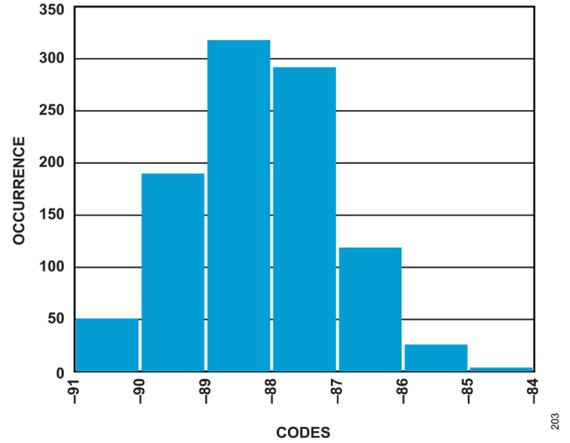


図 13. ノイズ・ヒストグラム  
( $\text{sinc}^5$  + 平均化フィルタ、50SPS、PGA\_Gain = 1)

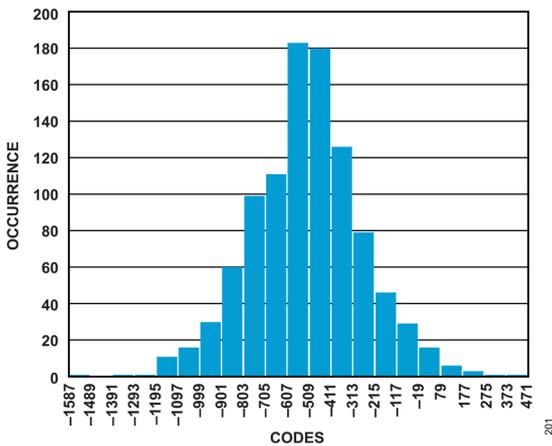


図 11. ノイズ・ヒストグラム  
( $\text{sinc}^5$  + 平均化フィルタ、62.5kSPS、PGA\_Gain = 16)

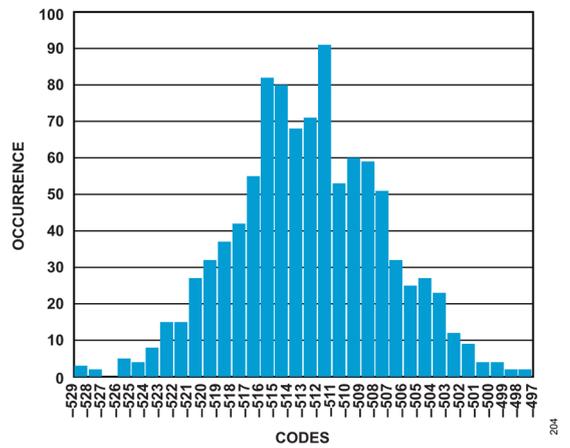


図 14. ノイズ・ヒストグラム  
( $\text{sinc}^5$  + 平均化フィルタ、50SPS、PGA\_Gain = 16)

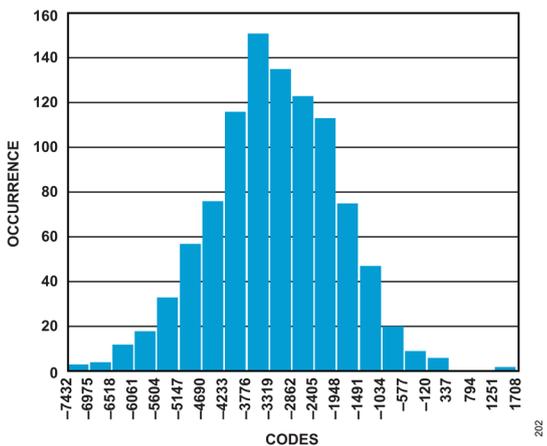


図 12. ノイズ・ヒストグラム  
( $\text{sinc}^5$  + 平均化フィルタ、62.5kSPS、PGA\_Gain = 128)

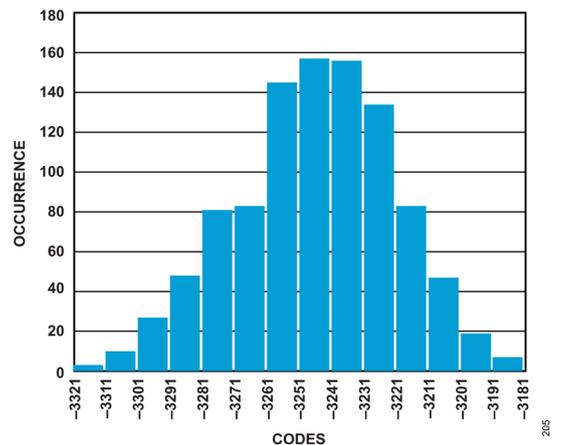


図 15. ノイズ・ヒストグラム  
( $\text{sinc}^5$  + 平均化フィルタ、50SPS、PGA\_Gain = 128)

代表的な性能特性

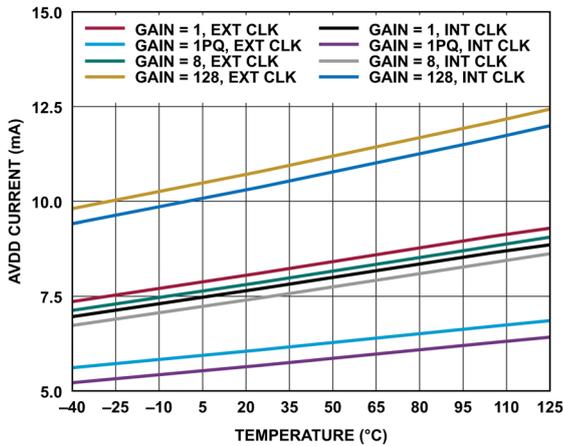


図 16. AVDD 電流と温度の関係 (内部リファレンス)

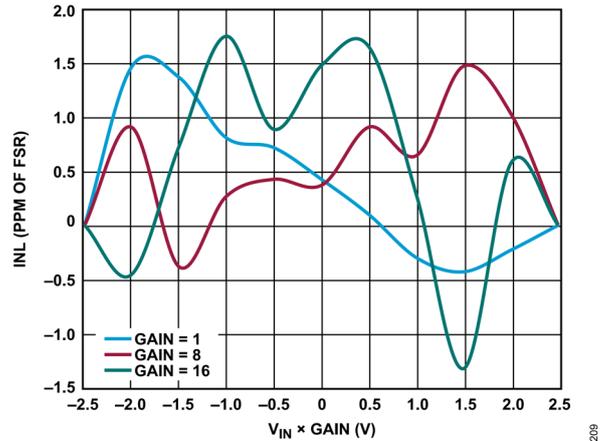


図 19. INL と差動入力信号の関係 (アナログ入力 × ゲイン)、-40°C

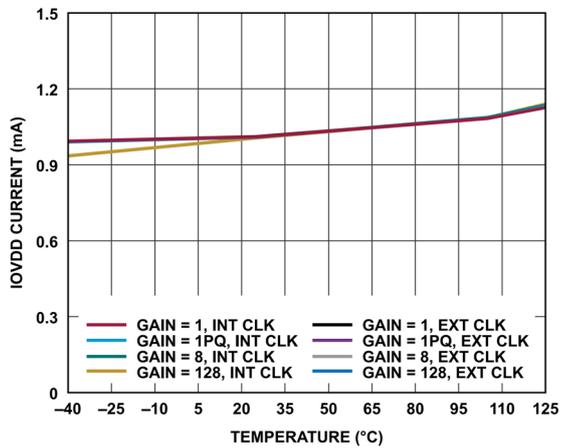


図 17. IOVDD 電流と温度の関係 (内部リファレンス)

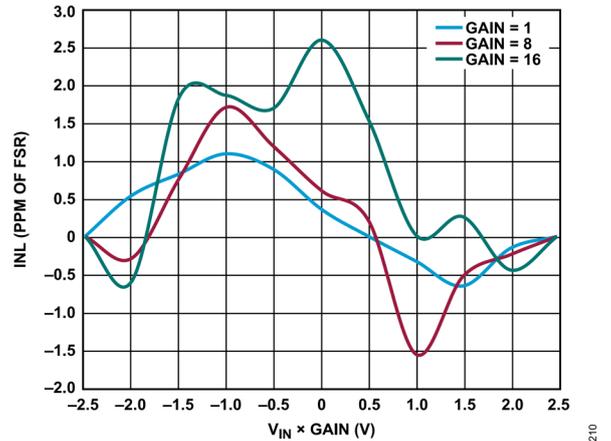


図 20. INL と差動入力信号の関係 (アナログ入力 × ゲイン)、125°C

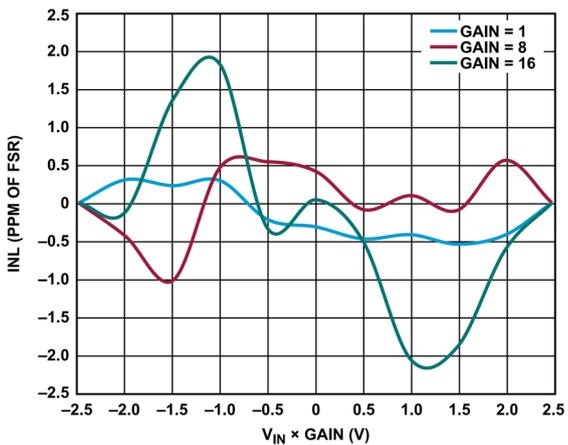


図 18. INL と差動入力信号の関係 (アナログ入力 × ゲイン)、25°C

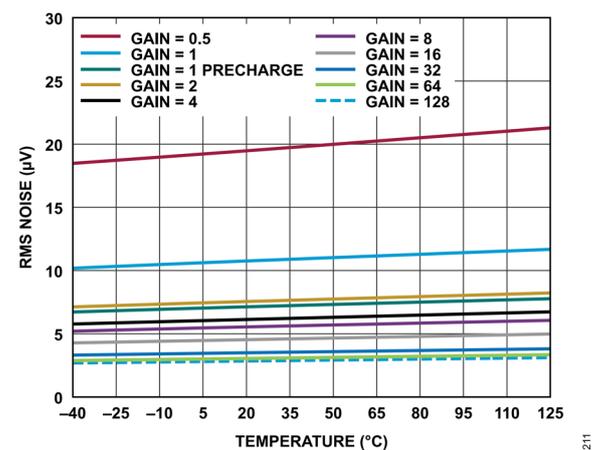


図 21. 入力換算実効値ノイズと温度の関係 (内部リファレンス、sinc<sup>5</sup> + 平均化フィルタ、62.5kSPS)

代表的な性能特性

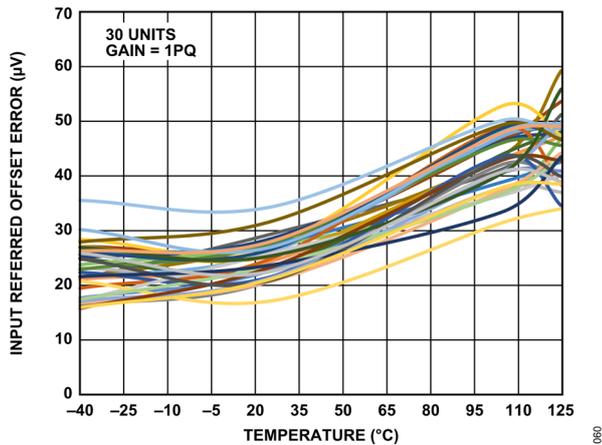


図 22. 入力換算オフセットと温度の関係 (ゲイン = 1 プリチャージ)

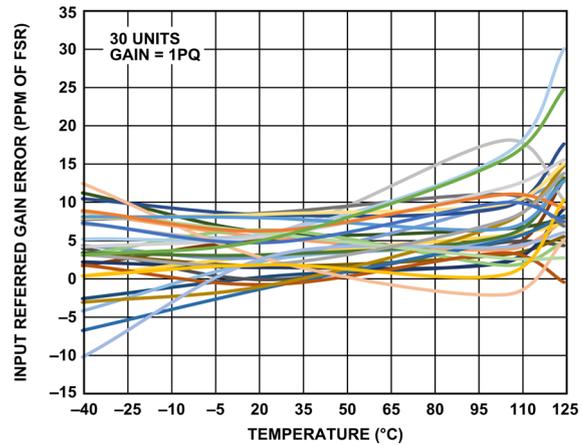


図 25. 入力換算ゲイン誤差と温度の関係 (ゲイン = 1 プリチャージ)

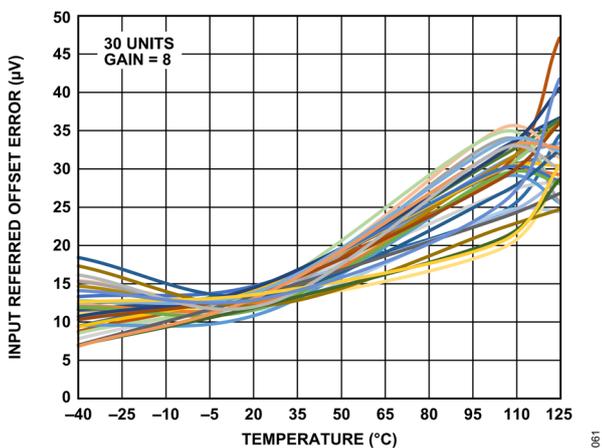


図 23. 入力換算オフセットと温度の関係 (ゲイン = 8)

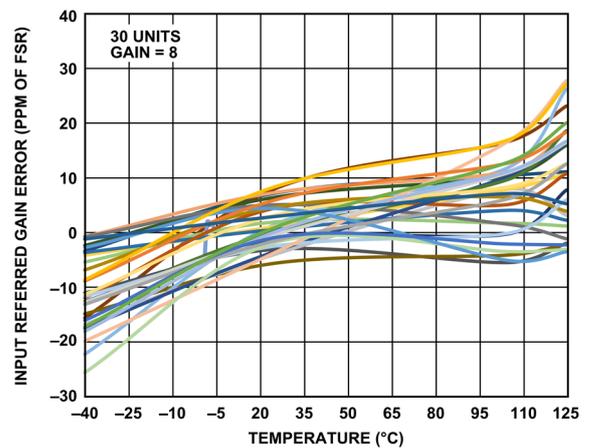


図 26. 入力換算ゲイン誤差と温度の関係 (ゲイン = 8)

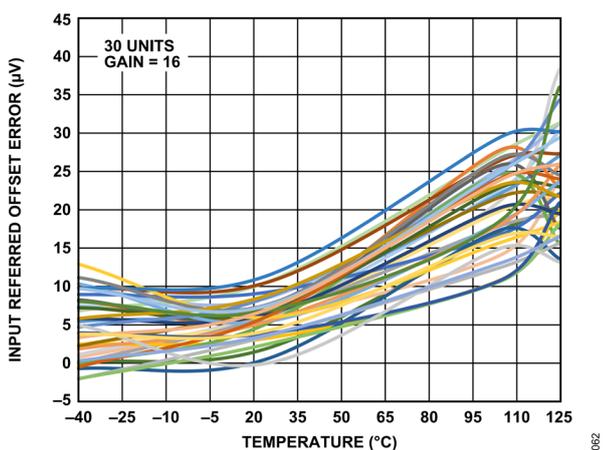


図 24. 入力換算オフセットと温度の関係 (ゲイン = 16)

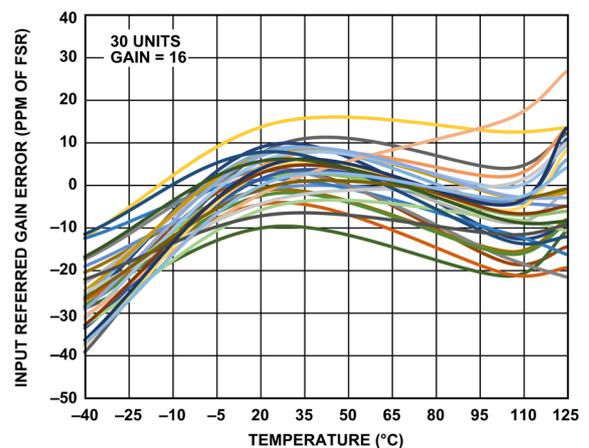


図 27. 入力換算ゲイン誤差と温度の関係 (ゲイン = 16)

代表的な性能特性

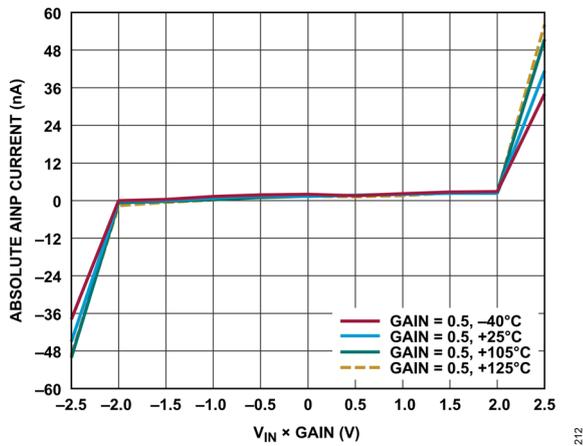


図 28. 絶対 AINP 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン = 0.5)

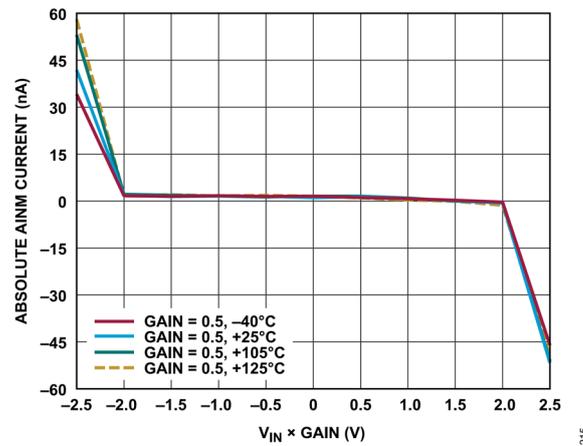


図 31. 絶対 AINM 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン = 0.5)

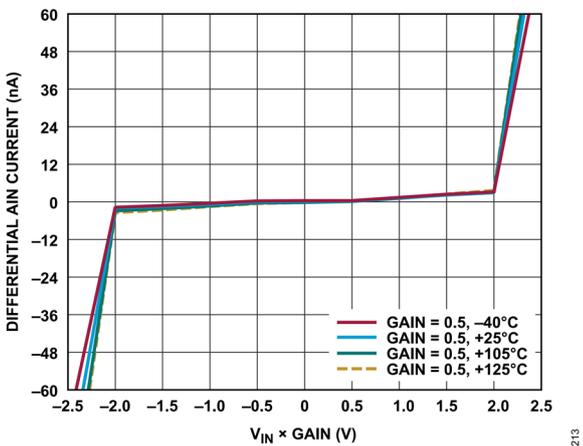


図 29. 差動 AIN 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン = 0.5)

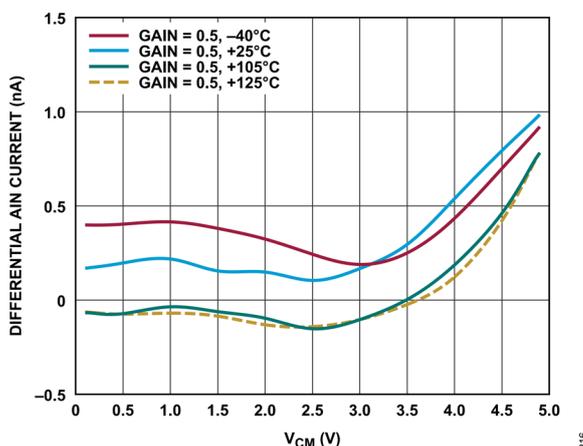


図 32. 差動 AIN 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン = 0.5)

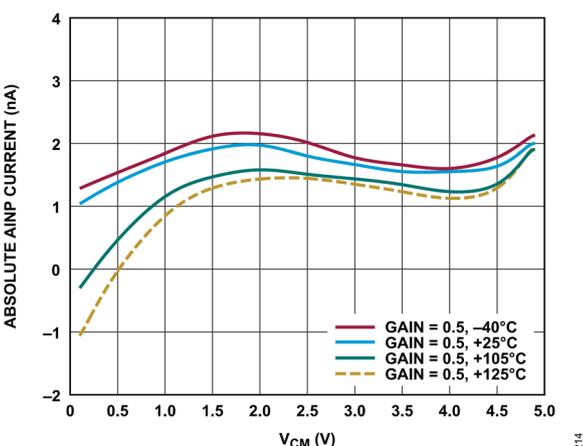


図 30. 絶対 AINP 電流と  $V_{CM}$  の関係 ( $V_{IN} = 0$ 、ゲイン = 0.5)

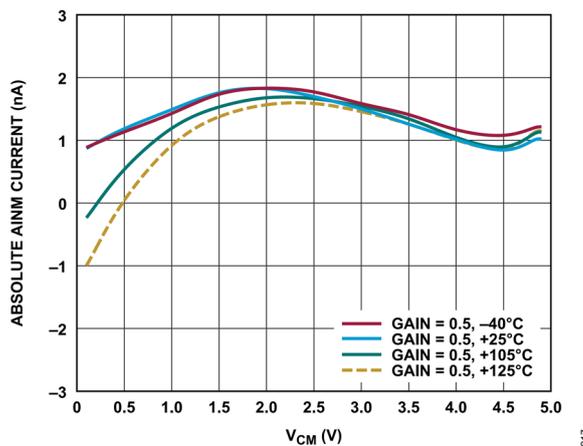


図 33. 絶対 AINM 電流と  $V_{CM}$  の関係 ( $V_{IN} = 0$ 、ゲイン = 0.5)

代表的な性能特性

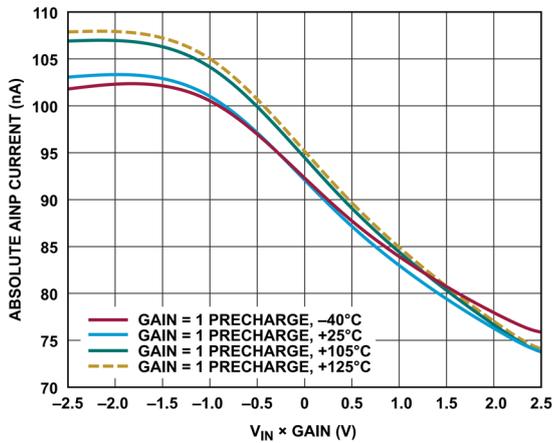


図 34. 絶対 AINP 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン = 1 プリチャージ)

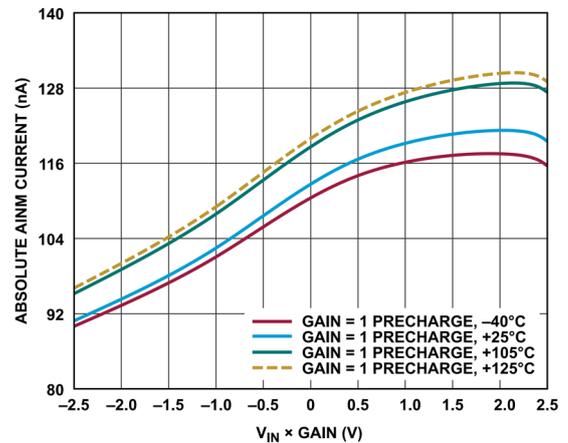


図 37. 絶対 AINM 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン = 1 プリチャージ)

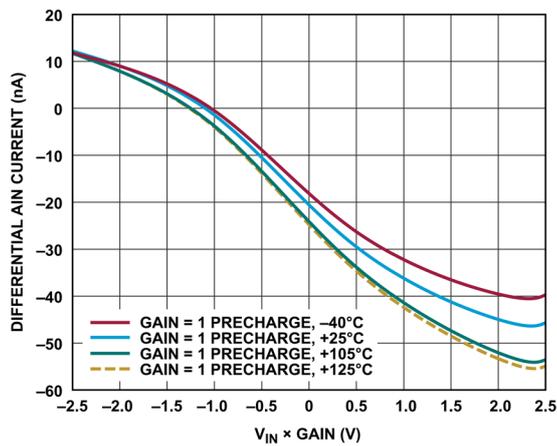


図 35. 差動 AIN 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン = 1 プリチャージ)

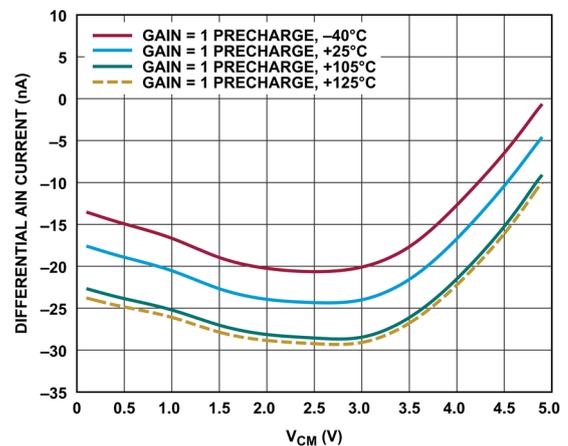


図 38. 差動 AIN 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン = 1 プリチャージ)

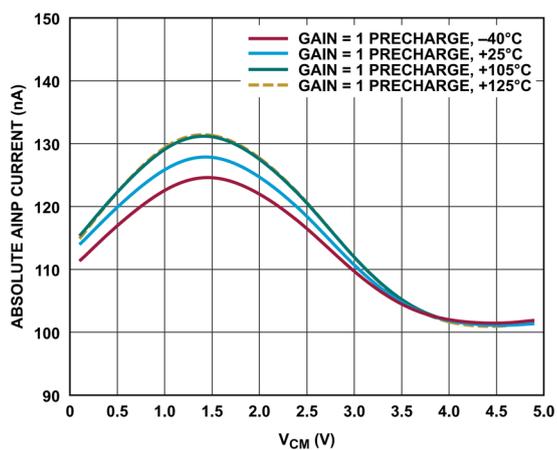


図 36. 絶対 AINP 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン = 1 プリチャージ)

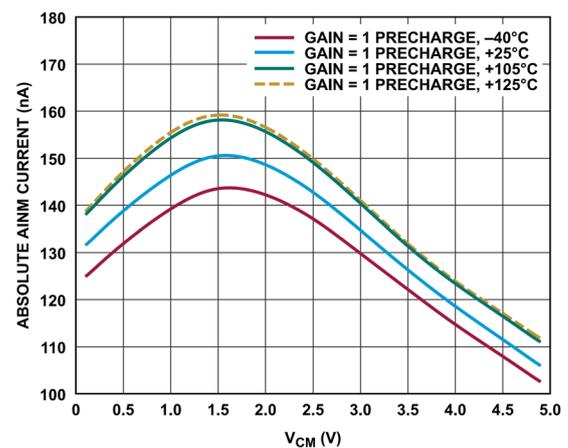


図 39. 絶対 AINM 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン = 1 プリチャージ)

代表的な性能特性

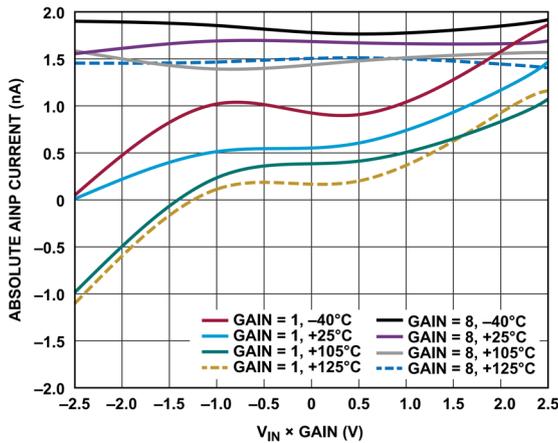


図 40. 絶対 AINP 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン 1~ゲイン 8)

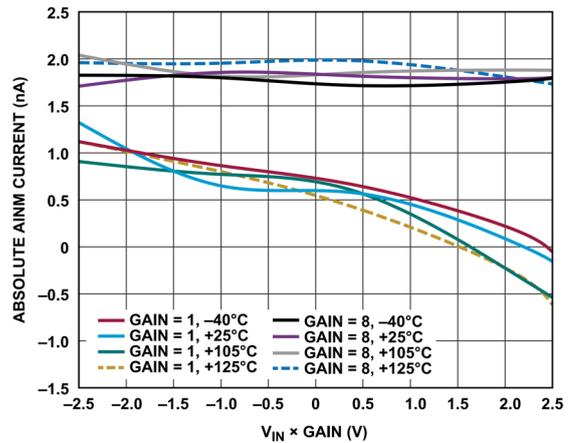


図 43. 絶対 AINM 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン 1~ゲイン 8)

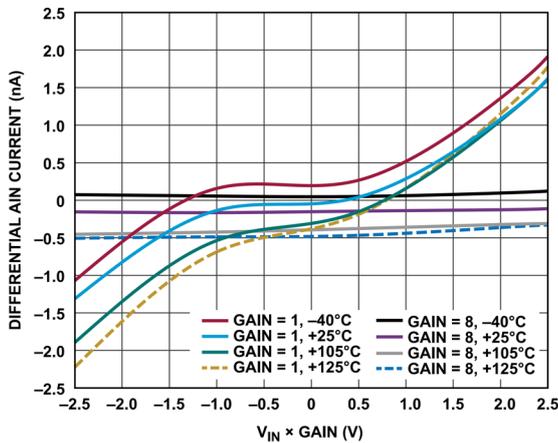


図 41. 差動 AIN 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン 1~ゲイン 8)

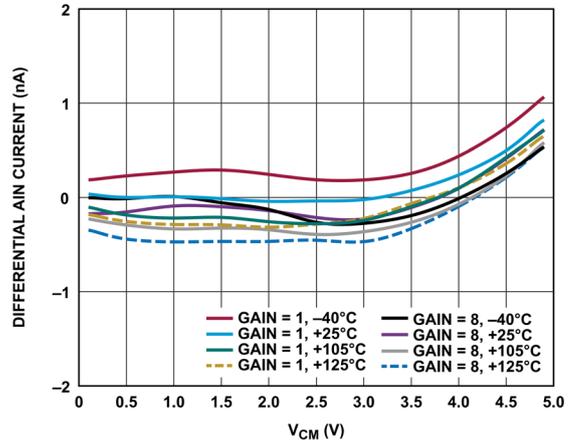


図 44. 差動 AIN 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン 1~ゲイン 8)

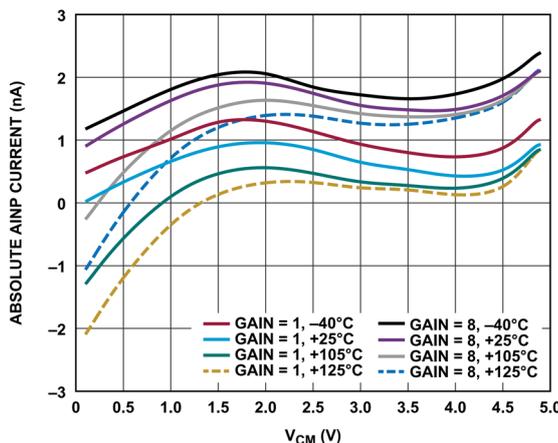


図 42. 絶対 AINP 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン 1~ゲイン 8)

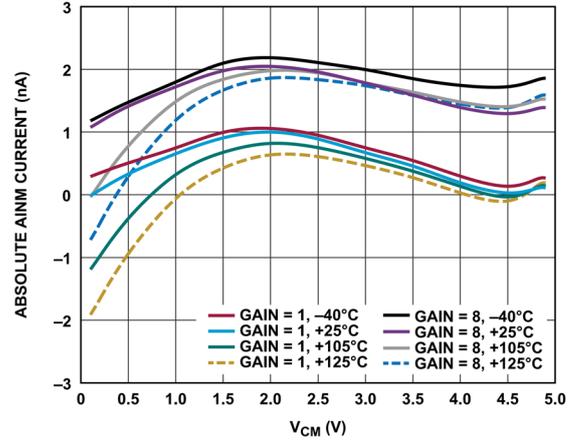


図 45. 絶対 AINM 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン 1~ゲイン 8)

代表的な性能特性

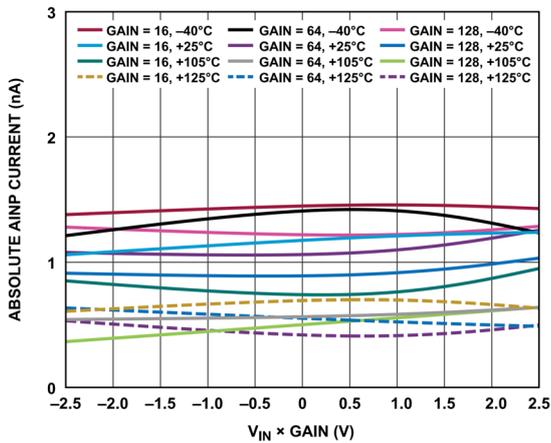


図 46. 絶対 AINP 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン 16~ゲイン 128)

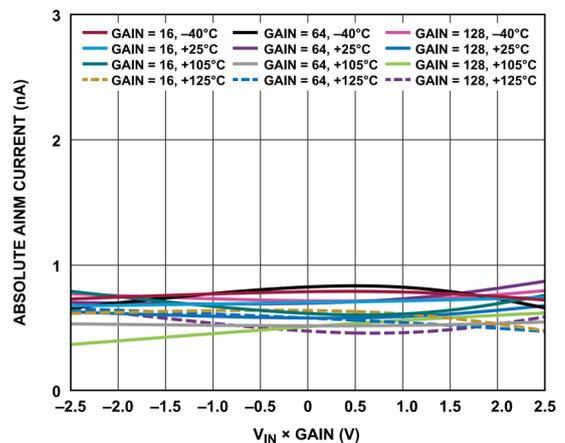


図 49. 絶対 AINM 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン 16~ゲイン 128)

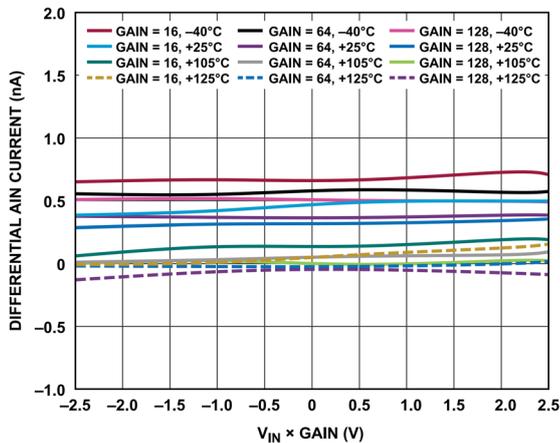


図 47. 差動 AIN 電流と  $V_{IN}$  の関係  
( $V_{CM} = (AVDD + AVSS)/2$ 、ゲイン 16~ゲイン 128)

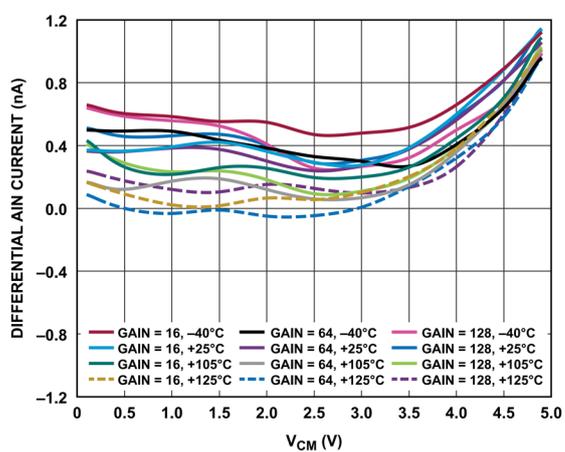


図 50. 差動 AIN 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン 16~ゲイン 128)

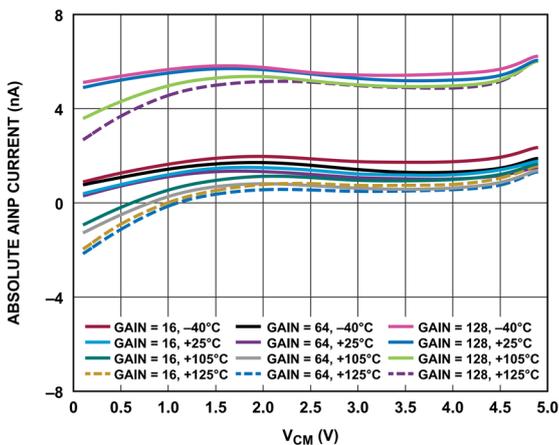


図 48. 絶対 AINP 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン 16~ゲイン 128)

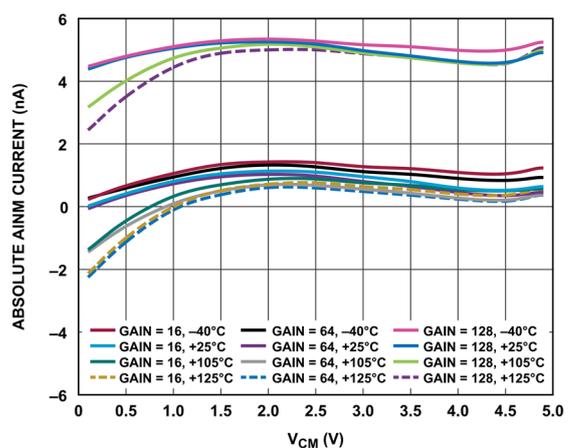


図 51. 絶対 AINM 電流と  $V_{CM}$  の関係  
( $V_{IN} = 0$ 、ゲイン 16~ゲイン 128)

代表的な性能特性

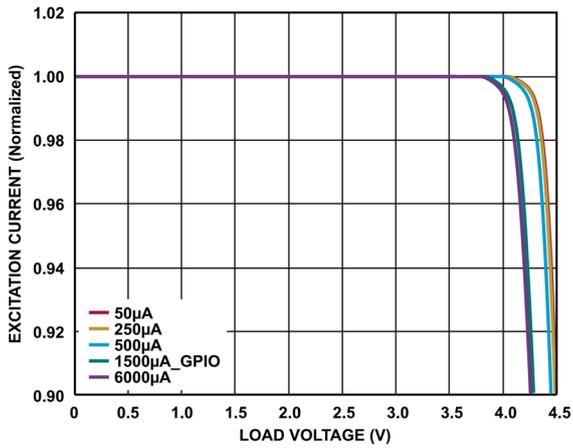


図 52. 励起電流出力コンプライアンス

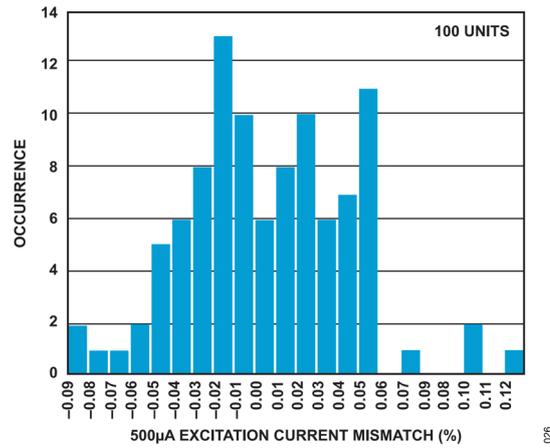


図 55. IOUTn の励起電流の初期マッチング (500µA)

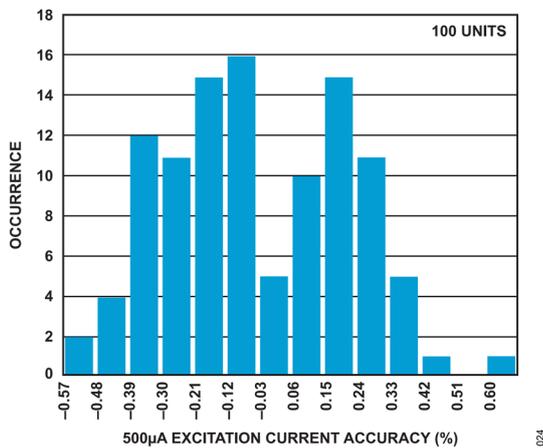


図 53. IOUTn の励起電流の初期精度 (500µA)

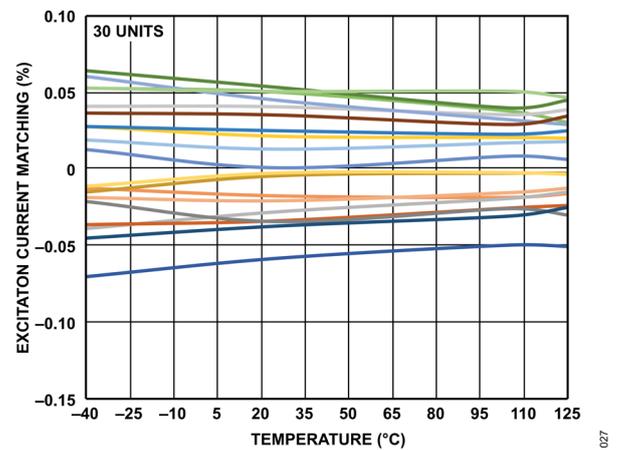


図 56. IOUTn の励起電流のマッチングと温度の関係 (500µA)

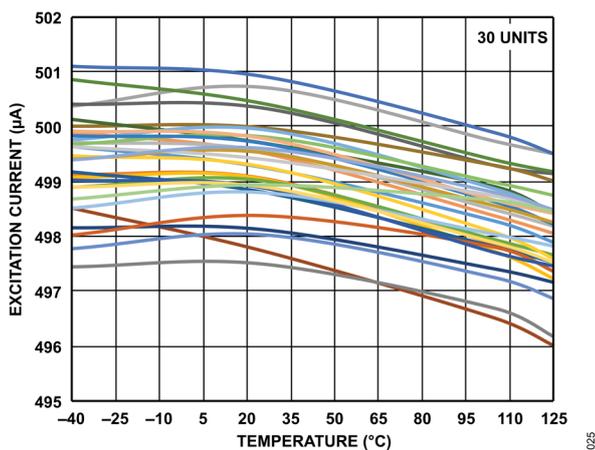


図 54. IOUTn の励起電流と温度の関係 (500µA)

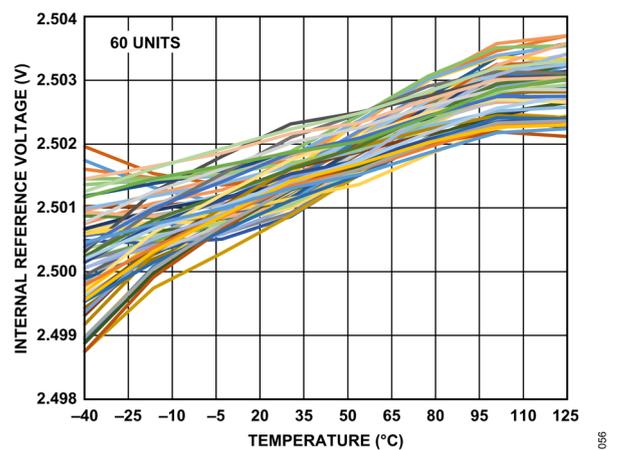


図 57. 内蔵リファレンス電圧と温度の関係 (ハンダ付けしたデバイス)

代表的な性能特性

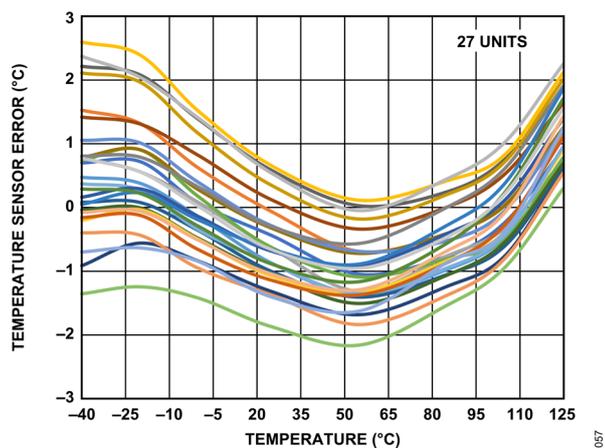


図 58. 内部温度センサーの精度

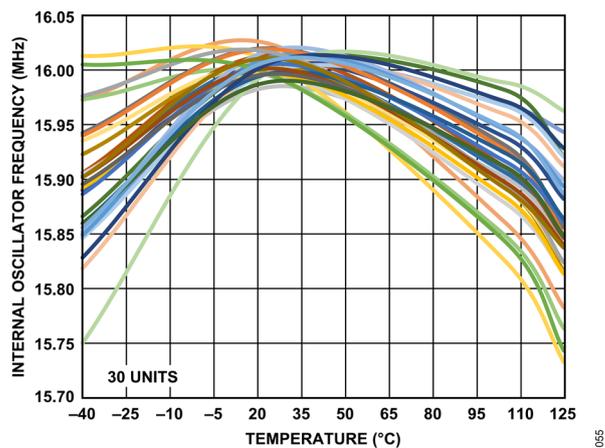


図 59. 内蔵発振器と温度の関係

実効値およびノイズ性能

表 7~表 16 に、様々な出力データレート、ゲイン設定、およびフィルタに対するAD4195-4のRMS実効値ノイズ、ピーク to ピーク・ノイズ、実効分解能、ノイズフリー（ピーク to ピーク）分解能を示します。ここに示した値は、2.5V の外部リファレンスを使用したバイポーラ入力範囲の場合です。これらの値は代表値であり、ADCが単一チャンネルで連続変換しているときに0Vの差動入力を使って得られた1000 サンプルの値を集めたものです。実効分解能は実効値ノイズを基に計算された値で、ピーク to ピーク分解能（括弧内の値）はピーク to ピーク・ノイズを基

に計算された値であることに注意してください。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

$$Effective\ Resolution = \log_2 (Input\ Range/RMS\ Noise)$$

$$Peak-to-Peak\ Resolution = \log_2 (Input\ Range/Peak-to-Peak\ Noise)$$

sinc<sup>5</sup> + 平均化

表 7. ゲインと出力データレートに対する実効値ノイズ（ピーク to ピーク・ノイズ）（μV）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	3.81	0.21 (1.2)	0.12 (0.60)	0.09 (0.60)	0.07 (0.30)	0.04 (0.22)	0.03 (0.19)	0.03 (0.19)	0.02 (0.12)	0.01 (0.09)	0.01 (0.09)
25,000	10	0.33 (1.8)	0.16 (0.89)	0.17 (0.89)	0.10 (0.60)	0.07 (0.37)	0.05 (0.30)	0.04 (0.26)	0.03 (0.20)	0.02 (0.15)	0.02 (0.13)
20,000	12.5	0.34 (1.8)	0.16 (0.89)	0.19 (0.89)	0.10 (0.60)	0.07 (0.45)	0.06 (0.30)	0.05 (0.28)	0.03 (0.20)	0.03 (0.17)	0.02 (0.17)
10,000	25	0.45 (3)	0.21 (1.5)	0.25 (1.5)	0.14 (1)	0.09 (0.60)	0.08 (0.52)	0.06 (0.37)	0.05 (0.35)	0.04 (0.23)	0.03 (0.19)
5,000	50	0.64 (4.2)	0.28 (1.5)	0.33 (2.1)	0.20 (1.3)	0.13 (0.82)	0.11 (0.71)	0.09 (0.58)	0.07 (0.44)	0.05 (0.31)	0.04 (0.28)
4,160	60.1	0.71 (4.8)	0.31 (1.8)	0.35 (2.1)	0.22 (1.5)	0.15 (0.89)	0.12 (0.75)	0.10 (0.65)	0.07 (0.48)	0.06 (0.36)	0.04 (0.27)
2,000	125	1 (6.6)	0.45 (2.7)	0.52 (3.6)	0.30 (1.8)	0.21 (1.3)	0.17 (1)	0.15 (0.99)	0.10 (0.70)	0.08 (0.51)	0.07 (0.47)
500	500	1.9 (13.1)	0.86 (5.7)	1 (6.3)	0.59 (3.7)	0.41 (2.7)	0.35 (2.3)	0.29 (1.9)	0.21 (1.5)	0.17 (1)	0.14 (0.95)
320	781.25	2.5 (16.7)	1.1 (7.5)	1.3 (7.8)	0.78 (5.5)	0.53 (3.2)	0.45 (2.8)	0.36 (2.4)	0.27 (1.8)	0.20 (1.4)	0.17 (1.1)
160	1,562.5	3.4 (22.6)	1.5 (10.3)	1.8 (11.7)	1.1 (7.3)	0.76 (5.7)	0.63 (4.2)	0.52 (3.2)	0.37 (2.5)	0.30 (1.9)	0.25 (1.7)
100	2,500	4.3 (28.2)	1.9 (12.6)	2.3 (15.6)	1.4 (9.4)	0.98 (6.9)	0.81 (5.2)	0.67 (4.8)	0.49 (3.3)	0.39 (2.6)	0.33 (2.2)
40	6,250	6.8 (42.5)	3 (18.9)	3.6 (23.2)	2.2 (14.6)	1.6 (11)	1.4 (9.3)	1.1 (7.5)	0.82 (5.4)	0.67 (4.4)	0.59 (3.5)
20	12,500	9.7 (63.3)	4.1 (25.2)	5.1 (34.7)	3.3 (22.2)	2.4 (16)	2.1 (13.7)	1.7 (10.5)	1.3 (8.6)	1.1 (7.4)	0.94 (6.2)
16	15,625	10.9 (75.2)	4.5 (24.6)	5.8 (38.3)	3.7 (24.5)	2.8 (18.1)	2.5 (16.5)	2 (13.5)	1.5 (10.4)	1.3 (8.7)	1.1 (7.6)
12	20833.3	12.6 (88.5)	5.1 (34.4)	6.8 (44.1)	4.4 (29.5)	3.4 (22.9)	3 (16.5)	2.4 (15.9)	1.8 (11.3)	1.6 (11)	1.4 (9.3)
8	31,250	15.4 (103.9)	6 (40.4)	8.4 (52.4)	5.6 (33.4)	4.5 (30.9)	3.9 (25.2)	3.2 (21.2)	2.5 (16.9)	2.1 (13.8)	2 (13.3)
4	62,500	19.4 (121.7)	7.1 (47.9)	10.8 (72.3)	7.6 (50)	6.1 (43.4)	5.6 (34.9)	4.5 (30.6)	3.5 (23.1)	3.1 (20.8)	2.9 (20.4)

表 8. ゲインと出力データレートに対する有効分解能（ピーク to ピーク分解能）（ビット）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	3.81	24.0 (23.0)	24.0 (23.0)	24.0 (23.0)	24.0 (23.0)	24.0 (22.4)	24.0 (21.7)	23.5 (20.7)	23.0 (20.3)	22.4 (19.8)	21.7 (18.8)
25,000	10	24.0 (22.4)	24.0 (22.4)	24.0 (22.4)	24.0 (22.0)	24.0 (21.7)	23.5 (21.0)	22.8 (20.2)	22.4 (19.6)	21.7 (19.0)	20.9 (18.2)
20,000	12.5	24.0 (22.4)	24.0 (22.4)	24.0 (22.4)	24.0 (22.0)	24.0 (21.4)	23.4 (21.0)	22.7 (20.1)	22.2 (19.6)	21.5 (18.8)	20.8 (17.8)
10,000	25	24.0 (21.7)	24.0 (21.7)	24.0 (21.7)	24.0 (21.2)	23.7 (21.0)	23.0 (20.2)	22.2 (19.7)	21.6 (18.8)	21.0 (18.4)	20.3 (17.6)
5,000	50	23.9 (21.2)	24.0 (21.7)	23.8 (21.2)	23.6 (20.8)	23.2 (20.5)	22.4 (19.8)	21.7 (19.0)	21.1 (18.4)	20.5 (18.0)	19.8 (17.1)
4,160	60.1	23.7 (21.0)	23.9 (21.4)	23.7 (21.2)	23.4 (20.7)	23.0 (20.4)	22.3 (19.7)	21.5 (18.9)	21.1 (18.3)	20.4 (17.7)	19.7 (17.1)
2,000	125	23.3 (20.5)	23.4 (20.8)	23.2 (20.4)	23.0 (20.4)	22.5 (19.8)	21.8 (19.2)	21.0 (18.3)	20.5 (17.8)	19.9 (17.2)	19.1 (16.3)
500	500	22.3 (19.5)	22.5 (19.8)	22.2 (19.6)	22.0 (19.4)	21.5 (18.8)	20.8 (18.0)	20.1 (17.3)	19.5 (16.7)	18.8 (16.2)	18.1 (15.3)
320	781.25	21.9 (19.2)	22.2 (19.4)	21.9 (19.3)	21.6 (18.8)	21.2 (18.6)	20.4 (17.8)	19.7 (17.0)	19.2 (16.4)	18.6 (15.8)	17.8 (15.1)
160	1,562.5	21.5 (18.8)	21.7 (18.9)	21.4 (18.7)	21.1 (18.4)	20.6 (17.7)	19.9 (17.2)	19.2 (16.6)	18.7 (15.9)	18.0 (15.3)	17.2 (14.5)
100	2,500	21.1 (18.4)	21.3 (18.6)	21.1 (18.3)	20.8 (18)	20.3 (17.5)	19.6 (16.9)	18.8 (16.0)	18.3 (15.5)	17.6 (14.9)	16.9 (14.1)
40	6,250	20.5 (17.8)	20.7 (18)	20.4 (17.7)	20.1 (17.4)	19.6 (16.8)	18.8 (16)	18.1 (15.3)	17.5 (14.8)	16.8 (14.1)	16.0 (13.4)
20	12,500	20.0 (17.3)	20.2 (17.6)	19.9 (17.1)	19.5 (16.8)	19.0 (16.3)	18.2 (15.5)	17.5 (14.9)	16.9 (14.1)	16.2 (13.4)	15.3 (12.6)
16	15,625	19.8 (17)	20.1 (17.6)	19.7 (17)	19.4 (16.6)	18.8 (16.1)	18.0 (15.2)	17.3 (14.5)	16.7 (13.9)	15.9 (13.1)	15.1 (12.3)
12	20,833.3	19.6 (16.8)	19.9 (17.1)	19.5 (16.9)	19.1 (16.4)	18.5 (15.7)	17.7 (15.2)	17.0 (14.3)	16.4 (13.8)	15.6 (12.8)	14.8 (12)

実効値およびノイズ性能

表 8. ゲインと出力データレートに対する有効分解能（ピーク to ピーク分解能）（ビット）（続き）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
8	31,250	19.3 (16.6)	19.7 (16.9)	19.2 (16.5)	18.8 (16.2)	18.1 (15.3)	17.3 (14.6)	16.6 (13.8)	16.0 (13.2)	15.2 (12.5)	14.3 (11.5)
4	62,500	19.0 (16.3)	19.4 (16.7)	18.8 (16.1)	18.3 (15.6)	17.6 (14.8)	16.8 (14.1)	16.1 (13.3)	15.4 (12.7)	14.6 (11.9)	13.7 (10.9)

sinc<sup>5</sup>

表 9. ゲインと出力データレートに対する実効値ノイズ（ピーク to ピーク・ノイズ）（μV）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
256	976	1.8 (12.5)	0.76 (5.1)	0.93 (6.2)	0.57 (3.7)	0.39 (2.6)	0.32 (2.2)	0.25 (1.7)	0.20 (1.2)	0.15 (0.99)	0.12 (0.80)
192	1,302	2 (13.5)	0.91 (6.5)	1.1 (7.1)	0.65 (4.1)	0.46 (3.5)	0.38 (2.5)	0.31 (2.1)	0.22 (1.5)	0.17 (1.2)	0.14 (0.91)
128	1,953	2.5 (16.5)	1.1 (7.2)	1.3 (8.5)	0.81 (5.5)	0.55 (3.6)	0.46 (3.2)	0.38 (2.5)	0.27 (1.9)	0.21 (1.4)	0.18 (1.2)
64	3,906	3.6 (23.4)	1.6 (10.7)	1.9 (12.5)	1.1 (7.1)	0.79 (5.5)	0.65 (4.3)	0.53 (3.6)	0.38 (2.5)	0.30 (2.1)	0.25 (1.7)
32	7,812.5	5.1 (33.9)	2.2 (14.4)	2.7 (18.2)	1.6 (11.1)	1.1 (7.2)	0.93 (6.3)	0.77 (5.1)	0.55 (3.7)	0.43 (2.6)	0.37 (2.5)
16	15,625	7.4 (49.0)	3.2 (21.6)	3.9 (25.9)	2.4 (15.4)	1.7 (11.2)	1.4 (9.8)	1.2 (7.1)	0.84 (5.5)	0.69 (4.6)	0.59 (4.1)
8	31,250	11.2 (73.2)	4.6 (30.1)	6.0 (40)	3.8 (25.9)	2.8 (20.2)	2.5 (17.3)	2 (13.7)	1.5 (10.6)	1.3 (8.6)	1.2 (8)
4	62,500	19.4 (127)	7.1 (45.8)	10.9 (70.8)	7.6 (51)	6.2 (40.7)	5.6 (33.2)	4.5 (30)	3.5 (24)	3 (20.7)	2.9 (20.4)

表 10. ゲインと出力データレートに対する有効分解能（ピーク to ピーク分解能）（ビット）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
256	976	22.4 (19.6)	22.6 (19.9)	22.4 (19.6)	22.1 (19.4)	21.6 (18.9)	20.9 (18.1)	20.2 (17.5)	19.6 (17.0)	19.0 (16.3)	18.3 (15.6)
192	1,302	22.2 (19.5)	22.4 (19.6)	22.1 (19.4)	21.9 (19.2)	21.4 (18.4)	20.7 (17.9)	20.0 (17.2)	19.4 (16.7)	18.8 (16)	18.1 (15.4)
128	1,953	21.9 (19.2)	22.1 (19.4)	21.8 (19.2)	21.6 (18.8)	21.1 (18.4)	20.4 (17.6)	19.7 (16.9)	19.1 (16.3)	18.5 (15.8)	17.8 (15)
64	3,906	21.4 (18.7)	21.6 (18.8)	21.3 (18.6)	21.1 (18.4)	20.6 (17.8)	19.9 (17.1)	19.2 (16.4)	18.7 (15.9)	18.0 (15.2)	17.3 (14.5)
32	7,812.5	20.9 (18.2)	21.1 (18.4)	20.8 (18.1)	20.6 (17.8)	20.1 (17.4)	19.4 (16.6)	18.6 (15.9)	18.1 (15.4)	17.5 (14.9)	16.7 (13.9)
16	15,625	20.4 (17.6)	20.6 (17.8)	20.3 (17.6)	20.0 (17.3)	19.5 (16.8)	18.8 (16)	18.0 (15.4)	17.5 (14.8)	16.8 (14.1)	16.0 (13.2)
8	31,250	19.8 (17.1)	20.0 (17.3)	19.7 (16.9)	19.3 (16.6)	18.7 (15.9)	17.9 (15.1)	17.2 (14.5)	16.6 (13.8)	15.9 (13.1)	15.0 (12.3)
4	62,500	19.0 (16.3)	19.4 (16.7)	18.8 (16.1)	18.3 (15.6)	17.6 (14.9)	16.8 (14.2)	16.1 (13.3)	15.4 (12.7)	14.7 (11.9)	13.7 (10.9)

sinc<sup>3</sup>

表 11. ゲインと出力データレートに対する実効値ノイズ（ピーク to ピーク・ノイズ）（μV）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	3.81	0.21 (1.2)	0.12 (1.2)	0.12 (1.2)	0.07 (0.60)	0.03 (0.30)	0.03 (0.20)	0.02 (0.15)	0.01 (0.09)	0.01 (0.07)	0.01 (0.05)
25,000	10	0.28 (1.2)	0.15 (1.2)	0.14 (1.2)	0.07 (0.60)	0.05 (0.3)	0.04 (0.20)	0.03 (0.19)	0.02 (0.13)	0.02 (0.13)	0.01 (0.12)
20,000	12.5	0.29 (1.2)	0.11 (1.2)	0.14 (1.2)	0.09 (0.60)	0.05 (0.37)	0.04 (0.27)	0.03 (0.24)	0.02 (0.15)	0.02 (0.12)	0.02 (0.10)
10,000	25	0.37 (1.8)	0.17 (1.2)	0.19 (1.2)	0.11 (0.89)	0.07 (0.45)	0.06 (0.40)	0.05 (0.28)	0.03 (0.23)	0.03 (0.19)	0.02 (0.15)
5,000	50	0.49 (3)	0.22 (1.2)	0.25 (1.2)	0.15 (0.89)	0.10 (0.60)	0.08 (0.48)	0.07 (0.45)	0.05 (0.30)	0.04 (0.26)	0.03 (0.20)
4,160	60.1	0.55 (3.6)	0.25 (1.2)	0.28 (1.8)	0.16 (1.1)	0.11 (0.75)	0.09 (0.60)	0.07 (0.47)	0.05 (0.36)	0.04 (0.27)	0.03 (0.23)
2,000	125	0.72 (4.8)	0.32 (2.1)	0.39 (2.6)	0.24 (1.3)	0.16 (0.89)	0.13 (0.89)	0.11 (0.61)	0.08 (0.48)	0.06 (0.39)	0.05 (0.33)
500	500	1.4 (9.3)	0.64 (4.2)	0.78 (5.1)	0.47 (2.7)	0.31 (2)	0.27 (1.8)	0.22 (1.3)	0.15 (1.1)	0.13 (0.70)	0.10 (0.60)
320	781.25	1.8 (11.1)	0.78 (5.1)	0.93 (6)	0.56 (3.4)	0.40 (2.8)	0.32 (2.1)	0.28 (1.8)	0.19 (1.1)	0.15 (1.1)	0.13 (0.85)
160	1,562.5	2.6 (17.7)	1.1 (7.6)	1.3 (8.4)	0.80 (5.5)	0.56 (3.7)	0.46 (3.1)	0.39 (2.6)	0.27 (1.8)	0.22 (1.5)	0.18 (1.2)
100	2,500	3.2 (21.4)	1.4 (9.3)	1.7 (11.7)	1 (6.2)	0.71 (4.7)	0.59 (3.9)	0.48 (3.2)	0.34 (2.3)	0.27 (1.8)	0.23 (1.6)
40	6,250	5.2 (34.3)	2.3 (15.2)	2.7 (17.9)	1.6 (10.5)	1.2 (8)	0.94 (6.7)	0.78 (5.2)	0.56 (3.4)	0.44 (2.9)	0.37 (2.5)

実効値およびノイズ性能

表 11. ゲインと出力データレートに対する実効値ノイズ（ピーク to ピーク・ノイズ）（ $\mu\text{V}$ ）（続き）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain									
		Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
20	12,500	7.5 (51.4)	3.3 (21.1)	3.9 (25.6)	2.4 (15.8)	1.7 (11.2)	1.4 (9.9)	1.2 (7.9)	0.86 (5.7)	0.70 (4.8)	0.60 (4.1)
16	15,625	8.4 (56.8)	3.6 (23.2)	4.5 (29.9)	2.8 (18.9)	2 (13.3)	1.7 (11.2)	1.4 (9.3)	1 (6.1)	0.84 (5.4)	0.72 (4.8)
12	20,833.3	10.2 (68.1)	4.2 (27.2)	5.4 (35.9)	3.4 (22.1)	2.5 (16.7)	2.2 (14.5)	1.8 (11.3)	1.3 (8.8)	1.1 (7.1)	0.98 (6.6)
8	31,250	13.7 (91)	5.5 (36.7)	7.5 (51.7)	4.8 (30.5)	3.7 (24.9)	3.3 (21.8)	2.7 (17.8)	2 (13.1)	1.7 (11)	1.6 (10.5)
4	62,500	39.5 (258)	17.6 (120)	20.7 (138)	12.9 (85.2)	9.5 (62.3)	8.1 (52.3)	6.5 (45.3)	5 (31.3)	4.4 (30.7)	4.1 (27.7)

表 12. ゲインと出力データレートに対する有効分解能（ピーク to ピーク分解能）（ビット）

Filter Word (Dec.)	Output Data Rate (SPS)	Gain									
		Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
65,532	3.81	24.0 (23.0)	24.0 (22.0)	24.0 (22.0)	24.0 (22.0)	24.0 (22.0)	24.0 (21.6)	24.0 (21.0)	23.5 (20.7)	22.8 (20.1)	22.0 (19.5)
25,000	10	24.0 (23.0)	24.0 (22.0)	24.0 (22.0)	24.0 (22.0)	24.0 (22.0)	23.9 (21.6)	23.3 (20.7)	22.7 (20.2)	22.1 (19.2)	21.3 (18.3)
20,000	12.5	24.0 (23.0)	24.0 (22.0)	24.0 (22.0)	24.0 (22.0)	24.0 (21.7)	23.8 (21.1)	23.1 (20.3)	22.6 (20.0)	21.9 (19.4)	21.2 (18.5)
10,000	25	24.0 (22.4)	24.0 (22)	24.0 (22.0)	24.0 (21.4)	24.0 (21.4)	23.3 (20.6)	22.7 (20.1)	22.2 (19.4)	21.5 (18.7)	20.8 (18)
5,000	50	24.0 (21.7)	24.0 (22.0)	24.0 (22.0)	24.0 (21.4)	23.6 (21.0)	22.9 (20.3)	22.1 (19.4)	21.6 (19)	21.0 (18.2)	20.3 (17.6)
4,160	60.1	24.0 (21.4)	24.0 (22.0)	24.0 (21.4)	23.9 (21.1)	23.5 (20.7)	22.7 (20.0)	22.0 (19.4)	21.5 (18.7)	20.8 (18.1)	20.1 (17.4)
2,000	125	23.7 (21.0)	23.9 (21.2)	23.6 (20.9)	23.3 (20.8)	22.9 (20.4)	22.2 (19.4)	21.5 (19.0)	20.9 (18.3)	20.3 (17.6)	19.6 (16.9)
500	500	22.8 (20)	22.9 (20.2)	22.6 (19.9)	22.3 (19.8)	21.9 (19.2)	21.1 (18.4)	20.5 (17.9)	20.0 (17.2)	19.3 (16.8)	18.6 (16.0)
320	781.25	22.4 (19.8)	22.6 (19.9)	22.4 (19.7)	22.1 (19.5)	21.6 (18.8)	20.9 (18.2)	20.1 (17.4)	19.6 (17.1)	19.0 (16.2)	18.3 (15.5)
160	1562.5	21.9 (19.1)	22.1 (19.3)	21.8 (19.2)	21.6 (18.8)	21.1 (18.4)	20.4 (17.6)	19.6 (16.9)	19.1 (16.4)	18.5 (15.7)	17.7 (15)
100	2,500	21.6 (18.8)	21.7 (19)	21.5 (18.7)	21.2 (18.6)	20.8 (18)	20.0 (17.3)	19.3 (16.6)	18.8 (16.1)	18.1 (15.4)	17.4 (14.6)
40	6,250	20.9 (18.2)	21.1 (18.3)	20.8 (18.1)	20.5 (17.9)	20.1 (17.3)	19.3 (16.5)	18.6 (15.9)	18.1 (15.5)	17.4 (14.7)	16.7 (13.9)
20	12,500	20.3 (17.6)	20.5 (17.6)	20.3 (17.6)	20.0 (17.3)	19.5 (16.8)	18.7 (15.9)	18.0 (15.3)	17.5 (14.7)	16.8 (14)	16.0 (13.2)
16	15,625	20.2 (17.4)	20.4 (17.7)	20.1 (17.4)	19.8 (17)	19.2 (16.5)	18.5 (15.8)	17.8 (15)	17.2 (14.6)	16.5 (13.8)	15.7 (13)
12	20,833.3	19.9 (17.2)	20.2 (17.5)	19.8 (17.1)	19.5 (16.8)	18.9 (16.2)	18.1 (15.4)	17.4 (14.8)	16.9 (14.1)	16.1 (13.4)	15.3 (12.5)
8	31,250	19.5 (16.7)	19.8 (17.1)	19.4 (16.6)	19.0 (16.3)	18.4 (15.6)	17.5 (14.8)	16.8 (14.1)	16.2 (13.5)	15.5 (12.8)	14.6 (11.9)
4	62,500	18.0 (15.2)	18.1 (15.3)	17.9 (15.1)	17.6 (14.8)	17.0 (14.3)	16.2 (13.5)	15.6 (12.8)	14.9 (12.3)	14.1 (11.3)	13.2 (10.5)

ポスト・フィルタ

表 13. ゲインと出力データレートに対する実効値ノイズ（ピーク to ピーク・ノイズ）（ $\mu\text{V}$ ）、 $\text{sinc}^5$  + 平均化フィルタ、FILTER\_FS = 208

Settling Time (ms)	Output Data Rate (SPS)	Gain									
		Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
40	25	0.51 (3)	0.23 (1.5)	0.29 (1.8)	0.16 (0.89)	0.12 (0.67)	0.09 (0.52)	0.07 (0.54)	0.05 (0.33)	0.04 (0.25)	0.03 (0.21)
50	20	0.49 (3)	0.22 (1.5)	0.24 (1.5)	0.16 (0.89)	0.10 (0.67)	0.08 (0.52)	0.07 (0.47)	0.05 (0.30)	0.04 (0.24)	0.03 (0.21)
60	16.7	0.49 (28.9)	0.21 (1.5)	0.24 (1.5)	0.15 (0.89)	0.10 (0.67)	0.08 (0.52)	0.07 (0.43)	0.05 (0.32)	0.04 (0.22)	0.03 (0.22)

表 14. ゲインと出力データレートに対する有効分解能（ピーク to ピーク分解能）（ビット）、 $\text{sinc}^5$  + 平均化フィルタ、FILTER\_FS = 208

Settling Time (ms)	Output Data Rate (SPS)	Gain									
		Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
40	25	24.0 (21.7)	24.0 (21.7)	24.0 (21.4)	23.9 (21.4)	23.4 (20.8)	22.8 (20.2)	22.0 (19.1)	21.6 (18.9)	20.9 (18.2)	20.2 (17.5)
50	20	24.0 (21.7)	24.0 (21.7)	24.0 (21.7)	23.9 (21.4)	23.5 (20.8)	22.9 (20.2)	22.1 (19.4)	21.6 (19.0)	20.9 (18.3)	20.1 (17.5)
60	16.7	24.0 (21.7)	24.0 (21.7)	24.0 (21.7)	24.0 (21.4)	23.6 (20.8)	22.9 (20.2)	22.2 (19.5)	21.6 (18.9)	21.0 (18.4)	20.3 (17.4)

実効値およびノイズ性能

16 平均ポスト・フィルタによる平均化

表 15. ゲインと出力データレートに対する実効値ノイズ（ピーク to ピーク・ノイズ）（ $\mu\text{V}$ ）、 $\text{sinc}^5$  + 平均化フィルタ

Filter Word (Dec.)	Output Data Rate (SPS)	Gain									
		Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2000	7.81	0.33 (1.8)	0.22 (0.89)	0.21 (1.2)	0.18 (1.1)	0.18 (0.9)	0.18 (0.8)	0.11 (0.7)	0.12 (0.55)	0.12 (0.42)	0.10 (0.36)
500	31.25	0.53 (3)	0.28 (1.5)	0.31 (2.1)	0.23 (1.2)	0.19 (1)	0.19 (0.97)	0.13 (0.8)	0.13 (0.56)	0.12 (0.56)	0.11 (0.44)
320	48.83	0.63 (3.6)	0.32 (1.8)	0.35 (2.1)	0.25 (1.3)	0.21 (1)	0.20 (1)	0.14 (0.8)	0.13 (0.62)	0.13 (0.59)	0.11 (0.54)
160	97.66	0.87 (5.8)	0.42 (2.8)	0.48 (3.2)	0.31 (2.1)	0.25 (1.7)	0.23 (1.4)	0.16 (1.1)	0.15 (0.96)	0.14 (0.85)	0.12 (0.70)
100	156.25	1.1 (7.3)	0.51 (3.4)	0.59 (3.5)	0.37 (2.5)	0.29 (2.1)	0.26 (1.9)	0.19 (1.3)	0.16 (1.1)	0.15 (0.95)	0.13 (0.79)
40	390.63	1.7 (11.7)	0.77 (5)	0.91 (6.1)	0.56 (3.8)	0.41 (2.7)	0.35 (2.4)	0.28 (1.9)	0.21 (1.5)	0.19 (1.3)	0.16 (1.1)
20	781.25	2.4 (15.9)	1.1 (7.3)	1.3 (9.1)	0.77 (5.1)	0.55 (3.2)	0.46 (3.1)	0.38 (2.5)	0.28 (1.9)	0.23 (1.6)	0.20 (1.3)
16	976.56	2.7 (17.9)	1.2 (7.9)	1.4 (10)	0.86 (5.9)	0.61 (4.1)	0.51 (3.5)	0.41 (2.7)	0.31 (2.1)	0.25 (1.7)	0.22 (1.5)
12	1302.08	3.1 (20.3)	1.4 (9.2)	1.6 (10.7)	1.00 (6.5)	0.71 (4.7)	0.59 (4)	0.48 (3.3)	0.35 (2.3)	0.29 (2)	0.24 (1.6)
8	1953.13	3.8 (25.6)	1.7 (11)	2 (13.1)	1.22 (8.3)	0.86 (5.7)	0.72 (4.7)	0.59 (4)	0.43 (2.8)	0.35 (2.3)	0.30 (1.9)
4	3906.25	5.7 (34.7)	2.5 (16.5)	3 (20.3)	1.84 (12.6)	1.3 (8.5)	1.11 (7.7)	0.90 (5.9)	0.66 (4.4)	0.54 (3.6)	0.47 (3.1)

表 16. ゲインと出力データレートに対する有効分解能（ピーク to ピーク分解能）（ビット）、 $\text{sinc}^5$  + 平均化フィルタ

Filter Word (Dec.)	Output Data Rate (SPS)	Gain									
		Gain = 0.5	Gain = 1PQ	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2000	7.81	24.0 (22.4)	24.0 (22.4)	24.0 (22.0)	23.7 (21.1)	22.8 (20.4)	21.8 (19.6)	21.4 (18.8)	20.4 (18.1)	19.3 (17.5)	18.5 (16.7)
500	31.25	24.0 (21.7)	24.0 (21.7)	23.9 (21.2)	23.4 (21.0)	22.6 (20.2)	21.6 (19.3)	21.2 (18.6)	20.2 (18.1)	19.3 (17.1)	18.5 (16.4)
320	48.83	23.9 (21.4)	23.9 (21.4)	23.8 (21.2)	23.3 (20.8)	22.5 (20.2)	21.6 (19.2)	21.1 (18.6)	20.2 (17.9)	19.2 (17.0)	18.4 (16.1)
160	97.66	23.4 (20.7)	23.5 (20.8)	23.3 (20.6)	22.9 (20.2)	22.3 (19.5)	21.4 (18.8)	20.9 (18.1)	20.0 (17.3)	19.1 (16.5)	18.3 (15.8)
100	156.25	23.1 (20.4)	23.2 (20.5)	23.0 (20.4)	22.7 (19.9)	22.0 (19.2)	21.2 (18.4)	20.6 (17.9)	19.9 (17.1)	19.0 (16.3)	18.2 (15.6)
40	390.63	22.5 (19.7)	22.6 (19.9)	22.4 (19.6)	22.1 (19.3)	21.5 (18.8)	20.8 (18)	20.1 (17.3)	19.5 (16.7)	18.7 (15.9)	17.9 (15.2)
20	781.25	22.0 (19.3)	22.2 (19.4)	21.9 (19.1)	21.6 (18.9)	21.1 (18.6)	20.4 (17.6)	19.7 (16.9)	19.1 (16.3)	18.3 (15.6)	17.6 (15)
16	976.56	21.8 (19.1)	22.0 (19.3)	21.7 (18.9)	21.5 (18.7)	21.0 (18.2)	20.2 (17.4)	19.5 (16.8)	18.9 (16.2)	18.2 (15.5)	17.5 (14.7)
12	1302.08	21.6 (18.9)	21.8 (19.1)	21.6 (18.8)	21.3 (18.6)	20.8 (18)	20.0 (17.3)	19.3 (16.5)	18.8 (16.1)	18.1 (15.3)	17.3 (14.6)
8	1953.13	21.3 (18.6)	21.5 (18.8)	21.2 (18.5)	21.0 (18.2)	20.5 (17.7)	19.7 (17)	19.0 (16.3)	18.5 (15.4)	17.8 (15.1)	17.0 (14.3)
4	3906.25	20.7 (18.1)	20.9 (18.2)	20.7 (17.9)	20.4 (17.6)	19.9 (17.2)	19.1 (16.3)	18.4 (15.7)	17.8 (15.1)	17.1 (14.4)	16.3 (13.6)

動作原理

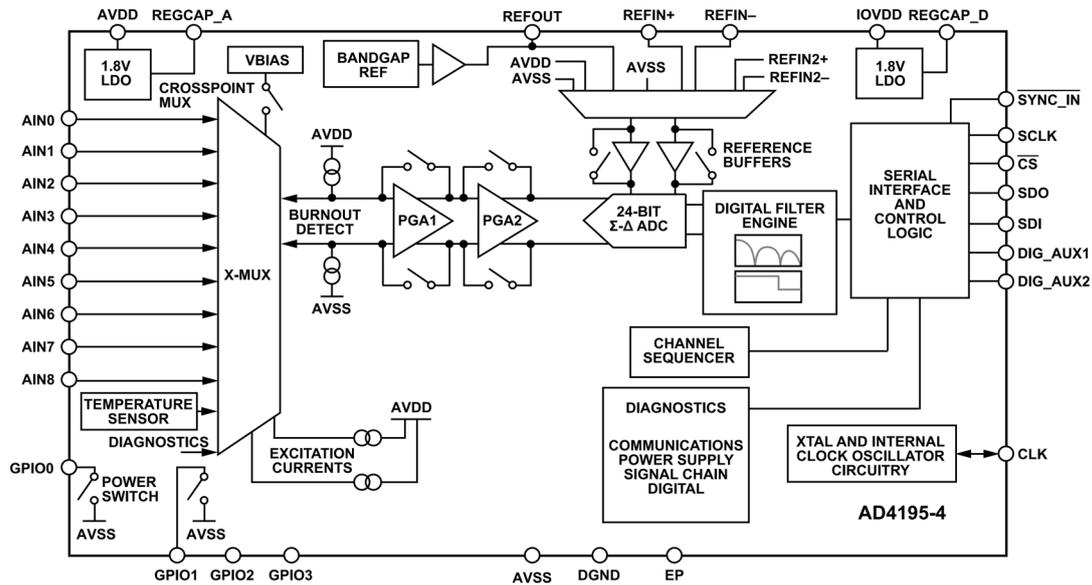


図 60. AD4195-4 の基本接続図

概要

AD4195-4 は、 $\Sigma$ - $\Delta$  変調器、バッファ、リファレンス、ゲイン段、およびデジタル・フィルタ処理機能を内蔵した高精度 ADC であり、DC 信号の測定を目的としています。このデバイスは、圧力計測、温度計測、秤量計アプリケーションなどの複数のエンド・システムで使用できるプラットフォーム・ソリューションです。

アナログ入力

このデバイスは、4 個の差動アナログ入力、8 個の疑似差動アナログ入力、または差動と疑似差動のアナログ入力の組み合わせに対応できます。AD4195-4 は、柔軟性の高いマルチプレクサを採用しています。したがって、任意のアナログ入力ピンを正入力 (AINP) または負入力と (AINM) して選択できます。

マルチプレクサ

内蔵のクロスポイント・マルチプレクサは、アナログ入力ペアに関して柔軟に対応できます。アナログ電源電圧やデジタル電源電圧の測定といった診断機能は、マルチプレクサを用いて選択されます。

リファレンス

このデバイスは、ドリフトが  $\pm 5 \text{ppm}/^\circ\text{C}$  (代表値) の 2.5V リファレンスを内蔵しています。

リファレンス・バッファも内蔵されており、これは内部リファレンスと外部から印加されるリファレンスの両方に使用できます。

プログラマブル・ゲイン・アンプ (PGA)

PGA を使用して、アナログ入力信号を増幅または減衰できます。PGA は、0.5、1、2、4、8、16、32、64、128 のゲインが可能です。ゲイン = 1 プリチャージの設定では PGA をバイパスしますが、プリチャージ・バッファは引き続き使用します。ゲイン = 1 プリチャージの設定を用いると、アナログ電源電流を低減できます。しかし、絶対入力電流および差動入力電流は増加します。

バーンアウト電流

外部センサーの存在を検出するため、 $\pm 100 \text{nA}$ 、 $\pm 2 \mu\text{A}$ 、または  $\pm 10 \mu\text{A}$  に設定可能な 2 つのバーンアウト電流を備えています。

$\Sigma$ - $\Delta$  ADC およびフィルタ

AD4195-4 は、デジタル・フィルタを伴う  $\Sigma$ - $\Delta$  変調器を備えています。デバイスのフィルタ・オプションは次のとおりです。

- ▶  $\text{sinc}^5$
- ▶  $\text{sinc}^3$
- ▶  $\text{sinc}^5$  + 平均化
- ▶ ポスト・フィルタ

チャンネル・シーケンサ

AD4195-4 では、最大 16 チャンネルが可能です。これらのチャンネルに対するマルチプレクサは、アナログ入力、リファレンス入力、または電源から選択でき、電源モニタリングなどの診断機能を変換とインターリーブすることができます。このシーケンサは、イネーブルされた全てのチャンネルを自動的に変換します。AD4195-4 は、選択されているチャンネルで複数の変換を行うことができます。また、AD4195-4 は、フロント・エンド回路が一定のセトリング時間を必要とする場合、選択されたチャンネルの変換を始める前に遅延を加えることもできます。

チャンネルごとの設定

AD4195-4 は、最大 8 通りのセットアップが可能です。それぞれのセットアップは、PGA のゲイン、ODR、フィルタ・タイプ、リファレンス源、ADC/励起電流チョッピング、オフセット・レジスタ、ゲイン・レジスタです。したがって、チャンネルはそれぞれ 1 つのセットアップにリンクされます。

## 動作原理

### シリアル・インターフェース

AD4195-4は4線式SPI ( $\overline{CS}$ 、SDI、SDO、SCLK)を備えています。 $\overline{CS}$ はローに接続できます。そのため、ADCとマイクロプロセッサ間の通信に必要なのは3つのピンだけです。内蔵レジスタには、シリアル・インターフェース経由でアクセスします。

### メイン・クロック

このデバイスは16MHzの内部クロックを備えています。このクロックは内部で2分周されます。この内部クロックまたは外部クロックをデバイスのクロック源として使用します。外部回路用のクロック源が必要な場合は、内部クロックの信号をCLKピンから出力することもできます。

### 温度センサー

内蔵の温度センサーがチップの温度をモニタします。

### 汎用入出力

AD4195-4は、4つの汎用入出力を備えています。これらは、外部回路の駆動に使用できます。例えば、これらの出力で外部マルチプレクサを制御できます。

### キャリブレーション

内部オフセット・キャリブレーション機能とシステム・オフセットおよびフルスケール・キャリブレーション機能のどちらも搭載されています。そのため、デバイス内部のオフセット誤差のみを除去することも、エンド・システム全体のオフセット誤差またはゲイン誤差を除去することもできます。全ゲインに対するフルスケール誤差は、出荷時にキャリブレーションされています。したがって、それ以上の内部フルスケール・キャリブレーションは必要ありません。

### 励起電流

このデバイスは2つの励起電流を備えており、これらは個別に、10 $\mu$ A、50 $\mu$ A、100 $\mu$ A、250 $\mu$ A、500 $\mu$ A、1mA、または1.5mAに設定できます。励起電流は、同じピンに出力することで合算できます。

### バイアス電圧

このデバイスには、バイアス電圧発生器が内蔵されています。そのため、熱電対からの信号を適切にバイアスできます。バイアス電圧は(AVDD + AVSS)/2に設定され、どのアナログ入力ピンでも出力できます。

### ブリッジ・パワーダウン・スイッチ (PDSW)

2つのローサイド・パワー・スイッチにより、ADCにインターフェースされたブリッジをパワーダウンできます。

## 診断機能

AD4195-4は、以下に示すような数多くの診断機能を備えています。

- ▶ リファレンス検出
- ▶ 過電圧/低電圧の検出
- ▶ SPI通信に対するCRC
- ▶ メモリ・マップに対するCRC
- ▶ SPI読み出し/書き込みチェック

これらの診断機能により、アプリケーションでの高いフォルト検出率を実現できます。

## 電源

AD4195-4は4.75V~5.25Vのアナログ電源電圧で動作し、1.7V~5.25Vのデジタル電源にも対応しています。

このデバイスには2本の独立した電源ピン、AVDDとIOVDDがあります。

- ▶ AVDDはAVSSを基準とし、ADCに電力を供給する内部アナログ・レギュレータを駆動します。
- ▶ IOVDDはDGND基準であり、SPIインターフェースのインターフェース・ロジック・レベルを設定し、デジタル処理動作のための内部レギュレータに電力を供給します。

### ユニポーラ・アナログ電源動作 (AVSS = DGND)

ユニポーラ・アナログ電源からAD4195-4に電力を供給する場合、AVSSとDGNDを1つのグラウンド・プレーン上で互いに短絡することができます。このセットアップでは、真のバイポーラ入力を使用してコモンモード電圧をシフトする場合、外部レベル・シフト回路が必要になります。LT1962EMS8-5などの低静止電流のレギュレータが推奨されます。

### バイポーラ・アナログ電源動作 (AVSS $\neq$ DGND)

AD4195-4は、AVSSを負電圧に設定した状態で動作できるので、真のバイポーラ入力を印加できます。これにより、外部のレベル・シフト回路なしで0Vを中心とした完全差動入力の信号をAD4195-4に供給できるようになります。例えば、5Vの分離電源使用時はAVDD = +2.5V、AVSS = -2.5Vです。この使用事例の場合、AD4195-4は内部で信号のレベル・シフトを行うことで、DGND (公称値0V)からIOVDDまでの範囲でデジタル出力が機能するようにします。

AVSSとIOVDDの許容される最大差は6.35Vです。したがって、AVSS = -2.5Vの場合のIOVDDは+3.85V以下とする必要があります。

動作原理

デジタル・コミュニケーション

AD4195-4 は、QSPI、MICROWIRE、DSP に対応できる 4 線式 SPI インターフェース ( $\overline{CS}$ 、SDI、SDO、SCLK) を備えています。 $\overline{CS}$  はローにハードワイヤー接続できるため、ADC とマイクロプロセッサ間の SPI 接続は 3 本に減少します。このインターフェースは SPI モード 3 で動作します。SPI モード 3 の場合、SCLK はアイドル・ハイになり、SCLK の立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。すなわち、データは立下がりの駆動エッジに同期して出力され、立上がりのサンプル・エッジに同期して入力されます。



図 61. SPI モード 3、SCLK のエッジ

詳細については、[デジタル・インターフェース](#)のセクションを参照してください。

設定の概要

パワーオンまたはリセット後の AD4195-4 のデフォルト設定は、次のとおりです。

- ▶ **チャンネル**：チャンネル 0 がイネーブルされ、AIN0 は正入力として選択されており、AIN1 は負入力として選択されています。セットアップ 0 が選択されます。
- ▶ **セットアップ**：リファレンス・プリチャージ・バッファがイネーブルされて、ゲインは 1 に設定されます。更に内部リファレンスがイネーブルされて、リファレンス源として選択されます。
- ▶ **ADC 制御**：AD4195-4 は連続変換モードになり、内部発振器がイネーブルされてメイン・クロック源として選択されます。

このリストではいくつかのレジスタ設定オプションのみが示されていますが、あくまで一例に過ぎません。レジスタの詳細については、[内蔵レジスタ・マップ](#)のセクションを参照してください。

ADC の設定を変更するための推奨手順は、次のとおりです。

- ▶ **チャンネル設定**：チャンネルごとに AINP と AINM を選択します。各チャンネルについて許容可能な 8 通りのセットアップから 1 つを選択します。

表 17. CHANNEL\_SETUP0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x81	CHANNEL_SETUP0	[15:8]	REPEAT_N								0x0000	R/W
0x80		[7:0]	RESERVED	DELAY_N	RESERVED	SETUP_N						

表 18. CHANNEL\_MAP0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x83	CHANNEL_MAP0	[15:8]	RESERVED				AINP_N		0x0001		R/W	
0x82		[7:0]	RESERVED				AINM_N					

- ▶ **セットアップ**：各セットアップを使用するには、フィルタ・タイプ、ODR、ゲイン、リファレンス源、極性を選択します。
- ▶ **診断機能**：SPI CRC、AINP と AINM の過電圧/低電圧チェック、リファレンス検出をそれぞれイネーブルします。
- ▶ **ADC 制御**：ADC の動作モードとメイン・クロック源を選択します。

チャンネル/シーケンサのロット設定

AD4195-4 は 16 のチャンネル選択またはシーケンサ・スロットと、8 つの独立したセットアップを備えています。どのチャンネルでも任意のアナログ入力ペアを選択でき、どのチャンネル/シーケンサ・スロットでも 8 つのセットアップのうち任意のものを選択できるため、チャンネル設定に関する完全な柔軟性が与えられています。また、各チャンネルに固有の専用セットアップを適用できるため、4 つの差動入力または 8 つの疑似差動入力を使用する場合にチャンネルごとの設定を行うことも可能です。

アナログ入力に加え、電源やリファレンスなどの信号もマルチプレクサ入力として使用できます。これらの信号を選択した場合、内部でマルチプレクサにルーティングされます。これにより、診断機能と変換とをインターリーブすることができます。

チャンネル・レジスタ

CHANNEL\_MAPn レジスタは、そのチャンネルの正のアナログ入力または負のアナログ入力を選択するために使用します。CHANNEL\_SETUPn レジスタを用いることで、8 通りのセットアップの 1 つをチャンネルに割り当て、チャンネルを選択することによってそのチャンネルで実行する変換の数を設定し、また、チャンネルを選択した場合にそのチャンネルで変換を実行する前に必要な遅延を設定できます。

チャンネルは、CHANNEL\_EN レジスタでイネーブルされます。

複数のチャンネルがイネーブルされている状態で AD4195-4 が動作している場合、チャンネル・シーケンサはチャンネル 0 からチャンネル 15 まで、イネーブルされているチャンネルを順番に処理します。あるチャンネルがディスエーブルされている場合、このチャンネルはシーケンサによってスキップされます。複数のチャンネルをイネーブルする場合、チャンネル 0 は必ず使用する必要があります。チャンネル 0 のチャンネル・レジスタの詳細を表 17 と表 18 に示します。表 19 には CHANNEL\_EN レジスタを示します。

動作原理

表 19. CHANNEL\_EN レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x79	CHANNEL_EN	[15:8]	CH_15	CH_14	CH_13	CH_12	CH_11	CH_10	CH_9	CH_8
0x78		[7:0]	CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0

ADC セットアップ

AD4195-4 には 8 つの独立したセットアップがあります。各セットアップは以下の 6 つのレジスタから構成されています。

- ▶ 各種設定 (MISC) レジスタ
- ▶ アナログ・フロント・エンド (AFE) レジスタ
- ▶ フィルタ (FILTER) レジスタ
- ▶ FILTER\_FS レジスタ
- ▶ オフセット・レジスタ (OFFSET)
- ▶ ゲイン・レジスタ (GAIN)

例えば、セットアップ 0 は、MISC0、AFE0、FILTER0、FILTER\_FS0、OFFSET0、GAIN0 の各レジスタで構成されます。図 62 には、これらのレジスタのグループ分けが示されています。セットアップは、チャンネル/シーケンサのスロット設定のセクションに詳細を示す CHANNEL\_SETUPn レジスタから選択できます。これにより、各チャンネルを 8 個の個別のセットアップのいずれかに割り当てることができます。表 20~表 25 に、セットアップ 0 に関連するレジスタを示します。セットアップ 1~セットアップ 7 も、これと同じ構成です。

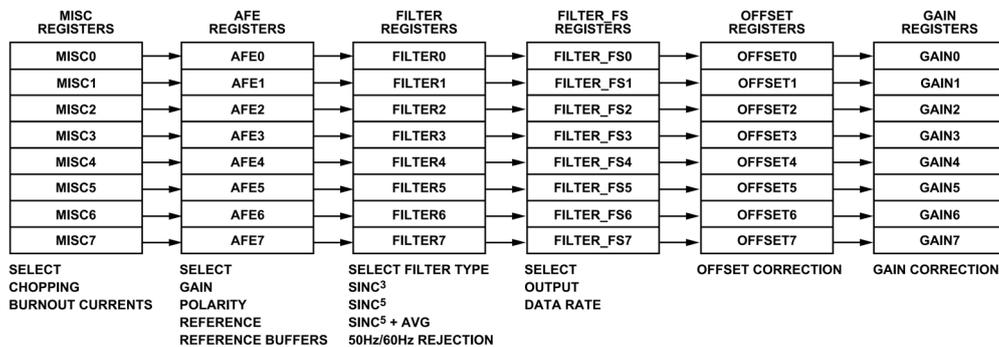


図 62. セットアップ構造

## 動作原理

## 各種設定 (MISC) レジスタ

各種設定レジスタでは、マルチプレクサ・チョッピングまたは励起電流チョッピングの選択と、バーンアウト電流のイネーブル/ディスエーブルの選択ができます。マルチプレクサ・チョッピングでは、アナログ入力ペアが連続的にスワップされ、各フェーズで変換が行われます。その後、2つの変換が平均化され、それによってオフセットとオフセット・ドリフトが低減されます。励起電流のチョッピング/スワッピングは、励起電

流のミスマッチをなくします。これは、リード線の抵抗による誤差を最小限に抑えるために十分にマッチングされた励起電流が必要となる3線式RTDに有効です。

## アナログ・フロント・エンド (AFE) レジスタ

AFE レジスタでは、ユーザによるリファレンス・バッファの設定、リファレンス源の選択、ゲインおよび極性の設定が可能です。

表 20. MISC0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xC1	MISC0	[15:8]	CHOP_EXC		RESERVED			CHOP_ADC		0x0000	R/W	
0xC0		[7:0]	RESERVED						BURNOUT			

表 21. AFE0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xC3	AFE0	[15:8]	RESERVED				REF_BUF_M		REF_BUF_P		0x0050	R/W
0xC2		[7:0]	RESERVED	REF_SELECT	BIPOLAR	PGA_GAIN						

表 22. FILTER0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xC5	FILTER0	[15:8]	RESERVED								0x0000	R/W
0xC4		[7:0]	POST_FILTER_SEL			FILTER_TYPE						

表 23. FILTER\_FS0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xC7	FILTER_FS0	[15:8]					FS[15:8]				0x0004	R/W
0xC6		[7:0]					FS[7:0]					

表 24. OFFSET0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xCA	OFFSET0	[23:16]					OFFSET[23:16]				0x000000	R/W
0xC9		[15:8]					OFFSET[15:8]					
0xC8		[7:0]					OFFSET[7:0]					

表 25. GAIN0 レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xCD	GAIN0	[23:16]					GAIN[23:16]				0x555555	R/W
0xCC		[15:8]					GAIN[15:8]					
0xCB		[7:0]					GAIN[7:0]					

動作原理

フィルタ・レジスタ

フィルタ・レジスタは、ADC 変調器の出力で使用する sinc デジタル・フィルタを選択します。フィルタ・タイプは、このレジスタのビットを設定して選択します。詳細についてはデジタル・フィルタのセクションを参照してください。

FILTER\_FS レジスタ

FILTER\_FS レジスタは ODR の選択を行います。詳細についてはデジタル・フィルタのセクションを参照してください。

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は 0x000000 です。オフセット・レジスタは 24 ビットのリード/ライト・レジスタです。ユーザが内部またはシステム・ゼロスケール・キャリブレーションを開始するか、オフセット・レジスタに書き込むと、パワーオン・リセット値は自動的に上書きされます。

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 24 ビット・レジスタです。ゲイン・レジスタはリード/ライト・レジスタです。ユーザがシステム・フルスケール・キャリブレーションを開始した場合、デフォルト値は自動的に上書きされます。キャリブレーションの詳細についてはキャリブレーションのセクションを参照してください。

診断機能

ERROR\_EN レジスタと INTERFACE\_CONFIG\_C レジスタを使用することで、AD4195-4 の様々な診断機能をイネーブルまたはディスエーブルできます。診断機能には次のものがあります。

- ▶ SPI 読出し/書き込みチェック。これにより、有効なレジスタにのみアクセスできるようになります。
- ▶ SCLK カウンタ。正しい数の SCLK パルスを使用できるようにします。

表 26. INTERFACE\_CONFIG\_C レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	SEND_STATUS	ACTIVE_INTERFACE_MODE		CRC_ENABLEB		0x27	R/W

表 27. INTERFACE\_STATUS\_A レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READY_ERR	RESERVED		CLOCK_COUNTER	CRC_ERR	WR_TO_READ_ONLY_REG_ERR	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR	0x00	R/W

- ▶ SPI CRC。
- ▶ メモリ・マップ CRC。
- ▶ LDO チェック。
- ▶ アナログ入力およびリファレンス入力での過電圧/低電圧検出。
- ▶ リファレンス検出。

SPI の CRC は INTERFACE\_CONFIG\_C を用いてイネーブルしますが、その他の診断機能は ERROR\_EN レジスタを用いてイネーブルします。診断機能がイネーブルされている場合、対応するフラグが ERROR レジスタに含まれます。INTERFACE\_STATUS\_A レジスタは SPI で発生するエラーを示します。ERROR\_EN レジスタの SPI\_ERR\_EN ビットをセットすることで、SPI エラーが発生すると ERROR レジスタの SPI\_ERR ビットがセットされます。その後、INTERFACE\_STATUS\_A レジスタを読み出して、エラーに関するより詳細な情報を得ることができます。STATUS レジスタ内の MAIN\_ERR\_S フラグを制御するため、ERROR レジスタの全てのイネーブル・フラグが OR 接続されます。そのため、エラーが発生した場合（例えば、SPI CRC チェックでエラーが検出された場合）、ERROR レジスタ内の関連するフラグ（SPI\_ERR フラグなど）がセットされます。ステータス・レジスタ内の MAIN\_ERR\_S フラグもセットされます。これは、変換にステータス・ビットを追加する場合に便利です。MAIN\_ERR\_S ビットは、エラーが発生したかどうかを示します。エラー発生源に関する詳細は、INTERFACE\_STATUS\_A レジスタと ERROR レジスタから読み出すことができます。診断レジスタについての詳細は表 26～表 29 を参照してください。また、使用できる診断機能の詳細については診断機能のセクションを参照してください。

ADC 制御レジスタ

ADC\_CTRL レジスタは、デジタル・インターフェースのモードを設定します。また、連続変換やシングル変換などの動作モードの選択も行います。キャリブレーション・モードだけでなく、スタンバイ・モードやパワーダウン・モードも選択できます。このレジスタの詳細を表 30 に示します。

## 動作原理

表 28. ERROR\_EN レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x73	ERROR_EN	[15:8]	RESERVED		DLDO_PSM_ERR_EN	ALDO_PSM_ERR_EN	IOUT3_COMP_ERR_EN	IOUT2_COMP_ERR_EN	IOUT1_COMP_ERR_EN	IOUT0_COMP_ERR_EN	0x0000	R/W
0x72		[7:0]	REF_DIFF_MIN_ERR_EN	REF_OV_UV_ERR_EN	AINM_OV_UV_ERR_EN	AINP_OV_UV_ERR_EN	ADC_CONV_NV_ERR_EN	SPI_ERR_EN	MM_CRC_ERR_EN	ROM_CRC_ERR_EN		

表 29. ERROR レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x75	ERROR	[15:8]	DEVICE_ERROR	RESERVED	DLDO_PSM_ERR	ALDO_PSM_ERR	IOUT3_COMP_ERR	IOUT2_COMP_ERR	IOUT1_COMP_ERR	IOUT0_COMP_ERR	0x0000	R/W
0x74		[7:0]	REF_DIFF_MIN_ERR	REF_OV_UV_ERR	AINM_OV_UV_ERR	AINP_OV_UV_ERR	ADC_CONV_ERR	SPI_ERR	MM_CRC_ERR	ROM_CRC_ERR		

表 30. ADC 制御レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x71	ADC_CTRL	[15:8]	RESERVED								0x0000	R/W
0x70		[7:0]	MULTI_DATA_REG_SEL	CONT_READ_STAT_US_EN	CONT_READ		MODE					

動作原理

設定の柔軟性およびシーケンサについて

図 63、図 64、図 65 で黒色のフォントで示しているレジスタは、この設定でプログラムするものです。灰色のフォントで示しているレジスタは、この設定ではプログラムする必要はありません。

AD4195-4 を実装する場合、最も簡単な方法は、差動入力およびこれと隣接するアナログ入力を使用して、それら全てを同じセットアップで実行することです。例えば、4 つの差動入力が必要であるとします。この場合、ユーザは、AIN1/AIN2、AIN3/AIN4、AIN5/AIN6、AIN7/AIN8 の差動入力を選択します。

どの使用事例でも、ゲイン・レジスタとオフセット・レジスタのプログラミングはオプションです。内部またはシステムのオフセット、またはシステムのスルスケール・キャリブレーションを実行すると、選択したチャンネルに関連するセットアップのゲイン・レジスタとオフセット・レジスタが自動的に更新されます。

これら 4 個の完全差動入力を実装する別の方法は、使用可能な 8 個のセットアップを利用することです。4 個の差動入力の一部と他の入力の間で速度、ノイズ、またはゲインの条件が異なる場合、または特定のチャンネルで特定のオフセットまたはゲイン補正を行う必要がある場合は、この方法を使用できます。各差動入力個別のセットアップを使用して各チャンネルを最大限柔軟に設定できる方法を図 64 に示します。

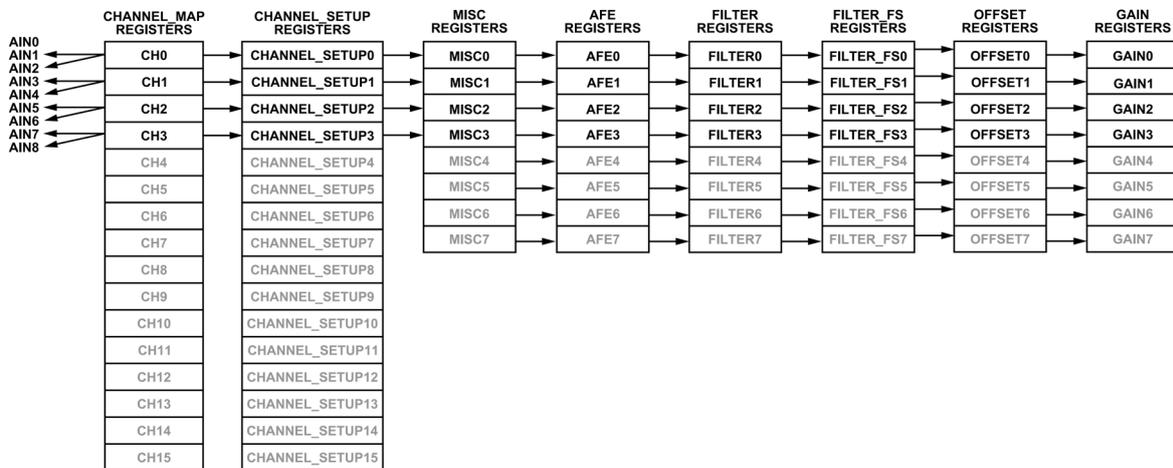


図 63. 4 個の完全差動入力。全てが 1 つのセットアップ (MISC0、AFE0、FILTER0、FILTER\_FS0、GAIN0、OFFSET0) を使用

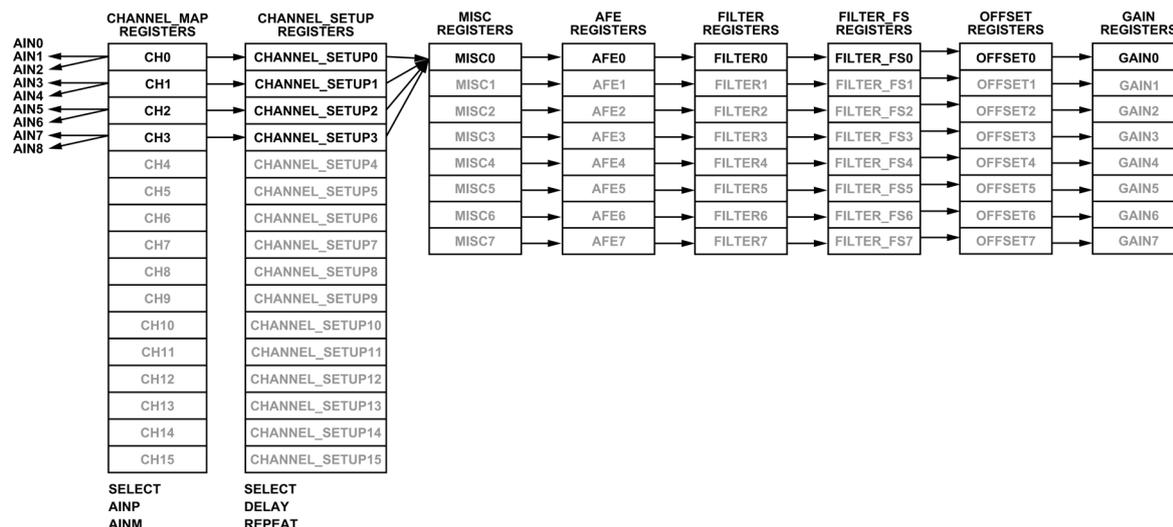


図 64. 4 個の完全差動入力チャンネルごとに個別のセットアップを使用

チャンネル・レジスタがアナログ入力ピンと後続のセットアップ設定をどのように連結するかの一例を図 65 に示します。この例では、2 個の差動入力と 2 個のシングルエンド入力が必要です。シングルエンド入力は、AIN2/AIN7 と AIN8/AIN7 の組み合わせです。最初の差動入力ペア (AIN1/AIN2) はセットアップ 0 を使

用します。2 つのシングルエンド入力ペア (AIN2/AIN7 と AIN8/AIN7) は、診断用として設定されているので、別のセットアップ (セットアップ 1) を使用します。最後の差動入力 (AIN3/AIN4) も個別のセットアップであるセットアップ 2 を使用します。使用するセットアップが 3 つ選択されていると仮定

動作原理

すると、各セットアップに関連する MISC、AFE、FILTER、FILTER\_FS の各レジスタが必要に応じてプログラムされます。オプションのゲインとオフセットの補正も、各セットアップに関連する OFFSET レジスタおよび GAIN レジスタをプログラムすることで、セットアップごとに行うことができます。

図 65 に示す例では、CH0~CH3 のチャンネルが使われています。

これらのチャンネルは CHANNEL\_EN レジスタを介してイネーブルされます。複数のチャンネルをイネーブルする場合、チャンネル 0 は必ず用いる必要があります。AD4195-4 が変換を行っているとき、シーケンサは、イネーブルされている最小番号のチャンネルからイネーブルされている最大番号のチャンネルまで昇順に移行します。イネーブルされていないチャンネルはバイパスされます。あるチャンネルが選択されると、そのチャンネルに対しプログラムされた DELAY が計時されます。この遅延により、ADC がアナログ入力のサンプリングを始める前に外部アナログ回路がセトリングできます。0~16384/MOD\_CLK の

範囲でプログラムされた 8 通りの設定は、CHANNEL\_SETUPn レジスタの DELAY ビットで設定できます。その後、AD4195-4 は、CHANNEL\_SETUPn レジスタの REPEAT 機能で定められた変換数だけ、変換を実行します。REPEAT には、1~255 の値を指定できます。連続変換モードが選択されている場合、シーケンスが終了すると、AD4195-4 はシーケンサの先頭にループ・バックします。シングル変換モードでは、変換が終了すると AD4195-4 はスタンバイ・モードになります。

全てのチャンネルがデータ・レジスタを共用している (ADC\_CTRL レジスタの MULTI\_DATA\_REG\_SEL ビットが 1 に設定されている) 場合にのみ、REPEAT 機能を使用できる点に注意してください。ADC\_CTRL レジスタの MULTI\_DATA\_REG\_SEL ビットが 0 に設定されている場合、イネーブルされているチャンネルにそれぞれ固有の DATA レジスタがあります。この場合、イネーブルされたチャンネル全てが完了した場合にのみ、RDY がローになります。

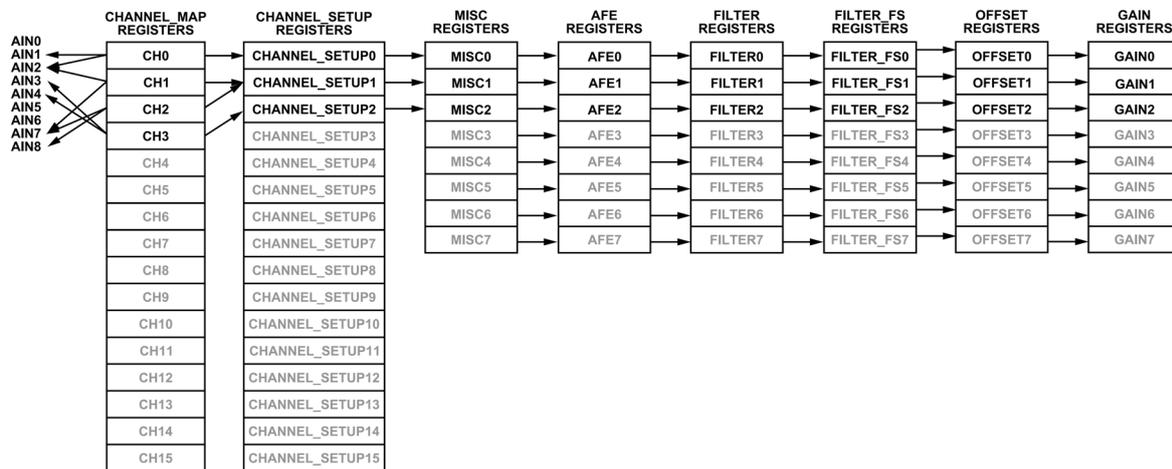


図 65. 複数の共有セットアップを使用して、差動とシングルエンドを混在させる設定

ADC 回路情報

アナログ入力チャンネル

AD4195-4 には、柔軟性の高いマルチプレクサが採用されているため、任意のアナログ入力ピン (AIN0~AIN8) を正入力または負入力として選択できます。この機能により、ピンの接続チェックなどの診断を実行できます。また、プリント基板 (PCB) の設計も簡素になります。例えば、同じ PCB に 2 線式、3 線式、4 線式の測温抵抗体 (RTD) を実装できます。

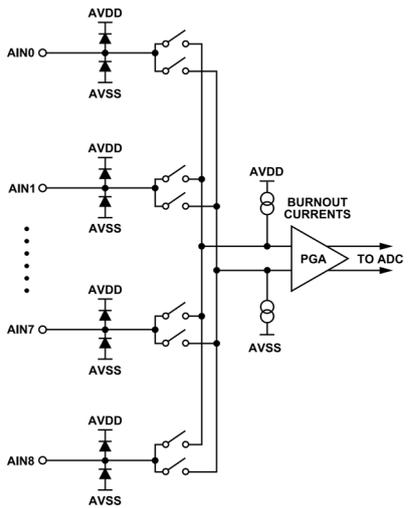


図 66. アナログ入力マルチプレクサ回路

これらのチャンネルは、CHANNEL\_MAP レジスタの AINP[5:0] ビットと AINM[5:0] ビットを使用して設定します。デバイスは、4 個の差動入力、8 個の疑似差動入力、またはその両方の組み合わせを使用できるよう設定できます。差動入力を使用する場合は、隣接するアナログ入力ピンを使用して入力ペアを構成します。隣接するピンを使用することで、PCB 上におけるチャンネル間 mismatches を最小限に抑えることができます。

ゲイン = 1 プリチャージの場合、PGA はバイパスされますが、ADC によるサンプリング時までアナログ入力がセトリングするように、プリチャージ・バッファが使われます。他のすべてのゲイン設定では、プリチャージ・バッファと共に PGA が用いられます。PGA を用いると入力電流が低下します。このため、入力は、大きなソース・インピーダンスに耐えることができ、ストレイン・ゲージや RTD などの外部の抵抗型センサーに直接接続できるよう、特別に設計されています。

デバイスがゲイン=1 プリチャージで動作する場合は、アナログ入力電流が大きくなります。このため、ADC 入力の駆動源の出力インピーダンスによっては、入力ピンの抵抗/コンデンサ (RC) の組み合わせによりゲイン誤差が発生する場合があります。

絶対入力電圧範囲は AVSS~AVDD の範囲に制限されます。入力電流を最小限に抑えるには、AVSS - 0.1V から AVDD + 0.1V までの絶対入力範囲を用います。コモンモード電圧は、これらの限界値を超えてはいけません。これらの限界値を超えると、直線性とノイズ性能が低下します。

外部マルチプレクサの制御

チャンネル数を増やすために外部マルチプレクサを使用する場合、AD4195-4 の GPIOn ピンを介してマルチプレクサのロジック・ピンを制御できます。PIN\_MUXING レジスタの CHAN\_TO\_GPIO ビットを 1 にセットすると、GPIOn ピンはアクティブなチャンネル数を外部マルチプレクサに出力します。そのタイミングは AD4195-4 によって制御されます。このためチャンネルの変更は ADC と同期され、外部同期の必要はありません。

プログラマブル・ゲイン・アンプ (PGA)

ゲイン段をイネーブルすると (ゲイン=1 プリチャージを除く全てのゲイン)、マルチプレクサからの出力が PGA の入力に供給されます。PGA が内蔵されているので、AD4195-4 内で小さい振幅の信号を増幅しながらも、優れたノイズ性能を維持することが可能です。PGA には 0.5 のゲインもあります。したがって、入力された信号を増幅するのではなく、1/2 に減衰することができます。

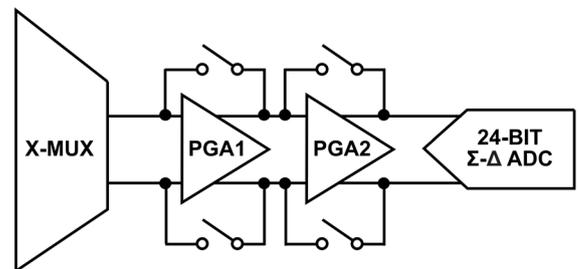


図 67. PGA

AD4195-4 は、AFEn レジスタの PGA ビットを使用してゲインを 0.5、1、2、4、8、16、32、64、または 128 にプログラムできます (表 103 を参照)。PGA は 2 段で構成されています。ゲインが 16 未満の場合 (ゲイン = 1 プリチャージを除く) は 1 つの段が使用され、ゲインが 8 よりも大きい場合は両方の段が使用されます。

アナログ入力範囲は  $\pm V_{REF}/\text{ゲイン}$  です。したがって、外部 2.5V リファレンス使用時のユニポーラ範囲は 0mV~19.53mV から 0V~5V までで、バイポーラ範囲は  $\pm 19.53\text{mV}$  から  $\pm 5\text{V}$  までです。リファレンス値が高い場合、例えば  $V_{REF} = AVDD$  のときは、アナログ入力範囲を制限する必要があります。許容可能な最大差動アナログ入力範囲は  $\pm (AVDD - 0.65\text{V})/\text{ゲイン}$  で、許容可能な最大シングルエンド・アナログ入力範囲は  $0 \sim (AVDD - 0.65\text{V})/\text{ゲイン}$  です。

リファレンス

AD4195-4 は、温度係数が 5ppm/°C (代表値) の 2.5V 電圧リファレンスを内蔵しています。AD4195-4 にリファレンスを組み込むことで、熱電対などのアプリケーションで必要となる外部コンポーネントの数を削減できるので、PCB を小型化できます。

内部リファレンスはデフォルトでイネーブルされていますが、REF\_CONTROL レジスタの REF\_EN ビットによってディスエーブルできます (表 113 を参照)。内部リファレンスがイネーブルされている場合、REFOUT ピンに出力されます。内部リファレンスがアクティブの場合は、REFOUT に 0.1μF のデカップリング・コンデンサが必要です。

ADC 回路情報

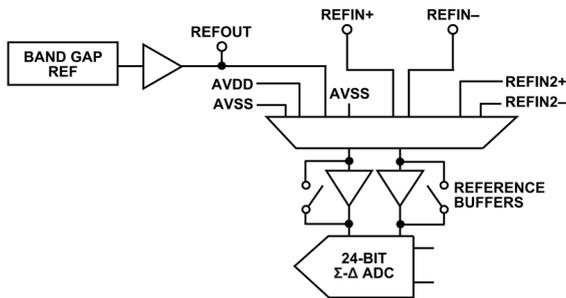


図 68. リファレンス接続

このリファレンスは ADC への電力供給に使用できます (AFEn レジスタの REF\_SELECT ビットを 10 (2 進数) に設定)。あるいは、外部リファレンスを印加できます。外部リファレンスの場合、ADC はチャンネルに対して完全差動入力機能を備えています。更に、2つの外部リファレンス・オプション (REFIN または REFIN2) のいずれかを選択できます。REFIN2 は、GPIO0 (REFIN2+) および GPIO1 (REFIN2-) を用いて使用できます。AD4195-4 のリファレンス源は、AFEn レジスタの REF\_SELECT ビットを使用して選択します (表 103 を参照)。

リファレンス・バッファがディセーブルになっている場合、REFINn+ピンおよび REFINn-ピンで許容可能な絶対電圧の範囲は AVSS - 50mV ~ AVDD + 50mV です。リファレンス・バッファのイネーブル時、またはプリチャージ・モード時、バッファは レール to レールです。そのため、各リファレンス・ピンの絶対電圧は、AVSS ~ AVDD です。REFINn のリファレンス電圧 (REFINn+ - REFINn-) の公称値は 2.5V ですが、AD4195-4 は 1V ~ AVDD のリファレンス電圧で動作します。

アナログ入力に接続されたトランスジューサの励起電圧 (または励起電流) がデバイスのリファレンス電圧も駆動するようなアプリケーションはレシオメトリックであるため、励起源の低周波ノイズの影響は除去されます。AD4195-4 を非レシオメトリック・アプリケーションで使用する場合は、低ノイズ・リファレンスを使用します。

AD4195-4 用に推奨される 2.5V リファレンス電圧源には、低ノイズ・リファレンスである ADR4525 と LTC6655LN-2.5 があります。バッファなしの場合、リファレンス入力、高インピーダンスの動的負荷を提供することに注意してください。各リファレンス入力の入力インピーダンスは動的に変化するので、リファレンス入力にバッファなしの場合、リファレンス入力の駆動源の出力インピーダンスによっては、これらの入力の RC の組み合わせにより DC ゲイン誤差が生じる可能性があります。

リファレンス電圧源は通常低出力インピーダンスです。そのため、システム内でゲイン誤差を発生させることなく、REFINn+ にデカップリング・コンデンサを接続できます。外部抵抗の両端からリファレンス入力電圧を出力すると、リファレンス入力の外部ソース・インピーダンスが大きくなります。この場合、リファレンス・バッファを使用する必要があります。図 69 に ADR4525 および LTC6655LN-2.5 と AD4195-4 の接続関係を示します。LTC6655LN-4.096 と AD4195-4 の接続も同様です。

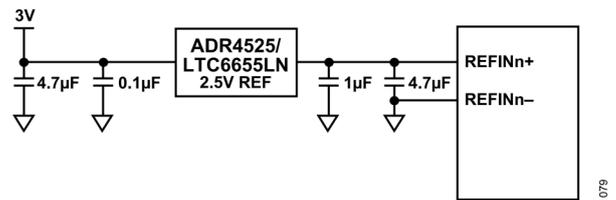


図 69. ADR4525/LTC6655LN-2.5 と AD4195-4 の接続

バイポーラ/ユニポーラ設定

AD4195-4 のアナログ入力は、ユニポーラまたはバイポーラの入力電圧範囲に対応します。これにより、ADC の入力範囲をセンサー出力範囲に対して微調整することができます。バイポーラ電源を使用する場合、デバイスは真のバイポーラ入力に対応します。ユニポーラ電源を使用する場合、バイポーラ入力範囲に収まっても、システムの AVSS を基準とする負電圧をデバイスに入力できるとは限りません。

AINP 入力のユニポーラ信号とバイポーラ信号は、AINM 入力の電圧を基準としています。例えば AINM が 2.5V で、ADC がゲイン 1 のユニポーラ・モード用に設定されている場合、VREF = 2.5V、AVDD = 5V のときの AINP 入力の入力電圧範囲は 2.5V ~ 5V です。ADC がバイポーラ・モードに設定されている場合、AINP 入力のアナログ入力範囲は 0V ~ AVDD になります。バイポーラ/ユニポーラ・オプションは、AFEn レジスタでバイポーラ・ビットをプログラムすることで選択します。

データ出力コーディング

ADC がユニポーラ動作に設定されている場合、出力コードは自然 (ストレート) バイナリになり、ゼロ差動入力電圧がコード 00 ... 00、ミッドスケール電圧がコード 100 ... 000、フルスケール入力電圧がコード 111 ... 111 になります。アナログ入力電圧の出力コードは次のように表されます。

$$Code = (2^N \times A_{IN} \times Gain) / V_{REF}$$

ADC がバイポーラ動作に設定されている場合、出力コードは 2 の補数になり、負のフルスケール電圧がコード 100 ... 000、ゼロ差動入力電圧がコード 000 ... 000、正のフルスケール入力電圧がコード 011 ... 111 になります。

表 31. 出力コードと理想的な入力電圧 (FS = フルスケール)

Description	Analog Input	Code (Hex)
FS - 1LSB	$+V_{REF}/gain \times (1 - 2^{-N} + 1)$	0x7FFFFFFF
+1LSB	$(V_{REF}/gain)/2^{N-1}$	0x000001
Midscale	0	0x000000
-1LSB	$-(V_{REF}/gain)/2^{N-1}$	0xFFFFF
-FS + 1LSB	$-V_{REF}/gain \times (1 - 2^{-N} + 1)$	0x800001
-FS	$-V_{REF}/gain$	0x800000

ADC 回路情報

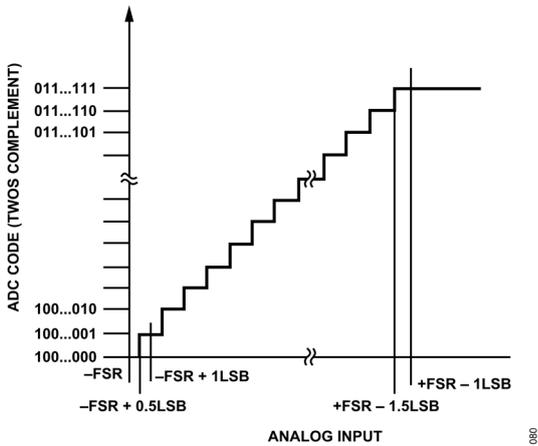


図 70. ADC の理想的な伝達関数 (FS = フルスケール)

励起電流

AD4195-4 にはソフトウェアで設定可能な 2 個の定電流源も内蔵されており、10 $\mu$ A、50 $\mu$ A、100 $\mu$ A、250 $\mu$ A、500 $\mu$ A、1mA、または 1.5mA にプログラムできます。これらの電流源は、外部抵抗ブリッジまたは RTD センサーの励起に使用できます。電流源は AVDD から電流をソースし、任意のアナログ入力ピンまたは GPIO ピンに出力できます (図 71 を参照)。

電流を出力するピンは、CURRENT\_SOURCEn レジスタの I\_OUT\_PIN ビットを使用してプログラムします (表 119 を参照)。各電流源の大きさは、CURRENT\_SOURCEn レジスタの I\_OUT\_VAL ビットを使用して個別にプログラムできます。更に、全ての電流を同じアナログ入力ピンまたは GPIO ピンに出力することができます。

励起電流を使用する場合、内蔵リファレンスをイネーブルする必要がある点に注意してください。

3 線式 RTD センサーなどのアプリケーションには、両方の励起電流を使ってリード線の抵抗を補償できます。励起電流ミスマッチとミスマッチ・ドリフトは、励起電流ミスマッチによる誤差を最小限に抑えるために最適化されています。励起電流ミスマッチによる誤差を更に低減するために、電流をスワップまたはチョップすることができます。MISCn レジスタの CHOP\_IEXC ビットが適切に設定されている場合は 2 つの電流が変換ごとにスワップされ、その後の変換が AD4195-4 によって平均化されます。このスワッピングまたはチョッピングにより、励起電流のミスマッチによる誤差が打ち消されます。

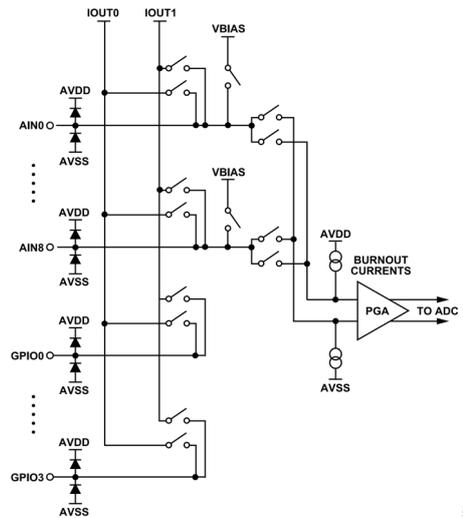


図 71. 励起電流とバイアス電圧の接続

ブリッジ・パワーダウン・スイッチ

ストレイン・ゲージやロード・セルなどのブリッジ・アプリケーションでは、ブリッジ自体が多大な電流を消費します。例えば、5V の電源で励起する場合、350 $\Omega$  のロード・セルは 14.3mA の電流を必要とします。システムの消費電流を低減するために、ブリッジ・パワーダウン・スイッチを使用してブリッジを (使用していないときに) 切り離すことができます。AD4195-4 は 2 つのブリッジ・パワーダウン・スイッチを内蔵しています。GPIO0 および GPIO1 の GPIO ピンを、それぞれパワーダウン・スイッチ 0 (PDSW0) およびパワーダウン・スイッチ 1 (PDSW1) として設定できます。その後、スイッチ自体は POWER\_DOWN\_SW レジスタの PDSW ビットを通じて制御されます (表 87 を参照)。各スイッチは 25mA (代表値) の連続電流に耐え、そのオン抵抗は 10 $\Omega$  (代表値) です。AD4195-4 をスタンバイ・モードにすると、パワーダウン・スイッチはデフォルトでオープンになります。スイッチの制御を保持するには、STANDBY\_CTRL レジスタの STB\_PDSWn ビットをセットします。

汎用入出力 (GPIO0~GPIO3)

AD4195-4 には、4 つの汎用入出力 GPIO0~GPIO3 があります。これらは、GPIO\_MODE レジスタの GPIO\_MODE ビットを使用して、汎用入出力として設定されます (表 121 を参照)。出力として設定された場合、これらのピンは、GPIO\_OUTPUT\_DATA レジスタの GPIO\_OUTPUT\_DATA ビットを使用してハイにプルアップまたはローにプルダウンできます (表 123 を参照)。つまり、ピンの値は GPIO\_DATn ビットの設定によって決まります。これらのピンのロジック・レベルは、IOVDD ではなく、AVDD によって決まります。GPIO\_OUTPUT\_DATA レジスタを読み出すと、ピンの実際の値が GPIO\_OUTPUT\_DATA ビットに反映されます。この機能は短絡を検出するときに有用です。

GPIO ピンは多機能ピンです。つまり、パワーダウン・スイッチや励起電流などの他の機能をこのピンでイネーブルすることもできます。複数の機能を同時にイネーブルする場合、機能の優先順位は次のとおりです。

## ADC 回路情報

1. パワーダウン・スイッチ (GPIO0 と GPIO1 でイネーブルできます)。
2. GPIO\_OUTPUT\_DATA。GPIO は、パワーダウン・スイッチとして使用しない場合、汎用出力ピンとして機能できます。
3. CHANNEL\_TO\_GPIO。上記の優先度 1、2 に記載の機能で使用されていないピンには、シーケンサの電流チャンネルに関連するビットが出力されます。

これらのピンでも、励起電流をイネーブルしたり REFIN2 (GPIO0/GPIO1) をイネーブルしたりすることができます。したがって、アプリケーションでピンが確実に正しく機能するよう、全ての設定を再確認する必要があります。

## バイアス電圧発生器

AD4195-4 はバイアス電圧発生器を内蔵しています (図 71 を参照)。これがアナログ入力ピンでイネーブルされている場合は、そのピンを  $(AVDD + AVSS)/2$  にバイアスします。この機能は、非バイアスの熱電対アプリケーションに有効です。ADC がユニポーラ電源で動作する場合は、熱電対によって生成された電圧に DC 電圧でバイアスをかける必要があるためです。バイアス電圧発生器は、V\_BIAS レジスタの VBIAS ビットを使用して制御します (表 115 を参照)。バイアス電圧発生器のパワーアップ時間は、負荷容量によって決まります。詳細については、仕様のセクションを参照してください。

## マルチプレクサ・チョッピング

AD4195-4 はマルチプレクサ・チョッピング機能を内蔵しています (表 101 の CHOP\_ADC ビットを用いてイネーブル)。チョップをイネーブルすると (2つのビットを 01 (2進数) に設定)、ADC のオフセットおよびオフセット・ドリフトを最小限に抑えることができます。チョップをイネーブルすると、アナログ入力ピンは連続的にスワッピングされます。そのため、これらのアナログ入力ピンが一方に接続された状態で、有効な変換が利用できるようになるまでフィルタのセトリング時間が可能となります。その後アナログ入力ピンが反転し、別の有効な変換が得られます。このようにしてその後の変換が平均化され、オフセットを最小限に抑えることができます。このアナログ入力ピンの連続スワッピングとその後の変換の平均化処理を行うことで、オフセット・ドリフトも最小限に抑えることができます。2つの変換が平均化されるので、実効値ノイズは $\sqrt{2}$ 倍だけ改善します。したがって、ピーク to ピーク分解能は約 0.5 ビット分だけ向上します。

チョッピングは、出力データレートおよびセトリング時間に影響する可能性があります。例えば、 $\text{sinc}^3$  フィルタ使用時、チョッピングをディスエーブルした場合に比べ、イネーブルした場合は出力データレートが約 3 分の 1 に低下しますが、セトリング時間は約 2 倍に増加します。ポスト・フィルタなどその他のフィルタでは、チョッピングが出力データレートおよびセトリング時間に与える影響はわずかです。デジタル・フィルタのセクションでは、様々なフィルタ・タイプについて、チョッピングをディスエーブルした場合のセトリング時間を示しています。チョッピングをイネーブルした場合、最初の変換ではこのセトリング時間の 2 倍の時間が必要ですが、その後の変換は、そのフィルタに規定されたセトリング時間で行われます。また、チョッピングにより、 $\text{nf}_{\text{ADC}}/2$  の奇数倍の位置に 1 次のノッチが加わります。例えば、 $\text{sinc}^3$  フィルタを用い出力データレートが 50SPS の場合は、25Hz、75Hz、125Hz の位置にノッチが生じます。

## クロック

AD4195-4 は、16MHz のクロックを内蔵しています。AD4195-4 のクロック源には、内部クロックまたは外部クロックを使用します。クロック源は、CLOCK\_CTRL レジスタの CLOCKSEL ビットで選択します (表 83 を参照)。

内部クロックは、CLK ピンから出力することもできます。この機能は、アプリケーションで複数の ADC を使用し、デバイスを同期する必要がある場合に便利です。1 つのデバイスの内部クロックをシステム内の全ての ADC のクロック源として使用できます。詳細については ADC の同期のセクションを参照してください。

AD4195-4 は、外部から供給されるクロックを CLK ピンに接続して使うこともできます。このクロック入力にロジック・レベルは、IOVDD ピンに印加される電圧によって決まります。

AD4195-4 には、2、4、8 分周の内部分周器があり、CLOCK\_CTRL レジスタの CLOCKDIV ビットで選択できます。これらの分周器は、ADC 用に選択された内部クロック源または外部クロック源を分周します。デフォルト設定は内部 2 分周です。

## スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。レジスタの内容を保持するため LDO は動作状態を維持します。デフォルトでは、スタンバイ・モードではその他の機能は全てディスエーブルされます。しかし、STANDBY\_CTRL レジスタにより、スタンバイ・モードでもアクティブ状態を維持する機能を選択できます。励起電流、内部リファレンス、パワーダウン・スイッチ、プルアップ電流、バイアス電圧、および内部クロックは、これらがシステムでイネーブルされている場合、STANDBY\_CTRL レジスタのビットを適切にセットすることで、スタンバイ・モードでもアクティブ状態を維持できます。診断機能は、スタンバイ・モードではディスエーブルされます。

スタンバイ・モードを終了する際に、AD4195-4 はパワーアップおよびセトリングに約 160 MCLK サイクルを必要とします。MCLK は、印加されるクロック周波数 (内部発振器または外部クロック周波数) ではなく、ADC が使用するメイン・クロックです。そのため、印加クロックが 4 または 8 分周されている場合は、スタンバイ・モードを終了するまでの時間が長くなります。外部のメイン・クロックを用いている場合は、スタンバイ・モードを終了するコマンドを発する前にそのクロックがアクティブであることを確認してください。ADC がパワーアップしセトリングするまで、ADC\_CTRL レジスタには再度の書き込みはしないでください。

パワーダウン・モードでは、LDO を含む全てのブロックがパワーダウンします。全てのレジスタの内容が失われ、デジタル出力 GPIO0~GPIO3 がスリープ状態になります。偶発的にパワーダウン・モードにならないよう、まず ADC をスタンバイ・モードにする必要があります。外部メイン・クロックを使用している場合は、デバイスがパワーダウン・モードになるまでアクティブ状態を維持してください。パワーダウン・モードを終了するには、 $\overline{\text{CS}}$  をローにした状態で SDI で 63 個の 1 と 1 個の 0 からなるパターンを 3 回繰り返す必要があります。AD4195-4 は、パワーアップとセトリングに約 1.4ms の時間を必要とします。この時間が経過した後に、内蔵レジスタにアクセスできるようになります。

## ADC 回路情報

## キャリブレーション

AD4195-4 には、セットアップごとにオフセット誤差とゲイン誤差を排除するのに使用できる 3 つのキャリブレーション・モードがあります。

- ▶ 内部ゼロスケール・キャリブレーション・モード
- ▶ システム・ゼロスケール・キャリブレーション・モード
- ▶ システム・フルスケール・キャリブレーション・モード

内部ゲイン誤差は、出荷時にキャリブレーションされています。このため、AD4195-4 では、内部フルスケール・キャリブレーションはサポートされていません。キャリブレーション時は、1 チャンネルのみをアクティブにできます。アナログ入力を変換する場合、内部の ADC 変換結果は、データ・レジスタに書き込まれる前に ADC キャリブレーション・レジスタを使ってスケールリングされます。

OFFSET レジスタのデフォルト値は、0x000000、GAIN レジスタの公称値は 0x555555 です。ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF}/\text{ゲイン} \sim 1.05 \times V_{REF}/\text{ゲイン}$  です。詳細については、**スパンとオフセットの限界値**のセクションを参照してください。

次の式は、OFFSET レジスタおよび GAIN レジスタの値が AD4195-4 内でどのように用いられるかを示します。OFFSET レジスタでは 2 の補数が用いられている点に注意してください。ユニポーラ・モードの場合、ADC のゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

$$\text{Data} = \left( \frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - \text{Offset} \right) \times \frac{\text{Gain}}{0 \times 400000} \times 2 \quad (1)$$

バイポーラ・モードの場合、ADC のゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

$$\text{Data} = \left( \frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{23} - \text{Offset} \right) \times \frac{\text{Gain}}{0 \times 400000} \quad (2)$$

キャリブレーションを開始するには、ADC\_CTRL レジスタのモード・ビットに対応する値を書き込みます (表 89 を参照)。キャリブレーションが開始されると、RDY ピン (デフォルトでは SDO と共用されますが DIG\_AUX1 に出力できます) とステータス・レジスタの RDYB ビットがハイに遷移します。キャリブレーションが完了すると、対応する OFFSET レジスタまたは GAIN レジスタの内容が更新され、ステータス・レジスタの RDYB ビットがリセットされ、RDY ピンがローに戻り、AD4195-4 がアイドル・モードに復帰します。RDY ピンが SDO と共用されている場合、このピンはCS がハイのときはスリーステートになる点に注意してください。

内部オフセット・キャリブレーションの間、選択した正のアナログ入力ピンは切断され、選択した負のアナログ入力ピンに内部で接続されます。このため、選択された負のアナログ入力ピンの電圧が許容限界値を超えず、過度なノイズや干渉が生じないようにする必要があります。

システム・キャリブレーションでは、システム・ゼロスケール (オフセット) 電圧またはシステム・フルスケール (ゲイン) 電圧が選択された正および負のピンに印加されてから、キャリブレーション・モードが開始されると想定されています。この結果、ADC の外部誤差が除去されます。システム・ゼロスケール・キャリブレーションは、システム・フルスケール・キャリブレーションの前に実行する必要があります。

動作の観点からは、キャリブレーションは別の ADC 変換のように扱う必要があります。ステータス・レジスタの RDYB ビットまたは RDY ピンをモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割込みによるルーチンを介してキャリブレーションが終了したことを判断します。

内部/システム・オフセット・キャリブレーションおよびシステム・フルスケール・キャリブレーションには、選択したフィルタのセトリング時間が終了するのと同じ時間が必要です。

どのような出力データレートでも、キャリブレーションの実行は可能です。低い出力データレートを扱うほど精度の高いキャリブレーション結果を得ることができ、全ての出力データレートで精度が向上します。内部ゲイン誤差は全てのゲインについて出荷時にキャリブレーションされています。そのため、GAIN レジスタのデフォルト値がシステム・フルスケール・キャリブレーションまたは GAIN レジスタへの直接書き込みによって書き込まれなければ、AD4195-4 は、PGA ゲインが変更されたときに適切なゲイン係数を内部で自動的に適用します。システム・フルスケール・キャリブレーションが実行されたか、GAIN レジスタに書き込みが行われた場合、リファレンス源または所定のチャンネルの PGA ゲインが変更されていれば、そのチャンネルに対して新たなキャリブレーションが必要です。

AD4195-4 では、ユーザが内蔵キャリブレーション・レジスタにアクセスできるので、マイクロプロセッサがデバイスからキャリブレーション係数を読み出し、EEPROM (電氣的に消去およびプログラム可能な読み出し専用メモリ) に予め保存されている値から固有のキャリブレーション係数を書き込むことができます。内部キャリブレーション時またはセルフ・キャリブレーション時以外は、OFFSET レジスタと GAIN レジスタの読み出しまたは書き込みはいつでも行えます。キャリブレーション・レジスタの値は 24 ビット幅です。また、レジスタを使用してデバイスのスパンとオフセットを制御することもできます。

## スパンとオフセットの限界値

システム・キャリブレーションを使用すると、外部回路のオフセット誤差やゲイン誤差を補償したり、デバイスの入力スパンとオフセットを制御したりできます。システム・キャリブレーションを実行する場合は、入力オフセットとスパンの実現可能な調整量が制限されます。入力スパンは、正のフルスケール・コードに対応する入力電圧と負のフルスケール・コードに対応する入力電圧の差です。システム・キャリブレーションで達成可能な入力スパンの範囲は、最小値が  $0.8 \times V_{REF}/\text{ゲイン}$ 、最大値が  $2.1 \times V_{REF}/\text{ゲイン}$  です。

入力スパンとオフセットの調整では、正のフルスケール・コード電圧 ( $1.05 \times V_{REF}/\text{ゲイン}$ ) および負のフルスケール・コード電圧 ( $-1.05 \times V_{REF}/\text{ゲイン}$ ) に関する限界値も考慮する必要があります。このため、システム・オフセット (ゼロスケール) キャリブレーションおよびゲイン (フルスケール) キャリブレーションの限界値を決定するには、調整後のオフセットと調整後の正の最大スパン範囲の合計が  $1.05 \times V_{REF}/\text{ゲイン}$  を超えないようにする必要があります。

実現可能なオフセットとスパンの調整量は、設定がユニポーラかバイポーラかによっても異なります。これは、以下の例に最も良く示されています。

## ADC 回路情報

デバイスをユニポーラ・モード（必要なスパン  $0.8 \times V_{REF}/\text{ゲイン}$ ）で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は  $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.25 \times V_{REF}/\text{ゲイン}$  です。デバイスをユニポーラ・モード（必要なスパン  $V_{REF}/\text{ゲイン}$ ）で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は  $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$  です。同様に、デバイスをユニポーラ・モードで使用し、オフセット  $0.2 \times V_{REF}/\text{ゲイン}$  を取り除く必要がある場合、システム・キャリブレーションが処理できるスパン範囲は  $0.85 \times V_{REF}/\text{ゲイン}$  です。

デバイスをバイポーラ・モード（必要なスパン  $\pm 0.4 \times V_{REF}/\text{ゲイン}$ ）で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は  $-0.65 \times V_{REF}/\text{ゲイン} \sim +0.65 \times V_{REF}/\text{ゲイン}$  です。デバイスをバイポーラ・モード（必要なスパン  $\pm V_{REF}/\text{ゲイン}$ ）で使用した場合、システム・キャリブレーションが処理できるオフセット範囲は  $-0.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$  です。同様に、デバイスをバイポーラ・モードで使用し、 $\pm 0.2 \times V_{REF}/\text{ゲイン}$  のオフセットを取り除く必要がある場合、システム・キャリブレーションが処理できるスパン範囲は  $\pm 0.85 \times V_{REF}/\text{ゲイン}$  です。

### デジタル・フィルタ

AD4195-4 は、デジタル・フィルタに関して優れた柔軟性を発揮します。本デバイスには、いくつかのフィルタ・オプションがあります。選択したオプションは、出力データレート、セトリング時間、50Hz と 60Hz の除去に影響を与えます。以降のセクションでは、各フィルタ・タイプについて説明し、ます。具体的には、各フィルタ・オプションで使用可能な出力データレートです。フィルタ応答とセトリング時間、および 50Hz と 60Hz の除去についても説明します。

FILTER レジスタの FILTER\_TYPE ビット (表 105 を参照) は異なるフィルタ・タイプのいずれかを選択し、FILTER\_FS レジスタの値は出力データレートを設定します。

### sinc<sup>5</sup> + 平均化フィルタ

AD4195-4 の起動時は、sinc<sup>5</sup> + 平均化フィルタがデフォルトで選択されます。出力データレートが低い場合のセトリング時間は (1/出力データレート) にほぼ等しくなりますが、出力データレートが高い場合は (5/出力データレート) に増加します。そのため、1 つのチャンネルで変換を行う場合や低出力データレート時に複数のチャンネルで変換を行う場合、変換時間はほぼ一定です。このフィルタは、出力データレートの全範囲にわたって優れたノイズ性能を発揮します。図 72 において、灰色で示しているブロックは使用しません。

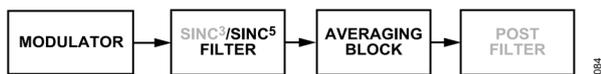


図 72. sinc<sup>5</sup> + 平均化フィルタ

sinc<sup>5</sup> + 平均化は、FILTER レジスタの FILTER\_TYPE ビットを使ってイネーブルします (表 105 を参照)。このフィルタを用いる場合、平均化フィルタは sinc<sup>5</sup> フィルタの後に置かれます。sinc<sup>5</sup> フィルタは 62.5kSPS の固定出力データレートで動作します。FILTER\_FS レジスタに書込まれた値は、(平均化ブロックで) 実行する平均処理の量を示します。平均化は (FILTER\_FS[15:0]/4) です。FILTER\_FS の値は 4 刻みで 4~65532 の範囲とすることができます (16 ビット・ワードの 2LSB を 0 に設定する必要があります)。したがって、FILTER\_FS に設定できる値は 4、8、12、16、20、…、65532 です。FILTER\_FS = 4 では平均化が 1 となります。つまり sinc<sup>5</sup> フィルタだけが用いられ、出力データレートは 62.5kSPS となります。FILTER\_FS の値を増加させると、平均化ブロックが用いられます。

### sinc<sup>5</sup> + 平均化フィルタ使用時の出力データレートとセトリング時間

1 つのチャンネルで連続変換を行う場合の出力データレートは次のようになります。

$$f_{ADC} = f_{CLK} / (128 \times Avg) \quad (3)$$

ここで、

$f_{ADC}$  は出力データレートです。

$f_{CLK}$  は (メイン・クロック周波数/クロック分周値) で、クロック分周値は CLOCK\_CTRL レジスタの CLOCKDIV ビットの値です (表 83 を参照)。

$Avg = FILTER\_FS[15:0]/4$  です。 $FILTER\_FS[15:0]$  は、FILTER\_FS レジスタの FILTER\_FS[15:0] ビットの 10 進値です (表 107 を参照)。

チャンネルをユーザが手動で選択した場合、最初の変換に追加遅延が発生します。必要な時間 (セトリング時間) は、次のようになります。

$$t_{SETTLE} = ((4 + Avg) \times 128 + PT) / f_{CLK} \quad (4)$$

ここで、PT = 処理時間 = 96 (FILTER\_FS = 4 の場合) で、FILTER\_FS の値が 4 以外の場合は全て 98 です。

表 32 に、FILTER\_FS[15:0] の設定例と、対応する出力データレートおよびセトリング時間を示します。

表 32. 出力データレートと対応するセトリング時間の例 (sinc<sup>5</sup> + 平均化フィルタ、16MHz クロック、クロック分周 = 2)

FILTER_FS[15:0]	First Notch (Hz)	Output Data Rate (SPS)	Settling Time (ms)
4,160	60.04	60.04	16.7
5,000	50	50	20.076
4	62,500	62,500	0.092

チャンネルが変更されると、変調器とフィルタがリセットされます。セトリング時間の間に、チャンネル変更後の最初の変換結果を生成できます。このチャンネルでの後続の変換は  $1/f_{ADC}$  で発生します。低出力データレートの場合、セトリング時間と  $1/f_{ADC}$  で表される時間は非常に近い値になります。

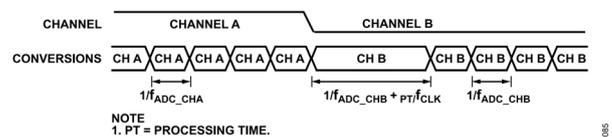


図 73. sinc<sup>5</sup> + 平均化フィルタ (FS > 16)

デバイスが 1 つのチャンネルで変換を実行していて、アナログ入力でステップ変化が発生した場合、ADC は変化を検出せず、変換結果の出力を継続します。ステップ変化が変換と同期されている場合は、FILTER\_FS > 16 であれば、中間の変換結果が ADC から 1 つ出力されます (図 74 を参照)。FILTER\_FS = 4 の場合、フィルタは sinc<sup>5</sup> フィルタとして機能します。そのため、4 つの中間変換が存在します。ステップ変化が変換プロセスと同期している場合、FILTER\_FS > 16 であれば最大 2 つの中間変換が存在し、FILTER\_FS = 4 であれば 5 つの中間変換が存在しません。

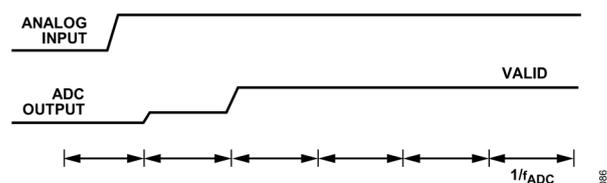


図 74. アナログ入力での同期ステップ変化、sinc<sup>5</sup> + 平均化フィルタ (FILTER\_FS > 16)

デジタル・フィルタ

FILTER\_FS = 8、12、16 の場合の中間変換の数を表 33 に示します。

表 33. アナログ入力でのステップ変化

FILTER_FS[15:0]	Intermediate Conversions Synchronous	Intermediate Conversions Asynchronous
16	1 to 2	2
12	2	2 to 3
8	2 to 3	3

シーケンサ

sinc<sup>5</sup> + 平均化フィルタ使用時の出力データレートとセトリング時間のセクションの説明は、チャンネルを手動で切り替える場合や動作モードを変更する場合に有効です。複数のチャンネルがイネーブルされている場合、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされた全てのチャンネルを自動的にシーケンスします。この場合、シーケンスにおける最初のチャンネルの最初の変換には、表 32 に示した全セトリング時間を要します。

後続の全ての変換では、チャンネルの最初の変換に必要な時間はフィルタのセトリング時間です (PT = 0)。複数の変換結果が 1 つのチャンネルから読み出される場合 (REPEAT > 1)、選択されたチャンネルの 2 番目の変換およびそれ以降の変換に要する時間は、1/f<sub>ADC</sub> です。

sinc<sup>5</sup> + 平均化フィルタ使用時の 50Hz と 60Hz の除去

図 75 は、FILTER\_FS[15:0] を 5,000 に設定した場合の周波数応答を示しています。

対応する出力データレートを表 32 に示します。sinc<sup>5</sup> フィルタは、最初のノッチを次の周波数に配置します。

$$f_{NOTCH} = f_{CLK}/128 \tag{5}$$

平均化ブロックは、ノッチを f<sub>NOTCH</sub>/Avg (Avg = Filter\_FS/4) に配置します。また、ノッチはこの周波数の整数倍の位置にも配置されます。そのため、FILTER\_FS[15:0] が 5,000 に設定されている場合、ノッチは sinc<sup>5</sup> フィルタにより 62,500Hz に配置され、平均化により 50Hz と 50Hz の整数倍の位置に配置されます。

50Hz のノッチは 1 次ノッチです。そのため、ノッチの幅は広くありません。これは、安定したメイン・クロックであれば、ちょうど 50Hz での除去が良好であることを意味します。ただし、50Hz ± 0.5Hz の帯域では、除去比が大幅に低下します。50Hz ± 0.5Hz での除去比は、クロックが安定していると仮定して、40dB (最小値) です。そのため、最大限の 50Hz 除去が必要であれば、sinc<sup>5</sup> + 平均化フィルタを用いる場合、優れたメイン・クロック源を使用することを推奨します。

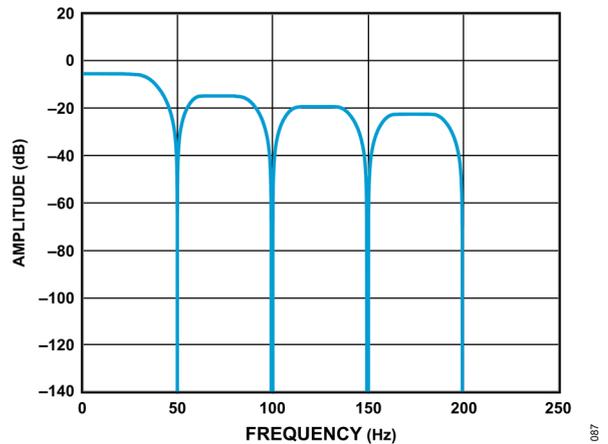


図 75. 50Hz の除去

図 76 は、FILTER\_FS[15:0] を 4160 に設定した場合のフィルタ応答を示しています。この場合、ノッチは 60Hz と 60Hz の整数倍の位置に配置されます。60Hz ± 0.5Hz での除去比は 40dB (最小値) です。

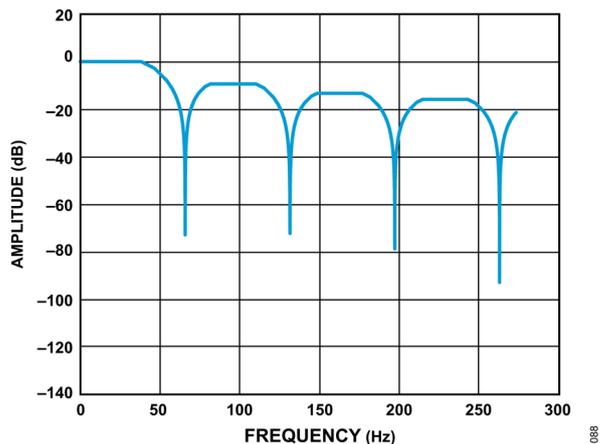


図 76. 60Hz の除去

50Hz/60Hz 同時除去は、FILTER\_FS[15:0] を 25,000 に設定することで実現できます。ノッチは 10Hz と 10Hz の倍数で生じるため、50Hz と 60Hz の同時除去が可能になります (図 77 を参照)。50Hz ± 0.5Hz および 60Hz ± 0.5Hz での除去比は 40dB (代表値) です。

デジタル・フィルタ

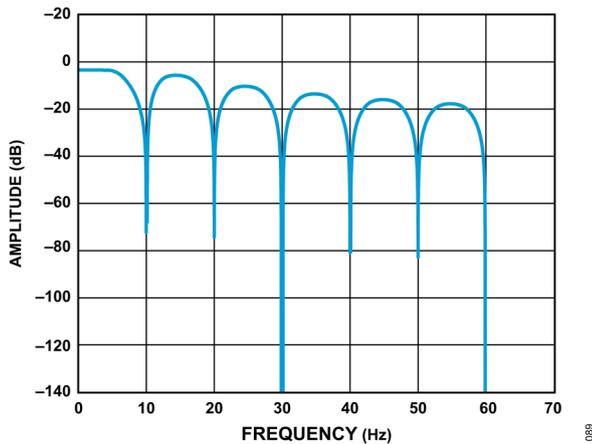


図 77. 50Hz と 60Hz の同時除去

sinc<sup>5</sup> フィルタ

フィルタは、FILTER レジスタの FILTER\_TYPE ビットで選択します (表 105 を参照)。このフィルタは、高い出力データレート (976.5SPS~62,500SPS) をサポートします。このフィルタは高い出力データレートの場合に有効です。高次の sinc フィルタは sinc<sup>3</sup> フィルタよりも高周波数ノイズを抑え、S/N 比の向上とピーク to ピーク分解能の改善をもたらすからです。このフィルタは、優れたノイズ性能と適度なセトリング時間を備えています。このフィルタ・オプションは 50Hz および 60Hz 除去には対応していない点に注意してください。図 78 において、灰色で示しているブロックは使用しません。



図 78. sinc<sup>5</sup> フィルタ

sinc<sup>5</sup> の出力データレートとセトリング時間

出力データレート (ADC で連続変換を実行しているときに 1 つのチャンネルで可能な変換レート) は次のようになります。

$$f_{ADC} = f_{CLK} / (32 \times FILTER\_FS[8:0]) \quad (6)$$

ここで、

$f_{ADC}$  は出力データレートです。

$f_{CLK}$  は (メイン・クロック周波数/クロック分周値) で、クロック分周値は CLOCK\_CTRL レジスタの CLOCKDIV ビットの値です (表 83 を参照)。

FILTER\_FS[8:0] は、FILTER\_FS レジスタの FILTER\_FS[8:0] ビットの 10 進値です (表 107 を参照)。FILTER\_FS[8:0] は、4、8、12、16、20、24、…、256 の値に設定できます。FILTER\_FS[8:0] の 2LSB は 0 に設定する必要があります。

チャンネルをユーザが手動で選択した場合、または、動作モードの変更があった場合、最初の変換に追加遅延が発生します。sinc<sup>5</sup> フィルタを用いる場合に必要な時間 (セトリング時間) は次のようになります。

$$t_{SETTLE} = (5 \times 32 \times FILTER\_FS[8:0] + PT) / f_{CLK} \quad (7)$$

ここで PT = 処理時間 = 96。

表 34 に、FILTER\_FS[8:0] の設定と対応する出力データレートおよびセトリング時間の例を示します。

表 34. 出力データレートと対応するセトリング時間の例 (sinc<sup>5</sup> フィルタ、16MHz クロック、クロック分周 = 2)

FILTER_FS[8:0]	Output Data Rate (SPS)	Settling Time (ms)
256	976.5	5.132
4	62,500	0.092

チャンネルが変更されると、変調器とフィルタがリセットされます。チャンネル変更後は、セトリング時間全部が経過してから最初の変換結果を生成できます (図 79 を参照)。このチャンネルでの後続の変換は  $1/f_{ADC}$  で発生します。

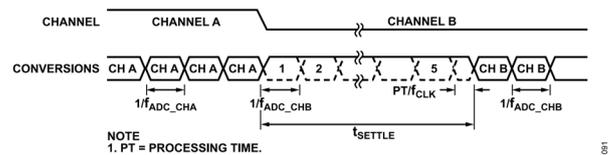


図 79. sinc<sup>5</sup> のチャンネル変更

1 つのチャンネルで変換が実行され、ステップ変化が発生した場合、ADC はアナログ入力の変化を検出しません。このため、プログラムされた出力データレートで変換結果の出力を継続します。ただし、出力データにアナログ入力に正確に反映されるのは、ステップ変化後少なくとも 5 回の変換を行った後です。ADC が変換を処理しているときにステップ変化が発生した場合、ADC はステップ変化後に変換を 6 回実行して完全にセトリングされた結果を生成します (図 80 を参照)。

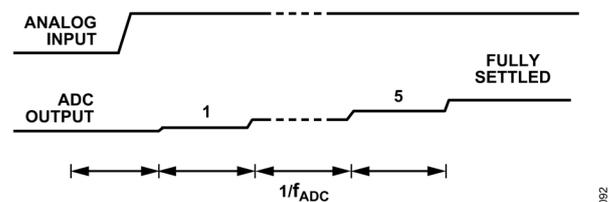


図 80. アナログ入力での非同期ステップ変化

シーケンス

sinc<sup>5</sup> の出力データレートとセトリング時間のセクションの説明は、チャンネルを手動で切り替える場合や動作モードを変更する場合に有効です。複数のチャンネルがイネーブルされている場合、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされた全てのチャンネルを自動的にシーケンスします。この場合、シーケンスの最初のチャンネルの最初の変換には、表 34 に示した全セトリング時間を要します。

後続の全ての変換において、最初の変換に必要な時間はフィルタのセトリング時間です (PT = 0)。

### デジタル・フィルタ

シーケンサを使用して REPEAT が 1 より大きい場合、選択されたチャンネルの 2 番目の変換およびそれ以降の変換に要する時間は  $1/f_{ADC}$  です。

#### sinc<sup>5</sup>での 50Hz と 60Hz の除去

sinc<sup>5</sup>フィルタは 50Hz と 60Hz を除去しません。この ADC では、より高い出力データレートでのみこのフィルタを使用できるからです。

#### sinc<sup>3</sup>フィルタ

AD4195-4 では sinc<sup>3</sup>フィルタも使用できます。フィルタは、FILTER レジスタの FILTER\_TYPE ビットで選択します (表 105 を参照)。このフィルタは、優れたノイズ性能、適度なセトリング時間、優れた 50Hz/60Hz (±1Hz) 除去比を備えています。図 81 において、灰色で示しているブロックは使用しません。

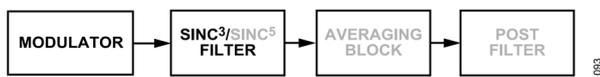


図 81. sinc<sup>3</sup>フィルタ

#### sinc<sup>3</sup>の出力データレートとセトリング時間

出力データレート (ADC で連続変換を実行しているときに 1 つのチャンネルで可能な変換レート) は次のようになります。

$$f_{ADC} = f_{CLK} / (32 \times FILTER\_FS[15:0]) \quad (8)$$

ここで、

$f_{ADC}$  は出力データレートです。

$f_{CLK}$  は (メイン・クロック周波数/クロック分周値) で、クロック分周値は CLOCK\_CTRL レジスタの CLOCKDIV ビットの値です (表 83 を参照)。

FILTER\_FS[15:0] は、FILTER\_FS レジスタの FILTER\_FS[15:0] ビットの 10 進値です (表 107 を参照)。

FILTER\_FS[15:0] の値は 4、8、12、16、20、…、65532 のいずれかとすることができます (16 ビット・ワードの 2LSB を 0 に設定する必要があります)。出力データレートは 3.8SPS ~ 62,500SPS にプログラムできます。

sinc<sup>3</sup>フィルタを用いる場合のセトリング時間は次のようになります。

$$t_{SETTLE} = (3 \times 32 \times FILTER\_FS[15:0] + PT) / f_{CLK} \quad (9)$$

ここで、PT = 処理時間 = 92。

表 35 に、FILTER\_FS[15:0] の設定と対応する出力データレートおよびセトリング時間の例を示します。

表 35. 出力データレートと対応するセトリング時間の例 (sinc<sup>3</sup>フィルタ、16MHz クロック、クロック分周 = 2)

FS[15:0]	Output Data Rate (SPS)	Settling Time (ms)
4160	60.04	49.93
5,000	50	60.01

表 35. 出力データレートと対応するセトリング時間の例 (sinc<sup>3</sup>フィルタ、16MHz クロック、クロック分周 = 2) (続き)

FS[15:0]	Output Data Rate (SPS)	Settling Time (ms)
4	62,500	0.0595

チャンネルが変更されると、変調器とフィルタがリセットされます。セトリング時間全体の間に、チャンネル変更後の最初の変換結果を生成できます (図 82 を参照)。このチャンネルでの後続の変換は  $1/f_{ADC}$  で発生します。

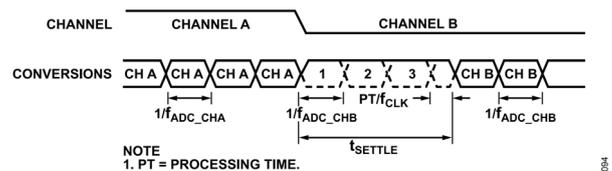


図 82. sinc<sup>3</sup>のチャンネル変更

1 つのチャンネルで変換が実行され、ステップ変化が発生した場合、ADC はアナログ入力の変化を検出しません。このため、プログラムされた出力データレートで変換結果の出力を継続します。ただし、出力データにアナログ入力に正確に反映されるのは、ステップ変化後少なくとも 3 回の変換を行った後です。ADC が変換を処理しているときにステップ変化が発生した場合、ADC はステップ変化後に変換を 4 回実行して完全にセトリングされた結果を生成します (図 83 を参照)。

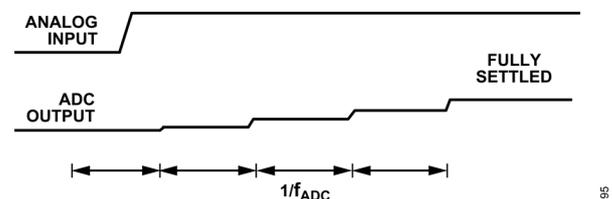


図 83. アナログ入力での非同期ステップ変化

### シーケンサ

sinc<sup>3</sup>の出力データレートとセトリング時間のセクションの説明は、チャンネルを手動で切り替える場合や動作モードを変更する場合に有効です。複数のチャンネルがイネーブルされている場合、内蔵シーケンサが自動的に使用されます。デバイスは、イネーブルにされた全てのチャンネルを自動的にシーケンスします。この場合、シーケンスの最初のチャンネルの最初の変換には、表 35 に示した全セトリング時間を要します。

後続の全ての交換では、チャンネルの最初の変換に必要な時間はフィルタのセトリング時間です (PT = 0)。

シーケンサを使用して REPEAT が 1 より大きい場合、選択されたチャンネルの 2 番目の変換およびそれ以降の変換に要する時間は  $1/f_{ADC}$  です。

デジタル・フィルタ

$\text{sinc}^3$ での50Hzと60Hzの除去

図84に、出力データレートを50SPSに設定した場合の $\text{sinc}^3$ フィルタの周波数応答を示します。安定したメイン・クロックの場合、 $\text{sinc}^3$ フィルタは50Hz±1Hzで95dB（最小値）の除去比を実現します。

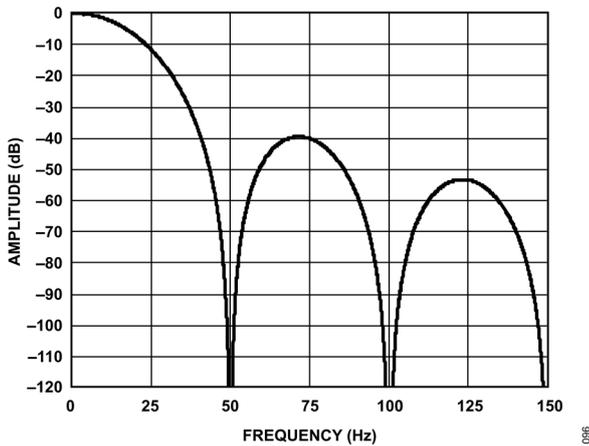


図84.  $\text{sinc}^3$ フィルタの応答（50SPS出力データレート）

図85に、出力データレートを60SPSに設定した場合の $\text{sinc}^3$ フィルタの周波数応答を示します。安定したメイン・クロックの場合、 $\text{sinc}^3$ フィルタの60Hz±1Hzでの除去比は95dB（最小値）です。

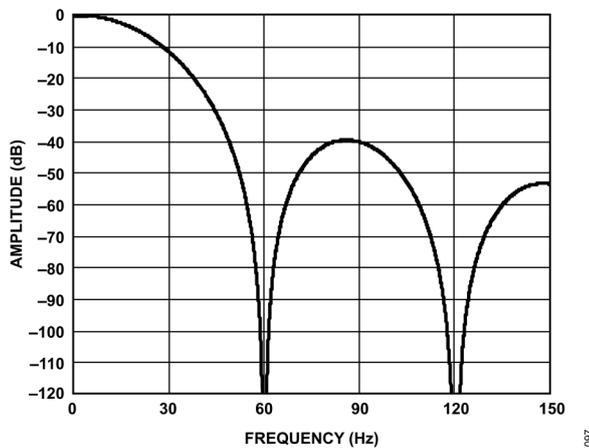


図85.  $\text{sinc}^3$ フィルタの応答（60SPS出力データレート）

出力データレートが10SPSの場合は、50Hzと60Hzを同時に除去できます。 $\text{sinc}^3$ フィルタの50Hz±1Hzと60Hz±1Hzでの除去比は100dB（最小値）です（図86を参照）。

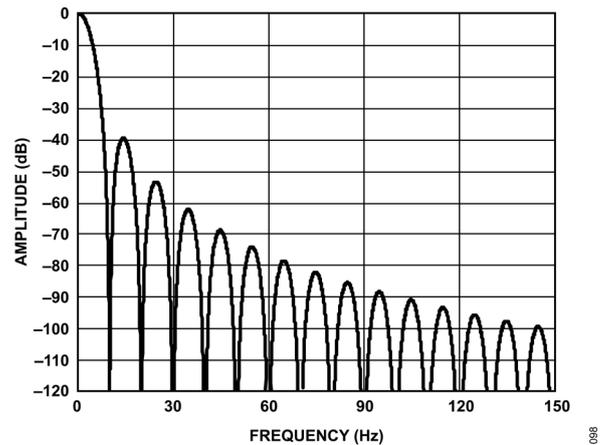


図86.  $\text{sinc}^3$ フィルタの応答（10SPS出力データレート）

ポスト・フィルタ

40ms、50ms、60msのポスト・フィルタは50Hzと60Hzを同時に除去するので、セトリング時間と除去比のトレード・オフが可能です。これらのフィルタは25SPSまで動作可能で、50Hz±1Hzおよび60Hz±1Hzにおける干渉信号を最大89dB除去できます。これらのフィルタは、 $\text{sinc}^3$ +平均化フィルタの出力をポスト・フィルタ処理することで動作します。

$\text{sinc}^3$ または $\text{sinc}^5$ +平均化フィルタは、ポスト・フィルタの前段に使用できます。

ただし、どちらのオプションもノイズ性能は同様ですが、 $\text{sinc}^5$ +平均化フィルタの方がセトリング時間が短いため、 $\text{sinc}^5$ +平均化フィルタを推奨します。50Hzと60Hzを除去するには、 $\text{sinc}$ フィルタの出力データレートが1200SPSに近い値とする必要があります（デフォルトのメイン・クロックを用いる場合はFILTER\_FS = 208）。その他のFILTER\_FS値でもフィルタを使用できますが、50Hzおよび60Hzでのノッチはなくなります。16平均のポスト・フィルタ・オプションを用いた場合、セトリング時間は最初のフィルタ・ノッチの逆数に近い値となります。そのためこのフィルタは、セトリング時間が1/50Hzおよび1/60Hzに近い場合に、50Hzまたは60Hzを除去できます。FILTER\_FSレジスタのFILTER\_FSビットを用いると、ノッチの位置を変えることができます。16平均オプションの前には、 $\text{sinc}^5$ +平均化フィルタを用いることを推奨します。 $\text{sinc}^3$ フィルタよりセトリング時間が短く、ノイズ性能はどちらのオプションでも同じだからです。

セトリング時間が1/50Hzまたは1/60Hzの場合は、 $\text{sinc}^5$ +平均化フィルタ自体も50Hzおよび60Hz除去をサポートします。

使用するポスト・フィルタ・オプションは、FILTERレジスタのPOST\_FILTER\_SELビットで選択します（表105を参照）。図87において、灰色で示しているブロックは使用しません。



図87. ポスト・フィルタ

表36に、出力データレート、対応するセトリング時間、および除去比を示します。

デジタル・フィルタ

1 つのチャンネルで連続変換を行っている場合、最初の変換には  $t_{SETTLE}$  の時間が必要です。後続の変換は  $1/f_{ADC}$  で発生します。  
 (手動またはシーケンサを使用して) 複数のチャンネルがイネーブルされている場合、イネーブルされた各チャンネルで最初の有効な変換結果を生成するには、セトリング時間が必要です。チャンネルがイネーブルされているときに複数の変換が行われている場合は、2 番目の変換とその後の変換が  $1/f_{ADC}$  で発生します。FILTER\_FS に許容される値は 4、8、12、…、1024 です (2LSB は 0 に設定する必要があります)。

表 36. AD4195-4 のポスト・フィルタ：出力データレート、セトリング時間、 $(t_{SETTLE})$ 、除去比 (FILTER\_FS = 208、16MHz メイン・クロック、クロック分周 = 2、 $\text{sinc}^5$  + 平均化フィルタ)

Conversion Time (ms)	Output Data Rate (SPS)	$f_{3dB}$ (Hz)	$t_{SETTLE}$ (ms)	Simultaneous Rejection of 50Hz $\pm$ 1Hz and 60Hz $\pm$ 1Hz (dB) <sup>1</sup>
40	25.04	15.14	39.98	62
50	20.03	13.4	49.96	85
60	16.69	12.82	59.94	89

<sup>1</sup> 安定したメイン・クロックを使用。

表 37. 16 平均ポスト・フィルタによる平均化：出力データレート、セトリング時間、 $(t_{SETTLE})$ 、除去比、 $\text{sinc}^5$  + 平均化フィルタ、16MHz クロック、クロック分周 = 2

FILTER_FS	Output Data Rate (SPS)	$f_{3dB}$ (Hz)	$t_{SETTLE}$ (ms)	Simultaneous Rejection of 50Hz $\pm$ 1Hz and 60Hz $\pm$ 1Hz (dB) <sup>1</sup>
260	60.1	26.57	16.68	40 (60Hz only)
312	50.1	22.14	20.01	38 (50Hz only)

<sup>1</sup> 安定したメイン・クロックを使用。

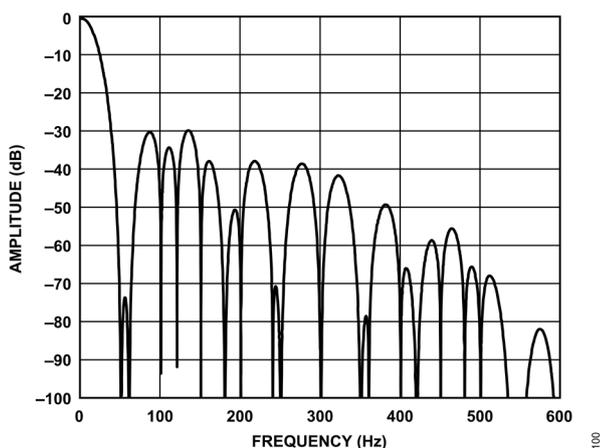


図 88. DC~600Hz、セトリング時間 50ms のポスト・フィルタ

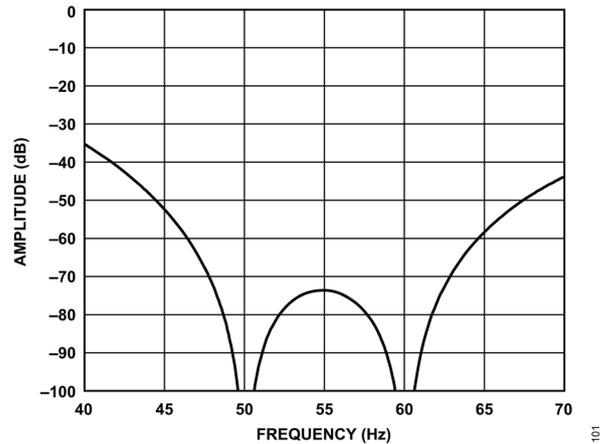


図 89. 40Hz~70Hz の拡大図、セトリング時間 50ms のポスト・フィルタ

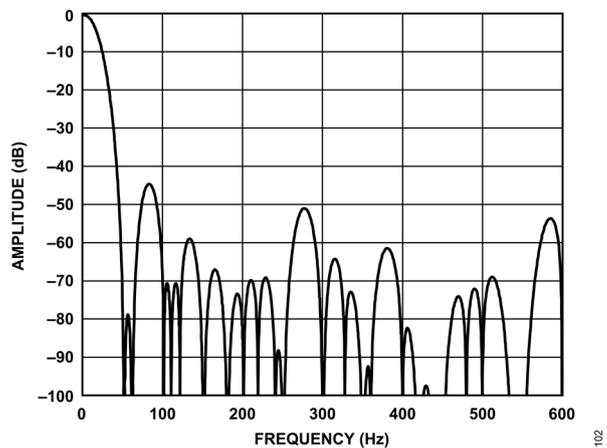


図 90. DC~600Hz、セトリング時間 60ms のポスト・フィルタ

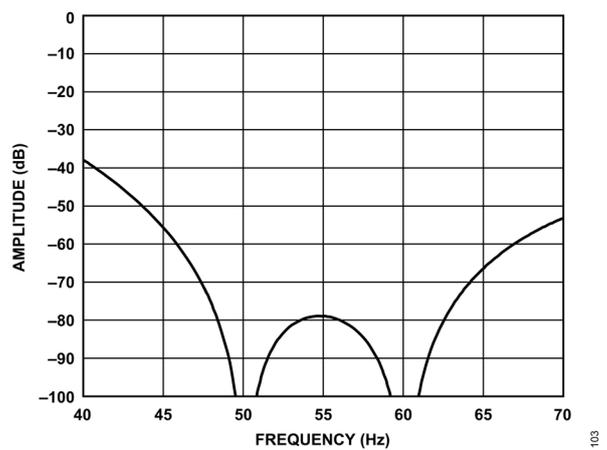


図 91. DC~600Hz、セトリング時間 60ms のポスト・フィルタ

デジタル・フィルタ

アンチエイリアシング・フィルタ

AD4195-4 の変調器は、 $f_{MOD}$  の立上がりエッジと立下がりエッジでサンプリングを行い、 $f_{MOD}$  のレートでデジタル・フィルタにデータを出します。変調器の周波数応答プロファイルの中には、 $f_{MOD}$  の奇数倍の位置を中心とするゼロが存在しますが、これは  $f_{MOD}$  レートとこのレートの奇数倍の位置にある周波数からのフォールドバックがないことを意味します。 $f_{MOD}$  レートの位置にある周波数からのフォールドバックがないという事実によって、AD4195-4 の最初の非保護領域は  $2 \times f_{MOD}$  へ移動します。しかし変調器は、 $f_{MOD}$  の倍数においてもノイズの影響を受けやすくなります。これらの領域では減衰がありません。

更に、AD4195-4 は、変調器でチョップ・アンプと同様のチョッピング技術を使用してオフセット、オフセット・ドリフト、および  $1/f$  ノイズを除去します。チョッピングのレートによっては、目的の帯域幅内に帯域外トーンがエイリアスとして出現することがあります。図 92 に、AD4195-4 で用いられるチョップ周波数  $f_{CHOP} = f_{MOD}/8$  における帯域外トーンの除去を示します。

PGA もチョッピングを使用し、そのチョッピング周波数は  $f_{MOD}/16$  です。帯域外トーンが目的の帯域幅内にエイリアスとして出現するのを防止するには、アンチエイリアシング・フィルタを用いる必要があります。これはパッシブ（抵抗-コンデンサ）フィルタで十分です。フィルタのプロファイルは動作環境によって異なります。

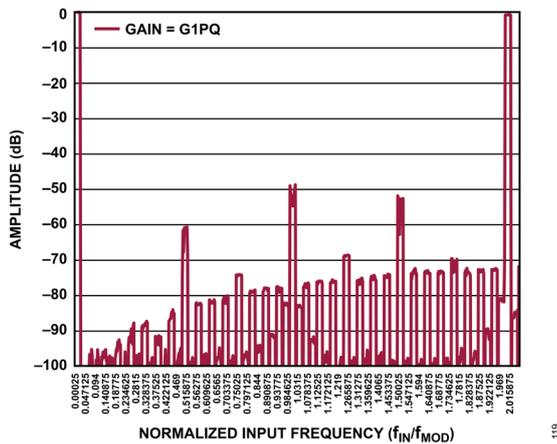


図 92. 帯域外トーンの除去 (ADC のみ)

119

## デジタル・インターフェース

AD4195-4 のデジタル・インターフェースを使用することで、ユーザ設定レジスタへのアクセス、ADC 変換の開始、診断テストの実行、変換結果のリード・バックが可能になります。インターフェースは 4 線式 ( $\overline{CS}$ 、SCLK、SDI、SDO) です。また、 $\overline{CS}$ をローにハードワイヤ接続しても動作できます。インターフェースは、ほとんどのデジタル信号プロセッサ (DSP) と同様に、QSPI™ および MICROWIRE インターフェース規格に対応しています。読出しと書込みのどちらの SPI トランザクションに対しても、データは SCLK の立上がりエッジでサンプリングされます。全ての SPI トランザクションについて、各バイトの最上位ビット (MSB) が最初にシフトされます。SDO ラインは、デフォルトでデータ・レディ信号 ( $\overline{RDY}$ ) としても機能します。AD4195-4 デバイスからデータを読み出せる場合、SDO ラインはローになります。あるいは、専用のデータ・レディ信号を DIG\_AUX1 に出力することもできます。

AD4195-4 への全ての通信は、その動作が読出しなのか書込みなのか、およびどのレジスタにアクセスするのかを示す命令フェーズで始まります。その後、データ・フェーズが続き、データが (SDI を用いて) ADC に書き込まれるか、あるいは SDO を用いて ADC から読み出されます。

AD4195-4 のデジタル・インターフェースのロジック・レベルは、IOVDD の電圧によって設定され、その範囲は 1.7V~5.25V です。

AD4195-4 の各ユーザ設定レジスタのアドレスと機能の詳細については、[内蔵レジスタ・マップ](#)のセクションを参照してください。

### ADC の変換モードと変換結果へのアクセス方法

デフォルトでは、ADC は  $\text{sinc}^5$  + 平均化フィルタを用いて連続的に変換します (表 89 の MODE ビットを 000b に設定)。イネーブルされている各チャンネルには、専用のデータ・レジスタがあります (表 89 の MULTI\_DATA\_REG\_SEL ビットを 0 に設定)。DATA\_PER\_CHANNELn レジスタは、CHANNELn の変換結果を保持します。表 69 の RDYB ビットは、イネーブルされた全てのチャンネルの変換が完了するたびにローになります。 $\overline{CS}$ がローの場合は、デフォルトで  $\overline{RDY}$  信号が SDO に出力されるため、イネーブルされた全てのチャンネルの変換が完了すると SDO ラインもローになります。 $\overline{RDY}$ は、代わりに DIG\_AUX1 に出力することもできます。チャンネルごとにデータ・レジスタが使用される場合、STATUS ビットが変換結果に自動的に付加されます。各データ・レジスタを読み出すには、次の動作がデータ・レジスタからの読出しであることを示す命令フェーズが必要です。 $\overline{RDY}$ は、イネーブルされたチャンネルからの変換結果が読み出されると、ハイに戻ります。

イネーブルされたチャンネルは、データ・レジスタを共用することもできます (表 89 の MULTI\_DATA\_REG\_SEL ビットを 1 に設定)。表 69 の RDYB ビットは、変換が完了するたびにローになります。 $\overline{CS}$ がローになるか、 $\overline{RDY}$ が DIG\_AUX1 に出力されると、 $\overline{RDY}$  信号もローになります。変換の読出し時には、DATA\_24B レジスタを通じて 24 ビットの変換結果にアクセスできます。変換結果と共に STATUS レジスタの内容を読み出すには、DATA\_24B\_STATUS レジスタを読み出します。また、AD4195-4 は、変換結果の 16MSB のみを読み出せる 16 ビット変換読出し機能もサポートしています。16 ビットの変換結果を読み出すのに関連するレジスタは DATA\_16B で、変換結果と共にステータス・ビットも読み出す場合のレジスタは DATA\_16B\_STATUS です。データ・レジスタから変換結果を読み出すと、 $\overline{RDY}$ がハイに移行します。

データ・レジスタが共用されている場合、または、必要に応じてチャンネルごとのデータ・レジスタが用いられている場合、ユーザはデータ・レジスタを読み出す回数を追加できます。ただし、レジスタが更新されることになっている場合は、次の変換の完了時に、データ・レジスタへのアクセスが行われていないようにする必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされると、ADC はイネーブルされたチャンネルを自動的にシーケンス処理します。チャンネルごとのデータ・レジスタが用いられている場合は、イネーブルされたチャンネルごとに 1 回の変換を行うようにデバイスを設定する必要があります (表 97 の REPEAT ビットを 0 に設定)。イネーブルされたチャンネルが 1 つのデータ・レジスタを共用している場合は、シーケンスにおいて 1 つのチャンネルが選択されるごとに、そのチャンネルで複数の変換を実行できます (同じくそのチャンネルの表 97 に示す REPEAT ビットを使用)。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルは、イネーブルされた最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順に変換されます。該当のデータ・レジスタは、変換結果が読出し可能になると、直ちに更新されます。

表 89 の MODE ビットが 100b に設定されている場合はシーケンスが 1 回実行され、その後、ADC はスタンバイ・モードになります。1 つのチャンネルのみがイネーブルされている場合は、シングル変換が実行されます。

変換をリード・バックする場合、命令およびデータ・フェーズを用いる他に、連続読出しおよび連続送信という 2 つのオプションがあり、変換のリード・バックを簡単に行うことができます。詳細については、[連続読出しと連続送信](#)のセクションを参照してください。

### 連続読出し

連続読出しは、ADC からのスループットを最大化できるように設計されています。シフト・レジスタが ADC の変換データに簡単にアクセスできるようにするため、レジスタ・マップへのアクセスはできません。

連続読出しをイネーブルするには、表 89 の CONT\_READ ビットを用い (01b に設定すると連続読出しがイネーブル)、SPI インターフェースを単純な (二重) シフト・レジスタに切り替えます。このレジスタが行えるのは、終了コマンドやソフトウェア・リセットのチェックを同時に行いながら、ADC の変換結果をシフト・アウトすることだけです。ADC データの読出し時に命令フェーズは不要です。連続読出しを使用できるのは、イネーブルされた全てのチャンネルが 1 つのデータ・レジスタを共用している場合のみです。

このインターフェース・オプションは、ADC データ・レジスタからの読出しアクセスに加え、オプションで付加されたステータス・レジスタや CRC のみをサポートします。このモードでは、変換データは 24 ビット幅です。 $\overline{CS}$ は読出しの最後にトグルするか、恒久的にローに保持することができます。 $\overline{CS}$ をハイにすると SDO がスリーステートになり、SPI の状態がリセットされ、ADC の読出し後に  $\overline{CS}$ がハイに設定されない場合は、データの LSB が SDO を駆動し続けます (あるいは、DIG\_AUX1 の設定によっては  $\overline{RDY}$ に戻ります)。

連続読出しを使用する必要があるのは、ADC が連続変換モードでイネーブルされている場合のみです。ソフトウェア・リセットをトリガしないようにするために、連続読出しモード時には、SDI をローまたはハイに保持する必要があります。また、転送

デジタル・インターフェース

のアボートを避けるため、ホストは必要なスループット・レートでデータを読み出せることが必要です。進行中のデータ・リード・バックは、次の ADC 結果の用意ができるまでに完了しないとアボートされます。

このモードでは SCLK をゲートするために  $\overline{RDY}$  が用いられます。新しい ADC データ結果がデータ・レジスタに書き込まれると  $\overline{RDY}$  は 0 に設定され、ADC のデータ読出しが完了すると 1 に設定されます。AD4195-4 は、最初の 24SCLK (およびオプションのステータス・ビットとオプションの CRC) にのみ従います。そのため、ADC の各変換結果を読み出すことができるのは 1 回のみです。 $\overline{RDY}$  が次にローになるまでは、それ以外の SCLK は無視されます。

連続読出しを終了するには、ADC のデータ読出しにおける最初の 8SCLK の間に、ADC に 0xA5 を書き込みます。終了するコマンドを送信した後、変換結果の残りのビットを読み出すことができます。また、リセットを使用して連続読出しを終了することもできます。63 個の 1 と 1 個の 0 からなるパターンでデバイスをリセットできます。ただし、レジスタはデフォルト値に設定されます。

連続読出しをイネーブルする前に、(表 89 の CONT\_READ\_STATUS\_EN ビットを使用した状態で) CRC がイネーブルされている場合、0xA5 のシード値が用いられます。

連続送信

連続送信オプションでは、使用可能なデータは、適切な数のデータ・クロック (DCLK) を伴って自動的に送信されます。ホストは、ADC データを取得するのに  $\overline{RDY}$  からの割込みに応答する必要がないため、ホストのタイミングの負荷が軽減されます。データ・クロックは、デバイスの選択されたメイン・クロックから生成されます (表 83 の DCLK\_DIVIDE ビットを通じて 2、4、8 分周のオプションがあります)。連続送信モードを有効にするには、表 89 の CONT\_READ ビットを 10b に設定します。連続送信を使用できるのは、イネーブルされた全てのチャンネルが 1 つのデータ・レジスタを共有している場合のみです。

連続読出しと同様、連続送信を終了するために CONT\_READ ビットに書き込むことはできますが、レジスタ・マップへのアクセスはできません。連続送信を使用する必要があるのは、ADC が連続変換モードでイネーブルされている場合のみです。ソフトウェア・リセットをトリガしないようにするために、このモードの使用時には、SDI をローに保持する必要があります。SDO ラインは専用の ADC データ出力になります。 $\overline{RDY}$  信号を出力するには DIG\_AUX1 を用い、DIG\_AUX2 はデータ・クロック (DCLK) を出力するよう設定します。

このモードでは、(表 89 の CONT\_READ\_STATUS\_EN ビットを使用して連続モードをイネーブルした状態で) CRC の有無に応じて、32 ビットまたは 64 ビットのデータ・フレームを用います。データ・フレームには、0x00 のパディング・バイトを含めることができます (表 38 と表 39 を参照)。そのため、CRC がディスエーブルの場合、32 ビットのデータ・フレームのみが転送されます。

その他の動作モードに従い、新しい ADC 結果が出力されると  $\overline{RDY}$  (DIG\_AUX1 に出力) はローになり、ADC のデータ (+ステータス/CRC) 転送の最後のビットでハイに戻ります。これにより連続送信フレームが終了します。選択した出力フォーマットに応じ、 $\overline{RDY}$  がローになった後で 32 個または 64 個の DCLK が出力されます。各 ADC の結果は 1 回のみ送信されます。DCLK はデータ送信の間、ハイのアイドル状態になります。データの送信後に  $\overline{CS}$  がハイにならない場合は、最後のスロットの LSB が SDO を駆動し続けます。送信時に  $\overline{CS}$  をハイにすると、

送信がアボートされるので注意してください。 $\overline{RDY}$  がローのときに  $\overline{CS}$  がハイになると送信は行われません。

表 38. データ送信フォーマット (CRC をディスエーブルした場合の 32 ビット・データ・フレーム、または 64 ビット・データ・フレームの前半の 32 ビット)

Byte 1	Byte 2	Byte 3	Byte 4
STATUS or 0x00	ADC_DATA[23:16]	ADC_DATA[15:8]	ADC_DATA[7:0]

表 39. データ送信フォーマット (CRC をイネーブルした場合の 64 ビット・データ・フレームの後半の 32 ビット)

Byte 5	Byte 6	Byte 7	Byte 8
STATUS	0x00	0x00	CRC

SPI フレーム同期

SPI トランザクション時、 $\overline{CS}$  ピンを使用してデータをフレーム化できます。 $\overline{CS}$  の立下がりエッジによってデジタル・インターフェースがイネーブルされ、SPI トランザクションが開始されます。AD4195-4 への書込みモード時、SDI のデータは、SCLK の立下がりエッジでラッチされます。読出しトランザクションが始まると、SCLK の立下がりエッジで SDO のデータがシフト・アウトされます。各 SPI トランザクションには、命令フェーズのセクションとデータ・フェーズのセクションに詳細を示すように、少なくとも 1 つの命令フェーズとデータ・フェーズがあります。全ての SPI トランザクションに対し、データはレジスタ・バイト・レベルで MSB ファーストで揃えられます。SPI トランザクション時に  $\overline{CS}$  をハイにすると、データ転送が終了し、デジタル・インターフェースがディスエーブルされます。AD4195-4 の基本的な SPI 書込みフレームのステージを 図 93 に、SPI 読出しフレームのステージを 図 94 に示します。 $\overline{CS}$  は恒久的にローに接続できます。プロセッサと AD4195-4 の間での SPI の同期を可能にするために、命令フェーズの MSB は常に 0 です。そのため、SDI がデータ転送中にアイドル・ハイになっている場合、AD4195-4 はいずれの SCLK パルスも無視します。SDI の 0 は、命令フェーズの開始を示します。

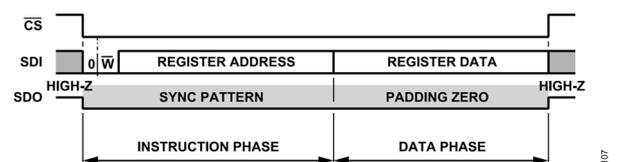


図 93. 基本的な SPI 書込みフレーム (CRC エラー検出をディスエーブル)

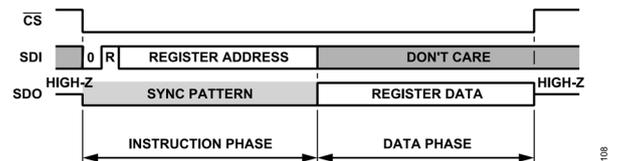


図 94. 基本的な SPI 読出しフレーム (CRC エラー検出をディスエーブル)

図 2 と 図 3 に、SPI インターフェースを介したレジスタ読出し動作と書込み動作の詳細なタイミング図を示します (タイミング仕様の詳細については [タイミング特性](#) のセクションを参照してください)。

## デジタル・インターフェース

## 命令フェーズ

各レジスタ・アクセスは命令フェーズから始まります。図 93 と図 94 に、 $\overline{CS}$ がマイクロプロセッサにより制御される場合の基本的な読出し動作と書込み動作を示します。 $\overline{CS}$ はローにハードワイヤ接続することもできます。

命令フェーズは、0 とそれに続く読出し/書込みビット ( $R/\overline{W}$ )、およびそれに続く 14 ビットのレジスタ・アドレスで構成されます。 $R/\overline{W}$ をローに設定すると書込み命令が始まり (図 93 を参照)、 $R/\overline{W}$ をハイに設定すると読出し命令が始まります (図 94 を参照)。レジスタ・アドレス・ワードはアクセス先のレジスタ・アドレスを指定します。レジスタ・アドレスはデフォルトで 14 ビット長 (14 ビット・アドレス指定) です。14 ビットのアドレス指定で、メモリ・マップ全体へのアクセスが可能です。アドレス指定メモリの位置がアドレス 0x40 より下位の場合、INTERFACE CONFIG B レジスタの SHORT\_INSTRUCTION ビットを用いてアドレス指定を 6 ビットに変更できます (6 ビット・アドレス指定)。アドレス 0x3F (10 進数で 63) までのメモリ場所にアクセスする場合は、6 ビット・アドレス指定によって命令フェーズを短縮できます。これより上では 14 ビット・アドレス指定を選択する必要があります。同期が失われたかどうかをプロセッサが判定できるように、命令フェーズの間、同期パターンが SDO に出力されます。16 ビット命令を使用する場合、このパターンは 0x2645 です。命令フェーズが 8 ビットであれば、同期パターンは、0x26 です。パターンの MSB をマイクロプロセッサが確実にキャプチャされるとは限らないためというだけの理由で、マイクロプロセッサは、ビット[14:0] (16 ビット命令) またはビット[6:0] (8 ビット命令) をチェックする必要があります。この機能は、SEND\_STATUS ビットを用いてディスエーブルできます。その場合、SDO には 0 が出力されます。

## データ・フェーズ

図 93 および図 94 に示すように、データ・フェーズは命令フェーズの直後に置かれます。データ・フェーズには、選択したレジスタに応じて、1 個のシングルバイト・レジスタ用、または 1 個のマルチバイト・レジスタ用のデータが含まれます。

アドレス指定されたレジスタの内容は、レジスタ・データの最後のビットをシフト・インする SCLK の立上がりエッジの直後に更新されます。シングルバイト・レジスタでは、この最後のビットは、データ・フェーズの 8 番目の SCLK 立上がりエッジです。マルチバイト・レジスタのデータが更新されるタイミングの詳細については、マルチバイト・レジスタのセクションを参照してください。

確実に更新が行われるよう、データは AD4195-4 の設定レジスタにフル・バイトで書き込む必要があります。SPI 書込みトランザクションのデータ・フェーズに、更新対象レジスタのデータ・バイトの一部しか含まれない場合、レジスタの内容は更新されず、表 67 の CLOCK\_COUNT\_ERR ビットがセットされます。

CRC がイネーブルされている場合、AD4195-4 のレジスタは、有効な CRC をデバイスが受信した場合にのみ更新されます。CRC が無効または供給されない場合、データ・レジスタは更新されません。CRC 機能の詳細についてはチェックサム保護のセクションを参照してください。

## マルチバイト・レジスタ

AD4195-4 の設定レジスタの一部は、隣接するアドレスに格納された複数バイトのデータで構成されています。これをマルチバイト・レジスタと呼びます。AD4195-4 のマルチバイト・レジスタのリストについての詳細は、内蔵レジスタ・マップのセクションを参照してください。

AD4195-4 のマルチバイト・レジスタに書込みを行う場合、全てのバイトを 1 回の SPI トランザクションで転送する必要があります。マルチバイト・レジスタへの SPI 書込みトランザクションをバイトごとに行おうとした場合、デバイスのレジスタの内容は更新されず、表 67 の REGISTER\_PARTIAL\_ACCESS\_ERR ビットがセットされます。AD4195-4 のマルチバイト・レジスタへの書込みトランザクションが有効になるのは、レジスタ・データの最後のビットをシフト・インする、データ・フェーズの最終 SCLK 立上がりエッジの後です。

マルチバイト・レジスタのアドレスは、常に表 43 の ADDR\_ASCENSION ビットに依存します。降順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであることが必要で、後続のバイトは次の下位アドレスのデータに対応します。昇順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最下位バイトであることが必要で、後続のバイトは次の上位アドレスのデータに対応します。例えば、16 ビットの ADC\_DATA レジスタは 2 バイト長で、その最下位バイトのアドレスは 0x16、最上位バイトのアドレスは 0x17 です。

マルチバイト・レジスタは 1 回の SPI トランザクションで読み出すことができる他、バイトごとに個別にアドレス指定することも可能です。マルチバイト・レジスタの SPI 読出しトランザクションをバイトごとに行おうとした場合、表 67 の REGISTER\_PARTIAL\_ACCESS\_ERR ビットがセットされます。

マルチバイト・レジスタ (2 バイト) への書込み/読出しトランザクションを図 95 (昇順アドレス指定) と図 96 (降順アドレス指定) に示します。表 43 の ADDR\_ASCENSION ビットを 0 に設定すると、各バイトにアクセスするごとにアドレスがデクリメントします。ADDR\_ASCENSION を 1 に設定すると、バイトにアクセスするごとにアドレスがインクリメントします。

マルチバイト・レジスタにアクセスする場合、降順アドレス指定を用いると、最初に最上位バイトをシフト・インします。

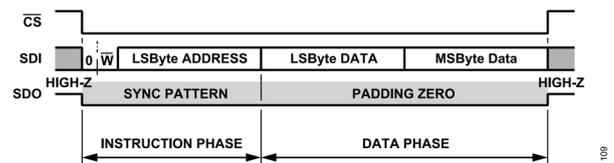


図 95. 昇順アドレス指定でのマルチバイト・レジスタの書込みアクセス

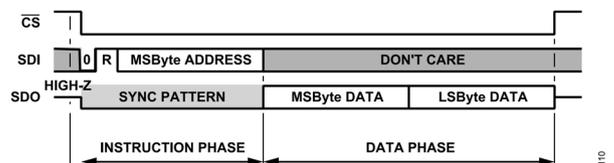


図 96. 降順アドレス指定でのマルチバイト・レジスタの読出しアクセス

## デジタル・インターフェース

### デバイスの識別

以下のレジスタにはAD4195-4に関する識別情報が格納されています。デバイスのベンダとしてアナログ・デバイセズを特定する `VENDOR_ID` レジスタ、デバイスが属するアナログ・デバイセズの製品カテゴリを特定する `CHIP_TYPE` レジスタ、デバイスを特定するために `CHIP_TYPE` と共に用いられる `PRODUCT_ID` レジスタ、デバイスのリビジョンおよび性能グレードを記録する `CHIP_GRADE` レジスタです。 `SPI_REVISION` レジスタは、SPIインターフェースのリビジョンに関する情報を提供します。

AD4195-4 は次のように指定されています。

- ▶ `VENDOR_ID` = 0x0456
- ▶ `CHIP_TYPE` = 0x07
- ▶ `PRODUCT_ID` = 0x004C
- ▶ `CHIP_GRADE` = 0x04
- ▶ `SPI_REVISION` = 0x83

### デバイスのリセット

AD4195-4 には、デバイスをリセットするためのオプションとして、ハードウェア・リセット、ソフトウェア・リセット、特定のシーケンスを `SDI` ピンに書き込むことによるリセットの3つがあります。リセットは、内蔵レジスタ・マップにリストされている全てのユーザ設定レジスタの状態をデフォルト値に設定します（詳細は内蔵レジスタ・マップのセクションを参照）。リセットが発生すると、表 69 の `POR_FLAG_S` ビットがセットされます。

**POR** ハードウェア・リセットは `IOVDD/REGCAP_D` 電源をスレッシュホールド電圧未満に設定することで開始され、AD4195-4 は電圧がこのスレッシュホールド電圧を超える値に復帰するまでリセット状態を維持します。電圧が十分に回復してから **POR** が終了するよう、スレッシュホールド電圧にはヒステリシスがあります。

ソフトウェア・リセットを行うには、表 43 の `SW_RESET` ビットおよび `RESET_SW` ビットの両方を 1 に設定する必要があります。リセットが生じると、これらのビットは自動的に 0 にリセットされます。

もう 1 つのリセット・オプションは、AD4195-4 に特定のパターンを書き込むことです。これが必要となるのは、 $\overline{CS}$  をローにハードウェア接続した状態で **SPI** が動作する場合です。リセットを始めるには、 $\overline{CS}$  がローに保持されている間に、63 個の 1 と 1 個の 0 からなるパターンを AD4195-4 に 3 回書き込みます。

連続読出しまたは連続送信ではソフトウェア・リセットはできない点に注意してください。1 と 0 の特定のシーケンスを書き込むことによるリセットは、全ての動作モードで機能します。

AD4195-4 では、リセットするために短い時間が必要です。デバイスの準備が整う前にデジタル・ホストが **SPI** トランザクションを実行しようとした場合、トランザクションは正常に行われず、表 67 の `NOT_READY_ERR` ビットがセットされます。このビットは、その場所に 1 を書き込むことでクリアできます。初期化の完了を確認するには、表 67 の `NOT_READY_ERR` ビットと表 93 の `DEVICE_ERROR` ビットを調べます。エラー・ビットのフラグがセットされた場合は、デバイス・リセットを実行してください。

### IO の駆動強度

シリアル・インターフェースは 1.7V という低い電源電圧で動作させることができます。ただし、ある程度の寄生容量が基板に存在する場合、または `SCLK` の周波数が高い場合、この低電圧ではデジタル出力の駆動強度が十分でないことがあります。表 81 の `DIG_OUT_STR` ビットは全てのデジタル出力ピンの駆動強度を高めます。

### SDO\_RDYB\_DLY

シリアル・インターフェースはデフォルトで `SDO` と  $\overline{RDY}$  の共用ピンを使用します。データ読出し時には、このピンは読出し対象のレジスタからデータを出力します。読出し完了後、一定のわずかな時間（**タイミング特性**のセクションのパラメータ `t7` を参照）が経過すると、このピンは  $\overline{RDY}$  信号の出力に戻ります。ただし、マイクロコントローラによっては、この時間では最後のデータ・ビットを確実にサンプリングするには短すぎることもあり、`PIN_MUXING` レジスタの `SDO_RDYB_DLY` ビット（表 81 を参照）を 1 に設定することで、 $\overline{CS}$  ピンがハイになるまで延長することができます。つまり、 $\overline{CS}$  を使って各読出し動作をフレーム化し、シリアル・インターフェースのトランザクションを完了する必要があります。

別々の `SDO` ピンと  $\overline{RDY}$  ピンが必要な場合、 $\overline{RDY}$  は `DIG_AUX1` ピンでも出力できる点に注意してください。この場合、`SDO` はデータ・レジスタの LSB の出力を継続します。

## ADC の同期

AD4195-4 にはいくつかの同期オプションがあり、ユーザは、1 つのデバイスでの変換の開始を制御したり、マルチ AD4195-4 設計において複数デバイスを確実に同期したりできます。

### 標準同期

PIN\_MUXING レジスタの SYNC\_CTRL ビット (表 81 を参照) を 01b に設定すると、 $\overline{\text{SYNC\_IN}}$  ビンが同期入力として機能します。 $\overline{\text{SYNC\_IN}}$  入力を使うと、デバイスのどのセットアップ状態にも影響を与えずに変調器とデジタル・フィルタをリセットできます。シーケンサもリセットされます。この機能により、サンプリングの開始を制御できます。確実に同期させるには、 $\overline{\text{SYNC\_IN}}$  を少なくとも 2 メイン・クロック・サイクルの間ローに維持する必要があります。

複数の AD4195-4 デバイスを共通のメイン・クロックで動作させると、アナログ入力と同時にサンプリングされるようにこれらのデバイスを同期させることができます。通常、この同期は、各 AD4195-4 デバイスがキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後に行われます。 $\overline{\text{SYNC\_IN}}$  入力の立下がりエッジでデジタル・フィルタとアナログ変調器がリセットされ、AD4195-4 は一定の既知の状態になります。 $\overline{\text{SYNC\_IN}}$  がローの間、AD4195-4 はこの既知の状態に保たれます。このデバイスは、 $\overline{\text{SYNC\_IN}}$  入力がローからハイに遷移した後のメイン・クロックの立上がりエッジでリセット状態から抜け出します。このため、複数のデバイスを同期する場合、メイン・クロックの立下がりエッジで  $\overline{\text{SYNC\_IN}}$  入力をハイにして、メイン・クロックの立上がりエッジで全てのデバイスが確実に  $\overline{\text{SYNC\_IN}}$  をハイとしてサンプリングできるようにします。

メイン・クロックのエッジの前に  $\overline{\text{SYNC\_IN}}$  入力を十分な時間ハイにしないと、デバイス間で 1 メイン・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で 1 メイン・クロック・サイクル異なることがあります。 $\overline{\text{SYNC\_IN}}$  は、標準同期モードでは、1 つのチャンネルの変換開始コマンドとして使用することもできます。 $\overline{\text{SYNC\_IN}}$  をハイにすることで変換が開始され、 $\overline{\text{RDY}}$  出力の立下がりエッジで変換完了が通知されます。セトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、 $\overline{\text{SYNC\_IN}}$  をローにして次の変換開始信号の準備をします。

### 代替同期

代替同期モード (表 81 の SYNC\_CTRL ビットを 10b に設定) では、AD4195-4 の複数のチャンネルがイネーブルされている場合、 $\overline{\text{SYNC\_IN}}$  入力は変換開始コマンドとして機能します。 $\overline{\text{SYNC\_IN}}$  入力がローになると、ADC は現在のチャンネルの変換を完了してシーケンス内の次のチャンネルを選択し、 $\overline{\text{SYNC\_IN}}$  入力がハイになって変換が開始されるまで待機します。現在のチャンネルでの変換が完了すると  $\overline{\text{RDY}}$  出力がローになり、対応する変換結果でデータ・レジスタが更新されます。このため、 $\overline{\text{SYNC\_IN}}$  入力は、現在選択されているチャンネルのサンプリングには干渉しませんが、シーケンス内の次のチャンネルで変換が開始されるタイミングを制御できます。代替同期モードは、複数のチャンネルをイネーブルする場合にのみ使用できます。1 つのチャンネルのみをイネーブルする場合は、このモードの使用は推奨しません。

## ADC の同期

### 複数の AD4195-4 デバイスの同期

AD4195-4 は、1 つのシステム内での複数の AD4195-4 デバイスを同期できます。DIG\_AUX1 および DIG\_AUX2 を用いることでデバイスを同期できます。デバイスは共通のメイン・クロックを共用する必要があります。メイン ADC となる ADC では、PIN\_MUXING レジスタの DIG\_AUX2\_CTRL ビットを用いて、DIG\_AUX2 を START ピンとして設定します（表 81 を参照）。DIG\_AUX1 は、表 81 の DIG\_AUX1\_CTRL ビットを用いて SYNC\_OUT ピンとして設定します。メイン ADC に印加された START 信号から同期信号 SYNC\_OUT が生成され、SYNC\_OUT は内部メイン・クロックと同期します。その後、SYNC\_OUT が全 ADC の SYNC\_IN ピンに印加され、全 ADC が同期して変換動作を行うようになります。

## 診断機能

AD4195-4 には、数多くの診断機能が内蔵されています。以下に示す機能を使用して、次の点を確認してください。

- ▶ 外部リファレンス／アナログ入力に過電圧または低電圧になっていない。
- ▶ 外部リファレンスが存在する（使用する場合）。
- ▶ 励起電流が仕様の範囲内に収まっている（使用する場合）。
- ▶ 有効なデータのみが内蔵レジスタに書き込まれている。
- ▶ 電源レール／内部 LDO が想定レベルになっている。

## デバイス・エラー

AD4195-4 のパワーアップ時および初期化時にエラーが発生した場合、ERROR レジスタの DEVICE\_ERROR フラグ（表 93 を参照）がセットされます。デバイスのリセットを推奨します。デバイスがパワーアップ時またはデバイス・リセット後に正しく初期化されると、DEVICE\_ERROR ビットはクリアされます。このビットは読み出し動作ではクリアできません。

## リファレンス検出

AD4195-4 は、外部リファレンスをリファレンス源として選択した場合に、変換またはキャリブレーション用の有効なリファレンスが存在するかどうかを検出する内蔵回路を備えています。これは、リファレンスを外部から得る RTD やストレーン・ゲージなどのアプリケーションに有用な機能です。

この機能は、ERROR\_EN レジスタの REF\_DIFF\_MIN\_ERR\_EN ビット（表 91 を参照）を 1 にセットすると有効になります。選択した REF<sub>INn+</sub>ピンと REF<sub>INn-</sub>ピン間の電圧が 0.6V を下回ると、AD4195-4 は有効なリファレンスが存在しないことを検出します。この場合、表 93 の REF\_DIFF\_MIN\_ERR ビットが 1 にセットされます。STATUS レジスタの MAIN\_ERR\_S ビット（表 69 を参照）もセットされます。REF\_DIFF\_MIN\_ERR ビットをクリアするには、このビットに 1 を書き込みます。

## リファレンス過電圧／低電圧の検出

REF<sub>INn+</sub>入力ピンの絶対電圧もモニタできます。ERROR\_EN レジスタの REF\_OV\_UV\_ERR\_EN ビット（表 91 を参照）で過電圧／低電圧リファレンスの診断ができます。REF<sub>INn+</sub>の電圧が AVDD を少なくとも 65mV 上回った場合に過電圧のフラグがセットされ、REF<sub>INn+</sub>の電圧が AVSS を少なくとも 65mV 下回った場合に低電圧のフラグがセットされます。過電圧または低電圧が検出された場合、ERROR レジスタの REF\_OV\_UV\_ERR ビット（表 93 を参照）が 1 にセットされます。REF\_OV\_UV\_ERR ビットをクリアするには、このビットに 1 を書き込みます。過電圧状態を示すビットをリセットするには、影響を受けるピンの絶対電圧が AVDD + 0.015V まで低下する必要があります。一方、低電圧状態を示すビットをリセットするにはピンの電圧が AVSS - 0.01V まで低下する必要があります。

## 変換エラー

AD4195-4 では、変換プロセスをモニタすることもできます。この機能は、ERROR\_EN レジスタの ADC\_CONV\_ERR\_EN ビット（表 91 を参照）を使用してイネーブルできます。この機能がイネーブルされている場合、エラーが発生すると ADC\_CONV\_ERR ビットがセットされます。ADC の結果が飽和（オーバーフローまたはアンダーフロー）している場合は、ADC\_CONV\_ERR フラグがセットされます。このフラグは、データ・レジスタの更新に併せて更新され、このビットに 1 を書き込むことでクリアできます。

## アナログ入力過電圧／低電圧検出

過電圧／低電圧モニタは、内部マルチプレクサ出力ピンである MUX+および MUX-の絶対電圧をチェックします。MUX+と MUX-の過電圧および低電圧は個別にチェックできます。AINP\_OV\_UV\_ERR\_EN は MUX+の低電圧および過電圧のチェックをイネーブルします。MUX+の電圧が AVDD を少なくとも 65mV 上回った場合に過電圧が発生し、MUX+の電圧が AVSS を少なくとも 65mV 下回った場合に低電圧が発生します。同様に、MUX-の過電圧／低電圧チェックは、ERROR\_EN レジスタの AINM\_OV\_UV\_ERR\_EN ビット（表 91 を参照）を使用してイネーブルします。エラー・ビットは、ERROR レジスタの AINP\_OV\_UV\_ERR および AINM\_OV\_UV\_ERR で（表 93 を参照）、これらは過電圧／低電圧が検出されると 1 にセットされます。どちらのビットをクリアする場合も、そのビットに 1 を書き込みます。過電圧状態の場合、ビットがクリアされる前に、影響を受けたピンの絶対電圧が AVDD + 0.015V に低下する必要があります。一方、低電圧状態の場合、ビットがクリアされる前に、ピンの電圧が AVSS - 0.01V に低下する必要があります。

## 励起電流コンプライアンス

指定された励起電流値を供給するには、内部励起電流にヘッドルームが必要です。ヘッドルームが不十分なために励起電流の大きさが必要な量より小さい場合、ERROR レジスタの IOUTn\_COMP\_ERR フラグ（表 93 を参照）が 1 にセットされます。このフラグは、ERROR\_EN レジスタの IOUTn\_COMP\_ERR\_EN ビット（表 91 を参照）を通じてイネーブルできます。エラー・フラグをクリアするには、該当のビットに 1 を書き込みます。

## 電源モニタ

ADC は、外部電圧の変換の他に、アナログ電源とデジタル電源の電圧をモニタできます。（AVDD から AVSS）または（IOVDD から DGND）の入力を選択すると、電圧（AVDD から AVSS または IOVDD から DGND）は内部で 1/5 に減衰され、その電圧が  $\Sigma$ - $\Delta$  変調器に入力されます。この機能は、電源電圧の変動をモニタできるため便利です。

## LDO モニタリング

AD4195-4 には、いくつかの LDO チェック機能が内蔵されています。外部電源のように、アナログおよびデジタル LDO によって生成された電圧は ADC への入力として選択可能です。ALDO や DLDO によって生成された電圧は、それぞれ ERROR\_EN レジスタの ALDO\_PSM\_ERR\_EN ビットおよび DLDO\_PSM\_ERR\_EN ビット（表 91 を参照）をイネーブルすることでモニタすることもできます。イネーブルにすると、LDO の出力電圧が連続的にモニタされます。ALDO 電圧が 1.5V（代表値）を下回ると、ALDO\_PSM\_ERR フラグがアサートされます。DLDO 電圧が 1.6V（代表値）を下回ると、DLDO\_PSM\_ERR フラグがアサートされます。フラグをクリアするには、該当のビットに 1 を書き込みます。

## 診断機能

## SPI SCLK カウンタ

SCLK カウンタは、各読出し／書込み動作で使用される SCLK パルスの数をカウントします。この機能を使用する場合、 $\overline{CS}$ は全ての読出しおよび書込み動作をフレイムする必要があります。全ての読出しおよび書込み動作は、8の倍数個の SCLK パルスです (16、32、40、48)。SCLK カウンタが SCLK パルスをカウントして、結果が 8 の整数倍でない場合はエラーのフラグがセットされ、INTERFACE\_STATUS\_A レジスタの CLOCK\_COUNT\_ERR ビット (表 67 を参照) がセットされます。

SCLK カウンタは常にイネーブルされています。CLOCK\_COUNT\_ERR ビットをクリアするには、表 67 のこの場所に 1 を書き込みます。

## SPI 読出し／書込みエラー

AD4195-4 では、SCLK カウンタと一緒に読出しおよび書込み動作をチェックして、有効なレジスタが確実にアドレス指定されるようにすることもできます。ユーザが無効なアドレスに書込みまたは読出しを試みた場合、エラーのフラグがセットされ、INTERFACE\_STATUS\_A レジスタの ADDRESS\_INVALID\_ERR ビットが (表 67 を参照) セットされます。

ユーザが読出し専用レジスタに書込みを試みた場合、表 67 の WR\_TO\_RD\_ONLY\_REG\_ERR ビットがセットされます。読出し／書込み動作においてバイトの全数の転送が済んでいなければ、REGISTER\_PARTIAL\_ACCESS\_ERR ビットがセットされます。WR\_TO\_RD\_ONLY\_REG\_ERR ビットまたは REGISTER\_PARTIAL\_ACCESS\_ERR ビットをリセットするには、表 67 のこれらの場所に 1 を書き込む必要があります。これらの診断機能の全てが常にイネーブルされているわけではない点に注意してください。

## ノット・レディ・エラー

特定の期間、内蔵レジスタにアクセスできなくなる場合があります。例えば、パワーアップ時に内蔵レジスタはデフォルト値に設定されます。ユーザはこの動作が完了するまで待つから、レジスタに書き込む必要があります。これらのビジー期間にレジスタに書込みを行うと、NOT\_READY\_ERR フラグがセットされ、ADC がビジーで書込み動作は無視されることが通知されます。NOT\_READY\_ERR フラグは、INTERFACE\_STATUS\_A レジスタのこのビットに 1 を書き込むことでクリアされます (表 67 を参照)。この診断機能は無効にできません。 $\overline{CS}$ がローにハードワイヤ接続されている場合、 $\overline{RDY}$ をモニタして ADC がレディになったときにそれを検出することもできます。

## チェックサム保護

## CRC エラー検出

AD4195-4 には巡回冗長チェック (CRC) オプションがあるので、デジタル・ホストと AD4195-4 の間の SPI トランザクションでエラー検出が可能です。CRC エラー検出は、連続読出し動作および連続送信動作でもサポートされています。CRC はデフォルトではディスエーブルされています。

CRC エラー検出を用いることで、プロセッサと AD4195-4 は、ビット転送エラーを高い信頼度で検出できます。CRC アルゴリズムでは、シード値と多項式除算を使用して CRC コードを生成します。プロセッサと AD4195-4 の双方で個別に CRC コードを計算し、転送されたデータの有効性を判定します。

AD4195-4 は次の多項式からなる CRC-8 の手法を用います。

$$x^8 + x^2 + x + 1 \quad (3)$$

CRC エラー検出をイネーブルするには、INTERFACE\_CONFIG\_C レジスタの CRC\_ENABLE ビットと CRC\_ENABLEB ビットを 사용합니다 (表 65 を参照)。CRC\_ENABLE の値が更新されるのは、同じレジスタ書込み命令で CRC\_ENABLEB が CRC\_ENABLE の反転値に設定されている場合のみです。したがって、CRC をイネーブルするには、CRC\_ENABLE を 01b に設定すると共に、同じ書込みトランザクションで CRC\_ENABLEB を 10b に設定する必要があります。

また、CRC をディスエーブルするには、CRC\_ENABLE を 00b に設定すると共に、同じ書込みトランザクションで CRC\_EN\_B を 11b に設定する必要があります。2 つの別々のフィールドに反転した値を書き込むことで、CRC が誤ってイネーブルされる可能性を低減できます。

図 97 と図 98 は、デジタル・ホストまたは AD4195-4 がデータを検証するために、それぞれ書込み時または読出し時に CRC コードがどのように付加されるのかを示しています。

レジスタ書込みの場合、デジタル・ホストは CRC バイトを生成する必要があります。レジスタ読出しの場合、ホストは AD4195-4 によってチェックされる正しい CRC バイトを送信する必要があります。これにより、AD4195-4 はホスト・プロセッサから正しい命令を受信したことを確認できます。同じ読出しトランザクションで、AD4195-4 はデジタル・ホストが検証するための CRC コードを供給します。

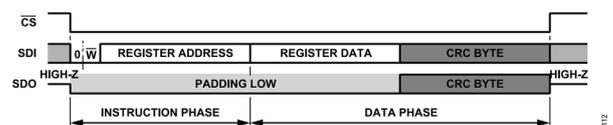


図 97. 基本的な SPI 書込みフレーム  
(CRC エラー検出をイネーブル)

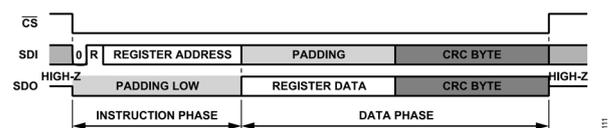


図 98. 基本的な SPI 読出しフレーム  
(CRC エラー検出をイネーブル)

CRC エラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRC コードはレジスタ・データの全バイトの後ろに配置されます。

CRC エラー検出がイネーブルされている場合、AD4195-4 は、SDI のレジスタ・データの最後で有効な CRC コードを受け取るまで、レジスタ書込みトランザクションに回答してレジスタ内容を更新することはありません。CRC コードが無効であったり、デジタル・ホストが CRC コードを送信できなかったりした場合、AD4195-4 はそのレジスタの内容を更新せず、INTERFACE\_STATUS\_A レジスタの CRC\_ERR フラグ (表 67 を参照) をセットします。CRC\_ERR フラグは、このビットに 1 が書き込まれるとクリアされます (WIC)。また、クリアする書込みを有効にするには正しい CRC が必要です。

表 40 に、CRC コード計算で用いられるシード値を示します。

診断機能

表 40. CRC シード値

SPI Transaction Type	Pin	Phase
Read	SDI	0xA5, instruction phase, padding
	SDO	0xA5, instruction phase, read data
Write	SDI	0xA5, instruction phase, write data
	SDO	0xA5, instruction phase, write data

SPI フレームのどの CRC コードも 10100101 を使用します。そうすることで、0x000000 のレジスタ値が 0x00 の CRC コードを生成しないようにすることができます。SDO と DGND が短絡されると、CRC が 0x00 になります。そのため、フォルト状態を容易に検出できます。

図 99 に、最初の SPI トランザクションで CRC がイネーブルされ、読出しトランザクション時は AD4195-4 によって、書込みトランザクション時はホストによって CRC コードが供給されている例を示します。この例では、AD4195-4 は降順アドレス指定に設定されています（設定の書込みは図 99 には示されていません）。この例は以下のシーケンスを示しています。

1. INTERFACE\_CONFIG\_C レジスタに 0x66 のレジスタ書込みを行い、CRC をイネーブルします。
2. CS がハイのパルスを出力します。
3. 16 ビット ADC およびステータス・レジスタ（アドレス 0x1A に最上位バイトがあるマルチバイト・レジスタ）のレジスタ読出しを行います。
4. INTERFACE\_CONFIG\_C レジスタに 0x27 のレジスタ書込みを行い CRC をディスエーブルしますが、CRC コードはまだ供給されています。
5. CS をハイにします。

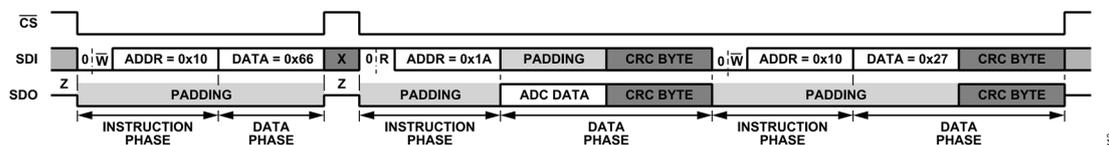


図 99. CRC コードの SPI トランザクション例（降順アドレス指定）

CRC の計算

8 ビット幅のチェックサムは、次の多項式を使用して生成されます。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの最も左にあるロジック 1 と隣り合うように、多項式の位置を合わせます。新規かつ短い数値を作るため、排他的論理和 (XOR) 関数をデータに適用します。再度、多項式の MSB が、新しい結果の最も左にあるロジック 1 と隣り合うように、多項式の値の位置決めをし、この手順を繰り返します。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビットのチェックサムになります。

## 診断機能

多項式 CRC 計算の例 (24 ビット・ワード：  
0x654321 (8 ビット命令と 16 ビット・データ))

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

初期値 011001010100001100100001

01100101010000110010000100000000 8 ビット左にシフト

$x^8 + x^2 + x + 1 = 100000111$  多項式

100100100000110010000100000000 XOR の結果

100000111 多項式

1000110001100100001000000000 XOR の結果

100000111 多項式

111111100100001000000000 XOR の結果

100000111 多項式の値

111110111000010000000000 XOR の結果

100000111 多項式の値

1111000000001000000000 XOR の結果

100000111 多項式の値

1110011100010000000000 XOR の結果

100000111 多項式の値

11001001001000000000 XOR の結果

100000111 多項式の値

10010101010000000000 XOR の結果

100000111 多項式の値

1011011000000000 XOR の結果

100000111 多項式の値

11010110000000 XOR の結果

100000111 多項式の値

101010110000 XOR の結果

100000111 多項式の値

1010001000 XOR の結果

100000111 多項式の値

10000110 チェックサム = 0x86

## メモリ・マップ・チェックサム保護

このビットがセットされている場合、メモリ・マップで CRC 計算が実行されます。この後、内蔵レジスタで定期的な CRC チェックが実行されます。レジスタの破損や更なるレジスタ書込みによりレジスタの内容が変更された場合は、MM\_CRC\_ERR ビットがセットされます。

メモリ・マップの CRC 機能は、ERROR\_EN レジスタの MM\_CRC\_ERR\_EN ビット (表 91 を参照) を 1 にセットしてイネーブルにします。エラーが発生した場合、ERROR レジスタの MM\_CRC\_ERR ビット (表 93 を参照) が 1 に設定されます。フラグをクリアするには、ERROR レジスタのこの場所に 1 を書き込みます。

## バーンアウト電流

AD4195-4 には、0.1μA、2μA、または 10μA にプログラム可能な 2 つの定電流ジェネレータが内蔵されています。一方のジェネレータは、AVDD から MUXP に電流をソースし、もう一方は MUXM から AVSS に電流をシンクします。これらの電流により、断線を検出できます。

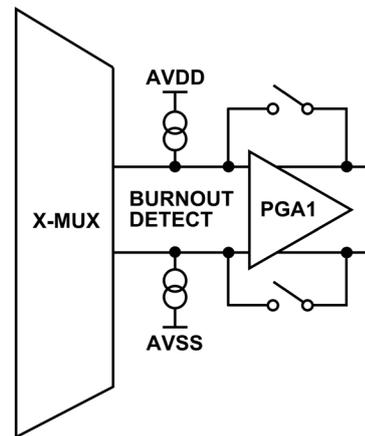


図 100. バーンアウト電流

両方の電流がオンまたはオフになります。MISCn レジスタの BURNOUT ビット (表 101 を参照) により、バーンアウト電流のイネーブル/ディスエーブルが振幅と共に設定されます。そのため、バーンアウト電流はチャンネルごとにイネーブル/ディスエーブルできます。ただし、あるチャンネルについてイネーブルされている場合、電流はそのチャンネルが選択されているときにのみアクティブになります。これらの電流を用いることで、外部トランスジューサが依然として動作可能であることを確認します。バーンアウト電流がオンになると、外部トランスジューサ回路にバーンアウト電流が流れ、アナログ入力チャンネルの入力電圧を計測できるようになります。計測した電圧がほぼフルスケールの場合、その理由を確認する必要があります。計測値がほぼフルスケールに近い場合、フロント・エンド・センサーがオープン・サーキットになっている可能性があります。また、フロント・エンド・センサーに過負荷がかかりフルスケールで出力されたか、またはリファレンスが存在しない可能性があることを示している場合もあります。

変換値がフルスケールに近い場合は、判断を下す前にこれら 3 つの項目をチェックする必要があります。測定された電圧が 0V の場合は、トランスジューサの短絡が考えられます。通常の動作では、BURNOUT ビットを 0 に設定してこれらのバーンアウト電流をオフにします。

## 診断機能

### プルアップ電流

バーンアウト電流がアクティブになるのはチャンネルが変換されている場合のみですが、AD4195-4には100nAのプルアップ電流もあります。これらの電流がイネーブルされている場合、AINピンで連続的にアクティブのままとなります。これらの電流のイネーブル/ディスエーブルは、I\_PULL\_UPレジスタを通じてピンごとに行うことができます。AINピンがフロート状態の場合、プルアップ電流がイネーブルされているとAINピンはAVDDにプルアップされます。そのため、このピンが開放状態になっているとそれを検出できます。どちらのAINピンもフロート状態でプルアップ電流がイネーブルされている場合、どちらのピンもAVDDにプルアップされます。そのため、開放状態を直接検出できるわけではありません。しかし、AVSSを基準とする各AINピンの変換結果を用いると開放状態を検出できます。

### 温度センサー

AD4195-4には、チップ温度をモニタするのに便利な温度センサーが内蔵されています。これは、CHANNEL\_MAPnレジスタのAINP[4:0]ビットとAINM[4:0]ビットを使用して選択します。感度は約477 $\mu$ V/Kです。温度センサーの計測結果から5°Cを差し引いてください。

温度センサーの精度は $\pm 2^{\circ}\text{C}$ （代表値）です。

## グラウンディングとレイアウト

アナログ入力とリファレンス入力は差動です。そのため、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れた同相ノイズ除去能力により、これらの入力の同相ノイズは除去されます。AD4195-4 に供給されるアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部の間のカップリングを最小限に抑えるために、別々のピンに割り当てられています。デジタル・フィルタは、 $2 \times f_{\text{MOD}}$ の整数倍の周波数以外の広帯域電源ノイズを除去します（メイン・クロックが16MHzでクロック分周比=2の場合、 $f_{\text{MOD}}$ は2MHz）。

また、アナログ入力とリファレンス入力アナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズ源のノイズも除去します。そのため、従来の高分解能コンバータに比べてAD4195-4のノイズ干渉耐性は向上しています。ただし、AD4195-4の分解能は高く、コンバータのノイズ・レベルは非常に低いため、グラウンディングとレイアウトについて注意が必要です。

ADCを実装するPCBは、アナログ部とデジタル部を分け、基板の特定の領域に限定するように設計する必要があります。一般に、エッチング部分を最小限に抑えると、最良のシールド効果が得られるので、この方法はグランド・プレーンに最適です。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、全てのリターン電流用の経路と目的の場所まで電流を流す経路をできるだけ近づけて配置するよう心がけてください。

チップにノイズが混入するため、デバイスの下にはデジタル・ラインを配置しないでください。AD4195-4の下にアナログ・グランド・プレーンを配置してノイズの混入を防止してください。AD4195-4への電源ラインには可能な限り幅広のパターンを使用して低インピーダンス経路を確保し、電源ラインのグリッチを軽減します。クロックのような高速スイッチング信号は、デジタル・グラウンドでシールドして、ノイズが基板の他の部分へ放射されるのを防ぎます。また、クロック信号をアナログ入力の近くに通さないでください。デジタル信号とアナログ信号は交差させないでください。基板の反対側のパターンは、互いに直角になるように配置します。これにより、基板上でフィードスルーの効果を削減できます。マイクロストリップ技術の使用が最善ですが、両面基板では常に使用できるとは限りません。この技法を使用する場合、基板の部品面はグランド・プレーン専用にして、信号はハンダ面に配線します。

高分解能ADCを使用する場合は、デカップリングが重要です。AD4195-4には、AVDDとIOVDDの2本の電源ピンがあります。AVDDピンはAVSSを基準とし、IOVDDピンはDGNDを基準としています。AVDDは、 $1\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサを並列に接続してAVSSとデカップリングします。 $0.1\mu\text{F}$ のコンデンサはデバイスのできるだけ近くに配置してください。デバイスに隣接させるのが理想的です。IOVDDは、 $1\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のコンデンサを並列にDGNDに接続してデカップリングします。全てのアナログ入力とAVSSをデカップリングする必要があります。外部リファレンスを使用する場合は、REFINn+ピンおよびREFINn+ピンとAVSSをデカップリングします。

AD4195-4は2つのLDOレギュレータも内蔵しており、それぞれAVDD電源とIOVDD電源を安定化します。REGCAPAピンには、AVSSに接続した $1\mu\text{F}$ と並列に $0.1\mu\text{F}$ のコンデンサを使用することを推奨します。同様に、REGCAPDピンには、DGNDに接続した $1\mu\text{F}$ と並列に $0.1\mu\text{F}$ のコンデンサを使用することを推奨します。

AD4195-4をバイポーラ電源動作で使用する場合は、AVSSに別のプレーンを使用する必要があります。

## アプリケーション情報

AD4195-4 は高分解能の A/D 変換機能を提供します。Σ-Δ アーキテクチャの A/D 変換機能を備えているため、ノイズの多い環境に強く、センサー計測アプリケーションや産業アプリケーション、プロセス制御アプリケーションでの使用に最適です。

### 重量計

図 101 に、秤量計アプリケーションに使用された AD4195-4 を示します。ロード・セルはブリッジ回路に配置され、OUT+端子と OUT-端子の間で差動出力電圧を生成します。励起電圧が 5V で感度が 2mV/V の場合、トランスジューサのフルスケール出力範囲は 10mV になります。リファレンス入力範囲に電源電圧が含まれるため、ブリッジの励起電圧を使用して ADC のリファレンス電圧を直接供給できます。

トランスジューサをベースにしたアプリケーションにおいて AD4195-4 を使用するもう 1 つの利点は、システムの消費電力を最小限に抑えるためにブリッジ・パワーダウン・スイッチをフルに利用できることです。ブリッジ・パワーダウン・スイッチは、ブリッジのロー・サイドに直列接続します。通常の動作では、スイッチが閉じて計測が行われます。消費電力を最小限に抑えるアプリケーションでは、AD4195-4 をスタンバイ・モードにして、アプリケーションの消費電力を大幅に削減できます。更に、スタンバイ・モードの間にブリッジ・パワーダウン・スイッチを開くことができるため、フロント・エンド・トランスジューサでの不要な電力消費を防止できます。ブリッジ・パワーダウン・スイッチは、スタンバイ・モードの間に開いたり閉じたりできる点に注意してください (表 85 の STB\_PDSWn ビットを 1 にセットするとスイッチはスタンバイ・モードでもアクティブなままとなります)。そのため、スタンバイ・モードの間にスイッチを閉じることでブリッジをパワーアップしてセトリングすることができます。これを行うのは、ADC コアがパワーアップされ変換が行われる前にフロント・エンド回路にセトリングするための一定の時間が必要となる可能性があるためです。

ロード・セルを読み出すための標準的な手順は次のとおりです。

1. ADC をリセットします。
2. CHANNEL\_MAP0 レジスタのアナログ入力を AIN5/AIN6 に設定します。CHANNEL\_SETUP0 を通じてこのチャンネルにセットアップ 0 を割り当てます。ゲインが 128 になるようにセットアップ 0 を構成し、AFE0 レジスタを通じてリファレンス源 REFIN を選択します。FILTER0 レジスタを通じてフィルタ・タイプを選択し、FILTER\_FS0 レジスタを通じて出力データレートを設定します。
3. RDY がローに移行するまで待ちます。変換値を読み出します。
4. ステップ 3 を繰り返します。

AD4195-4 の内蔵診断機能により、回路の接続チェック、電源、リファレンス、および LDO 電圧のモニタリング、全ての変換結果の誤差のチェックが、あらゆる読出し/書込み動作のモニタリングに加えて実行できます。秤量計アプリケーションでは、回路の接続はリファレンス検出とバーンアウト電流を使って検証されます。外部リファレンス REFIN が存在しない場合は、REF\_DIFF\_MIN\_ERR フラグがセットされます。バーンアウト電流 (MISC0 レジスタで利用可能) は断線を検出します。

アナログ入力の過電圧/低電圧モニタは、変換プロセスの一部として AINP および AINM の過電圧を検出するのに便利です。電源電圧とリファレンス電圧は、ADC への入力として選択可能です。このため、これらの電圧を定期的にチェックして、システムの仕様範囲内にあるか確認できます。また、ユーザは LDO 電圧をチェックできます。

最後に、CRC チェック、SCLK カウンタ、および SPI 読出し/書込みチェックにより、無効な読出し/書込み動作を検出できるため、インターフェースの信頼性が更に向上します。CRC チェックでは、プロセッサと ADC の間でビットが転送されるときに、ビットが破損していないかを確認します。

アプリケーション情報

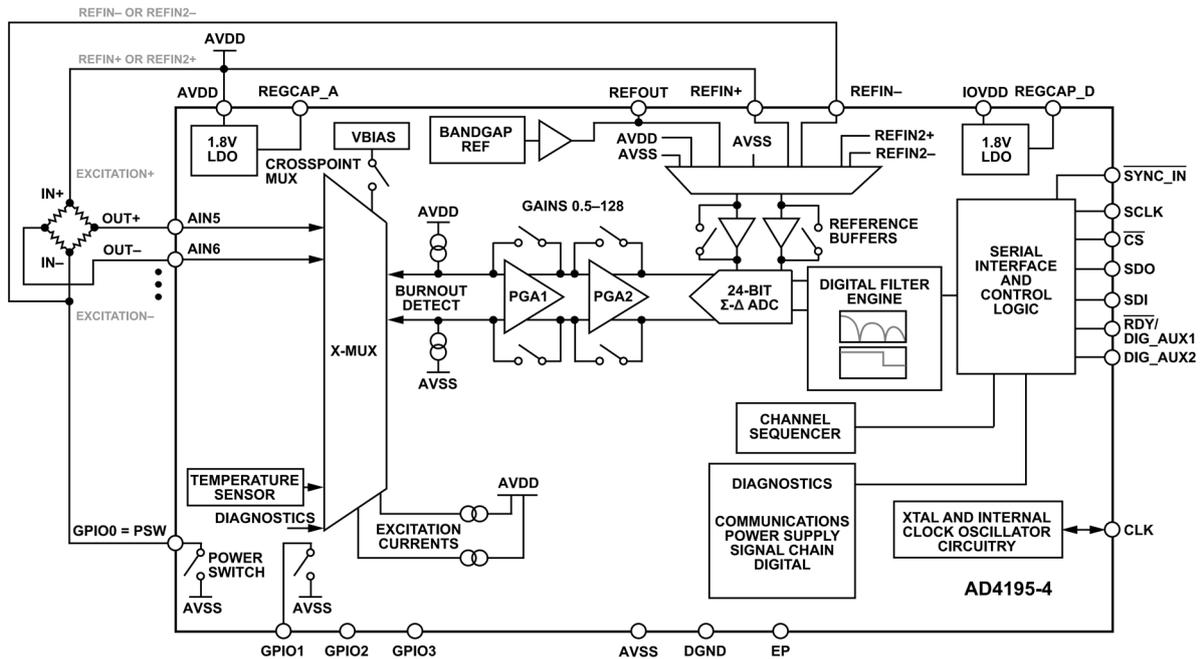


図 101. 重量計アプリケーション

RTD を使用した温度計測

3線式RTD構成を最適化するには、2個のマッチングされた電流源が必要です。2個のマッチングされた電流源を内蔵しているAD4195-4は、これらのアプリケーションに最適です。3線式構成の一例を図102に示します。この3線式構成において、電流源を1つしか使用しない場合（GPIO3の出力）、RL1に励起電流が流れてAIN0とAIN1の間に電圧誤差が発生するため、リード抵抗に誤差が発生します。示されている方式では、2つ目のRTD電流源（GPIO2から出力可能）が、RL1を流れる励起電流により発生する誤差を補償します。2つ目のRTD電流はRL2を通過します。RL1とRL2が等しく（通常、リードの材質と長さが同じ）、励起電流が一致する場合、RL2の両端の誤差電圧とRL1の両端の誤差電圧が等しくなり、AIN0とAIN1の間に誤差電圧は発生しなくなります。RL3の両端に2倍の電圧が発生します。ただし、これはコモンモード電圧であるため、誤差は発生しません。AD4195-4のリファレンス電圧も、マッチングされた電流源を使用して生成されます。これは高精度の抵抗を使用して生成され、ADCの差動リファレンス・ピンに入力されます。この方式では、アナログ入力電圧スパンがリファレンス電圧に比例する状態が確保されます。励起電流の温度ドリフトに起因するアナログ入力電圧に含まれる全ての誤差が、リファレンス電圧の変動によって補償されます。

例えば、PT100は-200°C~+600°Cの温度を計測します。抵抗は0°Cで100Ω（代表値）、600°Cで313.71Ω（代表値）です。500μAの励起電流を使用した場合、RTDの全温度範囲を使用したときにRTDの両端にかかる最大電圧は次のようになります（励起電流の初期精度と励起電流の温度係数は無視）。

$$500\mu\text{A} \times 313.71\Omega = 156.86\text{mV}$$

ゲインが16にプログラムされている場合、この値はAD4195-4内で2.51Vに増幅されます。

リファレンス抵抗の両端に発生する電圧は2.51V以上とする必要があります。したがって、リファレンス抵抗値は次の値以上に設定してください。

$$2.51\text{V}/500\mu\text{A} = 5020\Omega$$

このため、5.11kΩの抵抗を使用します。

$$5.11\text{k}\Omega \times \text{Excitation Current} = 5.11\text{k}\Omega \times 500\mu\text{A} = 2.555\text{V}$$

もう1つの考慮事項として、出力のコンプライアンスがあります。励起電流が500μAの場合、出力のコンプライアンスはAVDD - 1.45Vに等しくなります。5Vアナログ電源を用いる場合、AIN0の電圧は(5V - 1.45V) = 3.55V未満とする必要があります。AINピンの絶対電圧が100mVを上回っている場合は、入力リーク電流が最小限に抑えられます。したがって、図102にはヘッドルーム抵抗が示されています。ヘッドルーム抵抗を100Ωとすると、AIN1の電圧は100Ω × 2 × 励起電流 = 100Ω × 2 × 500μA = 0.1Vとなります。AIN0の最高電圧は、リファレンス抵抗の電圧とRTDの電圧、およびヘッドルーム抵抗の電圧を加えた電圧、つまり以下の値に等しいため、出力のコンプライアンス仕様は満たされます。

$$2.555\text{V} + 156.86\text{mV} + 0.1\text{V} = 2.812\text{V}$$

アプリケーション情報

RTDを読み出すための標準的な手順は、次のとおりです。

1. ADCをリセットします。
2. CHANNEL\_MAP0レジスタのアナログ入力をAIN0/AIN1に設定します。CHANNEL\_SETUP0を通じてこのチャンネルにセットアップ0を割り当てます。ゲインが16になるようにセットアップ0を構成し、AFE0レジスタを通じてリファレンス源REFINを選択します。FILTER0レジスタを通じてフィルタ・タイプを選択し、FILTER\_FS0レジスタを通じて出力データレートを設定します。
3. 励起電流を500 $\mu$ Aにプログラムして、CURRENT\_SOURCE0レジスタおよびCURRENT\_SOURCE1レジスタを通じてGPIO2ピンとGPIO3ピンに電流を出力します。
4. RDYがローに移行するまで待ちます。変換値を読み出します。
5. ステップ4を繰り返します。

プロセッサで、PT100の直線化ルーチンを実装します。

わかりやすいように、外部アンチエイリアシング・フィルタは省略しています。ただし、この種のフィルタは干渉を排除するのに必要です。

AD4195-4の内蔵診断機能により、回路の接続チェック、電源、リファレンス、およびLDO電圧のモニタリング、全ての変換結果の誤差のチェックが、あらゆる読み出し/書き込み動作のモニタリングに加えて実行できます。RTDアプリケーションでは、回路の接続はリファレンス検出およびバーンアウト電流を使用して検証されます。外部リファレンスREFINが存在しない場合は、REF\_DIFF\_MIN\_ERRフラグがセットされます。バーンアウト電流を定期的にイネーブルすることで(MISC0レジスタで可能)、断線を検出できます。最大限のシステム性能を実現するため、変換結果をAIN0/AIN1から読み出す場合は、バーンアウト電流をオフにする必要があります。

アナログ入力の過電圧/低電圧モニタは、変換プロセスの一部としてAINPおよびAINMの過電圧を検出するのに便利です。電源電圧とリファレンス電圧は、ADCへの入力として選択可能です。このため、これらの電圧を定期的にチェックして、システムの仕様範囲内にあるか確認できます。また、ユーザはLDO電圧をチェックできます。

最後に、CRCチェック、SCLKカウンタ、およびSPI読み出し/書き込みチェックにより、無効な読み出し/書き込み動作を検出できるため、インターフェースの信頼性が更に向上します。CRCチェックでは、プロセッサとADCの間でビットが転送されるときに、ビットが破損していないかを確認します。

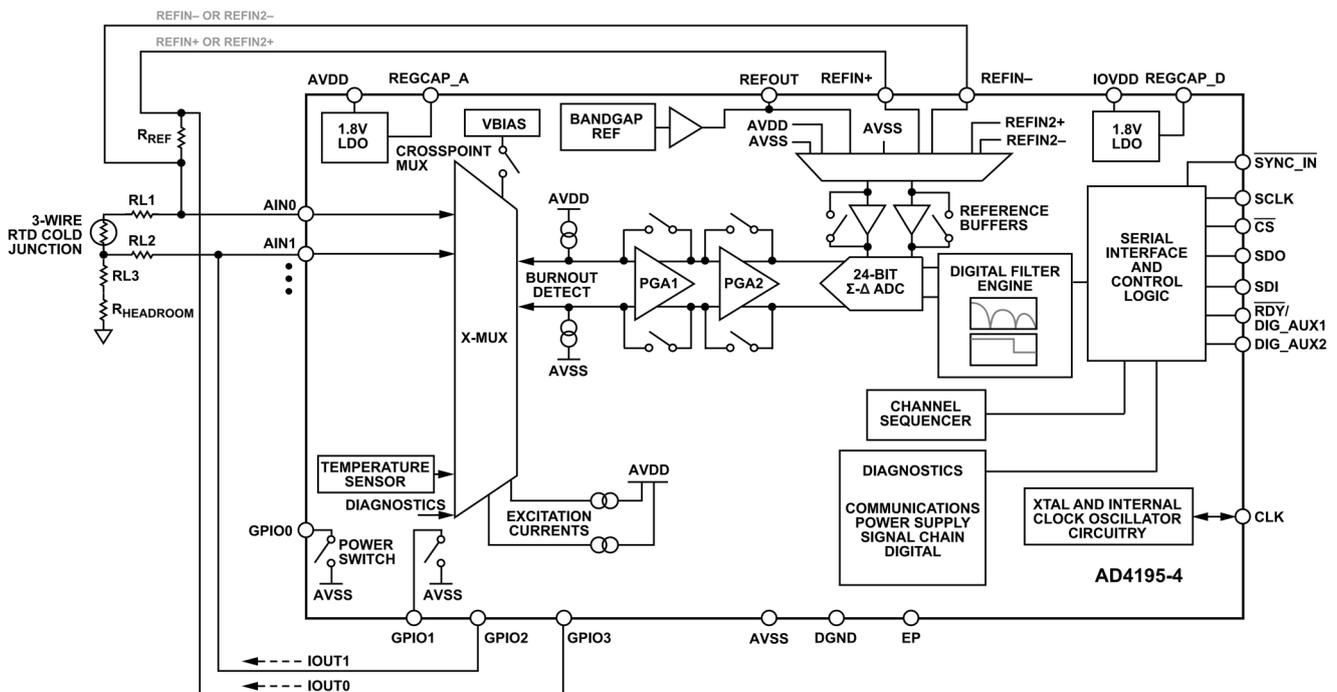


図 102. 3線式 RTD アプリケーション

## 内蔵レジスタ・マップ

このセクションには、各ビット・フィールドの機能の詳細が記載されています。レジスタの表のアクセス列は、ビット・フィールドが読み出し専用ビット (R)、読み出し/書き込みビット (R/W)、または1を書き込んでクリアするビット (R/WIC) のいずれであるかを示しています。

表 41. AD4195-4 のレジスタ一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access	
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASCENSION	SDO_ENABLE	RESERVED			RESET_SW	0x10	R/W	
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INSTR	RESERVED			SHORT_INSTRUCTION	RESERVED			0x80	R/W	
0x02	DEVICE_CONFIG	[7:0]	RESERVED									0x00	R/W
0x03	CHIP_TYPE	[7:0]	RESERVED				CHIP_TYPE				0x07	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]									0x48	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]									0x00	R
0x06	CHIP_GRADE	[7:0]	GRADE				DEVICE_REVISION				0x04	R	
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE									0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE			VERSION				0x83	R		
0x0C	VENDOR_L	[7:0]	VID[7:0]									0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]									0x04	R
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	SEND_STATUS	ACTIVE_INTERFACE_MODE		CRC_ENABLEB		0x27	R/W	
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READY_ERR	RESERVED		CLOCK_COUNT_ERR	CRC_ERR	WR_TO_RD_ONLY_REG_ERR	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR	0x00	R/W	
0x15	STATUS	[15:8]	RESERVED									0x0060	
0x14		[7:0]	MAIN_ERR_S	POR_FLAG_S	RDYB	RESERVED		CH_ACTIVE					
0x17	DATA_16B	[15:8]	ADC_DATA[15:8]									0x0000	
0x16		[7:0]	ADC_DATA[7:0]										
0x1A	DATA_16B_STATUS	[23:16]	ADC_DATA[15:8]									0x000060	
0x19		[15:8]	ADC_DATA[7:0]										
0x18		[7:0]	MAIN_ERR_S	POR_FLAG_S	RDYB	RESERVED		CH_ACTIVE					
0x1E		DATA_24B	[23:16]	ADC_DATA[23:16]									
0x1D		[15:8]	ADC_DATA[15:8]									0x000000	
0x1C		[7:0]	ADC_DATA[7:0]										
0x23	DATA_24B_STATUS	[31:24]	ADC_DATA[23:16]										
0x22		[23:16]	ADC_DATA[15:8]									0x00000060	
0x21		[15:8]	ADC_DATA[7:0]										
0x20		[7:0]	MAIN_ERR_S	POR_FLAG_S	RDYB	RESERVED		CH_ACTIVE					

内蔵レジスタ・マップ

表 41. AD4195-4 のレジスタ一覧（続き）

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x28 to 0x64 by 4	DATA_PER_CHANNELn	[23:16]	ADC_CH_DATA[23:16]								0x00000	
		[15:8]	ADC_CH_DATA[15:8]									
		[7:0]	ADC_CH_DATA[7:0]									
0x69	PIN_MUXING	[15:8]	RESERVED	CHAN_TO_GPIO	RESERVED						0x0004	R/W
0x68		[7:0]	DIG_AUX2_CTRL		DIG_AUX1_CTRL		SYNC_CTRL		DIG_OUT_ST_R	SDO_RDYB_DLY		
0x6B	CLOCK_CTRL	[15:8]	RESERVED								0x0000	R/W
0x6A		[7:0]	DCLK_DIVIDE		CLOCKDIV		RESERVED		CLOCKSEL			
0x6D	STANDBY_CTRL	[15:8]	RESERVED							STB_EN_CLOCK	0x0000	R/W
0x6C		[7:0]	STB_EN_I_PULLUP	RESERVED		STB_PDSW1	STB_PDSW0	STB_EN_V_BIAS	STB_EN_IEXC	STB_EN_REFERENCE		
0x6F	POWER_DOWN_SW	[15:8]	RESERVED								0x0000	R/W
0x6E		[7:0]	RESERVED						PDSW_1	PDSW_0		
0x71	ADC_CTRL	[15:8]	RESERVED								0x0000	R/W
0x70		[7:0]	MULTI_DATA_REG_SEL	CONT_READ_STATUS_EN	CONT_READ			MODE				
0x73	ERROR_EN	[15:8]	RESERVED		DLDO_PSM_ERR_EN	ALDO_PSM_ERR_EN	RESERVED	RESERVED	IOUTB_COMP_ERR_EN	IOUTA_COMP_ERR_EN	0x0000	R/W
0x72		[7:0]	REF_DIFF_MIN_ERR_EN	REF_OV_UV_ERR_EN	AINM_OV_UV_ERR_EN	AINP_OV_UV_ERR_EN	ADC_CONV_ERR_EN	SPI_ERR_EN	MM_CRC_ERR_EN	RESERVED		
0x75	ERROR	[15:8]	DEVICE_ERROR	RESERVED	DLDO_PSM_ERR	ALDO_PSM_ERR	RESERVED	RESERVED	IOUTB_COMP_ERR	IOUTA_COMP_ERR	0x0000	R/W
0x74		[7:0]	REF_DIFF_MIN_ERR	REF_OV_UV_ERR	AINM_OV_UV_ERR	AINP_OV_UV_ERR	ADC_CONV_ERR	SPI_ERR	MM_CRC_ERR	RESERVED		
0x79	CHANNEL_EN	[15:8]	CH_15	CH_14	CH_13	CH_12	CH_11	CH_10	CH_9	CH_8	0x0001	R/W
0x78		[7:0]	CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0		
0x80 to 0xBC by 4	CHANNEL_SETUPn	[15:8]	REPEAT								0x0000	R/W
		[7:0]	RESERVED	DELAY			RESERVED	SETUP				
0x82 to 0xBE by 4	CHANNEL_MAPn	[15:8]	RESERVED				AINP_N				0x0001	R/W
		[7:0]	RESERVED				AINM_N					
0xC0 to 0x122 by 14	MISCn	[15:8]	CHOP_IEXC		RESERVED				CHOP_ADC		0x0000	R/W
		[7:0]	RESERVED							BURNOUT		
0xC2 to 0x124 by 14	AFE <sub>n</sub>	[15:8]	RESERVED				REF_BUF_M		REF_BUF_P		0x0050	R/W

## 内蔵レジスタ・マップ

表 41. AD4195-4 のレジスタ一覧（続き）

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0xC4 to 0x126 by 14	FILTERn	[7:0]	RESERVED	REF_SELECT	BIPOLAR	PGA_GAIN				0x0000	R/W	
		[15:8]	RESERVED									
0xC6 to 0x128 by 14	FILTER_FS n	[7:0]	POST_FILTER_SEL			FILTER_TYPE				0x0004	R/W	
		[15:8]	FS[15:8]									
0xC8 to 0x12A by 14	OFFSETn	[23:16]	OFFSET[23:16]				0				0x00000 0	R/W
		[15:8]	OFFSET[15:8]									
		[7:0]	OFFSET[7:0]									
0xCB to 0x12D by 14	GAINn	[23:16]	GAIN[23:16]				5				0x55555 5	R/W
		[15:8]	GAIN[15:8]									
		[7:0]	GAIN[7:0]									
0x131	REF_CONT ROL	[15:8]	RESERVED								0x0001	R/W
0x130		[7:0]	RESERVED							REF_EN		
0x135	V_BIAS	[15:8]	RESERVED							VBIAS_IN8 _EN	0x0000	R/W
0x134		[7:0]	VBIAS_IN7 _EN	VBIAS_IN6 _EN	VBIAS_IN5 _EN	VBIAS_IN4 _EN	VBIAS_IN3 _EN	VBIAS_IN2 _EN	VBIAS_IN1 _EN	VBIAS_IN0 _EN		
0x137	I_PULLUP	[15:8]	RESERVED							I_PULLUP_I N8_EN	0x0000	R/W
0x136		[7:0]	I_PULLUP_I N7_EN	I_PULLUP_I N6_EN	I_PULLUP_I N5_EN	I_PULLUP_I N4_EN	I_PULLUP_I N3_EN	I_PULLUP_I N2_EN	I_PULLUP_I N1_EN	I_PULLUP_I N0_EN		
0x138 to 0x13E by 2	CURRENT_ SOURCEn	[15:8]	RESERVED			I_OUT_PIN				0x0000	R/W	
		[7:0]	RESERVED				I_OUT_VAL					
0x191	GPIO_MOD E	[15:8]	RESERVED								0x0000	R/W
0x190		[7:0]	CH3_MODE	CH2_MODE	CH1_MODE	CH0_MODE						
0x193	GPIO_OUT PUT_DATA	[15:8]	RESERVED								0x0000	R/W
0x192		[7:0]	RESERVED				CH3_OUTP UT	CH2_OUTP UT	CH1_OUTP UT	CH0_OUTP UT		
0x195	INPUT_DAT A	[15:8]	RESERVED								0x0000	R
0x194		[7:0]	RESERVED				CH3_INPUT	CH2_INPUT	CH1_INPUT	CH0_INPUT		

## 内蔵レジスタ・マップ

## INTERFACE\_CONFIG\_A レジスタ

アドレス：0x00、リセット：0x10

シリアル・インターフェースの動作はこのレジスタで設定されます。

表 42. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SW_RESET	RESERVED	ADDR_ASCENSION	SDO_ENABLE		RESERVED		RESET_SW

表 43. INTERFACE\_CONFIG\_A レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SW_RESET		2個のソフトウェア・リセット・ビットの1個目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に1を書き込む必要があります。このレジスタを除く全てのレジスタがデフォルト値にリセットされます。このリセット動作により、SW_RESET ビットおよび RESET_SW ビットは0にリセットされます。	0x0	R/W
6	RESERVED		予約済み。	0x0	R
5	ADDR_ASCENSION	0 1	シーケンシャルなアドレス指定動作を決定。 マルチバイト・レジスタへのアクセス時、アクセスするアドレスはデータ・バイトごとに1ずつデクリメントします。 マルチバイト・レジスタへのアクセス時、アクセスするアドレスはデータ・バイトごとに1ずつインクリメントします。	0x0	R/W
4	SDO_ENABLE		SDO ビン・イネーブル。	0x1	R
[3:1]	RESERVED		予約済み。	0x0	R
0	RESET_SW		2個のソフトウェア・リセット・ビットの2個目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に1を書き込む必要があります。このレジスタを除く全てのレジスタがデフォルト値にリセットされます。このリセット動作により、SW_RESET ビットおよび RESET_SW ビットは0にリセットされます。	0x0	R/W

## INTERFACE\_CONFIG\_B レジスタ

アドレス：0x01、リセット：0x80

シリアル・インターフェースの動作はこのレジスタで設定されます。

表 44. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SINGLE_INST		RESERVED		SHORT_INSTRUCTION		RESERVED	

表 45. INTERFACE\_CONFIG\_B レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SINGLE_INST	1	単一命令モード。 単一命令モードがイネーブルになります。	0x1	R
[6:4]	RESERVED		予約済み。	0x0	R
3	SHORT_INSTRUCTION	0 1	命令フェーズのアドレスを6ビットまたは14ビットに設定。 14ビットのアドレス指定。 6ビットのアドレス指定。	0x0	R/W
[2:0]	RESERVED		予約済み。	0x0	R

## DEVICE\_CONFIG レジスタ

アドレス：0x02、リセット：0x00

## 内蔵レジスタ・マップ

このレジスタは読出し専用です。

表 46. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							

表 47. DEVICE\_CONFIG レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	RESERVED		予約済み。	0x0	R

## CHIP\_TYPE レジスタ

アドレス：0x03、リセット：0x07

チップ・タイプは、対象のデバイスが属するアナログ・デバイセス製品ファミリーを特定するために用います。目的の製品を一意的に特定するには、製品 ID と併せて使用する必要があります。

表 48. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				CHIP_TYPE			

表 49. CHIP\_TYPE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予約済み。	0x0	R
[3:0]	CHIP_TYPE		高精度 ADC。	0x7	R

## PRODUCT\_ID\_L レジスタ

アドレス：0x04、リセット：0x4C

このレジスタには、製品 ID の下位バイトが格納されます。

表 50. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRODUCT_ID[7:0]							

表 51. PRODUCT\_ID\_L レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]		これはデバイスのチップ・タイプ／ファミリーです。製品を特定するには、製品 ID を CHIP_TYPE と共に使用する必要があります。	0x4C	R

## PRODUCT\_ID\_H レジスタ

アドレス：0x05、リセット：0x00

このレジスタには、製品 ID の上位バイトが格納されます。

表 52. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PRODUCT_ID[15:8]							

表 53. PRODUCT\_ID\_H レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]		これはデバイスのチップ・タイプ／ファミリーです。製品を特定するには、製品 ID を CHIP_TYPE と共に使用する必要があります。	0x0	R

## 内蔵レジスタ・マップ

## CHIP\_GRADE レジスタ

アドレス：0x06、リセット：0x04

このレジスタは、製品のバリエーションとデバイスのリビジョンを特定します。

表 54. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GRADE				DEVICE_REVISION			

表 55. CHIP\_GRADE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	GRADE		デバイス性能のグレードです。	0x0	R
[3:0]	DEVICE_REVISION		デバイスのハードウェア・リビジョンです。	0x4	R

## SCRATCH\_PAD レジスタ

アドレス：0x0A、リセット：0x00

このレジスタを使用して、プロセッサと AD4195-4 の間での書き込み動作や読み出し動作をテストできます。

表 56. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCRATCH_VALUE							

表 57. SCRATCH\_PAD レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE		ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

## SPI\_REVISION レジスタ

アドレス：0x0B、リセット：0x83

SPI インターフェースのリビジョンを示します。

表 58. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPI_TYPE			VERSION				

表 59. SPI\_REVISION レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	SPI_TYPE		アナログ・デバイセズの SPI タイプ。	0x2	R
[5:0]	VERSION		アナログ・デバイセズの SPI バージョン。	0x3	R

## VENDOR\_L レジスタ

アドレス：0x0C、リセット：0x56

このレジスタには、Vendor ID の下位バイトが格納されます。

表 60. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VID[7:0]							

## 内蔵レジスタ・マップ

表 61. VENDOR\_L レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VID[7:0]		アナログ・デバイセズのベンダ ID。	0x56	R

## VENDOR\_H レジスタ

アドレス：0x0D、リセット：0x04

このレジスタには、Vendor ID の上位バイトが格納されます。

表 62. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VID[15:8]							

表 63. VENDOR\_H レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VID[15:8]		アナログ・デバイセズのベンダ ID。	0x4	R

## INTERFACE\_CONFIG\_C レジスタ

アドレス：0x10、リセット：0x27

シリアル・インターフェースはこのレジスタで設定されます。

表 64. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	CRC_ENABLE	STRICT_REGISTER_ACCESS	SEND_STATUS		ACTIVE_INTERFACE_MODE		CRC_ENABLEB

表 65. INTERFACE\_CONFIG\_C レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	CRC_ENABLE	00 01	CRC イネーブル。これらのビットにより、シリアル・インターフェースで CRC をイネーブル/ディスエーブルできます。CRC をイネーブル/ディスエーブルするには、CRC_ENABLEB ビットにも CRC_ENABLE ビットの反転値を書き込む必要があります。リストにない設定は予約済みです。 CRC をディスエーブル。 CRC をイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS	1	マルチバイト・レジスタは全て読み出し/書き込みをする必要があります。このモードが有効になっている場合、マルチバイト・レジスタの全てのバイトについて完全に読み出し/書き込みをする必要があります。 厳格モード。マルチバイト・レジスタは全バイトの読み出し/書き込みが必要です。	0x1	R
4	SEND_STATUS		すべての命令フェーズにおける SDO への同期パターンの送信をイネーブル。クリアされると、16 ビット命令を用いている場合は 0x2645 という固定同期パターンが送信され、8 ビット命令の場合は 0x26 というパターンが送信されます。セットされると、命令フェーズ中に同期パターンは送信されません。	0x0	R/W
[3:2]	ACTIVE_INTERFACE_MODE	1	これは、SPI インターフェースが動作しているアクティブ・モードです。	0x1	R
[1:0]	CRC_ENABLEB		CRC イネーブルの反転値。ここには、CRC_ENABLE 設定値の反転値を書き込む必要があります。	0x3	R/W

## INTERFACE\_STATUS\_A レジスタ

アドレス：0x11、リセット：0x00

このレジスタは、全ての読み出し動作および書き込み動作の状態を示します。エラーが発生すると該当のビットが「1」にセットされます。セットされたビットは、対応するビット位置に「1」を書き込むことによってクリアされます。

## 内蔵レジスタ・マップ

表 66. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
NOT_READY_ERR	RESERVED		CLOCK_COUNT_ERR	CRC_ERR	WR_TO_RD_ONLY_REG_ERR	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR

表 67. INTERFACE\_STATUS\_A レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	NOT_READY_ERR		デバイスのトランザクションに対する準備が未了。このエラー・ビットは、デジタル初期化が完了する前にユーザがSPIトランザクションを実行しようとした場合に設定されます。	0x0	R/W1C
[6:5]	RESERVED		予約済み。	0x0	R
4	CLOCK_COUNT_ERR		トランザクションで誤った数のクロック・パルスが検出されるとセットされます。このエラー・チェックのためのトランザクションをフレーム化するにはCSを用いる必要があります。	0x0	R/W1C
3	CRC_ERR		受信 CRC が無効または受信 CRC が無い。これがセットされるのは、プロセッサがCRCを送信できなかった場合、またはAD4195-4がCRCを計算してチェックしその値が正しくなかった場合です。	0x0	R/W1C
2	WR_TO_RD_ONLY_REG_ERR		読み出し専用レジスタへの書き込みを試行。これがセットされるのは、読み出し専用レジスタへの書き込みが試行された場合です。	0x0	R/W1C
1	REGISTER_PARTIAL_ACCESS_ERR		読み出し／書き込みが行われるバイト数が必要な数より少ない場合にセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。	0x0	R/W1C
0	ADDRESS_INVALID_ERR		存在しないレジスタ・アドレスへの読み出し／書き込みを試行。	0x0	R/W1C

## STATUS レジスタ

アドレス：0x14/0x15（下位／上位バイト）、リセット：0x0060

STATUS レジスタには、ADC とシリアル・インターフェースのステータス情報が格納されています。

表 68. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
MAIN_ERR_S	POR_FLAG_S	RDYB	RESERVED			CH_ACTIVE	

表 69. STATUS レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
7	MAIN_ERR_S		これがセットされるのは、ERROR レジスタのイネーブルされたエラー・フラグのうちいずれかがセットされた場合です。	0x0	R
6	POR_FLAG_S		パワーオン・リセット、あるいは、レジスタまたはリセット・シーケンスによるリセットが発生した場合にセットされます。	0x1	R/W1C
5	RDYB		ADC 変換レディ・インジケータ。	0x1	R
4	RESERVED		予約済み。	0x0	R
[3:0]	CH_ACTIVE		直前の変換でアクティブなチャンネルを示します。	0x0	R

## DATA\_16B レジスタ

アドレス：0x16/0x17（下位／上位バイト）、リセット：0x0000

イネーブルされている全てのチャンネルが1つのデータ・レジスタを用いている場合に、16ビットの変換結果はこのレジスタに格納されます。

表 70. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC_DATA[15:8]							
ADC_DATA[7:0]							

## 内蔵レジスタ・マップ

表 71. DATA\_16B レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ADC_DATA[15:0]		16 ビット ADC の変換結果。	0x0	R

## DATA\_16B\_STATUS レジスタ

アドレス：0x18/0x19/0x1A（下位／中位／上位バイト）、リセット：0x000060

このレジスタは、16 ビット変換結果と共にステータス・ビットを格納します。変換結果およびステータス・ビットは、イネーブルされた全てのチャンネルが1つのデータ・レジスタを共用している場合に、このレジスタから読み出せます。

表 72. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC_DATA[15:8]							
ADC_DATA[7:0]							
MAIN_ERR_S	POR_FLAG_S	RDYB	RESERVED	CH_ACTIVE			

表 73. DATA\_16B\_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:8]	ADC_DATA[15:0]		16 ビット ADC の変換結果（24 ビット変換結果の 16MSB）。	0x0	R
7	MAIN_ERR_S		これがセットされるのは、ERROR レジスタのイネーブルされたエラー・フラグのうちいずれかがセットされた場合です。	0x0	R
6	POR_FLAG_S		パワーオン・リセット、あるいはレジスタまたはリセット・シーケンスによるリセットが発生した場合にセットされます。	0x1	R/W1C
5	RDYB		ADC 変換レディ・インジケータ。	0x1	R
4	RESERVED		予約済み。	0x0	R
[3:0]	CH_ACTIVE		直前の変換でアクティブなチャンネルを示します。	0x0	R

## DATA\_24B レジスタ

アドレス：0x1C/0x1D/0x1E（下位／中位／上位バイト）、リセット：0x000000

イネーブルされている全てのチャンネルが1つのデータ・レジスタを用いている場合に、24 ビットの変換結果はこのレジスタに格納されます。

表 74. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC_DATA[23:16]							
ADC_DATA[15:8]							
ADC_DATA[7:0]							

表 75. DATA\_24B レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	ADC_DATA[23:0]		24 ビット ADC の変換結果。	0x0	R

## DATA\_24B\_STATUS レジスタ

アドレス：0x20（下位バイト）～0x23（上位バイト）、リセット：0x00000060

このレジスタは、24 ビット変換結果と共にステータス・ビットを格納します。変換結果およびステータス・ビットは、イネーブルされた全てのチャンネルが1つのデータ・レジスタを共用している場合に、このレジスタから読み出せます。

表 76. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC_DATA[23:16]							
ADC_DATA[15:8]							
ADC_DATA[7:0]							

## 内蔵レジスタ・マップ

表 76. ビット名 (続き)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MAIN_ERR_S	POR_FLAG_S	RDYB	RESERVED			CH_ACTIVE	

表 77. DATA\_24B\_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[31:8]	ADC_DATA[23:0]		24 ビット ADC 結果。	0x0	R
7	MAIN_ERR_S		これがセットされるのは、ERROR レジスタのイネーブルされたエラー・フラグのうちいずれかがセットされた場合です。	0x0	R
6	POR_FLAG_S		パワーオン・リセット、あるいはレジスタまたはリセット・シーケンスによるリセットが発生した場合にセットされます。	0x1	R/W1C
5	RDYB		ADC 変換レディ・インジケータ。	0x1	R
4	RESERVED		予約済み。	0x0	R
[3:0]	CH_ACTIVE		直前の変換でアクティブなチャンネルを示します。	0x0	R

## DATA\_PER\_CHANNEL レジスタ

アドレス：0x28 (チャンネル 0 の下位バイト) ~0x64 (チャンネル 15 の上位バイト) (4 ずつインクリメント)、リセット：0x000000  
 チャンネルごとにデータ処理する機能がイネーブルされている場合、イネーブルされたチャンネルからの変換結果は DATA\_PER\_CHANNELn レジスタで取得できます。DATA\_PER\_CHANNEL0 にはチャンネル 0 からの変換結果が格納され、DATA\_PER\_CHANNEL15 にはチャンネル 15 からの変換結果が格納されます。

表 78. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				ADC_CH_DATA[23:16]			
				ADC_CH_DATA[15:8]			
				ADC_CH_DATA[7:0]			

表 79. DATA\_PER\_CHANNELn レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	ADC_CH_DATA		対応するチャンネルからの変換結果。	0x0	R

## PIN\_MUXING レジスタ

アドレス：0x68/0x69 (下位/上位バイト)、リセット：0x0004

このレジスタには同期オプションが格納されます。また、SDO ピンの動作を設定できます。このレジスタに書込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 80. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED	CHAN_TO_GPIO				RESERVED		
	DIG_AUX2_CTRL		DIG_AUX1_CTRL		SYNC_CTRL	DIG_OUT_STR	SDO_RDYB_DLY

表 81. PIN\_MUXING レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予約済み。	0x0	R
14	CHAN_TO_GPIO	0 1	現在のチャンネル数の GPIO ピンへの出力。このビットにより、現在の ADC チャンネル数を GPIO ピンに出力できます。これにより、ADC が複数チャンネルを通じてシーケンス動作を行っている間に、外部マルチプレクサを制御できます。GPIO3 が MSB として動作し、GPIO0 が LSB として動作することで最大 16 通りのチャンネルをサポートします。GPIO ピンの他の共用機能は、この機能の働きに影響する可能性があります。アクティブ・チャンネル数が GPIO ピンに出力されません。アクティブ・チャンネル数が GPIO ピンに出力されます。	0x0	R/W
[13:8]	RESERVED		予約済み。	0x0	R

内蔵レジスタ・マップ

表 81. PIN\_MUXING レジスタのビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	DIG_AUX2_CTRL	00 01 10 11	DIG_AUX2 ピンの機能設定。連続送信がイネーブルされている場合、DIG_AUX2 は DCLK として機能します。 DIG_AUX2 ピンをディスエーブル。高インピーダンス。 予約済み。 START 入力として設定された DIG_AUX2 ピン。これは、DIG_AUX1 の SYNC_OUT 機能と併用する必要があります。SYNC_OUT は、同期された START 信号を出力します。SYNC_OUT は、複数の AD4195-4 デバイスの SYNC_IN ピンを駆動し、全部のデバイスを同期させます。メイン・クロックを 2 分周する場合は、この信号は 3~4 個の正の MCLK パルス後に SYNC_OUT に出力されます。MCLK を 4 分周する場合は、この遅延は 5~8 個の MCLK の立上がりエッジになります。MCLK を 8 分周する場合は、この遅延は 9~16 個の MCLK の立上がりエッジになります。 予約済み。	0x0	R/W
[5:4]	DIG_AUX1_CTRL	00 01 10 11	DIG_AUX1 ピンの機能設定。 DIG_AUX1 ピンをディスエーブル。高インピーダンス。 DIG_AUX1 ピンを ADC データ・レディ出力 (RDY) として設定。これにより、DIG_AUX1 はアクティブ・ローの ADC データ・レディ・インジケータとして設定されます。SDO の共用 RDY 機能はディスエーブルされます。 DIG_AUX1 ピンを SYNC_OUT 出力として設定。これは、DIG_AUX2 の START 機能と併用する必要があります。 予約済み。	0x0	R/W
[3:2]	SYNC_CTRL	00 01 10 11	SYNC_IN ピンを ADC 同期用に設定します。 SYNC_IN ピン・ディスエーブル。 SYNC_IN がデフォルトの同期機能を持ちます。SYNC_IN はアクティブ・ローの入力です。SYNC_IN をローにすると、変調器、デジタル・フィルタ、制御ロジックがリセット状態に保持されます。これには、チャンネル・シーケンサの状態のリセットも含まれます。 SYNC_IN が代替の同期機能を持ちます。代替同期機能が意味を持つのは、シーケンサにおいて複数のチャンネルがイネーブルされている場合のみです。SYNC_IN をローにすると、シーケンサをシーケンスの次のチャンネルに進ませないようにできます。シーケンサがシーケンスの次のチャンネルに進むのは、SYNC_IN がハイになった場合のみです。これにより、シーケンサの状態をリセットせずにチャンネルの ADC サンプリングの開始を外部制御できます。 予約済み。	0x1	R/W
1	DIG_OUT_STR	0 1	デジタル出力ドライバ強度。このビットを用いることで、デジタル出力の駆動強度を増加できます。これにより、IOVDD の値が低い場合に SPI タイミングを改善できます。 デフォルトの駆動強度。IOVDD の電圧が高い場合に推奨します。 増加した駆動強度。	0x0	R/W
0	SDO_RDYB_DLY	0 1	CS または SCLK 立上がりエッジでインターフェースをリセット。このビットは、共用の SDO/RDY ピンが、レジスタ読出しの最後の SCLK 後または CS の立上がりエッジのどちらで RDY ピンとしての機能に戻るかを決定します。RDY が DIG_AUX1 ピンに出力される場合は、無関係です。 最後の SCLK 立上がりエッジでリセット。 CS の立上がりエッジでリセット。	0x0	R/W

CLOCK\_CTRL レジスタ

アドレス : 0x6A/0x6B (下位/上位バイト) 、リセット : 0x0000

メイン・クロック源および内部分周係数はこのレジスタで選択します。連続送信モードでの DCLK の周波数もこのレジスタで設定されます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 82. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
DCLK_DIVIDE		CLOCKDIV		RESERVED		CLOCKSEL	

## 内蔵レジスタ・マップ

表 83. CLOCK\_CTRL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
[7:6]	DCLK_DIVIDE	00 01 10 11	連続送信データ・クロック分周器。これらのビットにより、連続送信モードで使用されるデータ・クロックの調整が可能です。データ・クロックは、選択したメイン・クロックとオプションの分周比に基づきます。 DCLKはメイン・クロックを1分周したものに等しくなります。 DCLKはメイン・クロックを2分周したものに等しくなります。 DCLKはメイン・クロックを4分周したものに等しくなります。 DCLKはメイン・クロックを8分周したものに等しくなります。	0x0	R/W
[5:4]	CLOCKDIV	00 01 10 11	メイン・クロック分周器。これらのビットにより、外部または内部のクロック周波数のプログラマブル分周器が可能になります。 2分周。 2分周。 4分周。 8分周。	0x0	R/W
[3:2]	RESERVED		予約済み。	0x0	R
[1:0]	CLOCKSEL	00 01 10 11	ADCクロックの選択。これらのビットはADCのクロック源の選択に使用します。内部発振器を選択すると、その発振器がパワーアップします。 内部発振器。 内部発振器。CLKピンへ出力。 CLKピンの外部クロック入力。 予約済み。	0x0	R/W

## STANDBY\_CTRL レジスタ

アドレス：0x6C/0x6D（下位/上位バイト）、リセット：0x0000

メイン・クロック、内部プルアップ、パワーダウン・スイッチ、VBIAS、励起電流、内部リファレンスなどの機能は、スタンバイ時もイネーブルしたままにできます。スタンバイ時にイネーブルしたままにする機能は、このレジスタを用いて選択できます。このレジスタのビットが何らかの効果を持つためには、機能を各制御レジスタで個別にイネーブルする必要があります。

表 84. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							STB_EN_CLOCK
STB_EN_IPULLUP		RESERVED	STB_PDSW1	STB_PDSW0	STB_EN_VBIAS	STB_EN_IEXC	STB_EN_REFERENCE

表 85. STANDBY\_CTRL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	RESERVED		予約済み。	0x0	R
8	STB_EN_CLOCK		セットされた場合、メイン・クロックはスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
7	STB_EN_IPULLUP		セットされた場合、プルアップ電流はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
[6:5]	RESERVED		予約済み。	0x0	R
4	STB_PDSW1		セットされた場合、PSW1はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
3	STB_PDSW0		セットされた場合、PSW0はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
2	STB_EN_VBIAS		セットされた場合、VBIASはスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
1	STB_EN_IEXC		セットされた場合、内部励起電流はスタンバイ・モード時にアクティブなままとなります。	0x0	R/W
0	STB_EN_REFERENCE		セットされた場合、内部リファレンスはスタンバイ・モード時にアクティブなままとなります。励起電流がスタンバイ・モード時にアクティブなままの場合、内部リファレンスをアクティブなままにする必要があります。	0x0	R/W

## POWER\_DOWN\_SW レジスタ

アドレス：0x6E/0x6F（下位/上位バイト）、リセット：0x0000

## 内蔵レジスタ・マップ

ローサイド・パワー・スイッチは、このレジスタを使ってイネーブル/ディスエーブルされます。GPIO0 (PDSW0) と GPIO1 (PDSW1) で2つのパワー・スイッチを使用できます。

表 86. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED						PDSW_1	PDSW_0

表 87. POWER\_DOWN\_SW レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:2]	RESERVED		予約済み。	0x0	R
1	PDSW_1	0 1	PDSW1 ピンをイネーブル。 GPIO1 と AVSS の間の PDSW1 スイッチをディスエーブル。 GPIO1 と AVSS の間の PDSW1 スイッチをイネーブル。	0x0	R/W
0	PDSW_0	0 1	PDSW0 ピンをイネーブル。 GPIO0 と AVSS の間の PDSW0 スイッチをディスエーブル。 GPIO0 と AVSS の間の PDSW0 スイッチをイネーブル。	0x0	R/W

## ADC\_CTRL レジスタ

アドレス：0x70/0x71 (下位/上位バイト)、リセット：0x0000

動作モードはこのレジスタを用いて設定します。このレジスタに書込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 88. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
MULTI_DATA_REG_SEL	CONT_READ_STATUS_EN	CONT_READ			MODE		

表 89. ADC\_CTRL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
7	MULTI_DATA_REG_SEL	0 1	データ・レジスタが1つか複数かを選択します。チャンネルは、共通のデータ・レジスタ (およびオプションのステータス・バイト) を共用するように設定することも、別々のデータ・レジスタを SPI を介して個別にアドレス指定するように設定することもできます。複数チャンネルの場合のRDYの動作は、選択したオプションによって異なります。 各チャンネルは固有のデータ・レジスタを備えています。イネーブルされた各チャンネルは、その結果を専用のデータ・レジスタに書き込みます。これらのレジスタは、シリアル・インターフェースを介して個別にアドレス指定できます。この設定では、RDYがアサートされるのは、シーケンスでイネーブルされている全てのチャンネルがADC変換を完了した後です。それによって、ホストへの一回の割込みの後に、全てのデータ・レジスタからの結果を読み出すことができます。この機能がイネーブルされている場合、REPEAT機能は使用できません。 チャンネルはデータ・レジスタを共用します。RDYは各チャンネルの後にアサートされます。イネーブルされた全てのADCチャンネルは、共通のデータ・レジスタを共用します。関連レジスタをアドレス指定することで変換結果と共にステータス・バイトを取得するオプションも可能です。この設定では、シーケンスでどのチャンネルがADC変換を完了した後でも、RDYがアサートされます。変換結果の読出しは、次の変換結果が読出し可能となる前に行う必要があります。新しい変換結果が読出し可能になると、データ・レジスタはその新しい結果に更新されるためです。	0x0	R/W
6	CONT_READ_STATUS_EN	0 1	連続読出し/送信でのステータス出力をイネーブル。このビットは、連続読出しまたは連続送信がイネーブルされている場合に交換結果と共にステータス・バイトを出力するかどうかを定めます。連続読出しでは、ステータス・バイトは交換結果の直後に続きます。連続送信では、ステータス・バイトは送信される最初のバイトです。CRCがイネーブルされている場合は、これは2番目のスロットで繰り返されます。 ステータス・バイトの出力なし。 ステータス・バイトを出力。CSはデータ + ステータスの読出し全体でローに維持する必要があります。	0x0	R/W

内蔵レジスタ・マップ

表 89. ADC\_CTRL レジスタのビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
[5:4]	CONT_READ	00 01 10 11	<p>連続データ・レジスタ読出し/送信イネーブル。このビットは、ADC データ・レジスタの連続読出しまたは連続送信をイネーブルします。ADC は連続変換モードになっている必要があります。</p> <p>00 連続読出し/送信をディスエーブル。</p> <p>01 連続読出しをイネーブル。これは、ADC データ・レジスタの連続読出しをイネーブルします。ADCは連続変換モードになっている必要があります。連続読出しでは、SPI インターフェースを介して ADC の DATA レジスタの読出しのみを実行でき、データ・レジスタのアドレスを指定するための命令バイトは不要です。データ・レジスタの読出しに時間がかかりすぎる場合、その読出しは、次の ADC 変換結果がデータ・レジスタに書き込まれることになる直前にアボートされます。連続読出しを終了するには、RDYがローになった後の最初のデータ・バイトとして、SPI インターフェースにコマンド 0xA5 を書き込みます。あるいは、63 個の 1 と 1 個の 0 からなるパターンを 3 回 ADC に書き込むことで、いつでもシリアル・インターフェース・リセットを実行できます。INTERFACE_CONFIG_A レジスタに書き込むことによるリセットは、連続読出しを終了するオプションではありません。</p> <p>10 連続送信をイネーブル。これは、ADC データ・レジスタの連続送信をイネーブルします。ADC は連続変換モードになっている必要があります。このモードでは、新しい変換結果が出力できるようになると、DIG_AUX2 ピンをデータ・クロック DCLK として用いて ADC のデータが自動的に SDO に送信されます。DIG_AUX1 ピンはフレーム同期として自動的に使用されます。DIG_AUX1、DIG_AUX2 のその他の機能は自動的に無効になります。データ・フレームは 1 つまたは 2 つの 32 ビット・スロットで構成されます。イネーブルされている場合、ADC ステータス・レジスタおよび CRC バイトが含まれます。CRC は 2 番目のスロットを使用する必要があります。データ・クロック DCLK は、オプションの追加分周比と共にメイン・クロックから引き出されます。分周比は、次の ADC 結果の前に送信が終了するのに十分な DCLK を確保できるものでなければなりません。SPI シリアル・クロック SCLK は、このモードでの ADC データ送信には使用しません。SDO ピンが ADC データの送信専用になるため、レジスタ読出しはできません。連続送信を終了するには、このレジスタに書き込みを行って CONT_READ ビットを 0 に設定します。あるいは、シリアル・インターフェース・リセット (63 個の 1 と 1 個の 0 を 3 回 ADC に書き込む) をいつでも実行できます。</p> <p>11 予約済み。</p>	0x0	R/W
[3:0]	MODE	0000 0100 0101 0110 0111	<p>ADC の動作モード。これらのビットは ADC の動作モードを制御します。リストにない設定は予約済みです。</p> <p>0000 連続変換モード (デフォルト)。連続変換モードでは、ADC は連続して変換を行い、変換結果がデータ・レジスタに格納されます。RDYは変換が完了すると、ローになります。ユーザは該当のレジスタを読み出すか、連続読出しあるいは連続送信のオプションをイネーブルすることで、これらの変換結果を読み出すことができます。</p> <p>0100 シングル変換モード。ADC は、イネーブルされたチャンネルごとにシングル変換を (場合によっては繰り返して) 行います。変換が終了すると ADC はスタンバイになります。</p> <p>0101 スタンバイ・モード。デフォルトでは、LDO とシリアル・インターフェースを除く AD4195-4 の全てのセクションは、パワーダウンされます。スタンバイ・モードでは、内蔵レジスタの内容は保持されます。スタンバイ・モードでは、内部リファレンス、バイアス電圧発生器、励起電流、内蔵発振器などの機能をイネーブルしたままにできます。スタンバイ・モードでのこれらの機能の状態は、STANDBY_CTRL レジスタを用いて制御します。</p> <p>0110 パワーダウン・モード。パワーダウン・モードでは、全ての回路がパワーダウンします。LDO への電力供給も停止します。内蔵レジスタの内容は保持されません。このため、パワーダウン・モードの終了後には、全てのレジスタを再プログラムする必要があります。パワーダウン・モードに移行するには、デバイスは最初にスタンバイ・モードになる必要があります。パワーダウン・モードを終了するには、63 個の 1 と 1 個の 0 を 3 回 ADC に書き込むことでシリアル・インターフェースをリセットすることが必要です。</p> <p>0111 アイドル・モード。アイドル・モードでは、変調器のクロックは引き続き機能しますが、ADC フィルタと変調器はリセット状態に保持されます。</p>	0x0	R/W

内蔵レジスタ・マップ

表 89. ADC\_CTRL レジスタのビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		1000	システム・ゼロスケール (オフセット) のキャリブレーション。選択したチャンネルの入力ピンにシステム・ゼロスケール入力を接続します。 <u>RDY</u> は、キャリブレーションが開始されるとハイになり、キャリブレーションが完了するとローに戻ります。キャリブレーション後、ADC はアイドル・モードになります。計測したオフセット係数が、選択したチャンネルのオフセット・レジスタに格納されます。フルスケール・キャリブレーションを実行する場合は、1つのチャンネルのみを選択します。		
		1001	システム・フルスケール (ゲイン) のキャリブレーション。選択したチャンネルの入力ピンにシステム・フルスケール入力を接続します。 <u>RDY</u> は、キャリブレーションが開始されるとハイになり、キャリブレーションが完了するとローに戻ります。キャリブレーション後、ADC はアイドル・モードになります。計測したフルスケール係数が、選択したチャンネルのゲイン・レジスタに格納されます。フルスケール・キャリブレーションを実行する場合は、1つのチャンネルのみを選択します。		
		1010	内部ゼロスケール (オフセット) のキャリブレーション。内部短絡が自動的に入力へ接続されます。 <u>RDY</u> は、キャリブレーションが開始されるとハイになり、キャリブレーションが完了するとローに戻ります。キャリブレーション後、ADC はアイドル・モードになります。計測したオフセット係数が、選択したチャンネルのオフセット・レジスタに格納されます。ゼロスケール・キャリブレーションを実行している場合は、1つのチャンネルのみを選択します。		

ERROR\_EN レジスタ

アドレス: 0x72/0x73 (下位/上位バイト)、リセット: 0x0000

このレジスタの適切なビットを設定することで、全ての診断機能をイネーブルまたはディスエーブルできます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 90. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED		DLDO_PSM_ERR_EN	ALDO_PSM_ERR_EN	RESERVED		IOUT1_COMP_ERR_EN	IOUT0_COMP_ERR_EN
REF_DIFF_MIN_ERR_EN	REF_OV_UV_ERR_EN	AINM_OV_UV_ERR_EN	AINP_OV_UV_ERR_EN	ADC_CONV_ERR_EN	SPI_ERR_EN	MM_CRC_ERR_EN	RESERVED

表 91. ERROR\_EN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	RESERVED		予約済み。	0x0	R
13	DLDO_PSM_ERR_EN		このビットがセットされている場合、デジタル LDO 電圧が連続的にモニタされます。デジタル LDO から出力されている電圧が 1.6V (代表値) 未満の場合は、ERROR レジスタの DLDO_PSM_ERR ビットがセットされます。	0x0	R/W
12	ALDO_PSM_ERR_EN		このビットがセットされている場合、アナログ LDO 電圧が連続的にモニタされます。アナログ LDO から出力されている電圧が 1.5V (代表値) 未満の場合は、ERROR レジスタの ALDO_PSM_ERR ビットがセットされます。	0x0	R/W
[11:10]	RESERVED		予約済み。	0x0	R
9	IOUT1_COMP_ERR_EN		このビットがセットされている場合、励起電流 IOUT1 が連続的にモニタされます。電流の大きさが減少した場合、ERROR レジスタの IOUT1_COMP_ERR ビットがセットされます。	0x0	R/W
8	IOUT0_COMP_ERR_EN		このビットがセットされている場合、励起電流 IOUT0 が連続的にモニタされます。電流の大きさが減少した場合、ERROR レジスタの IOUT0_COMP_ERR ビットがセットされます。	0x0	R/W
7	REF_DIFF_MIN_ERR_EN		このビットがセットされている場合、選択されているリファレンス源の差動電圧がモニタされます。電圧が仕様規定された値未満になると、ERROR レジスタの REF_DIFF_MIN_ERR ビットがセットされます。	0x0	R/W
6	REF_OV_UV_ERR_EN		このビットがセットされている場合、変換されているチャンネルの REFIn+ ピンの過電圧/低電圧モニタがイネーブルされます。	0x0	R/W

## 内蔵レジスタ・マップ

表 91. ERROR\_EN レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
5	AINM_OV_UV_ERR_EN		このビットがセットされている場合、変換されているチャンネルの AINM ピンの過電圧/低電圧モニタがイネーブルされます。	0x0	R/W
4	AINP_OV_UV_ERR_EN		このビットがセットされている場合、変換されているチャンネルの AINP ピンの過電圧/低電圧モニタがイネーブルされます。	0x0	R/W
3	ADC_CONV_ERR_EN		このビットがセットされている場合、変換がモニタされ、アナログ入力が入力範囲外またはアンダーレンジになると ADC_CONV_ERR ビットがセットされます。	0x0	R/W
2	SPI_ERR_EN		SPI エラーをイネーブル。このビットは、SPI インターフェース・エラー (INTERFACE_STATUS_A レジスタ) も ERROR レジスタの SPI_ERR ビットをアサートするかどうかを制御します。	0x0	R/W
1	MM_CRC_ERR_EN		このビットがセットされている場合、メモリ・マップで CRC 計算が実行されます。この後、内蔵レジスタで定期的な CRC チェックが実行されます。レジスタの破損や更なるレジスタ書き込みによりレジスタの内容が変更された場合は、MM_CRC_ERR ビットがセットされます。	0x0	R/W
0	RESERVED		予約済み。	0x0	R

## ERROR レジスタ

アドレス : 0x74/0x75 (下位/上位バイト)、リセット : 0x0000

AD4195-4 は、過電圧、低電圧、SPI インターフェースのチェックなどの診断機能を備えています。ERROR レジスタには、様々な診断機能のフラグが含まれています。これらの機能は、ERROR\_EN レジスタを使ってイネーブルまたはディスエーブルできます。エラーが検出されるとエラー・ステータス・フラグが 1 にセットされます。エラー状態がそれ以上存在しなくなると、このレジスタの関連ビットに 1 を書き込むことでエラー・ステータス・フラグをクリアできます。

表 92. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEVICE_ERROR	RESERVED	DLDO_PSM_ERR	ALDO_PSM_ERR	RESERVED		IOUT1_COMP_ERR	IOUT0_COMP_ERR
REF_DIFF_MIN_ERR	REF_OV_UV_ERR	AINM_OV_UV_ERR	AINP_OV_UV_ERR	ADC_CONV_ERR	SPI_ERR	MM_CRC_ERR	RESERVED

表 93. ERROR レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
15	DEVICE_ERROR		デバイス初期化ステータス・ビット。このビットがセットされた場合、デバイス・リセットを推奨します。このビットはクリアできません。	0x0	R
14	RESERVED		予約済み。	0x0	R
13	DLDO_PSM_ERR		デジタル LDO ステータス・ビット。	0x0	R/W1C
12	ALDO_PSM_ERR		アナログ LDO ステータス・ビット。	0x0	R/W1C
[11:10]	RESERVED		予約済み。	0x0	R
9	IOUT1_COMP_ERR		IOUT1 用コンプライアンス電圧エラー・ステータス・ビット。	0x0	R/W1C
8	IOUT0_COMP_ERR		IOUT0 用コンプライアンス電圧エラー・ステータス・ビット。	0x0	R/W1C
7	REF_DIFF_MIN_ERR		リファレンス差動電圧過小ステータス・ビット。	0x0	R/W1C
6	REF_OV_UV_ERR		REFIN 過電圧/低電圧ステータス・ビット。	0x0	R/W1C
5	AINM_OV_UV_ERR		AINM 過電圧/低電圧ステータス・ビット。	0x0	R/W1C
4	AINP_OV_UV_ERR		AINP 過電圧/低電圧ステータス・ビット。	0x0	R/W1C
3	ADC_CONV_ERR		アナログ入力オーバーレンジ/アンダーレンジ・ステータス・ビット。	0x0	R/W1C
2	SPI_ERR		SPI インターフェース・エラー・ステータス・ビット。	0x0	R/W1C
1	MM_CRC_ERR		メモリ・マップ CRC エラー・ステータス・ビット。	0x0	R/W1C
0	RESERVED		予約済み。	0x0	R

## 内蔵レジスタ・マップ

## CHANNEL\_EN レジスタ

アドレス：0x78/0x79（下位／上位バイト）、リセット：0x0001

チャンネルは、CHANNEL\_EN レジスタでイネーブルされます。1つのチャンネルのみがイネーブルされている場合、チャンネルを通じたシーケンス処理はありません。複数のチャンネルがイネーブルされている場合、AD4195-4は、イネーブルされている全てのチャンネルを（イネーブルされたチャンネルのうちで最小番号のものから最大番号のものに向かって）自動的にシーケンス処理し、チャンネルに関連するセットアップ条件を自動的に適用して、イネーブルされた各チャンネルから変換結果を生成します（変換数は CHANNEL\_SETUPn レジスタで設定）。シーケンサを用いる場合、チャンネル 0 はイネーブルされるチャンネルの 1 つに必ずなっていないとはなりません。特定の ADC モード（キャリブレーション）は、単一チャンネル・ベースでのみ実行されます。どのチャンネルもイネーブルされていない場合、AD4195-4 はチャンネル 0 を内部で選択します。このレジスタに書き込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表 94. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CH_15	CH_14	CH_13	CH_12	CH_11	CH_10	CH_9	CH_8
CH_7	CH_6	CH_5	CH_4	CH_3	CH_2	CH_1	CH_0

表 95. CHANNEL\_EN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	CH_15		シーケンサのチャンネル 15 をイネーブル。	0x0	R/W
14	CH_14		シーケンサのチャンネル 14 をイネーブル。	0x0	R/W
13	CH_13		シーケンサのチャンネル 13 をイネーブル。	0x0	R/W
12	CH_12		シーケンサのチャンネル 12 をイネーブル。	0x0	R/W
11	CH_11		シーケンサのチャンネル 11 をイネーブル。	0x0	R/W
10	CH_10		シーケンサのチャンネル 10 をイネーブル。	0x0	R/W
9	CH_9		シーケンサのチャンネル 9 をイネーブル。	0x0	R/W
8	CH_8		シーケンサのチャンネル 8 をイネーブル。	0x0	R/W
7	CH_7		シーケンサのチャンネル 7 をイネーブル。	0x0	R/W
6	CH_6		シーケンサのチャンネル 6 をイネーブル。	0x0	R/W
5	CH_5		シーケンサのチャンネル 5 をイネーブル。	0x0	R/W
4	CH_4		シーケンサのチャンネル 4 をイネーブル。	0x0	R/W
3	CH_3		シーケンサのチャンネル 3 をイネーブル。	0x0	R/W
2	CH_2		シーケンサのチャンネル 2 をイネーブル。	0x0	R/W
1	CH_1		シーケンサのチャンネル 1 をイネーブル。	0x0	R/W
0	CH_0		シーケンサのチャンネル 0 をイネーブル。複数のチャンネルをイネーブルする場合、チャンネル 0 は常に用いなくてはならない点に注意してください。	0x1	R/W

## CHANNEL\_SETUP レジスタ

アドレス：0x80（CHANNEL\_SETUP0 の下位バイト）～0xBC（CHANNEL\_SETUP15 の上位バイト）（4 ずつインクリメント）、リセット：0x0000

AD4195-4 は、CHANNEL\_SETUP0～CHANNEL\_SETUP15 の 16 個のチャンネル・セットアップ・レジスタを備えています。ユーザは各レジスタを使ってセットアップを選択できます。セットアップは、ユーザが定義した 8 個の異なるオプションから選択できます。ADC は、変換時にイネーブルされた全てのチャンネルを自動的に循環します。REPEAT 機能は、チャンネルが選択されるごとにそのチャンネルで実行される変換の数を示します。これにより、必要に応じて、シーケンス内で複数のチャンネルを複数回サンプリングできます。チャンネルが選択されるたびに遅延が追加されるため、フロント・エンド回路は ADC が変換を始める前にセトリングできます。このレジスタに書き込みを行うと、デジタル・フィルタ／制御ロジック／シーケンサのリセットがトリガされます。

表 96. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
REPEAT							
RESERVED		DELAY		RESERVED		SETUP	

## 内蔵レジスタ・マップ

表 97. CHANNEL\_SETUP レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	REPEAT		このチャンネルを反復する回数。この設定により、シーケンスの次のチャンネルに移行する前に、所定のチャンネルで複数の変換を行うことができます。REPEAT が「0」に設定されている場合は、そのチャンネルで実行される変換は 1 回のみです。この機能は、チャンネルごとのデータ・レジスタを用いる場合には使用できない点に注意してください（全チャンネルが 1 個のデータ・レジスタを共用する必要があります）。	0x0	R/W
7	RESERVED		予約済み。	0x0	R
[6:4]	DELAY	000 001 010 011 100 101 110 111	チャンネル・スイッチ後に追加する遅延。これらのビットで、ADC がチャンネルを選択した後にプログラマブルな遅延を追加できます。この遅延は、ADC がそのチャンネルでサンプリングを始める前に生じます。これは、外部フロント・エンド回路に一定のセトリング時間が必要な場合に役に立ちます。指定する遅延は、変調器のクロック周波数 $f_{MOD}$ (MCLK/4) を基準にします。ここで、MCLK は(メイン・クロック/クロック分周比)で、CLOCK_CTRL レジスタを用いて設定されます。 遅延なし。 16 × $f_{MOD}$ の遅延。 256 × $f_{MOD}$ の遅延。 1024 × $f_{MOD}$ の遅延。 2048 × $f_{MOD}$ の遅延。 4096 × $f_{MOD}$ の遅延。 8192 × $f_{MOD}$ の遅延。 16384 × $f_{MOD}$ の遅延。	0x0	R/W
3	RESERVED		予約済み。	0x0	R
[2:0]	SETUP		セットアップの選択。これらのビットは、このチャンネル用の ADC の設定に使用するセットアップ (8 個のセットアップのいずれか) を特定します。セットアップは、AFE、FILER、FILER_FS、MISC、オフセット・レジスタ、ゲイン・レジスタで構成されます。全てのチャンネルで同じセットアップを使用できます。この場合、全てのアクティブ・チャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。あるいは、最大 8 つのチャンネルを異なる構成にすることもできます。	0x0	R/W

## CHANNEL\_MAP レジスタ

アドレス：0x82 (CHANNEL\_MAP0 の下位バイト) ~ 0xBE (CHANNEL\_MAP15 の上位バイト) (4 ずつインクリメント)、リセット：0x0001

AD4195-4 は、CHANNEL\_MAP0~CHANNEL\_MAP15 の 16 個のチャンネル・レジスタを備えています。各レジスタを使ってチャンネルを設定できます (AINP 入力および AINM 入力)。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 98. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	RESERVED				AINP_N		
	RESERVED				AINM_N		

表 99. CHANNEL\_MAP レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		予約済み。	0x0	R
[12:8]	AINP_N	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010	このチャンネルのマルチプレクサの正入力。 AIN0。 AIN1。 AIN2。 AIN3。 AIN4。 AIN5。 AIN6。 AIN7。 AIN8。 予約済み。 予約済み。	0x0	R/W

内蔵レジスタ・マップ

表 99. CHANNEL\_MAP レジスタのビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		01011	予約済み。		
		01100	予約済み。		
		01101	予約済み。		
		01110	予約済み。		
		01111	予約済み。		
		10000	予約済み。		
		10001	TEMP_SENSOR+。		
		10010	(AVDD - AVSS)/5+。		
		10011	(IOVDD - DGND)/5+。		
		10100	予約済み。		
		10101	ALDO。		
		10110	DLDO。		
		10111	AVSS。		
		11000	DGND。		
		11001	REFIN+。		
		11010	REFIN-。		
		11011	REFIN2+。		
		11100	REFIN2-。		
		11101	REFOUT。		
		11110	予約済み。		
		11111	予約済み。		
[7:5]	RESERVED		予約済み。	0x0	R
[4:0]	AINM_N		このチャンネルのマルチプレクサの負入力。	0x1	R/W
		00000	AIN0。		
		00001	AIN1。		
		00010	AIN2。		
		00011	AIN3。		
		00100	AIN4。		
		00101	AIN5。		
		00110	AIN6。		
		00111	AIN7。		
		01000	AIN8。		
		01001	予約済み。		
		01010	予約済み。		
		01011	予約済み。		
		01100	予約済み。		
		01101	予約済み。		
		01110	予約済み。		
		01111	予約済み。		
		10000	予約済み。		
		10001	TEMP_SENSOR-。		
		10010	(AVDD - AVSS)/5-。		
		10011	(IOVDD - DGND)/5-。		
		10100	予約済み。		
		10101	ALDO。		
		10110	DLDO。		
		10111	AVSS。		
		11000	DGND。		

## 内蔵レジスタ・マップ

表 99. CHANNEL\_MAP レジスタのビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		11001	REFIN+。		
		11010	REFIN-。		
		11011	REFIN2+。		
		11100	REFIN2-。		
		11101	RFEOUT。		
		11110	予約済み。		
		11111	予約済み。		

## MISCELLANEOUS (MISC) レジスタ

アドレス：0xC0 (MISC0 の下位バイト) ~ 0x122 (MISC7 の上位バイト) (14 ずつインクリメント)、リセット：0x0000

AD4195-4 には、MISC0~MISC7 の 8 個の各種設定レジスタがあります。各種設定レジスタはそれぞれ 1 つのセットアップに関連付けられており、MISCn はセットアップ n に関連付けられています。励起電流のチョッピング、マルチプレクサのチョッピングは、これらのレジスタを使って設定します。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 100. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	CHOP_IEXC			RESERVED			CHOP_ADC
			RESERVED				BURNOUT

表 101. MISCn レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	CHOP_IEXC	00 01 10 11	励起電流のチョッピング制御。これにより、3 線式 RTD などの励起電流の良好なマッチングが必要なアプリケーションのために励起電流をチョッピングできます。これらの電流は同じ値とする必要があります。 励起電流のチョッピングなし。励起電流にはスワップやチョッピングが行われません。 IOUT0 と IOUT1 の励起電流のチョッピング。IOUT0 および IOUT1 の励起電流の出力ピンの選択は定期的にスワップされ、変換はフェーズごとに行われて 2 つの変換が平均化されます。 予約済み。 予約済み。	0x0	R/W
[13:10]	RESERVED		予約済み。	0x0	R
[9:8]	CHOP_ADC	00 01 10 11	ADC/マルチプレクサのチョッピング。これによりチョッピング機能が有効になり、オフセット誤差を減らせます。チョッピングが有効になると一般にチャンネル・セトリング時間が増加します。これは、内部変換をチョッピングの両極性に対し行う必要があるためです。 チョッピングなし。チョッピングは行われません。 内部マルチプレクサをチョッピング。内部マルチプレクサは正と負のアナログ入力を定期的にスワップし、ADC はこれらの選択ごとに内部変換を実行して 2 つの変換を平均化します。これによりオフセットおよびオフセット・ドリフトが最小限に抑えられます。 予約済み。 予約済み。	0x0	R/W
[7:2]	RESERVED		予約済み。	0x0	R
[1:0]	BURNOUT	00 01 10 11	バーニアアウト電流値。これらの電流は、MUXP および MUXM で出力されます。そのため、電流が 1 つのチャンネルでイネーブルされている場合でも、電流がアクティブになるのは、そのチャンネルが選択されている場合のみです。 オフ。 +100nA。 +2μA。 +10μA。	0x0	R/W

## 内蔵レジスタ・マップ

## AFE レジスタ

アドレス：0xC2（AFE0の下位バイト）～0x124（AFE7の上位バイト）（14 ずつインクリメント）、リセット：0x0050

AD4195-4には、AFE0～AFE7の8個のAFEレジスタがあります。AFEレジスタはそれぞれ1つのセットアップに関連付けられており、AFEnはセットアップnに関連付けられています。AFEレジスタでは、PGAゲイン、リファレンス源、極性、リファレンス・バッファが設定されます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 102. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED				REF_BUF_M		REF_BUF_P	
RESERVED	REF_SELECT	BIPOLAR		PGA_GAIN			

表 103. AFE レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	RESERVED		予約済み。	0x0	R
[11:10]	REF_BUF_M	00	REFINn Buffer-をイネーブル。 プリチャージ・バッファ。	0x0	R/W
		01	フル・バッファ。		
		10	バイパス。		
		11	予約済み。		
[9:8]	REF_BUF_P	00	REFINn Buffer+をイネーブル。 プリチャージ・バッファ。	0x0	R/W
		01	フル・バッファ。		
		10	バイパス。		
		11	予約済み。		
7	RESERVED		予約済み。	0x0	R
[6:5]	REF_SELECT	00	ADC リファレンスの選択。 REFIN+、REFIN-。	0x2	R/W
		01	REFIN2+、REFIN2-。		
		10	REFOUT、AVSS。2.5VのREFOUTはREF_CONTROLレジスタで別にイネーブルする必要があります。		
		11	AVDD、AVSS。		
4	BIPOLAR	0	バイポーラまたはユニポーラのADCスパンの選択。 ユニポーラ。公称スパンは0V～V <sub>REF</sub> /PGA_GAINです。ADCデータのエンコーディングはストレート・バイナリで、0Vの差動は0x000000になり、+のフルスケールは0xFFFFFになります。	0x1	R/W
		1	バイポーラ。公称スパンは-V <sub>REF</sub> /PGA_GAIN～+V <sub>REF</sub> /PGA_GAINです。ADCデータのエンコーディングは2の補数で、0Vの差動は0x000000、+のフルスケールは0x7FFFFF、-のフルスケールは0x800000になります。		
[3:0]	PGA_GAIN	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001	PGAゲインの選択。リストにない設定は予約済みです。 PGAゲイン=1。 PGAゲイン=2。 PGAゲイン=4。 PGAゲイン=8。 PGAゲイン=16。 PGAゲイン=32。 PGAゲイン=64。 PGAゲイン=128。 PGAゲイン=0.5。 PGAゲイン=1プリチャージ・バッファ。	0x0	R/W

内蔵レジスタ・マップ

FILTER レジスタ

アドレス：0xC4 (FILTER0 の下位バイト) ~ 0x126 (FILTER7 の上位バイト) (14 ずつインクリメント)、リセット：0x0000

AD4195-4 には、FILTER0~FILTER7 の 8 個のフィルタ・レジスタがあります。フィルタ・レジスタはそれぞれ 1 つのセットアップに関連付けられており、FILTERn はセットアップ n に関連付けられています。FILTER レジスタでは、フィルタのタイプが選択されます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 104. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
POST_FILTER_SEL				FILTER_TYPE			

表 105. FILTER レジスタのビット説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
[7:4]	POST_FILTER_SEL	0000 0001 0010 0011 0101	ポスト・フィルタポスト・フィルタにより、良好な除去比を実現しながらも妥当なセトリング時間を持つ、50Hz および 60Hz の同時除去が可能です。リストにない設定は予約済みです。 ポスト・フィルタなし。 セトリング時間 40ms で 50Hz/60Hz 同時除去を行うポスト・フィルタ。このポスト・フィルタは、前段の sinc <sup>5</sup> + 平均化フィルタの出力データレートが 1200Hz に設定されている場合に (FILTER_FS = 208、クロック分周比を 2 に設定して ADC チョッピングをディスエーブルした 16MHz クロック)、約 40ms のセトリングで 50Hz と 60Hz の除去を行います。 セトリング時間 50ms で 50Hz/60Hz 同時除去を行うポスト・フィルタ。このポスト・フィルタは、前段の sinc <sup>5</sup> + 平均化フィルタの出力データレートが 1200Hz に設定されている場合に (FILTER_FS = 208、クロック分周比を 2 に設定し ADC チョッピングをディスエーブルした 16MHz クロック)、約 50ms のセトリングで 50Hz と 60Hz の除去を行います。 セトリング時間 60ms で 50Hz/60Hz 除去を行うポスト・フィルタ。このポスト・フィルタは、前段の sinc <sup>5</sup> + 平均化フィルタの出力データレートが 1200Hz に設定されている場合に (FILTER_FS = 208、クロック分周比を 2 に設定し ADC チョッピングをディスエーブルした 16MHz クロック)、約 60ms のセトリングで 50Hz と 60Hz の除去を行います。 16 回の平均化を行うポスト・フィルタ。sinc フィルタ (sinc <sup>5</sup> + 平均化) の後に平均化ブロックが続きます。sinc フィルタは 4、8、12、…、1024 の FILTER_FS 値を使用できます (2LSB を 0 に設定する必要があります)。	0x0	R/W
[3:0]	FILTER_TYPE	0000 0100 0110	フィルタ・モード。これは、使用するデジタル・フィルタのタイプを決定します。許容される FILTER_FS 値には、フィルタ・タイプとポスト・フィルタ処理を行うかどうかに応じた制限があります。リストにない設定は予約済みです。 sinc <sup>5</sup> + 平均化。このデジタル・フィルタ・オプションは、固定の sinc <sup>5</sup> フィルタと、その後段に回数をプログラムできる平均化フィルタを用います。許容される FILTER_FS 値は、4、8、12~65532 の範囲の 4 の倍数です。 sinc <sup>5</sup> 。このデジタル・フィルタ・オプションはプログラマブルな sinc <sup>5</sup> フィルタを用います。許容される FILTER_FS 値は、4、8、12~256 の範囲の 4 の倍数です。 sinc <sup>3</sup> 。このデジタル・フィルタ・オプションはプログラマブルな sinc <sup>3</sup> フィルタを用います。許容される FILTER_FS 値は、4、8、…、65532 の範囲の 4 の倍数です。	0x0	R/W

FILTER\_FS レジスタ

アドレス：0xC6 (FILTER\_FS0 の下位バイト) ~ 0x128 (FILTER\_FS7 の上位バイト) (14 ずつインクリメント)、リセット：0x0004

AD4195-4 には 8 個の FILTER\_FS レジスタがあります (FILTER\_FS0~FILTER\_FS7)。FILTER\_FS レジスタはそれぞれ 1 つのセットアップに関連付けられており、FILTER\_FSn はセットアップ n に関連付けられています。出力データレートはこのレジスタを用いて設定されます。このレジスタに書き込みを行うと、デジタル・フィルタ/制御ロジック/シーケンサのリセットがトリガされます。

表 106. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				FS[15:8]			
				FS[7:0]			

## 内蔵レジスタ・マップ

表 107. FILTER\_FS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	FS		デジタル・フィルタ用のフィルタ選択ワード。これにより、ADC の変換速度とノイズ性能を決定するデジタル・フィルタが設定されます。sinc <sup>5</sup> フィルタの場合、許容される FS 値は、4、8、…、256 の範囲の 4 の倍数です。sinc <sup>3</sup> および sinc <sup>5</sup> + 平均化フィルタの場合、許容される FS 値は、4、8、12、…、65532 の範囲の 4 の倍数です。	0x4	R/W

## オフセット・レジスタ

アドレス：0xC8 (OFFSET0 の下位バイト) ~ 0x12A (OFFSET7 の上位バイト) (14 ずつインクリメント)、リセット：0x000000

AD4195-4 には、OFFSET0~OFFSET7 の 8 個のオフセット・レジスタがあります。オフセット・レジスタはそれぞれ 1 つのセットアップに関連付けられており、OFFSETn はセットアップ n に関連付けられます。OFFSET レジスタは 24 ビット・レジスタで、ADC のオフセット・キャリブレーション係数を保持し、パワーオン・リセット値は 0x000000 です。これらのレジスタは、リード/ライト・レジスタです。これらのレジスタは、関連する GAIN レジスタと組み合わせて使用し、レジスタ・ペアを形成します。ユーザによって内部またはシステム・ゼロスケール・キャリブレーションが開始された場合、パワーオン・リセット値は自動的に上書きされます。OFFSET レジスタに書き込む場合は、ADC をスタンバイ・モードまたはアイドル・モードにすることを推奨します。

表 108. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				OFFSET[23:16]			
				OFFSET[15:8]			
				OFFSET[7:0]			

表 109. オフセット・レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET		ADC のオフセット係数。	0x0	R/W

## ゲイン・レジスタ

アドレス：0xCB (GAIN0 の下位バイト) ~ 0x12D (GAIN7 の上位バイト) (14 ずつインクリメント)、リセット：0x555555

AD4195-4 には、GAIN0~GAIN7 の 8 個のゲイン・レジスタがあります。ゲイン・レジスタはそれぞれ 1 つのセットアップに関連付けられており、GAINn はセットアップ n に関連付けられます。ゲイン・レジスタは 24 ビット・レジスタで、ADC のフルスケール・キャリブレーション係数を保持します。ゲイン誤差は全てのゲインについてメーカーでキャリブレーションされていますが、ゲイン・レジスタには 0x555555 のデフォルト値があります。パワーオン時およびリセット後には、ゲイン・レジスタにはこの値が格納されます。ゲイン・レジスタはリード/ライト・レジスタです。ただし、レジスタに書き込む場合、ADC をスタンバイ・モードまたはアイドル・モードにすることを推奨します。ユーザによってシステム・フルスケール・キャリブレーションが開始された場合、またはレジスタに書き込みが行われた場合は、デフォルト値が自動的に上書きされます。

表 110. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
				GAIN[23:16]			
				GAIN[15:8]			
				GAIN[7:0]			

表 111. GAINn レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN		ADC のゲイン係数。	0x555555	R/W

## REF\_CONTROL レジスタ

アドレス：0x130/0x131 (下位/上位バイト)、リセット：0x0001

2.5V の内部リファレンスはこのレジスタでイネーブル/ディスエーブルされます。内部温度センサーまたは励起電流を用いる場合は、内部リファレンスをイネーブルする必要があります。チャンネルが変換を行うために REF\_SELECT ビットを用いて内部リファレンスを選択した場合は、内部リファレンスをイネーブルする必要があります。

内蔵レジスタ・マップ

表 112. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED							REF_EN

表 113. REF\_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:1]	RESERVED		予約済み。	0x0	R
0	REF_EN	0 1	内部リファレンスのイネーブル。 内部リファレンスをディスエーブル。 内部リファレンスをイネーブルし REFOUT ピンに出力。	0x1	R/W

V\_BIAS レジスタ

アドレス : 0x134/0x135 (下位/上位バイト) 、リセット : 0x0000

(AVDD + AVSS)/2 に等しい内部バイアス電圧は、このレジスタを用いてイネーブル/ディスエーブルされます。

表 114. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							VBIAS_IN8_EN
VBIAS_IN7_EN	VBIAS_IN6_EN	VBIAS_IN5_EN	VBIAS_IN4_EN	VBIAS_IN3_EN	VBIAS_IN2_EN	VBIAS_IN1_EN	VBIAS_IN0_EN

表 115. V\_BIAS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	RESERVED		予約済み。	0x0	R
8	VBIAS_IN8_EN		AIN8 の電圧バイアスをイネーブル。	0x0	R/W
7	VBIAS_IN7_EN		AIN7 の電圧バイアスをイネーブル。	0x0	R/W
6	VBIAS_IN6_EN		AIN6 の電圧バイアスをイネーブル。	0x0	R/W
5	VBIAS_IN5_EN		AIN5 の電圧バイアスをイネーブル。	0x0	R/W
4	VBIAS_IN4_EN		AIN4 の電圧バイアスをイネーブル。	0x0	R/W
3	VBIAS_IN3_EN		AIN3 の電圧バイアスをイネーブル。	0x0	R/W
2	VBIAS_IN2_EN		AIN2 の電圧バイアスをイネーブル。	0x0	R/W
1	VBIAS_IN1_EN		AIN1 の電圧バイアスをイネーブル。	0x0	R/W
0	VBIAS_IN0_EN		AIN0 の電圧バイアスをイネーブル。	0x0	R/W

I\_PULLUP レジスタ

アドレス : 0x136/0x137 (下位/上位バイト) 、リセット : 0x0000

このレジスタを用いて約 100nA のプルアップ電流をアナログ入力ピンでイネーブル/ディスエーブルできます。

表 116. ビット名

Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
[15:8]	RESERVED							I_PULLUP_IN8_EN
[7:0]	I_PULLUP_IN7_EN	I_PULLUP_IN6_EN	I_PULLUP_IN5_EN	I_PULLUP_IN4_EN	I_PULLUP_IN3_EN	I_PULLUP_IN2_EN	I_PULLUP_IN1_EN	I_PULLUP_IN0_EN

表 117. I\_PULLUP レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:9]	RESERVED		予約済み。	0x0	R

## 内蔵レジスタ・マップ

表 117. I\_PULLUP レジスタのビット説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
8	I_PULLUP_IN8_EN		AIN8 のプルアップ電流をイネーブル。	0x0	R/W
7	I_PULLUP_IN7_EN		AIN7 のプルアップ電流をイネーブル。	0x0	R/W
6	I_PULLUP_IN6_EN		AIN6 のプルアップ電流をイネーブル。	0x0	R/W
5	I_PULLUP_IN5_EN		AIN5 のプルアップ電流をイネーブル。	0x0	R/W
4	I_PULLUP_IN4_EN		AIN4 のプルアップ電流をイネーブル。	0x0	R/W
3	I_PULLUP_IN3_EN		AIN3 のプルアップ電流をイネーブル。	0x0	R/W
2	I_PULLUP_IN2_EN		AIN2 のプルアップ電流をイネーブル。	0x0	R/W
1	I_PULLUP_IN1_EN		AIN1 のプルアップ電流をイネーブル。	0x0	R/W
0	I_PULLUP_IN0_EN		AIN0 のプルアップ電流をイネーブル。	0x0	R/W

## CURRENT\_SOURCE レジスタ

アドレス：0x138 (CURRENT\_SOURCE0 の下位バイト) ~0x13E (CURRENT\_SOURCE3 の上位バイト) (2 ずつインクリメント)、リセット：0x0000

AD4195-4 には、個別にプログラムできる 2 つの励起電流 (IOUT0 と IOUT1) があります。このレジスタを用いて、電流源がイネーブルされ電流を出力するピンが選択されます。

表 118. ビット名

Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
[15:8]	RESERVED			I_OUT_PIN				
[7:0]	RESERVED					I_OUT_VAL		

表 119. CURRENT\_SOURCE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		予約済み。	0x0	R
[12:8]	I_OUT_PIN		励起電流を出力するピンを選択します。リストにない設定は予約済みです。	0x0	R/W
		00000	IOUT は AIN0 に出力。		
		00001	IOUT は AIN1 に出力。		
		00010	IOUT は AIN2 に出力。		
		00011	IOUT は AIN3 に出力。		
		00100	IOUT は AIN4 に出力。		
		00101	IOUT は AIN5 に出力。		
		00110	IOUT は AIN6 に出力。		
		00111	IOUT は AIN7 に出力。		
		01000	IOUT は AIN8 に出力。		
		01001	予約済み。		
		01010	予約済み。		
		01011	予約済み。		
		01100	予約済み。		
		01101	予約済み。		
		01110	予約済み。		
		01111	予約済み。		
		10000	予約済み。		
		10001	IOUT は GPIO0 に出力。		
		10010	IOUT は GPIO1 に出力。		
		10011	IOUT は GPIO2 に出力。		
		10100	IOUT は GPIO3 に出力。		
[7:3]	RESERVED		予約済み。	0x0	R
[2:0]	I_OUT_VAL		電流源の値。励起電流を使用している場合は、内部リファレンスをイネーブルする必要があります。内部リファレンスは、REF_CONTROL レジスタを介してイネーブルできます。	0x0	R/W

## 内蔵レジスタ・マップ

表 119. CURRENT\_SOURCE レジスタのビットの説明 (続き)

ビット	ビット名	設定	説明	リセット	アクセス
		000	0 $\mu$ A。		
		001	10 $\mu$ A。		
		010	50 $\mu$ A。		
		011	100 $\mu$ A。		
		100	250 $\mu$ A。		
		101	500 $\mu$ A。		
		110	1000 $\mu$ A。		
		111	1500 $\mu$ A。		

## GPIO\_MODE レジスタ

アドレス：0x190/0x191 (下位/上位バイト)、リセット：0x0000

GPIO ピンは、このレジスタを用いて入力または出力に設定します。これらのピンは、GPIO、パワー・スイッチ、リファレンス、励起電流、CHANNEL\_TO\_GPIO 機能といった複数の機能を備えています。機能には優先度があります。詳細については汎用入出力 (GPIO0~GPIO3) のセクションを参照してください。

表 120. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
CH3_MODE		CH2_MODE		CH1_MODE		CH0_MODE	

表 121. GPIO\_MODE レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:8]	RESERVED		予約済み。	0x0	R
[7:6]	CH3_MODE	00 01 10 11	GPIO3 のモード。 ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W
[5:4]	CH2_MODE	00 01 10 11	GPIO2 のモード。 ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W
[3:2]	CH1_MODE	00 01 10 11	GPIO1 のモード。 ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W
[1:0]	CH0_MODE	00 01 10 11	GPIO0 のモード。 ディスエーブル。 入力として設定。 出力として設定。 予約済み。	0x0	R/W

## 内蔵レジスタ・マップ

## GPIO\_OUTPUT\_DATA レジスタ

アドレス：0x192/0x193（下位／上位バイト）、リセット：0x0000

GPIO ピンを出力として設定する場合、ピンの値はこのレジスタで設定します。

表 122. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED				CH3_OUTPUT	CH2_OUTPUT	CH1_OUTPUT	CH0_OUTPUT

表 123. GPIO\_OUTPUT\_DATA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	RESERVED		予約済み。	0x0	R
3	CH3_OUTPUT		GPIO3 ピンの出力状態。	0x0	R/W
2	CH2_OUTPUT		GPIO2 ピンの出力状態。	0x0	R/W
1	CH1_OUTPUT		GPIO1 ピンの出力状態。	0x0	R/W
0	CH0_OUTPUT		GPIO0 ピンの出力状態。	0x0	R/W

## GPIO\_INPUT\_DATA レジスタ

アドレス：0x194/0x195（下位／上位バイト）、リセット：0x0000

GPIO ピンを入力として設定する場合、ピンの値はこのレジスタで表示されます。

表 124. ビット名

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RESERVED							
RESERVED				CH3_INPUT	CH2_INPUT	CH1_INPUT	CH0_INPUT

表 125. GPIO\_INPUT\_DATA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:4]	RESERVED		予約済み。	0x0	R
3	CH3_INPUT		GPIO3 の入力状態。	0x0	R
2	CH2_INPUT		GPIO2 の入力状態。	0x0	R
1	CH1_INPUT		GPIO1 の入力状態。	0x0	R
0	CH0_INPUT		GPIO0 の入力状態。	0x0	R

外形寸法

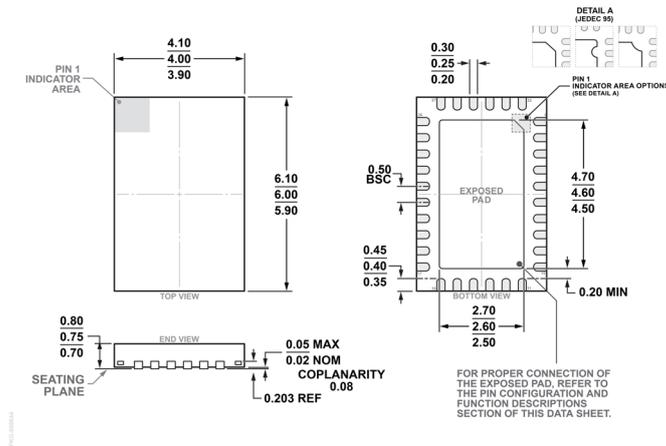


図 103. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP] 4mm × 6mm ボディ、0.75mm パッケージ高 (CP-32-34)  
寸法：mm

更新：2025 年 1 月 31 日

オーダー・ガイド

表 126. オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
AD4195-4BCPZ	-40°C to +105°C	32-Lead LFCSP	Tray, 490	CP-32-34
AD4195-4BCPZ-RL7	-40°C to +105°C	32-Lead LFCSP	Reel, 1,500	CP-32-34

<sup>1</sup> Z = RoHS 準拠製品。

評価用ボード

表 127. 評価用ボード

Model <sup>1</sup>	Description
EVAL-AD4195-4ARDZ	Evaluation Board
EVAL-SDP-CK1Z	Evaluation Controller Board

<sup>1</sup> Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2025年7月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年7月17日

製品名：AD4195-4

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：41頁、右の段、汎用入出力（GPIO0～GPIO3）の項、2行目以降

**【誤】**

「これらは、GPIO\_MODEレジスタの **GPIO\_MODE** ビットを使用して、汎用入出力として設定されます（表121を参照）。出力として設定された場合、これらのピンは、GPIO\_OUTPUT\_DATAレジスタの **GPIO\_OUTPUT\_DATA** ビットを使用してハイにプルアップまたはローにプルダウンできます（表123を参照）。」

**【正】**

「これらは、GPIO\_MODEレジスタの **CHn MODE** ビットを使用して、汎用入出力として設定されます（表121を参照）。出力として設定された場合、これらのピンは、GPIO\_OUTPUT\_DATAレジスタの **CHn OUTPUT DATA** ビットを使用してハイにプルアップまたはローにプルダウンできます（表123を参照）。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。

この正誤表は、2025年7月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年7月17日

製品名：AD4195-4

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：37頁、図63と図64の内容(図の内容が逆です)

【誤】

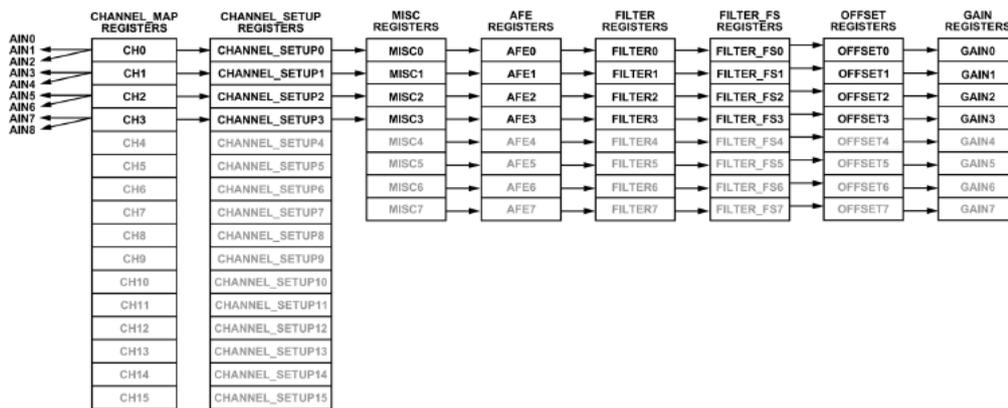


図 63. 4 個の完全差動入力。全てが 1 つのセットアップ (MISC0、AFE0、FILTER0、FILTER\_FS0、GAIN0、OFFSET0) を使用

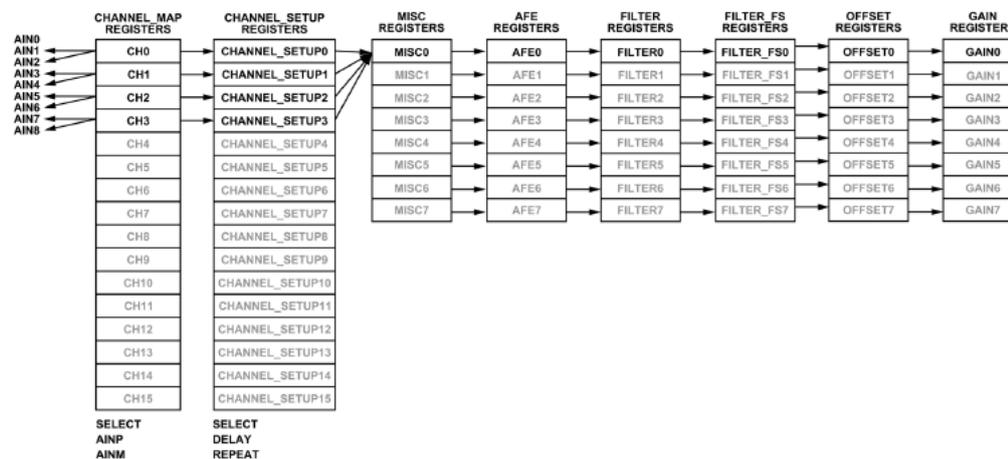


図 64. 4 個の完全差動入力チャンネルごとに個別のセットアップを使用

【正】

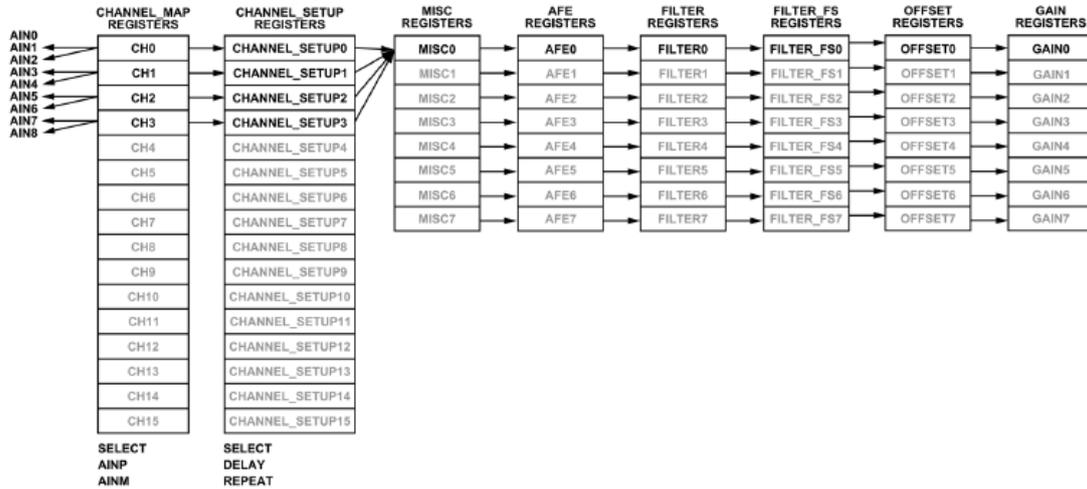


図 63. 4 個の完全差動入力。全てが 1 つのセットアップ (MISC0、AFE0、FILTER0、FILTER\_FS0、GAIN0、OFFSET0) を使用

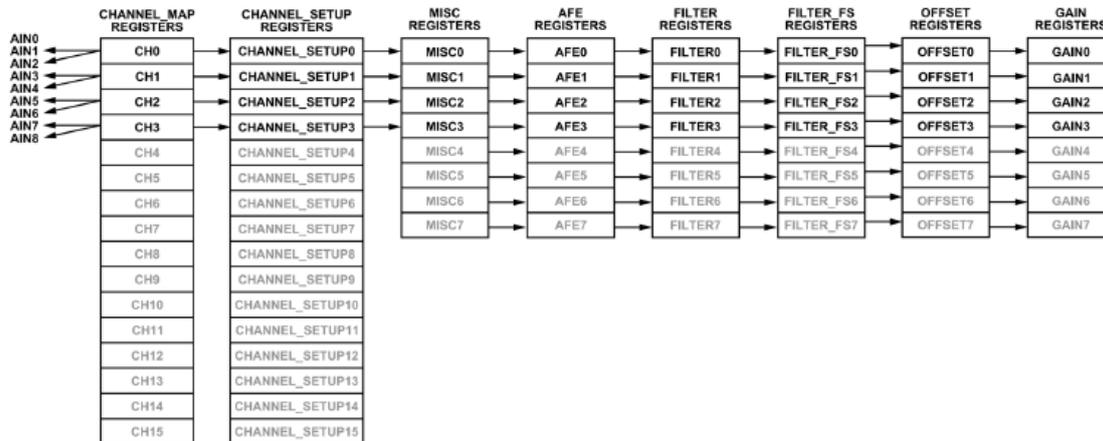


図 64. 4 個の完全差動入力。チャンネルごとに個別のセットアップを使用