

±10V 入力、断線検出機能を備えた 4 チャンネル／8 チャンネル、 125kSPS、16 ビットのシグマ・デルタ ADC

特長

- ▶ ±10V の入力、4 つの差動または 8 つのシングルエンド
 - ▶ 入力ピンの絶対電圧：最大±20V
 - ▶ インピーダンス：最小 1MΩ
- ▶ 完全統合型のソリューション
 - ▶ AFE 内蔵の 16 ビット ADC
 - ▶ 高速かつ柔軟な出力レート：2.5SPS～125,000SPS
 - ▶ チャンネル・スキャン・データ・レート：
 - 24.845kSPS／チャンネル（セトリング時間 40.25μs）
 - ▶ ノイズ・フリー・ビット数：14.4（チャンネルあたり 24.845kSPS）
 - ▶ ノイズ・フリー・ビット数：16（チャンネルあたり 4.994kSPS）
 - ▶ 50Hz と 60Hz の同時除去
 - ▶ 2.5V リファレンスとリファレンス・バッファを内蔵
 - ▶ ドリフト：±5ppm/°C（代表値）
 - ▶ 内部クロック発振器
- ▶ 電源
 - ▶ AVDD = 4.5V～5.5V または±2.5V
 - ▶ IOVDD = 2V～5.5V
 - ▶ 合計消費電流 AVDD + IOVDD (I_{DD}) = 10.8mA

- ▶ 温度範囲：-40°C～+105°C
- ▶ 40 ピン、6mm × 6mm LFCSP
- ▶ 3 線式または 4 線式シリアル・デジタル・インターフェース
 - ▶ SPI、QSPI、MICROWIRE、DSP に対応
 - ▶ SCLK にシュミット・トリガ内蔵

アプリケーション

- ▶ プロセス制御
 - ▶ PLC/DCS モジュール
- ▶ 計測器および測定

製品のハイライト

- ▶ マッチングされた内蔵の減衰抵抗によりチャンネル間のキャリブレーションが不要
- ▶ 25°C で±0.08%の TUE（総合未調整誤差）を確保
- ▶ ±65V までの過電圧保護
- ▶ 単電源動作により外部バイポーラ電源と絶縁を追加するコストを削減
- ▶ 全体的なシステム・コストを最適化
- ▶ 断線検出機能

機能ブロック図

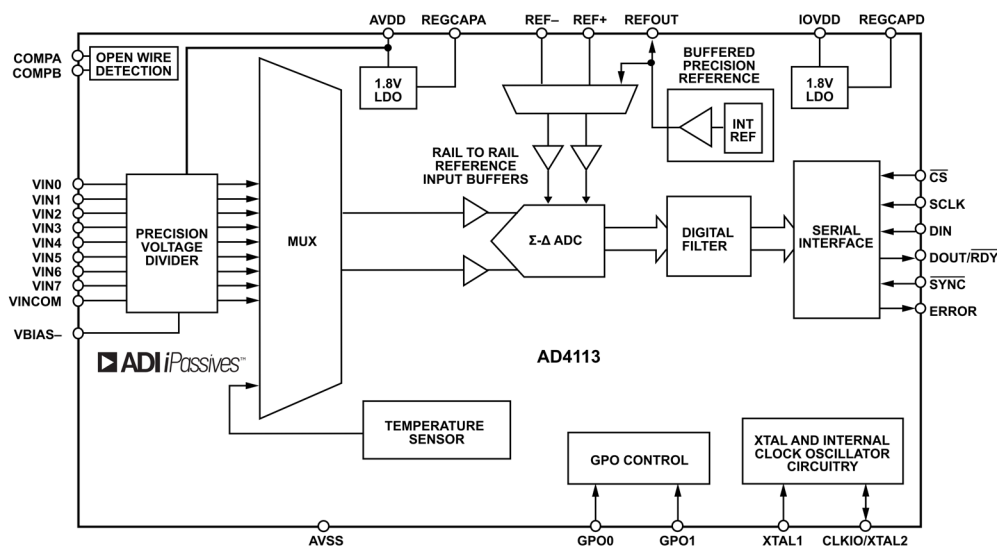


図 1. AD4113 の機能ブロック図

目次

特長.....	1	スタンバイ・モードとパワーダウン・モード.....	28
アプリケーション.....	1	キャリブレーション.....	29
製品のハイライト.....	1	デジタル・インターフェース.....	30
機能ブロック図.....	1	チェックサム保護.....	30
概要.....	3	CRC の計算.....	30
仕様.....	4	内蔵機能.....	32
タイミング特性.....	6	汎用出力.....	32
タイミング図.....	7	遅延.....	32
絶対最大定格.....	8	DOUT_RESET.....	32
熱抵抗.....	8	同期.....	32
静電放電 (ESD) 定格.....	8	エラー・フラグ.....	32
ESD に関する注意.....	8	DATA_STAT.....	33
ピン配置およびピン機能の説明.....	9	IOSTRENGTH.....	33
代表的な性能特性.....	11	内部温度センサー.....	33
ノイズ性能と分解能.....	13	アプリケーション情報.....	34
動作原理.....	15	グラウンディングとレイアウト.....	34
電源.....	16	レジスタの一覧.....	35
デジタル・コミュニケーション.....	16	レジスタの詳細.....	38
AD4113 のリセット.....	17	コミュニケーション・レジスタ.....	38
設定の概要.....	17	ステータス・レジスタ.....	39
回路の説明.....	20	ADC モード・レジスタ.....	40
マルチプレクサ.....	20	インターフェース・モード・レジスタ.....	41
電圧入力.....	20	レジスタ・チェック.....	42
入力ピンの絶対電圧.....	21	データ・レジスタ.....	42
データ出力コーディング.....	22	GPIO 設定レジスタ.....	42
AD4113 のリファレンス.....	22	ID レジスタ.....	43
バッファ付きリファレンス入力.....	22	チャンネル・レジスタ 0～チャンネル・レジスタ 15.....	44
クロック源.....	23	セットアップ設定レジスタ 0～	
デジタル・フィルタ.....	24	セットアップ設定レジスタ 7.....	45
sinc5 + sinc1 フィルタ.....	24	フィルタ設定レジスタ 0～フィルタ設定レジスタ 7.....	45
sinc3 フィルタ.....	24	オフセット・レジスタ 0～オフセット・レジスタ 7.....	46
シングルサイクル・セトリング.....	24	ゲイン・レジスタ 0～ゲイン・レジスタ 7.....	47
50Hz と 60Hz を除去するエンハンスド・フィルタ.....	25	外形寸法.....	48
動作モード.....	27	オーダー・ガイド.....	48
連続変換モード.....	27	評価用ボード.....	48
連続読出しモード.....	27		
シングル変換モード.....	28		

改訂履歴

4/2026—Revision 0: Initial Version

概要

AD4113 は、低消費電力、低ノイズ、16 ビットのシグマ・デルタ ($\Sigma\Delta$) A/D コンバータ (ADC) で、4 つの完全差動入力または 8 つのシングルエンド入力に対応するアナログ・フロント・エンド (AFE) を内蔵しています。

AD4113 の高精度な性能は、アナログ・デバイセズが独自に開発した *iPassives™* 技術の実装により実現しています。AD4113 は高インピーダンス ($\geq 1\text{M}\Omega$) であり、完全にセトリングされたデータに対して最大 24.845kSPS (40.25 μs) のチャンネル・スキャン・レートで $\pm 10\text{V}$ の真のバイポーラ電圧入力に対応できます。出力データ・レートの範囲は 2.5SPS~125,000SPS です。

このデバイスはアナログおよびデジタルの主要なシグナル・コンディショニング・ブロックを内蔵しており、使用するアナログ入力チャンネルごとに 8 つの個別の設定が可能です。最大 16 チャンネルをいつでもイネーブルでき、チャンネルは標準的な

アナログ電圧入力のいずれかとして定義されます。2.5V (5ppm/°C) の内部バンド・ギャップ・リファレンス (出力リファレンス・バッファ付き) によって、外付け部品数を削減できます。

デジタル・フィルタにより、27.27SPS の出力データ・レートで 50Hz と 60Hz の同時除去を行うなど、柔軟な設定が可能です。様々なフィルタ設定の中から、アプリケーションの各チャンネルの要求に応じた選択が可能です。ADC は、自動チャンネル・シーケンサにより、イネーブルされた各チャンネルの切替えを行います。

AD4113 は 5V の単電源で動作し、ガルバニック絶縁のアプリケーションに容易に導入可能です。動作温度範囲は、 -40°C ~ $+105^{\circ}\text{C}$ で仕様規定されています。このデバイスは、6mm×6mm の 40 ピン LFCSP パッケージに収容されています。

仕様

特に指定のない限り、AVDD = 4.5V~5.5V、IOVDD = 2V~5.5V、AVSS = 0V、DGND = 0V、VBIAS- = 0V。

特に指定のない限り、内部リファレンス、内部 MCLK = 8MHz、T_A = 最小温度 (T_{MIN}) ~ 最大温度 (T_{MAX}) (-40°C ~ +105°C)。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
VOLTAGE INPUTS					
Differential Input Voltage Range ¹	Specified TUE performance	-10		+10	V
	Functional	-V _{REF} × 10		+V _{REF} × 10	V
Absolute (Pin) Input Voltage		-20		+20	V
Input Impedance		1	1.17		MΩ
Offset Error ²	25°C		±1.5		mV
Offset Drift			±8		μV/°C
Gain Error			±0.05		% of FS
Gain Drift	Excludes internal reference		±1		ppm/°C
Integral Nonlinearity (INL)			±0.01		% of FSR
Total Unadjusted Error (TUE) ³					
	+25°C, internal V _{REF}			±0.08	% of FSR
	-20°C to +85°C, internal V _{REF}			±0.1	% of FSR
	-40°C to +105°C, internal V _{REF}			±0.12	% of FSR
	+25°C, external V _{REF}			±0.07	% of FSR
	-40°C to +105°C, external V _{REF}			±0.08	% of FSR
Power Supply Rejection	AVDD for input voltage (V _{IN}) = 1V		70		dB
Common-Mode Rejection	V _{IN} = 1V				
At DC			85		dB
At 50Hz, 60Hz	20Hz output data rate (postfilter), 50Hz ± 1Hz and 60Hz ± 1Hz		120		dB
Normal Mode Rejection ³	50Hz ± 1Hz and 60Hz ± 1Hz				
	Internal clock, 20SPS output data rate (ODR) (postfilter)	71	90		dB
	External clock, 20SPS ODR (postfilter)	85	90		dB
Resolution	See Table 7 and Table 8				
Noise	See Table 7 and Table 8				
ADC SPEED AND PERFORMANCE					
ADC ODR		2.5		125,000	SPS
No Missing Codes ³		16			Bits
INTERNAL REFERENCE					
Output Voltage	100nF external capacitor to AVSS REFOUT with respect to AVSS		2.5		V
Initial Accuracy ^{3, 4}	REFOUT, T _A = 25°C	-0.12		+0.12	% of V
Temperature Coefficient			±5	+12	ppm/°C
Reference Load Current (I _{LOAD})		-10		+10	mA
Power Supply Rejection	AVDD (line regulation)		95		dB
Load Regulation	Change in output voltage (ΔV _{OUT}) ⁵ /change in load current (ΔI _{LOAD})		32		ppm/mA
Voltage Noise	Voltage noise (e _N), 0.1Hz to 10Hz, 2.5V reference		4.5		μV rms
Voltage Noise Density	e _N , 1kHz, 2.5V reference		215		nV/√Hz
Turn On Settling Time	100nF REFOUT capacitor		200		μs
Short-Circuit Current (I _{SC})			25		mA
EXTERNAL REFERENCE INPUTS					
Differential Input Range	V _{REF} = (REF+) - (REF-)	1	2.5	AVDD	V
Absolute Voltage Limits					
Buffers Disabled		AVSS - 0.05		AVDD + 0.05	V
Buffers Enabled		AVSS		AVDD	V

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REF± Input Current					
Buffers Disabled					
Input Current			±36		μA/V
Input Current Drift	External clock		±1.2		nA/V/°C
	Internal clock		±3		nA/V/°C
Buffers Enabled					
Input Current			±400		nA
Input Current Drift			0.6		nA/°C
Normal Mode Rejection	See the Rejection parameter				
Common-Mode Rejection			95		dB
Temperature Sensor					
Accuracy	After user calibration at 25°C		±2		°C
Sensitivity			477		μV/K
GENERAL-PURPOSE OUTPUTS (GPO0, GPO1)	With respect to AVSS				
Floating State Output Capacitance			5		pF
Output Voltage ³					
High, (V _{OH})	Source current (I _{SOURCE}) = 200μA	AVDD - 1			V
Output Low Voltage, (V _{OL})	Sink current (I _{SINK}) = 800μA			AVSS + 0.4	V
CLOCK					
Internal Clock					
Frequency			8		MHz
Accuracy		-2.5%		+2.5%	%
Duty Cycle			50		%
Output Voltage					
High (V _{OH})		0.8 × IOVDD			V
Low (V _{OL})				0.4	V
Crystal					
Frequency		14	16	16.384	MHz
Start-Up Time			10		μs
External Clock (CLKIO)			8	8.192	MHz
Duty Cycle		30	50	70	%
LOGIC INPUTS					
Input Voltage ³					
High (V _{INH})	2V ≤ IOVDD < 2.3V	0.65 × IOVDD			V
	2.3V ≤ IOVDD ≤ 5.5V	0.7 × IOVDD			V
Low (V _{INL})	2V ≤ IOVDD < 2.3V			0.35 × IOVDD	V
	2.3V ≤ IOVDD ≤ 5.5V			0.7	V
Hysteresis	IOVDD ≥ 2.7V	0.08		0.25	V
	IOVDD < 2.7V	0.04		0.2	V
Leakage Current		-10		+10	μA
LOGIC OUTPUT (DOUT/RDY)					
Output Voltage ³					
V _{OH}	IOVDD ≥ 4.5V, I _{SOURCE} = 1mA	0.8 × IOVDD			V
	2.7V ≤ IOVDD < 4.5V, I _{SOURCE} = 500μA	0.8 × IOVDD			V
	IOVDD < 2.7V, I _{SOURCE} = 200μA	0.8 × IOVDD			V
V _{OL}	IOVDD ≥ 4.5V, I _{SINK} = 2mA			0.4	V
	2.7V ≤ IOVDD < 4.5V, I _{SINK} = 1mA			0.4	V

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Leakage Current ³	IOVDD < 2.7V, I _{SINK} = 400μA			0.4	V
Output Capacitance	Floating state	-10		+10	μA
	Floating state		10		pF
POWER REQUIREMENTS					
Power Supply Voltage					
AVDD to AVSS		4.5		5.5	V
AVSS to DGND		-2.75		0	V
IOVDD to DGND		2		5.5	V
IOVDD to AVSS	For AVSS < DGND			6.35	V
POWER SUPPLY CURRENTS ⁶					
Full Operating Mode	All outputs unloaded, digital inputs connected to IOVDD or DGND				
AVDD Current	Including internal reference		9.4	11.5	mA
IOVDD Current	Internal clock		1.4	1.8	mA
Standby Mode	All V _{IN} = 0V		210		μA
Power-Down Mode	All V _{IN} = 0V		185		μA
Total Current Consumption (I _{DD})			10.8		mA
POWER DISSIPATION					
Full Operating Mode			52		mW
Standby Mode			1		mW
Power-Down Mode			925		μW

¹ 全仕様は±10Vの差動入力信号に対して確保されています。このデバイスは、最大±VREF × 10 の差動入力信号まで機能します。ただし、正常に機能するためには、仕様規定されている絶対（ピン）電圧を超えてはいけません。

² システムのゼロ・スケール・キャリブレーションを実行した後、オフセット誤差は、選択したプログラム済み出力データ・レートのノイズ・レベルとほぼ同等になります。

³ これらの値に対する製品テストは行われていませんが、量産開始時の特性評価データで裏付けられています。

⁴ この仕様には、湿度感度レベル（MSL）プリコンディショニングの影響が含まれています。

⁵ V_{OUT}は出力電圧です。

⁶ これは、REFOUT ピンとデジタル出力ピンに負荷が接続されていないときの仕様です。

タイミング特性

特に指定のない限り、IOVDD = 2V～5.5V、DGND = 0V、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、負荷容量（C_{LOAD}）= 20pF。

表 2. タイミング特性

Parameter	Limit at T _{MIN} , T _{MAX}	Unit	Description ^{1, 2}
SCLK			
t ₃	25	ns minimum	SCLK high pulse width
t ₄	25	ns minimum	SCLK low pulse width
READ OPERATION			
t ₁	0	ns minimum	$\overline{CS}$ falling edge to DOUT/RDY active time
	15	ns maximum	IOVDD = 4.75V to 5.5V
	40	ns maximum	IOVDD = 2V to 3.6V
t ₂ ³	0	ns minimum	SCLK active edge to data valid delay ⁴
	12.5	ns maximum	IOVDD = 4.75V to 5.5V
	25	ns maximum	IOVDD = 2V to 3.6V
t ₅ ⁵	2.5	ns minimum	Bus relinquish time after $\overline{CS}$ inactive edge
	20	ns maximum	
t ₆	0	ns minimum	SCLK inactive edge to $\overline{CS}$ inactive edge
t ₇	10	ns minimum	SCLK inactive edge to DOUT/RDY high/low

仕様

表 2. タイミング特性（続き）

Parameter	Limit at T_{MIN} , T_{MAX}	Unit	Description ^{1, 2}
WRITE OPERATION			
t_8	0	ns minimum	$\overline{CS}$ falling edge to SCLK active edge setup time ⁴
t_9	8	ns minimum	Data valid to SCLK edge setup time
t_{10}	8	ns minimum	Data valid to SCLK edge hold time
t_{11}	5	ns minimum	$\overline{CS}$ rising edge to SCLK edge hold time

¹ 初回リリース時のサンプル・テストにより、適合性が確保されています。

² 図 2 および図 3 を参照。

³ このパラメータは、出力が V_{OL} の限界値もしくは V_{OH} の限界値を横切るのに要する時間で定義されています。

⁴ SCLK のアクティブ・エッジは SCLK の立下がりエッジです。

⁵ $\overline{DOUT}/\overline{RDY}$ はデータ・レジスタの読出し後にハイに戻ります。シングル変換モードと連続変換モードでは、 $\overline{DOUT}/\overline{RDY}$ がハイの間、必要に応じて同じデータを再度読み出すことができます。ただし、後続の読出し動作は次の出力更新付近では行わないように注意する必要があります。連続読出し機能をイネーブルすると、デジタル・ワードは 1 回しか読み出すことができません。

タイミング図

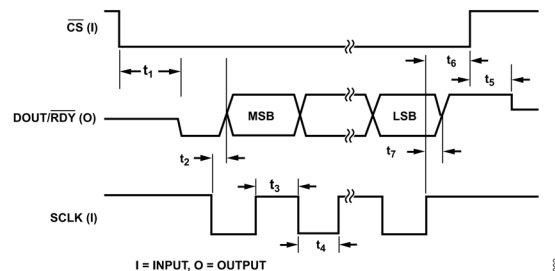


図 2. 読出しサイクルのタイミング図

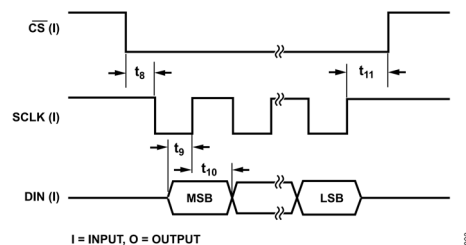


図 3. 書き込みサイクルのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

Parameter	Rating
AVDD to AVSS	-0.3V to +6.5V
AVDD to DGND	-0.3V to +6.5V
IOVDD to DGND	-0.3V to +6.5V
IOVDD to AVSS	-0.3V to +7.5V
AVSS to DGND	-3.25V to +0.3V
Voltage Inputs (VINx) Voltage to AVSS	-65V to +65V
Reference Input Voltage to AVSS	-0.3V to AVDD + 0.3V
Digital Input Voltage to DGND	-0.3V to IOVDD + 0.3V
Digital Output Voltage to DGND	-0.3V to IOVDD + 0.3V
Digital Input Current	10mA
Temperature	
Operating Range	-40°C to +105°C
Storage Range	-65°C to +150°C
Maximum Junction	150°C
Lead Soldering, Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。このことは、特に、最大消費電力が高いアプリケーションに当てはまります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲環境の間の熱抵抗です。

θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-40-15 ¹	34 ²	2.63 ³	°C/W

¹ 4 層 JEDEC PCB。

² 熱抵抗のシミュレーション値は、16 のサーマル・ビアを持つ JEDEC 2S2P 熱試験 PCB に基づきます。 θ_{JA} は、表面実装パッケージ用 JEDEC 試験 PCB にハンダ付けされたデバイスに対して仕様規定されています。詳細については、JEDEC JESD51 を参照してください。

³ 冷却板を PCB の底面に取り付け、露出パッドで測定しています。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

AD4113 の ESD 定格

表 5. AD4113、40 ピン LFCSP

ESD Model	Withstand Threshold (v)	Class
HBM	±1000	1C
CDM	±1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

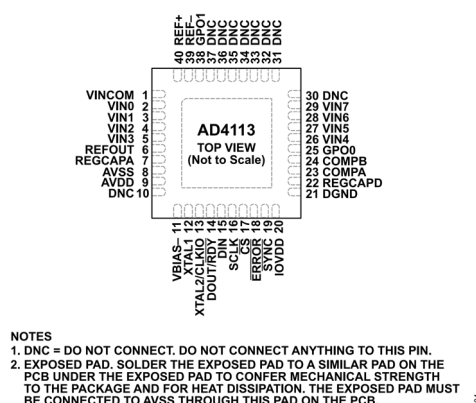


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号 ¹	タイプ ²	説明
1	VINCOM	AI	電圧入力コモン。シングルエンド構成では、電圧入力はこのピンを基準とします。このピンはアナログ・グラウンドに接続します。
2	VIN0	AI	電圧入力 0。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN1 との入力ペアの正入力。
3	VIN1	AI	電圧入力 1。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN0 との入力ペアの負入力。
4	VIN2	AI	電圧入力 2。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN3 との入力ペアの正入力。
5	VIN3	AI	電圧入力 3。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN2 との入力ペアの負入力。
6	REFOUT	AO	内部リファレンスのバッファ付き出力。出力は、AVSS を基準として 2.5V です。このピンは、0.1μF のコンデンサを用いて AVSS とデカップリングします。
7	REGCAPA	AO	アナログ低ドロップアウト（LDO）レギュレータの出力。このピンは、1μF のコンデンサを用いて AVSS とデカップリングします。
8	AVSS	P	負のアナログ電源。この電源電圧は-2.75V~0V を範囲とし、公称 0V に設定されています。
9	AVDD	P	アナログ電源電圧。この電圧の範囲は、AVSS を基準として 4.5V~5.5V です。
10, 30 to 37	DNC	N/A	接続不可。このピンには何も接続しないでください。
11	VBIAS-	AI	負の電圧バイアス。このピンは、電圧入力アナログ・フロント・エンドのバイアス電圧を設定します。このピンは AVSS に接続します。
12	XTAL1	AI	水晶振動子用の入力 1
13	XTAL2/CLKIO	AI/DI	水晶振動子用入力 2（XTAL2）／クロック入力または出力（CLKIO）。詳細については、 ADC モード・レジスタ の CLOCKSEL ビットの設定を参照してください。
14	DOUT/RDY	DO	シリアル・データ出力（DOUT）／データ・レディ出力（RDY）。このピンには 2 つの機能があります。このピンは、ADC の出力シフト・レジスタにアクセスするためのシリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵するデータ・レジスタまたは制御レジスタのいずれのレジスタからのデータも格納できます。データ・ワード／コントロール・ワード情報は SCLK の立下がりエッジで DOUT/RDY ピンに与えられ、SCLK の立上がりエッジで有効となります。CS がハイの場合、DOUT/RDY 出力はトライステートとなります。CS がロー・レベルで、レジスタが読み出し中でない場合、DOUT/RDY はデータ・レディ・ピンとして機能し、ロー・レベルに下がることで変換完了を示します。変換後にデータが読み出されないと、次の更新が行われる前にこのピンはハイになります。DOUT/RDY の立下がりエッジはプロセッサに対する割込みとして使用でき、有効なデータが準備できていることを示します。
15	DIN	DI	ADC の入力シフト・レジスタへのシリアル・データ入力。このシフト・レジスタのデータは、ADC 内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス（RA）ビットにより指定されます。 データは、SCLK の立上がりエッジでクロック・インされます。
16	SCLK	DI	シリアル・クロック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。SCLK はシュミット・トリガ入力を備えているため、このインターフェースは光絶縁アプリケーションに適しています。
17	CS	DI	チップ・セレクト入力。このピンはアクティブ・ローのロジック入力で、ADC の選択に使用します。CS は、シリアル・バスに複数のデバイスが接続されているシステムで ADC を選択するために使います。CS をロー・レベルにハードワイヤ接続することにより、デバイスとのインターフェースに SCLK、DIN、DOUT/RDY を使った 3 線式モードで ADC を動作させることができます。CS がハイの場合、DOUT/RDY 出力はトライステートとなります。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号 ¹	タイプ ²	説明
18	ERROR	DI/O	エラー入出力または汎用出力。このピンは、以下の 3 つのモードのいずれかで使うことができます。 アクティブ・ローのエラー入力モード。このモードでは、ステータス・レジスタの ADC_ERROR ビットがセットされます。 アクティブ・ローのオープンドレイン・エラー出力モード。ステータス・レジスタのエラー・ビットは ERROR ピンに割り当てられます。複数のデバイスのどのエラーも検知できるように、それらのデバイスの ERROR ピンを、共通のプルアップ抵抗に接続することができます。 汎用出力モード。このピンのステータスは、GPIOCON レジスタの ERR_DAT ビットによって制御されます。このピンは、IOVDD と DGND の間の基準になります。
19	SYNC	DI	同期入力。複数の AD4113 を使うときに、デジタル・フィルタとアナログ変調器の同期を可能にします。
20	IOVDD	P	デジタル入出力電源電圧。IOVDD の電圧範囲は、2V～5.5V（公称値）です。IOVDD は AVDD とは無関係です。例えば、AVDD が 5V の状態でも、IOVDD は 3.3V で動作します。その逆も可能です。AVSS を -2.5V に設定した場合、IOVDD の電圧は 3.6V を超えてはなりません。
21	DGND	P	デジタル・グラウンド。
22	REGCAPD	AO	デジタル LDO レギュレータ出力。このピンはデカップリング専用です。このピンは、1μF のコンデンサを用いて DGND とデカップリングします。
23	COMPA	AO	VIN0、VIN2、VIN4、VIN6 の補償ピン。断線検出機能を使用する場合は、1kΩ の抵抗と 680pF のコンデンサを介して対象となる電圧入力ピンに接続します（詳細については、 断線検出 のセクションを参照）。
24	COMPB	AO	VIN1、VIN3、VIN5、VIN7 の補償ピン。断線検出機能を使用する場合は、1kΩ の抵抗と 680pF のコンデンサを介して対象となる電圧入力ピンに接続します（詳細については、 断線検出 のセクションを参照）。
25, 38	GPO0, GPO1	DO	汎用出力。このピンのロジック出力は、AVDD 電源と AVSS 電源を基準としています。
26	VIN4	AI	電圧入力 4。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN5 との入力ペアの正入力。
27	VIN5	AI	電圧入力 5。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN4 との入力ペアの負入力。
28	VIN6	AI	電圧入力 6。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN7 との入力ペアの正入力。
29	VIN7	AI	電圧入力 7。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN6 との入力ペアの負入力。
39	REF-	AI	リファレンス入力の負端子。REF- の範囲は AVSS～AVDD - 1V です。リファレンスは、セットアップ設定レジスタの REF_SELx ビットで選択できます。
40	REF+	AI	リファレンス入力の正端子。外部リファレンスを REF+ と REF- の間に加えることができます。REF+ の範囲は AVDD～AVSS + 1V です。リファレンスは、セットアップ設定レジスタの REF_SELx ビットで選択できます。
	EP	P	露出パッド。露出パッドは、パッケージの機械的強度と放熱効果を高めるため、露出パッドの下側の PCB 上の同様のパッドにハンダ付けします。露出パッドは、PCB 上のこのパッドを介して AVSS に接続する必要があります。

¹ このデータシートでは、2 つの機能を持つピンの記号は、そのいずれかのみを用いて該当する機能を説明していることにご注意ください。² AI はアナログ入力、AO はアナログ出力、P は電源、N/A は該当なし、DI はデジタル入力、DO はデジタル出力、DI/O は双方向デジタル入出力をそれぞれ意味します。

代表的な性能特性

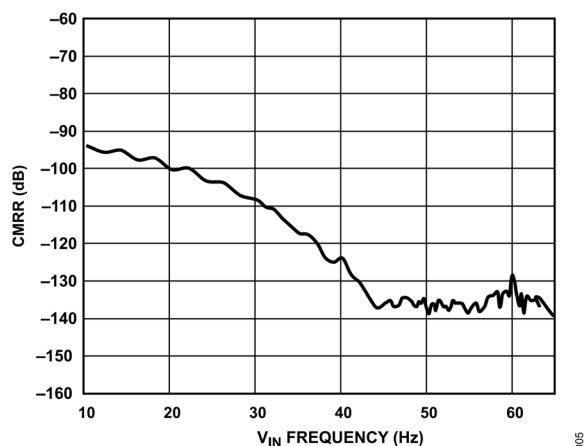


図 5. 同相モード除去比 (CMRR) と V_{IN} 周波数の関係
($V_{IN} = 0.1V$, 10Hz~70Hz、出力)

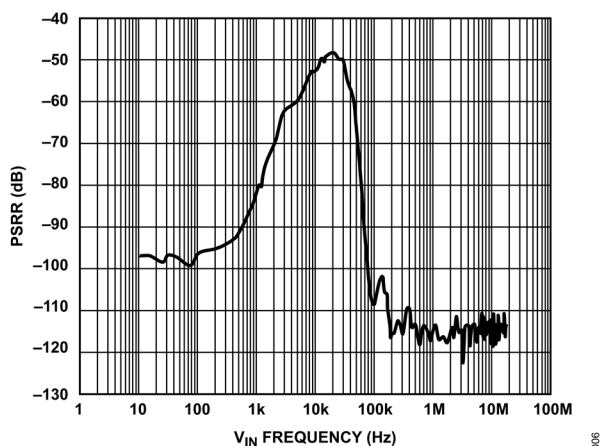


図 6. 電源電圧変動除去比 (PSRR) と V_{IN} 周波数の関係

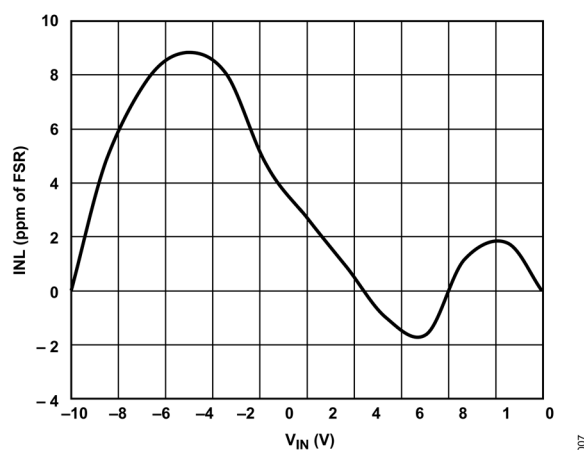


図 7. 積分非直線性 (INL) と V_{IN} の関係

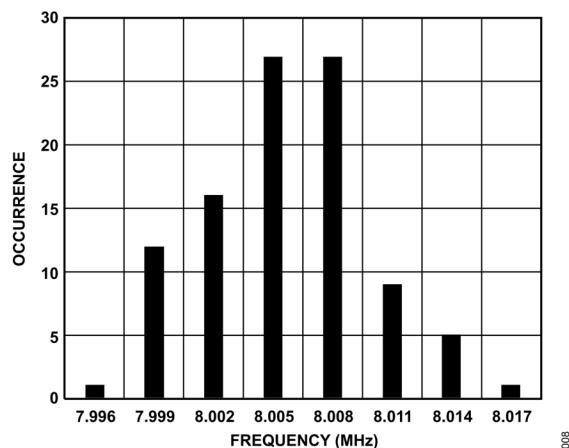


図 8. 内部発振器の周波数／精度分布ヒストグラム

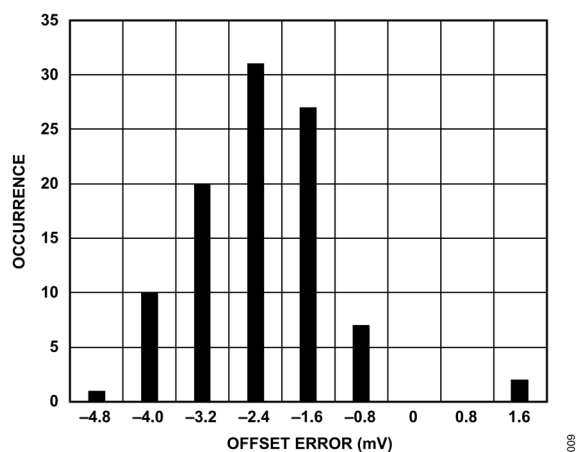


図 9. オフセット誤差分布ヒストグラム

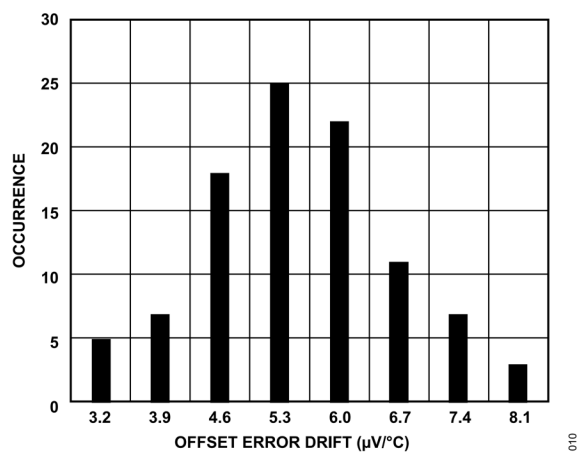


図 10. オフセット誤差ドリフト分布ヒストグラム

代表的な性能特性

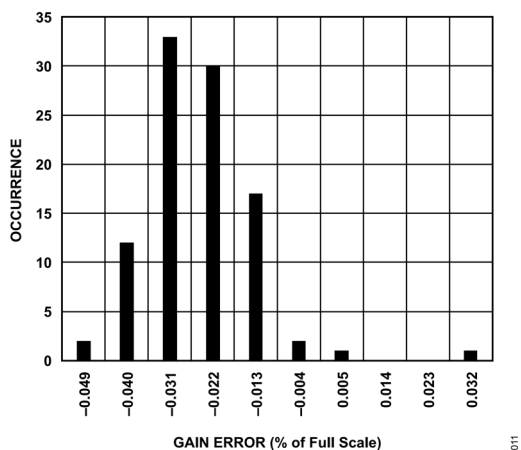


図 11. ゲイン誤差分布ヒストグラム

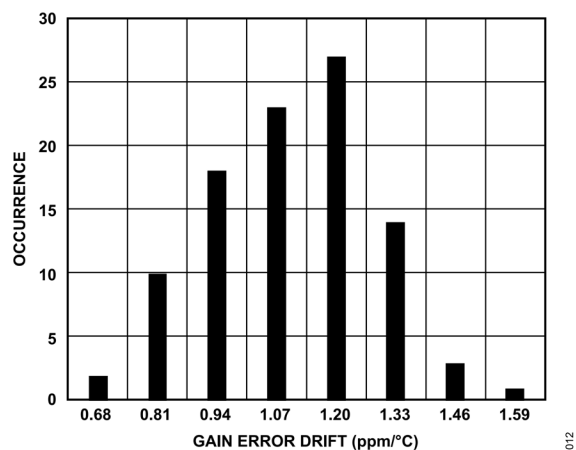


図 12. ゲイン誤差ドリフト分布ヒストグラム

ノイズ性能と分解能

各種 ODR に対する、AD4113 の実効値ノイズ、ピーク to ピーク・ノイズ、実効分解能、およびノイズ・フリー（ピーク to ピーク）分解能を表 7 および表 8 に示します。これらの値は代表値であり、2.5V の外部リファレンスを使用し、ADC が複数チャンネルで連続変換を実行している場合の測定値です。表 7

と表 8 は、0V の差動入力電圧、±10V の電圧入力範囲における値を示しています。ピーク to ピーク分解能は、ピーク to ピーク・ノイズを基に計算された値であることに注意してください。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

表 7. sinc5 + sinc1 フィルタを使用した場合の±10V 電圧入力の実効値ノイズおよび分解能と出力データ・レート（ODR）の関係

Default Output Data Rate (SPS), SING_CYC = 0 and Single-Channel Enabled	Output Data Rate (SPS per Channel), SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms) ²	Effective Resolution (Bits)	Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
125,000	24,845	40.25μs	125,000	140.36	16	926.38	14.40
62,500	20,725	48.25μs	62,500	124.42	16	821.17	14.57
31,250	15,564	64.25μs	31,250	99.14	16	654.32	14.90
25,000	13,841	72.25μs	25,000	89.57	16	591.16	15.05
15,625	10,390	96.25μs	15,625	72.94	16	481.40	15.34
10,390	10,390	96.25μs	15,625	71.01	16	468.67	15.38
4,994	4,994	200.25μs	5952.4	45.67	16	301.42	16
2,498	2,499	400.25μs	2717.4	32.42	16	213.97	16
1,000	1,000	1ms	1033.1	20.24	16	133.58	16
500	500	2ms	508.1	13.88	16	91.61	16
395.5	395.5	2.53ms	400.6	12.61	16	83.23	16
200	200	5ms	201.3	9.702	16	64.03	16
100	100	10ms	100.3	7.36	16	48.58	16
59.87	59.89	16.7ms	59.98	5.38	16	35.51	16
49.92	49.92	20.03ms	50	5.52	16	36.43	16
20	20	50ms	20.01	4.52	16	29.83	16
16.7	16.66	60.03ms	16.67	4.07	16	26.86	16
10	10	100ms	10	3.15	16	16.1	16
5	5	200ms	5	2.92	16	12.1	16
2.5	2.5	400ms	2.5	2.49	16	12	16

¹ セトリング時間は最も近いマイクロ秒に丸められ、これが出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 ÷ セトリング時間。

² データ・レートがチャンネルあたり 395.5SPS 以上の場合は 1000 サンプル、データ・レートがチャンネルあたり 200SPS 以下の場合は 100 サンプルに基づいています。

表 8. sinc3 フィルタを使用した場合の±10V 電圧入力の実効値ノイズおよび分解能と ODR の関係

Default Output Data Rate (SPS), SING_CYC = 0 and Single-Channel Enabled	Output Data Rate (SPS per Channel), SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms) ²	Effective Resolution (Bits)	Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
125,000	41,237	24.3μs	125,000	1,008	14.28	6,652	11.55
62,500	20,725	48.3μs	62,500	176.41	16	1,164	14.07
31,250	10,389.6	96.3μs	31,250	82.49	16	544.43	15.16
25,000	8,316.0	120.3μs	25,000	73.71	16	486.49	15.33
15,625	5,201.6	192.3μs	15,625	57.99	16	382.73	15.67
10,416.7	3,469.2	288.3μs	10,417	46.93	16	309.74	15.98
5,000	1,666.0	600.3μs	5,000	31.45	16	207.57	16
2,500	833.2	1.2ms	2,500	22.83	16	150.68	16
1,000	333.33	3ms	1,000	14.35	16	94.71	16
500	166.67	6ms	500.0	10.82	16	71.41	16
400.6	133.51	7.49ms	400.6	9.66	16	63.76	16
200	66.67	15ms	200.0	7.30	16	48.18	16
100	33.33	30ms	100.0	5.81	16	38.35	16
59.98	19.99	50.02ms	59.98	4.70	16	31.02	16

ノイズ性能と分解能

表 8. sinc3 フィルタを使用した場合の±10V 電圧入力の実効値ノイズおよび分解能と ODR の関係（続き）

Default Output Data Rate (SPS), SING_CYC = 0 and Single-Channel Enabled	Output Data Rate (SPS per Channel), SING_CYC = 1 or Multiple Channels Enabled	Settling Time ¹	Notch Frequency (Hz)	Noise (μV rms) ²	Effective Resolution (Bits)	Noise (μV p-p)	Peak-to-Peak Resolution (Bits)
50	16.67	60ms	50.00	4.48	16	29.57	16
20	6.67	150ms	20.00	3.30	16	21.78	16
16.67	5.56	180ms	16.67	2.78	16	18.35	16
10	3.33	300ms	10.00	2.95	16	14.9	16
5	1.67	600ms	5.00	2.63	16	11.9	16
2.5	0.83	1.2s	2.50	2.43	16	11.9	16

¹ セトリング時間は最も近いマイクロ秒に丸められ、これが出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = $1 \div \text{セトリング時間}$ 。

² データ・レートがチャンネルあたり 381SPS 以上の場合は 1000 サンプル、データ・レートがチャンネルあたり 200.3SPS 以下の場合は 100 サンプルに基づいています。

動作原理

AD4113 は、多様な設定が可能な高速セトリングおよび高分解能のマルチプレクス型 ADC であり、次の機能を備えています。

- ▶ 4つの完全差動入力、または8つのシングルエンド入力。
- ▶ 高精度の整合抵抗を内蔵した高インピーダンス分圧器。
- ▶ 非常に小さいデバイス・フットプリントに実装された独自の *iPassives*® 技術。
- ▶ チャンネルごとに設定可能。チャンネルごとに最大 8 つの異なるセットアップを定義できます。個別のセットアップをチャンネルごとに割り当てることができます。各セットアップでは、バッファのイネーブル/ディスエーブル、ゲインおよびオフセット補正、フィルタ・タイプ、ODR、リファレンス源の選択が設定できます。
- ▶ 詳細な設定が可能なデジタル・フィルタにより、シングル・チャンネルで最大 125kSPS の変換レートと 24.845kSPS のスイッチングが可能。

AD4113 は高精度の 2.5V バンドギャップ・リファレンスを内蔵しています。このリファレンスを ADC 変換に使用するように選択できるので、外付けの部品数を減らせます。イネーブルすると、内部リファレンスが REFOUT ピンに出力されます。この内部リファレンスは外部回路用の低ノイズ・バイアス電圧として使用することが可能で、0.1μF デカップリング・コンデンサに接続する必要があります。

AD4113 は、アナログ回路とデジタル回路の両方に個別のリニア・レギュレータ・ブロックを内蔵しています。アナログ LDO レギュレータは、AVDD 電源を 1.8V に調整して ADC コアに供給します。

デジタル IOVDD 電源用のリニア・レギュレータも同様の機能を実行し、IOVDD ピンに印加された入力電圧を 1.8V に安定化して内部のデジタル・フィルタに供給します。シリアル・インターフェース信号は、常にこのピンの IOVDD 電源で動作します。つまり、IOVDD ピンに 3.3V が印加されている場合、インターフェース・ロジックの入出力は、この電圧レベルで動作します。

AD4113 は、プログラマブル・ロジック・コントローラ (PLC) や分散制御システム (DCS) モジュールなど、多くのファクトリ・オートメーションやプロセス制御アプリケーション向けに設計されており、全体的なシステム・コストと設計負担を軽減し、高い精度を維持します。AD4113 は以下に示すシステム上の利点を備えています。

- ▶ 5V の単電源
- ▶ 最低 1MΩ の入力インピーダンスを確保
- ▶ オーバーレンジ電圧 > ±10V
- ▶ キャリブレーション・コストの削減

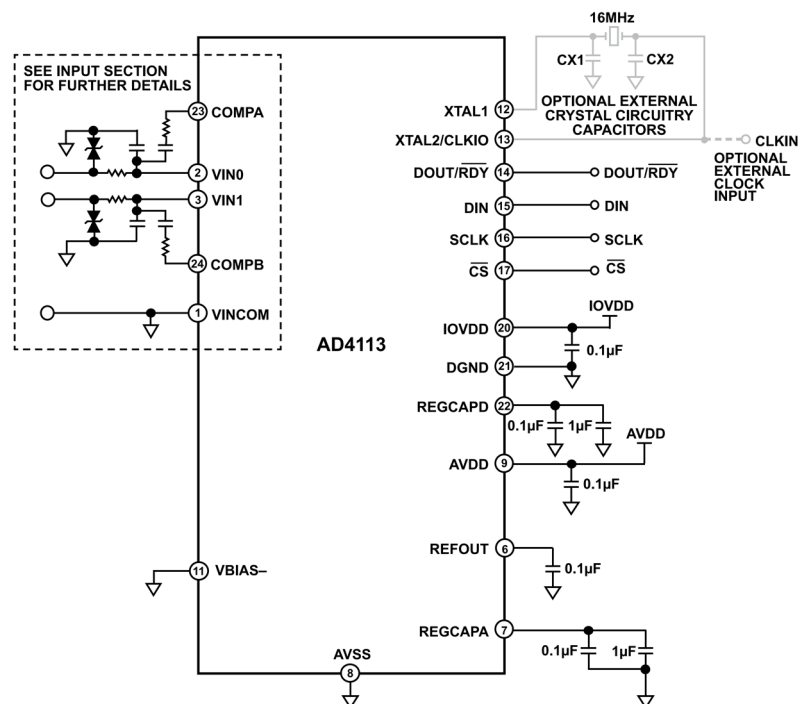


図 13. 代表的な接続図

動作原理

電源

AD4113 には、AVDD と IOVDD の 2 本の電源ピンがあります。AD4113 の電源シーケンスには特定の条件はありません。すべての電源が安定してから、デバイスをリセットする必要があります。デバイスをリセットする方法の詳細については、[AD4113 のリセット](#)のセクションを参照してください。

AVDD は内蔵の 1.8V アナログ LDO レギュレータに電力を供給し、このレギュレータは ADC コアに電力を供給します。AVDD はクロスポイント・マルチプレクサと内部入力バッファにも電力を供給します。AVDD は AVSS を基準とし、 $AVDD - AVSS = 5V$ です。AVDD および AVSS は、5V の単電源または $\pm 2.5V$ の分離電源が可能です。分離電源で動作させるときは、絶対最大定格に注意してください（[絶対最大定格](#)のセクションを参照）。

IOVDD は内部の 1.8V デジタル LDO レギュレータに電力を供給し、LDO レギュレータは ADC のデジタル・ロジックに電力を供給します。IOVDD により、ADC のシリアル・ペリフェラル・インターフェース（SPI）の電圧レベルが設定されます。IOVDD は DGND を基準とし、 $IOVDD - DGND$ の範囲は 2V（最小値）～ 5.5V（最大値）が可能です。

単電源動作（AVSS = DGND）

AVDD に単電源を接続して AD4113 を駆動する場合、電源は 5V にする必要があります。この設定では、AVSS と DGND を互いに短絡して 1 つのグラウンド・プレーンに接続します。

このユニポーラ入力構成では、IOVDD の範囲は 2V～5.5V です。

デジタル・コミュニケーション

AD4113 は、QSPI™、MICROWIRE®、および DSP と互換性のある 3 線式または 4 線式の SPI インターフェースを備えています。このインターフェースは、SPI モード 3 で動作し、 $\overline{CS}$ をロー・レベルに接続した状態で動作させることができます。SPI モード 3 では、SCLK はアイドル・ハイになり、SCLK の立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。すなわち、データは立下がりの駆動エッジに同期して出力され、立上がりのサンプル・エッジに同期して入力されます。

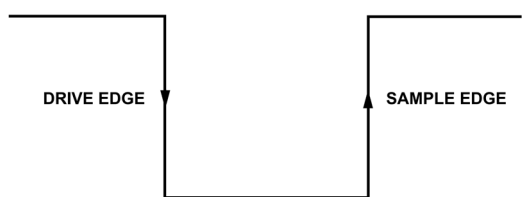


図 14. SPI モード 3 の SCLK のエッジ

ADC のレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC 内のレジスタ・マップ全体へのアクセスを制御しています。このレジスタは 8 ビットの書き込み専用レジスタです。パワーアップ時またはリセット後、デジタル・インターフェースはデフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、すべての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタに書き込まれたデータにより、アクセス先のレジスタと、次の動作が書き込みと読出しのどちらであるかが決まります。RA ビット（レジスタ 0x00 のビット [5:0]）により、どのレジスタに対して読出しまたは書き込みが実行されるかが決まります。

選択されたレジスタの読出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。

インターフェースの同期が失われた場合、DIN をハイ・レベルにして少なくとも 64 シリアル・クロック・サイクルの書き込み動作を実行すると、レジスタの内容を含むデバイス全体がリセットされ、ADC がデフォルト状態に戻ります。代わりに、 $\overline{CS}$ をデジタル・インターフェースと共に使用し、 $\overline{CS}$ をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態にリセットされ、実行中のすべての動作がアボートされます。

図 15 および図 16 には、レジスタへの書き込み操作とレジスタからの読出し操作が示されています。まず、8 ビット・コマンドをコミュニケーション・レジスタに書き込み、続いてアドレス指定されたレジスタのデータを書き込みます。

このデバイスが正常に通信していることを確認するには、ID レジスタを読み出すことを推奨します。ID レジスタは読出し専用のレジスタで、AD4113 の値 0x39DX が格納されています。コミュニケーション・レジスタと ID レジスタの詳細については、[表 9](#) と [表 10](#) を参照してください。

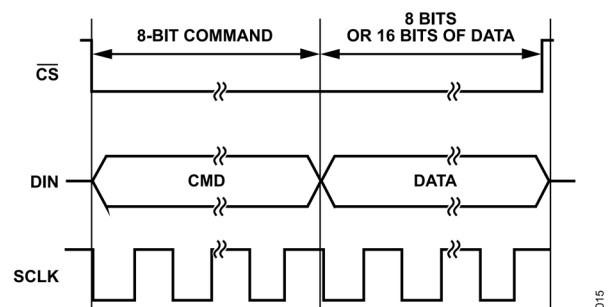


図 15. レジスタへの書き込み（レジスタ・アドレスを含む 8 ビット・コマンドを送信してから、8 ビットまたは 16 ビットのデータを書き込む。データ長は選択されたレジスタによって異なる）

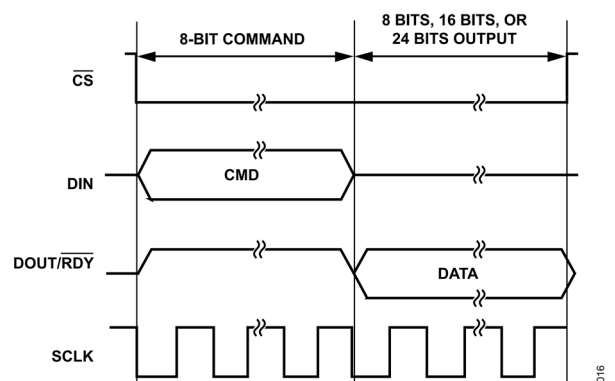


図 16. レジスタからの読出し（レジスタ・アドレスを含む 8 ビット・コマンドを送信してから、8 ビット、16 ビット、または 24 ビットのデータを読み出す。DOUT のデータ長は選択されたレジスタによって異なる）

動作原理

AD4113 のリセット

パワーアップ・サイクル後に電源が安定したら、デバイスをリセットする必要があります。インターフェースの同期が失われた場合も、デバイスをリセットする必要があります。DIN がハイ・レベルの状態、少なくとも 64 シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバ

イスのすべての設定がリセットされ、ADC はデフォルト状態に戻ります。あるいは、 $\overline{\text{CS}}$ をデジタル・インターフェースと共に使用し、 $\overline{\text{CS}}$ をハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態に設定され、すべてのシリアル・インターフェース動作が停止します。

表 9. コミュニケーション・レジスタの詳細

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x00	COMMS	[7:0]	WEN	R/W				RA			0x00	W

表 10. ID レジスタの詳細

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x07	ID	[15:8]					ID[15:8]				0x39DX ¹	R
		[7:0]					ID[7:0]					

¹ X はドント・ケアを意味します。

設定の概要

パワーオンまたはリセット後の AD4113 のデフォルト設定は、次のとおりです。

- ▶ チャンネル設定。チャンネル 0 がイネーブルされ、VIN0 と VIN1 のペアが入力として選択されています。セットアップ 0 が選択されます。
- ▶ セットアップ設定。アナログ入力バッファとリファレンス入力バッファはディスエーブルされます。REF±ピンはリファレンス源として選択されています。この設定では、VINx 入力に対して入力バッファをイネーブルする必要があるため、デフォルトのチャンネルは適切に動作しません。
- ▶ フィルタ設定。sinc5 + sinc1 フィルタが選択されており、125kSPS の最大出力データ・レートが選択されています。
- ▶ ADC モード。連続変換モードと内部発振器がイネーブルされています。内部リファレンスはディスエーブルされています。
- ▶ インターフェース・モード。CRC、データとステータスの出力がディスエーブルされています。

以下に、レジスタ設定オプションの一部を示します。すべてのレジスタの情報については、[レジスタの詳細](#)のセクションを参照してください。

ADC の設定を変更するときの推奨フローの概要を [図 17](#) に示します。このフローは次の 3 つのブロックに分かれています。

- ▶ チャンネル設定 ([図 17](#) のボックス A を参照)。
- ▶ セットアップ設定 ([図 17](#) のボックス B を参照)。
- ▶ ADC モードとインターフェース・モードの設定 ([図 17](#) のボックス C を参照)。

チャンネル設定

AD4113 は 16 の独立したチャンネルと 8 つの独立したセットアップを備えています。あらゆるチャンネルで任意の入力ペアを選

択でき、また、あらゆるチャンネルで 8 つのセットアップのうちどれでも選択できるため、チャンネル設定に関する完全な柔軟性が与えられています。また、この柔軟性により各チャンネルで個別に専用のセットアップを適用できるため、差動入力およびシングルエンド入力を使用している場合、チャンネルごとに設定が可能です。

チャンネル・レジスタ

チャンネル・レジスタは、対応するチャンネルに使用する電圧入力を選択します。チャンネル・レジスタには、チャンネル・イネーブル/ディスエーブル・ビットや、このチャンネルで使用するセットアップ (8 個のセットアップのいずれか) を選択するためのセットアップ選択ビットも含まれています。

複数のチャンネルがイネーブルされている状態で AD4113 が動作している場合、チャンネル・シーケンサはチャンネル 0 からチャンネル 15 まで、イネーブルされているチャンネルを順番に処理します。あるチャンネルがディスエーブルされている場合、このチャンネルはシーケンサによってスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を [表 11](#) に示します。

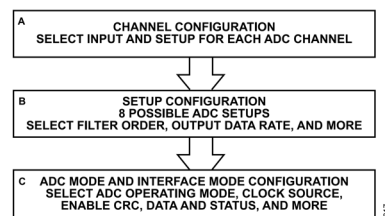


図 17. 推奨する ADC 設定のフロー

動作原理

表 11. チャンネル・レジスタ 0 の詳細

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x10	CH0	[15:8]	CH_EN0	SETUP_SELO			Reserved		INPUT[9:8]		0x8001	R/W
		[7:0]	INPUT[7:0]									

ADC セットアップ

AD4113 には 8 つの独立したセットアップがあります。各セットアップは以下の 4 つのレジスタから構成されています。

- ▶ セットアップ設定レジスタ
- ▶ フィルタ設定レジスタ
- ▶ ゲイン・レジスタ
- ▶ オフセット・レジスタ

例えば、セットアップ 0 は、セットアップ設定レジスタ 0、フィルタ設定レジスタ 0、ゲイン・レジスタ 0、およびオフセット・レジスタ 0 で構成されています。図 18 には、これらのレジスタのグループ分けが示されています。このセットアップは、チャンネル・レジスタ（チャンネル設定のセクションを参照）で選択することができます。これにより、各チャンネルを 8 つの独立したセットアップの 1 つに割り当てることが可能になります。表 12～表 15 にセットアップ 0 に関連する 4 つのレジスタを示します。セットアップ 1～セットアップ 7 も、これと同じ構成です。

セットアップ設定レジスタ

セットアップ設定レジスタにより、ADC の出力コーディングをバイポーラ・モードまたはユニポーラ・モードに選択できます。これらのレジスタを使用してリファレンス源を選択できます。リファレンス源として、REF+ピンと REF-ピンの間に接続され

たリファレンス、内部リファレンス、AVDD－AVSS 電圧の 3 つの選択肢があります。これらのレジスタを使用して、入力バッファとリファレンス電圧バッファをイネーブルまたはディスエーブルにすることもできます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC 変調器の出力で使用するデジタル・フィルタを選択します。フィルタの次数と出力データ・レートは、これらのレジスタのビットを設定して選択します。詳細についてはデジタル・フィルタのセクションを参照してください。

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 16 ビット・レジスタです。ゲイン・レジスタは読出し／書込みレジスタです。

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は 0x8000 です。オフセット・レジスタは 16 ビットの読出し／書込みレジスタです。

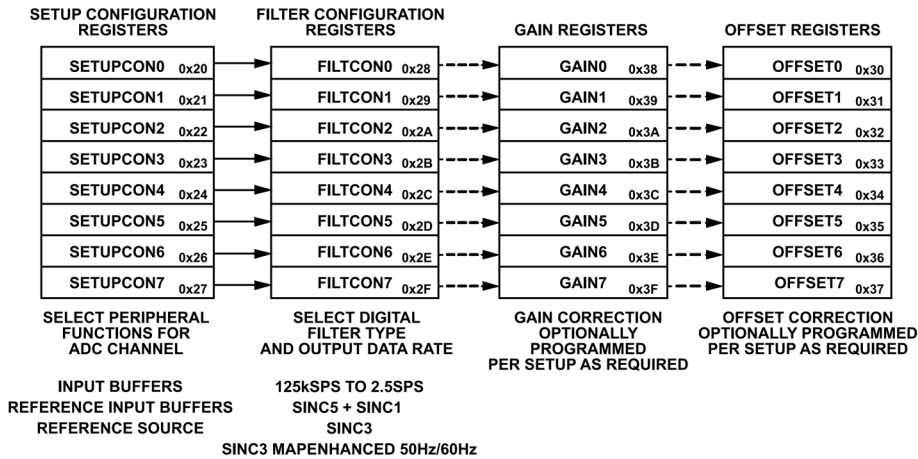


図 18. ADC セットアップ・レジスタのグループ分け

動作原理

表 12. セットアップ設定レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x20	SETUPCON0	[15:8]		Reserved		BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	R/W
		[7:0]	Reserved	Reserved		REF_SEL0		Reserved				

表 13. フィルタ設定レジスタ 0

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x28	FILTCON0	[15:8]	SINC3_MAP0		Reserved		ENHFILTE0		ENHFILT0		0x0500	R/W
		[7:0]	Reserved		ORDER0			ODR0				

表 14. ゲイン・レジスタ 0

Reg.	Name	Bits	Bits[15:0]	Reset	Access
0x38	GAIN0	[15:0]	GAIN0[15:0]	0x5XXX	R/W

表 15. オフセット・レジスタ 0

Reg.	Name	Bits	Bits[15:0]	Reset	Access
0x30	OFFSET0	[15:0]	OFFSET0[15:0]	0x8000	R/W

ADC モードとインターフェース・モードの設定

ADC モード・レジスタとインターフェース・モード・レジスタは、AD4113 によって使用されるコア・ペリフェラルと、デジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタは、主に ADC の変換モードを、連続変換モードまたはシングル変換モードに設定します。キャリブレーション・モードだけでなく、スタンバイ・モードやパワーダウン・モードも選択できます。更に、このレジスタには、クロック源の選択ビットと内部リファレンスのイネーブル・ビットが含まれています。リファレンス選択ビットはセットアップ

設定レジスタに含まれています（詳細については、[ADC セットアップ](#)のセクションを参照）。このレジスタの詳細を表 16 に示します。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタはデジタル・インターフェースの動作を設定します。このレジスタにより、データワード長、CRC イネーブル、データとステータスの読出し、および連続読出しモードを制御できます。このレジスタの詳細を表 17 に示します。詳細については、[デジタル・インターフェース](#)のセクションを参照してください。

表 16. ADC モード・レジスタの詳細

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x01	ADCMODE	[15:8]	REF_EN	Reserved	SING_CYC	Reserved		Delay			0x2000	R/W
		[7:0]	Reserved		Mode		CLOCKSEL	Reserved				

表 17. インターフェース・モード・レジスタの詳細

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x02	IFMODE	[15:8]		Reserved		ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	R/W
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved	CRC_EN	Reserved		WL16		

回路の説明

マルチプレクサ

このデバイスには VIN0～VIN7、および VINCOM の 9 個の電圧ピンがあります。これらのピンは、それぞれ内部のマルチプレクサに接続されています。マルチプレクサによって、これらのピンを入力ペアに設定できます。これらの入力のセットアップ方法の詳細については、[電圧入力](#)のセクションを参照してください。AD4113 は、最大 16 のアクティブ・チャンネルを持つことができます。複数のチャンネルがイネーブルされているとき、イネーブルされている最も小さい番号のチャンネルから、イ

ネーブルされている最も大きい番号のチャンネルまで自動的にシーケンス処理されます。マルチプレクサの出力は、内蔵された真のレール to レール・バッファの入力に接続されます。これらのバッファは、電源投入時にはデフォルトでディスエーブルされていますが、デバイスを正常に動作させるには、イネーブルさせる必要があります。簡略化した電圧入力回路を[図 19](#)に示します。

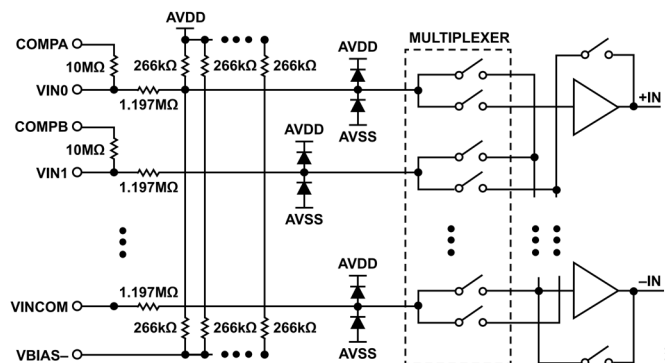


図 19. 簡略化した電圧入力回路

電圧入力

AD4113 は、8 つのシングルエンド入力または 4 つの完全差動入力を持つように設定できます。アナログ・フロント・エンドの分圧器は分圧比が 10 で、5V 単電源から $\pm 20V$ の入力範囲を可能にする高精度の整合抵抗で構成されています。

電圧入力チャンネルのセットアップ・レジスタの入力バッファをイネーブルしてください。

完全差動入力

アナログ・フロント・エンドの整合抵抗により、正常に動作させるには、電圧入力の差動入力を VIN0 と VIN1、VIN2 と VIN3、VIN4 と VIN5、VIN6 と VIN7 のペアで組み合わせる必要があります。

シングルエンド入力

最大 8 個の異なるシングルエンド電圧入力を測定することもできます。この場合、各電圧入力は VINCOM とペアになっていなければなりません。VINCOM を外部で AVSS に接続してください。

断線検出

断線検出機能は、外部センサーまたはソース信号がシステム入力から切断されたことを検出するシステム・レベルの診断機能です。AD4113 は、5V 単電源で動作しているときに $\pm 10V$ の電圧入力に対する断線検出を可能にする独自の機能を内蔵しています。既存の設計では、 $\pm 10V$ を超える電源が必要となります。この断線検出機能は、ユーザのソフトウェアでサポートされている必要があります。このセクションでは、断線検出用に AD4113

をセットアップする方法とそれに関連して必要となる計算について説明します。

断線検出をイネーブルするには、GPIO 設定レジスタのビット 12 (OW_EN) とビット 13 (OP_EN0_1) を 1 にセットします ([表 26](#) を参照)。インターフェース・モード・レジスタのビット 6 (DATA_STAT) もセットする必要があります ([表 23](#) を参照)。

断線検出を使用する場合は、測定ごとに電圧入力に 2 チャンネルを割り当てる必要があります。また、断線検出測定が正しく機能するように、電圧入力を特定のチャンネル・ペアに割り当てなければなりません。シングルエンド入力での断線検出測定の場合、使用すべきチャンネルの組み合わせは以下のとおりです。

- ▶ チャンネル 15 とチャンネル 0
- ▶ チャンネル 1 とチャンネル 2
- ▶ チャンネル 3 とチャンネル 4
- ▶ チャンネル 5 とチャンネル 6
- ▶ チャンネル 7 とチャンネル 8
- ▶ チャンネル 9 とチャンネル 10
- ▶ チャンネル 11 とチャンネル 12
- ▶ チャンネル 13 とチャンネル 14

差動入力での断線検出測定の場合、使用すべきチャンネルの組み合わせは以下のとおりです。

- ▶ チャンネル 1 とチャンネル 2
- ▶ チャンネル 5 とチャンネル 6
- ▶ チャンネル 9 とチャンネル 10
- ▶ チャンネル 13 とチャンネル 14

回路の説明

更に、差動入力の場合、正常に動作させるには入力を以下の差動ペアに設定する必要があります。

- ▶ VIN0 および VIN1
- ▶ VIN2 および VIN3
- ▶ VIN4 および VIN5
- ▶ VIN6 および VIN7

チャンネル・レジスタについての詳細は表 26 を参照してください。

断線検出機能を実行するには、AD4113 を正しく設定してから出力データをユーザ・ソフトウェアで処理しなければなりません。入力での断線は、入力に関連する 2 つのチャンネル間の絶対差を閾値と比較することによって検出され、推奨閾値は入力を基準として 300mV です。この閾値は、2.5V の電圧リファレンスを使用してバイポーラ構成で動作している場合、ADC の 10 進出力コードで約 393 (0x0189) です。ユニポーラ構成で動作している場合は、約 786 (0x0312) コードになります。ADC の出力コードを電圧に変換する方法の詳細については、[データ出力コーディング](#)のセクションを参照してください。差がこの閾値より大きい場合、ユーザ・ソフトウェアで断線をフラグする必要があります。断線検出の動作を、[例 1 - 断線検出 \(シングルエンド入力\)](#)と[例 2 - 断線検出 \(差動入力\)](#)のセクションに示します。

[例 1 - 断線検出 \(シングルエンド入力\)](#)と[例 2 - 断線検出 \(差動入力\)](#)のセクションに示す例では、以下のレジスタと設定が使用されています。

- ▶ IFMODE = 0x0040 : データとステータスを有効化。
- ▶ GPIOCON = 0x3800 : 断線検出機能を有効化。
- ▶ SETUPCON0 = 0x1300 : 入力バッファと外部リファレンス (2.5V) をイネーブルし、バイポーラ・モードを選択。
- ▶ その他のレジスタはすべてデフォルト値に設定。

例 1 - 断線検出 (シングルエンド入力)

この例では以下のように動作します。

- ▶ チャンネル 0 とチャンネル 15 = 0x8010 : シングルエンド入力 (VIN0 および VINCOM) とセットアップ 0 をイネーブル。
- ▶ VIN0 ピンをフロート状態のままにして、VINCOM ピンを GND に接続することでシングルエンドに構成。
- ▶ チャンネル 0 = 35,661 (2.2075V)。
- ▶ チャンネル 15 = 36,566 (2.8975V)。
- ▶ $|35,661 - 36,566| = 905$ (691mV) > 393 (300mV)。
- ▶ 断線がフラグされる。
- ▶ 1V 入力を VIN0 に接続し、VINCOM を GND に接続。
- ▶ チャンネル 0 = 34,083 (1.00315V)。
- ▶ チャンネル 15 = 34,073 (0.99564V)。
- ▶ $|34,083 - 34,073| = 10$ (7.63mV) < 393 (300mV)。
- ▶ 断線はフラグされない。

例 2 - 断線検出 (差動入力)

この例では以下のように動作します。

- ▶ チャンネル 1 とチャンネル 2 = 0x8001 : 差動入力 (VIN0 および VIN1) とセットアップ 0 をイネーブル。
- ▶ チャンネル 0 は差動入力には使用不可。これを 0x0000 に設定して、チャンネル 0 をディスエーブル。
- ▶ VIN0 ピンと VIN1 ピンはフロート状態。このピンには何も接続しない。
- ▶ チャンネル 1 = 33,668 (687mV)。
- ▶ チャンネル 2 = 31,868 (-687mV)。
- ▶ $|33,668 - 31,868| = 1,800$ (1.3734V) > 393 (300mV)。
- ▶ 断線がフラグされる。
- ▶ VIN0 および VIN1 入力ピンに 1V の差動入力を接続。
- ▶ チャンネル 1 = 34,081 (1.0017V)。
- ▶ チャンネル 2 = 34,045 (0.9750V)。
- ▶ $|34,081 - 34,045| = 36$ (27.47mV) < 393 (300mV)。
- ▶ 断線はフラグされない。

断線検出補償ピン

断線検出を正しく機能させるには、各補償ピンと電圧入力ピンの間にコンデンサと抵抗を直列に接続します。推奨の抵抗値は 1kΩ、コンデンサは 680pF です。COMP A と COMP B の 2 本の補償ピンがあります。COMP A は、抵抗とコンデンサを介して VIN0、VIN2、VIN4、VIN6 に接続する必要があります。COMP B は、VIN1、VIN3、VIN5、VIN7 に接続する必要があります。VINCOM に RC 接続は不要です (表 6 と図 13 を参照)。

入力ピンの絶対電圧

AD4113 の電圧入力ピンは、精度が維持できるよう仕様規定された電圧が $\pm 10V$ であり、これは特に任意の 2 つの電圧入力ピン間の差動電圧に対して適用されます。

電圧入力ピンには印加可能な絶対電圧に関する別の仕様があり、アナログ・フロント・エンドにおける独自設計の分圧器回路によって、AD4113 での過電圧に対する堅牢性が確保されています。つまり、許容される過電圧は AVDD 電源によって異なります。図 20 は、AVDD = 5V で実現できる堅牢性の様々な度合いを示しています。図 20 は、電圧ピンでの過電圧がデバイス全体の精度にどの程度影響するかを視覚的に表現したものです。

図 20 の「guaranteed accuracy」の範囲は、電圧入力ピンに印加して精度を確保できる電圧範囲を示します。

「no loss of accuracy」の範囲は、他のチャンネルの精度を低下させることなく印加できる電圧レベルを示します。

回路の説明

「no damage to device」の範囲は、絶対最大電圧を超えずに電圧入力ピンに印加できる許容可能な正および負の電圧を示します。他のチャンネルの性能は低下しますが、過電圧が除去されると性能は回復します。電圧範囲は、 $\pm 65V$ の絶対最大定格として仕様規定されています。

デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

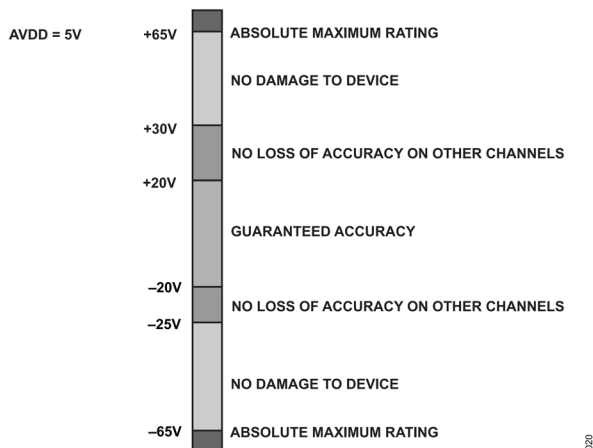


図 20. 入力ピンの絶対電圧、AVDD = 5V

データ出力コーディング

ADC がユニポラ動作用に設定されている場合、出力コードは自然（ストレート）バイナリになり、ゼロ差動入力電圧がコード 00 ... 00、ミッドスケール電圧がコード 100 ... 000、フルスケール入力電圧がコード 111 ... 111 になります。入力電圧の出力コードは次のように示されます。

$$\text{Code} = (2^N \times V_{IN} \times 0.1) / V_{REF}$$

ADC がバイポーラ動作用に設定されている場合、出力コードはオフセット・バイナリになり、負のフルスケール電圧がコード 000 ... 000、ゼロ差動入力電圧がコード 100 ... 000、正のフルスケール入力電圧がコード 111 ... 111 になります。アナログ入力電圧の出力コードは次のように示されます。

$$\text{Code} = 2^{N-1} \times ((V_{IN} \times 0.1 / V_{REF}) + 1)$$

ここで、

$N = 16$ 。

V_{IN} は入力電圧。

V_{REF} はリファレンス電圧。

AD4113 のリファレンス

AD4113 は、AVDD - AVSS を使用して REF+ および REF- ピンに外部リファレンス電圧を供給するか、低ノイズ、および低ドリフトの 2.5V 内部リファレンスを使用するかのどちらかを選択できるようになっています。セットアップ設定レジスタの REF_SELx ビット（ビット[5:4]）を適切に設定することにより、アナログ入力で使用するリファレンス源を選択します。セットアップ設定 0 レジスタの構成を表 12 に示します。AD4113 はパワーアップ時にデフォルトで外部リファレンスを使います。

内部リファレンス

AD4113 は低ノイズ、低ドリフトの電圧リファレンスを内蔵しています。この内部リファレンスは 2.5V の出力を備えています。ADC モード・レジスタの REF_EN ビットがセットされた後、内部リファレンスが REFOUT ピンに出力されます。このピンは AVSS に 0.1μF のコンデンサでデカップリングします。AD4113 の内部リファレンスは、パワーアップ時にデフォルトでディセーブルされています。

外部リファレンス

AD4113 は、完全差動のリファレンス電圧入力を用意しており、REF+ピンと REF-ピンを通じて印加します。ADR4525 などの標準的な低ノイズ、低ドリフトの電圧リファレンスを使用することを推奨します。外部リファレンスは、図 21 に示すように AD4113 のリファレンス・ピンに接続します。外部リファレンスの出力は AVSS にデカップリングします。図 21 に示すように、ADR4525 の出力は、安定化のために 0.1μF のコンデンサを使ってこの出力のところでデカップリングします。また、この出力には 4.7μF のコンデンサが接続されていますが、このコンデンサは ADC によるダイナミックな電荷変動に対する電荷供給源として機能します。続いて、0.1μF のデカップリング・コンデンサが REF+入りに接続されています。このコンデンサは、REF+ピンと REF-ピンのできるだけ近くに配置してください。

REF-ピンは、AVSS の電位に直接接続してください。内部リファレンスの代わりに外部リファレンスを使って AD4113 に供給するときは、REFOUT ピンの出力に注意する必要があります。内部リファレンスは、ADC モード・レジスタの REF_EN ビット（ビット 15）で制御されます（表 16 を参照）。内部リファレンスがアプリケーションの他の場所で使用されていない場合は、REF_EN ビットがディセーブルになっていることを確認してください。

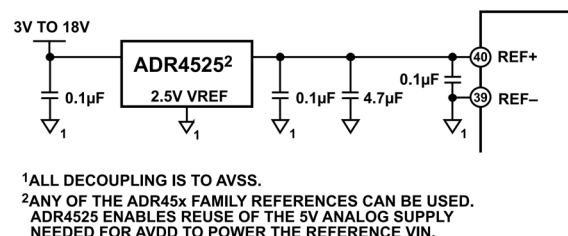


図 21. AD4113 の REF±ピンに ADR4525 を接続

バッファ付きリファレンス入力

AD4113 は、どちらの ADC リファレンス入力にも、真のレール to レールの高精度ユニティ・ゲイン・バッファを備えています。このバッファによって高い入力インピーダンスが実現され、高い出力インピーダンスを持つ信号源をリファレンス入力に直接接続できます。内蔵リファレンス・バッファは、内部リファレンス・スイッチド・キャパシタ・サンプリング・ネットワークを完全に駆動できるため、リファレンス回路の条件を簡略化できます。各リファレンス入力バッファ・アンプは、完全にチョッピング方式で動作しています。これは、オフセット誤差ドリフトと 1/f ノイズを最小限に抑えるためです。ADR4525 などのリファレンスを使用する場合、内蔵のリファレンス・バッファは必要ありません。ADR4525 などの外部リファレンスは、適切にデカップリングすればリファレンス入力を直接駆動できるためです。

回路の説明

クロック源

AD4113 は公称 8MHz の MCLK を使用します。AD4113 は、次の 3 つのソースのいずれかからサンプリング・クロックを得ることができます。

- ▶ 内部発振器。
- ▶ 外部水晶発振器（8MHz クロックを設定するように内部で自動的に分周される、16MHz の水晶発振器を使用）。
- ▶ 外部クロック源。

このデータシートに記載されている出力データ・レートはすべて、8MHz の MCLK レートを基準にしています。例えば外部クロック源などでこれより低いクロック周波数を使う場合は、データシートに記載されている出力データ・レートと比例関係にある周波数を持つクロック源を使ってください。指定された出力データ・レートを実現し、特に 50Hz と 60Hz の影響を除去するには、8MHz のクロックを使用してください。MCLK 源は、ADC モード・レジスタの CLOCKSEL ビット（ビット[3:2]）を設定して選択します（表 16 参照）。パワーアップおよびリセット時のデフォルト動作では、AD4113 は内部発振器で動作します。低い出力データ・レートの場合、SINC3_MAPx ビットを使って、出力データ・レートとフィルタ・ノッチを微調整することができます。

内部発振器

内部発振器は 16MHz で動作し、変調器用に内部で 8MHz に分周され、ADC の MCLK として使用できます。AD4113 のデフォルトのクロック源は内部発振器で、その精度は-2.5%~+2.5%に仕様規定されています。

オプションで、この内部クロック発振器の出力を XTAL2/CLKIO ピンに出力することができます。クロック出力は、IOVDD のロジック・レベルで動作します。このオプションは、出力ドライバによって生じる外乱により、AD4113 の DC 特性に影響を与える可能性があります。DC 性能に与える影響の程度は IOVDD 電源に依存し、IOVDD 電圧が高いほどドライバのロジック出力の振幅は大きくなり、性能に与える影響が大きくなります。高い IOVDD レベルで IOSTRENGTH ビットをセットした場合、影響は更に大きくなります（詳細については、表 23 を参照）。

外部水晶振動子

更に精度が高くジッタの小さなクロック源が必要な場合、AD4113 では外部水晶振動子を使って MCLK を生成できます。水晶振動子は XTAL1 ピンと XTAL2/CLKIO ピンに接続します。推奨される水晶振動子は FA-20H です。これはエプソントヨコム製の 16MHz、10ppm、9pF の水晶振動子で、表面実装パッケージ

が採用されています。図 22 に示すように、水晶発振器と XTAL1 ピンおよび XTAL2/CLKIO ピンの間に 2 つのコンデンサ（CX1 と CX2）を取り付けます。これらのコンデンサにより回路の調整が可能です。これらのコンデンサは DGND ピンに接続します。これらのコンデンサの容量値は、水晶振動子を XTAL1 ピンおよび XTAL2/CLKIO ピンに接続しているパターンの長さ、と容量に依存します。したがって、これらのコンデンサの値は、PCB レイアウトおよび採用した水晶振動子によって異なります。

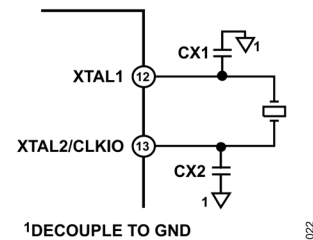


図 22. 外付け水晶振動子の接続方法

SCLK 周波数、IOVDD 電圧、水晶発振回路のレイアウト、および使用する水晶振動子によっては、外部水晶発振回路は SCLK エッジの影響を受けやすくなることがあります。水晶振動子の起動時、SCLK エッジによって引き起こされる外乱によって水晶振動子にダブル・エッジが入力される可能性があります。その結果、水晶振動子の出力電圧が高くなり、SCLK エッジからの干渉がダブル・クロッキングを引き起こさないようになるまでは、有効ではない変換が行われます。起動後、SCLK を与える前に、水晶発振回路の出力レベルが十分高い値になるようにしておけば、このダブル・クロッキングを避けることができます。

水晶発振器回路の性質により、最終的な PCB レイアウトと水晶発振器を使用して、要求される条件下で回路の実証テストを行って、正常に動作することを確認することをお勧めします。

外部クロック

AD4113 は、外部から供給されるクロックを使うこともできます。このような構成を必要とするシステムの場合、外部クロックを XTAL2/CLKIO ピンに配線してください。この構成では、XTAL2/CLKIO ピンは外部からのクロックを受け入れて変調器に送ります。このクロック入力のロジック・レベルは、IOVDD ピンに与えられる電圧によって決まります。

デジタル・フィルタ

AD4113 は、柔軟性に富む以下の 3 つのフィルタ・オプションを備えており、ノイズ特性、セトリング時間、ノイズ除去性能の最適化が可能です。

- ▶ sinc5 + sinc1 フィルタ
- ▶ sinc3 フィルタ
- ▶ 50Hz と 60Hz を除去するエンハンスド・フィルタ

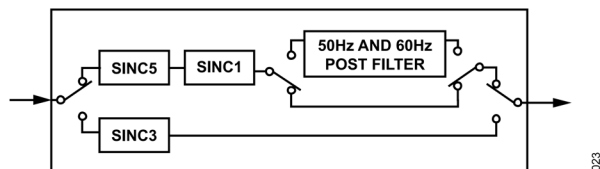


図 23. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたセットアップのフィルタ設定レジスタの適切なビットを設定することで設定されます。各チャンネルは異なったセットアップを使うことができます。したがって、異なったフィルタと出力データ・レートを使うことができます。詳細については、[レジスタの詳細](#)のセクションを参照してください。

sinc5 + sinc1 フィルタ

sinc5 + sinc1 フィルタはマルチプレクス・アプリケーションを対象とし、10kSPS 以下の出力データ・レートで、シングル・サイクルのセトリングを実現します。sinc5 ブロックの出力は 125kSPS の最大レートで固定されており、sinc1 ブロックの出力データ・レートを変更して最終 ADC 出力データ・レートを制御できます。50SPS の ODR での sinc5 + sinc1 フィルタの周波数領域応答を [図 24](#) に示します。sinc5 + sinc1 フィルタのノッチは狭く、周波数に対するロールオフは緩やかです。

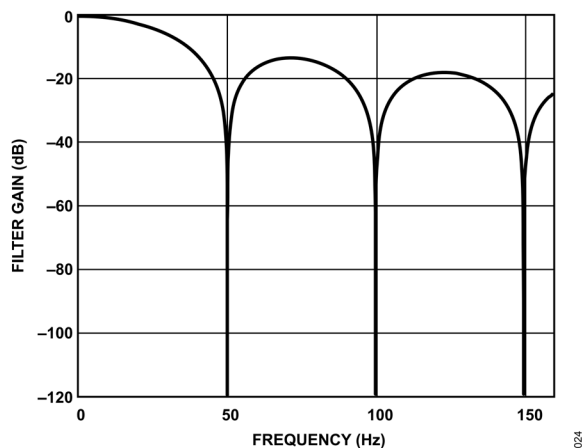


図 24. 50SPS ODR における sinc5 + sinc1 フィルタの応答

sinc5 + sinc1 フィルタの出力データ・レートとそれに対応するセトリング時間および実効値ノイズを [表 7](#) に示します。

sinc3 フィルタ

sinc3 フィルタは低い出力レートで最良のシングルチャンネル・ノイズ性能を実現するので、シングルチャンネル・アプリケーションに最適です。sinc3 フィルタのセトリング時間は、常に以下の式と等しくなります。

$$t_{\text{SETTLE}} = 3 / \text{Output Data Rate}$$

sinc3 フィルタの周波数領域フィルタ応答を [図 25](#) に示します。sinc3 フィルタは、周波数に対して優れたロールオフ特性を持ち、ノッチの幅が広く、ノッチ周波数の除去に適しています。

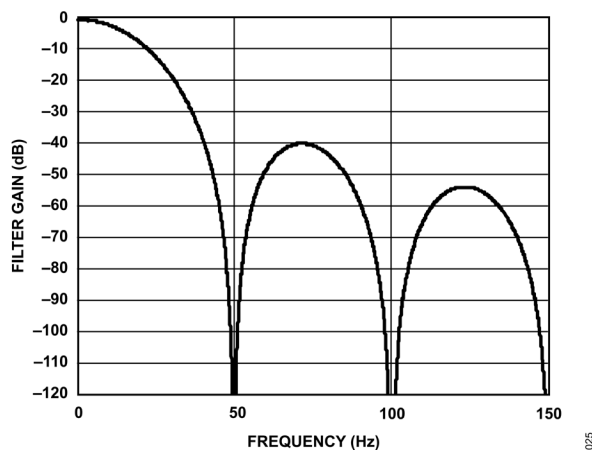


図 25. sinc3 フィルタの応答

sinc3 フィルタの出力データ・レートとそれに対応するセトリング時間および実効値ノイズを [表 8](#) に示します。フィルタ設定レジスタの SINC3_MAPx ビットをセットして、sinc3 フィルタの出力データ・レートを微調整できます。このビットをセットすると、このフィルタ・レジスタのマッピングが変化し、sinc3 フィルタのデシメーション・レートが直接設定されます。その他のオプションはすべて無効になります。シングル・チャンネルのデータ・レートは、次式で計算できます。

$$\text{Output Data Rate} = f_{\text{MOD}} / (32 \times \text{FILTCONx}[14:0])$$

ここで

f_{MOD} は変調器のレート（MCLK/2）であり、4MHz です。

FILTCONx[14:0] は、MSB を除いたフィルタ設定レジスタの内容です。

例えば、FILTCONx[14:0] ビットの値を 2500 に設定し、SINC3_MAPx をイネーブルすれば 50SPS の出力データ・レートが得られます。

シングルサイクル・セトリング

AD4113 は、ADC モード・レジスタの SING_CYC ビットをセットすることで完全にセトリングされたデータのみが出力され、実質的に ADC がシングルサイクル・セトリング・モードになるように設定できます。このモードは、選択された出力データ・レートにおける ADC のセトリング時間に等しくなるように出力データ・レートを下げて、シングルサイクルでのセトリングを実現しています。出力データ・レートが 10kSPS 以下で sinc5 + sinc1 フィルタを使用している場合、または複数のチャンネルがイネーブルされている場合、このビットは影響しません。

[図 26](#) に、シングルサイクル・セトリング・モードが無効化され、sinc3 フィルタを選択した場合のアナログ入力のステップを示します。ステップ変化の後、出力が最終セトリング値に到達するまでにアナログ入力は少なくとも 3 サイクル必要です。

デジタル・フィルタ

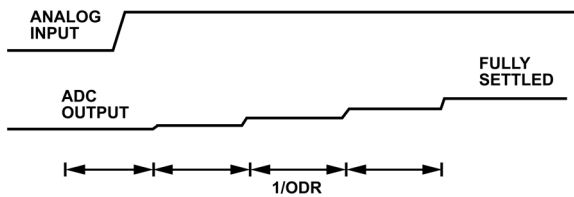


図 26. シングルサイクル・セトリングを使わない場合のステップ入力

シングルサイクル・セトリングをイネーブルした場合のアナログ入力の同じステップを図 27 に示します。出力が完全にセトリングするまでにアナログ入力が必要とするのは最低 1 サイクルです。 $\overline{\text{RDY}}$ 信号が示す出力データ・レートは減少し、選択した出力データ・レートでのフィルタのセトリング時間に等しくなります。



図 27. シングルサイクル・セトリングでのステップ入力

50Hz と 60Hz を除去するエンハンスド・フィルタ

エンハンスド・フィルタは 50Hz と 60Hz を同時に除去することができ、また、セトリング時間と除去比の兼ね合いを調整できます。これらのフィルタは 27.27SPS まで動作可能で、 $50\text{Hz} \pm 1\text{Hz}$ および $60\text{Hz} \pm 1\text{Hz}$ における干渉信号を最大 90dB 除去できます。これらのフィルタは、 $\text{sinc}5 + \text{sinc}1$ フィルタの出力をポストフィルタすることで動作します。このため、エンハンスド・フィルタを使って規定されたセトリング時間とノイズ性能を実現するには、 $\text{sinc}5 + \text{sinc}1$ フィルタを選択する必要があります。出力データ・レートおよびこれに対応するセトリング時間、除去比、実効値ノイズを表 18 に示します。エンハンスド・フィルタの周波数領域応答のプロットを図 28～図 35 に示します。

表 18. エンハンスド・フィルタ使用時の出力データ・レート、電圧入力ノイズ、セトリング時間、および除去比

Output Data Rate (SPS)	Settling Time (ms)	Simultaneous Rejection of 50Hz $\pm 1\text{Hz}$ and 60Hz $\pm 1\text{Hz}$ (dB) ¹	Noise ($\mu\text{V rms}$)	Peak-to-Peak Resolution (Bits)	Comments
27.27	36.67	47	6.44	16	See Figure 28 and Figure 31
25	40.0	62	6.09	16	See Figure 29 and Figure 32
20	50.0	85	5.54	16	See Figure 30 and Figure 33
16.667	60.0	90	5.38	16	See Figure 34 and Figure 35

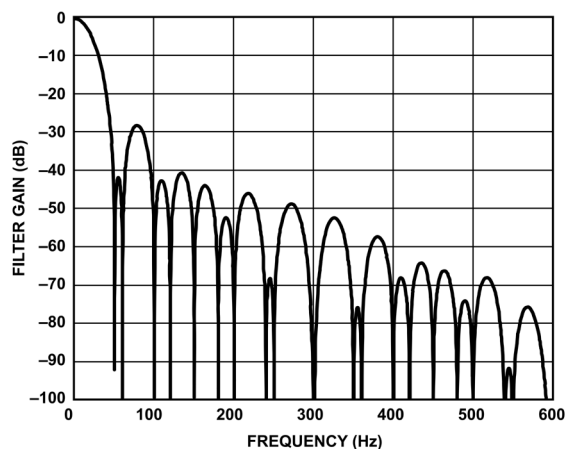
¹ MCLK = 2.00MHz。

図 28. 27.27SPS の ODR、36.67ms のセトリング時間

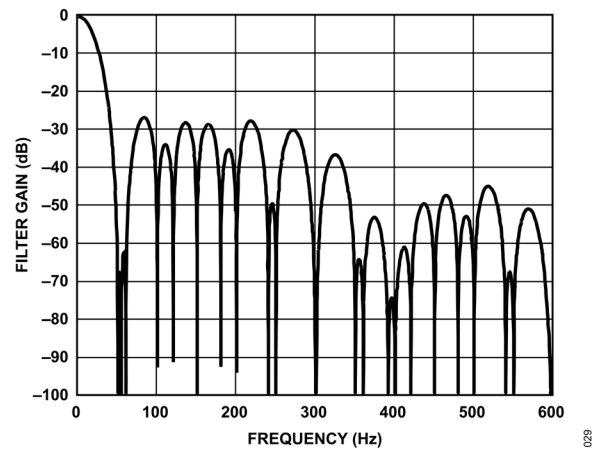


図 29. 25SPS の ODR、40ms のセトリング時間

デジタル・フィルタ

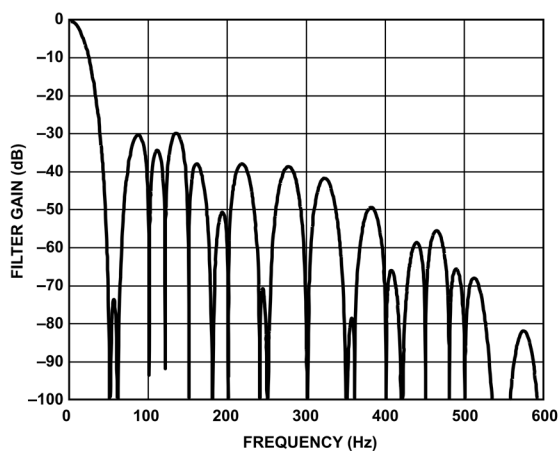
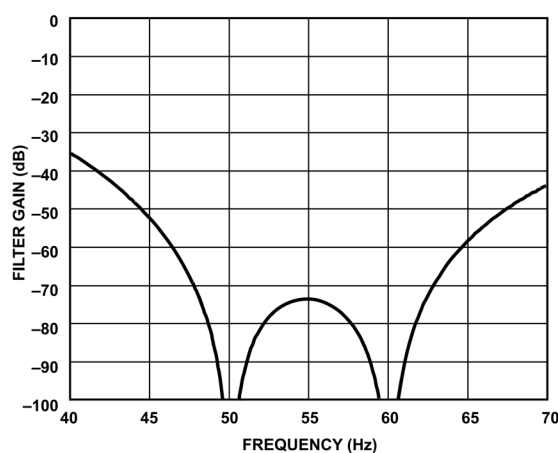
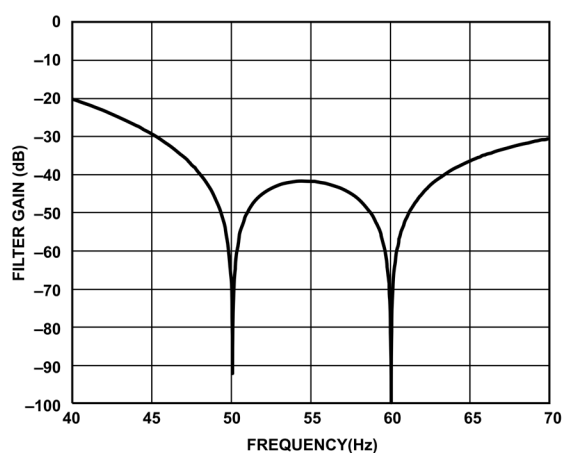


図 30. 20SPS の ODR、50ms のセトリング時間

030

図 33. 20SPS の ODR、50ms のセトリング時間
(40Hz~70Hz)

033

図 31. 27.27SPS の ODR、36.67ms のセトリング時間
(40Hz~70Hz)

031

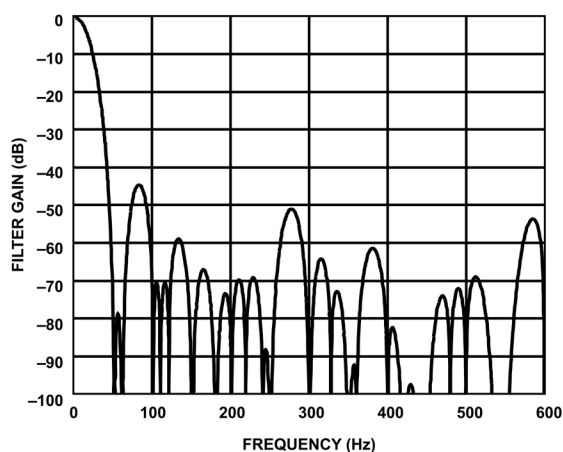
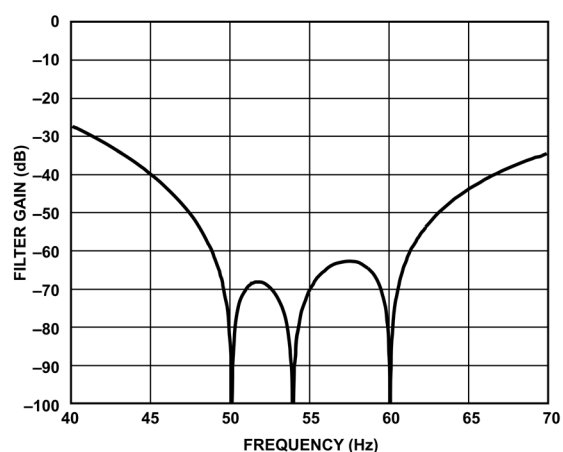
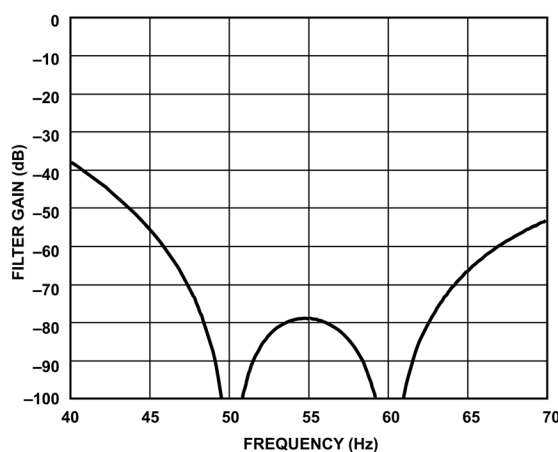


図 34. 16.667SPS の ODR、60ms のセトリング時間

034

図 32. 25SPS の ODR、40ms のセトリング時間
(40Hz~70Hz)

032

図 35. 16.667SPS の ODR、60ms のセトリング時間
(40Hz~70Hz)

035

動作モード

AD4113 は ADC およびインターフェース・モード・レジスタで設定可能な多くの動作モードを備えています（表 22 と表 23 を参照）。これらのモードは次のとおりです。

- ▶ 連続変換モード
- ▶ 連続読出しモード
- ▶ シングル変換モード
- ▶ スタンバイ・モード
- ▶ パワーダウン・モード
- ▶ 4 種類のキャリブレーション・モード

連続変換モード

連続変換モードは、パワーアップ時のデフォルト・モードです。AD4113 は連続的に変換を行い、変換が完了するたびにステータス・レジスタの $\overline{\text{RDY}}$ ビットがロー・レベルになります。 $\overline{\text{CS}}$ がロー・レベルの場合、変換が完了すると、 $\overline{\text{RDY}}$ 出力もロー・レベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書き込みを行って、次の動作がデータ・レジスタからの読出しであることを示します。データ・レジスタからデータワードを読み出すと、 $\text{DOUT}/\overline{\text{RDY}}$ ピンがハイ・レベルになります。このレジスタの内容は、必要に応じて何回も読み出

することが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスを防止する必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルで 1 回の変換を行います。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルの変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順番に行われます。データ・レジスタは、変換結果が読出し可能になると、直ちに更新されます。 $\overline{\text{RDY}}$ は、変換結果が読出し可能になると、ロー・レベルのパルスを出力します。次いで、ADC がイネーブルされた次のチャンネルの変換を行っている間に、変換結果を読み出すことができます。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されていると、データ・レジスタを読み出すたびに、ステータス・レジスタの内容と一緒に変換データが出力されます。ステータス・レジスタの下位 4 ビットは、変換結果に対応するチャンネルを示します。

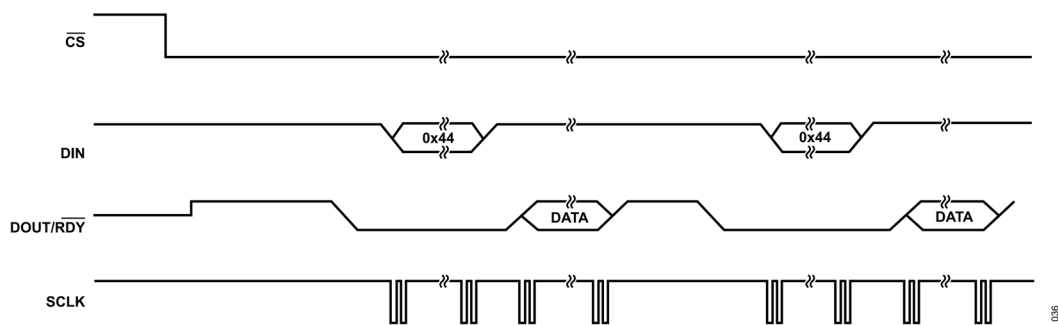


図 36. 連続変換モード

連続読出しモード

連続読出しモードでは、ADC データの読出し前にコミュニケーション・レジスタに書き込む必要はありません。 $\overline{\text{RDY}}$ 出力がロー・レベルになって変換終了を示した後、必要な数の SCLK だけを印加します。変換結果を読み出すと、 $\overline{\text{RDY}}$ 出力はハイ・レベルに戻り、次の変換結果が得られるまでハイ・レベルを維持します。このモードでは、データの読出しが 1 回しかできません。次の変換が完了する前に、必ずデータワードを読み出してください。次回の変換完了前に変換結果を読み出さなかった場合、または AD4113 に与えるシリアル・クロック数がデータワードを読み出すのに十分でなかった場合には、シリアル出力レジスタは次の変換が完了する直前にリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読出しモードを使うためには、ADC を連続変換モードに設定しなければなりません。連続読出しモードをイネーブルするには、インターフェース・モード・レジスタの CONTREAD ビットをセットします。このビットをセットすると、唯一可能なシリアル・

インターフェース動作は、データ・レジスタからの読出しになります。連続読出しモードを終了するには、 $\overline{\text{RDY}}$ 出力がロー・レベルのときにダミーの ADC データ・レジスタ読出しコマンド (0x44) を実行します。もしくは、 $\overline{\text{CS}} = 0$ かつ $\text{DIN} = 1$ の状態で 64 個の SCLK を送って、ソフトウェア・リセットを行ってください。これにより、ADC および全てのレジスタの内容がリセットされます。これらが、連続読出しモードに入った後にインターフェースが認識する唯一のコマンドです。命令をデバイスに書き込もうとするときまで、連続読出しモードでは DIN をロー・レベルに維持してください。

複数の ADC チャンネルがイネーブルで、インターフェース・モード・レジスタの DATA_STAT ビットがセットされている場合、データにステータス・ビットが付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタは、変換結果に対応するチャンネルを示します。

動作モード

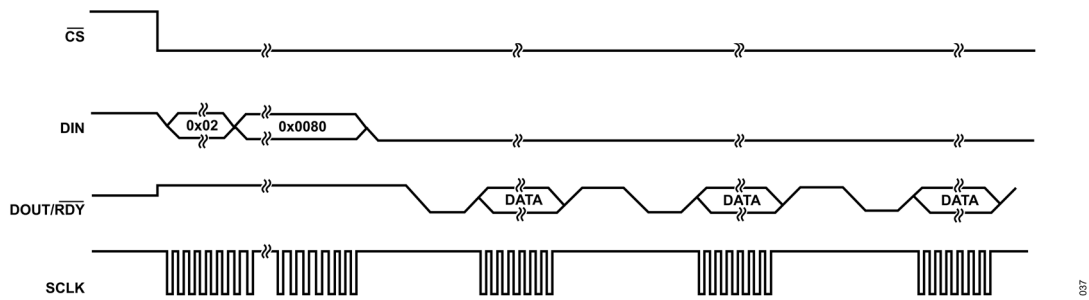


図 37. 連続読出しモード

シングル変換モード

シングル変換モードでは、AD4113 はシングル変換を行い、変換が終了するとスタンバイ・モードになります。 $\overline{\text{RDY}}$ 出力はロー・レベルになり変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、 $\overline{\text{RDY}}$ 出力はハイ・レベルに移行します。 $\overline{\text{RDY}}$ 出力がハイ・レベルに移行しても、必要に応じてデータ・レジスタを複数回読み出すことができます。複数のチャンネルがイネーブルされていると、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルの変換を行います。変換が開始されると、 $\overline{\text{RDY}}$ 出力はハイ・レベルに移行し、有効な変換結果が得られて $\overline{\text{CS}}$ がロー・レベルになるまでハイ・レベルを維持します。

変換結果が得られると、 $\overline{\text{RDY}}$ 出力がロー・レベルに移行します。続いて ADC は次のチャンネルを選択して変換を開始します。次の変換を実行している間に、現在の変換結果を読み出すことができます。次の変換が完了すると、データ・レジスタが更新されます。したがって、変換結果の読出しに使用できる時間は限られています。ADC は、選択した各チャンネルのシングル変換を完了すると、スタンバイ・モードに戻ります。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されていると、データ・レジスタが読み出されるたびに、ステータス・レジスタの内容が変換結果と一緒に出力されます。ステータス・レジスタの下位 2 ビットは、変換を行ったチャンネルを表示します。

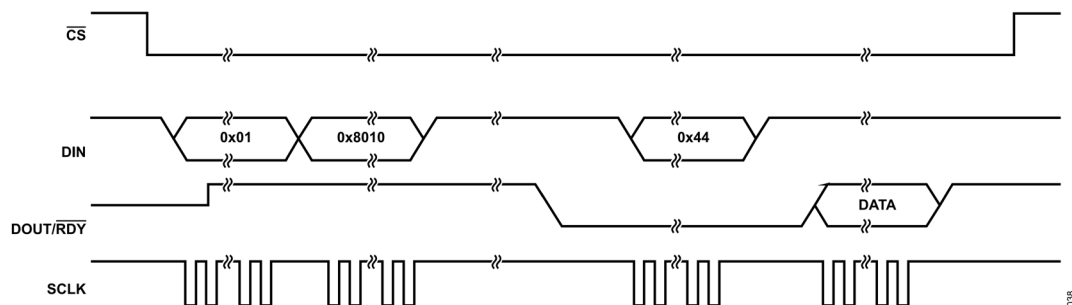


図 38. シングル変換モード

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。しかし、レジスタの内容が保持されるよう、LDO レギュレータは動作状態を維持します。水晶発振器は、選択されている場合はアクティブのままになります。スタンバイ・モードでクロックをパワーダウンするには、ADC モード・レジスタの CLOCKSEL ビットを 00 (内部発振器モード) に設定します。

パワーダウン・モードでは、LDO レギュレータを含むすべてのブロックへの電力供給が停止します。この時、すべてのレジスタの内容が失われ、GPIO 出力はスリーステートになります。偶発的にパワーダウン・モードになるのを防ぐため、最初に ADC をスタンバイ・モードにする必要があります。パワーダウン・モードを終了するには、 $\overline{\text{CS}} = 0$ 、 $\text{DIN} = 1$ (シリアル・インターフェース・リセット) の状態で 64SCLK が必要です。LDO レギュレータがパワーアップするまでの選択の待機時間として、後続のシリアル・インターフェース・コマンドの発行を 500 μs 遅延させることを推奨します。

動作モード

キャリブレーション

AD4113 では、2 ポイント・キャリブレーションを行って、オフセット誤差とゲイン誤差を除去できます。セットアップごとのオフセットとゲイン誤差を除去するため、以下の 4 つのキャリブレーション・モードが提供されています。

- ▶ 内部ゼロ・スケール・モード
- ▶ 内部フル・スケール・モード
- ▶ システム・ゼロ・スケール・モード
- ▶ システム・フル・スケール・モード

キャリブレーション時は、1 チャンネルのみをアクティブにできます。各変換後、ADC 変換結果は、データ・レジスタに書き込まれる前に ADC キャリブレーション・レジスタのデータを使って補正されます。

オフセット・レジスタのデフォルト値は 0x8000、ゲイン・レジスタの公称値は 0x5000 から 0x5FFF の範囲で変えることができます。以下の式が、その計算に使われます。ユニポーラ・モードでは、電圧入力に対する理想的な関係は次式のようにになります。

$$Data = ((0.075 \times V_{IN})/V_{REF}) \times 2^{15} - (Offset - 0x8000) \times (Gain/0x4000) \times 2$$

バイポーラ・モードでは、電圧入力に対する理想的な関係は次式のようにになります。

$$Data = ((0.075 \times V_{IN})/V_{REF}) \times 2^{15} - (Offset - 0x8000) \times (Gain/0x4000) + 0x8000$$

キャリブレーションを開始するには、ADC モード・レジスタのモード・ビットに対応する値を書き込みます。キャリブレーションが開始されると、DOUT/ $\overline{RDY}$ ピンとステータス・レジスタの $\overline{RDY}$ ビットがハイ・レベルに移行します。キャリブレーションが完了すると、対応するオフセット・レジスタまたはゲイン・レジスタの内容が更新され、ステータス・レジスタの $\overline{RDY}$ ビットがリセットされます。また、 $\overline{RDY}$ 出力ピンがロー・レベルに戻り ($\overline{CS}$ がロー・レベルの場合)、AD4113 はスタンバイ・モードに復帰します。

内部オフセット・キャリブレーションの間、変調器の両入力を選択した負のアナログ入力ピンに内部で接続されます。このため、選択した負のアナログ入力ピンの電圧が許容値を超えず、過度なノイズや干渉がないことを確認する必要があります。内部フル・スケール・キャリブレーションを実行するため、フル・スケール入力電圧がこのキャリブレーション用の ADC 入力に自動的に接続されます。

ただし、システム・キャリブレーションでは、キャリブレーション・モードを開始する前に、システム・ゼロ・スケール電圧（オフセット）とシステム・フル・スケール電圧（ゲイン）を ADC ピンに入力する必要があります。この結果、AD4113 の外部誤差が除去されます。電圧入力のシステム・フルスケール・キャリブレーションでの ADC ゲインのキャリブレーション範囲は、 $3.75 \times V_{REF} \sim 10.5 \times V_{REF}$ です。ただし、 $10.5 \times V_{REF}$ が、印加された AVDD の絶対入力電圧仕様よりも大きい場合は、 $10.5 \times V_{REF}$ の代わりに上限値を指定してください（仕様のセクションを参照）。

内部ゼロ・スケール・キャリブレーションでは、ADC コアのオフセット誤差のみが除去されます。抵抗フロント・エンドからの誤差は除去されません。システム・ゼロ・スケール・キャリブレーションにより、オフセット誤差はそのチャンネルのノイズ・レベルまで減少します。

動作の観点からは、キャリブレーションは別の ADC 変換のように扱う必要があります。オフセット・キャリブレーションが必要な場合は、常にフルスケール・キャリブレーションの前に行う必要があります。ステータス・レジスタの $\overline{RDY}$ ビットまたは $\overline{RDY}$ 出力をモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割込みによるルーチンによってキャリブレーションが終了したことを判断します。どのキャリブレーションも、完了するには、選択したフィルタと出力データ・レートのセトリング時間に等しい時間を必要とします。

キャリブレーションはあらゆる出力データ・レートで実行できます。低い出力データ・レートを使うほど精度の高いキャリブレーション結果を得ることができ、すべての出力データ・レートで精度が向上します。あるチャンネルのリファレンス源を変更した場合、そのチャンネルのために新たなオフセット・キャリブレーションが必要です。

AD4113 は内蔵のキャリブレーション・レジスタにアクセスできるため、マイクロプロセッサはデバイスのキャリブレーション係数を読み出したり、独自のキャリブレーション係数を書き込んだりできます。内部キャリブレーション時またはセルフ・キャリブレーション時以外は、オフセット・レジスタとゲイン・レジスタの読出しまたは書込みはいつでも行えます。

デジタル・インターフェース

AD4113 のプログラマブルな機能は、SPI シリアル・インターフェースを使って制御します。AD4113 のシリアル・インターフェースは4つの信号（ $\overline{CS}$ 、SCLK、DIN、DOUT/ $\overline{RDY}$ ）で構成されます。DINラインは内蔵レジスタにデータを転送し、DOUT出力は内蔵レジスタのデータにアクセスします。SCLK はデバイスのシリアル・クロック入力であり、すべてのデータ転送（DIN または DOUT 上での転送）はこの SCLK 信号を基準として実行されます。

DOUT/ $\overline{RDY}$ ピンはデータ・レディ信号としても機能し、データ・レジスタ内で新しいデータワードが利用可能になったときに $\overline{CS}$ がロー・レベルであれば、このラインはロー・レベルになります。データ・レジスタからの読出し動作が完了すると、このピンはハイ・レベルにリセットされます。 $\overline{RDY}$ 出力はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読出しが不可であることを示し、レジスタの更新中にデータの読出しが試みられないようにします。 $\overline{RDY}$ がロー・レベルになる間には、データ・レジスタから読み出さないように注意してください。常に $\overline{RDY}$ 出力を監視するのが、データ読出しを防止するのに最良の方法です。 $\overline{RDY}$ がロー・レベルになったら直ちにデータ・レジスタの読出しを開始し、SCLK のレートが、次の変換結果の前に読出しを完了するのに十分であることを確認します。 $\overline{CS}$ はデバイスを選択するのに使用します。シリアル・バスに複数のデバイスが接続されているシステムでは、この信号で AD4113 を選択することができます。

$\overline{CS}$ を使用してデバイスをデコードしたときの AD4113 のインターフェースのタイミング図を図 2 と図 3 に示します。AD4113 からの読出し動作のタイミングを図 2 に、AD4113 への書込み動作のタイミングを図 3 に示します。最初の読出し動作の後、 $\overline{RDY}$ 出力がハイ・レベルに戻った後でも、データ・レジスタからの読出しを複数回行うことができます。ただし、次の出力更新が開始される前に、読出し動作が完了するようにしてください。連続読出しモードでは、データ・レジスタは 1 回しか読み出すことができません。

シリアル・インターフェースは、 $\overline{CS}$ をロー・レベルに固定して、3 線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/ $\overline{RDY}$ の各ラインを使って AD4113 との通信を行います。変換の終了は、ステータス・レジスタの $\overline{RDY}$ ビットを使用して監視することもできます。

シリアル・インターフェースは、 $\overline{CS}=0$ かつDIN=1の状態64個の SCLK を書き込むことでリセットできます。リセットにより、コミュニケーション・レジスタへの書込み動作待ちの状態にインターフェースが戻ります。この動作により、すべてのレジスタ値がそれぞれのパワーオン時の値にリセットされます。リセット後、シリアル・インターフェースのアドレス指定をする前に、500 μ s の待ち時間が必要です。

チェックサム保護

AD4113 には、インターフェースの信頼性を向上できるチェックサム・モードがあります。チェックサムを使用することで、レジスタには有効なデータのみが確実に書込まれ、レジスタから読出したデータを検証できるようになります。レジスタへの書込み時にエラーが発生すると、ステータス・レジスタの CRC_ERROR ビットがセットされます。ただし、レジスタへの書込みが正常に行われたかを確認するには、レジスタをリード・バックしてチェックサムを検証することが重要です。

書込み動作時の CRC チェックサムの計算では、次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

読出し動作時は、この多項式か、より簡単な、排他的論理和（XOR）関数を選択することができます。XOR 関数を使ったチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラでの処理が短時間で済みます。インターフェース・モード・レジスタの CRC_EN ビットにより、チェックサムのイネーブル/ディスエーブル、および、多項式チェックまたはシンプルな XOR チェックを選択することができます。

チェックサムは、読出しと書込みの各トランザクションの最後に付加されます。書込みトランザクションのチェックサム計算は、8 ビット・コマンド・ワードと 8~16 ビットのデータを使用して計算されます。読出しトランザクションでは、コマンド・ワードと 8~24 ビットのデータ出力を使って計算されます。SPI の書込みトランザクションと読出しトランザクションをそれぞれ図 39 と図 40 に示します。

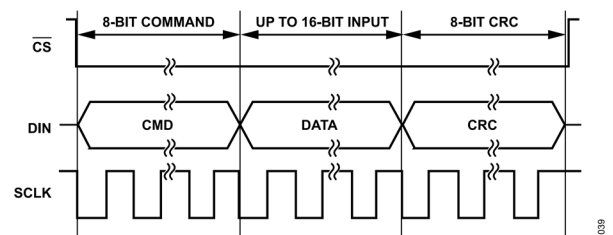


図 39. SPI 書込みトランザクション（CRC あり）

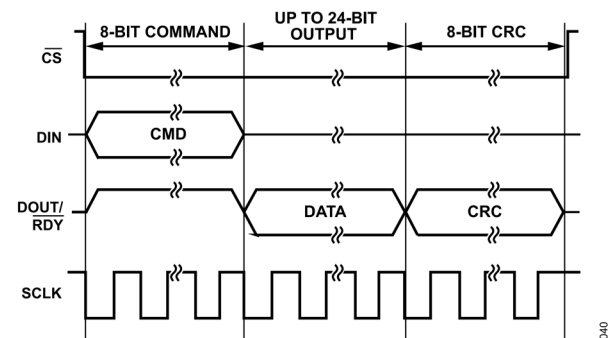


図 40. SPI 読出しトランザクション（CRC あり）

連続読出しモードがアクティブのときにチェックサム保護がイネーブルになっている場合、チェックサム値を計算する際に考慮する必要がある暗黙的なデータ読出しコマンド 0x44 がすべてのデータ転送の前に実行されます。これにより、ADC データが 0x0000 であっても、チェックサムはゼロ以外の値になります。

CRC の計算

多項式

8 ビット幅のチェックサムは、次の多項式を使用して生成されます。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの左端の論理 1 と隣り合うように、多項式の位置を揃えます。次に、排他的論理和（XOR）関数をデータに適用してより短い数値を新たに生成し、多項式の MSB が新たに得られた数値の左端の論理 1 と隣り合うように、再度多項式の位置を揃えます。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビットのチェックサムになります。

デジタル・インターフェース

多項式 CRC 計算の例—24 ビット・ワード : 0x654321 (8 コマンド・ビットと 16 ビット・データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

Initial value	011001010100001100100001	
	01100101010000110010000100000000	left shifted 8 bits
$x^8 + x^2 + x + 1 = 100000111$		polynomial
100100100000110010000100000000	XOR result	
100000111	polynomial	
1000110001100100001000000000	XOR result	
100000111	polynomial	
111111100100001000000000	XOR result	
100000111	polynomial value	
111110111000010000000000	XOR result	
100000111	polynomial value	
1111000000001000000000	XOR result	
100000111	polynomial value	
1110011100010000000000	XOR result	
100000111	polynomial value	
11001001001000000000	XOR result	
100000111	polynomial value	
10010101010000000000	XOR result	
100000111	polynomial value	
1011011000000000	XOR result	
100000111	polynomial value	
11010110000000	XOR result	
100000111	polynomial value	
101010110000	XOR result	
100000111	polynomial value	
1010001000	XOR result	
100000111	polynomial value	
10000110	checksum = 0x86	

XOR の計算

データをバイトに分割し、それぞれのバイトに XOR 演算を行うことにより、8 ビット幅のチェックサムを生成します。

XOR 計算の例—24 ビット・ワード : 0x654321 (8 コマンド・ビットと 16 ビット・データ)

前の例を使用し、3 バイト (0x65、0x43、0x21) に分割し、次の XOR 計算を行います。

01100101	0x65
01000011	0x43
00100110	XOR result
00100001	0x21
00000111	CRC

内蔵機能

AD4113 は多くの機能を内蔵しています。

汎用出力

AD4113 は 2 本の汎用デジタル出力ピン (GPO0 と GPO1) を備えています。GPO ピンは、GPIOCON レジスタの OP_EN0_1 ビットを使用してイネーブルします。

GP_DATA0 ビットと GP_DATA1 ビットは、これらのピンで出力されるロジック・レベルをそれぞれ決定します。これらのピンのロジック・レベルは、AVDD と AVSS を基準としています。したがって、出力の振幅は 5V、もしくは AVDD - AVSS 電圧に応じた値になります。

GPIOCON レジスタの ERR_EN ビットを 11 に設定すると、 $\overline{\text{ERROR}}$ ピンも汎用出力として使用できます。この設定では、GPIOCON レジスタの ERR_DAT ビットにより、 $\overline{\text{ERROR}}$ ピンのロジック・レベル出力が決まります。 $\overline{\text{ERROR}}$ ピンのロジック・レベルは IOVDD と DGND を基準にしており、このピンにはアクティブ・プルアップが備わっています。

遅延

AD4113 がサンプリングを始める前に、プログラマブルな遅延を挿入することが可能です。この遅延により、外部アンプやマルチプレクサの出力がセトリングするまで待つことができ、外部アンプやマルチプレクサの仕様条件を緩和することもできます。ADCMODE レジスタの遅延ビット (レジスタ 0x01、ビット [10:8]) を使って、0 μ s~2ms の範囲で 8 つのプログラマブルな遅延時間を設定できます。

DOUT_RESET

シリアル・インターフェースでは、共有の DOUT/ $\overline{\text{RDY}}$ ピンを使用します。デフォルトでは、このピンは $\overline{\text{RDY}}$ 信号を出力します。データ読出し時には、このピンは読出し対象のレジスタからのデータを出力します。読出し完了後、短い固定時間 (t_f) が経過すると、このピンは $\overline{\text{RDY}}$ 信号の出力に戻ります。ただし、この時間は一部のマイクロコントローラにとって短すぎることがあります。この時間は、IFMODE レジスタの DOUT_RESET ビットを 1 に設定することにより、 $\overline{\text{CS}}$ ピンがハイ・レベルになるまで延長できます。この設定では、 $\overline{\text{CS}}$ が各読出し動作をフレーム化して、シリアル・インターフェースのトランザクションを完了する必要があります。

同期

ノーマル同期

GPIOCON レジスタの SYNC_EN ビットを 1 に設定すると、 $\overline{\text{SYNC}}$ ピンが同期入力として機能します。 $\overline{\text{SYNC}}$ 入力により、デバイスのセットアップ状態に一切影響を与えることなく、変調器とデジタル・フィルタをリセットできます。これにより、既知の時点、すなわち $\overline{\text{SYNC}}$ の立上がりエッジから、アナログ入力のサンプル収集を開始できます。確実に同期させるには、このピンを少なくとも 1MCLK サイクルの間ロー・レベルに維持する必要があります。複数のチャンネルがイネーブルの場合、シーケンサは最初にイネーブルされたチャンネルにリセットされます。

複数の AD4113 を共通の MCLK で動作させる場合、データ・レジスタが同時に更新されるようにこれらのデバイスを同期させることができます。通常、各 AD4113 がキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後にデバイスは同期されます。

$\overline{\text{SYNC}}$ ピンの立下がりエッジで、デジタル・フィルタおよびアナログ変調器がリセットされ、AD4113 は一貫した既知の状態に置かれます。 $\overline{\text{SYNC}}$ ピンがロー状態の間、AD4113 はこの状態に維持されます。 $\overline{\text{SYNC}}$ の立上がりエッジで変調器とフィルタはこのリセット状態を抜け出し、次の MCLK のエッジでデバイスは再び入力サンプルの収集を開始します。

このデバイスは、 $\overline{\text{SYNC}}$ がロー・レベルからハイ・レベルに移した後に MCLK の立下がりエッジでリセット状態から抜け出します。そのため、複数のデバイスを同期させている場合、MCLK の立上がりエッジで $\overline{\text{SYNC}}$ ピンをハイにして、すべてのデバイスが MCLK の立下がりエッジで確実にサンプリングを開始できるようにします。 $\overline{\text{SYNC}}$ ピンが適切なタイミングでハイにならない場合、デバイス間で 1MCLK サイクル分の差が生じる可能性があります。つまり、変換結果が利用できるタイミングが、デバイスによって最大で 1MCLK サイクル分異なります。

ノーマル同期モードでは、 $\overline{\text{SYNC}}$ 入力を 1 つのチャンネルの変換開始コマンドとして使用することもできます。このモードでは、 $\overline{\text{SYNC}}$ 入力の立上がりエッジにより変換が開始され、 $\overline{\text{RDY}}$ 出力の立下がりエッジにより変換が完了したタイミングが示されます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、 $\overline{\text{SYNC}}$ 入力をロー・レベルにして次の変換開始信号の準備をします。

オルタネート同期

オルタネート同期モードでは、AD4113 の複数のチャンネルがイネーブルされている場合、 $\overline{\text{SYNC}}$ 入力は変換開始コマンドとして機能します。IFMODE レジスタの ALT_SYNC ビットを 1 に設定すると、オルタネート同期方式がイネーブルされます。 $\overline{\text{SYNC}}$ 入力がローになると、ADC は現在のチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択し、 $\overline{\text{SYNC}}$ 入力がハイになって変換が開始されるまで待機します。現在のチャンネルでの変換が完了し、対応する変換結果でデータ・レジスタが更新されると、 $\overline{\text{RDY}}$ 出力がローになります。このため、 $\overline{\text{SYNC}}$ 入力は、現在選択されているチャンネルのサンプリングには干渉しませんが、シーケンス内の次のチャンネルで変換が開始されるタイミングを制御できます。

代替同期モードは、複数のチャンネルをイネーブルする場合にのみ使用できます。1 つのチャンネルのみをイネーブルする場合は、このモードの使用は推奨しません。

エラー・フラグ

ステータス・レジスタには、ADC 変換エラー、CRC チェック・エラー、レジスタの変更によって発生したエラーをフラグする 3 つのエラー・ビット (ADC_ERROR、CRC_ERROR、REG_ERROR) があります。更に、 $\overline{\text{ERROR}}$ 出力でエラーが発生したことを示すことができます。

ADC_ERROR

ステータス・レジスタの ADC_ERROR ビットは、変換プロセス中に何らかのエラーが発生したことを示します。このフラグは、ADC からオーバーレンジまたはアンダーレンジが出力されるとセットされます。また、低電圧や過電圧が発生すると、ADC の出力はオール 0 またはオール 1 になります。このフラグは、過電圧または低電圧が解消されたときにのみ、リセットされます。データ・レジスタの読出しによってリセットされることはありません。

内蔵機能

CRC_ERROR

書き込み動作時に付加された CRC の値が送られた情報と一致しないと、CRC_ERROR フラグがセットされます。このフラグは、ステータス・レジスタが読み出されると、直ちにリセットされます。

REG_ERROR

REG_ERROR フラグは IFMODE レジスタの REG_CHECK ビットと組み合わせて使用します。REG_CHECK ビットがセットされると、AD4113 は内蔵レジスタの値をモニタします。ビットが変化すると、REG_ERROR ビットが 1 にセットされます。このため、内蔵レジスタへの書き込みを行うには、REG_CHECK ビットを 0 に設定します。レジスタの更新が完了したら、REG_CHECK ビットを 1 に設定することができます。AD4113 は内部レジスタのチェックサムを計算します。いずれかのレジスタ値が変化すると、REG_ERROR ビットが 1 にセットされます。エラーが検出されたら、ステータス・レジスタの REG_ERROR ビットをクリアするため、REG_CHECK ビットを必ず 0 に設定してください。このレジスタ・チェック機能では、データ・レジスタ、ステータス・レジスタ、IFMODE レジスタはモニタしません。

ERROR 入出力

ERROR ピンは、エラー入出力ピンまたは汎用出力ピンとして機能します。GPIOCON レジスタの ERR_EN ビットにより、このピンの機能が決まります。

ERR_EN を 10 に設定した場合、ERROR ピンはオープン・ドレインのエラー出力として機能します。ステータス・レジスタの 3 つのエラー・ビット（ADC_ERROR、CRC_ERROR、REG_ERROR）は、論理和（OR）がとられ、反転され、ERROR 出力にマッピングされます。これにより、ERROR 出力はエラーが発生したことを示します。エラーの原因を特定するには、ステータス・レジスタを読み出す必要があります。

ERR_EN を 01 に設定した場合、ERROR ピンはエラー入力として機能します。別の部品のエラー出力を AD4113 の ERROR 入力に接続すると、AD4113 または外部の部品でエラーが発生したときにエラーを示すことができます。ERROR 入力の値は、反転され、ADC 変換からのエラーとの論理和がとられ、ステータス・レジスタの ADC_ERROR ビットを介してその結果が示されます。ERROR 入力の値は、GPIOCON レジスタの ERR_DAT ビットへ反映されます。

ERR_EN を 00 に設定すると、ERROR 入出力はディセーブルされます。ERR_EN ビットを 11 に設定すると、ERROR ピンは汎用出力として機能します。

DATA_STAT

IFMODE レジスタの DATA_STAT ビットを使用して、ステータス・レジスタの内容を AD4113 の各変換結果に付加できます。この機能は、複数のチャンネルがイネーブルの場合に役立ちます。

変換結果が出力されるごとに、ステータス・レジスタの内容が付加されます。ステータス・レジスタの下位 2 ビットは、どのチャンネルを変換したかを表示します。更に、エラー・ビットによって何らかのエラーが示されているかを判断できます。

IOSTRENGTH

シリアル・インターフェースは 2V という低い電源電圧で動作させることができます。ただし、ある程度の寄生容量が基板に存在する場合、または SCLK の周波数が高い場合、この低電圧では DOUT/RDY の駆動強度が十分でないことがあります。IFMODE レジスタの IOSTRENGTH ビットは DOUT/RDY ピンの駆動強度を高めます。

内部温度センサー

AD4113 は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。周囲温度は、診断目的に使うこともできますし、動作温度の変化を考慮して、アプリケーション回路がキャリブレーション・ルーチンを再実行する必要があるかを示す指標として用いることもできます。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。

温度センサーでは、両方の入力で入力バッファをイネーブルし、内部リファレンスをイネーブルする必要があります。

温度センサーを使うには、最初に既知の温度（25°C）でデバイスをキャリブレーションし、変換結果を基準点としてとります。温度センサーの公称感度は 477μV/K です。この理想的な傾きと測定された傾きの差により、温度センサーを補正できます。温度センサーは、25°C でキャリブレーションした後の精度が ±2°C（代表値）と仕様規定されています。温度は次のように計算できます。

$$\text{Temperature (}^{\circ}\text{C)} = (\text{Conversion Result} \div 477\mu\text{V}) - 273.15$$

アプリケーション情報

グラウンディングとレイアウト

入力とリファレンス入力は差動なので、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れた同相ノイズ除去能力により、これらの入力の同相ノイズは除去されます。AD4113に供給されるアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部の間のカップリングを最小限に抑えるために、別々のピンに割り当てられています。デジタル・フィルタは、MCLK 周波数の整数倍の周波数を除く広帯域の電源ノイズを除去します。

また、アナログ入力とリファレンス入力がアナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズ源のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD4113 のノイズ干渉耐性は向上しています。ただし、AD4113 は分解能が高く、コンバータのノイズ・レベルが非常に低いので、グラウンディングとレイアウトについては注意が必要です。

ADC を実装する PCB は、アナログ部とデジタル部を分け、基板の特定の領域に限定するように設計する必要があります。エッチング部分を最小限に抑えると、最良のシールド効果が得られるので、グラウンド・プレーンにはこの方法を推奨します。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、すべてのリターン電流の経路は目的の場所への電流経路にできるだけ近づけて配置するよう心がけてください。

デバイスの下にデジタル・ラインを通すことは、ノイズがダイに結合するため避けてください。これにより、AD4113 の下にアナログ・グラウンド・プレーンを配置してノイズの結合を防ぐことができます。AD4113 への電源ラインには可能な限り幅広のパターンを使用して低インピーダンス経路を確保し、電源ライン

のグリッチを軽減します。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドして基板の他の部分へノイズが放射されるのを防止します。また、クロック信号が入力の近くを決して通らないようにします。デジタル信号とアナログ信号は交差させないでください。基板の反対側のパターンは、互いに直角になるように配置します。このレイアウトにより、基板上でフィードスルーの影響を小さくすることができます。マイクロストリップ技術を推奨しますが、両面ボードでは常に使用できるとは限りません。この手法では、基板の部品面はグラウンド・プレーン専用にして、ハンダ面に信号ラインを配置します。

高分解能 ADC を使用する場合は、適切なデカップリングが重要です。AD4113 には、AVDD と IOVDD の 2 本の電源ピンがあります。AVDD ピンは AVSS を基準とし、IOVDD ピンは DGND を基準としています。10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に接続して、AVDD を各ピンの AVSS にデカップリングします。0.1 μ F のコンデンサはデバイスの各電源ピンのできるだけ近くに配置します。理想的には、デバイスに隣接させます。IOVDD は、10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に DGND に接続してデカップリングします。すべての入力は AVSS にデカップリングします。外部リファレンスを使用する場合、REF+ピンおよび REF-ピンを AVSS とデカップリングします。

AD4113 は 2 つの LDO レギュレータも内蔵しており、それぞれ AVDD 電源と IOVDD 電源を安定化します。REGCAPA ピンには、1 μ F と 0.1 μ F のコンデンサを AVSS に追加することが推奨されます。同様に、REGCAPD ピンには、1 μ F と 0.1 μ F のコンデンサを DGND に追加することが推奨されます。

レジスタの一覧

このセクションには、各ビット・フィールドの機能の詳細が記載されています。レジスタの表のアクセス欄では、ビット・フィールドが読出し専用（R）ビットおよび読出し／書込み（R/W）ビットのいずれであるかを示しています。

表 19. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W
0x00	Status	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	Channel				0x80	R
0x01	ADCMODE	[15:8]	REF_EN	Reserved	SING_CYC	Reserved		Delay			0x2000	R/W
		[7:0]	Reserved	Mode			CLOCKSEL		Reserved			
0x02	IFMODE	[15:8]	Reserved			ALT_SYNC	IOSTRENGTH	Reserved		DOUT_RESET	0x0000	R/W
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	Reserved	CRC_EN		Reserved			
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]								0x000000	R
		[15:8]	REGISTER_CHECK[15:8]									
		[7:0]	REGISTER_CHECK[7:0]									
0x04	Data	[15:8]	Data[15:8]								0x0000	R
		[7:0]	Data[7:0]									
0x06	GPIOCON	[15:8]	Reserved		OP_EN0_1	OW_EN	SYNC_EN	ERR_EN		ERR_DAT	0x0800	R/W
		[7:0]	GP_DATA1	GP_DATA0	Reserved							
0x07	ID	[15:8]	ID[15:8]								0x39Dx	R
		[7:0]	ID[7:0]									
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			Reserved		INPUT0[9:8]		0x8001	R/W
		[7:0]	INPUT0[7:0]									
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			Reserved		INPUT1[9:8]		0x0001	R/W
		[7:0]	INPUT1[7:0]									
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			Reserved		INPUT2[9:8]		0x0001	R/W
		[7:0]	INPUT2[7:0]									
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			Reserved		INPUT3[9:8]		0x0001	R/W
		[7:0]	INPUT3[7:0]									
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			Reserved		INPUT4[9:8]		0x0001	R/W
		[7:0]	INPUT4[7:0]									
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			Reserved		INPUT5[9:8]		0x0001	R/W
		[7:0]	INPUT5[7:0]									
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			Reserved		INPUT6[9:8]		0x0001	R/W
		[7:0]	INPUT6[7:0]									
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			Reserved		INPUT7[9:8]		0x0001	R/W
		[7:0]	INPUT7[7:0]									
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			Reserved		INPUT8[9:8]		0x0001	R/W
		[7:0]	INPUT8[7:0]									
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			Reserved		INPUT9[9:8]		0x0001	R/W
		[7:0]	INPUT9[7:0]									
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			Reserved		INPUT10[9:8]		0x0001	R/W
		[7:0]	INPUT10[7:0]									
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			Reserved		INPUT11[9:8]		0x0001	R/W
		[7:0]	INPUT11[7:0]									
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			Reserved		INPUT12[9:8]		0x0001	R/W
		[7:0]	INPUT12[7:0]									

レジスタの一覧

表 19. レジスタの一覧（続き）

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
0x1D	CH13	[15:8] [7:0]	CH_EN13	SETUP_SEL13			Reserved		INPUT13[9:8]		0x0001	R/W
				INPUT13[7:0]								
0x1E	CH14	[15:8] [7:0]	CH_EN14	SETUP_SEL14			Reserved		INPUT14[9:8]		0x0001	R/W
				INPUT14[7:0]								
0x1F	CH15	[15:8] [7:0]	CH_EN15	SETUP_SEL15			Reserved		INPUT15[9:8]		0x0001	R/W
				INPUT15[7:0]								
0x20	SETUPCO N0	[15:8] [7:0]	Reserved			BI_UNIPOLAR 0	REFBUF0+	REFBUF0 -	INBUF0		0x1000	R/W
			Reserved		REF_SEL0		Reserved					
0x21	SETUPCO N1	[15:8] [7:0]	Reserved			BI_UNIPOLAR 1	REFBUF1+	REFBUF1 -	INBUF1		0x1000	R/W
			Reserved		REF_SEL1		Reserved					
0x22	SETUPCO N2	[15:8] [7:0]	Reserved			BI_UNIPOLAR 2	REFBUF2+	REFBUF2 -	INBUF2		0x1000	R/W
			Reserved		REF_SEL2		Reserved					
0x23	SETUPCO N3	[15:8] [7:0]	Reserved			BI_UNIPOLAR 3	REFBUF3+	REFBUF3 -	INBUF3		0x1000	R/W
			Reserved		REF_SEL3		Reserved					
0x24	SETUPCO N4	[15:8] [7:0]	Reserved			BI_UNIPOLAR 4	REFBUF4+	REFBUF4 -	INBUF4		0x1000	R/W
			Reserved		REF_SEL4		Reserved					
0x25	SETUPCO N5	[15:8] [7:0]	Reserved			BI_UNIPOLAR 5	REFBUF5+	REFBUF5 -	INBUF5		0x1000	R/W
			Reserved		REF_SEL5		Reserved					
0x26	SETUPCO N6	[15:8] [7:0]	Reserved			BI_UNIPOLAR 6	REFBUF6+	REFBUF6 -	INBUF6		0x1000	R/W
			Reserved		REF_SEL6		Reserved					
0x27	SETUPCO N7	[15:8] [7:0]	Reserved			BI_UNIPOLAR 7	REFBUF7+	REFBUF7 -	INBUF7		0x1000	R/W
			Reserved		REF_SEL7		Reserved					
0x28	FILTCON0	[15:8] [7:0]	SINC3_MAP 0	Reserved			ENHFILTEN0		ENHFILT0		0x0500	R/W
			Reserved	ORDER0		ODR0						
0x29	FILTCON1	[15:8] [7:0]	SINC3_MAP 1	Reserved			ENHFILTEN1		ENHFILT1		0x0500	R/W
			Reserved	ORDER1		ODR1						
0x2A	FILTCON2	[15:8] [7:0]	SINC3_MAP 2	Reserved			ENHFILTEN2		ENHFILT2		0x0500	R/W
			Reserved	ORDER2		ODR2						
0x2B	FILTCON3	[15:8] [7:0]	SINC3_MAP 3	Reserved			ENHFILTEN3		ENHFILT3		0x0500	R/W
			Reserved	ORDER3		ODR3						
0x2C	FILTCON4	[15:8] [7:0]	SINC3_MAP 4	Reserved			ENHFILTEN4		ENHFILT4		0x0500	R/W
			Reserved	ORDER4		ODR4						
0x2D	FILTCON5	[15:8] [7:0]	SINC3_MAP 5	Reserved			ENHFILTEN5		ENHFILT5		0x0500	R/W
			Reserved	ORDER5		ODR5						
0x2E	FILTCON6	[15:8]	SINC3_MAP 6	Reserved			ENHFILTEN6		ENHFILT6		0x0500	R/W

レジスタの一覧

表 19. レジスタの一覧（続き）

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	Access
		[7:0]	Reserved	ORDER6		ODR6						
0x2F	FILTCON7	[15:8]	SINC3_MAP 7	Reserved			ENHFILTEN7	ENHFILT7			0x0500	R/W
		[7:0]	Reserved	ORDER7		ODR7						
0x30	OFFSET0	[15:0]	OFFSET0[15:0]								0x8000	R/W
0x31	OFFSET1	[15:0]	OFFSET1[15:0]								0x8000	R/W
0x32	OFFSET2	[15:0]	OFFSET2[15:0]								0x8000	R/W
0x33	OFFSET3	[15:0]	OFFSET3[15:0]								0x8000	R/W
0x34	OFFSET4	[15:0]	OFFSET4[15:0]								0x8000	R/W
0x35	OFFSET5	[15:0]	OFFSET5[15:0]								0x8000	R/W
0x36	OFFSET6	[15:0]	OFFSET6[15:0]								0x8000	R/W
0x37	OFFSET7	[15:0]	OFFSET7[15:0]								0x8000	R/W
0x38	GAIN0	[15:0]	GAIN0[15:0]								0x5XXX	R/W
0x39	GAIN1	[15:0]	GAIN1[15:0]								0x5XXX	R/W
0x3A	GAIN2	[15:0]	GAIN2[15:0]								0x5XXX	R/W
0x3B	GAIN3	[15:0]	GAIN3[15:0]								0x5XXX	R/W
0x3C	GAIN4	[15:0]	GAIN4[15:0]								0x5XXX	R/W
0x3D	GAIN5	[15:0]	GAIN5[15:0]								0x5XXX	R/W
0x3E	GAIN6	[15:0]	GAIN6[15:0]								0x5XXX	R/W
0x3F	GAIN7	[15:0]	GAIN7[15:0]								0x5XXX	R/W

レジスタの詳細

コミュニケーション・レジスタ

アドレス : 0x00、リセット : 0x00、レジスタ名 : COMMS

内蔵レジスタに対するすべてのアクセスは、このコミュニケーション・レジスタへの書込みで開始する必要があります。この書込みにより、次にアクセスするレジスタと、動作が書込みと読出しのいずれであるかを指定します。

表 20. COMMS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	WEN		ADC との通信を開始するには、このビットをロー・レベルにする必要があります。	0x0	W
6	R/W	0 1	このビットで、コマンドが読出しであるか書込みであるかを指定します。 書込みコマンド。 読出しコマンド。	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 011000 011001 011010 011011 011100 011101 011110 011111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100	このレジスタ・アドレス・ビットで、現在の通信でどのレジスタを読出しまたは書込みの対象とするかを指定します。 ステータス・レジスタ。 ADC モード・レジスタ。 インターフェース・モード・レジスタ。 レジスタ・チェックサム・レジスタ。 データ・レジスタ。 GPIO 設定レジスタ。 ID レジスタ。 チャンネル 0 レジスタ。 チャンネル 1 レジスタ。 チャンネル 2 レジスタ。 チャンネル 3 レジスタ。 チャンネル 4 レジスタ。 チャンネル 5 レジスタ。 チャンネル 6 レジスタ。 チャンネル 7 レジスタ。 チャンネル 8 レジスタ。 チャンネル 9 レジスタ。 チャンネル 10 レジスタ。 チャンネル 11 レジスタ。 チャンネル 12 レジスタ。 チャンネル 13 レジスタ。 チャンネル 14 レジスタ。 チャンネル 15 レジスタ。 セットアップ設定 0 レジスタ。 セットアップ設定 1 レジスタ。 セットアップ設定 2 レジスタ。 セットアップ設定 3 レジスタ。 セットアップ設定 4 レジスタ。 セットアップ設定 5 レジスタ。 セットアップ設定 6 レジスタ。 セットアップ設定 7 レジスタ。 フィルタ設定 0 レジスタ。 フィルタ設定 1 レジスタ。 フィルタ設定 2 レジスタ。 フィルタ設定 3 レジスタ。 フィルタ設定 4 レジスタ。	0x00	W

レジスタの詳細

表 20. COMMS のビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
		101101	フィルタ設定 5 レジスタ。		
		101110	フィルタ設定 6 レジスタ。		
		101111	フィルタ設定 7 レジスタ。		
		110000	オフセット 0 レジスタ。		
		110001	オフセット 1 レジスタ。		
		110010	オフセット 2 レジスタ。		
		110011	オフセット 3 レジスタ。		
		110100	オフセット 4 レジスタ。		
		110101	オフセット 5 レジスタ。		
		110110	オフセット 6 レジスタ。		
		110111	オフセット 7 レジスタ。		
		111000	ゲイン 0 レジスタ。		
		111001	ゲイン 1 レジスタ。		
		111010	ゲイン 2 レジスタ。		
		111011	ゲイン 3 レジスタ。		
		111100	ゲイン 4 レジスタ。		
		111101	ゲイン 5 レジスタ。		
		111110	ゲイン 6 レジスタ。		
		111111	ゲイン 7 レジスタ。		

ステータス・レジスタ

アドレス：0x00、リセット：0x80、レジスタ名：Status

ステータス・レジスタは 8 ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタの DATA_STAT ビットをセットすることで、オプションとして、このレジスタの内容をデータ・レジスタへ付加することができます。

表 21. Status のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RDY	0 1	CS がロー・レベルになっており、レジスタが読出し中でない場合は、RDY のステータスが DOUT/RDY ピンに出力されます。このビットは、ADC がデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADC のキャリブレーション・モードでは、ADC がキャリブレーション結果を書き込むと、このビットはロー・レベルになります。RDY は、データ・レジスタの読出しによって自動的にハイ・レベルになります。 新しいデータが読出し可能。 新しいデータ結果の待ち状態。	0x1	R
6	ADC_ERROR	0 1	このビットは、デフォルトでは、ADC がオーバーレンジまたはアンダーレンジになったことを示します。ADC の変換結果は、オーバーレンジ・エラーの場合は 0xFFFF にクランプされ、アンダーレンジ・エラーの場合は 0x0000 にクランプされます。このビットは、ADC の変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後、次の更新時にクリアされます。 エラーなし。 エラー。	0x0	R
5	CRC_ERROR	0 1	このビットは、レジスタ書き込み時に CRC エラーが発生したかどうかを示します。レジスタ読出しの場合、ホスト・マイクロコントローラが、CRC エラーが発生したかどうかを判断します。このレジスタを読み出すと、このビットはクリアされます。 エラーなし。 CRC エラー。	0x0	R
4	REG_ERROR	0 1	このビットは、内部レジスタのいずれかの値が、レジスタの整合性チェックを実行したときの計算値から変化したかどうかを示します。インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、チェックが実行されます。このビットをクリアするには、REG_CHECK ビットをクリアします。 エラーなし。 エラー。	0x0	R

レジスタの詳細

表 21. Status のビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
[3:0]	Channel		これらのビットは、現在データ・レジスタに結果が格納されている ADC 変換に対してアクティブであるチャンネルを示します。このチャンネルは、現在変換中のチャンネルと異なる場合があります。マッピングは、チャンネル・レジスタからの直接マップです。したがって、チャンネル 0 は 0x0 になり、チャンネル 15 は 0xF になります。	0x0	R
		0000	チャンネル 0。		
		0001	チャンネル 1。		
		0010	チャンネル 2。		
		0011	チャンネル 3。		
		0100	チャンネル 4。		
		0101	チャンネル 5。		
		0110	チャンネル 6。		
		0111	チャンネル 7。		
		1000	チャンネル 8。		
		1001	チャンネル 9。		
		1010	チャンネル 10。		
		1011	チャンネル 11。		
		1100	チャンネル 12。		
		1101	チャンネル 13。		
		1110	チャンネル 14。		
		1111	チャンネル 15。		

ADC モード・レジスタ

アドレス：0x01、リセット：0x2000、レジスタ名：ADCMODE

ADC モード・レジスタは ADC の動作モードと MCLK の選択を制御します。ADC モード・レジスタへの書き込みによって、フィルタとビットがリセットされ、新しい変換またはキャリブレーションが開始されます。

表 22. ADCMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	REF_EN		内部リファレンスをイネーブルし、バッファされた 2.5V を REFOUT ピンに出力します。	0x0	R/W
		0	ディスエーブル。		
		1	イネーブル。		
14	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
13	SING_CYC		1 チャンネルのみがアクティブなときにこのビットを使用し、固定のフィルタ・データ・レートのみで出力するように ADC を設定することができます。	0x1	R/W
		0	ディスエーブル。		
		1	イネーブル。		
[12:11]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
[10:8]	Delay		これらのビットにより、チャンネルが切り替わった後、プログラマブルな遅延を追加することができるため、外部回路がセトリングしてから ADC がその入力の処理を開始するようにすることができます。	0x0	R/W
		000	0μs。		
		001	8μs。		
		010	32μs。		
		011	80μs。		
		100	200μs。		
		101	400μs。		
		110	1ms。		
		111	2ms。		

レジスタの詳細

表 22. ADCMODE のビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		このビットは予約済みです。0 に設定します。	0x0	R
[6:4]	Mode	000 001 010 011 100 110 111	これらのビットは ADC の動作モードを制御します。詳細については、 動作モード および 設定の概要 のセクションを参照してください。 連続変換モード。 シングル変換モード。 スタンバイ・モード。 パワーダウン・モード。 内部オフセットのキャリブレーション。 システム・オフセットのキャリブレーション。 システム・ゲインのキャリブレーション。	0x0	R/W
[3:2]	CLOCKSEL	00 01 10 11	これらのビットは ADC のクロック源を選択します。内部発振器を選択すると、同時に内部発振器がイネーブルされます。 内部発振器。 内部発振器の出力（XTAL2/CLKIO ピン）。 外部クロックの入力（XTAL2/CLKIO ピン）。 外部水晶振動子（XTAL1 ピンおよび XTAL2/CLKIO ピン）。	0x0	R/W
[1:0]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R

インターフェース・モード・レジスタ

アドレス：0x02、リセット：0x0000、レジスタ名：IFMODE

インターフェース・モード・レジスタは様々なシリアル・インターフェース・オプションを設定します。

表 23. IFMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
12	ALT_SYNC	0 1	このビットにより、SYNC ピンの動作を変更して、チャンネル切替え時の変換制御に SYNC を使用できます。 ディスエーブル。 イネーブル。	0x0	R/W
11	IOSTRENGTH	0 1	このビットは DOUT/RDY ピンの駆動強度を制御します。低電圧の IOVDD 電源を使い、容量が中程度のシリアル・インターフェースから高速で読み出す場合、このビットをセットします。 ディスエーブル（デフォルト）。 イネーブル。	0x0	R/W
[10:9]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
8	DOUT_RESET	0 1	ディスエーブル。 イネーブル。	0x0	R/W
7	CONTREAD	0 1	このビットは、ADC データ・レジスタの連続読出しモードを有効にします。連続読出しモードを使うには、ADC を連続変換モードに設定する必要があります。詳細については、 動作モード のセクションを参照してください。 ディスエーブル。 イネーブル。	0x0	R/W
6	DATA_STAT	0 1	このビットは、読出し時にステータス・レジスタの内容をデータ・レジスタの内容に付加する機能を有効にし、チャンネルとステータスの情報がデータと共に送信されるようにします。これは、ステータス・レジスタから読み出したチャンネル・ビットを確実にデータ・レジスタのデータに対応させる唯一の方法です。 ディスエーブル。 イネーブル。	0x0	R/W
5	REG_CHECK		このビットはレジスタの整合性チェック機能を有効にします。この機能を使って、ユーザ・レジスタ内の値の変化をすべて監視することができます。この機能を使用するには、このビットをクリアした状態で、その他のすべてのレジスタを必要に応じて設定します。	0x0	R/W

レジスタの詳細

表 23. IFMODE のビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
		0 1	次に、REG_CHECK ビットを 1 に設定するようこのレジスタに書き込みます。いずれかのレジスタの内容が変化すると、ステータス・レジスタの REG_ERROR ビットがセットされます。このエラーをクリアするには、REG_CHECK ビットを 0 に設定します。ただし、インターフェース・モード・レジスタ、ADC データ・レジスタ、ステータス・レジスタのいずれも、チェック対象のレジスタには含まれていません。レジスタに新しい値を書き込む必要がある場合は、このビットを最初にクリアします。そうでない場合、新しいレジスタの内容が書き込まれたときにエラーが示されます。 ディスエーブル。 イネーブル。		
4	Reserved		このビットは予約済みです。0 に設定します。	0x0	R
[3:2]	CRC_EN	00 01 10	これらのビットは、レジスタの読出しと書き込みの CRC 保護を有効にします。CRC により、シリアル・インターフェース転送のバイト数が 1 だけ増加します。 ディスエーブル。 レジスタ読出しトランザクションで、XOR チェックサムを有効化。これらのビットがセットされても、レジスタ書き込みは引き続き CRC を使用します。 レジスタの読み書きトランザクションで、CRC チェックサムを有効化。	0x00	R/W
[1:0]	Reserved		このビットは予約済みです。0 に設定します。	0x0	R

レジスタ・チェック

アドレス：0x03、リセット：0x000000、レジスタ名：REGCHECK

レジスタ・チェック・レジスタは、ユーザ・レジスタの排他的論理和（XOR）計算で得られた 24 ビット長のチェックサムです。このチェックサムが動作するには、インターフェース・モード・レジスタの REG_CHECK ビットをセットする必要があります。そうでない場合、レジスタの読出し値は 0 となります。

表 24. REGCHECK のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	REGISTER_CHECK		インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、ユーザ・レジスタの 24 ビットのチェックサムがこのレジスタに格納されます。	0x000000	R

データ・レジスタ

アドレス：0x04、リセット：0x0000、レジスタ名：Data

データ・レジスタには、ADC の変換結果が格納されます。エンコーディングはオフセット・バイナリですが、セットアップ設定レジスタの BI_UNIPOLARx ビットによってユニポーラに変更できます。 $\overline{\text{RDY}}$ ビットと $\overline{\text{RDY}}$ 出力がロー・レベルの場合、データ・レジスタを読み出すと、これらはハイ・レベルになります。ADC の変換結果は複数回読み出すことができます。ただし、 $\overline{\text{RDY}}$ 出力がハイ・レベルになっているため、ADC の次の変換結果が差し迫っているかどうかを知ることはできません。ADC のレジスタを読み出すコマンドを受け取った後、ADC は新しい変換結果をレジスタに書き込みません。

表 25. Data のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	Data		このレジスタには、ADC の変換結果が格納されます。インターフェース・モード・レジスタの DATA_STAT ビットをセットすると、読出し時にステータス・レジスタのデータが付加され、24 ビット・レジスタになります。	0x0000	R

GPIO 設定レジスタ

アドレス：0x06、リセット：0x0800、レジスタ名：GPIOCON

GPIO 設定レジスタは、ADC の汎用入出力ピンを制御します。

表 26. GPIOCON のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	Reserved		予約済み。	0x0	R
13	OP_EN0_1	0 1	GPO0/GPO1 出力カインーブル。このビットは GPO0 ピンと GPO1 ピンをイネーブルします。出力は、AVDD と AVSS の間の電圧を基準にしています。 ディスエーブル。 イネーブル。	0x0	R/W

レジスタの詳細

表 26. GPIOCON のビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
12	OW_EN	0 1	このビットは、断線検出機能の使用をイネーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
11	SYNC_EN	0 1	SYNC入力をイネーブル。このビットにより、 $\overline{\text{SYNC}}$ ピンを同期入力として使用できるようになります。ローに設定すると、 $\overline{\text{SYNC}}$ ピンによって、 $\overline{\text{SYNC}}$ がハイ・レベルになるまで ADC とフィルタのリセット状態が保持されます。インターフェース・モード・レジスタの ALT_SYNC ビットをセットすると、 $\overline{\text{SYNC}}$ ピンの動作を変更できます。このモードは、複数チャンネルがイネーブルされている場合にのみ機能します。 この場合、 $\overline{\text{SYNC}}$ ピンがロー・レベルになっても、フィルタと変調器は直ちにリセットされません。代わりに、チャンネルが切り替わろうとするとときに $\overline{\text{SYNC}}$ ピンがロー・レベルであると、変換器とフィルタは新しい変換を開始できなくなります。 $\overline{\text{SYNC}}$ をハイ・レベルにすると次の変換が開始されます。 このオルタネート同期モードにより、チャンネルのサイクリング時に $\overline{\text{SYNC}}$ を使用できるようになります。 ディスエーブル。 イネーブル。	0x1	R/W
[10:9]	ERR_EN	00 01 10 11	エラー・ピン・モード。これらのビットにより、 $\overline{\text{ERROR}}$ ピンをエラー入出力として使用できるようになります。 ディスエーブル。 エラー入力をイネーブル（アクティブ・ロー）。 $\overline{\text{ERROR}}$ はエラー入力です。反転されたリードバックの状態は、他のエラー・ソースとの論理和がとられ、ステータス・レジスタの ADC_ERROR ビットで読み出せます。 $\overline{\text{ERROR}}$ ピンの状態は、このレジスタの ERR_DAT ビットから読み出すこともできます。 オープン・ドレイン・エラー出力をイネーブル（アクティブ・ロー）。 $\overline{\text{ERROR}}$ はオープン・ドレインのエラー出力です。ステータス・レジスタのエラー・ビットは理論和がとられ、反転された上で、 $\overline{\text{ERROR}}$ ピンにマッピングされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスの $\overline{\text{ERROR}}$ ピンを、共通のプルアップ抵抗に接続できます。 汎用出力（アクティブ・ロー）。 $\overline{\text{ERROR}}$ は汎用出力です。このピンのステータスは、このレジスタの ERR_DAT ビットによって制御されます。この出力は、GPIO ピンで使用される AVDD および AVSS レベルとは異なり、IOVDD と DGND 間の電圧を基準にしています。この場合、出力にはアクティブ・プルアップを接続します。	0x0	R/W
8	ERR_DAT	0 1	エラー・ピン・データ。このピンが汎用出力としてイネーブルされている場合、このビットが $\overline{\text{ERROR}}$ ピンのロジック・レベルを決定します。このピンが入力としてイネーブルされていると、このビットは、このピンのリードバック・ステータスを反映します。 ロジック 0。 ロジック 1。	0x0	R/W
7	GP_DATA1	0 1	GPO1 データ。このビットは GPO1 の書込みデータです。 GPO1 = 0。 GPO1 = 1。	0x0	R/W
6	GP_DATA0	0 1	GPO0 データ。このビットは GPO0 の書込みデータです。 GPO1 = 0。 GPO1 = 1。	0x0	R/W
[5:0]	Reserved		予約済み。	0x0	R

ID レジスタ

アドレス：0x07、リセット：0x39DX、レジスタ名：ID

ID レジスタは 16 ビットの ID を返します。AD4113 の場合、この値は 0x39DX です。

表 27. ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ID		製品 ID。ID レジスタは、この ADC 固有の 16 ビットの ID コードを返します。	0x39DX	R

レジスタの詳細

チャンネル・レジスタ 0～チャンネル・レジスタ 15

アドレス：0x10～0x1F、リセット：0x8001、レジスタ名：CH0～CH15

チャンネル・レジスタは 16 ビットのレジスタです。現在アクティブなチャンネル、各チャンネルの入力、チャンネル用の ADC の設定に使用するセットアップを選択するには、このレジスタを使用します。CH0～CH15 のレイアウトは同一です。

表 28. CH0～CH15 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	CH_ENx	0 1	このビットはチャンネル x をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。 ディスエーブル。 イネーブル。	0x1	R/W
[14:12]	SETUP_SELx	000 001 010 011 100 101 110 111	これらのビットは、このチャンネル用に ADC を設定するのに使用する 8 種類のセットアップ中のどれを使用するかを指定します。 セットアップは、セットアップ設定レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 つのレジスタで構成されています。全てのチャンネルが同じセットアップを使用することができます。この場合、全てのアクティブなチャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。または、最多 8 チャンネルを異なる設定にすることができます。 セットアップ 0。 セットアップ 1。 セットアップ 2。 セットアップ 3。 セットアップ 4。 セットアップ 5。 セットアップ 6。 セットアップ 7。	0x0	R/W
[11:10]	Reserved		予約済み。	0x0	R
[9:0]	INPUTx	0000000001 0000010000 0000100000 0000110000 0001000011 0001010000 0001100010 0001110000 0010000101 0010010000 0010100100 0010110000 0011000111 0011010000 0011100110 0011110000 1000110010 1010110110	これらのビットは、このチャンネルの ADC の入力に接続する入力ペアを選択します。 VIN0、VIN1。 VIN0、VINCOM。 VIN1、VIN0。 VIN1、VINCOM。 VIN2、VIN3。 VIN2、VINCOM。 VIN3、VIN2。 VIN3、VINCOM。 VIN4、VIN5。 VIN4、VINCOM。 VIN5、VIN4。 VIN5、VINCOM。 VIN6、VIN7。 VIN6、VINCOM。 VIN7、VIN6。 VIN7、VINCOM。 温度センサー。 リファレンス。	0x1	R/W

レジスタの詳細

セットアップ設定レジスタ 0～セットアップ設定レジスタ 7

アドレス：0x20～0x27、リセット：0x1000、レジスタ名：SETUPCON0～SETUPCON7

セットアップ設定レジスタは 16 ビットのレジスタで、リファレンスの選択、入力バッファ、および ADC の出力コーディングを設定します。SETUPCON0～SETUPCON7 のレイアウトは同一です。

表 29. SETUPCON0～SETUPCON7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
12	BI_UNIPOLARx	0 1	バイポーラ/ユニポーラ。このビットはセットアップ x の ADC の出力コーディングを設定します。 ユニポーラ・コーディング出力。 バイポーラ・コーディング出力。	0x1	R/W
11	REFBUFx+	0 1	REF+バッファ。このビットは REF+入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
10	REFBUFx-	0 1	REF-バッファ。このビットは REF-入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
[9:8]	INBUFx	00 01	入力バッファ。このビット・フィールドはデフォルトでディスエーブルされていますが、正常に動作させるにはイネーブルする必要があります。 ディスエーブル。 イネーブル。	0x0	R/W
[7:6]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
[5:4]	REF_SELx	00 10 11	これらのビットにより、セットアップ 0 の ADC 変換のリファレンス源を選択できます。 外部リファレンス - REF±。 2.5V の内部リファレンス。 AVDD - AVSS。	0x0	R/W
[3:0]	Reserved		予約済み。	0x0	R

フィルタ設定レジスタ 0～フィルタ設定レジスタ 7

アドレス：0x28～0x2F、リセット：0x0500、レジスタ名：FILTCON0～FILTCON7

フィルタ設定レジスタは 16 ビットのレジスタで、ADC のデータ・レートとフィルタ・オプションを設定します。これらのレジスタに書き込むと、アクティブな ADC 変換はすべてリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。FILTCON0～FILTCON7 のレイアウトは同一です。

表 30. FILTCON0～FILTCON7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	SINC3_MAPx		このビットをセットすると、フィルタ・レジスタのマッピングが変化して、セットアップ x の sinc3 フィルタのデシメーション・レートが直接設定されます。他のオプションはすべて無効になります。これにより、特定の周波数成分を除去するために出力データ・レートおよびフィルタ・ノッチの微調整が可能になります。1 つのチャンネルのデータ・レートは $f_{MOD}/(32 \times FILTCON0[14:0])$ に等しくなります。	0x0	R/W
[14:12]	Reserved		これらのビットは予備で、0 に設定します。	0x0	R
11	ENHFILTENx	0 1	このビットは、セットアップ x の 50Hz/60Hz 除去を強化するための各種ポストフィルタをイネーブルします。この機能を有効にするには、ORDER0 ビットを 00 に設定し、sinc5 + sinc1 フィルタを選択する必要があります。 ディスエーブル。 イネーブル。	0x0	R/W
[10:8]	ENHFILTx	010 011 101 110	これらのビットは、セットアップ x の 50Hz/60Hz 除去を強化するための各種ポストフィルタを選択します。 27SPS、47dB の除去、36.7ms のセトリング時間。 25SPS、62dB の除去、40ms のセトリング時間。 20SPS、86dB の除去、50ms のセトリング時間。 16.67SPS、92dB の除去、60ms のセトリング時間。	0x5	R/W

レジスタの詳細

表 30. FILTCON0 to FILTCON7 のビットの説明（続き）

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		このビットは予約済みで、0 に設定します。	0x0	R
[6:5]	ORDERx	00 01	これらのビットは、セットアップxの変調器データを処理するデジタル・フィルタの次数を制御します。 sinc5 + sinc1（デフォルト）。 sinc3。	0x0	R/W
[4:0]	ODRx	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110	これらのビットは ADC の出力データ・レートを制御します。したがって、セットアップxのセトリング時間とノイズの値も制御します。シングル・チャンネルで sinc5 + sinc1 フィルタをイネーブルした場合のレートを以下に示します。複数のチャンネルをイネーブルする場合は、表 7 および表 8 を参照してください。 125,000SPS。 125,000SPS。 62,500SPS。 62,500SPS。 31,250SPS。 25,000SPS。 15,625SPS。 10,390（sinc3 で 10416.7SPS）。 4994（sinc3 で 5000SPS）。 2498SPS（sinc3 で 2500SPS）。 1000.00SPS。 500.00SPS。 395.5SPS（sinc3 で 400.6SPS）。 200.00SPS。 100.00SPS。 59.87SPS。 49.92SPS（sinc3 で 50SPS）。 20.01SPS。 16.67SPS。 10SPS。 5SPS。 2.5SPS。 2.5SPS。	0x0	R/W

オフセット・レジスタ 0～オフセット・レジスタ 7

アドレス：0x30～0x37、リセット：0x8000、レジスタ名：OFFSET0～OFFSET7

オフセット（ゼロスケール）レジスタは 16 ビットのレジスタで、ADC またはシステムのオフセット誤差の補正に使用することができます。OFFSET0～OFFSET7 のレイアウトは同一です。

表 31. OFFSET0～OFFSET7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	OFFSETx		セットアップ 0 用のオフセット・キャリブレーション係数。	0x8000	R/W

レジスタの詳細

ゲイン・レジスタ 0～ゲイン・レジスタ 7

アドレス : 0x38～0x3F、リセット : 0x5XXX、レジスタ名 : GAIN0～GAIN7

ゲイン（フルスケール）レジスタは 16 ビットのレジスタで、ADC またはシステムのゲイン誤差の補正に使用することができます。GAIN0～GAIN7 のレイアウトは同一です。

表 32. GAIN0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	GAINx		セットアップ x のゲイン・キャリブレーション係数。	0x5XXX	R/W

外形寸法

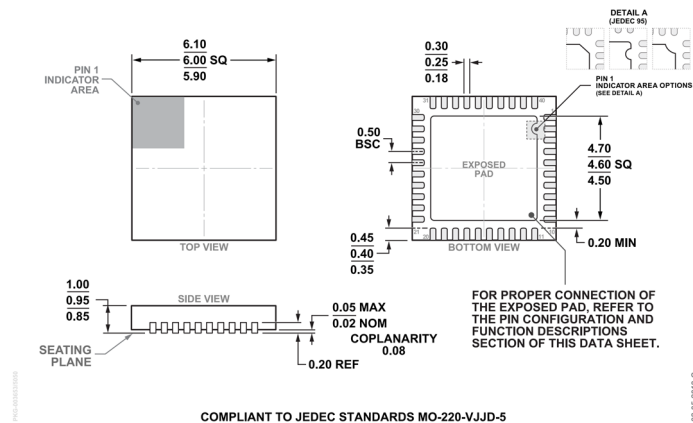


図 41. 40 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
6mm × 6mm ボディ、0.95mm パッケージ高
(CP-40-15)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4113BCPZ	-40°C to +105°C	40-Lead LFCSP	Tray, 490	CP-40-15
AD4113BCPZ-RL7	-40°C to +105°C	40-Lead LFCSP	Reel, 750	CP-40-15

¹ Z = RoHS 準拠製品。

更新：2026 年 4 月 14 日

評価用ボード

Model ¹	Description
EVAL-AD4113ARDZ	Evaluation Board

¹ Z = RoHS 準拠製品。

法的使用条件

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。ここに記載されているすべてのアナログ・デバイセズ製品の提供は、販売状況および在庫状況に依存します。