

20 ビット、20MSPS、差動 SAR ADC

特長

- ▶ 高性能
 - ▶ スループット : 20MSPS、77.50ns の変換レイテンシ
 - ▶ INL : $\pm 4\text{ppm}$ (代表値)、 $\pm 8\text{ppm}$ (最大値)
 - ▶ ダイナミック・レンジ : 94.6dBFS
 - ▶ SNR/THD
 - ▶ $f_{IN} = 1\text{kHz}$ で、94dB (代表値) / -117.3dB (代表値)
 - ▶ $f_{IN} = 1\text{MHz}$ で、93.7dB (代表値) / -103.7dB (代表値)
 - ▶ ノイズ・スペクトル密度 : -164.6dBFS/Hz
 - ▶ 20 ビット分解能、ノードミッシング・コード
- ▶ 低消費電力
 - ▶ 20MSPS、-0.5dBFS 正弦波入力で 68.6mW (代表値)
- ▶ Easy Drive、完全差動入力
 - ▶ 6V p-p 差動入力レンジ
 - ▶ 連続信号アクイジション
 - ▶ 線形特性を持つ $5\mu\text{A}/\text{MSPS}$ の入力電流
- ▶ 低ドリフトのリファレンス・バッファおよびデカップリングを内蔵
- ▶ V_{CM} 生成を内蔵
- ▶ デジタル機能とデータ・インターフェース
 - ▶ 変換結果 FIFO、16K サンプル深さ
 - ▶ 最大 2^{10} デシメーションのデジタル平均化フィルタ
- ▶ SPI 設定
- ▶ データ・インターフェースを設定可能
 - ▶ シングル・レーン、DDR、シリアル LVDS、レーンあたり 400Mbps
 - ▶ デュアル・レーン、DDR、シリアル LVDS、レーンあたり 200Mbps
 - ▶ シングル／クワッド・レーン SPI データ・インターフェース
- ▶ パッケージ
 - ▶ 49 ポール、5mm × 5mm CSP_BGA、0.65mm ピッチ
 - ▶ 電源デカップリング・コンデンサを内蔵
- ▶ 動作温度範囲 : -40°C ~ +85°C

アプリケーション

- ▶ デジタル・イメージング
- ▶ バッテリのセル解析
- ▶ 分光分析
- ▶ ATE (自動試験装置)
- ▶ 高速データ・アクイジション
- ▶ デジタル制御ループ、ハードウェア・イン・ザ・ループ
- ▶ 電力品質の解析
- ▶ ソース計測ユニット
- ▶ 電子顕微鏡と X 線顕微鏡
- ▶ レーダー・レベル測定
- ▶ 非破壊検査

機能ブロック図

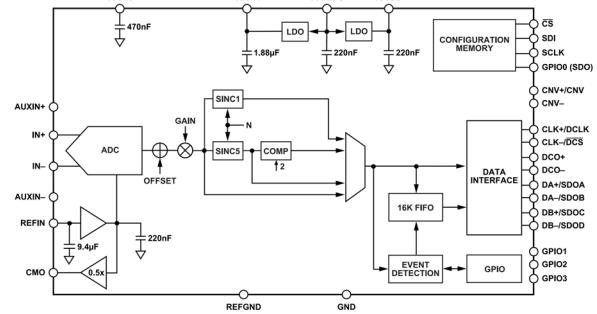


図 1. AD4081 の機能ブロック図

概要

AD4081 は、高速、低ノイズ、低歪み、20 ビット、Easy Drive の逐次比較レジスタ (SAR) A/D コンバータ (ADC) です。AD4081 は、1MHz を超える信号周波数で高い性能 (信号ノイズ + 歪み (SINAD) 比 > 90dBFS) を維持することにより、様々な高精度で広帯域幅のデータ・アクイジション・アプリケーションに対応できます。入力アンチエイリアス・フィルタ設計の簡素化は、内蔵デジタル・フィルタリングおよびデシメーションと共にオーバーサンプリングを適用して、AD4081 の最低レイテンシが不要なアプリケーションに対して、ノイズを低減し、出力データレートを下げるこによって実現できます。

AD4081 の Easy Drive 機能は、シグナル・チェーンの複雑さと消費電力の両方を低減すると同時に、チャンネル密度の向上と関連部品の選択の柔軟性を実現します。本製品の入力構造は、入力に依存する信号電流を最小化するように設計されているため、コンバータによって発生するセトリング・アーティファクトが軽減されます。連続アクイジション・アーキテクチャにより、変換サイクル全体にわたってセトリングが可能になり、他の高速データ・コンバータと比較して、ADC ドライバ・セトリングおよび帯域幅条件が緩和されます。

AD4081 には、低ドリフトのリファレンス・バッファ、ADC コアおよびデジタル・インターフェース電源レールを生成するための低ドロップアウト (LDO) レギュレータ、およびデジタル・ホスト上の負荷を大幅に低減できる 16K 結果データの先入れ先出し (FIFO) など、データ・コンバータの統合を簡素化するいくつかの要素があります。更に、最適な性能を確保し、プリント基板 (PCB) のレイアウトを簡素化し、ソリューション全体のフットプリントを縮小するために、重要な電源およびリファレンス・デカップリング・コンデンサがパッケージに内蔵されています。

目次

特長	1	ソフトウェア・リセット	26
アプリケーション	1	アプリケーション情報	28
機能ブロック図	1	代表的なアプリケーション図	28
概要	1	アナログ・フロント・エンドの設計	29
仕様	3	リファレンス回路の設計	30
タイミング仕様	6	データ・インターフェースのクロッキング・ソリューション	30
絶対最大定格	8	電源ソリューション	31
熱抵抗	8	デジタル・インターフェース	32
静電放電（ESD）定格	8	概要	32
ESDに関する注意	8	SPI設定インターフェース	32
ピン配置およびピン機能の説明	9	LVDSデータ・インターフェース	44
代表的な性能特性	12	SPIデータ・インターフェース	51
用語の定義	17	GPIOピン	52
動作原理	18	デジタル機能	54
製品の概要	18	概要	54
コンバータの動作	18	イベント検出	54
伝達関数	19	結果 FIFO	56
Easy Drive アナログ入力	19	デジタル・フィルタ	64
リファレンス・バッファとコモンモード出力	21	システム誤差補正係数	71
電源	21	レイアウトのガイドライン	72
内部安定化電源の構成	22	設定レジスタ	73
外部生成化電源の構成	22	レジスタの詳細	75
パワーオン・リセット（POR）モニタ	23	外形寸法	95
電源シーケンス	23	オーダー・ガイド	95
省電力動作モード	25	評価用ボード	95

改訂履歴

7/2025—Revision 0: Initial Version

仕様

特に指定のない限り、VDD33 = 3.3V ± 5%、VDDLDO = 1.5V~2.7V、VDD11 = 1.1V ± 5%、IOVDD = 1.1V – 5%~1.2V + 5%、電圧リファレンス入力 (V_{REFIN}) = 3.0V、サンプリング周波数 (f_S) = 20MHz、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		20			Bits
ANALOG INPUT					
Absolute Operating Input Voltage	Voltage at input, referred to GND	-0.1		VDD33 + 0.1	V
Differential Input Voltage Range	IN+ voltage – IN- voltage	- V_{REFIN}		+ V_{REFIN}	V
Common-Mode Input Range		$V_{REFIN}/2 - 0.05$	$V_{REFIN}/2$	$V_{REFIN}/2 + 0.05$	V
DC PERFORMANCE					
No Missing Codes		20			Bits
Differential Nonlinearity (DNL)		±0.3	±0.99		LSB
Integral Nonlinearity (INL)		±4	±8		ppm
Transition Noise		6.9			LSB RMS
Gain Error	$T_A = 25^\circ C$	0.0024	±0.03		%FS
Gain Error Drift	$T_A = -40^\circ C$ to $+85^\circ C$	0.27			ppm/°C
Zero Error	$T_A = 25^\circ C$	25			μV
Zero-Error Drift	$T_A = -40^\circ C$ to $+85^\circ C$	0.03			ppm/°C
Power Supply Rejection	VDD33 = 3.3V ± 5%	-89			dB
	VDD11 = 1.1V ± 5%	-68			dB
Low Frequency Noise	Bandwidth = 0.1Hz to 10Hz	179			nV RMS
AC PERFORMANCE					
Dynamic Range		94.6			dB
Noise Spectral Density (NSD)		-164.6			dBFS/Hz
Total RMS Noise	Bandwidth = 10MHz	39.4			μV RMS
Signal-to-Noise Ratio (SNR)	Voltage magnitude (V_{MAG}) = -0.5dBFS, input frequency (f_{IN}) = 1kHz	92.8	94		dB
	$V_{MAG} = -1\text{dBFS}, f_{IN} = 1\text{MHz}$	93.7			dB
	Sinc5 + compensation filter, decimate by 8, $V_{MAG} = -0.5\text{dBFS}, f_{IN} = 1\text{kHz}$	102.2	102.8		dB
Total Harmonic Distortion (THD)	$V_{MAG} = -0.5\text{dBFS}, f_{IN} = 1\text{kHz}$		-117.3	-108	dB
	$V_{MAG} = -1\text{dBFS}, f_{IN} = 1\text{MHz}$		-103.7		dB
Signal-to-Noise-and-Distortion (SINAD)	$V_{MAG} = -0.5\text{dBFS}, f_{IN} = 1\text{kHz}$	94			dB
	$V_{MAG} = -0.5\text{dBFS}, f_{IN} = 1\text{MHz}$	93.4			dB
Spurious-Free Dynamic Range	$V_{MAG} = -0.5\text{dBFS}, f_{IN} = 1\text{kHz}$	125.8			dB
	$V_{MAG} = -0.5\text{dBFS}, f_{IN} = 1\text{MHz}$	114.3			dB
-3dB Bandwidth	Input at IN+ and IN-, no external filter	272			MHz
Intermodulation Distortion (IMD)	Frequency A (f_A) = 1.0MHz, Frequency B (f_B) = 800kHz				
Second-Order IMD (IMD2)		-108.4			dB
Third-Order IMD (IMD3)		-98.7			dB
Power Supply Rejection	Ripple voltage = 50mV p-p, $f = 1\text{kHz}$				
VDD33		-92.6			dB
VDD11		-81.1			dB
REFERENCE INPUT					
V_{REFIN} Range		2.995	3.0	3.005	V
V_{REFIN} Current		-0.3		+1	μA/MSPS
	$T_A = 25^\circ C$	-7		+20	μA
V_{REFIN} Leakage Current	Converter Idle	-2		+2	μA

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
COMMON-MODE OUTPUT (CMO)					
Absolute Output Voltage	$V_{REFIN} = 3.0V$	1.48		1.51	V
Noise	Bandwidth = 7.4MHz		71		μV RMS
Noise Spectral Density			26.1		nV/\sqrt{Hz}
LOW DROPOUT REGULATORS (VDD11, IOVDD)					
Input Voltage Range (VDDLDO)		1.4		2.7	V
Output Voltage	$T_A = 25^\circ C$, VDDLDO = 1.8V		1.1		V
Start-Up Time			10		μs
LOW VOLTAGE DIFFERENTIAL SIGNALING (LVDS) INPUT AND OUTPUT (EIA-644)					
Data Format	Serial LVDS data output			Twos complement	
LVDS Inputs (CLK \pm and CNV \pm)	IOVDD supply domain inputs				
Common-Mode Input Voltage (V_{ICM})	Default setting	700		1400	mV
Differential Input Voltage (V_{IDIFF})	Default setting	100		600	mV
LVDS Outputs (DCO \pm , DA \pm , and DB \pm)	IOVDD supply domain outputs, differential termination, load resistance (R_L) = 100 Ω				
Common-Mode Output Voltage (V_{OCM})	LVDS_VOD = 001b	915	927	935	mV
	LVDS_VOD = 010b (default)	840	851	860	mV
	LVDS_VOD = 100b	695	706	715	mV
Differential Output Voltage (V_{ODIFF})	LVDS_VOD = 001b	370	382	430	mV
	LVDS_VOD = 010b (default)	500	510	570	mV
	LVDS_VOD = 100b	735	745	840	mV
DIGITAL INPUTS (CNV, CS, SCLK, and SDI)	VDD11 supply domain inputs				
Input Voltage Tolerance		0		2.5	
Logic Levels					
Input Low Voltage (V_{IL})		0		0.36 \times VDD11	
Input High Voltage (V_{IH})		0.92		2.5	
DIGITAL INPUTS (GPIOx, DC \bar{S} , and DCLK)	IOVDD supply domain inputs				
Input Voltage Tolerance		0		1.26	V
Logic Levels					
V_{IL}		0		0.36 \times IOVDD	V
V_{IH}		0.92		IOVDD	V
Input Current					
Input Low Current (I_{IL})		-1		+1	μA
Input High Current (I_{IH})		-1		+1	μA
Input Pin Capacitance			4.5		pF
DIGITAL OUTPUTS (GPIOx)	IOVDD supply domain outputs				
Logic Levels					
Output Low Voltage (V_{OL})	Sink current (I_{SINK}) = 500 μA	0		0.15	V
Output High Voltage (V_{OH})	Source current (I_{SOURCE}) = 500 μA	IOVDD - 0.115		IOVDD	V
DIGITAL OUTPUTS (SDOx)	IOVDD supply domain outputs.				
Data Format	Configured as serial data output			Twos complement	
Logic Levels					
V_{OL}	$I_{SINK} = 500\mu A$	0		0.15	V
V_{OH}	$I_{SOURCE} = 500\mu A$	IOVDD - 0.115		IOVDD	V

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
POWER SUPPLIES					
VDD33		3.135	3.30	3.465	V
VDDLDO		1.4		2.7	V
VDD11	Applied externally, LDO disabled	1.045	1.10	1.155	V
IOVDD	Applied externally, LDO disabled	1.045	1.10	1.26	V
Operating Current	LVDS_CNV_EN = 0				
Static	Converter and interface idle, FIFO disabled				
VDD33		5.4	7.14		mA
VDDLDO	VDD11 LDO disabled	0	0.02		mA
VDD11		16.4	23		mA
IOVDD		5.2	6		mA
VDDLDO	VDD11 LDO enabled	21.5	26.5		mA
Dynamic	DC input signal				
VDD33		11.8	13.2		mA
VDDLDO	VDD11 LDO disabled	0	0.02		mA
VDD11		21.8	27		mA
IOVDD		8.1	8.6		mA
VDDLDO	VDD11 LDO enabled	29.8	35.5		mA
Dynamic	-0.5dBFS sine-wave input signal				
VDD33		11	12.3		mA
VDDLDO	VDD11 LDO disabled	0	0.02		mA
VDD11		21.7	27		mA
IOVDD		7.7	8.7		mA
VDDLDO	VDD11 LDO enabled	28	33.5		mA
Standby Mode	LVDS_SELF_CLK_MODE disabled				
VDD33		1.4	1.9		mA
VDDLDO	VDD11 LDO disabled	0	0.02		mA
VDD11		2	4.4		mA
IOVDD		99	315		μA
VDDLDO	VDD11 LDO enabled	1.7	3.9		mA
Sleep Mode	LVDS_SELF_CLK_MODE disabled				
VDD33		0.6	0.9		mA
VDDLDO	VDD11 LDO disabled	0	0.02		mA
VDD11		1.2	3.7		mA
IOVDD		60	299		μA
VDDLDO	VDD11 LDO enabled	1.5	4.5		mA
Power Dissipation					
Static	VDD11 LDO disabled	41.6	58.9		mW
Dynamic	DC input signal	71.8	87.8		mW
Dynamic	-0.5dBFS sine-wave input signal	68.6	84.8		mW
Standby Mode	VDD11 LDO disabled	6.9	12.1		mW
Sleep Mode	VDD11 LDO disabled	3.4	7.8		mW
TEMPERATURE RANGE					
Specified Performance	T _{MIN} to T _{MAX}	-40		+85	°C

仕様

タイミング仕様

特に指定のない限り、VDD33 = 3.3V ± 5%、VDDLDO = 1.5V~2.7V、VDD11 = 1.1V ± 5%、IOVDD = 1.1V – 5%~1.2V + 5%、VREFIN = 3.0V、fs = 20MHz、TA = TMIN~TMAX。

表 2. タイミング仕様

Parameter	Symbol	Min	Typ	Max	Unit
Sampling Frequency	f _S	1.25		20	MHz
Conversion Time	t _{CONV}	50		800	ns
Acquisition Phase	t _{ACQ}	t _{CYC}			ns
Conversion Cycle Period	t _{CYC}	t _{CONV}			ns
LVDS Data Interface					
Data Interface Clock Count	N			10	
Active Data Lane Count	L			2	
CNV± High Time	t _{CNVH}	t _{CLK}	5 × t _{CLK}	t _{CYC} – t _{CNVL}	ns
CNV± Low Time	t _{CNVL}	t _{CLK}	5 × t _{CLK}	t _{CYC} – t _{CNVH}	ns
CNV± Edge to CLK± Rising Edge Alignment	t _{CCA}			535	ps
CNV± to Dx± (MSB) Ready	t _{MSB}				
Gain Error Correction Enabled			20.5	22.4	ns
Gain Error Correction Disabled			15.7	18	ns
CLK± Period	t _{CLK}	5		t _{CYC} × L/N	ns
CLK± Frequency	f _{CLK}		1/t _{CLK}	200	MHz
CLK± to Dx± Delay	t _{CLKD}	1		2.1	ns
CLK± to DCO± Delay (Echo Clock Mode)	t _{DCO}	1		2	ns
DCO± to Dx± Delay (Echo Clock Mode)	t _{DCOD}	0.02		1	ns
Serial Peripheral Interface (SPI) Data Interface					
Data Interface Clock Count, Single Conversion Result	M			24	
Active Data Lane Count	C		1	4	
Data Interface Chip Select Falling Edge (DCS) to SDOB Data Valid	t _{DEN}	5	6		ns
Data Interface Clock Period (DCLK)	t _{DCK}	20			ns
Data Interface Clock Low Pulse Width (DCLKL)	t _{DCKL}	t _{DCK} × 0.45			ns
Data Interface Clock High Pulse Width (DCLKH)	t _{DCLKH}	t _{DCK} × 0.45			ns
Data Interface Clock Falling Edge to Data Remains Valid Delay	t _{DHSDO}	5			ns
Data Interface Clock Falling Edge to Data Valid Delay	t _{DDSDO}			9.6	ns
DCLK Rising to Data Interface Chip Select Falling	t _{DCKEN}	0			ns
Data Interface Chip Select High to DCLK Disabled	t _{DCLKDIS}	0			ns
Data Interface Chip Select High Between Frames	t _{DCSMIN}		(t _{DCKEN} + t _{DCLKDIS}) + 0.5 × t _{DCLK}		ns
Serial Configuration Interface					
SCLK Period	t _{SCK}	20			ns
SCLK Low Pulse Width	t _{SCKL}	t _{SCK} × 0.45			ns
SCLK High Pulse Width	t _{SCKH}	t _{SCK} × 0.45			ns
SCLK Falling Edge to Data Remains Valid Delay	t _{HSDO}	0.7			ns
SCLK Falling Edge to Data Valid Delay	t _{DSDO}			14.5	ns
CS Falling Edge to SCLK	t _{CSSCK}	0			ns
Last SCLK to CS Rising	t _{SCKCS}	0			ns
SDI Valid Setup Time Before SCLK Rising Edge	t _{SSDI}	1			ns
SDI Valid Hold Time After SCLK Rising Edge	t _{HSDI}	0			ns
SCLK Rising to Data Interface Chip Select Falling	t _{SCKEN}	0			ns

仕様

表 2. タイミング仕様（続き）

Parameter	Symbol	Min	Typ	Max	Unit
Data Interface Chip Select High to SCLK Disabled	t_{SCKDIS}	0			ns
Data Interface Chip Select High to SDO Disabled	t_{CSDIS}			10.3	ns
Data Interface Chip Select High Between Frames	t_{CSMIN}		$(t_{SCKEN} + t_{SCKDIS}) + 0.5 \times t_{SCK}$		ns
Digital Filter					
$\overline{FILT_SYNC}$ Rising Edge to CNV Rising Edge	$t_{SYNC\ MAX}$		$t_{CYC} - 5$		ns
CNV Rising Edge to $\overline{FILT_SYNC}$ Falling Edge	$t_{SYNC\ MIN}$		3		ns
Event Detection					
Input Threshold Crossed to \overline{ALERT} Asserted	t_{EVT}	$2 \times t_{CYC}$		$3 \times t_{CYC}$	

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
Analog Inputs IN+, AUXIN+, IN-, and AUXIN- to GND	-0.3V to +3.6V
Analog Output CMO	-0.3V to +3.6V
Supply Voltage REFIN and VDD33 to GND	-0.3V to +3.6V
VDDLDO to GND	-0.3V to +2.75V
VDD11 to GND	-0.3V to +1.26V
IOVDD to GND	-0.3V to +1.26V
Digital Inputs and Outputs	
Inputs (CNV \pm and CLK \pm) to GND	-0.3V to +2.75V
LVDS OUTPUT (DCO \pm , DA \pm , and DB \pm) to GND	-0.3V to +1.26V
CS, SCLK, and SDI to GND	-0.3V to +2.75V
GPIO0, GPIO1, GPIO2, and GPIO3 to GND	-0.3V to +1.26V
Temperature	
Storage Range	-55°C to +150°C
Operating Range	-40°C to +85°C
Maximum Reflow (Package) as per JEDEC J-STD-020	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

表 4. 热抵抗

Package	Type	θ_{JA} ¹	Ψ_{JT} ¹	Ψ_{JB} ¹	θ_{JB} ²	θ_{JC} ³	Unit
	BC-49-8	66.8	1.7	45.1	45.9	53.1	°C/W

¹ θ_{JA} 、 Ψ_{JT} 、 Ψ_{JB} は、JEDEC の自然対流環境下で、16 個のサーマル・ピアを配した JEDEC 2S2P テスト PCB を用いてモデル化したものです。

² θ_{JB} は、JEDEC に準拠したジャンクションから基板への環境下で、16 個のサーマル・ピアを配した JEDEC 2S2P テスト PCB を用いてモデル化したものです。

³ θ_{JC} は、無限ヒート・シンクをパッケージ表面に直接取り付け、JEDEC 1S テスト PCB を用いてモデル化したものです。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帶電デバイス・モデル (FICDM)。

AD4081 の ESD 定格

表 5. AD4081、49 ボール CSP_BGA

ESD Model	Withstand Threshold (V)	Class
HBM (Pin E1, Pin E2, Pin D1, and Pin D2 (IN-, AUXIN-, IN+, and AUXIN+, respectively))	1000	1B
HBM (All other pins)	1500	1C
FICDM	750	2B

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

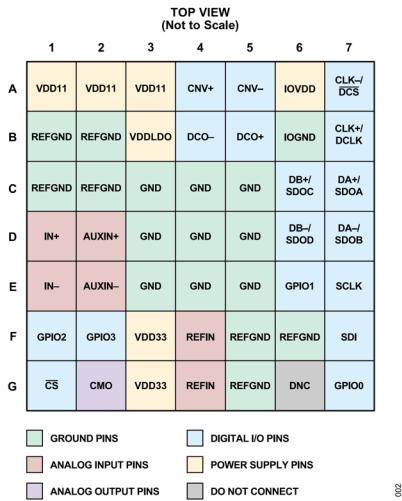


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1, A2, A3	VDD11	P	1.1V ADC コア電源。これらの電源ピンは、GND への 4 つの 470nF コンデンサによって内部でデカップリングされています。 VDDLDO (B3) に給電されると、内部 LDO 電圧レギュレータが、これらのピンで必要な 1.1V を生成します。VDDLDO が 1.4V を超えると、電圧レギュレータの電源が自動的にオンになります。 VDDLDO を切断したままにしておく場合は、必要な 1.1V を必ず、外部電源からこれらのピンに供給する必要があります。
A4, A5	CNV+, CNV-	DI	変換開始入力。このピン・ペアは変換制御入力として機能します。変換信号の立上がりエッジで変換が開始されます。 これらの入力は、デフォルトで CMOS (相補型金属酸化膜半導体) モードに設定されています。このモードでは、CNV-を IOGND に接続し、変換信号を CNV+に印加します。LVDS データ・インターフェース・モードでは、変換開始入力を LVDS モードに任意に設定できます。この場合、変換信号は CNV+と CNV-に別々に適用され、外部 100Ω 終端抵抗を必ず、これらのピンの間に配置します。詳細については ADC 変換コントロール のセクションを参照してください。
A6	IOVDD	P	1.1V デジタル・インターフェース電源レール。この電源は内部で、220nF のコンデンサによって IOGND とデカップリングされています。 VDDLDO (B3) に給電されると、内部 LDO 電圧レギュレータがこのピンで必要な 1.1V を生成します。VDDLDO が 1.5V を超えると、電圧レギュレータの電源が自動的にオンになります。 VDDLDO を切断したままにしておく場合は、必要な 1.1V を必ず、外部電源（通常はホスト・コントローラ・インターフェース電源）からこのピンに供給する必要があります。
A7	CLK-/DCS	DI	データ・インターフェースのクロック入力 (CLK-) / データ・インターフェースのチップ・セレクト (DCS) 多機能ピン。LVDS データ・インターフェース・モード (デフォルト) では、このピンは差動データ・クロック入力の半分として機能し、このピンと CLK+ピンの間には外部 100Ω 終端抵抗が必要です。 SPI データ・インターフェース・モードでは、このピンはチップ・セレクト入力 (データ・インターフェース・チップ・セレクト) として機能します。
B1, B2, C1, C2, F5, F6, G5	REFGND	P	リファレンス・グラウンド。外部リファレンス・デカップリング・コンデンサを REFIN と REFGND の間に接続します。REFGND は必ず、低インピーダンス経路で GND に接続します。
B3	VDDLDO	P	LDO 電源レール入力。 この電源レールは内部で、220nF のコンデンサによって GND とデカップリングされています。2 つの 1.1V 内部 LDO 電圧レギュレータには、この入力に 1.5V~2.7V の範囲の電源を接続して給電できます。このピンがオープンである場合、内部レギュレータの電源が自動的にオフになり、VDD11 と IOVDD の両方を仕様の許容範囲内の外部電圧源に接続する必要があります。 VDDLDO が電圧源に接続されている場合は、VDD11 も IOVDD も、外部電圧源に接続しないでください。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
B4, B5	DCO-, DCO+	DO	LVDS エコー・クロック出力。 LVDS データ・インターフェース・モード（デフォルト）では、このピン・ペアは CLK+と CLK-のバッファリングされた遅延バージョンを出力します。LVDS データ・レーン DA+およびデータ・レーン DA-（および、アクティブの場合、データ・レーン DB+およびデータ・レーン DB-）からのデータ出力は、DCO+および DCO-の立上がりエッジおよび立下がりエッジの両方に合わせてクロック・アウトされます。SPI データ・インターフェース・モード（または LVDS データ・インターフェース・モード中にエコー・クロック・モードがディスエーブルになっている場合）では、これらのピンは未接続のままにしておくことができます。
B6	I0GND	P	デジタル・インターフェース電源のグラウンド・リファレンス。このピンは必ず、他のすべての GND ピンと同じグランド・プレーンに接続します。
B7	CLK+/DCLK	DI	データ・インターフェースのクロック入力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、このピンは差動データ・クロック入力の半分として機能し、このピンと CLK- ピンの間には外部 100Ω 終端抵抗が必要です。 SPI データ・インターフェース・モードでは、このピンにシングルエンドのデータ・クロック信号を印加する必要があります。
C3 to C5, D3 to D5, E3 to E5 C6	GND DB+/SDOC	P DO	グラウンド。すべてのグラウンド・ピンは必ず、PCB GND プレーンに接続します。 データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DB-と共に、オプションのセカンダリ LVDS データ・レーン B として機能します。未使用の場合は、未接続のままにします。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 C (SDOC) として機能します。SDOC は 4 レーン構成でのみ有効です。結果データは、データ・インターフェースのクロック (DCLK) の立下がりエッジで、このピンからシフト出力されます。
C7	DA+/SDOA	DO	このピンを使用しない場合は必ず、未接続のままにします。 データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DA-と共にプライマリ LVDS データ・レーン A として機能します。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 A (SDOA) として機能します。SDOA は 4 レーン構成でのみ有効です。結果データは、データ・インターフェースのクロック (DCLK) の立下がりエッジで、このピンからシフト出力されます。 このピンを使用しない場合は必ず、未接続のままにします。
D1 D2 D6	IN+ AUXIN+ DB-/SDOD	AI AI DO	正側アナログ差動入力。 正側補助アナログ差動入力。 データ・インターフェース出力多機能ピン。 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DB+と共に、オプションのセカンダリ LVDS データ・レーン B として機能します。未使用の場合は、未接続のままにします。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 D (SDOD) として機能します。SDOD は 4 レーン構成でのみ有効です。結果データは、データ・インターフェースのクロック (DCLK) の立下がりエッジで、このピンからシフト出力されます。このピンは、CSが非アクティブのときに 4 レーン SPI モードで使用すると、高インピーダンス状態にならないことに注意してください。
D7	DA-/SDOB	DO	このピンを使用しない場合は必ず、未接続のままにします。 データ・インターフェース出力 LVDS データ・インターフェース・モード（デフォルト）では、この出力ピンは DA+と共に、プライマリ LVDS データ・レーン A として機能します。未使用の場合は、未接続のままにします。 SPI データ・インターフェース・モードでは、このピンはシリアル・データ出力 B (SDOB) として機能します。これは、シングル・レーン・モードで唯一アクティブなシリアル・データ出力です。結果データは、データ・インターフェースのクロック (DCLK) の立下がりエッジで、このピンからシフト出力されます。

ピン配置およびピン機能の説明

表 6. ピン機能の説明（続き）

ピン番号	記号	タイプ ¹	説明
E1	IN-	AI	負側アナログ差動入力。
E2	AUXIN-	AI	負側補助アナログ差動入力。
E6	GPIO1	DI/O	汎用入出力 1 ピン。
E7	SCLK	DI	設定インターフェースのシリアル・データ・クロック。このクロック入力は、デバイス・コンフィギュレーション・メモリとの間でデータをシフト入出力するために使用します。
F1	GPIO2	DI/O	汎用入出力 2 ピン。
F2	GPIO3	DI/O	汎用入出力 3 ピン。
F3, G3	VDD33	P	3.3V 電源レール入力。これらの電源ピンは内部で、470nF のコンデンサによって GND とデカッピングされています。
F4, G4	REFIN	AI	3.0V リファレンス電圧入力。
F7	SDI	DI	シリアル・データ入力。設定データは、シリアル・データ・クロック SCLK の立上がりエッジで、この入力にシフト入力されます。
G1	CS	DI	設定インターフェースのチップ・セレクト入力（アクティブ・ロー）。CS入力は、設定 SPI を介してシリアル・データ転送をフレーム化します。
G2	CMO	AO	コモンモード電圧 (V_{CM}) 出力。
G6	DNC	DNC	接続しないでください。
G7	GPIO0	DI/O	汎用入出力 0 ピン。デフォルトでは設定 SPI SDO データとして設定されています。

¹ AI はアナログ入力、AO はアナログ出力、DI はデジタル入力、DI/O はデジタル入出力、DO はデジタル出力、P は電源です。

代表的な性能特性

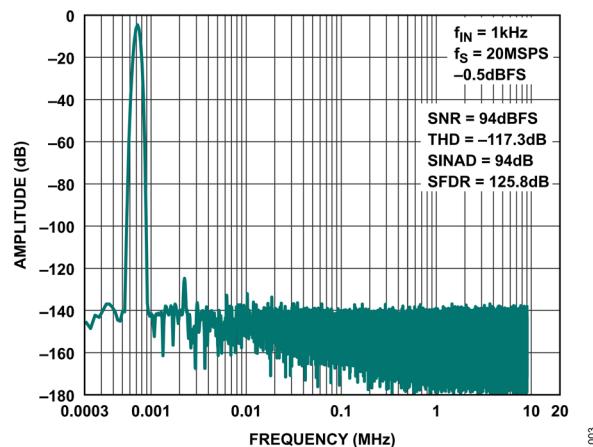


図 3. 高速フーリエ変換 (FFT)
20MSPS、 $f_{IN} = 1\text{kHz}$ 、 -0.5d BFS

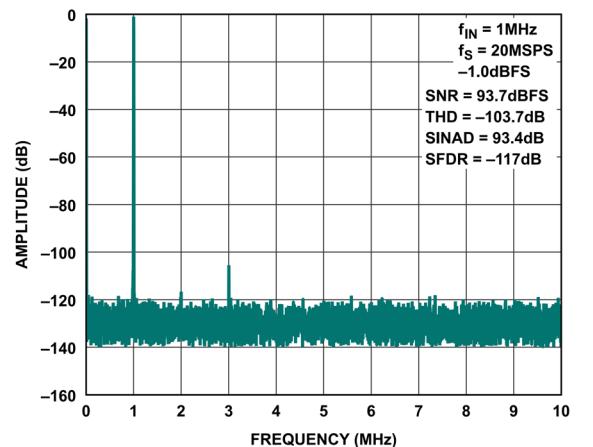


図 4. FFT
20MSPS、 $f_{IN} = 1\text{MHz}$ 、 -1.0d BFS

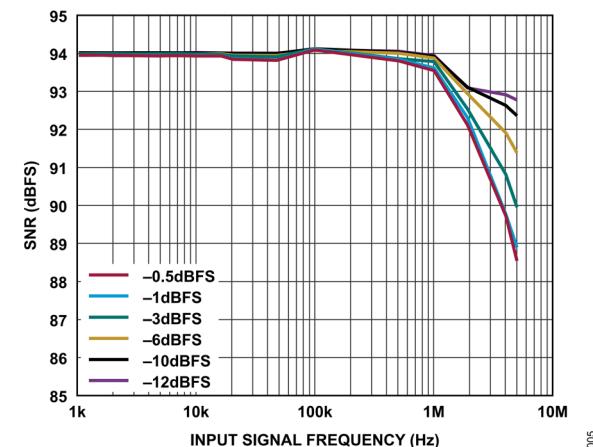


図 5. SN 比と入力信号周波数の関係（振幅 = -0.5d BFS 、 -1d BFS 、 -3d BFS 、 -6d BFS 、 -10d BFS 、 -12d BFS ）

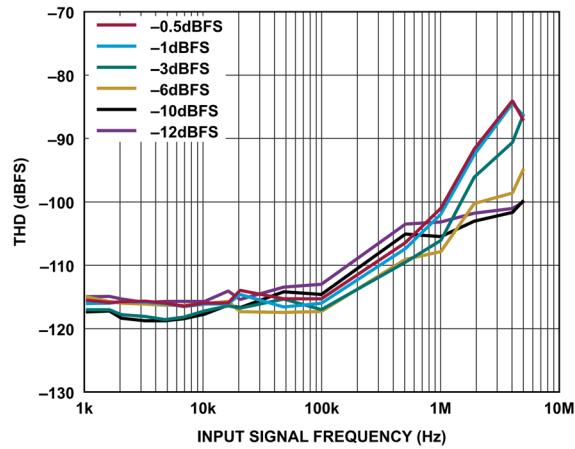


図 6. THD と入力信号周波数の関係（振幅 = -0.5d BFS 、 -1d BFS 、 -3d BFS 、 -6d BFS 、 -10d BFS 、 -12d BFS ）

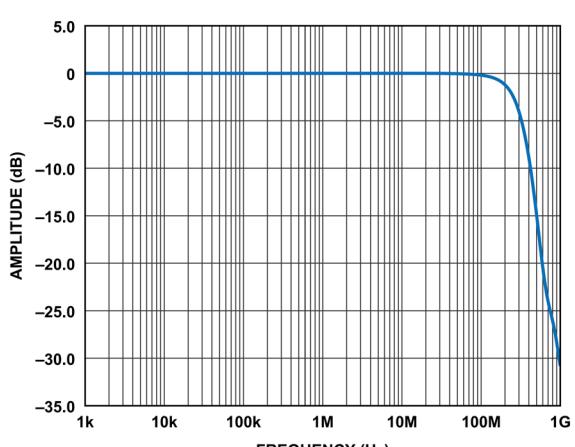


図 7. 20MSPS 時のアナログ入力小信号サンプリング帯域幅

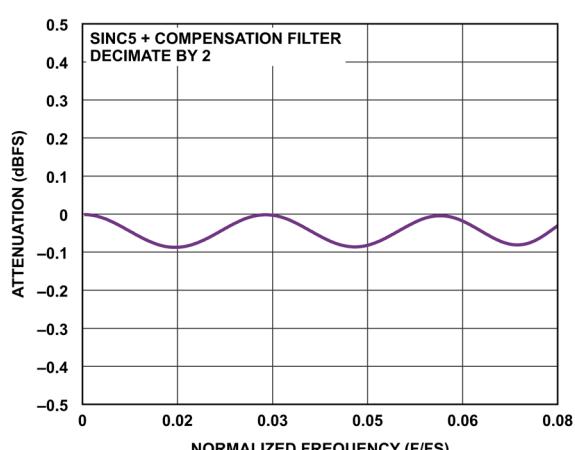


図 8. sinc5 + 補償フィルタ、バス・バンドの平坦性

代表的な性能特性

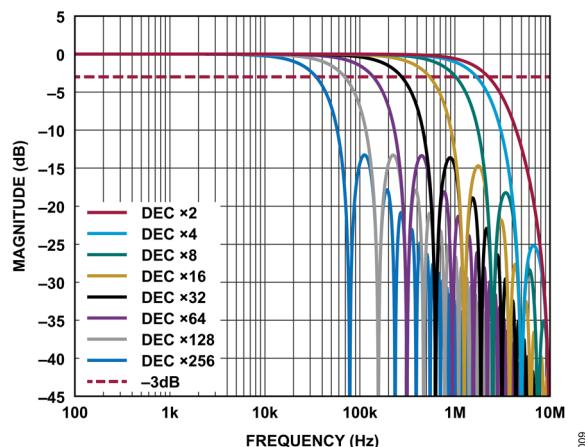


図 9. sinc1 フィルタ応答、
 $f_s = 20\text{MHz}$ (DEC \times はデシメーション率)

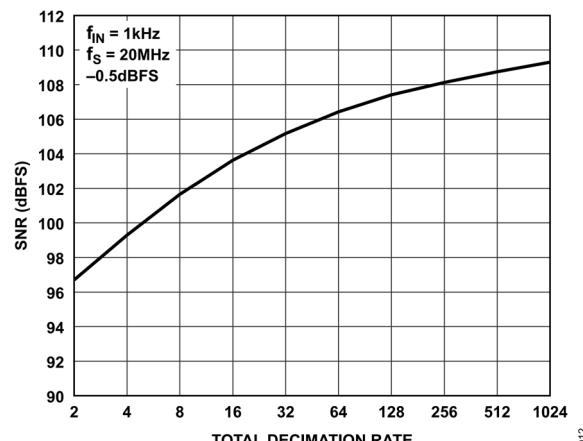


図 12. SNR と合計デシメーション率の関係、sinc1

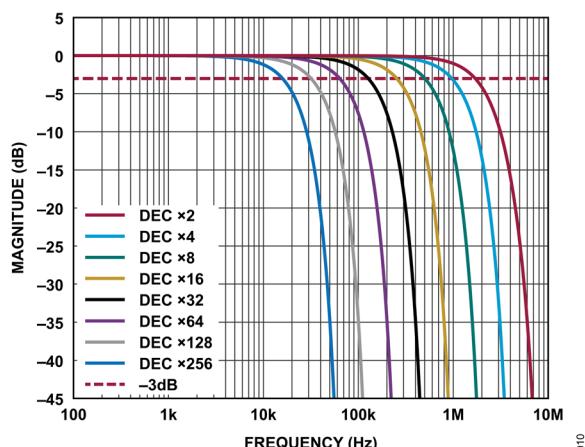


図 10. sinc5 フィルタ応答、 $f_s = 20\text{MHz}$

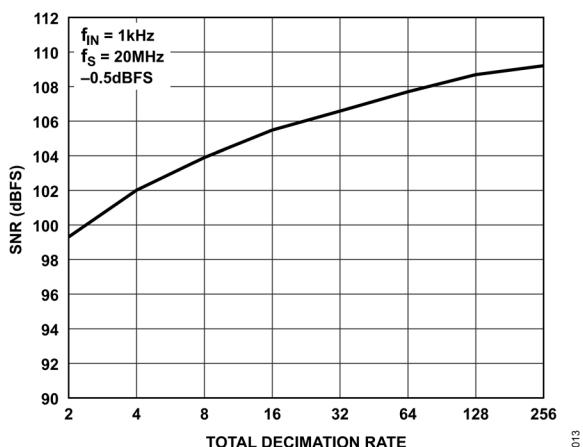


図 13. SNR と合計デシメーション率の関係、sinc5

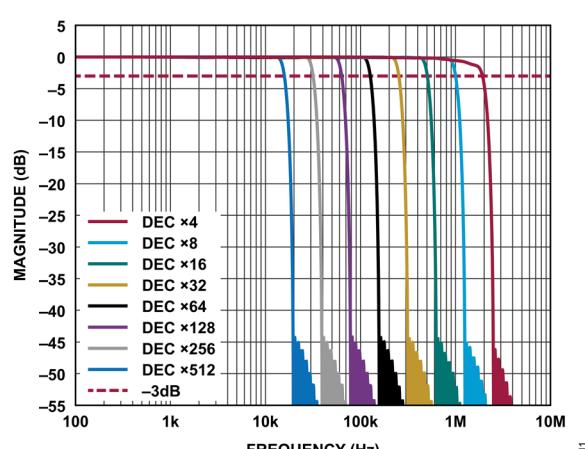


図 11. sinc5 + 補償 フィルタ応答、 $f_s = 20\text{MHz}$

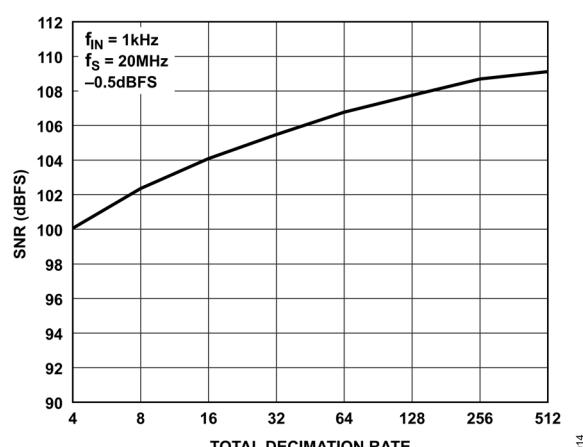


図 14. SNR と合計デシメーション率の関係、sinc5 + 補償

代表的な性能特性

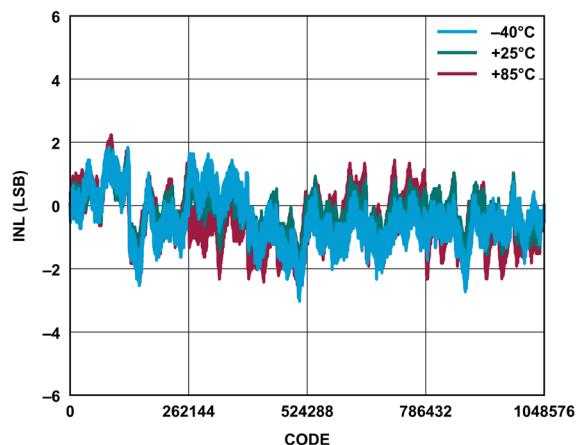


図 15. 様々な温度での INL とコードの関係、20MSPS

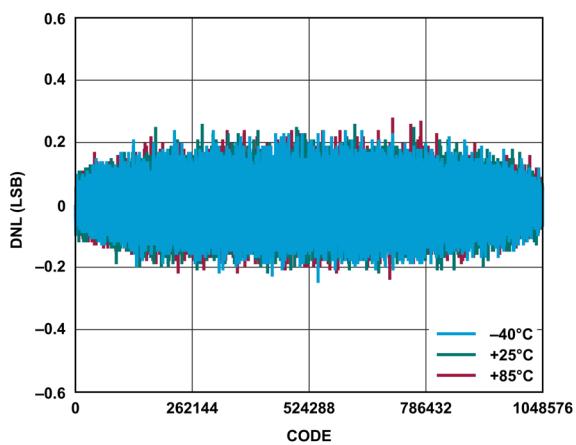


図 16. 様々な温度での DNL とコードの関係、20MSPS

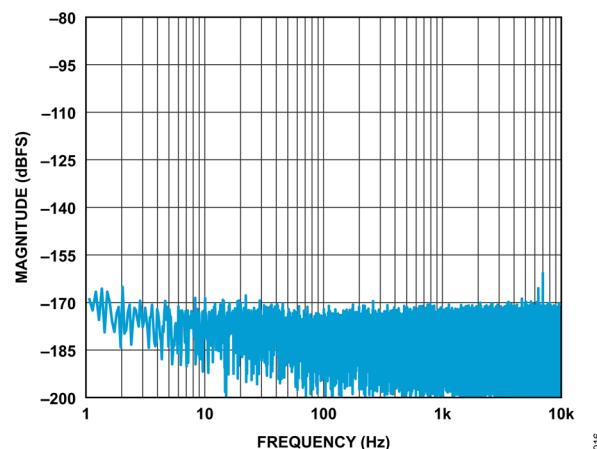


図 17. 低周波ノイズ、入力を短絡

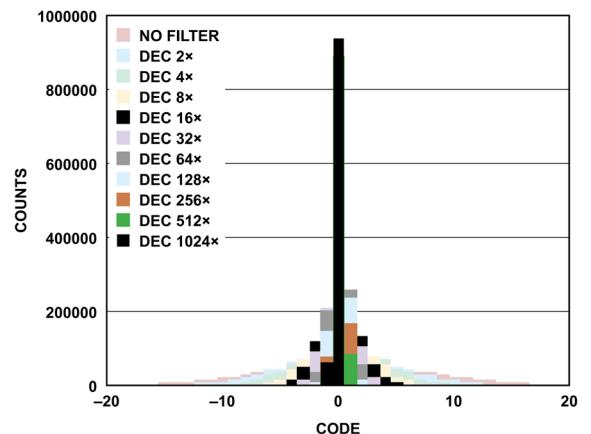


図 18. コードのヒストグラム、sinc1、フィルタなし、デシメーション率 2、4~1024

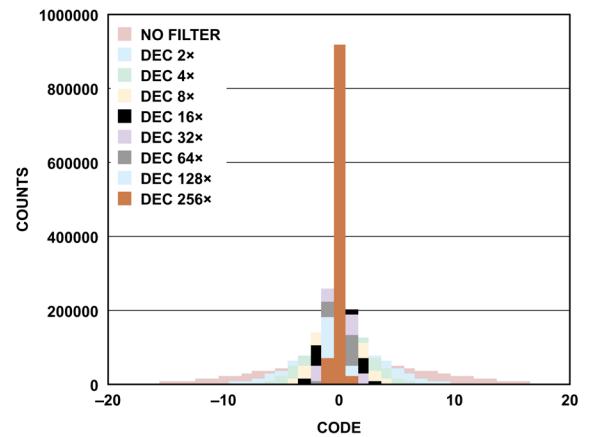


図 19. コードのヒストグラム、sinc5、フィルタなし、デシメーション率 2、4~256

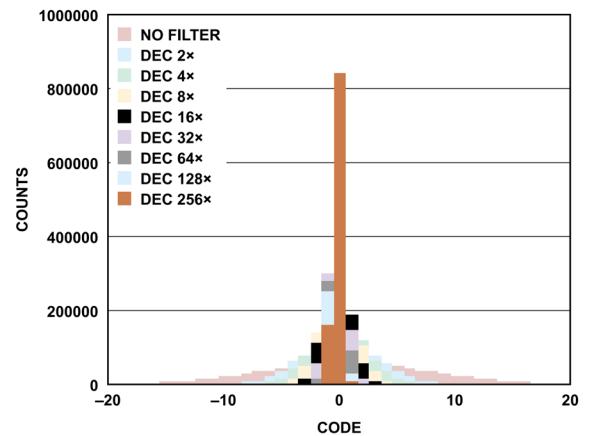


図 20. コードのヒストグラム、sinc5 + 補償、フィルタなし、デシメーション率 2、4~512

代表的な性能特性

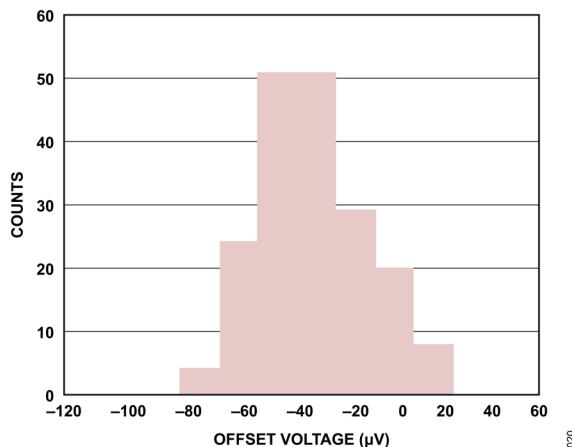


図 21. オフセット電圧のヒストグラム

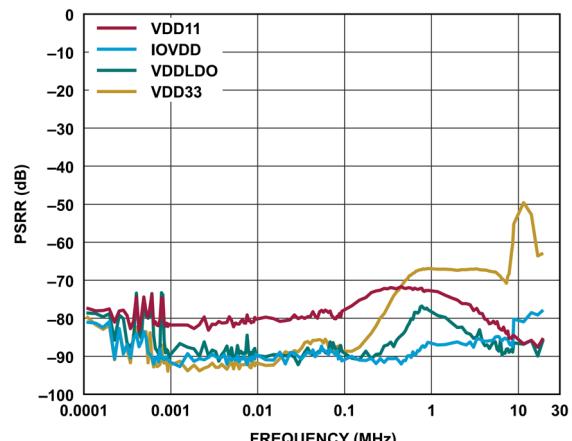


図 24. 電源電圧変動除去比（PSRR）と周波数の関係

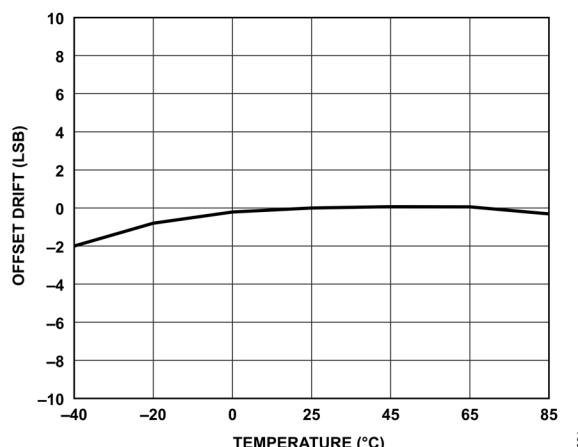


図 22. オフセット・ドリフトと温度の関係

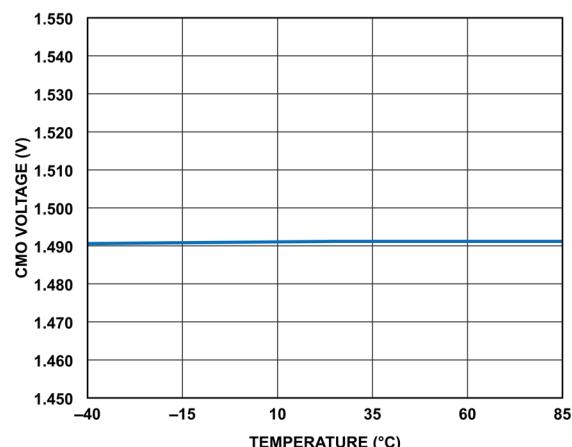


図 25. CMO 電圧と温度の関係

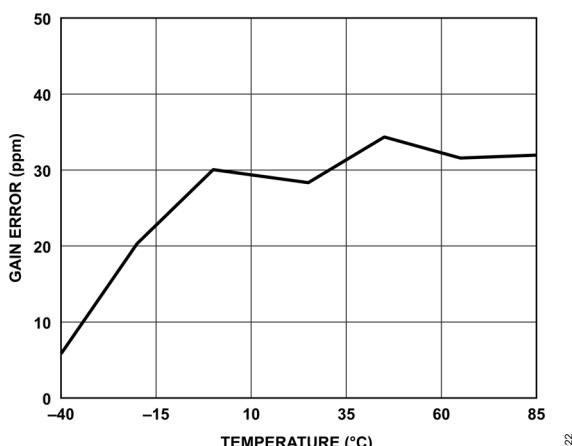


図 23. ゲイン誤差と温度の関係

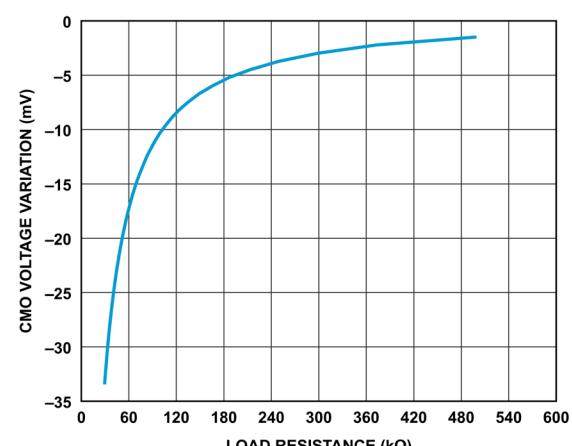


図 26. CMO 電圧変動と負荷抵抗の関係

代表的な性能特性

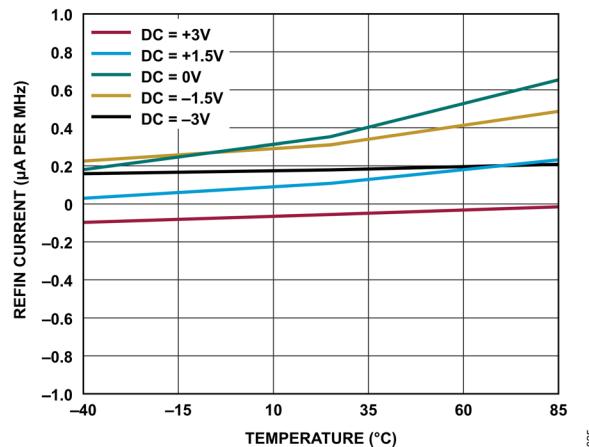


図 27. ダイナミック REFIN 電流と温度の関係

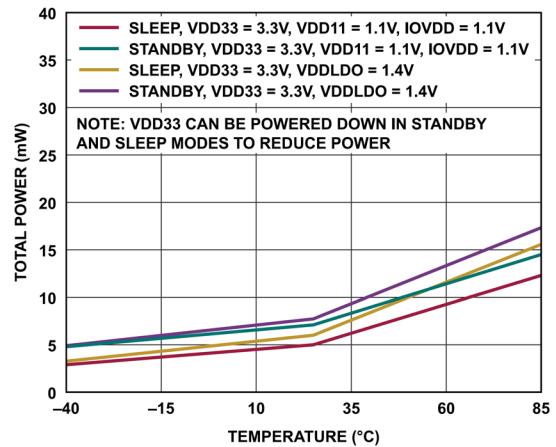


図 30. スリープ・モードおよびスタンバイ・モードでの総電力と温度の関係

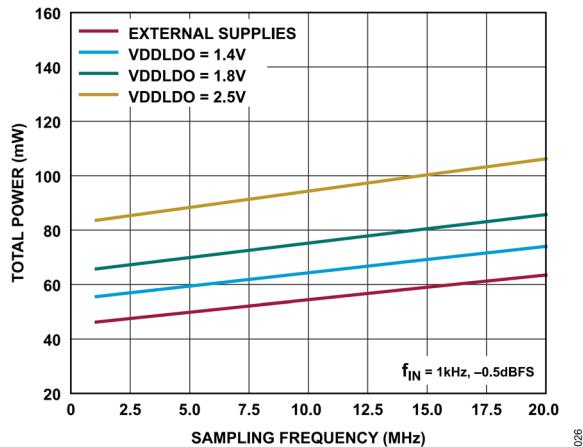


図 28. 総電力とサンプリング周波数の関係

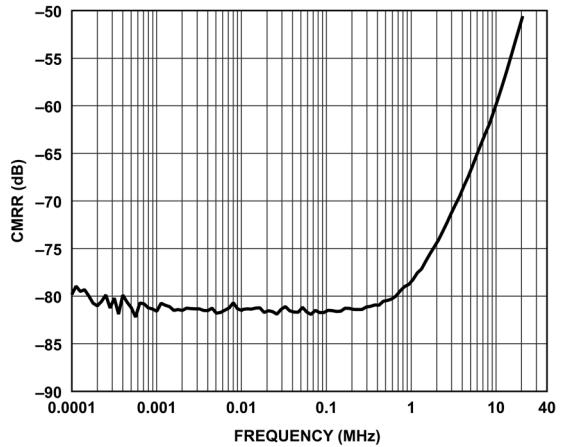


図 31. AC 同相モード除去比 (CMRR) と入力周波数の関係

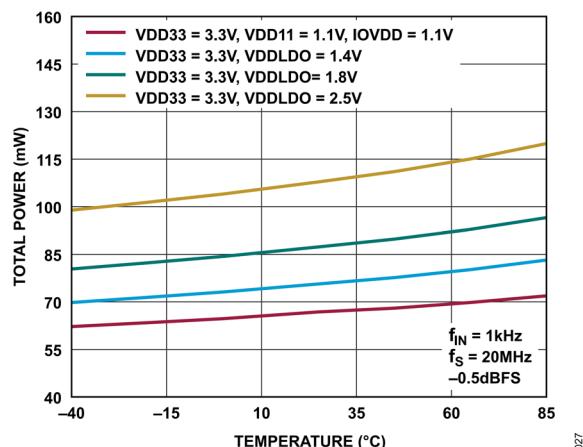


図 29. 20MSPS での総電力と温度の関係

用語の定義

積分非直線性誤差 (INL)

点の間に引かれた線からの各出力コードの偏差を指します。負側フルスケール・リファレンスは、最初のコード遷移の $\frac{1}{2}$ LSB 前に相当する入力レベルとして定義されます。正側フルスケール・リファレンスは、最後のコード遷移を $1\frac{1}{2}$ LSB 超えた入力レベルとして定義されます。偏差は、各コードの中央から直線までの距離として測定されます。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1 LSB 間隔で発生します。DNL は、理想的なコード幅からの任意のコードの最大偏差を表す尺度です。DNL はノー・ミッシング・コードが確保される分解能で仕様規定されます。

ゼロ誤差

ゼロ誤差は、理想的なミッドスケール電圧 (0V) と、ミッドスケール出力コード (0LSB) が出力される印加電圧との差です。

ゲイン誤差

ゲイン誤差は、ADC 伝達特性の傾きと理想的なコンバータの傾きとの差として仕様規定されます。理想的なデータ・コンバータでは、最初のコード遷移 (100...00 から 100...01 へ) は、公称の負側フルスケール入力 (20 ビットで $\pm 3.0V$ の範囲に対して $-2.999997V$) よりも $\frac{1}{2}$ LSB 多く発生し、最後のコード遷移 (011...10 から 011...11 へ) は、公称の正側フルスケール入力 (20 ビットで $\pm 3.0V$ の範囲に対して $+2.999991V$) よりも $1\frac{1}{2}$ LSB 少なく発生します。

SN 比 (SNR)

SNR は、実効値ボルトで測定された基本信号振幅と、高調波および DC 成分を除くナイキスト帯域幅 ($f < f_s/2$) 内の他のすべてのスペクトル成分の二乗和の平方根の比の計算値です。SNR の計算値は対数スケールに変換され、デシベル (dB) で表されます。

信号ノイズ + 歪み (SINAD) 比

SINAD は、実効値ボルトで測定された基本信号振幅と、高調波成分を含むが DC 成分を除くナイキスト帯域幅 ($f < f_s/2$) 内の他のすべてのスペクトル成分の二乗和の平方根の比の計算値です。SINAD の計算値は対数スケールに変換され、デシベル (dB) で表されます。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値振幅に対する、最初の 5 つの高調波成分の振幅の実効値総和の比で、デシベル (dB) で表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号振幅の比で、デシベル (dB) で表されます。

相互変調歪み

2 つの周波数 f_A と f_B の正弦波からなる入力では、非直線性を持つ任意のアクティブ・デバイスは、 $m \times f_A$ と $n \times f_B$ ($m, n = 0, 1, 2, 3$ など) の和および差の周波数で歪み積を生成します。相互変調歪み項とは m も n も 0 ではない項です。例えば、2 次項には $(f_A + f_B)$ と $(f_A - f_B)$ があり、3 次項には $(2f_A + f_B)$ 、 $(2f_A - f_B)$ 、 $(f_A + 2f_B)$ 、および $(f_A - 2f_B)$ があります。

AD4081 は、入力帯域幅の上限に近い 2 つの入力周波数を用いてテストされます。この場合、通常、2 次項は元の正弦波の周波数から遠く離れ、3 次項は入力周波数に近くなります。そのため、2 次項と 3 次項は別々に仕様規定されます。相互変調歪みの計算は THD 仕様に従います。この歪みは、基本波の和の実効値振幅に対する個々の歪み積の実効値総和の比で、デシベルで表されます。

電源電圧変動除去比 (PSRR)

PSRR は、周波数に対する、仕様規定された電源レールの変動に対する ADC の感度を表す尺度です。PSRR は、電源に結合された摂動信号の実効値振幅に対する実効値ボルト単位の出力コードの変化の観測値の比として計算されます。結果の比はデシベル (dB) で表されます。

動作原理

製品の概要

AD4081 は、高速、低ノイズ、低歪み、Easy Drive 機能を備えた 20 ビット逐次比較レジスタ (SAR) A/D コンバータ (ADC) です。本デバイスは、最大 20MSPS の変換レートと 77.50ns の結果出力レイテンシを実現します。パラメトリック性能、帯域幅、およびスループットにより、本製品は様々な高速のデータ・アクイジション・アプリケーションに最適です。AD4081 製品設計での革新により、データ・アクイジション・シグナル・チェーンの設計における複雑さの低減とコンポーネントの柔軟性の両方が実現されます。

コンバータ・アーキテクチャにより、全変換期間 t_{CONV} にわたって入力信号の連続アクイジションが可能になり、仕様規定された分解能にセトリングするために必要な入力信号調整帯域幅が低減します。

この構造では、スイッチド・キャパシタ SAR 入力に代表的な充電キックバックに関連する非直線入力電流を低減する回路を組み込んでいます。

変換結果へのアクセスは、最大 200MHz のクロック・レートで動作するマルチレーン LVDS ポート、または最大 50MHz のクロック・レートで動作するマルチ出力 SPI のいずれかを介して行われます。

LVDS インターフェースは、1.2V～2.5V の差動信号規格と互換性があります。スループットを最大化するために、CNV+エッジと CLK+立上がりエッジが同期している限り、変換期間の全体にわたって前の変換結果の読み出しができます。LVDS インターフェースの詳細については、[LVDS データ・インターフェースの構成](#)のセクションを参照してください。

シングル・レーンまたはクワッド・レーン SPI データ・インターフェースは、CMOS レベルのインターフェースにも使用できます。このインターフェースは、設定すると、オンチップ FIFO に格納されている変換結果にアクセスするために使用されます。FIFO 動作については、[結果 FIFO](#) のセクションで説明します。

コンバータの動作

従来の SAR ADC は一般的に、アナログ入力ピンからアナログ入力電圧が取得されるアクイジション・フェーズと、それに続いて変換開始信号によって開始される変換フェーズの 2 つのフェーズで動作します。変換フェーズでは、サンプリングされたアナログ入力電圧がデジタル変換結果に変換されます。単一の ADC では、これは一般的に、1 つのサンプリング回路からの電圧の変換によって行われます。AD4081 の場合、図 32 はこのコンバータのユニークな特徴を詳細に示しています。アナログ入力は 2 つのサンプリング回路に接続され、入力はそれぞれの回路によって順番にサンプリングされます。ユーザにとって、これは追加の制御または設定が不要になり、したがって、使用法が完全に平明になります。

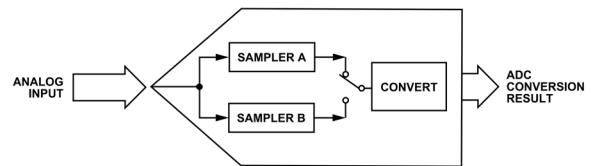


図 32. AD4081 SAR ADC の簡略表示

AD4081 コンバータは、一方のサンプラーから他方のサンプラーへとシームレスにシーケンスを前後させます。つまり、一方のサンプラーはアクイジション・モードになり、同時に他方のサンプラーでサンプリングされた電圧の変換が行われます。図 33 は、AD4081 タイミングが従来の SAR ADC に対して対比されることを示しており、ここで、逐次変換とアクイジション・フェーズとの間の切り替えは、入力信号のアクイジションおよびセトリングのための時間量を減少させます。サンプリング・レートが増加するにつれて（したがって、サイクル時間が減少するにつれて）、特に AD4081 によって提供されるより高いレベルの精度に対して、セトリングを可能にするためにより長いアクイジション・タイムを維持することが重要です。ドライバとノイズの帯域幅を削減するメリットの詳細については、[Easy Drive アナログ入力](#) のセクションを参照してください。

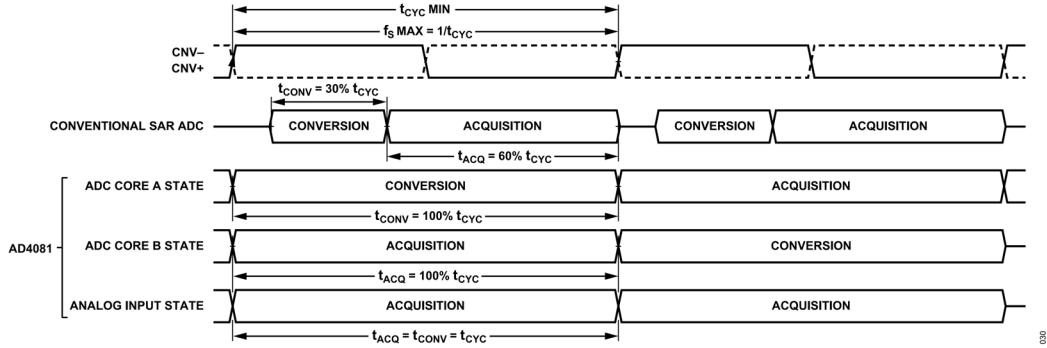


図 33. 従来の SAR と比較した変換サイクル

動作原理

伝達関数

AD4081 は $2 \times V_{REFIN}$ のフルスケール差動電圧を 2^{20} のレベルにデジタル化し、 $V_{REFIN} = 3.0V$ の場合に LSB サイズは $5.72\mu V$ になります。20 ビットでの 1LSB は約 0.95ppm になります。

表 7 に、入力電圧と差動出力コードの対応関係を示します。

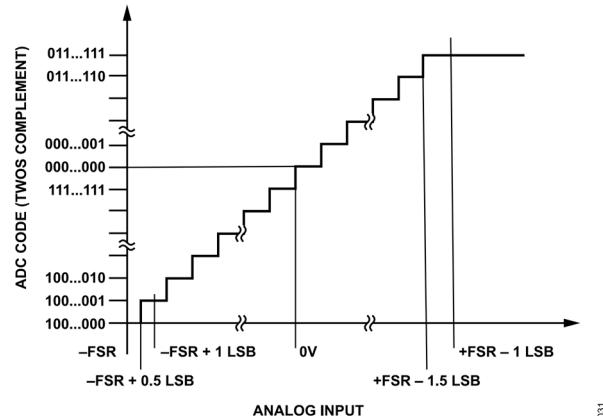


図 34. 差動出力コードに対する ADC の理想的な伝達関数
(FSR はフルスケール範囲)

表 7. 入力電圧と出力コードの対応関係

Description	Analog Input Voltage Difference ($IN+ - IN-$, Volts)	Digital Output Code (Twos Complement, Hex)
FS - 1 LSB	$+V_{REFIN} \times (1 - 1/2^{19})$	0x7FFF
Midscale + 1 LSB	$+V_{REFIN}/2^{19}$	0x0001
Midscale	0	0x0000
Midscale - 1 LSB	$-V_{REFIN}/2^{19}$	0xFFFF
-FS + 1 LSB	$-V_{REFIN} \times (1 - 1/2^{19})$	0x8001
-FS	$-V_{REFIN}$	0x8000

Easy Drive アナログ入力

AD4081 信号入力は、完全差動入力ペア ($IN+$ と $IN-$) で構成され、それぞれが入力サンプリング・ネットワーク (直列抵抗 R_S とサンプリング・コンデンサ C_S) に接続され、サンプリング・ネットワーク直線化回路にリファレンスを提供する補助入力ペア ($AUXIN+$ と $AUXIN-$) で構成されます。図 35 に、アナログ入力の等価回路モデルを示します。

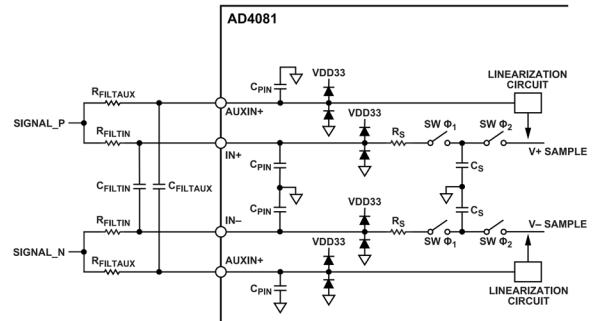


図 35. アナログ入力の等価回路モデル

このモデルでは、入力サンプリング・ネットワークを簡素化して、アクイジョン・モードの ADC のために 2 つの理想的なスイッチ、 R_S および C_S で構成されました。代表値で、 C_S は 23.5pF 、 R_S は 26Ω です。

ピン接続に関連する寄生容量 C_{PIN} は、ピンとデバイスのグラウンド端子 (GND) 間のシャント・コンデンサとしてモデル化されます。この容量には、物理インターフェース、パッケージ基板内の配線、およびデバイス入力保護回路から形成される寄生容量が含まれます。 C_{PIN} の代表値は 4.5pF です。AD4081 の入力保護回路は、GND および VDD33 電源レールへのダイオード・クランプとしてモデル化されています。

R_{FILTIN} および C_{FILTIN} からと、 $R_{FILTAUX}$ および $C_{FILTAUX}$ から構成された外部ローパス・フィルタ (LPF) は、それぞれプライマリ経路と補助経路の帯域制限フィルタです。

R_{FILTIN} と C_{FILTIN} で構成されたフィルタは、アナログ入力信号経路に单極フィルタを附加するため、アンチエイリアス・フィルタと呼ばれることがよくあります。ただし、 C_{FILTIN} の機能はより複雑なため、慎重に検討してください。SAR を介する変換には、図 35 において C_S で表される内部コンデンサからの電圧のサンプリングが含まれ、これは一般的に、時間軸上の 2 つのフェーズ、 ϕ_1 と ϕ_2 で動作します。第 1 フェーズ中に、 ϕ_1 スイッチは閉じられ、 ϕ_2 スイッチは開かれ、サンプリング・コンデンサ (C_S) は、 $IN+$ および $IN-$ に存在するアナログ入力電圧に充電されます。第 2 フェーズ中に、 ϕ_1 スイッチは開かれ、 ϕ_2 は閉じられ、ADC が電圧を C_S に変換します。

これ以外に短時間のフェーズが存在し、変換の完了後に C_S の電荷がリセットされます。このプロセスは、新たな ADC 変換ごとに繰り返されます。各変換サイクルでスイッチが閉じることにより、ADC アナログ入力ピンから C_S へ電荷が転送され、アナログ入力ピンに需要が生じます。入力ピンに印加された電圧が、内部 ADC 活動によって乱されないようにして、最高の精度で電圧変換できるようにすることが重要です。新しい変換が行われるたびに、入力に外乱すなわちキックが発生します。

動作原理

ADC 変換速度が速いほど、これらのキックの発生頻度は高くなります。ADC ドライバを用いると、各サンプリング・インスタンスでのキックによって乱された入力電圧が、次のサンプルが取得される前に、必要な ADC 分解能に完全にセトリングされます。ADC ドライバ・アンプには必ず、各サンプルに対して時間内に電圧をセトリングさせるために十分に広い出力帯域幅が必要です。これにより、必要とされる電圧精度（または ADC 分解能）のセトリングに十分な時間を確保するには、シグナル・チェーン設計上の制約が生じます。このため、高速な ADC には、広い帯域幅のドライバが必要になります。高分解能 ADC では、高分解能を得るために低いシグナル・チェーン・ノイズが必要です。帯域幅が広ければ、シグナル・チェーンを通って ADC に入るノイズが増加する可能性があり、従来の SAR ADC に対しては重要なシグナル・チェーンの設計上の課題となる可能性があります。ただし、AD4081 には、シグナル・チェーン設計のこれらの側面を簡素化する Easy Drive の独自の特長がいくつかあります。

このような AD4081 の特長の 1 つは、連続的な信号アクイジションです。この独自の設計により、 t_{AQC} は ADC の t_{CYC} と等しくなり、その結果、AD4081 は各 ADC 変換の全期間にわたって信号アクイジション・モードになります。入力電圧には、次の変換の前に入力電圧をセトリングさせるために t_{CYC} 変換時間の 100% を費やすことができますが、従来の ADC では、この時間の 60% でセトリングさせる必要があります。セトリング時間が長くなると、ドライバに必要な帯域幅が小さくなり、一般に、ドライバの所要電力が低くなります。更に、外部フィルタ ($RFILTIN$ と $CFILTIN$) は、ドライバが入力電圧をセトリングさせるのに十分な帯域幅を持つように設計する必要があるため、セトリング時間が長くなるとカットオフが低くなります。この低いカットオフのために、より多くのシグナル・チェーン・ノイズを、これらの外部フィルタを用いて入力でフィルタリングできます。

Easy Drive のもう 1 つの特長は、高度に直線化されたアナログ入力電流です。この特長により、AD4081 は、ドライバ・アンプへの負荷を軽減し、非直線入力電流が与えられたときに発生するおそれのあるドライバからの潜在的な歪みを低減します。**図 36** に、差動信号ペア ($IN+$ および $IN-$) と補助入力 ($AUXIN+$ および $AUXIN-$) の両方への代表的な入力電流を示します。

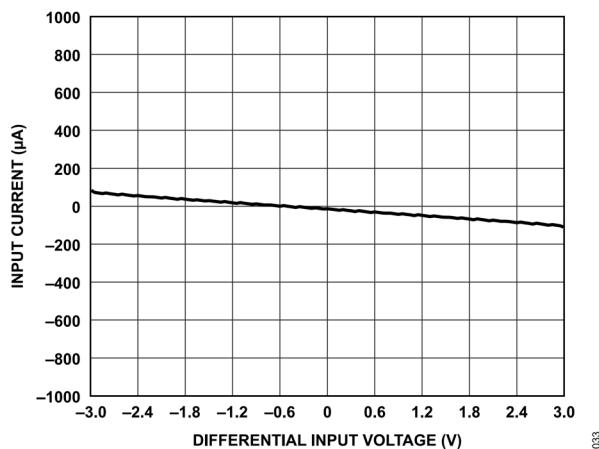


図 36. 代表値入力電流と差動入力電圧の関係

外部入力フィルタの設計では、要求される分解能に対してどのような大きさの時定数 (K) が必要かを計算するのが通常です。

n ビットのコンバータでは、 $1\text{ppm} = 2^n/1000000$ として 1ppm を計算できます。必要な設定値分解能の自然対数から時定数を計算するには、例えば、20 ビット ($n = 20$) の分解能の 1ppm 以内にセトリングしたい場合は、 1ppm は 1.048576 LSB （あるいは $2^n/1000000$ ）に相当し、以下の式で計算されます。

$$K = \ln(2^n/1\text{ppm})$$

$$K = \ln(2^n/1.048576\text{LSB}) = 13.82 \text{ time constants} \quad (1)$$

アクイジション・タイムが ADC 変換サイクルのわずか 60% である従来の ADC の場合には、[コンバータの動作](#) のセクションで説明したように、セトリングに利用できる時間が少なくなります。このような 20MSPS での ADC サンプリングに対して、ドライバは、 $50\text{ns} \times 0.6$ すなわち 30ns 内で安定しなければならず、 1ppm 内での入力電圧のセトリングも、 $30\text{ns} \div K = 2.171\text{ns}$ の時定数タウ (τ) または $1/(2 \times \pi \times \tau) = 73\text{MHz}$ の帯域幅が必要になります。

ただし、AD4081 の Easy Drive 機能を使用すると、変換サイクルの 100% のアクイジション・タイムが得られ、20 ビット分解能の 1ppm 内にセトリングするための時定数は 13.86 のみであるということになります。しかし、AD4081 の低いアナログ入力電流およびドライバへのキックバックを低減する内部方法（サンプリング・インスタンスにおいてアナログ入力から内部サンプリング・コンデンサへ電荷が移動するときの）により、必要な時定数の数が 9.5% 減少します。したがって、20 ビット・セトリングの例では、必要な時定数の数 (K) は、セトリングまたは歪みに影響を与えることなく、13.82 から 12.51 に減少します。

これらの Easy Drive 機能により、セトリングに必要なドライバの帯域幅が大幅に低減します。例えば、20MSPS では、 1ppm 以内の入力電圧のセトリングに、 $50\text{ns} \div K = 3.997\text{ns}$ の時定数タウ (τ)、または $1/(2 \times \pi \times \tau) = 40\text{MHz}$ の帯域幅が必要です。必要とされる帯域幅におけるこの顕著な減少により、より電力が低く帯域幅が低いドライバを使用することができ、ドライバやシグナル・チェーンのノイズをより多く除去できる低い帯域幅の入力フィルタの設計が可能になります。**表 8** は、いくつかのユース・ケース条件の例で、AD4081 で使用するいくつかのフィルタ値を示しています。

図 35 に見られるように、Easy Drive のもう 1 つの特長は、補助信号入力経路です。この経路は、アナログ入力信号を内部直線化ブロックに供給し、このブロックは、サンプリングされた電圧に補正信号を供給します。**表 8** に推奨値を示します。補助入力のフィルタはアナログ入力と同じ帯域幅に設定され、 $RFILTAUX$ は $RFILTIN$ の 4 倍に設定する必要があります。推奨されるフィルタ構成は、差動 $CFILTIN$ コンデンサを使用することです。したがって、 $\tau = RFILTIN \times 2 \times CFILTIN$ として各部品の値を計算します。

なお、 $RFILTIN$ の最小値は 15Ω でなければならず、 $RFILTAUX$ は最小 5Ω から $4 \times RFILTIN$ まで設定可能です。

動作原理

表 8. 推奨される入力フィルタ設定

f_s (MSPS)	Target Accuracy (Bit)	Required Bandwidth (MHz)	R_{FILTIN} (Ω)	C_{FILTIN} (pF)	$R_{FILTAUX}$ (Ω)	$C_{FILTAUX}$ (pF)
20	20	40	25	82	100	20
20	18	36	25	82	100	20
10	20	20	25	100	100	40

リファレンス・バッファとコモンモード出力

AD4081 は、リファレンス入力ピン (REFIN) に電荷貯蔵器コンデンサ (C_{REF}) と低ドリフトのリファレンス・バッファを内蔵しているため、専用の外付け部品が不要になり、複数の AD4081 デバイスで 1 つの電圧リファレンスを共有できます。

集積コンデンサ (C_{REF}) は $9.4\mu F \pm 20\%$ の容量を持ち、市販の多層高誘電体 (X6S) セラミック・コンデンサで構成されます。 C_{REF} は、データ・コンバータの一次電荷貯蔵器として機能します。 C_{REF} などのパッケージ内蔵部品は、ソリューション全体の面積を最小限に抑え、部品の選択などの要因によって発生する潜在的なパフォーマンス・エラーを軽減し、配置や配線の課題を低減し、一般に、適切な設計が初めて得られるまでのエンジニアリング作業を削減します。

必要に応じて、REFIN ピンと REFGND ピンの間に追加の外部コンデンサ (C_{RSV}) を配置して、充電容量とノイズ除去を改善することができます。すべての精密回路と同様に、外部リファレンス・コンデンサの配置は、PCB の同じ側のデバイス・ピンにできるだけ近づける必要があります。コンデンサとデバイス・ピンの間の配線は必ず、各配線経路における直列インピーダンスが最小になるようにします。

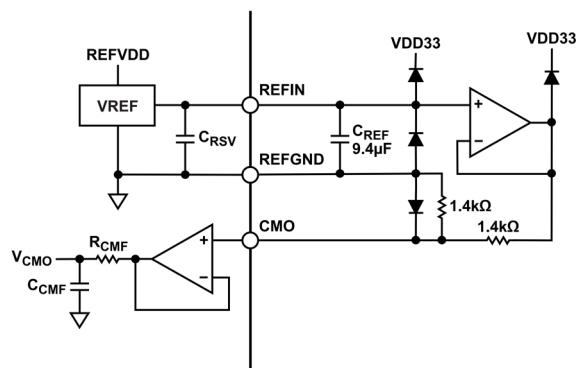


図 37. REFIN および CMO 内部等価回路と代表的な応用例

AD4081 は内部で V_{REFIN} の $1/2$ のコモンモード・リファレンス電圧を生成し、CMO ピンから出力します。CMO 出力電圧の絶対誤差は、 $\pm 20mV$ 以下になるように確保されています。CMO 出力は、AD4081 入力を駆動するアナログ・フロントエンド・ステージのコモンモード出力電圧を設定するために使用され、AD4081 のコモンモード入力条件が満たされていることを確認します。CMO 出力は必ず、図 37 に示すように、総出力ノイズを制限するために RC LPF でフィルタリングする必要があります (R_{CMF} と C_{CMF} を参照)。

出力は、リファレンス・バッファ出力に接続された抵抗分圧器を用いて生成されます。CMO ピンの出力インピーダンスは通常 700Ω です。CMO ピンの駆動能力は限られているため、外部負荷は必ず、慎重に検討して、過度の起動時間や絶対誤差を避ける必要があります。CMO 出力は、AD4081 を駆動する完全差動アンプの高インピーダンスのコモンモード入力に直接接続できます。ただし、先行するノイズ制限フィルタの充電時間が、アプリケーションに必要な起動時間に影響を与えないことが前提です。一般に、次のような場合に CMO バッファリングを検討します。

- ▶ AD4081 の VDD33 電源レールは、頻繁に電源が再投入されます。
- ▶ 短い始動セトリング時間が必要になります。
- ▶ CMO の外部負荷が $30\mu A$ を超える場合 ($R_L < 45k\Omega$)。代表的な負荷レギュレーションについては、図 26 を参照してください。

電源

AD4081 の電源要件は、3.3V アナログ回路ドメイン (VDD33)、1.1V コア電源 (VDD11)、デジタル・インターフェース用の1.1V ドメイン (IOVDD) を含む、少なくとも 3 つの電源ドメインに分配されています。オプションの 4 番目の電源レール (VDDLDO) を用いて、1.1V コア (VDD11) およびインターフェース (IOVDD) レールに内部で給電するために使用される 2 つの内蔵電圧レギュレータに電力を供給できます。これら 2 つのレギュレータの各電源は、ソフトウェアによって独立してオフにできます。内部電圧レギュレータを使用する場合の詳細および設計上の考慮事項については、内部安定化電源の構成のセクションを参照してください。一方、内部レギュレータを使用しないアプリケーションの詳細については、外部生成化電源の構成のセクションを参照してください。

VDD33 電源レールの電力は、外部電源から供給する必要があります、電源シーケンスのセクションの説明に従って、1.1V 電源レールに給電した後にのみ供給する必要があります。

動作原理

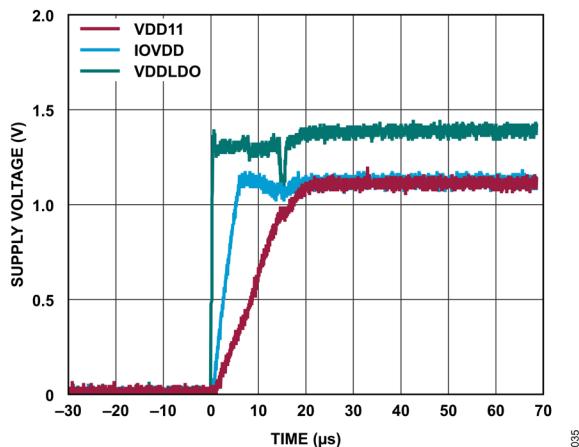


図 38. 代表的なレギュレータの起動トランジエント、コンバータがアイドリング

すべての電源領域は、多層高誘電体セラミック・コンデンサ(X6S)を用いて内部でデカッピングされているため、外部デカッピング・コンデンサが不要になります。ただし、同じ電源を共有する設計内の他の部品のバルク・デカッピング要件を理解するために、注意が必要です。AD4081 の内蔵電源デカッピング・コンデンサを、表 6 と表 9 に示します。

表 9. 内蔵電源デカッピングのまとめ

Supply Pin	Nominal Value (μF)	Tolerance (%)	Return Path
VDD33	0.47	±10	GND
VDDLDO	0.22	±10	GND
VDD11	1.88 (4× 0.47)	±10	GND
IOVDD	0.22	±10	LOGND

内部安定化電源の構成

AD4081 には 2 つの内部 LDO レギュレータが含まれており、1 つは 1.1V VDD11 電源レールを生成し、もう 1 つは 1.1V IOVDD 電源レールを内部生成します。AD4081 レジスタの電源投入またはリセット時に、1.4V から 2.7V の範囲の外部電圧源が VDDLDO ピンに印加されると、両方のレギュレータが自動的に電源投入されます。レギュレータは、AD4081 の内部負荷要件を満たすように設計されているため、外部負荷の使用は不可です。省電力動作モードのセクションで説明するように、IOVDD は両方の省電力モードでディスエーブルになることに注意してください。

図 39 に、内部レギュレータを使用する場合に必要な接続を示します。図 39 に示すように、VDD11 ピン (A1, A2, A3) はまとめて短絡する必要があります。PCB のデバイス側の太いパターーンまたは多角形を用いて、物理的設計でこの接続を実装し、配線インピーダンスを最小限に抑えることを推奨します。VDD33 レールには、外部 3.3V 電源が供給されます。この電源は、省電力モードを使用しているときに取り外すことができます。この電源が取り外されると、アナログ回路のみがリセット状態に保持され、設定レジスタの内容は影響を受けません。各電源レールに適用可能な入力電圧の許容差については、表 1 を参照してください。

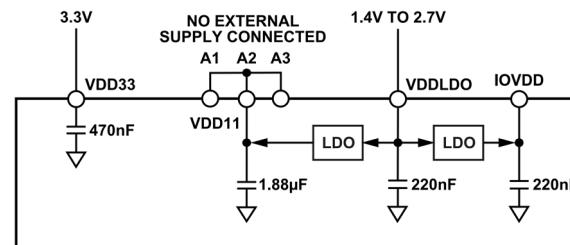


図 39. 内部安定化 (1.1V) 電源の構成

内部安定化電源の構成は、外部レギュレータを排除する能力に有利な面積が制約された用途での使用に理想的です。ただし、この構成では、内部電源レギュレーションにより消費電力が増加することに注意してください。

外部生成化電源の構成

外部生成化電源を使用するシステムでは、VDDLDO は未接続のままにしておく必要があります。VDDLDO が接続されていない場合、VDD11 に電力を供給する内部 LDO と IOVDD に電力を供給する内部 LDO の両方が自動的にディスエーブルになります。VDD11 は外部生成 1.1V 電源レールに接続する必要があります。IOVDD は外部生成 1.1V~1.2V 電源レールに接続する必要があります。VDD11 が存在しない場合、デバイスはパワーオン・リセット (POR) 状態に保持され、電源が再確立された後、すべての AD4081 レジスタはデフォルト状態にリセットされることに留意してください。POR 回路の詳細については、パワーオン・リセット (POR) モニタのセクションを参照してください。

動作原理

VDD33 レールには、外部 3.3V 電源が供給されます。VDD33 電源を取り外して電力を更に削減できます（省電力動作モードのセクションを参照）。アナログ回路のみがリセット状態に保持され、レジスタの内容は影響を受けません。各電源レールに適用可能な入力電圧の許容差については、表 1 を参照してください。

図 40 の例に示されるように、外部電圧源は、VDD11 および IOVDD ピンに印加されます。

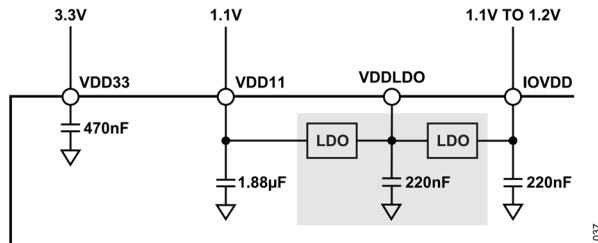


図 40. 外部電圧源の構成

パワーオン・リセット (POR) モニタ

AD4081 電源モニタリング回路は、電源の状態が仕様規定された動作限界を超えると、コンバータ機能を抑制し、コンフィギュレーション・メモリをリセットします。この機能により、各デバイスが電源投入後に確定的な状態になることが確保されます。電源投入機能は、2 つの独立した電圧モニタで構成されています。最初のモニタはコアの 1.1V 電源を測定し、2 番目のモニタはリファレンス入力ピン (REFIN) の電圧を測定します。各モニタには、図 41 に示すように、アナログおよびデジタル・ブロック・リセットのデカップリングに使用される独自のコンペレータ出力があります。

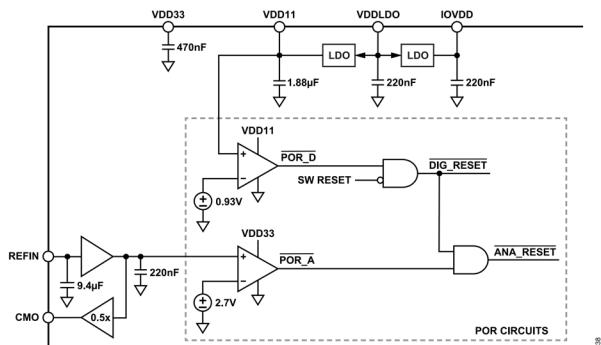


図 41. POR 回路の簡略図

コア VDD (1.1V) 電源モニタは VDD11 電源電圧を 0.93V のリセット・スレッショルドと比較します。電源電圧がこのスレッショルドより低くなると、リセット信号 POR_D がアサートされます。デジタル論理リセット信号 DIG_RESET は、POR_D 信号と SPI ソフトウェア・リセット機能の補数の論理組み合わせ（論理積）として定義されます。POR_D 信号 (VDD11 < 0.93V) または SW RESET 信号のいずれかがアサートされると、内部デジタル回路はリセット状態に保持されます。クリアすると、設定レジスタの内容が工場出荷時のデフォルト設定値に復元されます。

リファレンス・モニタは REFIN の入力電圧を 2.7V のプリセット・スレッショルドと比較します。図 41 に図示するように、リファレンス・モニタ回路の電源は VDD33 電源から供給されます。しかし、リファレンス電圧が 2.6V を下回ると、デバイスは変換結果のデータの出力を停止することに注意することが重要です。変換プロセスを再開するためには、リファレンス電圧を 2.87V より高くすることが必要です。モニタ回路の正常な動作のためには、リファレンス電源をイネーブルする前に、規定の許容範囲である $3.3V \pm 5\%$ の VDD33 電源を AD4081 に供給する必要があります。デバイスが規定の電源条件で動作している前提で、リファレンス電圧が 2.7V より低くなると、内部リセット信号の POR_A がアサートされます。POR_A 信号と DIG_RESET 信号の組み合わせ（論理積）によってアナログ信号ブロックのリセット (ANA_RESET) が発生し、ADC コア、ADC タイマー、リファレンス・バッファなどに作用します。このリセット信号がアサートされると、アナログ・ブロックが非アクティブ状態になり、コンバータの機能がディスエーブルされます。このイベントは、デバイス・ステータス・レジスタ (アドレス 0x14) の POR_ANA_FLAG ビットの値 1 で示されます。イベント検出の状態は、ロジック 1 が POR_ANA_FLAG ビットに書き込まれて検出状態がクリアされるまで持続します。

電源シーケンス

表 10 は、1.1V 電源レール (IOVDD および VDD11) の内部および外部生成の推奨電源シーケンスを示しています。両方の方法を図 42 と図 43 に示しており、REFIN 電圧を含め、AD4081 に供給すべき電源を青で示しています。いずれの場合も、AD4081 では、電源を電圧の昇順で供給する必要があります。また、アナログ入力 (IN+ および IN-) およびリファレンス入力 (REFIN) には、VDD33 電源と同時に、またはその直後に電圧が印加されるように設計する必要があります。パワーアップ時に REFIN リファレンス電圧が供給されなければ、ADC の出力に ADC 変換が出来ず、REFIN 電圧が供給されるまではその状態が続きます。データ・インターフェース・テスト機能のセクションに記載のテスト・パターンは、パワーアップ時に電圧リファレンスが供給されない前述の場合には動作しないことに注意してください。ただし、リファレンス電圧がパワーアップ時に供給された後に停止された場合には、テスト・パターンは動作し、正しいデータを出力します。パワーオン・リセット (POR) モニタのセクションで説明したように、リファレンス入力ピンの電圧は、VDD33 が仕様規定された電源の許容範囲内にある場合にのみ適用して、望ましくない動作を回避する必要があります。したがって、選択された電圧リファレンスがイネーブル・ピンを提供しない場合、VDD33 の後に電源が投入されるように、リファレンス回路を設計することを強く推奨します。リセットまたはパワーオン・リセットの後には、デバイスにアクセスするまでに 300μs が必要です。これはデバイスの初期化手順の完了を待つためです。この条件が満たされなければ、INTERFACE_STATUS_A (0x11) の NOT_READY_ERR ビットがアサートされます。

設定 SPI 入力、CS、SCLK、および SDI は、VDD33 電源レールへのクランプで保護され、入力は IOVDD より大きく振れることができます。このアーキテクチャ上の決定の結果として、VDD33 が IOVDD - 0.3V より大きくなるまで、SPI 入力をグラウンドに駆動するか、あるいはフローティング状態のままにしておく必要があります。あるいは、VDD33 電源は、ADP199 のよ

動作原理

うな、電源が IOVDD – 0.3V 未満のときにスイッチが開くように構成された直列電源スイッチを用いてデバイスに接続することができ、デジタル入力を経由する VDD33 までの寄生電流経路が排除されます。

表 10. 推奨電源シーケンス

1.1 V Supplies (IOVDD and VDD11) Source	Supply Sequence
Internally Generated	1. VDDLD0 2. VDD33

表 10. 推奨電源シーケンス（続き）

1.1 V Supplies (IOVDD and VDD11) Source	Supply Sequence
Externally Generated	3. Digital inputs 4. Input drive, reference 1. IOVDD, VDD11 2. VDD33 3. Digital inputs 4. Input drive, reference

アプリケーション回路の電源を切断するには、表 10 に示す電源投入シーケンスを逆にする必要があります。

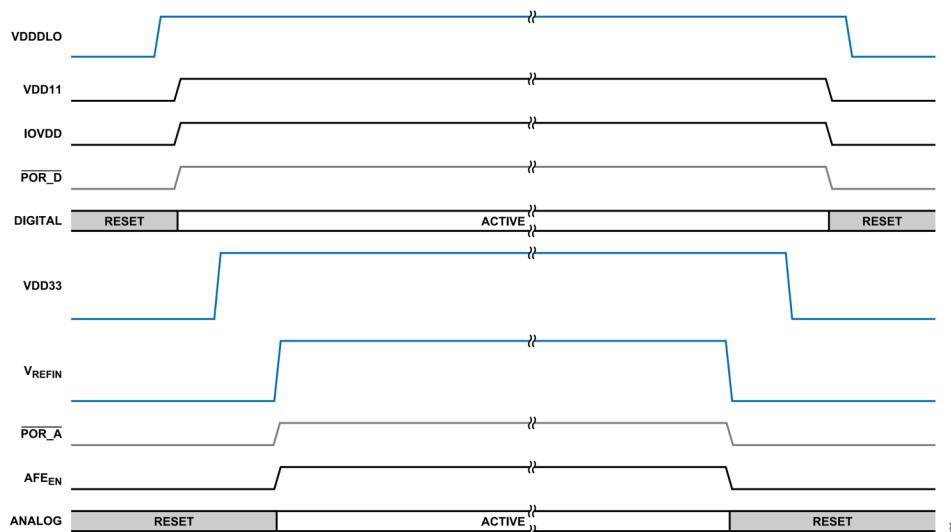


図 42. 電源シーケンス、内部生成化 IOVDD、VDD11

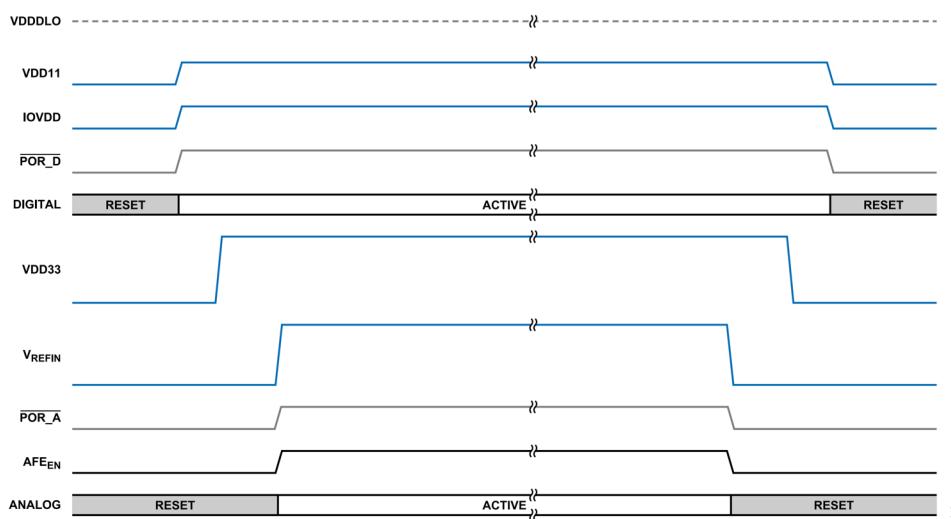


図 43. 電源シーケンス、外部生成化 IOVDD、VDD11

動作原理

省電力動作モード

AD4081 の動作モードは、デバイス設定レジスタの OPERATING_MODES ビットによって制御されます（[デバイス設定レジスタ](#)のセクションを参照、アドレス（0x02））。電源投入時およびリセット後のデフォルトは、ノーマル・モード（OPERATING_MODES = 00）です。表 11 は、すべての動作モードを説明し、図 44 は、これらのモード間で許容される遷移を示します。2 つの省電力モード（スタンバイ・モードとスリープ・モード）間の直接の遷移は不可であることに注意してください。

電力モードを設定する前に、すべての変換とデータ・インターフェースのクロッキングを停止することが重要です。

スタンバイ・モードまたはスリープ・モードの場合は、VDD33 電源を取り外して消費電力を削減できます。いずれかの省電力モードを終了するには、SPI 設定インターフェース・コマンドを発行する前にこの電源を再確立する必要があります。

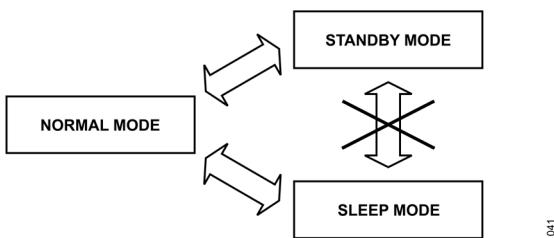


図 44. 動作モードの遷移

ノーマル・モードから 2 つの省電力モードのいずれかに遷移するには、デバイス設定レジスタの OPERATING_MODES ビットに必要な値を書き込みます（[デバイス設定レジスタ](#)のセクションを参照）。SPI 設定インターフェースの動作は省電力モードの影響を受けないため（[SPI 設定インターフェース](#)のセクションを参照）、ウェイクアップ（つまり、ノーマル・モードへの遷移）も同様の方法で実行されます。通常の変換に迅速に戻りたい場合には、電力を節約するためにスタンバイ・モードを選択できます。スリープ・モードは、ノーマル・モードへの復帰に時間がかかる低電力状態です。スタンバイ・モードとスリープ・モードはいずれも、結果 FIFO（[結果 FIFO](#) のセクションを参照）と併用すると特に便利です。これにより、選択された省電力モードにある間に、以前に保存された変換データに FIFO からアクセスできます。

スタンバイ・モードとスリープ・モードのどちらでも、消費電力を削減するために内部 IOVDD LDO レギュレータの電源が切れます。ユーザが外部から IOVDD を供給していない場合、すべての IOVDD ドメイン入力および出力がディスエーブルになります（すべての GPIOx およびすべての LVDS データ・インターフェース（LVDS データ・インターフェースのセクションを参照）および SPI データ・インターフェース（SPI データ・インターフェースのセクションを参照）の信号がディスエーブルになります）。この特定の状態では、AD4081 SPI 設定に書き込んで、デバイス設定レジスタ（[デバイス設定レジスタ](#)のセクションを参照）の OPERATING_MODES ビットへの書き込みによってノーマル・モードに戻るコマンドを発行でき、あるいは、ソフトウェア・リセット（[ソフトウェア・リセット](#) のセクションを参照）を発行できます。GPIOx がディスエーブルになっているため、SPI 設定インターフェース・バス上で読み出しがアクティビティを実行することはできません。

IOVDD が外部から供給され、デバイスがスタンバイ・モードまたはスリープ・モードになると、LVDS データ・インターフェースはディスエーブルになります。ただし、すべての GPIOx、SPI データ・インターフェース、および SPI 設定インターフェース・ピンはイネーブルのままで影響を受けません。仕様規定された範囲内で IOVDD に外部から電力が供給されている間、結果 FIFO に格納されている以前に取得されたデータは、スタンバイ・モードまたはスリープ・モードのいずれかでアクセスできます。

表 11 は、各モードに関連するウェイクアップ時間も示しています。スリープ・モードからのウェイクアップ時間は、スタンバイ・モードの場合よりも大幅に長くなります。これは、内部リファレンス・バッファとコモンモード・バッファが再びイネーブルになり、内部コンデンサに電荷を補充するための時間が必要になるためです。ノーマル・モードに戻るときは、最初の変換開始パルスを印加する前に、仕様規定されたウェイクアップ時間を満たす必要があります。この仕様規定時間は、選択された省電力モードを終了する SPI コマンドがデバイス設定レジスタ（[デバイス設定レジスタ](#)のセクションを参照）に書き込まれてから OPERATING_MODES ビットが更新されるまでにかかる時間です。

省電力動作モードのいずれかで消費電力を最小限にするためには、ADC データ・インターフェース設定 B レジスタの LVDS_SELF_CLK_MODE（[データ・インターフェース設定 B レジスタ](#)のセクションを参照）をイネーブルして、LVDS DCO トランスマッタをパワーダウンします。

表 11. 省電力動作モード

動作モード	OPERATING_MODES ビット値	説明	影響	ウェイクアップ時間（ノーマル・モードまでの最大時間）
Normal	0b00	通常動作モード	通常動作。	Not applicable
Standby	0b10	スタンバイ動作モード	内部 IOVDD LDO レギュレータがディスエーブルです。 IOVDD が外部から供給されていない場合、すべての GPIOx およびすべての LVDS データ・インターフェースおよび SPI データ・インターフェース信号がディスエーブルになります。SPI 設定インターフェースの場合のみ、デバイス設定レジスタ（ デバイス設定レジスタ のセクションを参照）とインターフェース設定 A レジスタ（ インターフェース設定 A レジスタ のセクションを参照）への書き込みが許可されます。	100μs

動作原理

表 11. 省電力動作モード（続き）

動作モード	OPERATING_MODES ビット値	説明	影響	ウェイクアップ時間（ノーマル・モードまでの最大時間）
Sleep	0b11	低消費電力動作モード	<p>IOVDD が外部から供給される場合、すべての GPIOx および SPI データ・インターフェース信号がイネーブルになります。SPI 設定インターフェースは完全にイネーブルです。SPI データ・インターフェースはイネーブルのままのため、ユーザは結果 FIFO（結果 FIFO のセクションを参照）内のデータにアクセスできます。</p> <p>ADC コアの電源が切断されます。アナログ回路はリセット状態のまま（ANA_RESET はアサートされたまま）であり、ADC 変換は実行できません。</p> <p>VDD33 電源を取り外して電力を減らすことができます。使用中は、内部 VDD11 LDO レギュレータはオンのままであります。</p> <p>内蔵リファレンス・バッファがイネーブルになります。</p> <p>コモンモード出力バッファはイネーブルです。LVDS インターフェースはディスエーブルです。</p> <p>内部 IOVDD LDO レギュレータがディスエーブルです。</p> <p>IOVDD が外部から供給されていない場合、GPIOx およびすべての LVDS と SPI のデータ・インターフェース信号はディスエーブルになります。SPI 設定インターフェースの場合のみ、デバイス設定レジスタ（デバイス設定レジスタのセクションを参照）とインターフェース設定 A レジスタ（インターフェース設定 A レジスタのセクションを参照）への書込みが許可されます。</p> <p>IOVDD が外部から供給される場合、すべての GPIOx および SPI データ・インターフェース信号がイネーブルになります。SPI 設定インターフェースは完全にイネーブルです。SPI データ・インターフェースはイネーブルのままのため、ユーザは結果 FIFO（結果 FIFO のセクションを参照）内のデータにアクセスできます。</p> <p>ADC コアの電源が切断されます。アナログ回路はリセット状態のまま（ANA_RESET はアサートされたまま）であり、ADC 変換は実行できません。</p> <p>VDD33 電源を取り外して電力を減らすことができます。</p> <p>内蔵リファレンス・バッファがディスエーブルです。</p> <p>イネーブルの場合、内部 VDD11 LDO レギュレータはオンのままであります。</p> <p>コモンモード出力バッファはディスエーブルです。</p> <p>LVDS インターフェースはディスエーブルです。</p> <p>SPI データ・インターフェースはイネーブルのままであり、結果 FIFO（結果 FIFO のセクションを参照）内のデータにアクセスできます。</p>	180μs

デバイスの損傷を防止するために、スタンバイ・モードまたはスリープ・モードから抜ける場合には追加の回復時間を追加する必要があります。図 45 に図示するように、デバイスがノーマル・モードに戻った時点から次の変換クロックまでの間に、この時間が必要です。

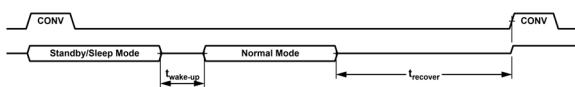


図 45. スタンバイ／スリープ・モード後の回復時間

ソフトウェア・リセット

このリセット方法は、AD4081がアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用する必要があります。

ソフトウェア・リセットは、インターフェース設定 A レジスタ（インターフェース設定 A レジスタのセクションのアドレス 0x00 を参照）に次の 2 つの書込みを発行することによって実行されます。

1. レジスタに 0x81 を書き込んで、SW_RESET ビットと SW_RESETX ビットを 1 に設定します。
2. 次に、これらのビットのいずれかまたは両方を 0 に設定する別の書込みコマンドを発行して、リセットを開始します。

動作原理

3. ソフトウェア・リセットの初期化には 300μs かかります。この初期化時間中、初期化が完了するまでの間は、INTERFACE_STATUS_A レジスタの NOT_READY_ERR を読み出すと 1 が返ります。ソフトウェア・リセットの初期化が完了すると、デバイスがリセットされ、NOT_READY_ERR が 0 に戻ります。初期化中には SPI 設定の書き込みは無視され、NOT_READY_ERR が 1 にセットされます。

このアクションは、以前に設定されたすべてのレジスタをデフォルト設定値に戻します。ただし、インターフェース設定 A レジスタの ADDR_ASCENSION ビットは、以前の値を保持します。FIFO の内容も、もしあれば、ソフトウェア・リセットの影響を受けません。ADDR_ASCENSION ビットと FIFO データは、ハードウェア・リセットまたは完全な電源投入が行われた後のみ、デフォルト設定値に戻ります。ソフトウェア・リセット・ビット (SW_RESET と SW_RESETX) の設定後に 300μs の最小時間が満たされなければ、INTERFACE_STATUS_A レジスタ (0x11) の NOT_READY_ERR フラグがアサートされます。

アプリケーション情報

代表的なアプリケーション図

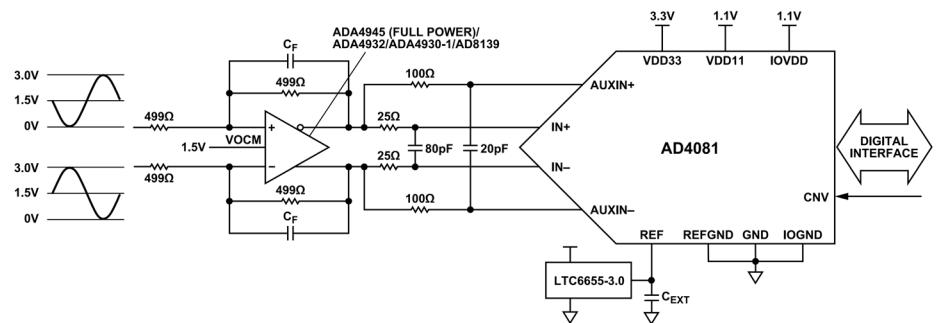


図 46. AD4081 の代表的なアプリケーション図、完全差動アンプ

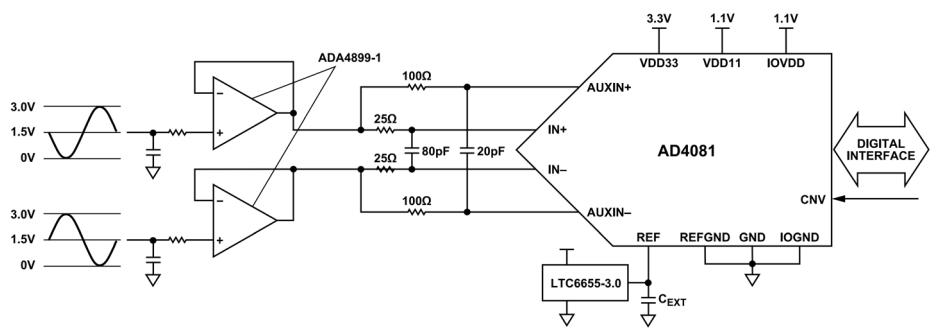


図 47. AD4081 の代表的なアプリケーション図、シングル・オペアンプ・ドライバ

アプリケーション情報

アナログ・フロント・エンドの設計

ドライバ・アンプの選択

[Easy Drive アナログ入力](#) のセクションで説明したように、AD4081 には、この ADC を様々なドライバ・アンプ・ソリューションで使用できるようにするための固有の機能が数多くあります。AD4081 は非常にノイズが低く、20MSPS までのサンプリング・レートで優れたレベルの精度を実現し、電力消費が非常に効率的であるため、どのアプリケーション・パラメータを優先するかに応じてシグナル・チェーンの選択が可能です。よくあることですが、いくつかの競合するパラメータを考慮する必要があります。より高速な ADC を駆動するためには、より広い帯域幅のアンプが必要になります。なぜなら、セトリング帯域幅および信号帯域幅が増加し、ノイズ帯域幅も増加するからです。

す。更に、これらの速度が増加するにつれて、ドライバ・アンプにおける精度を維持することがより大きな課題となります。これらの課題は、多くの場合、ドライバにおける電力の増加によって対処されますが、アナログ・デバイセズは、[差動アンプとADC ドライバ](#) のウェブページに掲載している電力効率の高いドライバ・アンプの幅広い選択肢を提供しています。また、AD4081 の Easy Drive 機能により、セトリング帯域幅が大幅に緩和されているため、[ADA4945-1](#) 完全差動アンプ (FDA) などの製品は、優れた低電力の関連周辺製品となっています。[表 12](#) に、検討すべきその他の推奨製品を示します。

表 12. ドライバ・アンプの選択表

Part Number	Category	Quiescent Current (I_Q)	Input Voltage Noise (V_N)	-3dB Bandwidth (Gain = 1)	THD at 1MHz	Application Considerations
ADA4945-1	FDA	4mA	1.8nV/ $\sqrt{\text{Hz}}$	145MHz	-90dB	Lowest power
ADA4932-1	FDA	9.6mA	3.6nV/ $\sqrt{\text{Hz}}$	560MHz	-110dB	Low power, wider bandwidth, improved distortion at higher signal frequencies
ADA4927-1	FDA	20mA	1.3nV/ $\sqrt{\text{Hz}}$	2300MHz	-112dB	Low noise, lower distortion at higher signal frequencies
AD8139	FDA	24.5mA ¹	2.25nV/ $\sqrt{\text{Hz}}$	410MHz	-120dB	Lowest distortion at higher signal frequencies
ADA4899-1	Single op amp	28.6mA ¹	1.414nV/ $\sqrt{\text{Hz}}$	600MHz	-117dB	Lowest distortion at higher signal frequencies
ADA4930-1	FDA	35mA	1.15nV/ $\sqrt{\text{Hz}}$	1350MHz	-110dB	Lowest noise

¹ 2つのアンプの複合静止電流。

アプリケーション情報

リファレンス回路の設計

AD4081には、低ノイズで精度と安定性が高く、温度ドリフトが少ない3Vの外部リファレンスが必要です。このリファレンスによってADCの差動入力範囲 $\pm V_{REFIN}$ が決まります。このリファレンスは+3Vの±5mV以内である必要があります。推奨のリファレンスは、LTC6655、LT6657、ADR4530です。ただし、最高の性能を得るには、LTC6655外部リファレンスを使用してください。表13は、前述の参考文献の代表的なパラメータを詳述し、絶対精度、ノイズ、温度ドリフト、負荷レギュレーション、および電力消費を比較しています。詳細な仕様については、各製品のデータシートを参照してください。

表 13. リファレンス LTC6655、LT6657、ADR4530 の主要パラメータの比較

Parameter	LTC6655	LT6657	ADR4530B
Accuracy	0.025%	0.1%	0.02%
Temperature Coefficient (ppm/°C)	2	1.5	2
0.1 to 10 Hz Noise (ppm p-p)	0.25	0.5	0.53
Maximum Load (mA)	±5	±10	±10
Load Regulation (ppm/mA)	3	0.7	30
Maximum Supply (V)	13.2	40	15
Shutdown	Yes	Yes	No
Supply Current, I_S (mA)	5	1.2	0.7

外部リファレンス・コンデンサは、AD4081に9.4μFのものが内蔵されているため、不要です(図48参照)。REFINリファレンス入力ピンは内部でバッファされるため、ADC変換のトランジエント現象が大幅に減少し、これらのトランジエント現象から外部リファレンスが切り離されます。したがって、外部リファレンスをバッファするための外部アンプは不要になります。リファレンス入力容量(C_{REFIN})とリファレンス出力容量(C_{REFOUT})の値については、外部リファレンスICデータシートの推奨事項を参照してください。レイアウト上の推奨事項として、外部リファレンス・チップはAD4081とそのREFINピンのできるだけ近くに配置して、REFINピンを外部リファレンス出力に接続する配線パターンの直列インピーダンスを最小にする必要があります。このトラックがノイズの多い信号、特にデジタル信号に曝されることを最小限に抑えることを推奨します。

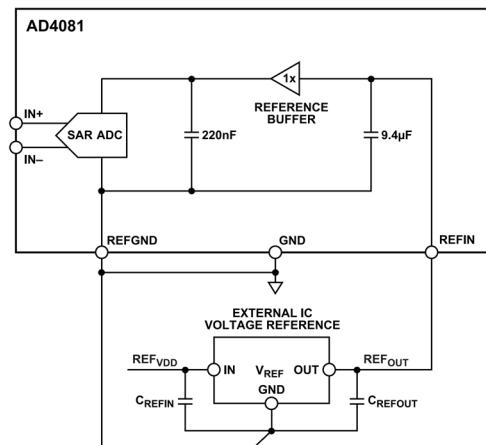


図 48. サンプル・モードの例示的接続図

データ・インターフェースのクロッキング・ソリューション

LVDSデータ・インターフェース(LVDSデータ・インターフェースのセクションを参照)を設計する際、クロッキング・ソリューションがAD4081のタイミング仕様に準拠していることを確認する必要があります(表2を参照)。LVDSモードのデータ・インターフェース用に設定する場合は、タイミング仕様が変換とクロックの同期の最大時間である±535ps(t_{CCA})の範囲内に収まるようにする必要があります。更に、S/N比性能に望ましくない影響がないように、低ジッタ変換(CNV)クロックが提供されていることを確認します。このジッタは信号周波数に依存します。したがって、特定のシステムで許容されるジッタのレベルは、アプリケーションのユース・ケースによって異なります。このトピックの詳細については、アナログ・デバイセズの技術記事、最大SNRとクロック・ジッタの関係を参照してください。

例えば、シングル・レーンをイネーブルにし、エコー・クロック・モードを用いてLVDSデータ・インターフェースを使用するようにAD4081が設定されている場合の推奨クロッキング・ソリューションです。この例では、低フェーズ・ノイズおよびジッタを有する25MHz発振器が選択されます。MT-008チュートリアルは、水晶発振器の製品データシートでしばしば互換的に引用されているフェーズ・ノイズと実効値フェーズ・ジッタとの間の変換を支援するものです。内蔵電圧制御発振器(VCO)を備えたADF4350広帯域シンセサイザは、200MHzクロック・システム・クロックを生成する多目的な手段として機能し、同時に低ジッタを維持し、アプリケーションのニーズに応じてこの周波数を再構成するための柔軟性と制御を提供します。次に、このクロックは、AD9508クロック・ファンアウト・バッファに、所望のLVDSレベル・シグナリングのために設定可能な出力分圧器を供給します図49に示す例では、1つの出力チャンネルを1で割ってLVDSクロックを出力するように設定し、別の出力チャンネルを10で割ってAD4081変換クロックを出力するように設定しています。CNV:CLK周波数の、この1:10比は、ダブル・データレート(DDR)、シングル・レーン、LVDSデータ・インターフェースで20ビットのデータ読み出しを確実に実現します。図50に示すようなデュアル・レーン構成の場合、この比率は1:5に調整されます。

この例では、エコー・クロック・モードが使用され、ホスト・コントローラ(この場合、FPGA(フィールド・プログラマブル・ゲート・アレイ))のデータ整合を支援しています。セル

アプリケーション情報

フ・クロック・モードでは、DCO+と DCO-を整合に使用できません。ADC 結果のレイテンシと LVDS インターフェースの整合のセクションでは、INTF_CHK_EN ビット（アドレス 0x15、ビット 4）をイネーブルにして、ホスト・コントローラをデータに合わせ、システムの伝播遅延を軽減する方法について説明します。

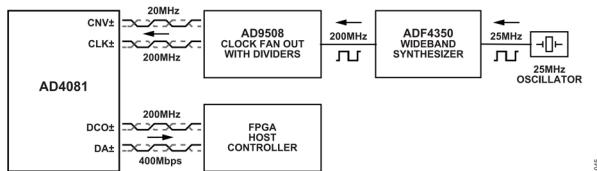


図 49. シングル・レーン、LVDS データ・インターフェースのクロッキングの例

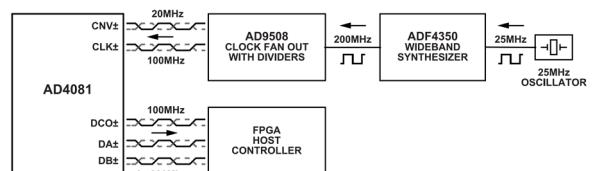


図 50. デュアル・レーン、LVDS データ・インターフェースのクロッキングの例

SPI データ・インターフェース（[SPI データ・インターフェース](#) のセクションを参照）を使用して、結果 FIFO（[結果 FIFO](#) のセクションを参照）からの変換結果に再度アクセスする場合は、必要な性能を達成するために CNV ソース・ジッタを慎重に考慮することが重要です。SPI データ・インターフェースのクロッキングの例（図 51 を参照）では、発振器が変換クロックを直接提供し、データはマイクロコントローラ・ユニット（MCU）によって FIFO から非同期にクロッキングされます。必要に応じて、図 51 に示すように、汎用入出力ピンは、結果 FIFO 動作を制御するように構成できます（[GPIO ピン](#) のセクションと [結果 FIFO](#) のセクションを参照）。

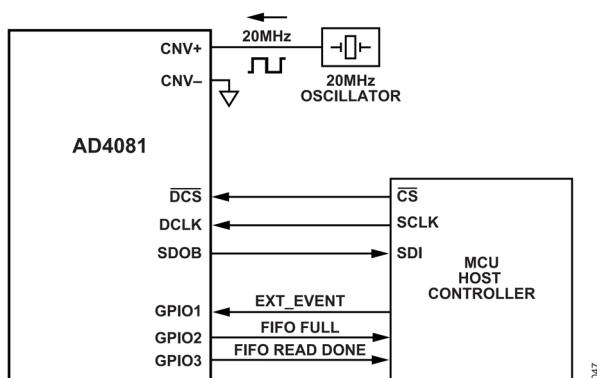


図 51. SPI データ・インターフェースのクロッキングの例

電源ソリューション

このような低ノイズで最大 20MHz のサンプリング・レートでは、AD4081 に供給される低ノイズ電源が性能や精度の低下の原因となるないように、アプリケーションの電源ソリューションを慎重に検討することが重要です。使いやすさと必要な外付け部品の削減を支援するために、2 つの内部 LDO レギュレータが AD4081 内に内蔵されています。これらのレギュレータの詳細については、[内部安定化電源の構成](#) のセクションを参照してください。また、内部電源デカップリング・コンデンサは、内部で生成されたか外部で生成されたかにかかわらず、すべての電源レールに含まれていることに注意してください。これにより、外付け部品の数が減少し、使用が簡素化され、PCB のレイアウト、配線、および設計密度に大きなメリットがもたらされます。

外部生成化電源レールの場合、優れた選択肢の LDO レギュレータは LT3045 または ADP150 であり、いずれも超低ノイズと優れた電源電圧変動除去を提供します。高効率の降圧スイッチング・レギュレータには LT8604C が適していますが、スイッチング周波数がアプリケーション信号の帯域幅内に収まる可能性が高いため、スイッチング・レギュレータ回路の設計には細心の注意を払う必要があります。また、AD4081 の電源では AC 電源の除去率が高くなっていますが、電源レールについては適切な考慮が必要です。

デジタル・インターフェース

概要

AD4081 デジタル・インターフェースは、デバイス設定用の 4 線式 SPI、4 本の汎用入出力 (GPIO) ピン、出力フォーマットが選択可能な変換データ・アクセス・インターフェース (LVDS または SPI データ・インターフェース)、および LVDS または CMOS レベルの信号用に設定できる変換開始入力 (CNV+ と CNV-) で構成されています。

レジスタ・インターフェース

AD4081 の設定レジスタには、SPI 設定インターフェースを介してアクセスします (SPI 設定インターフェースのセクションを参照)。

ADC 変換コントロール

ADC は、サンプルを取得し、CNV+ ピンおよび CNV- ピンで印加される変換開始信号の立上がりエッジで変換動作を開始します。変換開始入力ピンでの電気信号には、次の 2 つの設定が可能です。CMOS または LVDS。

CMOS は、電源投入時およびリセット後のデフォルト・モードです。CMOS では、CNV- ピンをデジタル・インターフェース・グラウンド (IOPND) に接続する必要があります。このモードでは、変換信号は、表 1 のデジタル入力 (CNV、GPIOx、DCS、DCLK) パラメータに従い IOPND を基準とする CMOS ロジック信号を、CNV+ に印加する必要があります。

LVDS モードに切り替えるには、ADC データ・インターフェース設定 B レジスタ (ADC データ・インターフェース設定 B レジスタのセクションのアドレス 0x16 を参照) の LVDS_CNV_EN ビットを 1 に設定する必要があります。このモードでは、CNV+ ピンと CNV- ピンの間に、できるだけ AD4081 の近くに外部 100Ω 終端抵抗を設置する必要があります。LVDS モードでは、CNV+ ピンおよび CNV- ピンは、表 1 の LVDS I/O (EIA-644) パラメータで仕様規定されたレベルに適合する LVDS ドライバで差動駆動する必要があります。CNV+ と CNV- の差動信号ペアの配線を厳密に一致させ、制御されたインピーダンスを使用して信号の完全性を確保するように注意する必要があります。

ADC 変換データ・インターフェース

変換結果へのアクセスには、次の 2 つのシグナリング・フォーマット・オプションを利用できます。

- ▶ LVDS レベル・シグナリング (LVDS データ・インターフェース)
- ▶ CMOS レベル・シグナリング (SPI データ・インターフェース)

インターフェースの選択は、通常、目前のアプリケーションの要件と制約によって決定されます。例えば、連続的な高速データ・アクセスが要求される場合には、LVDS シグナリング・インターフェースが一般に好ましいオプションです。アプリケーションがデータ・アクセスの非連続バーストのみを必要とする場合は、LVDS または SPI データ・インターフェースのいずれかを使用できます。デジタル・インターフェース・ホストの機能によっても、選択されるインターフェース・オプションが決まります。

LVDS と SPI の両方のデータ・インターフェースに共通するのは、選択されたデジタル・ホストの負担を軽減する、次の柔軟な機能です。

- ▶ 多レーン・データ転送：低いインターフェース・クロック速度でデータ・スループットを維持できます。
- ▶ テスト・パターンの生成：インターフェースの完全性チェックを容易にします。

更に、LVDS の場合のみ、構成可能な出力ドライブを設定するオプションがあります。

デフォルトでは、LVDS インターフェースが電源投入時とリセット後に選択されます。図 52 に見られるように、LVDS については、ADC 結果のデータ経路は、オフセットとゲイン補正のブロックを経由し、その経路には以下のオプションがあります。

- ▶ 生の ADC 変換結果を連続的に直接読み出すこと。
- ▶ ユーザが選択したデジタル・フィルタによって処理された ADC 結果を連続的に読み出すこと（詳細についてはデジタル・フィルタのセクションを参照）。
- ▶ FIFO から最大 16k のフィルタリングされていない結果を読み出すこと。
- ▶ FIFO から最大 16k のデジタル的にフィルタリングされた結果を読み出すこと。

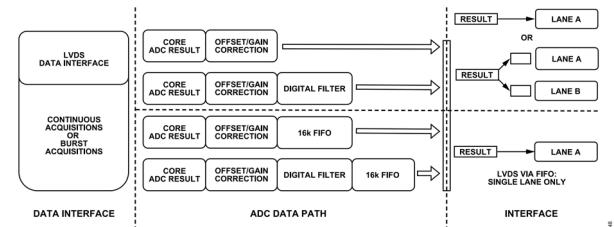


図 52. LVDS データ・インターフェースのオプション

図 53 に示すように、SPI データ・インターフェース用に構成されている場合、使用可能なデータ経路は次のとおりです。

- ▶ FIFO から最大 16k のフィルタリングされていない結果を読み出すこと。
- ▶ FIFO から最大 16k のデジタル的にフィルタリングされた結果を読み出すこと。

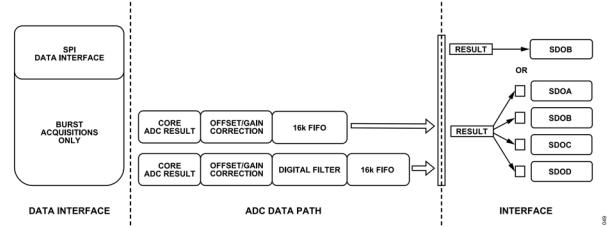


図 53. SPI データ・インターフェースのデータ経路のオプション

選択したインターフェース・フォーマットに固有の追加機能も使用できます。これらの機能については、LVDS データ・インターフェースのセクションと SPI データ・インターフェースのセクションで説明します。

SPI 設定インターフェース

システム・ホストと AD4081 設定レジスタ間のすべてのシリアル・トランザクションは、設定 SPI を使用して実行されます。各シリアル・トランザクションは、少なくとも 1 つの命令

デジタル・インターフェース

フェーズからなり、その間に、所望のメモリ動作、すなわち読み出しままたは書き込み、およびトランザクションの開始アドレスがAD4081に伝送されます。命令フェーズのすぐ後には、ホストとAD4081との間で1バイト以上の情報が交換されるデータ・トランザクション・フェーズが続きます。この内容は、図54と図55の汎用タイミングで示されるように、インターフェース・チップ・セレクト(\overline{CS})の連続的なアサーションによってフレーム化されます。

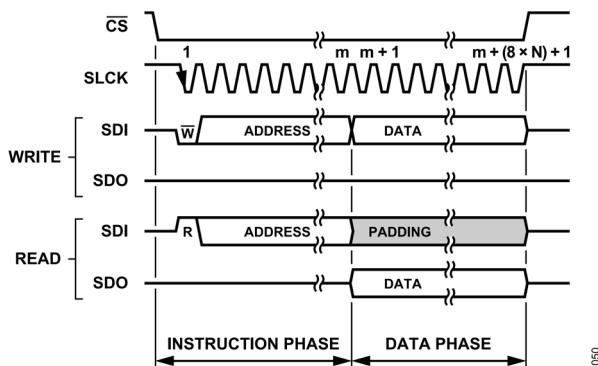


図54. 汎用 SPI 設定フレーム、CRC ディスエーブル

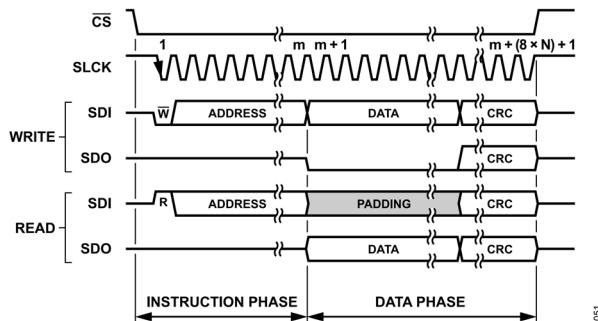


図55. 汎用 SPI 設定の書き込み操作、CRC イネーブル済み

表14. コンフィギュレーション・メモリ・コントローラのオプションのまとめ

インターフェースのオプション	説明
Software Reset (SW_RESET, SW_RESETX)	内部コンフィギュレーション・メモリをデフォルトの状態にリセットします (ADDR_ASCENSION ビットを除く)。データ FIFO は影響を受けません。このリセット方法は、ADC がアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用してください。詳細については ソフトウェア・リセット のセクションを参照してください。
Address Ascension (ADDR_ASCENSION)	このオプションを選択すると、メモリ・コントローラのアドレス・カウンタの動作がデクリメント（デフォルト）からインクリメントに変更されます。この変更は、例えば、マルチバイト・レジスタに単一のエンティティとしてアクセスする場合や、ストリーミング・モードがイネーブルになっている場合など、マルチバイト転送に影響します。この選択は、厳密レジスタ・アクセス・モードでのマルチバイト・レジスタ・アクセスの開始アドレスに影響します。詳細については、 アドレス・アセンションの選択 のセクションを参照してください。
Short Instruction (SHORT_INSTRUCTION)	このオプションを選択すると、命令ワードのアドレス・フィールドの長さが 15ビットから 7ビットに短縮されます。
Single Instruction (SINGLE_INST)	このオプションを選択すると、デフォルトのストリーミング・モードからシングル命令モードに変更されます。シングル命令モードでは、ホスト・コントローラは仕様規定された SPI フレーム内の各レジスタ・アクセスに対して命令を伝送する必要があります。エンティティのサイズは、厳密レジスタ・アクセス設定値と、レジスタがマルチバイトかどうかに依存します。この機能を使用すると、設定中にメモリ空間にランダムにアクセスできます。詳細については、 命令モードの選択 のセクションを参照してください。
Strict Register Access (STRICT_REGISTER_ACCESS)	このオプションを選択すると、メモリ・コントローラはマルチバイト・レジスタを単一のエンティティとして扱い、部分的なアクセスが試みられたときに障害を生成します。詳細については、 厳密アクセス選択とマルチバイト・レジスタ のセクションを参照してください。
CRC Enable (CRC_ENABLE, CRC_ENABLEB)	このオプションを選択すると、巡回冗長検査 (CRC) がイネーブルになり、ホストとの間で送受信されるデータの整合性が検証されます。詳細については、 設定巡回冗長検査 (CRC) のセクションを参照してください。
Status Data Transmission (SEND_STATUS)	このオプションを選択すると、データ・フレームの命令フェーズ中に SDO ラインでステータス・データを伝送できます。詳細については、 ステータス・データの伝送 のセクションを参照してください。

SPI レジスタ・インターフェース

設定レジスタ・インターフェースは、デバイス設定とシステム・ステータス・モニタリングの両方をイネーブルにする SPI です。このインターフェースは、4線式全2重動作作用に構成されています。インターフェース・チップ・セレクト (\overline{CS})、シリアル・クロック (SCLK)、およびシリアル・データ入力 (SDI) 用の専用インターフェース・ピンは、ホスト・コントローラに直接接続するためのものです。デフォルトでは、電源投入時またはソフトウェア・リセット後に、設定インターフェースの SDO 機能がイネーブルになります。GPIOO ピンに割り当てられます。

この設計で実装されている設定インターフェースのタイミング規則は、SPIモード3、クロック極性 (CPOL) = 1、クロック・フレーズ (CPHA) = 1と一致しています。そのため、シリアル・クロック (SCLK) はハイでアイドル状態になると想定され、データ・ピン SDI および SDO の状態は、クロックの立上がり（先行）エッジで更新され、これらのピンは、後続の立上がり（後続）エッジでサンプリングできます。SPIおよびSPIモードの詳細については、アナログ・デバイセズの SPI の基本を学ぶの記事を参照してください。

このインターフェースに関する付録のメモリ・アクセス・コントローラは、インターフェース・コンフィギュレーション・メモリ空間（アドレス 0x00～0x11）を介してアクセス可能な、ユーザがプログラム可能な多数のオプションをサポートします。表14に、AD4081で使用可能なオプションのリストと説明を示します。

デジタル・インターフェース

表 14. コンフィギュレーション・メモリ・コントローラのオプションのまとめ（続き）

インターフェースのオプション	説明
Loop Count (LOOP_COUNT)	ループ前のデータ・バイト・カウントを開始アドレスに設定します。データのストリーミング時、アドレスが開始値にループ・バックするまでに書き込まれるデータ・バイト数を、ゼロ以外の値で設定します。この方法で最大 255 個のバイトを書き込むことができます。値を 0x00 にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。このレジスタへ書き込みを行うと、ループ値は次の SPI 命令にのみ適用され、その命令が終了すると自動的にクリアされます。

命令フェーズ

命令フェーズは、 $\overline{\text{CS}}$ ピンのアサート（ロジック 0）の直後に続き、完全な命令パケットの伝送または $\overline{\text{CS}}$ のデアサートによって終了します。命令パケットは、動作タイプを示す单一のコマンド・ビット（ロジック 1 は読み出し、ロジック 0 は書き込み）で始まり、その後に操作の開始アドレスが続けます。デフォルトでは、アドレスは 15 ビット長ですが、データ・インターフェースにはこれを 7 ビットに短縮するオプションのショート命令モードがあります。ショート命令モードをイネーブルにするには、インターフェース設定 B レジスタの SHORT_INSTRUCTION ビットを 1 に設定します（インターフェース設定 B レジスタのセクションを参照、アドレス 0x01）。

データ・フェーズ

各命令フェーズの直後には、関連するデータ・フェーズが続き、その間、データは、SCLK の立下がりエッジでシリアル・データ出力 (SDO) からシフト出力されるか（読み出しアクセス）、または SCLK の立上がりエッジで SDI を介してデバイス・コンフィギュレーション・メモリにシフト入力されます（書き込みアクセス）。データ・ペイロードの最小サイズは 1 バイトとして定義されますが、アドレス指定されたレジスタの深さと、 SINGLE_INST および STRICT_REGISTER_ACCESS ビット（それぞれレジスタ 0x01、ビット 7 およびレジスタ 0x10、ビット 5）のインターフェース設定値によっては、複数バイトを含めることができます。

書き込みアクセス

$\overline{\text{CS}}$ がローに強制されると、新しいシリアル命令フェーズが開始されます。命令フェーズで送信される最初のビットはコマンド・ビットであり、強制的にロー（ロジック 0）になると、これは書き込み動作を示します。コマンド・ビットの後には、書き込み動作のために、後続のデータ・フェーズで受信された情報がどこに格納されるかを示すアドレスが続けます。命令フェーズのセクションで前述したように、アドレスのデフォルトの長さは 15 ビットですが、アドレスを 7 ビットに短縮することもできます。

命令フェーズに続いて、コンフィギュレーション・メモリ内の 1 つまたは複数のレジスタのデータ・ペイロードを含む整数バイトが AD4081 に伝送されます。このデータ・フェーズのペイロードのサイズは、**厳密アクセス選択とマルチバイト・レジスタ** のセクションで説明されているように、選択された SINGLE_INST および STRICT_REGISTER_ACCESS インターフェース・オプションによって制限されます。各データ・バイトは、インターフェース CRC がディスエーブルされていると仮定して、それが受信されるときにアドレス指定されたレジスタにロードされます。しかし、CRC がイネーブルにされている場合、アドレス指定されたデータ・レジスタは、内部で計算されたチェック・サムがホストから受信した CRC 値と一致する場合にのみロードされます。所与のエンティティについて計算された CRC とホスト

から受信したチェック・サムとが一致しない場合、レジスタ更新は終了し、所与のフレーム内の後続のすべてのデータも同様に無効として扱われます。インターフェース CRC 機能のチェック・サム計算の詳細については、[設定巡回冗長検査 \(CRC\)](#) のセクションを参照してください。

書き込み操作のデータ・フェーズでは、製品が最新の CRC チェック・サムを報告していないときに SDO 出力がロジック 0 に駆動され、有効なデータ状態がホスト・コントローラの SDI ピンに確実に提示されることに注意してください。

読み出しアクセス

SPI を使用すると、設定レジスタへの読み出しアクセスが可能になります、以前の設定書き込みの検証、デバイス ID の読み出し、またはインターフェース・ステータスの検証が可能になります。

$\overline{\text{CS}}$ がローに強制されると、新しいシリアル命令フェーズが開始されます。命令フェーズで送信される最初のビットはコマンド・ビットであり、強制的にハイ（ロジック 1）になると、これは読み出し動作を示します。コマンド・ビットの後には、読み出し動作のために、アクセスされるレジスタ空間の開始アドレスを示すアドレスが続けます。命令フェーズのセクションで前述したように、アドレスのデフォルトの長さは 15 ビットですが、アドレスを 7 ビットに短縮することもできます。

後続のデータ・フェーズでは、アドレス指定されたレジスタ空間からの内容が、SCLK の立下がりエッジで SDO ラインに MSB から順にシフト出力されます。いずれか 1 つのデータ・フレームで伝送されるバイト数は、SHORT_INSTRUCTION および STRICT_REGISTER_ACCESS オプションのインターフェース設定値の選択によって決まります。これについては、[命令モードの選択](#) のセクションと、[厳密アクセス選択とマルチバイト・レジスタ](#) のセクションの例を参照してください。

命令モードの選択

設定インターフェース・メモリ・コントローラは、電源投入時にデフォルトでストリーミング・モードになります（[SINGLE_INST = 0](#)）。ストリーミング・モードでは、複数の連続したレジスタが单一の SPI フレームでアクセスされ、命令フェーズで指定されたアドレスから開始されます。ストリーミング・モードでは、SPI フレームごとに 1 つの命令フェーズしか許可されないため、アクセス・コマンドを変更したり、レジスタ空間内の非連続アドレスにアクセスしたりするために新しい SPI フレームを開始する必要があります。後続のデータ・フェーズ中に転送される各バイトに対して、内部アドレス・カウンタは、[表 15](#) で指定された方法で、インターフェース設定 A レジスタ（インターフェース設定 A レジスタのセクションを参照）の ADDR_ASCENSION ビットの設定に従って自動的に更新されます。

デジタル・インターフェース

表 15. アドレス・アセンションの選択

ADDR_ASCENSION ビット値	アドレス・コントローラの動作 (STRICT_REGISTER_ACCESS = 1)
0 (Default)	デクリメント・アドレス。マルチバイト・レジスタは、最上位バイト・アドレスを指定することによってアクセスされます。
1	インクリメント・アドレス。マルチバイト・レジスタは、最下位バイト・アドレスを指定することによってアクセスされます。

図 56 は、デフォルトのインターフェース設定を使用したシリアル・トランザクションの汎用 SPI フレーム・フォーマットを示しています。この例では、バイト幅レジスタとマルチバイト・レジスタで構成される設定レジスタ空間の一部がアクセスされます。バイト幅レジスタのアドレスは最上位アドレス (ADDRESS) にあり、マルチバイト・レジスタの最上位バイトはレジスタ・セグメントの最下位アドレスにあります。デフォルトでは、ADDR_ASCENSION プロパティは降順に設定されています。これは、最上位のレジスタのアドレスが命令フェーズ中にホスト・コントローラに渡されることを示します。選択さ

れた動作に応じて、命令ワードの後には、バイト幅レジスタ (DATA)、マルチバイト・レジスタの最下位バイト (LSBYTE) と最上位バイト (MSBYTE) のデータからなるペイロード、または、読み出しが場合は、パディング・ビットのいずれかが続きます。慣例として、読み出しが中にロジック 1 を SDI に渡して、書き込みアクセスのために誤ってアドレス 0 をアドレス指定しないようにすることができます。

单一命令モード (SINGLE_INST = 1) では、メモリ・アクセス・コントローラは、図 57 に示すように、所与の SPI フレーム内でアクセスされる各レジスタに対して伝送する命令フェーズを必要とします。このモードは、特定の SPI フレーム内でレジスタ空間の隣接していないセクションへのアクセスが必要な場合に便利です。ストリーム・モードでは、一意のレジスタ・アクセスごとに新しい SPI フレームを開始することで、同じアクセスの柔軟性を実現できることに注意してください。

シングル命令モードを選択するには、インターフェース設定 B レジスタ (インターフェース設定 B レジスタのセクションのアドレス 0x01 を参照) に SINGLE_INST = 1 を設定します。

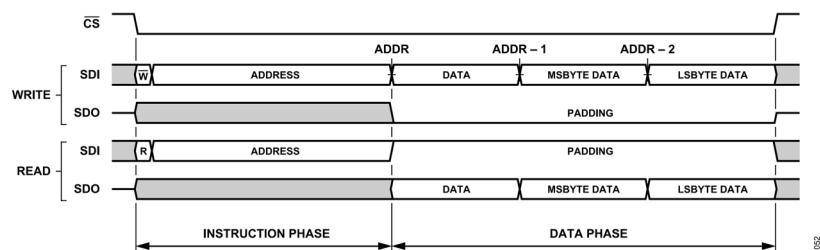


図 56. インターフェース・アクセスの例、インターフェースのデフォルト設定、ストリーミング・モード (ADDR_ASCENSION = 0)

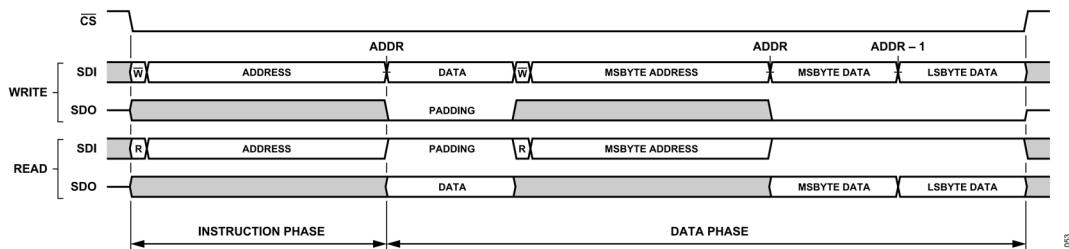


図 57. インターフェース・アクセスの例、単一命令モード (SINGLE_INST = 1)、その他すべてのインターフェース・オプションのデフォルト

デジタル・インターフェース

アドレス・アセンションの選択

前のセクションで説明したように、アドレス・アセンション選択 (ADDR_ASCENSION) ビットは、ストリーミング・モード (SINGLE_INST=0) で AD4081 に伝送されるデータの各バイトに対して内部インターフェース・アドレス・ポインタがどのように更新されるかを決定します。単一命令モード (SINGLE_INST=1) を使用する場合、各レジスタは、図 57 に示されるように、それ自身の命令フェーズを通して直接アドレス指定され、したがって、アドレス・ポインタは更新されません。SINGLE_INST の設定にかかわらず、ADDR_ASCENSION ビットは、命令フェーズの開始アドレスの選択およびデータ・フェーズ・ペイロードのバイト順序に関して、SPI フレームのフォーマットに直接影響します。この影響については、**厳密アクセス選択とマルチバイト・レジスタ** のセクションで詳しく説明します。これは、データ・フォーマットの多くがこのインターフェース設定の選択に依存しているためです。ADDR_ASCENSION 選択ビットは、インターフェース設定 A レジスタ (インターフェース設定 A レジスタのセクションのアドレス 0x00 を参照) にあります。

表 15 にまとめられているように、ADDR_ASCENSION ビットはデフォルトでクリアされ、その結果、アドレス・ポインタは伝送されるデータ・バイトごとに 1 ズつデクリメントされます。このデクリメント設定 (ADDR_ASCENSION=0) では、アドレス・ポインタは、カウンタがアドレス 0x0000 に到達するまで、データ・フェーズ・バイトを受信するたびに、命令フェーズで示された開始アドレスから 1 ズつデクリメントします。追加のバイトが受信されると、ポインタは自動的に最大アドレス値 0x7FFF にロールオーバーします。ロールオーバーの動作は固定されているため、SHORT_INSTRUCTION 値や、ユーザが設定可能なレジスタが占有する物理アドレス空間とは無関係です。この動作を理解して、1 つ以上の無効なレジスタ・アドレスにアクセスしようとしたときにインターフェース・エラーが発生しないようにすることが重要です。設定レジスタのセクションで説明されているように、デバイス設定に関連付けられたレジスタ・アドレス空間へのレジスタ・アクセスを制限します。

あるいは、ADDR_ASCENSION ビットをセットして (ADDR_ASCENSION=1)、所与の SPI フレームにおいて AD4081 で受信された各データ・フェーズ・バイトに対して、命令ワード内で識別されたアドレスから開始して、アドレス・ポインタを 1 だけインクリメントさせることもできます。降順の場合と同様に、アドレス・カウンタは、最大アドレス値 0x7FFF に到達し、その後ポインタが 0x0000 にロールオーバーするまで、受信された各データ・バイトに対してインクリメントし続けます。

厳密アクセス選択とマルチバイト・レジスタ

AD4081 のコンフィギュレーション・メモリ内のいくつかの位置は、ストレージ条件をサポートするためにマルチバイト・レジスタとして割り当てられています。例えば、オフセット補正レジスタ (オフセット補正レジスタのセクションのアドレス 0x25 を参照) とゲイン補正レジスタ (ゲイン補正レジスタのセクションのアドレス 0x27 を参照) は、それらに含まれる補正係数の分解能が 1 バイトを超えるため、マルチバイト・レジスタです。マルチバイト・レジスタの完全なリストについては、**設定レジスタ** のセクションを参照してください。各レジスタの長さ (バイト単位) は、他の特性情報に加えて、表 31 に取り込まれます。

STRICT_REGISTER_ACCESS ビットの機能は、有効な通信が行われるためには、マルチバイト・レジスタのすべてのバイトが必ず、現在のフレーム内でアクセスされることをインターフェース・コントローラに示すことです。マルチバイト・レジスタが部分的にしかアクセスされない場合、インターフェース・ステータス A レジスタ (インターフェース・ステータス A レジスタのセクションのアドレス 0x11 を参照) にインターフェース障害が発生し、部分的な内容の更新は破棄されます。この制限の目的は、対応する設定量が、所望のデバイス動作を生成するように確実に更新されることです。アクセス制限機能はデフォルト (STRICT_REGISTER_ACCESS=1) でイネーブルになっていますが、インターフェース設定 C レジスタ (インターフェース設定 C レジスタのセクションのアドレス 0x10 を参照) のアクセス・ビットをクリア (STRICT_REGISTER_ACCESS=0) することでディスエーブルにできます。レジスタ・アクセス制限をディスエーブルにすると、コンフィギュレーション・メモリの各バイトを個別にアドレス指定できます。ただし、デバイス・メモリ内の任意のマルチバイト・レジスタを正しく設定して目的の動作を実現することは、ソフトウェアの責務です。

レジスタ・アクセス制限をイネーブルまたはディスエーブルにする決定は、1 つまたは複数のマルチバイト・レジスタ・アクセスを含む SPI フレームの正しい構成に関して意味があります。STRICT_REGISTER_ACCESS をディスエーブルにすると、マルチバイト・レジスタの各バイトは単一の要素として扱われます。更に、レジスタのすべてのバイトがプログラムされていない場合、またはバイトがランダムな順序でプログラムされている場合、インターフェースは障害を示さず、したがって、これらのレジスタの内容がデバイス内に所望の機能を生成するように更新されることはホストの義務です。

STRICT_REGISTER_ACCESS をイネーブルにすると、特定のアクセス規則が適用され、データとデバイスの予想される動作との一貫性が確保されます。これらの規則がコンフィギュレーション・メモリ内のマルチバイト・レジスタにどのように適用されるかを理解するためには、メモリがどのように構成されているかを理解することが重要です。慣例により、図 58 に示すように、レジスタの最上位バイトが割り当てられたレジスタ空間の最上位アドレスに格納されるように、マルチバイト・レジスタがコンフィギュレーション・メモリ内に配置されます。その結果、データ・フェーズで伝送されるレジスタ内容のバイト順序は、ADDR_ASCENSION の選択に依存します。

デジタル・インターフェース

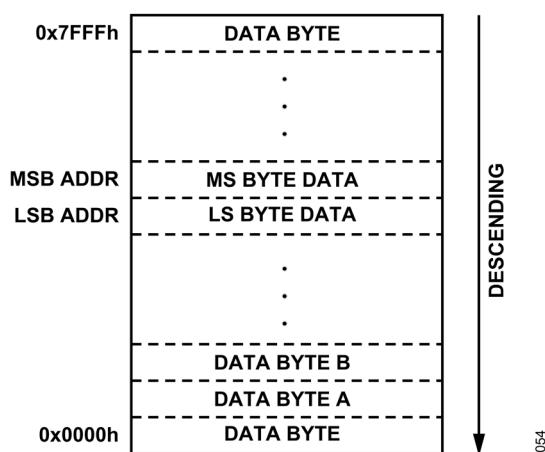


図 58. 汎用バイト幅メモリ、マルチバイト・レジスタの例

図 59 に示されるように、アドレス・カウンタは、デフォルトで、マルチバイト・レジスタの最上位バイトが最初にアクセスされ、その後、そのレジスタ内の残りのバイトが昇順にアクセスされるように、自動的にデクリメントします (ADDR_ASCENSION = 0)。逆に、ADDR_ASCENSION = 1 の場合、マルチバイト・レジスタの最下位バイトが最初にアクセスされ、次に最上位バイトがアクセスされます。

この概念を拡張すると、STRICT_REGISTER_ACCESS = 1 の場合、データ転送の最初のエンティティとしてマルチバイト・レジスタにアクセスする SPI フレームは、命令ワードの開始アドレスを ADDR_ASCENSION 選択に対応するように正しく設定する必要があります。アドレス・カウンタが自動的にデクリメントする場合 (ADDR_ASCENSION = 0) は、そのマルチバイト・レジスタの最下位バイトのレジスタ・アドレスを先頭アドレスとし、逆に自動的にインクリメントする場合は、最上位バイトのレジスタ・アドレスを先頭アドレスとします。ADDR_ASCENSION が自動アドレス・デクリメント (0) から自動インクリメント (1) に変更された結果、図 56 と図 57 は、図 59 と図 60 に示すように変更され、データ・フェーズ・バイト順序および命令フェーズ・マルチバイト・レジスタ開始アドレスの変更に対応します。

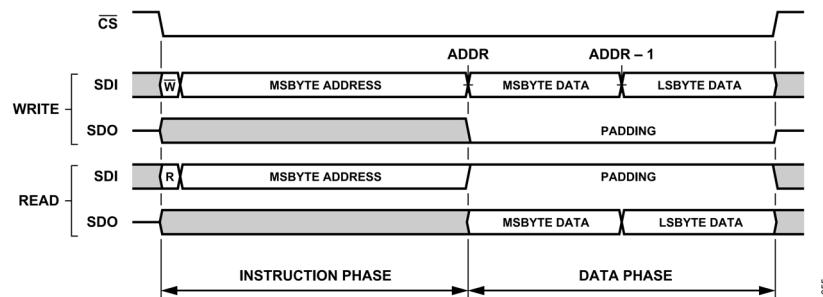


図 59. 単一命令フォーマット、ADDR_ASCENSION = 0 (デクリメント)、STRICT_REGISTER_ACCESS = 1 (イネーブル済み)

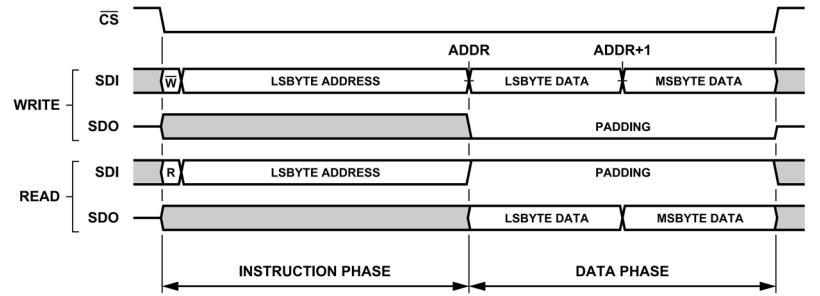


図 60. 単一命令フォーマット、ADDR_ASCENSION = 1 (インクリメント)、STRICT_REGISTER_ACCESS = 1 (イネーブル済み)

デジタル・インターフェース

ステータス・データの伝送

インターフェース・ステータス A レジスタ（インターフェース・ステータス A レジスタのセクションのアドレス 0x11 を参照）およびデバイス・ステータス・レジスタ（デバイス・ステータス・レジスタのセクションのアドレス 0x14 を参照）には、それぞれ通信インターフェースおよびデバイス自体に関するステータス・データが格納されます。このデータにより、開発中のデバイス設定のトラブルシューティングが可能になり、また、導入後のホストとインターフェース間の潜在的な通信問題を継続的にカバーすることができます。SPI コントローラは、通常のレジスタ読出し動作でデータにアクセスできます。しかしながら、AD4081 は、SPI コントローラが SDI を介して SPI 命令フェーズ・データを伝送している間、毎回、SDO ラインを介して状態

データを自律的に伝送するように構成できます。この機能は、インターフェース設定 C レジスタ（インターフェース設定 C レジスタのセクションのアドレス 0x10 を参照）の SEND_STATUS ビットによって制御され、デフォルトではディスエーブルになっています。このビットをイネーブルにするには、SEND_STATUS = 1 に設定します。送信されるステータス・データは、インターフェース・ステータス A レジスタとデバイス・ステータス・レジスタから取得されますが、その内容はインターフェース設定 B レジスタ（インターフェース設定 B レジスタのセクションを参照）の SHORT_INSTRUCTION ビットの設定値によって異なります（命令フェーズの長さもこの設定値に依存することに注意してください）。各ケースで送信されるステータス・データの説明については、表 16 と表 17 を参照してください。ステータス・データは MSB から先に送信されます。

表 16. ロング命令モード (SHORT_INSTRUCTION = 0) で SDO を介して送信されるデバイス・ステータス・データ

ビット	名称	説明
15	Not applicable	ビット 15 は常に 0。
14	Not applicable	ビット 14 は常に 0。
13	FIFO_FULL	デバイス・ステータス・レジスタ・ビット 7 : FIFO フル・ステータス・フラグ。 0 : FIFO はフルではない。 1 : FIFO はフル。
12	FIFO_READ_DONE	デバイス・ステータス・レジスタ・ビット 6 : FIFO 読出し完了フラグ。 0 : FIFO 読出し未完了。 1 : FIFO 読出し完了。
11	HI_STATUS	デバイス・ステータス・レジスタ・ビット 5 : 高閾値検出ステータス・フラグ。 0 : 高閾値イベントを未検出。 1 : 高閾値イベントを検出。
10	LO_STATUS	デバイス・ステータス・レジスタ・ビット 4 : 低閾値検出ステータス・フラグ。 0 : 低閾値イベントを未検出。 1 : 低閾値イベントを検出。
9	ADC_CNV_ERR	デバイス・ステータス・レジスタ・ビット 2 : ADC 変換エラー・フラグ。 0 : ADC 変換が OK。 1 : ADC 変換がエラー。A. 変換期間が速度等級の最小値を下回っています。B. DSP エラー。
8	ROM_CRC_ERR	デバイス・ステータス・レジスタ・ビット 1 : 読出し専用メモリ (ROM) の CRC および、またはエラー補正コード (ECC) 失敗フラグ。 0 : ROM CRC チェックが OK。 1 : ROM CRC および、または ECC 失敗。
7	POR_ANA_FLAG	デバイス・ステータス・レジスタ・ビット 3 : POR アナログ・ステータス。アナログ POR イベントの発生を検出できます。アナログ POR は、電源投入時、またはロジック電源がある閾値未満に低下したとき、ADC リファレンスがある閾値未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガれます。 0 : アナログ POR フラグがクリア。 1 : アナログ POR イベントを検出。
6	POR_FLAG	デバイス・ステータス・レジスタ・ビット 0 : POR ステータス。POR イベントの発生を検出できます。POR は、電源投入時、ロジック電源がある閾値未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガれます。 0 : POR フラグがクリア。 1 : POR イベントを検出。
5	NOT_READY_ERR	インターフェース・ステータス A レジスタ・ビット 7 : デバイスのトランザクションに対する準備が未了。このビットは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合にセットされます。
4	CLOCK_COUNT_ERR	インターフェース・ステータス A レジスタ・ビット 4 : クロック・カウント・エラー。このビットは、トランザクションで不正なクロック・カウントが検出された場合にセットされます。
3	CRC_ERR	インターフェース・ステータス A レジスタ・ビット 3 : CRC エラー。このビットは、SPI コントローラが CRC 値を送信しない場合、またはデバイスが計算した CRC 値が SPI コントローラから受信した値と一致しない場合にセットされます。

デジタル・インターフェース

表 16. ロング命令モード (SHORT_INSTRUCTION = 0) で SDO を介して送信されるデバイス・ステータス・データ (続き)

ビット	名称	説明
2	WR_TO_RD_ONLY_REG_ERR	インターフェース・ステータス A レジスタ・ビット 2 : 読出し専用レジスタへの書き込みエラー。読み出し専用レジスタへの書き込みを試行。このビットは、ユーザが読み出し専用のレジスタに書き込もうとしたときにセットされます。
1	REGISTER_PARTIAL_ACCESS_ERR	インターフェース・ステータス A レジスタ・ビット 1 : レジスタ部分的アクセス・エラー。このビットは、マルチバイト・レジスタ・アクセスにおいて、期待されるバイト・カウントよりも少ないバイト・カウントが読み書きされるときにセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。
0	ADDRESS_INVALID_ERR	インターフェース・ステータス A レジスタ・ビット 0 : 無効アドレス・エラー。存在しないレジスタ・アドレスを読み書きする試行。このビットは、ユーザが許可されたメモリ・マップ空間外のレジスタ・アドレスにアクセスしようとしたときにセットされます。

表 17. ショート命令モード (SHORT_INSTRUCTION = 1) で SDO を介して送信されるデバイス・ステータス・データ

ビット	名称	説明
7	Not applicable	ビット 7 は常に 0。
6	POR_FLAG	デバイス・ステータス・レジスタ・ビット 0 : POR ステータス。POR イベントの発生を検出できます。POR は、電源投入時、ロジック電源がある閾値未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガれます。 0 : POR フラグがクリア。 1 : POR イベントを検出。
5	NOT_READY_ERR	インターフェース・ステータス A レジスタ・ビット 7 : デバイスがトランザクションの準備を未完了のエラー。このビットは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合にセットされます。
4	CLOCK_COUNT_ERR	インターフェース・ステータス A レジスタ・ビット 4 : クロック・カウント・エラー。このビットは、トランザクションで不正なクロック・カウントが検出された場合にセットされます。
3	CRC_ERR	インターフェース・ステータス A レジスタ・ビット 3 : CRC エラー。このビットは、SPI コントローラが CRC を送信しない場合、またはデバイスが計算した CRC 値が、SPI コントローラが送信した値と一致しない場合にセットされます。
2	WR_TO_RD_ONLY_REG_ERR	インターフェース・ステータス A レジスタ・ビット 2 : 読出し専用レジスタへの書き込みエラー。このビットは、ユーザが読み出し専用のレジスタに書き込もうとしたときにセットされます。
1	REGISTER_PARTIAL_ACCESS_ERR	インターフェース・ステータス A レジスタ・ビット 1 : レジスタ部分的アクセス・エラー。このビットは、マルチバイト・レジスタ・アクセスにおいて、期待されるバイト・カウントよりも少ないバイト・カウントが読み書きされるときにセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。
0	ADDRESS_INVALID_ERR	インターフェース・ステータス A レジスタ・ビット 0 : 無効アドレス・エラー。このビットは、ユーザが許可されたメモリ・マップ空間外のレジスタ・アドレスに対して読み書きしようとしたときにセットされます。

設定巡回冗長検査 (CRC)

AD4081 には、8 ビットの巡回冗長検査アルゴリズムに基づくオプションの設定エラー検出機能が備わっています。イネーブルにすると、レジスタ・トランザクションが完了するたびに、データ・フェーズ中に 8 ビットのチェック・サムがシリアル・データ出力ストリーム (SDO) に挿入されます。レジスタ・アクセスのタイプ (読み出しありは書き込み) に応じて、ホストは、各レジスタ・アクセスの直後に、対応するチェック・サムを SDI に条件付きで提供することが予測されます。インターフェース・コントローラは、ホストが提供するチェック・サムを使用して、CRC エラーが発生したかどうかを判断します。

ホストと AD4081 インターフェースで計算されたチェック・サム値が一致しない場合は、インターフェース・ステータス A レジスタに CRC_ERR フラグがセット (CRC_ERR = 1) されます (インターフェース・ステータス A レジスタのセクションを参照、アドレス 0x11)。書き込みアクセス中に CRC エラーが発生すると、最新のレジスタ・データだけでなく、ストリーミング・モード (SINGLE_INST = 0) の場合は後続のレジスタ・データの書き込みもディスクエーブルになります。これにより、破損している可能性のあるデータがコンフィギュレーション・メモリにロードされるのを防ぎます。CRC イベントに応答して、ホスト・コントローラは、影響を受けるメモリ位置の設定を再試行するために新しい SPI フレームを開始することが要求されます。データの読み出し中に CRC_ERR が検出された場合、ホスト・コ

ントローラは受信したデータを破棄し、新しい SPI フレームでデータの読み出しを再試行する必要があります。後続のエラーを検出できるように、コンフィギュレーション・メモリへの読み出しまでは書き込みの繰り返しを開始する前に、CRC_ERR フラグをクリアします。エラー・フラグは、コード 0x08 をインターフェース・ステータス A レジスタに書き込むことによってクリアされ、CRC_ERR ビットをロジック 1 に設定します。障害をクリアしようとする試みが成功したことを確認するために、その後すぐにインターフェース・ステータス A レジスタを読み出すことを推奨します。

設定 CRC 機能はデフォルトでディスクエーブルになっており、インターフェース設定 C レジスタ (インターフェース設定 C レジスタのセクションのアドレス 0x10 を参照) の 2 つの相補的なビット・フィールド CRC_ENABLE および CRC_ENABLEB を使用してイネーブルにできます。CRC 機能をイネーブルにするには、CRC_ENABLE ビットを 1 に、CRC_ENABLEB ビットを 10 に設定します。相補的な CRC ビット・フィールドはそれぞれ 2 ビット幅であり、仕様規定されたもの以外の組み合わせでは、機能はディスクエーブルのままであります。CRC 機能がイネーブルにされると、ホスト・コントローラからの有効なチェック・サムが、表 18 に記述された条件に従って、すべての後続のシリアル・トランザクションに対して要求されることに留意することが重要です。使用する場合は、デバイス設定レジスタに書き込む前に、CRC

デジタル・インターフェース

機能をイネーブルにして検証します。CRC 機能がイネーブルになっていることを確認するには、SPI フレームを使用して CRC 設定の書き込みを行います。SPI フレームは、読み出しトランザクションの有効なチェック・サムを使用して、インターフェース設定 C レジスタとインターフェース・ステータス A レジスタの両方を読み出すことで構成されます。イネーブルの場合、**CRC_ENABLE** ビットおよび **CRC_ENABLEB** ビットのレジスタ内容はそれぞれ 1 および 10 である必要があり、インターフェース・ステータス A レジスタの **CRC_ERR** ビットはクリアされたままになります（ロジック 0）。確認したら、残りの設定レジスタのプログラミングに進みます。

表 18. ホスト・コントローラ（SDI）の条件付きチェック・サム要件のまとめ

Command	SINGLE_INST Bit Value	Check Sum Requirement
Write	Streaming (0) or single instruction (1)	After each data register payload
Read	Streaming (0)	After the first register data payload following the instruction phase
	Single instruction (1)	After each data register payload

各レジスタ・トランザクションのチェック・サムを計算するために、次の CRC-8 多項式が AD4081 に実装されています。

$$x^8 + x^2 + x + 1$$

各シリアル・トランザクションは、この多項式を使用して処理され、レジスタごとにチェック・サムが生成されます。各チェック・サム計算に使用されるデータおよびシード値は、アクセス・コマンド（読み出し／書き込み）、**ADDR_ASCENSION**、**STRICT_REGISTER_ACCESS**、および **SINGLE_INST** 設定値、および表 19 にまとめられているデータ・ストリーム内のレジスタ・データのロケーションの関数です。

すべてのレジスタ書き込みアクセス操作では、**SINGLE_INST** 設定値に関係なく、各レジスタのデータ・ペイロードの後に有効な CRC チェック・サムをホストから送信する必要があります。マ

表 19. **SINGLE_INST** および SPI コマンドに対する設定 CRC チェック・サム・ソース・データのまとめ

Command	Checksum Source	Single Instruction Mode (SINGLE_INST = 1) or Streaming Mode First CRC		Streaming Mode (SINGLE_INST = 0) after first CRC	
		Data Source	Seed	Data Source	Seed
Write	Controller	Instruction and data	0xA5	Register data	Current start address
	AD4081	Instruction and data		Register data	Current start address
Read	Controller	Instruction and padding data	0xA5	Not required, send padding data	
	AD4081	Instruction and register content		Register data	Current start address

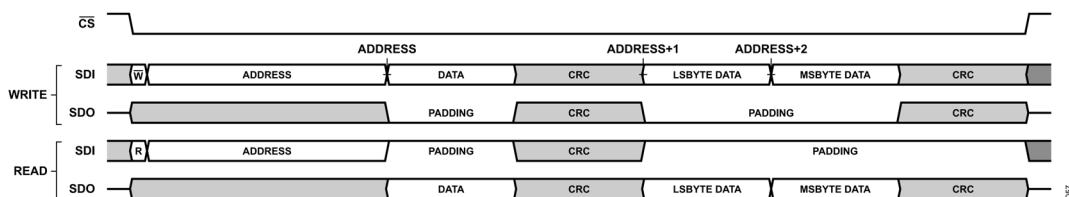


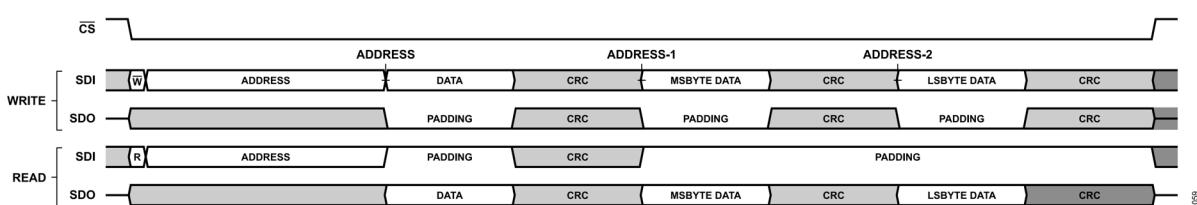
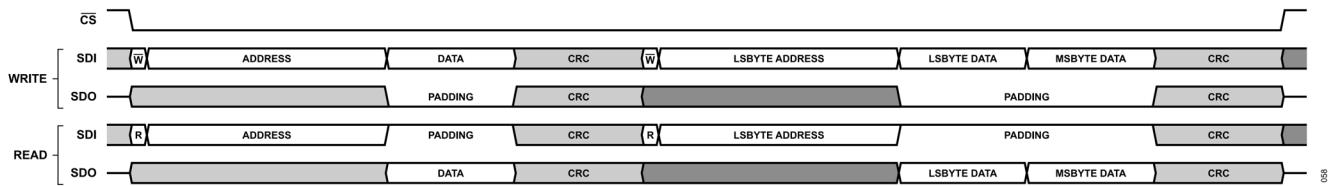
図 61. CRC をイネーブルにしたストリーミング・モードの設定、**ADDR_ASCENSION** = 1

ルチバイト・レジスタでは、**STRICT_REGISTER_ACCESS** = 1 の場合、アドレス指定されたレジスタのすべてのバイトが送信された後に、有効な CRC がデータ・ストリームに追加されます。**STRICT_REGISTER_ACCESS** がクリア（0）されている場合、送信される各バイトの後には、次に説明する計算規則を使用した有効なチェック・サムが続く必要があります。

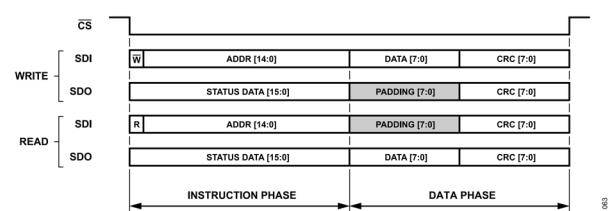
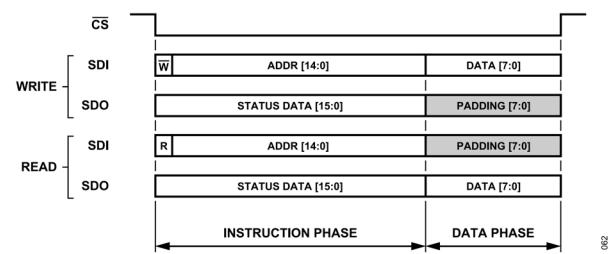
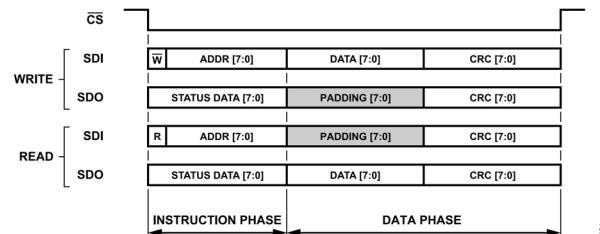
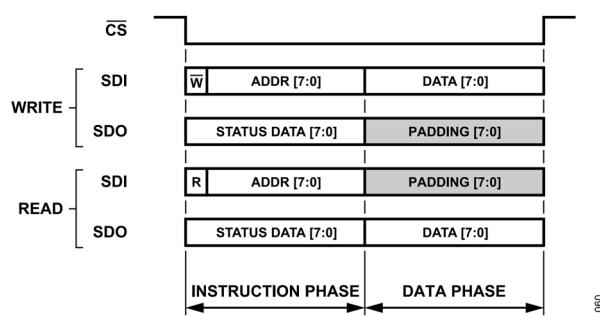
読み出しアクセスの場合、ホストからの有効なチェック・サムの計算および伝送は、コマンドと開始アドレスのみを検証するため必要です。ストリーミング・モード (**SINGLE_INST** = 0) では、CRC チェック・サムは、最初のレジスタ・データ・ペイロードの後にだけホスト・コントローラから送信されます。ストリーミング・モードでの後続のレジスタ・アクセスをすべて、パディング・データで満たします。AD4081 は、前のデータを使用してホストでの検証を可能にするために、各レジスタの読み出し後に有効なチェック・サム値を生成し続けます。单一命令モードでアクセスされる各レジスタに対して新しい命令フェーズが要求されるため、アクセスされる各レジスタに対して有効なホスト CRC チェック・サムが要求されます。

单一命令モード (**SINGLE_INST** = 1) では、多項式は、デフォルトのシード値 0xA5、命令フェーズ・データ、およびアクセス・コマンドに応じて所望のレジスタまたはパディング・データを用いて、各レジスタに対して計算されます。ストリーミング・モード (**SINGLE_INST** = 0) では、データ・ストリーム内の最初のレジスタのチェック・サム計算は、单一命令モードが選択されたかのように計算されます。後続の各レジスタ・アクセス・チェック・サム計算には、現在のレジスタの開始アドレスおよび対応するデータがシードされます。レジスタ・アクセス制限がイネーブルになっている (**STRICT_REGISTER_ACCESS** = 1) と仮定すると、**ADDR_ASCENSION** の選択によってマルチバイト・レジスタの開始アドレスが変わることに注意してください。前述したように、メモリ規約は、**ADDR_ASCENSION** が 0 に設定された場合、マルチバイト・レジスタの最下位バイトのアドレスが開始アドレスとして機能すると規定しています。逆に、**ADDR_ASCENSION** ビットが 1 に設定されている場合は、マルチバイト・レジスタの最上位バイトのアドレスが使用されます。

デジタル・インターフェース



設定 SPI フレーム



デジタル・インターフェース

設定 SPI タイミング

書き込みデータ・フレーム

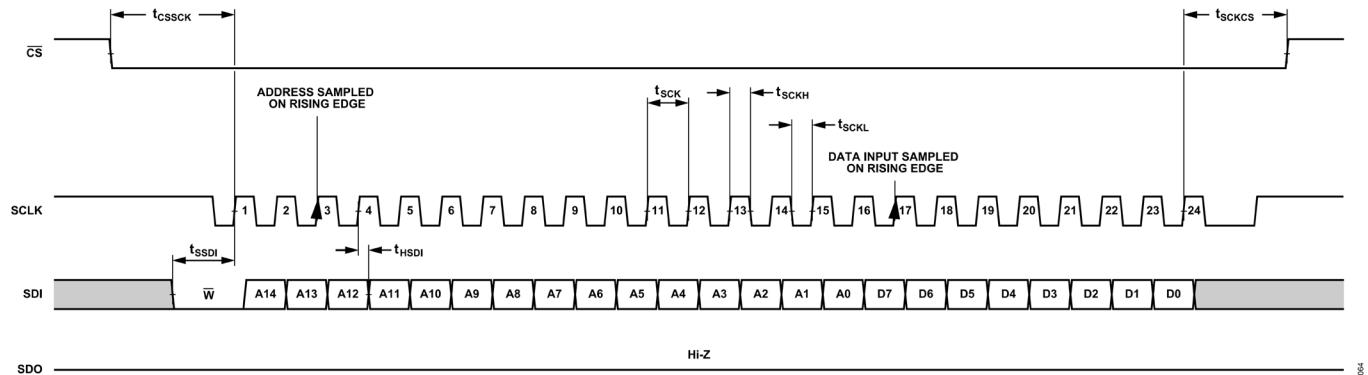


図 68. 設定 SPI タイミング、データ書き込みフレーム、16 ビット命令モード（デフォルト）

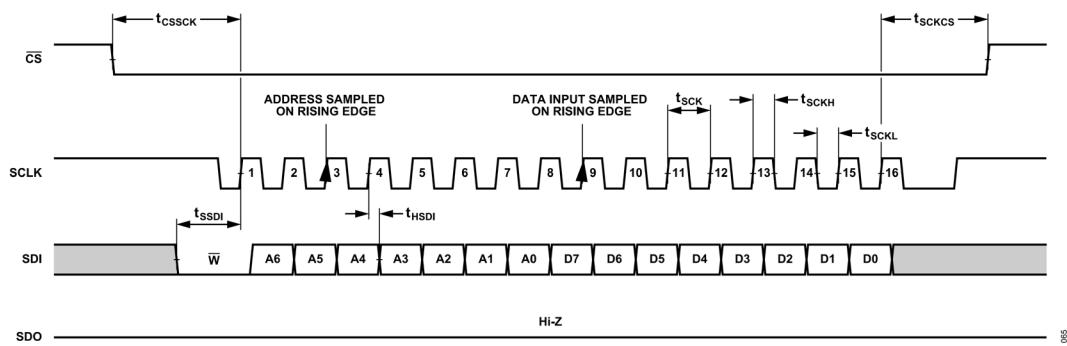


図 69. 設定 SPI タイミング、データ書き込みフレーム、8 ビット命令モード、シングル 8 ビット・レジスタ

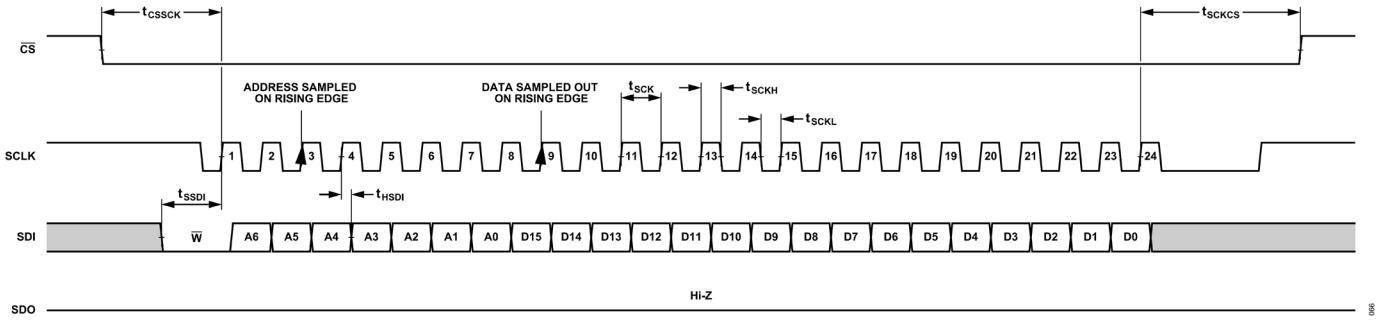


図 70. 設定 SPI タイミング、データ書き込みフレーム、8 ビット命令モード、ストリーミング・モード、マルチバイト・レジスタ

デジタル・インターフェース

読み出しだデータ・フレーム

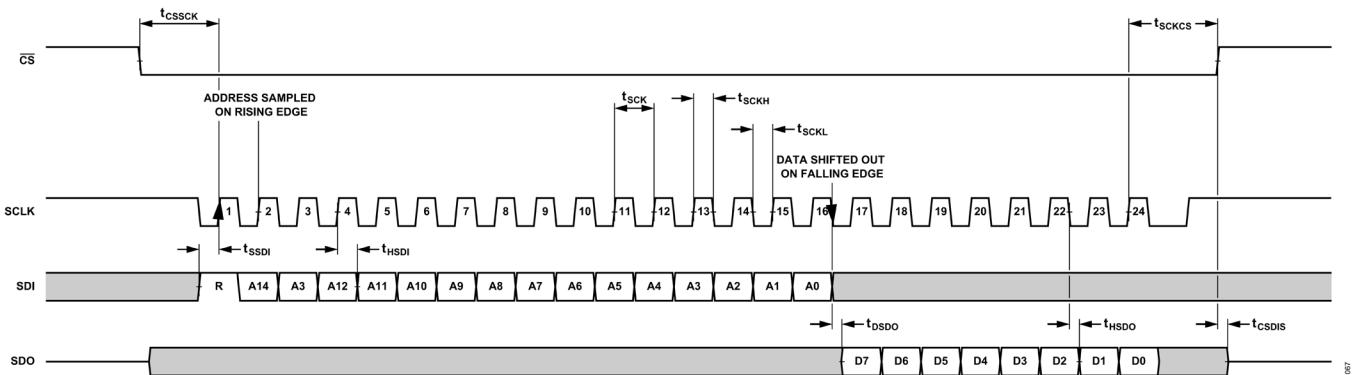


図 71. 設定 SPI タイミング、データ読み出しひーム、16 ビット命令モード（デフォルト）

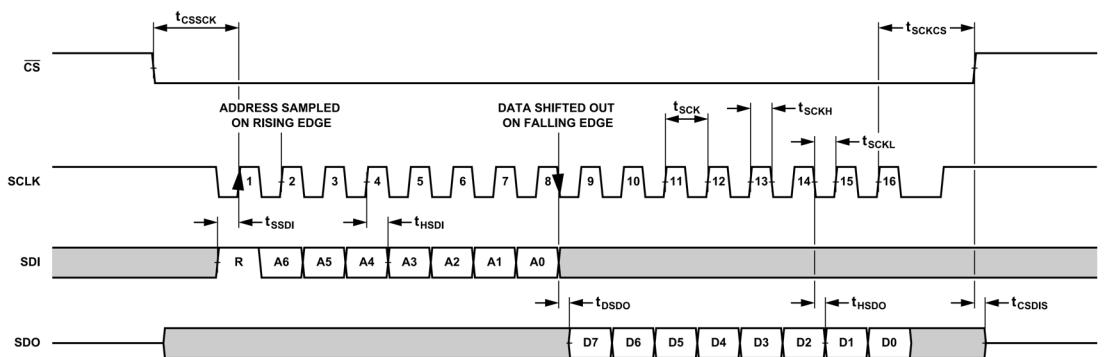


図 72. 設定 SPI タイミング、データ読み出しひーム、8 ビット命令モード

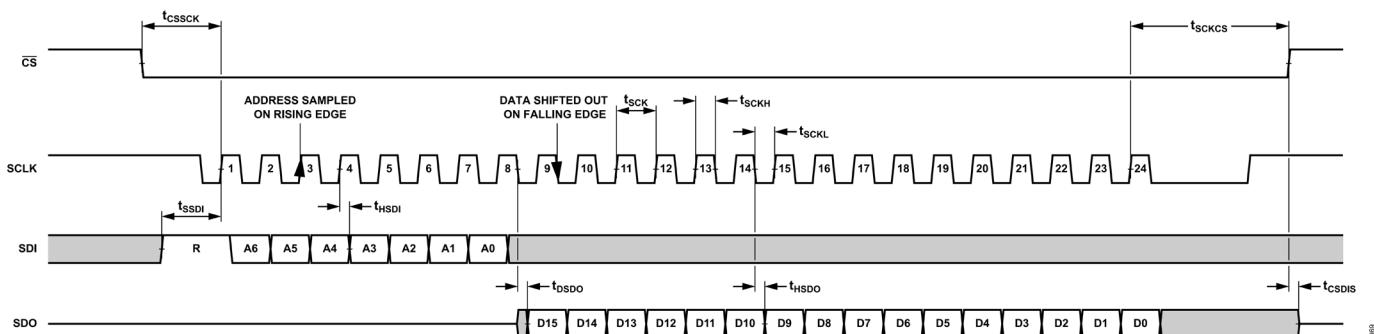


図 73. 設定 SPI タイミング、データ読み出しひーム、8 ビット命令モード、スチーミング・モード、マルチバイト・レジスタ

デジタル・インターフェース

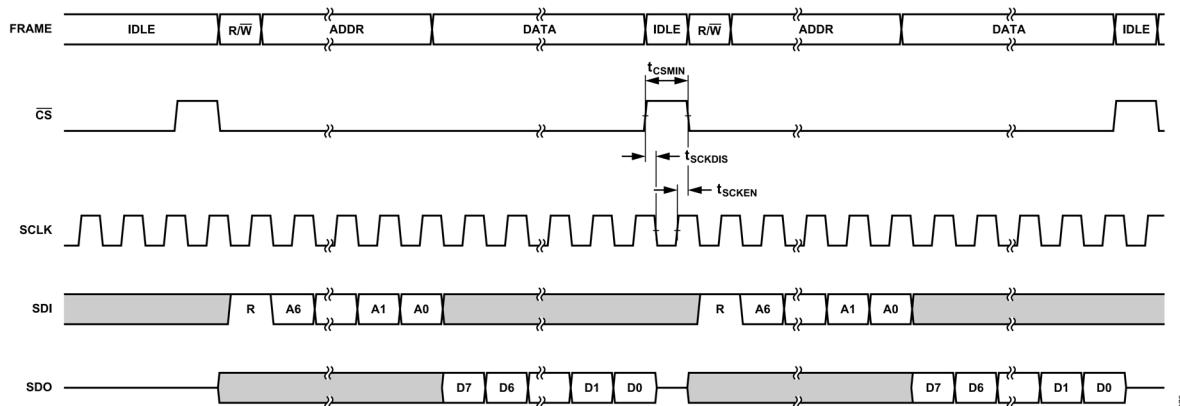


図 74. 設定 SPI タイミング、データ読み出しフレーム、連続 SCLK

LVDS データ・インターフェース

LVDS データ・インターフェースの構成

LVDS インターフェースは、最大 5 組の差動信号で構成されます。データ・クロック入力ペア (CLK+および CLK-)、エコーアクティブされたデータ・クロック出力ペア (DCO+および DCO-)、2 つのデータ出力レーン (DA+および DA-、DB+および DB-)、およびオプションとして、変換クロックは、LVDS ペア (CNV+および CNV-) または CNV+を使用する CMOS のいずれかとして構成することができ、この場合、CNV- は GND に接続されます。このユーザ選択は、ADC データ・インターフェース設定 B レジスタ ([ADC データ・インターフェース設定 B レジスタ](#) のセクションのアドレス 0x16 を参照) の LVDS_CNV_EN ビットを使用して設定されます。データ・レーンは DDR 方式を使用しており、各方式は最大 400Mbps のスループットに対応できます。デフォルトでは、変換結果にアクセスするためのプライマリ・データ・インターフェースとして LVDS が選択されています。

最大のスループットを達成するためには、変換が実行されている間に、前の変換の結果を読み出す必要があります。この理由のために、CNV+および CNV- の立上がりエッジおよび立下がりエッジの両方が、CLK+および CLK- の立上がりエッジに密接に時間調整されることが重要です。変換結果にノイズが入るのを避けるために、CLK+と CLK- のエッジの位置は、表 2 に示すように、インターフェース・クロック (CLK±) の ±535ps (t_{CCA}) 以内に同期させる必要があります。

データ・インターフェースは高度に設定可能であり、出力ストリームをカスタマイズして幅広いアプリケーションに対応できます。設定オプションには、アクティブ・レーン・カウント (1, 2)、セルフ・クロックおよびエコー・クロック・モード、インターフェース・テスト機能、およびデータ符号化があります。LVDS インターフェース・モードは、1MHz を超える速度での連続変換が必要なアプリケーションで使用されます。

結果データの送信は MSB ファーストで行われ、[ADC 結果のレイテンシと LVDS インターフェースの整合](#) のセクションで詳細に仕様規定された時間後に出力されます。

LVDS アクティブ・データ・レーン・カウント

LVDS インターフェースは、1 つまたは 2 つのデータ・レーンに結果データを出力するように設定できます。これは、ADC データ・インターフェース設定 A レジスタ ([ADC データ・インターフェース設定 A レジスタ](#) のセクションのアドレス 0x15 を参照) の SPI_LVDS_LANES ビットによって制御されます。デフォルトでは、このビットは 0 (1 つのレーンがアクティブ) に設定され、SPI_LVDS_LANES = 1 に設定すると 2 つのデータ・レーンが使用されます。このビットは、SPI のアクティブなデータ・レーン数の設定にも使用されることに注意してください。

シングル・レーン動作では、データ・レーン DA+ およびデータ・レーン DA- がプライマリ・データ出力としてイネーブルされ、変換結果は、変換ごとに CLK+ および CLK- 入力に印加される 10 個のインターフェース・クロックを使用して、MSB が最初にシリアルにシフト出力されます。結果データは、エコー・クロック出力 DCO+ および DCO- の各エッジでデバイスからシフト出力されます。結果の MSB (D19) とすべての奇数番号のデータ・ビットは、インターフェース・クロックの立下がりエッジで出力されます。逆に、偶数番号のデータ・ビットは、インターフェース・クロックの立上がりエッジで出力されます。

デュアル・レーン構成では、結果データはクロック・エッジごとに 2 ビットずつ、MSB ファーストでパラレルにシフト出力されます。その結果、1 回の変換に必要なインターフェース・クロックは 5 つだけです。データ・アクセス期間は変換期間と同等であるため、インターフェース・クロック周波数は、シングル・レーンの場合と比較して 2 分の 1 に減少します。インターフェースのクロック周期が長くなった結果、シングル・レーン・カウント設定とデュアル・レーン・カウント設定のタイミングとレイテンシの関係については、[ADC 結果のレイテンシと LVDS インターフェースの整合](#) のセクションを参照してください。

デジタル・インターフェース

エコー・クロック・モード

LVDS データ・インターフェース・モードでは、DCO+および DCO-ピン・ペアは、CLK+および CLK-ピン・ペアのバッファリングおよび遅延バージョンを提供するエコー・クロック出力であり、ホスト・コントローラのデータ・クロッキングへのデータ・クロッキングを容易にします。この機能は、ADC データ・インターフェース設定 B レジスタ ([ADC データ・インターフェース設定 B レジスタ](#) のセクションのアドレス 0x16 を参照) の LVDS_SELF_CLK_MODE ビットによって制御されます。デフォルトでは、エコー・クロック・モードはアクティブです (LVDS_SELF_CLK_MODE=0)。LVDS_SELF_CLK_MODE=1 に設定すると、DCO+および DCO-出力ドライバがディスエーブルになります、デバイスがセルフ・クロック・モードになります ([セルフ・クロック・モード](#) のセクションを参照)。

エコー・クロック・モードがアクティブの場合、インターフェースは、ホスト・コントローラと AD4081 の間に最低 3 つの LVDS ペア (CLK+ と CLK-, DCO+ と DCO-, および DA+ と DA-) を接続する必要があります。CNV+ および CNV-ピン・ペアが LVDS 入力として設定され、DB+ および DB-データ・レーンがイネーブルになっている場合は、最大 5 つの LVDS ペアが

必要です。変換クロック (CNV+ および CNV-) およびデータ・クロック (CLK+ および CLK-) は、エッジ配置条件が満たされるようにクロック・ネットワークをファンアウトすることに注意が払われる限り、複数の AD4081 デバイス間で共有できます。

エコー・クロック・モードでは、イネーブルなレーンからのデータは、DDR 方式の DCO+ および DCO- の立上がりエッジと立下がりエッジの両方に同期してクロック・アウトされます。

[図 75](#) および [図 76](#) は、それぞれ、シングル・レーン構成およびデュアル・レーン構成に対する、DCO+ および DCO- エコー・クロックに関する、関連する LVDS インターフェース・タイミングを示します。t_{MSB_READ} の計算については、[ADC 結果のレイテンシ](#) と [LVDS インターフェースの整合](#) のセクションで説明します。

ADC からホスト・プロセッサへのデータ・クロック (DCO+ および DCO-) およびデータ・レーン (DA+ および DA-, DB+ および DB-) レーンの配線を物理レイアウトに合わせて、ホストでのデータ回復に影響する可能性のあるタイミング・スキュームを最小限に抑えるよう考慮してください。その他の配線の提案については、[レイアウトのガイドライン](#) のセクションを参照してください。

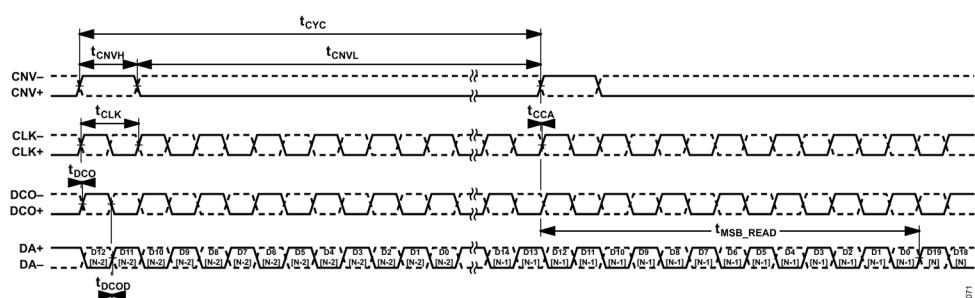


図 75. 連続変換タイミング、LVDS データ・インターフェース、シングル・データ・レーン、エコー・クロック・モード

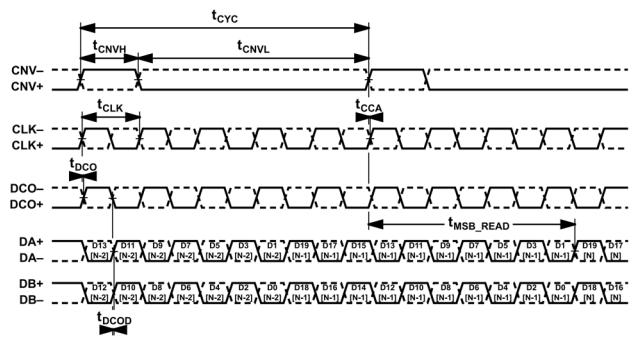


図 76. 連続変換タイミング、LVDS データ・インターフェース、デュアル・データ・レーン、エコー・クロック・モード

デジタル・インターフェース

セルフ・クロック・モード

LVDS データ・インターフェース・モードでは、ADC データ・インターフェース設定 B レジスタ ([ADC データ・インターフェース設定 B レジスタ](#) のセクションのアドレス 0x16 を参照) に LVDS_SELF_CLK_MODE = 1 を設定することにより、DCO+ および DCO- エコー・クロック出力 ([エコー・クロック・モード](#) のセクションを参照) をディスエーブルにすることができます。この設定では、デバイスがセルフ・クロック・モードになり、DCO+ および DCO- 出力ドライバがディスエーブルになります。

す。これにより、インターフェースの電力が節約され、ホスト・コントローラとのインターフェースに必要な LVDS ペアの数が削減されます。このモードでは、DCO+および DCO-ピンを切断したままにしておくことができます。したがって、シングル・レーン構成では、各 AD4081 インスタンスに接続するために最低 2 つの LVDS ペア (CLK+と CLK-, DA+と DA-) が必要です。インターフェースの接続性は、複数の AD4081 インスタンス間でインターフェース・クロック (CLK+および CLK-) を共有することによって、更に簡素化できます。

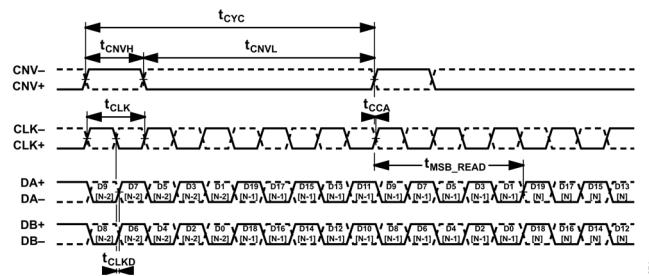


図 77. 連続変換タイミング、LVDS データ・インターフェース、シングル・データ・レーン、セルフ・クロック・モード

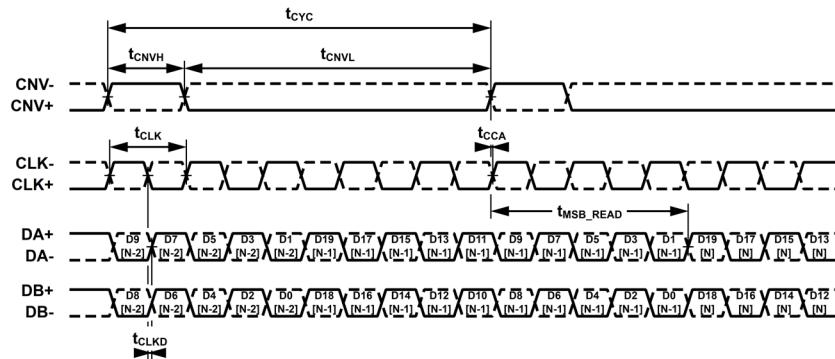


図 78. 連続変換タイミング、LVDS データ・インターフェース、デュアル・データ・レーン、セルフ・クロック・モード

デジタル・インターフェース

LVDS マンチェスター・エンコーディング・モード

このモードは、ADC_DATA_INTF_CONFIG_B レジスタ（アドレス 0x16）を介してアクセスされ、IEEE 802.3 に準拠した結果データのマンチェスター・エンコーディングを生成します。このモードは、コンバータ電源がフローティング状態であり、データ出力がホスト・コントローラに容量結合されている絶縁データ・アプリケーションで使用できます。各データ・レーンの平均出力が 0 であることを確保することによって、レシーバー側のコモンモード電圧は、結果パターンによって乱されません。

マンチェスター・エンコーディングは、最大データ・スループットが最大 200MHz LVDS クロック・レートで達成できるように、デュアル・レーン LVDS モードでのみ利用可能です。

図 79 に、この絶縁を実装する方法の例を示します。絶縁コンデンサの前に LVDS 100Ω 終端抵抗が必要であることに注意してください。

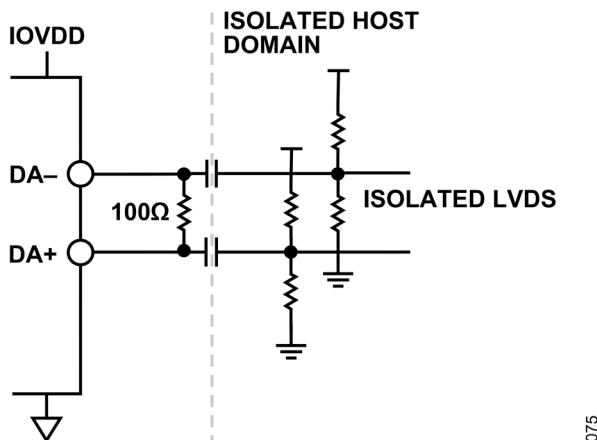


図 79. 絶縁型 LVDS

ADC 結果のレイテンシと LVDS インターフェースの整合

AD4081 が LVDS インターフェース・モードに設定されている場合、各変換結果は LVDS インターフェース出力シフト・レジスタに格納されます。ADC データ・インターフェース設定 B レジスタ（ADC データ・インターフェース設定 B レジスタのセクションのアドレス 0x16 を参照）の LVDS_CNV_CLK_CNT ビットは、変換結果データが LVDS インターフェース出力シフト・レジスタにロードされる時点を設定するために使用されます。変換パルスの立上がりエッジから、その変換要求の MSB が出力レジスタに転送するために内部で利用可能になるまでの合計時間は、 $(t_{CYC} + t_{MSB})$ として定義され、両方とも表 2 に仕様規定されます。この結果データの転送は、CLK+ および CLK- の LVDS の制御下にあるため、完全に完了した結果がリードバックのためにインターフェースに転送されるために許容されなければならない追加の $(1.5 \times t_{CLK})$ があります。ユーザは必ず、必要とされる正確な LVDS_CNV_CLK_CNT 値を計算し、使用される変換レートおよび t_{CLK} に従って ADC データ・インターフェース設定 B レジスタ（ADC データ・インターフェース設定 B レジスタのセクションを参照）を構成します。

最小レイテンシの場合、特定の変換レートを使用する正確な LVDS_CNV_CLK_CNT 値は、 $(t_{MSB}/t_{CLK} + 1.5)$ と計算されます。この数値は、最も近い整数値に切り捨てられます。

最大 t_{MSB} 時間は、ゲイン誤差補正（ゲイン誤差補正のセクションを参照）をイネーブルにした状態で 22.4ns に仕様規定されます。200MHz の LVDS クロックを用いたシングル・レーン LVDS における 20MSPS の変換レートに対して、これは 22.4ns/5ns + 1.5 として計算され、LVDS_CNV_CLK_CNT の設定値は 5 になります。次に、変換レイテンシは、CLK 信号の立下がりエッジに整合された時間として求められ、タイミング図において t_{MSB_READ} またはレイテンシとして記述され、 $(LVDS_CNV_CLK_CNT + 0.5) \times t_{CLK}$ と計算できます。この例では、シングル・レーン・レイテンシは、 $(5 + 0.5) \times 5\text{ns} + t_{CYC} = 77.50\text{ns}$ レイテンシと計算されます。

デュアル・レーンの例では、同じ式を使用し、20MSPS の例をとると、この場合もゲイン誤差補正がイネーブルになり、LVDS クロックは 100MHz で動作し、 $(22.4\text{ns}/10\text{ns}) + 1.5$ となるので、LVDS_CNV_CLK_CNT は 3、合計結果レイテンシは $(3 + 0.5) \times 10\text{ns} + t_{CYC} = 85.00\text{ns}$ レイテンシとなります。

ゲイン誤差補正をディスエーブルすると（ゲイン誤差補正のセクションを参照）、最大 t_{MSB} 時間は 18ns と規定されます。200MHz の LVDS クロックを用いたシングル・レーン LVDS における 20MSPS の変換レートに対して、これは 18ns/5ns + 1.5 として計算され、LVDS_CNV_CLK_CNT の設定値は 5 になります。次に、変換レイテンシは、CLK 信号の立下がりエッジに整合された時間として求められ、タイミング図において t_{MSB_READ} またはレイテンシとして記述され、 $(LVDS_CNV_CLK_CNT + 0.5) \times t_{CLK}$ と計算できます。この例では、シングル・レーン・レイテンシは、 $(5 + 0.5) \times 5 + t_{CYC} = 77.50\text{ns}$ レイテンシと計算されます。

この例では、同じ式を使用し、シングル・レーン 20MSPS の例をとると、LVDS クロックは 200MHz で動作し、 $(18\text{ns}/10\text{ns}) + 1.5$ となるので、LVDS_CNV_CLK_CNT は 3、合計結果レイテンシは $(3 + 0.5) \times 5\text{ns} + t_{CYC} = 85.00\text{ns}$ レイテンシとなります。

これらの例はいずれも、最小レイテンシを達成するように計算されており、より高い LVDS_CNV_CLK_CNT 値を使用することが可能であり、これにより、LVDS_CNV_CLK_CNT 値が +1 単位増加するごとにレイテンシが t_{CLK} 増加します。

図 80 と図 81 は、LVDS_CNV_CLK_CNT によって制御される LVDS インターフェース上への ADC 結果データの配置を説明するのに役立ちます。図 80 は、新しい結果が $(t_{CYC} + t_{MSB})$ の後に内部的に完了し、この結果がインターフェースで使用可能になることを示しています。これは、ここでは概念的な $t_{MSB_AVAILABLE}$ （図 80 の説明のためにのみ紹介）によっても示されています。この例は 20MSPS の変換レートの場合であるので、図 80 は、LVDS_CNV_CLK_CNT 設定値の 5 が、変換結果を LVDS インターフェースにロードできる最も早いものであることを示しています。MSB を出力に移動させるためには、更に 1 つの完全な t_{CLK} サイクルが必要です（完全なサイクルは、CLK+立下がりエッジから次の CLK+立下がりエッジまで）。このサイクルは、例示目的のみのために、概念的な t_{MSB_READ} インジケータと共に図 80 内で強調表示されています。

デジタル・インターフェース

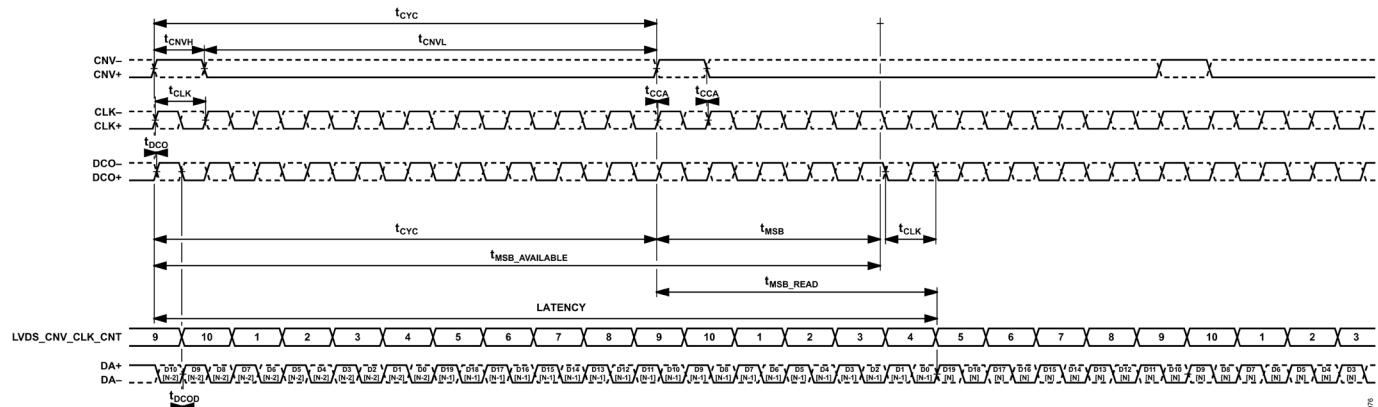


図 80. シングル・レーン LVDS、エコー・クロック・モード、LVDS_CNV_CLK_CNT 位置の例

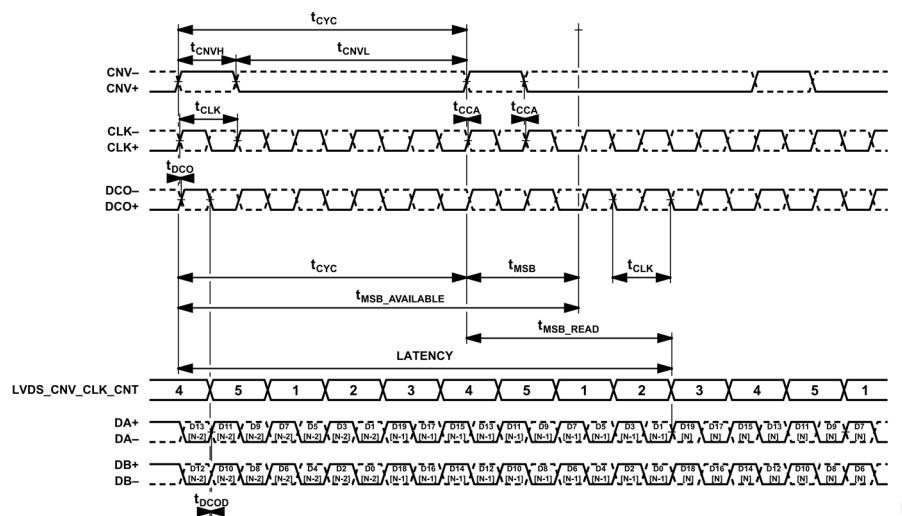


図 81. デュアル・レーン LVDS、エコー・クロック・モード、LVDS_CNV_CLK_CNT 位置の例

表 20. 有効な LVDS_CNV_CLK_CNT 設定値

LVDS_CNV_CLK_CNT Settings	Clock Count Number	
	Single Lane Mode	Dual Lane Mode
0b0000	3	3
0b0001	4	4
0b0010	5	5
0b0011	6	1
0b0100	7	2
0b0101	8	Selection not valid
0b0110	9	Selection not valid
0b0111	10	Selection not valid
0b1000	1	Selection not valid
0b1001	2	Selection not valid

概要を表すガイドとして、表 21 は、様々な変換レートに対して最低限必要な LVDS_CNV_CLK_CNT 設定値を示しています。

ゲイン誤差補正（[ゲイン誤差補正](#)のセクションを参照）がイネーブルになった状態である、22.4ns の最大 t_{MSB} が、表 21 のすべての計算に使用されます。

電源投入時、ゲイン誤差補正の値は 0x200 であり、補正をディスエーブルにし、より低いレイテンシの結果を実現します。この場合、 t_{MSB} は 18ns であり、77.50ns のレイテンシを達成できます。

この有効な結果データ位置とユーザのデジタル・ホストとの整合を支援するために、ADC データ・インターフェース設定 A レジスタ ([ADC データ・インターフェース設定 A レジスタ](#) のセクションを参照、アドレス 0x15) には、INTF_CHK_EN ビットのセットによってイネーブルにされるインターフェース・チェック機能へのアクセスが含まれます。このビットが設定されると、ADC の結果はインターフェースに出力されなくなり、出力は固定パターン 20b1010 1100 0101 1101 0110 (0xA C5D6) に置き換えられます。

デジタル・インターフェース

この機能により、ユーザは、データ・インターフェースをデジタル・ホストに整合させてテストできます。INTF_CHK_EN ビットがセットされていない場合、通常の変換結果が即座に LVDS インターフェースに出力されます。この方法は、特に AD4081 とそのデジタル・ホスト・コントローラとの間に未知の

PCB 伝搬遅延が存在する可能性がある自己クロック・モードの場合の整合に有用です。この機能は、静的データを使用してデジタル・ホストの LVDS クロックで LVDS データを出力するために特別に設計されたものであり、LVDS_CNV_CLK_CNT 設定値が使用されているかどうかは示されないことに注意してください。

表 21. 様々なサンプル・レートでの LVDS_CNV_CLK_CNT 設定（ゲイン補正を適用）

Sample Rate (MSPS)	LVDS Lanes	f _{CLK} (MHz)	t _{CLK} (ns)	(t _{MSB} /t _{CLK}) + 1.5	LVDS_CNV_CLK_CNT Setting
20	1	200	5.000	5.98	5
15	1	150	6.67	4.86	4
10	1	100	10.000	3.74	3
5	1	50	20.000	2.62	2
10	2	100	10.000	3.74	3

デジタル・インターフェース

LVDS データ転送レイテンシ

ユーザが、個々の ADC 変換が開始されてから LSB がホスト・コントローラに到達するまでのレイテンシ全体を知ることに関心がある場合、データ転送レイテンシを考慮することが重要です。観測された合計レイテンシは、ADC レイテンシとデータ転送レイテンシの合計であり、この場合、最小 ADC レイテンシを実現するように LVDS_CNV_CLK_CNT を設定します。図 82 に示すように、必要最小限を超えるクロック・サイクルを追加すると、レイテンシ全体に対してレイテンシの LVDS クロック・サイクルが追加されます。

LVDS インターフェースのデータ転送レイテンシは、次のパラメータに依存します。

- ▶ LVDS クロック期間 t_{CLK}
- ▶ アクティブな LVDS レーンの数 N_{LANES}
- ▶ 読み出すビット数 N_{BITS}

レイテンシは次式で計算します。

$$\text{Data Transfer Latency} = \frac{N_{BITS}}{N_{LANES}} \times t_{CLK}$$

非常に低いレイテンシを必要とするアプリケーションでは、シングル・レーン・モードでもデュアル・レーン・モードでも MSB から LSB の順で転送され、インターフェースから結果を完全に読み出す必要がないため、低分解能の結果に対してはデータ転送レイテンシを低減できることに注意してください（つまり、 N_{BITS} を使用可能な最大 20 ビットよりも小さく選択できます）。

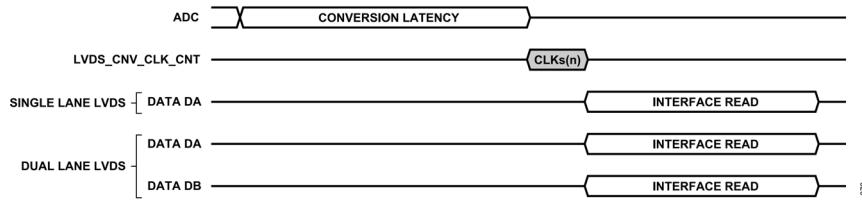


図 82. LVDS データ転送レイテンシ

デジタル・インターフェース

LVDS 出力差動ドライブ

AD4081 は、差動ペアにわたって 100Ω の終端抵抗を仮定して、 $\pm 185\text{mV p-p}$, $\pm 240\text{mV p-p}$, および $\pm 325\text{mV p-p}$ の 3 つの所定の差動振幅のうちの 1 つから LVDS 出力差動電圧の選択が可能です。LVDS ドライバの出力コモンモード電圧は、ピーク出力電圧が IOVDD レール内に維持されるように、選択ごとに自動的に調整されます。現在のデフォルト選択では、差動振幅は $\pm 240\text{mV p-p}$ に設定されています。出力差動電圧は、ADC データ・インターフェース設定 C レジスタ ([ADC データ・インターフェース設定 C レジスタ](#) のセクションを参照、アドレス 0x17) の LVDS_VOD ビットに書き込むことによって修正できます。

データ・インターフェース・テスト機能

選択された出力構成にかかわらず、AD4081 は、デバイス・パッド、PCB 相互接続、およびホスト・インターフェース接続を含むデータ・インターフェース物理層の完全性の検証を可能にする自己テスト機能を備えています。20 ビット固定のデータ・パターン・モードを出力に設定するインターフェース・チェック機能があります。このテスト機能の選択は、データ・インターフェース設定 A レジスタ ([ADC データ・インターフェース設定 A レジスタ](#) のセクションのアドレス 0x15 を参照) の INTF_CHK_EN ビットへの書き込みによって行われます。

内蔵テスト機能をイネーブルにすると、変換結果へのアクセスが中断されます。したがって、この機能は、通常のシステム機能で変換結果を必要としない電源投入時またはアイドル時にのみ使用してください。

詳細については、[ADC 結果のレイテンシと LVDS インターフェースの整合](#) のセクションを参照してください。

SPI データ・インターフェース

SPI データ・インターフェースの構成

結果 FIFO への非同期取り込みを使用する場合など、LVDS インターフェースのインターフェース帯域幅を必要としないアプリケーションでは、データ・インターフェースをシングル・レーンまたはワッド・レーンの SPI データ・インターフェースに再構成できます。この構成では、AD4081 は最大 50MHz のシリアル・クロック・レートで、1 つまたは 4 つの CMOS データ・レーンに同時にデータを出力します。結果データは、インターフェース・クロック (DCLK) の立下がりエッジでシリアルにシフト出力されます。SPI 設定では、4 つの SPI レーンを使用する場合、AD4081 の結果は最大 200MHz のインターフェース・レートで読み出すことができます。

SPI 設定を選択するには、データ・インターフェース設定 A レジスタ ([ADC データ・インターフェース設定 A レジスタ](#) のセクションのアドレス 0x15 を参照) の DATA_INTF_MODE ビットにバイナリ・シーケンス 1'b1 をプログラムします。SPI モードに設定すると、エコー・クロック出力 (DCO+ および DCO-) を含む AD4081 LVDS ドライバが自動的にディスエーブルになり、LVDS と CMOS 機能間の競合が防止されます。その結果、LVDS_SELF_CLK_MODE および LVDS_VOD 設定値は、データ・インターフェースの動作に影響を与えるなくなるので、それぞれの電源投入デフォルト値あるいは何らか便利な値のままになります。ドライバがディスエーブルになっているため、DCO+ および DCO- 出力ピンは使用せず、ハードウェア設計で未接続のままにすることができます。

[表 22](#) に詳述するように、以下の LVDS ピンは、SPI データ・インターフェースを実現するために、CMOS 入力または出力として再構成されます。

表 22. LVDS/SPI データ・インターフェース・ピンのクロスリフレンス

LVDS Pin	CMOS Pin	Function
CLK+	DCLK	Data interface clock input
CLK-	DCS	Data interface chip select input
DA+	SDOA	Serial Data Output A
DA-	SDOB	Serial Data Output B
DB+	SDOC	Serial Data Output C
DB-	SDOD	Serial Data Output D

LVDS 設定モードと同様に、SPI 設定を選択すると、アクティブなレーン数を制御できます。SPI データ・インターフェースの設定では、シングル・レーン SPI またはワッド・レーン SPI を設定できます。

SPI アクティブ・データ・レーン・カウント

SPI は、1 つまたは 4 つのデータ・レーンに結果データを出力するように設定できます。これは、ADC インターフェース設定 A レジスタ ([ADC データ・インターフェース設定 A レジスタ](#) のセクションのアドレス 0x15 を参照) の SPI_LVDS_LANES ビットによって制御されます。デフォルトでは、このビットは 0 (1 つのレーンがアクティブ) に設定されています。1 に設定すると、4 つのデータ・レーンを使用できます。このビットは、LVDS インターフェースのアクティブなデータ・レーン数も設定することに注意してください。[表 23](#) と [図 89](#) に、シリアル・データ出力 (SDOx) ピンへのデータの順序とピン配置を示します。

表 23. SPI データ・レーンのデータの順序およびピン配置

Serial Data Output Pin	Output Data Order	
	One Active SPI Lane (SPI_LVDS_LANES = 0)	Four Active SPI Lanes (SPI_LVDS_LANES = 1)
SDOA	Not applicable	SDO 3
SDOB	SDO 0	SDO 2
SDOC	Not applicable	SDO 1
SDOD	Not applicable	SDO 0

データ・インターフェース CRC

結果データの整合性を確保するために、CRC が FIFO 結果に追加されます。この CRC は常にイネーブルで、付加されます。結果のチェック・サムの計算は、設定インターフェースの計算とは無関係です。結果の長さは 24 ビットで、FIFO から取得された各データ結果記録に追加されます。

符号の拡張

SPI データ・インターフェースを使用して FIFO データにアクセスする場合、AD4081 の 20 ビットの分解能は、マイクロコントローラまたはマイクロプロセッサ・ホストとのインターフェースに適した長さではありません。データ・アクセスおよびストレージをより簡単にするために、ADC 結果は 24 ビットに符号拡張されます。このようにして、データ・フォーマットは選択されたホストとの整合が適切になります。

デジタル・インターフェース

GPIO ピン

AD4081 GPIO ピンは、ホスト・プロセッサ、データ・コンバータ、およびその他の関連シグナル・チェーン部品間の簡素化された状態制御インターフェースを容易化することにより、同期データ・アクイジション・アプリケーションの開発を簡素化することを目的としています。出力として構成する場合、これらの GPIO ピンは、デバイス・ステータスのインジケータ、関連シグナル・チェーン部品のデジタル制御、またはデバイス設定のためのシリアル・データ・レーンとして割り当てることができます。入力モードでは、GPIO ピンを用いて、デジタル・フィル各 GPIO に必要な機能は、GPIO 設定 A レジスタ～GPIO 設定 C レジスタ（アドレス 0x19～0x1B）に書き込むことによって定義

表 24. GPIO レジスタの概要

レジスタ	ビット	説明
GPIO_CONFIG_A	GPIO_0_EN, GPIO_1_EN, GPIO_2_EN, GPIO_3_EN	各 GPIO のイネーブル・ビット。 0 : GPIO を入力として設定します。 1 : GPIO を出力として設定します。
GPIO_CONFIG_A	GPIO_0_DATA, GPIO_1_DATA, GPIO_2_DATA, GPIO_3_DATA	各 GPIO の対応する GPIO_x_SEL ビットを 0111b に設定して、その GPIO へのデータの読み書きができます。 このモードでは、GPIO_x_EN は、GPIO が入力として設定されているか出力として設定されているかに応じて、これらのデータ・ビットのそれぞれが読出し専用か書込み専用かを選択します。 出力として設定された場合、これらのビットは書込み専用であり、ユーザは GPIO への出力に必要なロジック・レベルにビットを設定できます。 入力として設定された場合、これらのビットは読出し専用であり、ユーザはこれらのビットを読出して、GPIO へのロジック・レベル入力を決定できます。 対応する GPIO_x_SEL が 0111b に設定されていない場合、GPIO は選択された GPIO 機能で上書きされるため、GPIO_x_DATA は有効ではありません。
GPIO_CONFIG_B	GPIO_0_SEL, GPIO_1_SEL	GPIO0 および GPIO1 の機能モードの選択。
GPIO_CONFIG_C	GPIO_2_SEL, GPIO_3_SEL	GPIO2 および GPIO3 の機能モードの選択。

されます。GPIO 設定 A レジスタのセクションから GPIO 設定 C レジスタのセクションまでを参照してください。各 GPIO の設定には、出力イネーブル・ビット、出力データ・ビット、および機能選択があります。GPO データ・オプションが選択されている場合は、出力データ・ビットによって出力の論理状態が決定されます。それ以外の場合は、出力がイネーブルになつていれば、選択された機能によって出力状態が決定されます。デフォルトでは、GPIO0 が出力としてイネーブルになつており、設定 SPI SDO 関数が選択されています。その他の GPIO 出力はすべてディスエーブルになります。

表 25 に、使用可能な AD4081 GPIO 関数の簡単な説明を示します。各 GPIO ピンは、以下の機能のいずれかに設定できます。

デジタル・インターフェース

表 25. GPIO_x_SEL 関数の説明

GPIO_x_SEL	機能	説明
0000b	Configuration SPI SDO	設定シリアル・データ出力。これにより、選択した GPIO が設定 SPI の SDO として設定されます。
0001b	FIFO full	FIFO メモリ・フル表示出力。これにより、選択した GPIO が FIFO フル・インジケータとして機能するように設定されます。FIFO フル・インジケータは、FIFO ウォーターマーク・レジスタ (FIFO ウォーターマーク・レジスタ のセクションを参照、アドレス 0x1D と 0x1E) 内の仕様規定されたカウントに対応する数の変換結果がデータ FIFO にロードされたときに設定されます。FIFO フル・ステータス・ビットは、FIFO からデータを読み出すことによってクリアされ、最初の変換結果が FIFO からデータ・インターフェース出力シフト・レジスタに移動されるときにクリアされます。
0010b	FIFO read done	FIFO メモリ読出し完了出力。これにより、選択した GPIO が FIFO 読出し完了インジケータとして機能するように設定されます。FIFO 読出し完了インジケータは、FIFO が最初にイネーブルされたとき、および最後の変換結果が FIFO からデータ・インターフェース出力シフト・レジスタに移動されるたびに、デフォルトではクリアされています。FIFO 読出し完了は、選択されたデータ・インターフェース上で最後の FIFO 結果の MSB が読み出されたときにクリアされます。
0011b	Filter result ready	フィルタ結果準備完了出力。デジタル・フィルタをイネーブルにすると、選択した GPIO が、インターフェース上で新しいデータの読出しができることを示すインジケータとして機能するように設定されます。このアクティブ・ロー表示により、内蔵デジタル・フィルタを使用して入力信号をオーバーサンプリングし、デシメートするときに、ホストと AD4081 との間の同期が可能になります。信号は、各フィルタ・デシメーション期間の終了時にローに駆動され、次のデシメートされた出力が準備完了になる前に再びハイに駆動されます。
0100b	HI_DTCT	高閾値イベント出力。閾値検出をイネーブルにすると、高レベルの閾値をいつ超えるかを示すように、選択された GPIO が設定されます。出力はアクティブ・ハイです。
0101b	LO_DTCT	低閾値出力。閾値検出をイネーブルにすると、低レベルの閾値をいつ超えるかを示すように、選択された GPIO が設定されます。出力はアクティブ・ハイです。
0110b	ALERT	ステータス・アラート出力（アクティブ・ロー）。これにより、選択した GPIO が閾値イベント検出のステータス・アラートとして機能するように設定されます。
0111b	GPIO data	汎用出力モード。このモードでは、GPIO 設定 A レジスタ (GPIO 設定 A レジスタ のセクションのアドレス 0x19 を参照) の対応する GPIO_x_DATA ビットの状態が、設定された出力に適用されます。
1000b	<u>FILTER_SYNC</u>	フィルタ同期入力（アクティブ・ロー）。これにより、選択した GPIO がデジタル・フィルタの同期信号として機能するように設定されます。ローに保持されると、この入力はデジタル・フィルタをリセット状態に保持します。
1001b	EXT_EVENT	外部イベント・トリガ入力。イベントは、設定された GPIO 入力でロジック・ハイが検出されたときにトリガされます。このイベントは、FIFO をトリガするために使用できます。

デジタル機能

概要

AD4081には、多くのアプリケーションにソリューションの大きなメリットを提供する便利なデジタル機能がいくつかあります。これらの機能は、必要に応じてユーザが個別にイネーブルにすることができます。これらの機能について簡単に説明します。これらの機能の詳細な説明と定義については、次のセクションで説明します。

- ▶ **イベント検出**：この機能により、アナログ入力がユーザ設定閾値を超えたことを検出できます。このような検出は、設定レジスタ内でフラグを立てる、GPIOに出力する、あるいは結果 FIFO のトリガに使用することができます。
- ▶ **結果 FIFO**：この機能により、最大 16,384 個の変換結果の記録をオンチップ・メモリ内にアクリジションできます。このアクリジション結果は、LVDS または SPI データ・インターフェースを介してホスト・コントローラにリードバックできます。FIFO に格納される結果は、未処理の ADC 結果、またはデジタル・フィルタ機能を介して処理された結果のいずれかです。
- ▶ **デジタル・フィルタ**：この機能では、3 つの異なるデジタル・フィルタ設定が可能で、それぞれに広い範囲のデシメーション率があり、オーバーサンプリングの利点と信号帯域幅の精細な制御が実現します。
- ▶ **システム誤差補正係数**：AD4081 は、最小のオフセットとゲイン誤差により、工場出荷時にキャリブレーションされた優れた精度を提供しますが、この機能により、ユーザはアプリケーション内に存在する可能性があるシグナル・チェーンを補正できます。

イベント検出

AD4081は、イベント検出機能を含み、それにより、ユーザは、特定のアナログ入力閾値レベルをいつ超えるかを示すか、または入力として設定された GPIO をモニタできます。次に、内部生成化イベントは、コンフィギュレーション・メモリ内でのフラグの設定に使用するか、あるいは設定された GPIO 出力に経路指定して、閾値条件が破られたことをホスト・コントローラに警告するために使用できます。ユーザが外部信号を AD4081 に経路指定し、外部トリガとして使用することも可能です。内部または外部生成化イベントを使用して、統合結果 FIFO (結果 FIFO のセクションを参照) をトリガすることもできます。このメカニズムについては、[FIFO のイベント検出](#)のセクションで説明しています。閾値検出は、変換された電圧コードをユーザ設定コードと比較します。これは、閾値検出がサンプルごとに行われ、イベントがすぐにトリガされるためです。また、レベル・ヒステリシス設定値を設定して、不要なトリガを防止することもできます。

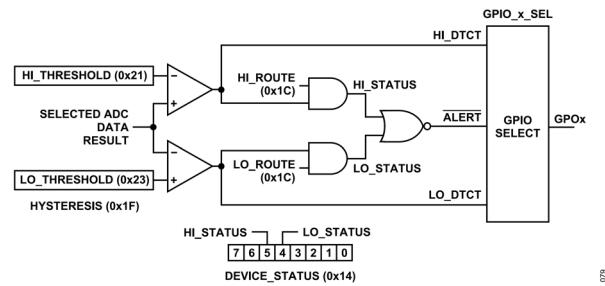


図 83. 内部生成化イベント検出信号経路

図 83 は、AD4081 のイベント検出の設定および動作の詳細を説明するのに役立ちます。

表 26. イベント検出

INT_EVENT_EN ビット (アドレス 0x1C)		モード	トリガ・ソース	コメント
0	外部イベント		GPIO_x_SEL = 4b1001、すなわち EXT_EVENT に設定されている	イベントは、選択された GPIO 入力でロジック・ハイが検出されたときにトリガされます。
1	内部イベント		ADC 結果スレッショルド検出が有効化されている	HI_THRESHOLD (アドレス 0x21 とアドレス 0x22) および LO_THRESHOLD (アドレス 0x23 とアドレス 0x24) は、トリガされるイベントの ADC 結果 (またはデジタル・フィルタ結果) コード閾値の上限および下限を設定します。

デジタル機能

イベント検出のタイミング

全般的な設定レジスタ（[全般的な設定レジスタ](#)のセクションを参照）でイベント検出がイネーブルになっている場合、HI_DTCT および LO_DTCT 信号は、内部生成化イベントの発生を示します。これらの信号は、次の経路を介して内部で経路指定できます。

- ▶ HI_DTCT および LO_DTCT は、GPIO_x_SEL がそれぞれ 0b100 または 0b101 に設定されたイネーブルな GPIO を介して直接アクセスできます。閾値イベントは、GPIO を介してデジタル・ホストによって外部からモニタできます。設定された GPIO のロジック 1 は、イベントの検出を示します。
- ▶ HI_DTCT と LO_DTCT をそれぞれ経路指定するには、全般的な設定レジスタ（アドレス 0x1C）の HI_ROUTE ビットと LO_ROUTE ビットをそれぞれ 1 に設定して、HI_DTCT と LO_DTCT がデバイス・ステータス・レジスタ（[デバイス・ステータス・レジスタ](#)のセクションのアドレス 0x14 を参照）の LO_STATUS ビットと HI_STATUS ビットに伝播できるようにします。これらのステータス・ビットは、設定 SPI を介してデジタル・ホストによってモニタできます。設定された GPIO のロジック 1 は、イベントの検出を示します。これらの 2 つのビットに 1 が書き込まれると、それぞれが独立してクリアされます。電源のオフ／オンまたはデバイスのリセットによっても、ビットはクリアされます。
- ▶ HI_DTCT と LO_DTCT は、全般的な設定レジスタ（アドレス 0x1C）の HI_ROUTE と LO_ROUTE ビットをそれぞれ 1

に設定すると経路設定が可能で、HI_DTCT と LO_DTCT が ALERT信号に伝搬されるようになります。イネーブルされておりステータス・アラートを出力するように設定されている GPIO（すなわち GPIO_x_SEL の設定が 0b0110）は、ALERT信号をその GPIO に経路指定して、イベントの発生時にアラートを示します。このモードで設定された GPIO は通常ハイであり、ロジック・ローはイベントが発生したことを示します。[図 85](#) のセクションに示されるように、この GPIO は、閾値レベルを超えている間だけローのままであり、閾値限界を超えるなり、[図 84](#) のタイミングが満たされると、すぐにロジック・ハイに戻ります。

イベント検出は、CNV+の立上がりエッジに同期して行われます。アナログ入力が閾値を超える最初の CNV+エッジから、イベントが検出されて、デバイス・ステータス・レジスタおよび ALERTを経路指定するように構成された任意の GPIO にフラグ設定されるまでの間に、変換クロック・サイクル 2 回分のレイテンシが存在します。[図 83](#) で明らかのように、HI_DTCT フラグと ALERTの両方が GPIO に経路指定されている場合、閾値レベルを超えた場合の動作が異なります。CNV+立上がりエッジで、アナログ入力が設定された閾値を超えた場合、ALERTは、2 回の変換サイクル後に CNV の立上がりエッジでアサートを解除します。既に設定されている HI_DTCT または LO_DTCT のいずれも、この時点ではクリアされません。これらの信号は、デバイス・ステータス・レジスタ（アドレス 0x14）の該当するビットに 1 を書き込むか、デバイス・リセットが発生した場合にのみクリアされます。

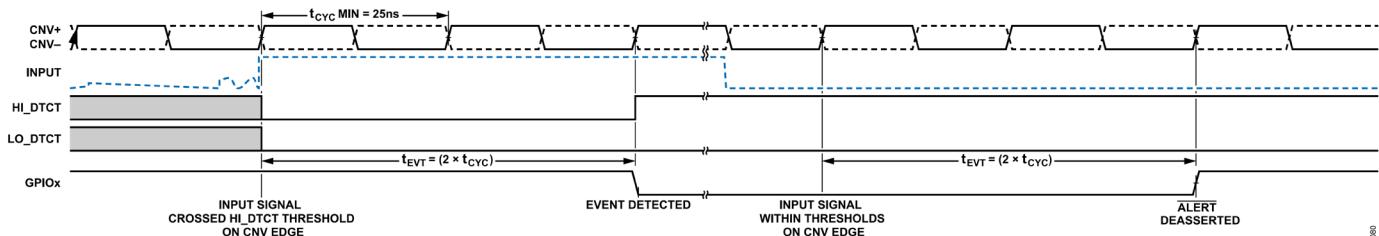


図 84. イベント検出のタイミング

デジタル機能

閾値検出レベル

AD4081の閾値検出にはヒステリシス設定値が含まれています。この設定値を設定することで、ユーザは不要な閾値のトリガ回避できます。図 85 に、これを実現する方法を示します。単一のヒステリシス設定値が設定され、HI_THRESHOLD ビットと LO_THRESHOLD ビットの両方に適用されます。ハイおよびロー検出フラグは、ヒステリシス閾値を超えるまでセットされたままになります。

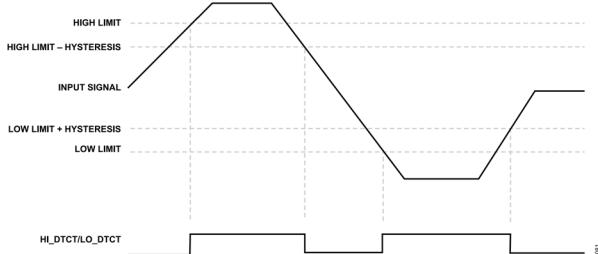


図 85. 閾値検出レベル

イベント検出のイネーブル化

デフォルトでは、電源投入またはリセット後、HI_ROUTE および LO_ROUTE はロジック 0 に設定され、閾値レベルの検出をイベント・アラートの生成からマスクします。イネーブルにすると、これらの信号のゲート付きバージョンである HI_DTCT_GATED と LO_DTCT_GATED が論理 NOR され、ALERT 信号が生成されます。ユーザが HI_DTCT、LO_DTCT、または ALERT 信号を使用して、イベント発生を外部からデジタル・ホストに戻す必要がある場合、GPIO_x_SEL レジスタを使用して、これらの信号のいずれかまたは複数を GPIO ピンに経路指定できます。

FIFO のイベント検出

イベント検出は、オンチップ FIFO の作動にも使用できます。FIFO のイベント検出は、表 26 のセクションで詳述している内部イベントまたは外部イベントのいずれかを用いてトリガできます。

ALERT 信号を使用して FIFO をトリガするには、HI_ROUTE ビットと LO_ROUTE ビットのいずれかあるいは両方を必要に応じて設定し、INT_EVENT_EN ビットを 1 に設定して、複合 ALERT 出力を使用して FIFO をトリガする必要があります。または、INT_EVENT_EN ビットが 0 に設定されている場合は、GPIO EXT_EVENT 入力を設定する必要があります。この入力は、GPIO にロジック 1 が現れたときに FIFO をトリガします。このイベントは外部で生成されたため、ALERT 信号は生成されません。

HI_THRESHOLD (アドレス 021 およびアドレス 022) ビットおよび LO_THRESHOLD (アドレス 0x23 およびアドレス 0x24) ビットを使用して、内部イベント検出用の ADC 出力コード閾値を設定できます。これらのビットは、全般的な設定レジスタ (アドレス 0x1C) の HI_ROUTE ビットと LO_ROUTE ビットを用いてマスクできます。これらのビットをロジック・ハイに設定すると、(事前に設定された GPIO を用いてモニタ可能な)

ALERT フラグに使用されるビットが経路指定されます。また、FIFO イベント・トリガとしてもイネーブルになり、デバイス・ステータス・レジスタ (アドレス 0x14) の HI_STATUS フラグおよび LO_STATUS フラグとして使用できるようになります。

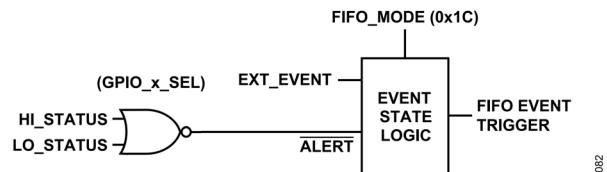


図 86. FIFO イベント検出ロジック

イベント検出 ADC データ結果

ADC データ結果は、図 83 に示すように、選択されたデータ経路に依存します。図 97 で明らかなように、デジタル・フィルタ (デジタル・フィルタのセクションを参照) がイネーブルの場合、選択されたフィルタの出力は、イベント検出のための閾値検出によってチェックされる ADC データ結果を参照します。

結果 FIFO

データ・インターフェースの伝送負荷を軽減する必要があり、非同期データの取り込みとアクセスが適切なアプリケーション向けに、単一ポートのデータ FIFO が AD4081 に内蔵されました。この FIFO は、デジタル・ホスト・コントローラの要件を軽減するのに役立ち、例えば、MCU デジタル・ホストを使用するシステムへの AD4081 の配備が可能になります。データ FIFO を使用すると、データ・オーバーフローによる結果の損失なしに、アクイジション・バーストごとに最大 16,384 のデータ結果の記録を取得できます。単一ポート・メモリとして、FIFO に対して、同時データ・インターフェースの読み出しおよび ADC 変換結果の書き込み動作はできません。

ホスト・コントローラと ADC との間の FIFO アクセスの同期を可能にするために、メモリがフルであるか (FIFO_FULL)、または FIFO 内に利用可能な新しいデータがないか (FIFO_READ_DONE)、すなわち、最後のトリガが設定されて以来、新しいデータがないか、または結果記録の最後の FIFO データのリードバックが既に完了しているかを示す状態フラグが含まれています。N = WATERMARK に達した場合、つまり、FIFO_WATERMARK レジスタで指定されたカウントに対応する変換結果がデータ FIFO にロードされた場合、メモリはフルに設定され、デバイス・ステータス・レジスタ (デバイス・ステータス・レジスタのセクションのアドレス 0x4 を参照) の FIFO_FULL ビットがアサートされます。ステータス・ビットにアクセスするには、設定 SPI を介してデバイス・ステータス・レジスタ (アドレス 0x14) から直接読み出すか、ステータスをデータ SPI フレームに追加するか、必要な GPIO_x_SEL ビットを設定して、目的のステータス・フラグを GPIO ピンに割り当てます。これらの GPIO の詳細については、GPIO ピンのセクションを参照してください。ユーザはまた、バースト・アクイジションを開始する種々のモードの中から選択することができます。これについては、FIFO モードの選択および設定のセクションで更に説明します。

デジタル機能

FIFO モードの選択および設定

AD4081 のデータ FIFO を設定できるモードは 4 種類あります。アクティブ・モードを選択するには、全般的な設定レジスタ（[全般的な設定レジスタ](#) のセクションのアドレス 0x1C を参照）の FIFO_MODE ビットを設定します。デフォルトでは、FIFO は

ディスエーブルになっています（FIFO_MODE = 00）。これらのモードは、様々なアプリケーションのユース・ケース条件に適合するように設計されています。[表 27](#) に、各 FIFO モードとその適用可能なユース・ケースの詳細を示します。

表 27. FIFO 設定モード (FIFO_MODE)

FIFO_MODE ビット値	FIFO モード	説明	ユース・ケース
00	FIFO をディスエーブル	FIFO は使用しません。この値は、イベント・トリガのリセットと再作動も行います。	連続変換モード。FIFO は使用しません。
01	即時トリガ・モード	このモードでは、最初の有効なコンバータ結果の受信直後にデータ取り込みが開始され、[N = WATERMARK]の結果が FIFO メモリにロードされるまで継続されます。 FIFO からリードバックされると、FIFO_READ_DONE は、[N = WATERMARK]の結果が FIFO からいつ読み出されるかを示します。	ユーザは、この FIFO_MODE、ビット[1:0]値の設定によって開始される、[N = WATERMARK]結果のバースト・アクイジョンに関心があります。
10	イベント・トリガの取り込み、最新の WATERMARK の読み出し	FIFO メモリへのデータ取り込みは、ユーザが選択したイベント方式によって開始されます。結果カウンタはイベントによって開始され、FIFO へのデータ取り込みは、[N = WATERMARK]の結果が取り込まれると停止します。 FIFO からリードバックされると、FIFO_READ_DONE は、[N = WATERMARK]の結果が FIFO からいつ読み出されたかを示します。	ユーザは、イベントによって開始された[N = WATERMARK]結果のバースト・アクイジョンに関心があります。イベント後の結果データのみが対象となります。
11	イベント・トリガ取り込みモード、すべての FIFO の読み出し	データ取り込みは、最初の有効なコンバータ結果を受信した直後に開始されます。 FIFO は、イベントが検出されるまで連続して満たされます。FIFO が満たされる（つまり、16,384 個の結果がメモリに書き込まれる）前にイベントが検出されない場合、メモリは先入れ先出し方式で破棄された最も古い結果で満たされ続けます。 選択されたイベント方式を受信すると、結果カウンタは[N = WATERMARK]までカウントします。データ取り込みは、WATERMARK に達すると停止します。このモードでは、FIFO が一杯になると、イベントが発生した FIFO メモリ内の位置が自動的に FIFO_WATERMARK レジスタに格納されます。FIFO_WATERMARK からリードバックされた値によって、ユーザは、格納されている結果のうち、イベントの前に取り込まれたものと、イベントの後に取り込まれたものを区別できます。詳細については、 イベント・トリガ取り込みモード、すべての FIFO の読み出し のセクションの例を参照してください。 FIFO からリードバックされると、FIFO_READ_DONE は 16,384 の結果が FIFO からいつ読み出されるかを示します。フル・メモリのリードバックには、イベント後の [N = WATERMARK] の結果が含まれます。この場合の N が 16,384 未満の場合、FIFO の残りの内容にはイベントの前の変換結果が含まれます。	ユーザは、イベントによって開始された[N = WATERMARK]結果のバースト・アクイジョンに関心があります。このモードでは、FIFO の全内容が読み出されます。このモードでは、ユーザはイベントの後に[N = WATERMARK]の結果を読み出し、イベントの前に（16,384 - [N = WATERMARK]）の結果を読み出すことができます。このモードでは、4 の倍数の WATERMARK 値のみが有効です。

デジタル機能

FIFO イベント検出

FIFO は、イベント検出モード (FIFO_MODE = 10 または FIFO_MODE = 11) で取り込むように設定されています。次のイベント検出オプション (表 26 のセクションを参照) を使用できます。

全般的な設定レジスタ (アドレス 0x1C) には、AD4081 FIFO が外部イベント・トリガに応答するか、内部イベント・トリガに応答するかを決定する内部イベント・イネーブル・ビット (INT_EVENT_EN) が格納されています。電源投入およびリセット時の、このビットのデフォルト状態は INT_EVENT_EN = 0 で、外部イベント用に設定されています。

非同期データ取り込み

FIFO を非同期取り込みに使用するには、まず FIFO ウォーターマーク・レジスタ (FIFO ウォーターマーク・レジスタのセクションのアドレス 0x1D を参照) に、各バーストで取り込まれる変換の数を書き込みます。1~16,384 の任意の整数を入力できます。GPIO を用いて FIFO ステータス・ビットをホスト・コントローラに渡す場合は、取り込みを開始する前に、これらの選択を GPIO 設定レジスタにプログラムします。GPIO の設定の詳細については、GPIO ピンのセクションを参照してください。

データ FIFO への非同期取り込みを開始する最終ステップでは、FIFO をイネーブルにし、変換クロックを開始します。全般的な設定レジスタ (全般的な設定レジスタのセクションのアドレス 0x1C を参照) でデータ FIFO をイネーブルにするには、FIFO_MODE ビットを即時トリガ・モード (01) に設定する必要があります。このモードでは、FIFO は最新の FIFO_WATERMARK サンプルの結果を格納し、メモリへの取り込みを自動的にディスエーブルにします。結果には、SPI データ・インターフェースまたは LVDS インターフェースを介してアクセスできます。

FIFO がイネーブルされると、各変換結果は、変換開始信号 CNV の立上がりエッジで内部メモリにロードされます。内部タイミングは、FIFO_WATERMARK + 3 つの変換クロックが、FIFO_WATERMARK サンプル結果を FIFO メモリに書き込むために必要であることを指示します。詳細については、図 88 と図 89 を参照してください。

図 87 のタイミング図は、FIFO_WATERMARK が 1000 に設定され、イベントが発生した後の最初の ADC 結果が、3 番目の CNV の後の FIFO によって取り込まれる例を示します。N = 1000、つまり FIFO_WATERMARK の値に達した後、FIFO_FULL がアサートされ、データは FIFO への取り込みを停止します。

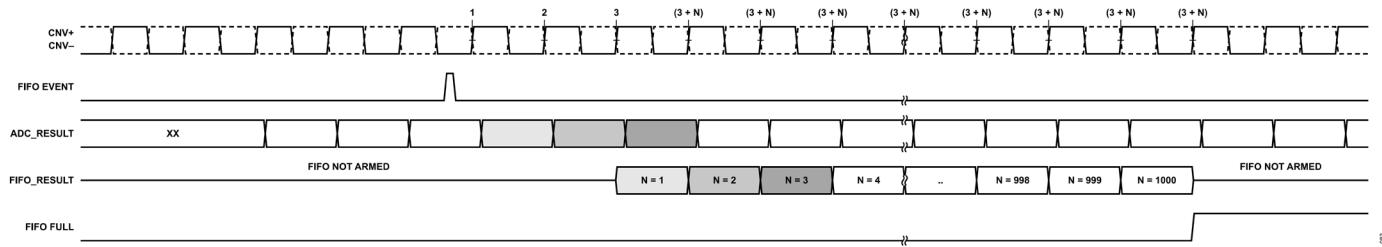


図 87. FIFO データ取り込みの例、WATERMARK = 1000

デジタル機能

非同期読み出しアクセス

FIFO データへのアクセスは、取り込みが完了した後、データ・インターフェースの LVDS 設定（シングル・レーンのみ）またはマルチ出力 SPI 設定のいずれかを介して行われます。その結果、アクセスは取り込みプロセスに対して非同期に行われ、変換クロックとインターフェース・クロックの間に特定のタイミング制限はありません。データ FIFO とデータ・インターフェー

ス・クロック・ドメイン間の同期では、各読み出しアクセスはヘッダで始まり、M バイトの変換データの転送が続きます。ここで M は、FIFO_WATERMARK レジスタ（アドレス 0x1D とアドレス 0x1E）で指定された結果の総数と、1 つの変換結果の整数バイト長（SPI データ・インターフェースの場合）の積です。アクティブなレーンの数が 2 倍になるたびに、アクティブなデータ・レーンの数によってアクセス期間が 2 分の 1 に短縮されることに注意してください。

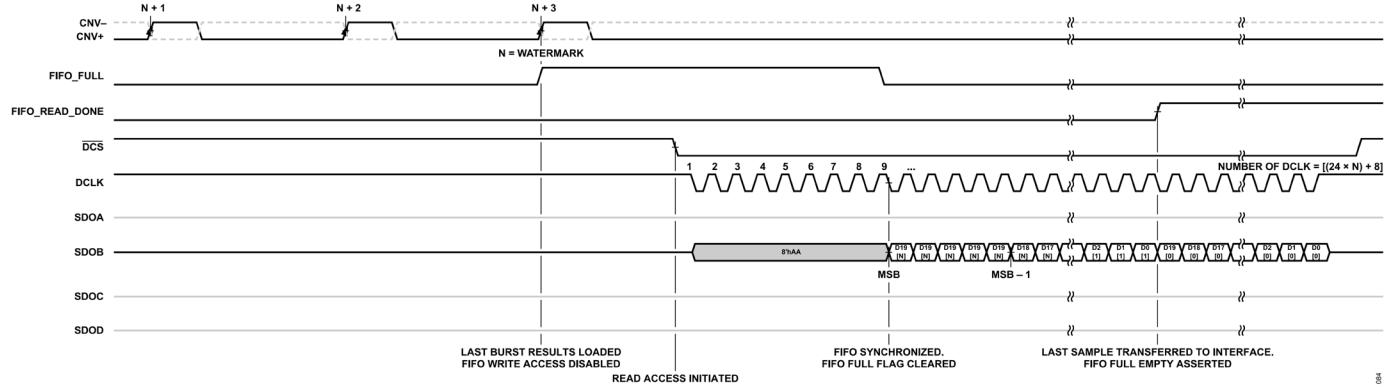


図 88. 非同期取り込み読み出しタイミング、データ FIFO をイネーブル済み、シングル・データ・レーン

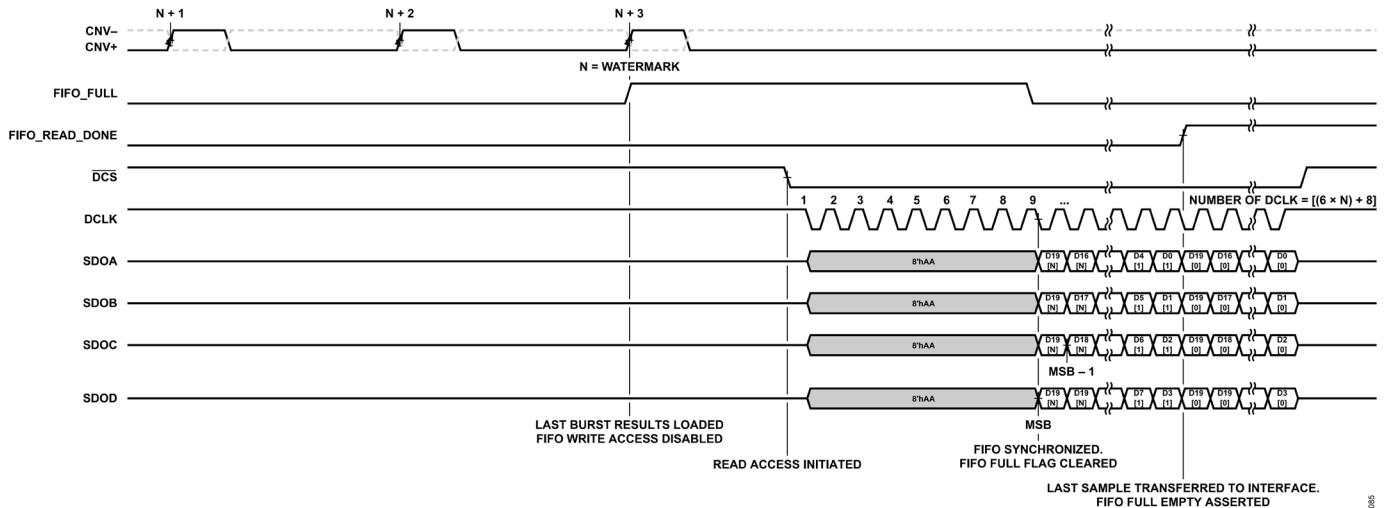


図 89. 非同期取り込み読み出しタイミング、データ FIFO をイネーブル済み、クワッド・データ・レーン設定

デジタル機能

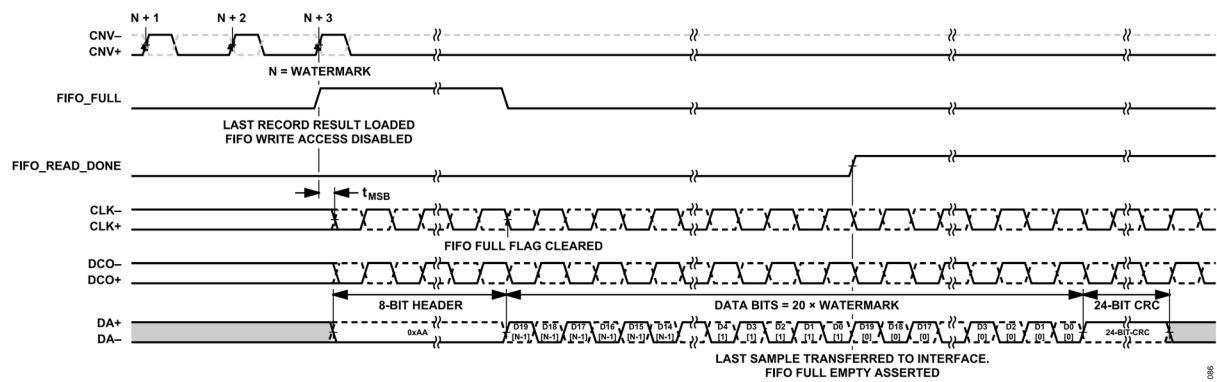


図 90. 非同期取り込み読み出しタイミング、データ FIFO をイネーブル済み、LVDS 設定

デジタル機能

FIFO タイミングに関する考慮事項

即時トリガ・モード

図 92 は、データ書き込みアクセスのために FIFO を作動するコマンドと、FIFO が作動されるポイントとの間のタイミング関係を示します。図 92 は、シングル・レーン SPI データ・アクセスが設定され、FIFO_FULL および FIFO_READ_DONE が GPIO に出力される例を示しています。取り込みがまだ開始されていないため、FIFO_FULL と FIFO_READ_DONE はローに駆動されます。この例では、フリー・ランニング CNV クロックが示されています。全般的な設定レジスタ（アドレス 0x1C）への更新を受信すると、FIFO コントローラは、CNV の次の立上がりエッジでアイドル状態に進みます。次に、FIFO は、更に 2 つの CNV クロッ

ク・エッジの後に書き込み状態に進み、WATERMARK 結果がロードされて FIFO_FULL が生成されるまで、FIFO を満たし始めます。

FIFO データの読み出しが完了すると、即時モード取り込みのための再作動イベントは、FIFO_MODE に 00 を書き込むことによって FIFO をディスエーブルにし、次いで、FIFO モードに 01 を書き込むことによって再度イネーブルにして、FIFO を新たな取り込みのために作動します。初期作動の場合と同様に、FIFO を作動するための設定命令が発行された後に、CNV の最初の立上がりエッジを受信すると、FIFO はアイドル状態に進みます。シーケンスとタイミングは、初期 FIFO 作動と同じです。図 92 を参照してください。

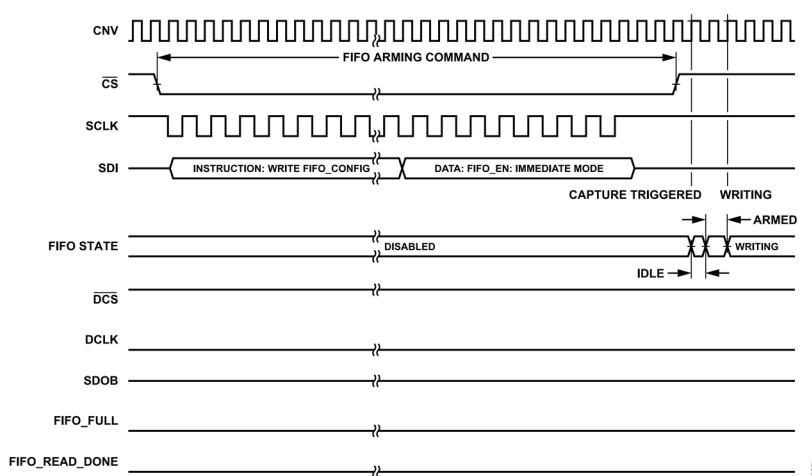


図 91. 即時トリガ・モードの作動

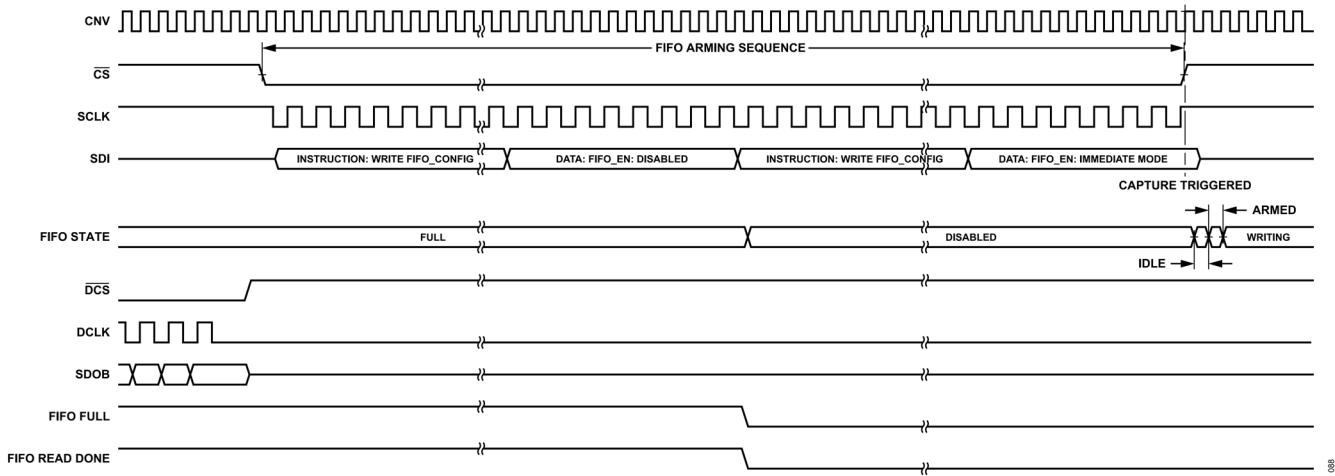


図 92. 即時トリガ・モードの再作動

デジタル機能

イベント・トリガされた取り込み、最新のウォーターマークの読み出し

イベント・トリガされた（最新の読み出し）モードは、イベントが発生した後の ADC データのみに关心がある場合に使用されます。このイベントは、内部生成化イベントであってもよく、この場合、AD4081 は連続的に動作し、閾値検出は、ADC 入力閾値を超えるとすぐにイベントをトリガるためにインエーブルになります。あるいは、ユーザは、イベントについてシステムまたは ADC 入力を独立してモニタでき、外部イベント・トリガは、設定された GPIO を介してユーザによって発行されます。

FIFO を作動させるすべての場合と同様に、FIFO_MODE 書込みコマンドの後の最初の立上がりエッジで、FIFO のデータ取り込みが作動しますが、選択された方式のイベントが発生するまで、FIFO にデータは書き込まれません。

トリガの再作動には、即時モードの再作動と同様のプロセスが含まれます。FIFO は、まず、FIFO_MODE ビットに 00 を書き込むことによってディスエーブルにされ、次に、必要な取り込みモードを再びインエーブルにすることによって再作動されます。

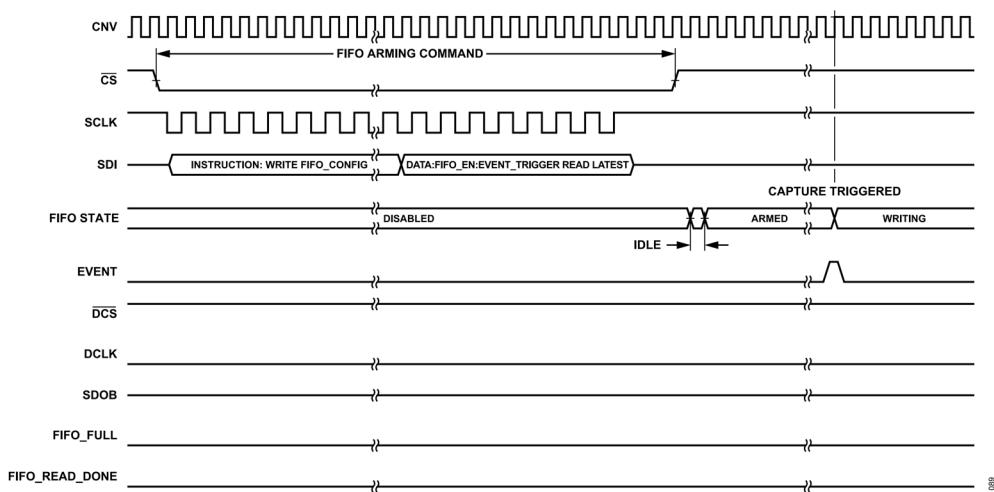


図 93. イベント・トリガされた取り込み、最新のウォーターマークの読み出しの作動

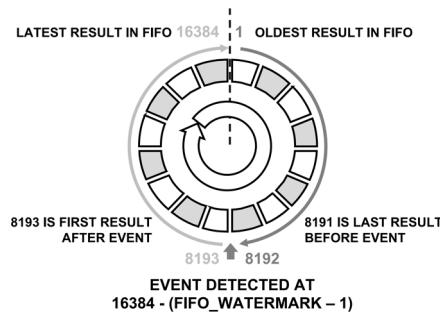
デジタル機能

イベント・トリガ取り込みモード、すべての FIFO の読み出し

イベント・トリガ・モードは、イベントの直前および直後の ADC 結果がユーザにとって関心のある場合に使用できます。作動されると、FIFO は新しい ADC 結果で連続的に満たされ、最大で 16,384 の最新の結果を格納し、最初に戻り、16,384 の取り込みが行われると、FIFO メモリ内の最も古い結果を上書きします。

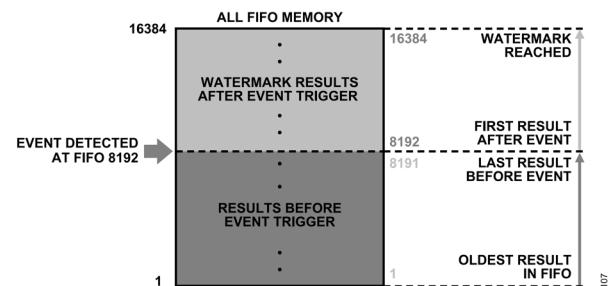
トリガ・イベントが発生すると、FIFO はイベントの後に結果の WATERMARK 番号を取り込み続けます。このモードを使用する場合、FIFO_WATERMARK レジスタを設定する有効な値は 4 の倍数のみです。イベントが発生し、結果の WATERMARK 番号が FIFO に取り込まれた後は、FIFO が再作動されるまで、それ以上の新しい結果は取り込まれません。図 95 と図 94 に示すように、ユーザは、16,384 の FIFO 結果をすべてリードバックする必要があり、FIFO_WATERMARK に設定されている値によって、ユーザは FIFO 結果データのどこでイベントが発生したかを判断し、また、イベントの前に発生した結果とイベントの後に発生した結果を区別することができます。フル FIFO リードバックでは、イベントがトリガされた後の最初の結果は $16384 - (\text{FIFO_WATERMARK} - 1)$ に配置されます。ここで、FIFO_WATERMARK は取り込みの起動前に設定された値です。この取り込みモードが作動し、FIFO が 1 回ラップ・アラウンドする前にイベントが発生すると、そのイベント以前の FIFO 結果には前回の FIFO 使用時の結果が含まれ、あるいはデバイスの電源再投入後初めての使用であれば、イベント以前の FIFO データ位置にはランダムなデータが含まれます。

FIFO_WATERMARK WAS SET TO 8192
1 TO 8192 IN FIFO CONTAINS RESULTS BEFORE TO EVENT (OLDEST FIRST)
8193 TO 16384 IN FIFO CONTAINS RESULTS AFTER EVENT (LATEST LAST)



106

図 94. イベント取り込みモードのすべての FIFO の読み出しモードの例、FIFO フィリング



107

図 95. FIFO イベント取り込みモードのすべての FIFO の読み出しモードの例、FIFO 内のイベント位置の特定

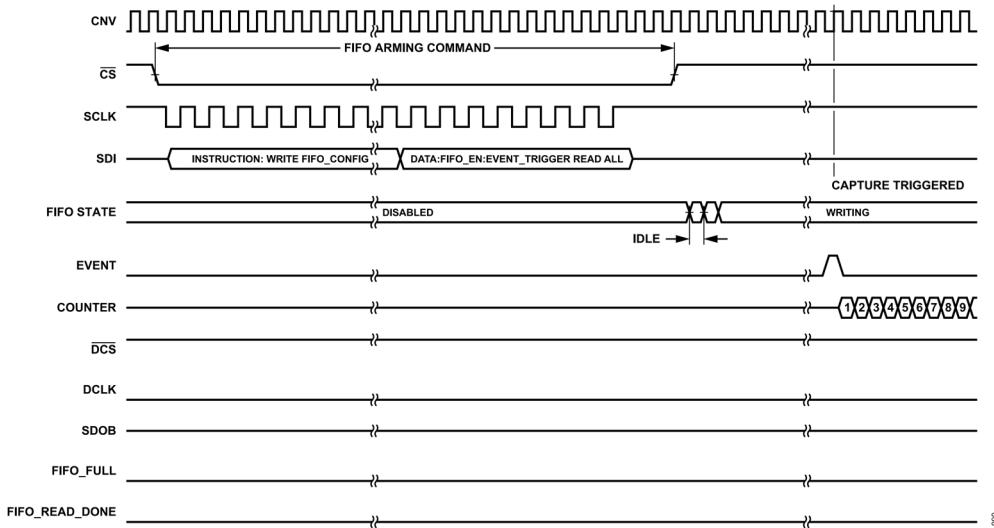


図 96. イベント・トリガ取り込みモード、すべての FIFO の読み出しの再作動

デジタル機能

デジタル・フィルタ

AD4081には、帯域幅制限によるノイズ除去が必要なアプリケーションに対して、内蔵デジタル・フィルタをイネーブルにするオプションがあります。図 97 に示され、以下に詳述されるように、デジタル・データを経路指定するために利用可能な 4 つの経路、すなわち、デジタル・フィルタリングなし、sinc1 フィルタ、sinc5 フィルタ、または sinc5 補償フィルタがあります。

各フィルタの詳細については、次のセクションで説明します。最初のフィルタ結果が正しいデータを生成するために、ユーザがフィルタ選択に変更を加えた場合、フィルタ同期 (FILTER_SYNC) 用に設定された GPIO ピンを介してリセットを発行する必要があります。

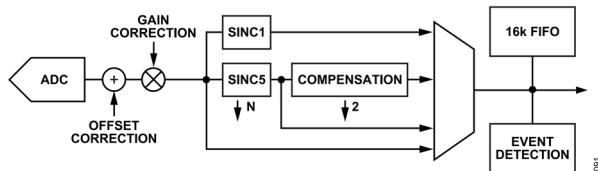


図 97. デジタル・フィルタの選択オプション

デジタル・フィルタリングの利点

ADC 結果経路は、内蔵デジタル・フィルタ機能を使用するように設定できます。フィルタ設定レジスタ（[フィルタ設定レジスタ](#) のセクションのアドレス 0x29 を参照）には、FILTER_SEL ビットが含まれています。このビットを使用すると、デジタル・フィルタをバイパスでき（デフォルトのレジスタ設定値）、あるいは 3 つのフィルタ・オプションのいずれかを選択できます。各フィルタは、固有の帯域幅プロファイル特性を有し、これにより、最終用途の要件に応じた選択が可能になる高い柔軟性が得られます。[表 28](#) に、ユーザが選択可能な各フィルタ・タイプに対して達成可能な -3dB 帯域幅を示します。SINC_DEC_RATE ビットは、帯域幅とデータ・デシメーション率を制御します。

これらのフィルタにより、ユーザがシグナル・チェーンのノイズ帯域幅をプログラム的に制御できるようになり、また、アナログ・フロント・エンドで必要とされるフィルタリングの量の低減によって利点が得られ、一方、部品を追加せずにダイナミック・レンジの改善が可能になります。[デジタル・フィルタ応答](#) のセクションには、次のような様々なフィルタ・プロファイルの詳細が追加されています。

- ▶ Sinc1 は帯域幅が広いですが、通過帯域の平坦性が最適化されていません。
- ▶ Sinc5 の通過帯域応答はより平坦ですが、帯域幅は減少しています。
- ▶ Sinc5 + 補償は、±0.1dB 以内のリップルで優れた通過帯域の平坦性が得られるように高度に最適化されたフィルタです。

表 28. フィルタ帯域幅

Filter Type	SINC_DEC_RATE	Decimation	-3 dB Bandwidth
Sinc1	0000	2	$0.25 \times f_S$
Sinc1	0001	4	$0.114 \times f_S$
Sinc1	0010	8	$0.056 \times f_S$
Sinc1	0011	16	$0.028 \times f_S$
Sinc1	0100	32	$0.014 \times f_S$
Sinc1	0101	64	$0.007 \times f_S$
Sinc1	0110	128	$0.0035 \times f_S$
Sinc1	0111	256	$0.0017 \times f_S$
Sinc1	1000	512	$0.0009 \times f_S$
Sinc1	1001	1024	$0.0004 \times f_S$
Sinc5	0000	2	$0.117 \times f_S$
Sinc5	0001	4	$0.0525 \times f_S$
Sinc5	0010	8	$0.0256 \times f_S$
Sinc5	0011	16	$0.0127 \times f_S$
Sinc5	0100	32	$0.0064 \times f_S$
Sinc5	0101	64	$0.0032 \times f_S$
Sinc5	0110	128	$0.0016 \times f_S$
Sinc5	0111	256	$0.0008 \times f_S$
Sinc5 + Compensation	0000	4	$0.1015 \times f_S$
Sinc5 + Compensation	0001	8	$0.0506 \times f_S$
Sinc5 + Compensation	0010	16	$0.0253 \times f_S$
Sinc5 + Compensation	0011	32	$0.0127 \times f_S$

デジタル機能

表 28. フィルタ帯域幅（続き）

Filter Type	SINC_DEC_RATE	Decimation	-3 dB Bandwidth
Sinc5 + Compensation	0100	64	$0.0063 \times f_S$
Sinc5 + Compensation	0101	128	$0.0032 \times f_S$
Sinc5 + Compensation	0110	256	$0.0016 \times f_S$
Sinc5 + Compensation	0111	512	$0.0008 \times f_S$

デジタル機能

フィルタ・デシメーションの設定

デジタル・フィルタの設定は、フィルタ設定レジスタ（[フィルタ設定レジスタ](#)のセクションのアドレス 0x29 を参照）を介して行われます。FILTER_SEL ビットは、アクティブなフィルタリング経路（すなわち、どのフィルタがアクティブであるか）を選択します。経路ごとに許容デシメーション率は異なります（[表 29](#) を参照）。

表 29. FILTER_SEL ビット値によるデジタル・フィルタのデシメーションの選択肢

FILTER_SEL	Bits Value	Active Filter	Allowed Decimation Rates
0b00		No filtering (default)	No decimation
0b01		SINC1 filter	2, 4, 8, 16, 32, 64, 128, 256, 512, 1024
0b10		SINC5 filter	2, 4, 8, 16, 32, 64, 128, 256
0b11		SINC5 + compensation filter	4, 8, 16, 32, 64, 128, 256, 512

デシメーション率は、フィルタ設定レジスタの SINC_DEC_RATE ビットによって設定されます（エンコード方式については、[表 62](#) を参照してください）。

GPIO 設定 B レジスタ（[GPIO 設定 B レジスタ](#)のセクションのアドレス 0x1A を参照）または GPIO 設定 C レジスタ（[GPIO 設定 C レジスタ](#)のセクションのアドレス 0x1B を参照）のいずれかの GPIO_x_SEL ビットの 1 つを 0011（フィルタ結果準備完了（アクティブ・ロー））に設定することにより、新しいフィルタ・データの準備ができたことを、GPIO ピンを介してホスト・コントローラに示すことができます。新しいデータがインターフェースに利用可能になるまで、前の結果からのデータは出力シフト・レジスタに残ります。ユーザは、同じ LVDS クロック・レートの維持を確実にしなければならず、[図 98](#) に示されるように、繰り返された結果データを再読出しするか、または無視するかのいずれかを行うことができます。ここでは、デシメーション率 4 の例が使用されています。

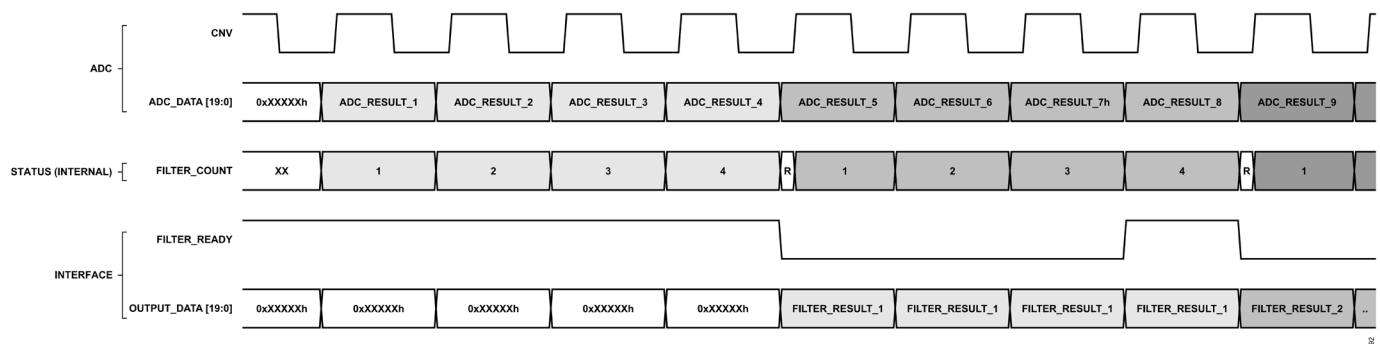


図 98. デジタル・フィルタのデシメーション率 4 のフレームの概要

デジタル機能

フィルタのリセット条件

ダイレクト LVDS

フィルタリングされたデータに LVDS インターフェースを介して直接アクセスする場合、AD4081 は以下の 2 つの方法でフィルタをリセットします。

- ▶ フィルタを設定し、フィルタ設定レジスタのビット[7:0]（[フィルタ設定レジスタ](#)のセクションを参照、アドレス 0x29）に書き込む方法。
- ▶ FILTER_SYNC操作用に設定された GPIO をアサートする方法。

FIFO を使用する場合

FIFO がイネーブルになっている場合、ユーザはFILTER_SYNCとして設定された GPIO を用いて、FIFO アクイジョンごとにフィルタをリセットする必要があります。

フィルタの同期

GPIO_x_SEL をFILTER_SYNCに設定して、ユーザのコントローラに同期を提供して、この入力を設定します。これを用いると、複数の AD4081 デバイス間でフィルタを同期できます。フィルタ・リセットのためのFILTER_SYNC信号のタイミング要件を図 99 に示しています。

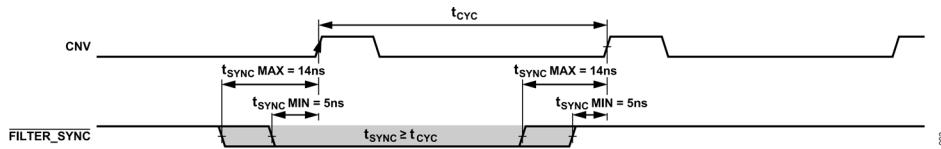


図 99. フィルタ・リセットのタイミング

デジタル機能

フィルタ結果準備完了インジケータ

GPIO_x_SEL ビットを 0011 に設定すると、GPIO は FILTER_RESULT_RDY 信号を出力するように設定されます。この信号はアクティブ・ロー・ロジック信号で、新しいフィルタ結果が完了するたびにホスト・コントローラに通知されます。LVDS を用いてフィルタ結果を直接読み出す場合、このインジケータは、インターフェースを介してフィルタリングされた新しい変換結果を読み出せるときに、ユーザに警告できます。

フィルタ・インターフェースのタイミングに関する考慮事項

フィルタリングされたデータ結果への継続的なアクセスは、LVDS データ・インターフェースを介してのみ可能です。フィルタリングされた結果への SPI データ・インターフェース・アクセスは、FIFO を介してのみ行われます。この場合のタイミングに関する考慮事項は、[FIFO を使用する場合のフィルタ・インターフェースのタイミングに関する考慮事項](#)のセクションで説明されています。LVDS データ・インターフェースで使用する場合は、適切な GPIO_x_SEL (0011) で設定された GPIO を用いて、図 98 のタイミング図の例に示すように、フィルタ結果準備完了（アクティブ・ロー）信号を出力することを推奨します。

FIFO を使用する場合のフィルタ・インターフェースのタイミングに関する考慮事項

図 100 は、この動作モードにおけるイベントのシーケンスを説明する例として役立ちます。この例は、3 つの結果（つまり、WATERMARK = 3）が FIFO に格納されるように設定された、デシメーション率 2 の設定値を持つ sinc1 フィルタを示しています。

内蔵デジタル・フィルタを FIFO と共に使用する場合、フィルタは必ず、各 FIFO アクイジョン記録の前にリセットします。このリセットは必ず、最初の CNV 立上がりエッジで行います。ここで、FILTER_SYNC 信号は、CNV エッジの少なくとも 15ns 前にローにし、次の立上がりエッジの少なくとも 5ns 前に、必ずリリースする必要があります。第 1 の ADC 結果は、第 2 の CNV 立上がりエッジの後の準備完了 t_{MSB} です。この第 1 の ADC 結果は、第 3 の CNV 立上がりエッジでフィルタにラッチされます。第 4 の CNV 立上がりエッジは、第 2 の ADC 結果をデジタル・フィルタにラッチします。第 5 の立上がりエッジで、デシメーション率 2 の最初の結果が完了します。これは、第 5 の立上がりエッジでアクティブになる FILTER_READY 信号によって示されます。この第 1 のフィルタリングされた結果は、第 6 の CNV 立上がりエッジで FIFO にロードされます。この例では WATERMARK = 3 を使用しているため、3 つのフィルタリングされた結果（つまり、デシメーション率 2 の 6 つのコア ADC 結果）が FIFO にロードされると、WATERMARK に到達し、FIFO_FULL がアサートされて、設定されたデータ・インターフェース（つまり、SPI データ・レーンの LVDS データ・レーン）を介して FIFO 記録を読み出すことができるようになります。フィルタリングされた ADC 結果の後続の FIFO 記録のアクイジョンを開始するために、ユーザは必ず、CNV の最初の立上がりエッジで FILTER_SYNC 信号をローにすることによってデジタル・フィルタのリセットを再び開始して、シーケンス全体を最初からやり直す必要があります。

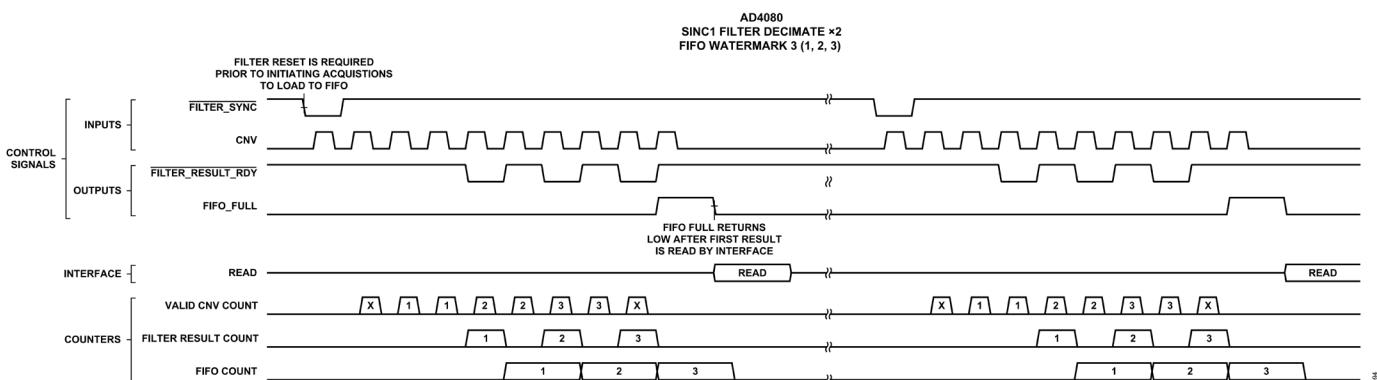


図 100. FIFO を用いたフィルタ・タイミングの説明

デジタル機能

デジタル・フィルタ変換パルス

単一のフィルタ・デシメート結果 (sinc1 セトリング・クロック) に必要な CNV パルスの総数は、以下の式で計算できます。

$$\text{Settling CNV Pulses}_{SINC1} = 2 + (D + 1)$$

3 つのフィルタ・タイプのそれぞれには、必要なクロック・カウントを決定するための固有の式があることに注意してください。

sinc5 のセトリング・クロックの場合、式は次のとおりです。

$$\text{Settling CNV Pulses}_{SINC5} = 2 + (5 \times D + 4)$$

sinc5 + 補償のセトリング・クロックの場合、式は次のとおりです。

$$\begin{aligned} \text{Settling CNV Pulses}_{SINC5+COMP} &= \\ &2 + (35 \times D + 10) \end{aligned}$$

ここで、D はデシメーション率 2、4、8…に等しくなります。

デジタル・フィルタリングのセトリング時間

選択されたフィルタのセトリング時間は、以下のようにセトリング・クロック数 $\times t_{CONV}$ です。

$$\begin{aligned} \text{Filter Settling Time} &= \\ (\text{Settling CNV Pulses}_{FILTERTYPE}) \times t_{CONV} \end{aligned}$$

FIFO 使用時のデジタル・フィルタリングのセトリング時間

データをフィルタリングして FIFO を使用する場合、結果の新しい FIFO 記録を、最初の CNV 上で FILTER_SYNC 信号を発行することによってフィルタをリセットして初期化して開始し、フラッシュされていないデータが最初の FIFO 記録結果に含まれないようにすることに注意することが重要です。

フル FIFO 記録を満たすために必要な変換パルスの最小合計数は、次のように計算できます。

$$\begin{aligned} \text{Total Required CNVs} &= (D \times \text{WATERMARK}) + \\ &\text{Settling CNV Pulses}_{FILTERTYPE} \end{aligned}$$

ここで、D はデシメーション率 2、4、8…に等しくなります。

デジタル・フィルタ応答

sinc1 フィルタ

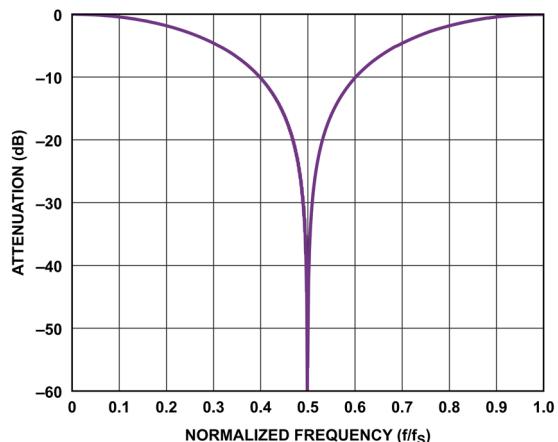


図 101. sinc1 フィルタの応答、デシメーション率 2

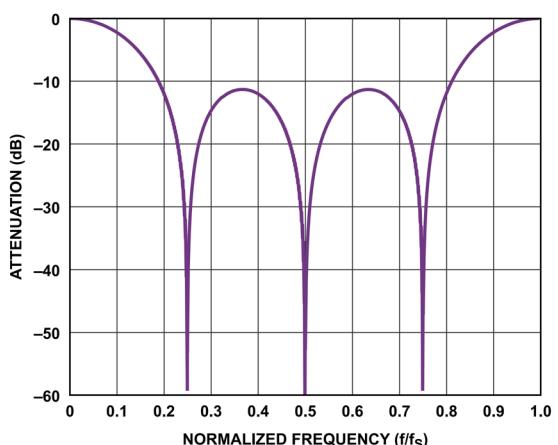


図 102. sinc1 フィルタの応答、デシメーション率 4

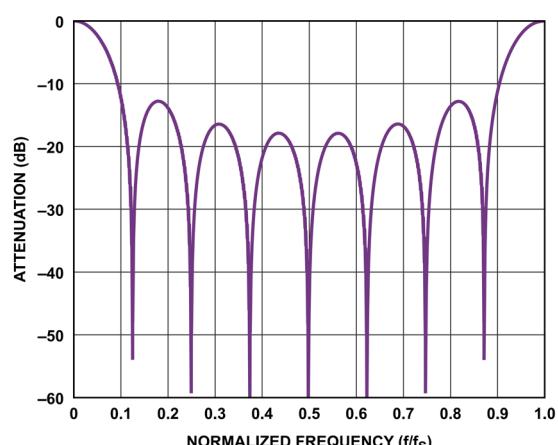


図 103. sinc1 フィルタの応答、デシメーション率 8

デジタル機能

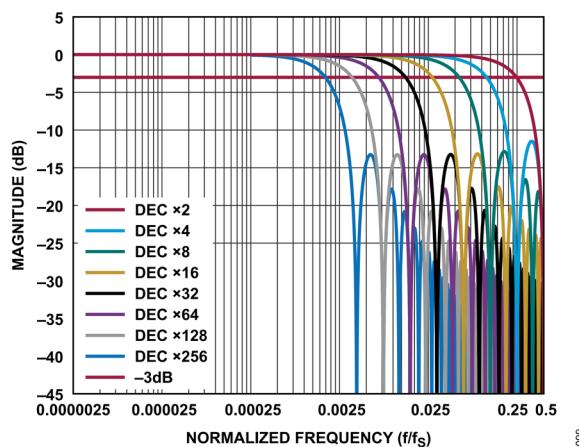


図 104. sinc1 フィルタの応答、全デシメーション率

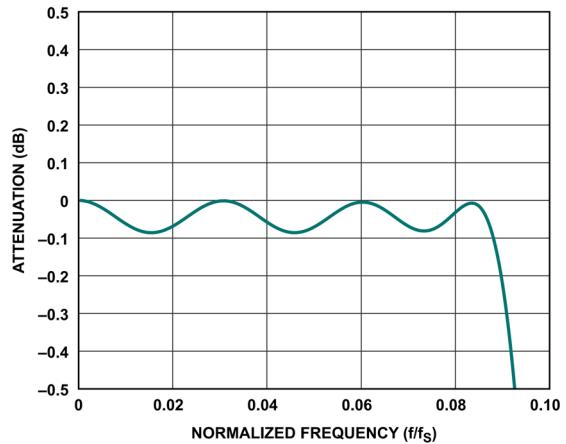


図 107. sinc5 + 補償フィルタの応答、デシメーション率 2、通過帯域リップル

sinc5 フィルタ

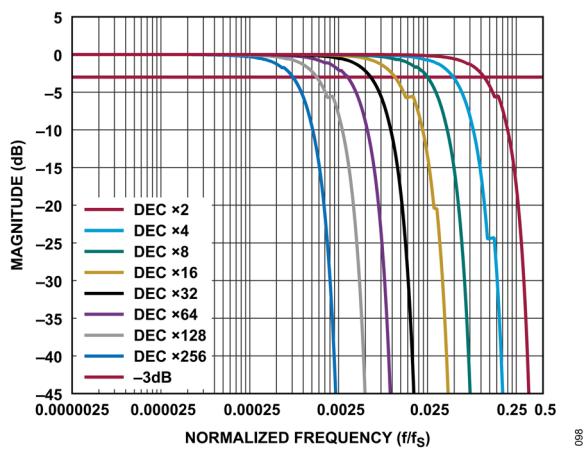


図 105. sinc5 フィルタの応答、全デシメーション率

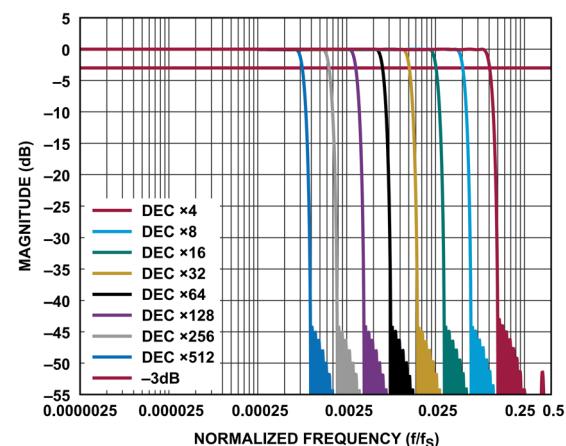


図 108. sinc5 + 補償フィルタの応答

sinc5 + 補償フィルタ

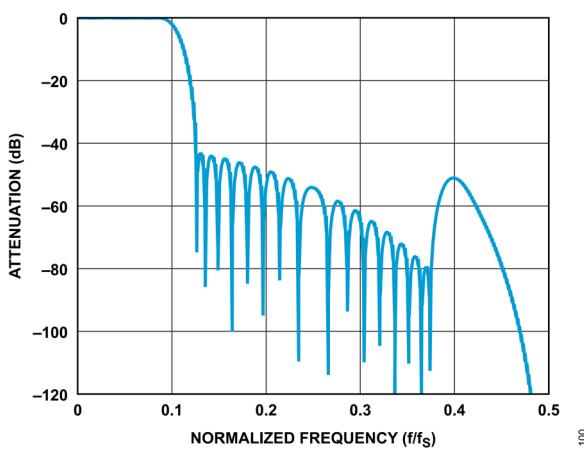


図 106. sinc5 + 補償フィルタの応答、デシメーション率 2

デジタル機能

システム誤差補正係数

系統的なゲインおよびオフセット誤差は、すべての実際のデータ・アクイジョン回路に存在し、したがって、補正の必要性は、測定チャンネルの精度を最大化するために不可欠です。これらの量はホスト・プロセッサ内で補正できますが、実装は非効率的であり、データ・コンバータ内に内蔵された場合よりも多くの電力を消費する可能性があります。エンド・ユーザ向けに、これらの問題を最小限に抑えるために、AD4081はサンプルごとにゲイン補正とオフセット補正の両方を統合しています。

利用可能な誤差補正を記述するために、理想的な ADC の伝達関数が直線式で記述できると考えます。

$$y = mx + c \quad (2)$$

この式は、ADC 伝達関数に適用できます。

y は、補正された ADC 結果です。

m は直線のゲインまたは傾きです。

x は未補正の ADC 結果です。

c はオフセットです。

直線のゲインまたは傾きは、次のように記述できます。

$$m = (y_2 - y_1) / (x_2 - x_1)$$

ここで、以下の単位はボルトです。

y_2 は、正側フルスケール入力付近の入力電圧です。

y_1 は、負側フルスケール入力付近の入力電圧です。

x_2 は、 y_2 電圧を入力に印加した場合の変換電圧です。

x_1 は、 y_1 電圧を入力に印加した場合の変換電圧です。

理想的な傾きまたはゲインは $m = 1\text{V/V}$

オフセット誤差補正およびゲイン誤差補正のセクションのシステム誤差補正係数は、AD4081 の設定レジスタを用いて、オフセット (c) およびゲイン (m) のシグナル・チェーン誤差を補正する方法を詳述しています。

オフセット誤差補正

AD4081 は、低いゼロ誤差になるように、工場出荷時にキャリブレーションされています。ユーザ・アプリケーション・シグナル・チェーン内に存在する可能性のあるシステム・オフセット誤差を明らかにするために、オフセット誤差補正機能が搭載されています。これにより、ユーザは、アドレス 0x24 およびアドレス 0x25、ビット[11:0]のオフセット・レジスタ内の OFFSET ビット・フィールドにコードを適用することによって、アプリケーション内のシステム・オフセットを補正できます。このビット・フィールドは、2 の補数データ形式の 12 ビット値です。

ビット・フィールドは、2 の補数データ形式の 12 ビット値であり、OFFSET LSB は、伝達関数のセクションで定義された ADC LSB の値を表します。したがって、オフセット誤差補正の範囲は、 $-2048 \times \text{LSB}$ (0x800) ~ $+2047 \times \text{LSB}$ (0x7FF) と定義されます。これは、使用規定された $V_{REFIN} = 3.0\text{V}$ に対して $\pm 11.71\text{mV}$ の電圧範囲に相当します。電源投入後またはソフトウェア・リセット後の、このレジスタのデフォルト値は 0x000 で、ゼロ・オフセット補正が適用されていることを示します。

ゲイン誤差補正

AD4081 は、工場出荷時にキャリブレーションされたゲイン誤差補正機能を備えた高精度 ADC です。アプリケーション内のシグナル・チェーン・ゲイン誤差を補正するには、GAIN レジスタ（[ゲイン補正レジスタ](#) のアドレス 0x27 および 0x28 を参照）を使用できます。GAIN ビット・フィールドは 10 ビット値で、フルスケールの $\pm 1.5594\%$ の公称ゲイン誤差補正が可能です。10 ビット・レジスタは、ストレート・バイナリ・データ形式で符号化されます。電源投入後またはソフトウェア・リセット後のデフォルト値は 0x200 です。この値は、ゲイン誤差補正が ADC 結果に適用されていないことを表しています。

最初に GAIN レジスタをデフォルトの 0x200 値にセットすると、望ましくは正側および負側フルスケール入力の近くで 2 点電圧測定を実行できます。システム誤差補正係数のセクションの傾きまたはゲインの式を用いると、システム・ゲイン誤差を求められます。このシステム誤差は、 $1.5594\% / 512 = 0.00305\%$ の分解能で調整できます。必要な補正計算値を GAIN レジスタに入力できます。

レイアウトのガイドライン

AD4081 は、デバイス・パッケージ内にすべての重要なバイパス・コンデンサを内蔵しているため、高精度で高速なコンバータのレイアウトの課題が大幅に軽減されます。これらの集積コンデンサは、最大の性能が容易に得られるように、デバイス・パッケージ内に最適に配置されます。ただし、任意の高精度混合信号装置と同様に、システム装置の配置において、重要なアナログ・シグナル・チェーン構成要素の配線と高速デジタル信号の配線とが適切に分割され、望ましくない結合効果を防止するように配慮することが必要です。

次のレイアウト上の考慮事項に注意してください。

- ▶ AD4081 は、すべての電源、AVDD33 (0.47 μ F)、VDD11 (1.88 μ F)、IOVDD (0.22 μ F)、VDDLDO (0.22 μ F) に内部デカップリングを備えています。したがって、外部バイパス・コンデンサは不要となり、基板スペースの節約や、部品表 (BOM) の数と感度の低減ができます。
- ▶ 例えば、すべてのアナログ信号を左側から入力し、ダイナミック・デジタル信号を右側に保持するなど、設計内でアナ

ログ・ドメイン信号とデジタル・ドメイン信号を適切に分割するようにします。

- ▶ AD4081 の下にしっかりとしたランド・プレーンを備えて、すべてのアナログ・グラウンド (GND) ピン、リファレンス・グラウンド (REFGND) ピン、およびデジタル・グラウンド (IOPGND) ピンをこの共有プレーンに接続します。
- ▶ 図 109 に、グラウンド (GND)、リファレンス・グラウンド (REFGND)、およびデジタル・グラウンド (IOPGND) の推奨される接続を示します。リファレンス IC の電流帰還経路を、PCB 上の他の回路からの電流帰還ループと同じ電流ループ内に保持しないことを推奨します。図 109 に示すように、リファレンスのローカル・スター・ポイントを PCB の最上層の ADC スター・ポイント・グラウンドに接続します。
- ▶ グランド・プレーンの分布を示す PCB ボードの側面断面図については、図 110 を参照してください。図 110 はグランド・プレーンのみを示しており、信号トラックは含まれていないことに注意してください。

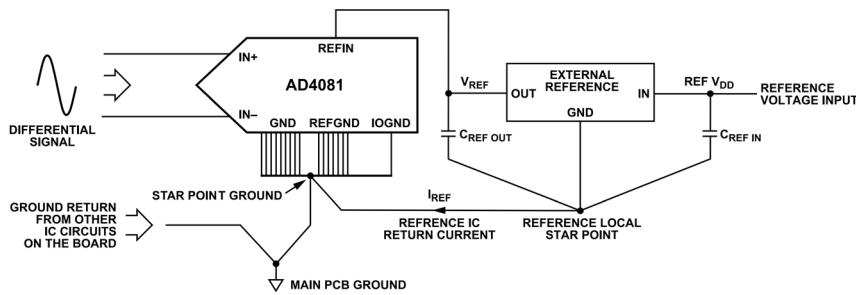


図 109. AD4081 外部リファレンス・グラウンド接続

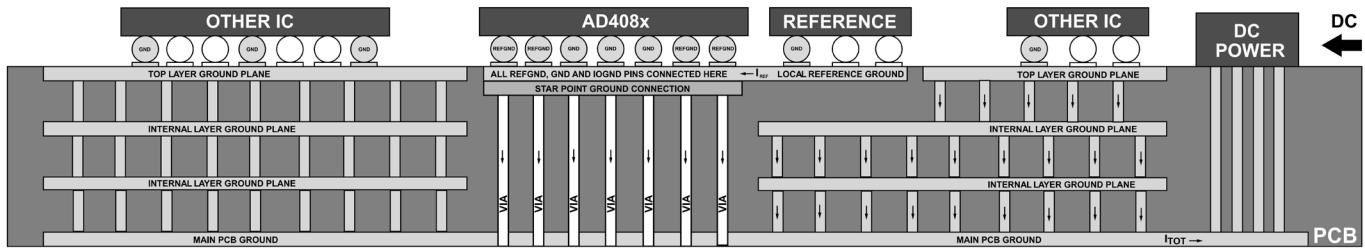


図 110. PCB グランド・プレーンの推奨レイアウト

設定レジスタ

AD4081 ファミリの機能は、様々な測定アプリケーションへのレイテンシのデータ取り込みの適用を簡素化するように設計されています。この簡素化は、データ・インターフェース、データ経路、およびデータ・アクセス方法をカスタマイズして、利用可能な設定レジスタを介して測定とホスト・プロセッサ・インターフェースの両方の要件を満たすことで達成されます。

レジスタ空間を、表 30 に記載されているように、機能別に連続した領域に編成して、デバイス設定の合理化を行いました。その結果、インターフェース・ストリーミング機能（命令モードの選択のセクションを参照）を利用して、命令ワードと関連データで構成される単一の SPI フレームへのデバイス設定を簡

素化できます。大半のアプリケーションでは、アドレス 0x15 からアドレス 0x29 までのレジスタ空間アドレス範囲に対する修正で十分です。設定インターフェースおよび製品 ID スペース（アドレス 0x00～アドレス 0x11）の内容を変更する必要があるのは、ソフトウェア・リセットを開始する場合、または設定アクセス方式を変更する場合だけです。設定アクセス方式の変更は、このデータシートの対象外であることに注意してください。これらのオプションに関するサポートについては、[最寄りのアログ・デバイセズ販売代理店](#)にお問い合わせいただくか、ADI Engineer Zone の Precision ADCs のページからテクニカル・サポートの依頼をお送りください。

表 30. レジスタ・マップの編成

アドレス範囲	機能
0x00 to 0x11	設定インターフェースと製品 ID
0x14	デバイス・ステータス
0x15 to 0x17	インターフェース設定
0x18 to 0x1B	電源と GPIO の設定
0x1C	一般的な設定
0x1C to 0x1E	FIFO 設定
0x1F to 0x24	内部イベント検出
0x25 to 0x28	システム誤差補正
0x29	デジタル・フィルタの設定

表 31. 設定レジスタのまとめ – 設定インターフェース関数（アドレス 0x00～0x11）

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RE-SERVED	ADDR_ASCENSION	SDO_ENABLE		RESERVED		SW_RESETX	0x10	R/W
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INST		RESERVED		SHORT_INSTRUCTION		RESERVED		0x00	R/W
0x02	DEVICE_CONFIG	[7:0]		RESERVED					OPERATING_MODES		0x00	R/W
0x03	CHIP_TYPE	[7:0]		RESERVED				CHIP_TYPE			0x07	R
0x04	PRODUCT_ID_L	[7:0]			PRODUCT_ID[7:0]						0x51	R
0x05	PRODUCT_ID_H	[7:0]			PRODUCT_ID[15:8]						0x00	R
0x06	CHIP_GRADE	[7:0]		GRADE				DEVICE_REVISION			0x02	R
0x0A	SCRATCH_PAD	[7:0]			SCRATCH_VALUE						0x00	R/W
0x0B	SPI_REVISION	[7:0]	SPI_TYPE		VERSION						0x83	R
0x0C	VENDOR_L	[7:0]			VID[7:0]						0x56	R
0x0D	VENDOR_H	[7:0]			VID[15:8]						0x04	R
0x0E	STREAM_MODE	[7:0]			LOOP_COUNT						0x00	R/W
0x0F	TRANSFER_CONFIG	[7:0]	RESERVED		KEEP_STREAM_LENGTH_VAL		RESERVED				0x00	R/W
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE	STRICT_REGISTER_STATUS	SEND_STATUS	ACTIVE_INTERFACE_MODE		CRC_ENABLEB			0x23	R/W

設定レジスタ

表 31. 設定レジスタのまとめ – 設定インターフェース関数（アドレス 0x00～0x11）（続き）

Addr	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
					ACCESS							
0x11	INTERFACE_STATUS_A	[7:0]	NOT_READY_ERR		RESERVED	CLOCK_COUNT_ERR	CRC_ERR	WR_TO_RD_ONLY_REG_ERR	REGISTER_PARTIAL_ACCESS_ERR	ADDRESS_INVALID_ERR	0x00	R/W
0x14	DEVICE_STATUS	[7:0]	FIFO_FULL	FIFO_READ_DONE	HI_STATUS	LO_STATUS	POR_ANA_FLAG	ADC_CNV_ERR	ROM_CRC_ERR	POR_FLAG	0x09	R/W
0x15	ADC_DATA_INTF_CONFIG_A	[7:0]	RE-SERVED	RE-SERVED	RESERVED	INTF_CHK_EN	RESERVED	SPI_LVDS_LANES	RESERVED	DATA_INTF_MODE	0x40	R/W
0x16	ADC_DATA_INTF_CONFIG_B	[7:0]			LVDS_CNV_CLK_CNT		LVDS_SELF_CLK_MODE	LVDS_MNC_EN	RESERVED	LVDS_CNV_EN	0x00	R/W
0x17	ADC_DATA_INTF_CONFIG_C	[7:0]	LVDS_RX_CURRENT		LVDS_VOD				RESERVED		0x20	R/W
0x18	PWR_CTRL	[7:0]			RESERVED				ANA_DIG_LDO_PD	INTF_LDO_PD	0x00	R/W
0x19	GPIO_CONFIG_A	[7:0]	GPIO_3_DATA	GPIO_2_DATA	GPIO_1_DATA	GPIO_0_DATA	GPO_3_EN	GPO_2_EN	GPO_1_EN	GPO_0_EN	0x01	R/W
0x1A	GPIO_CONFIG_B	[7:0]			GPIO_1_SEL				GPIO_0_SEL		0x00	R/W
0x1B	GPIO_CONFIG_C	[7:0]			GPIO_3_SEL				GPIO_2_SEL		0x00	R/W
0x1C	GENERAL_CONFIG	[7:0]	INT_EVENT_EN	HI_ROUTE	LO_ROUTE	ADC_CNV_ERR_ROUTE		RESERVED		FIFO_MODE	0x00	R/W
0x1D	FIFO_WATERMARK	[7:0]				FIFO_WATERMARK[7:0]					0x00	R/W
0x1E		[15:8]	RE-SERVED				FIFO_WATERMARK[14:8]				0x40	R/W
0x1F	EVENT_HYSTESIS	[7:0]				HYSERESIS[7:0]					0x00	R/W
0x20		[15:8]			RESERVED			HYSERESIS[10:8]			0x00	R/W
0x21	EVENT_DETECTION_HI	[7:0]				HI_THRESHOLD[7:0]					0x00	R/W
0x22		[15:8]			RESERVED			HI_THRESHOLD[11:8]			0x00	R/W
0x23	EVENT_DETECTION_LO	[7:0]				LO_THRESHOLD[7:0]					0x00	R/W
0x24		[15:8]			RESERVED			LO_THRESHOLD[11:8]			0x00	R/W
0x25	OFFSET	[7:0]				OFFSET[7:0]					0x00	R/W
0x26		[15:8]			RESERVED			OFFSET[11:8]			0x00	R/W
0x27	GAIN	[7:0]				GAIN[7:0]					0x00	R/W
0x28		[15:8]			RESERVED				GAIN[9:8]		0x02	R/W
0x29	FILTER_CONFIG	[7:0]	RE-SERVED		SINC_DEC_RATE		RESERVED		FILTER_SEL		0x00	R/W

設定レジスタ

レジスタの詳細

インターフェース設定 A レジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

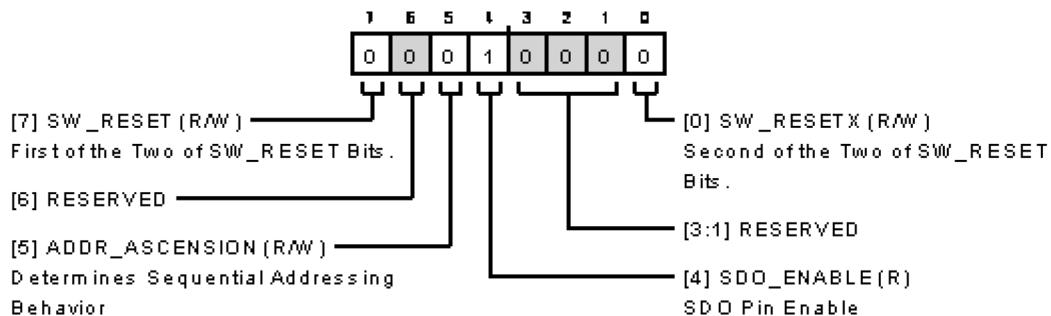


図 111. インターフェース設定 A の設定値

表 32. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つのSW_RESETビットの1つ目。このビットはこのレジスタの2か所にあります。本デバイスのソフトウェア・リセットをトリガするには、必ず両方の位置に同時に書き込みます。このアクションは、以前に設定されたすべてのレジスタをデフォルト設定値に戻します。ただし、インターフェース設定 A レジスタのADDR_ASCENSIONビットは、以前の値を保持します。 このリセット方法は、ADCがアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用してください。	0x0	R/W
6	RESERVED	予約済み。このビットには0を書き込みます。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0:ストリーミング時にアドレスを1だけデクリメントします。 1:ストリーミング時にアドレスを1だけインクリメントします。	0x0	R/W
4	SDO_ENABLE	SDOピン・イネーブル。	0x1	R
[3:1]	RESERVED	予約済み。これらのビットには000を書き込みます。	0x0	R
0	SW_RESETX	2つのSW_RESETビットの2つ目。このビットはこのレジスタの2か所にあります。本デバイスのソフトウェア・リセットをトリガするには、必ず両方の位置に同時に書き込みます。このアクションは、以前に設定されたすべてのレジスタをデフォルト設定値に戻します。ただし、インターフェース設定 A レジスタのADDR_ASCENSIONビットは、以前の値を保持します。 このリセット方法は、ADCがアイドル状態になり、変換がクロックされず、既存の変換が完了した場合にのみ使用してください。	0x0	R/W

設定レジスタ

インターフェース設定 B レジスタ

アドレス : 0x01、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_B

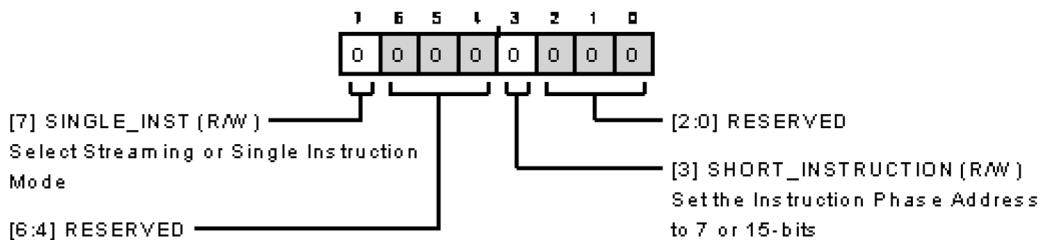


図 112. インターフェース設定 B の追加の設定値

表 33. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーミング・モードまたは単一命令モードを選択。 0:ストリーミング・モードがイネーブルになります。連続したデータ・バイトが受信されると、アドレスはインクリメントまたはデクリメントします。 1:単一命令モードがイネーブルになります。	0x0	R/W
[6:4]	RESERVED	予約済み。これらのビットには0b000を書き込みます。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを7ビットまたは15ビットに設定。 0:15ビット・アドレス指定。 1:7ビット・アドレス指定。	0x0	R/W
[2:0]	RESERVED	予約済み。これらのビットには0b000を書き込みます。	0x0	R

デバイス設定レジスタ

アドレス : 0x02、リセット : 0x00、レジスタ名 : DEVICE_CONFIG

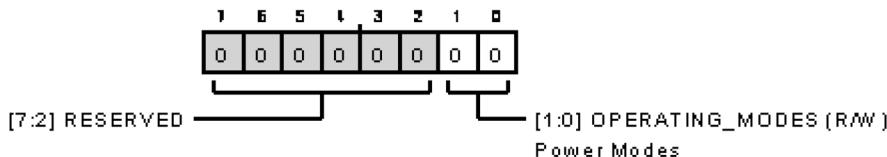


図 113. デバイス設定レジスタ

表 34. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。これらのビットには0b000000を書き込みます。	0x0	R
[1:0]	OPERATING_MODES	電力モード。 00:通常動作モード。 10:スタンバイ動作モード。 11:スリープ・モード。	0x0	R/W

設定レジスタ

チップ・タイプ・レジスタ

アドレス : 0x03、リセット : 0x07、レジスタ名 : CHIP_TYPE

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズのデバイス・ファミリの識別に使用します。CHIP_TYPEは、対象製品を一意に識別するために、製品IDと共に使用する必要があります。

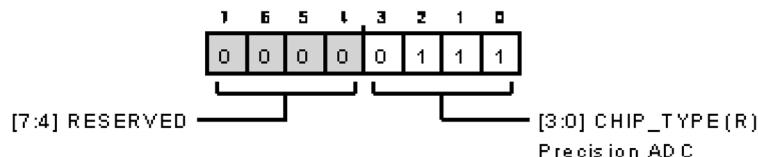


図 114. チップ・タイプ・レジスタ

表 35. CHIP_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 ADC。	0x7	R

製品 ID ロー・レジスタ

アドレス : 0x04、リセット : 0x00、レジスタ名 : PRODUCT_ID_L

このレジスタは、製品 ID の下位バイトです。

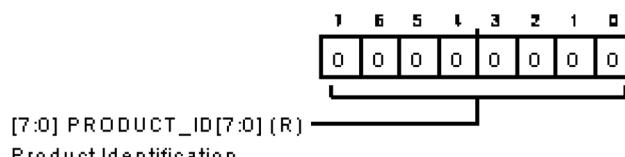


図 115. 製品 ID ロー・レジスタ

表 36. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品識別。これらのビットは、本デバイスのチップ・タイプ／ファミリです。PRODUCT_ID は、製品を識別するために、CHIP_TYPEと共に使用する必要があります。	0x51	R

設定レジスタ

製品 ID ハイ・レジスタ

アドレス : 0x05、リセット : 0x00、レジスタ名 : PRODUCT_ID_H

このレジスタは、製品 ID の上位バイトです。

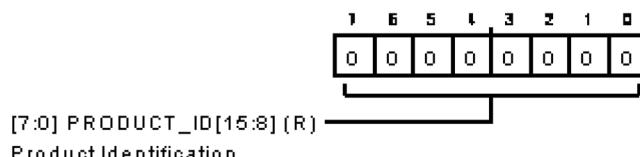


図 116. 製品 ID ハイ・レジスタ

表 37. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品識別。これらのビットは、本デバイスのチップ・タイプおよびファミリです。PRODUCT_ID は、製品を識別するために、CHIP_TYPE と共に使用する必要があります。	0x0	R

チップ・グレード・レジスタ

アドレス : 0x06、リセット : 0x02、レジスタ名 : CHIP_GRADE

このレジスタは、製品のバリエーションとデバイスのリビジョンを識別します。

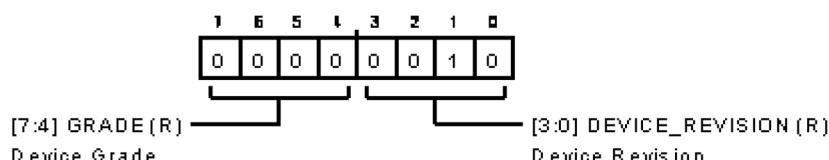


図 117. チップ・グレード・レジスタ

表 38. CHIP_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GRADE	デバイスのグレード。これらのビットは、本デバイスの性能グレードです。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョン。これらのビットは、本デバイスのハードウェア・リビジョンです。	0x2	R

スクラッチ・パッド・レジスタ

アドレス : 0x0A、リセット : 0x00、レジスタ名 : SCRATCH_PAD

このレジスタを使用して書き込みや読み出しができます。

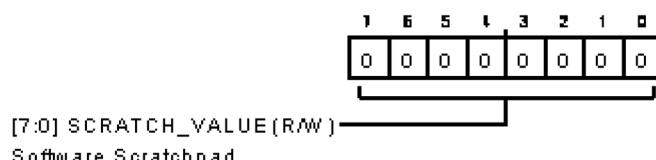


図 118. スクラッチ・パッド・レジスタ

表 39. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

設定レジスタ

SPI リビジョン・レジスタ

アドレス : 0x0B、リセット : 0x83、レジスタ名 : SPI_REVISION

このレジスタは SPI のリビジョンを示します。

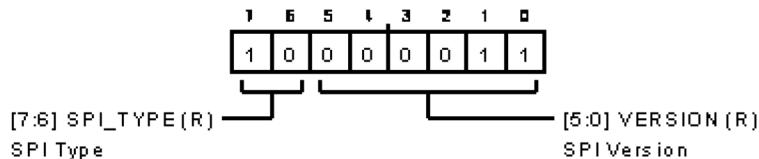


図 119. SPI リビジョン・レジスタ

表 40. SPI_REVISION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	SPI タイプ。これらのビットは常に 0x2 として読み出されます。	0x2	R
[5:0]	VERSION	SPI のバージョン。 11 : Revision 1.1。	0x3	R

ベンダ ID ロー・レジスタ

アドレス : 0x0C、リセット : 0x56、レジスタ名 : VENDOR_L

このレジスタは、ベンダ ID の下位バイトです。

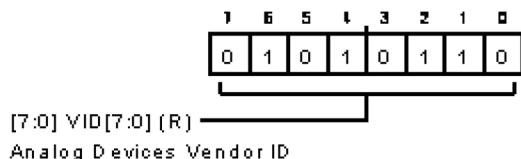


図 120. ベンダ ID ロー・レジスタ

表 41. VENDOR_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダ ID。	0x56	R

ベンダ ID ハイ・レジスタ

アドレス : 0x0D、リセット : 0x04、レジスタ名 : VENDOR_H

このレジスタは、ベンダ ID の上位バイトです。

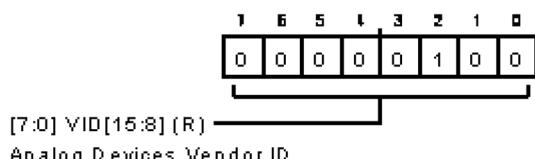


図 121. ベンダ ID ハイ・レジスタ

表 42. VENDOR_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[15:8]	アナログ・デバイセズのベンダ ID。	0x4	R

設定レジスタ

ストリーム・モード・レジスタ

アドレス : 0x0E、リセット : 0x00、レジスタ名 : STREAM_MODE

このモードには対応していません。

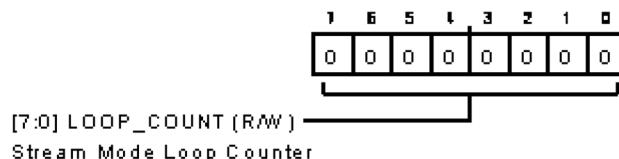


図 122. ストリーム・モード・レジスタ

表 43. STREAM_MODE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	ストリーム・モードのループ・カウンタ。これらのビットは、開始アドレスにループする前のデータ・バイト・カウントを設定します。データのストリーミング時、アドレスが開始値にループ・バックするまでに書き込まれるデータ・バイト数を、ゼロ以外の値で設定します。この方法で最大 255 個のバイトを書き込むことができます。値を 0x00 にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。このレジスタへ書込みを行うと、ループ値は次の SPI 命令にのみ適用され、その命令が終了すると自動的にクリアされます。	0x0	R/W

転送設定レジスタ

アドレス : 0x0F、リセット : 0x00、レジスタ名 : TRANSFER_CONFIG

このレジスタは、コントローラ・レジスタとターゲット・レジスタの間のデータの移動方法を制御します。

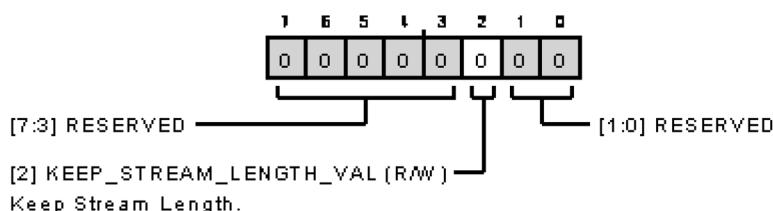


図 123. 転送設定レジスタ

表 44. TRANSFER_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。これらのビットには 0b00000 を書き込みます。	0x0	R
2	KEEP_STREAM_LENGTH_VAL	ストリームの長さを保持します。セットされている場合、ループ・カウンタは CS の立上がりエッジでリセットされません。	0x0	R/W
[1:0]	RESERVED	予約済み。これらのビットには 0b00 を書き込みます。	0x0	R

設定レジスタ

インターフェース設定 C レジスタ

アドレス : 0x10、リセット : 0x23、レジスタ名 : INTERFACE_CONFIG_C

このレジスタには、追加のインターフェース設定の設定値が格納されています。

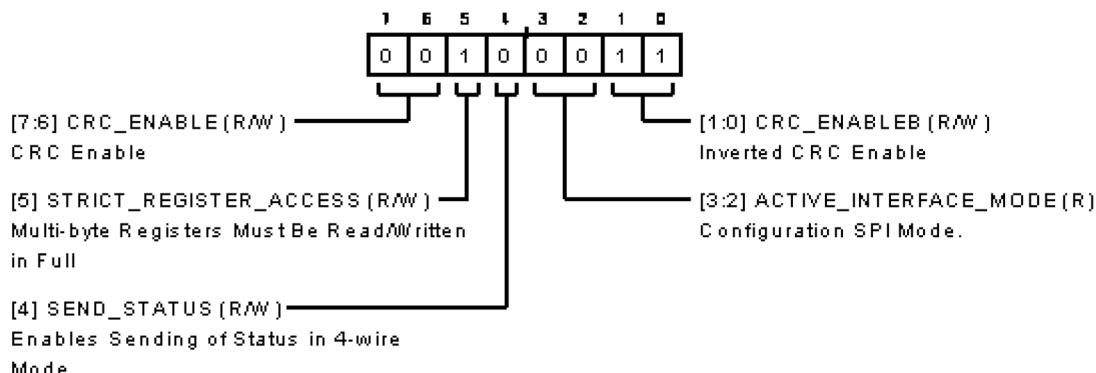


図 124. インターフェース設定 C レジスタ

表 45. INTERFACE_CONFIG_C のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_ENABLE	CRC イネーブル。これらのビットは、インターフェースでの CRC の使用をイネーブルまたはディスエーブルするために書き込まれます。CRC_ENABLE ビットにも、CRC をイネーブルするために、これらのビットの反転値で書き込む必要があります。 0 : CRC を無効化。 1 : CRC を有効化。	0x0	R/W
5	STRICT_REGISTER_ACCESS	マルチバイト・レジスタは全て読出し／書込みをする必要があります。このモードが有効になっている場合、マルチバイト・レジスタの全てのバイトについて完全に読出し／書込みをする必要があります。 0 : ノーマル・モード。アクセス制限なし。 1 : 厳密モード。マルチバイト・レジスタでは、すべてのバイトにアクセスする必要があります。	0x1	R/W
4	SEND_STATUS	4 線式モードでステータスの送信をイネーブルにします。設定されている場合、ステータス情報は命令フェーズ中に SDO 上のデバイスによって送信されます。クリアの場合、命令フェーズ中にステータスは送信されません。	0x0	R/W
[3:2]	ACTIVE_INTERFACE_MODE	設定 SPI モード。これらのビットは、SPI が動作するアクティブ・モードです。	0x0	R
[1:0]	CRC_ENABLE	CRC 有効化の反転値。これらのビットは、CRC_ENABLE の反転値で書き込む必要があります。	0x3	R/W

設定レジスタ

インターフェース・ステータス A レジスタ

アドレス : 0x11、リセット : 0x00、レジスタ名 : INTERFACE_STATUS_A

ステータス・ビットが 1 にセットされていると、アクティブ状態であることを示しています。これらのビットは、対応するビット位置に 1 を書き込むことでクリアできます。

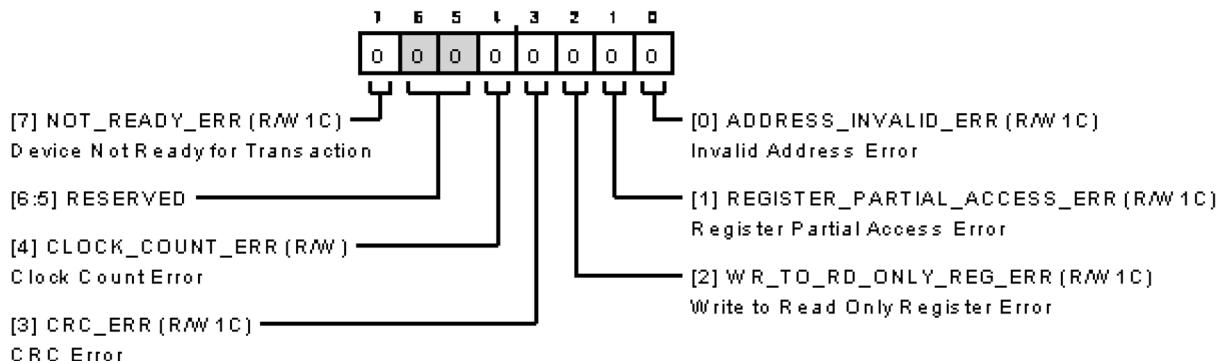


図 125. インターフェース・ステータス A レジスタ

表 46. INTERFACE_STATUS_A のビット説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_READY_ERR	デバイスのトランザクションに対する準備が未了。このビットは、ユーザがデジタル初期化の完了前に SPI トランザクションを実行しようとした場合にセットされます。	0x0	R/W1C
[6:5]	RESERVED	予約済み。これらのビットには 0b00 を書き込みます。	0x0	R
4	CLOCK_COUNT_ERR	クロック・カウント・エラー。このビットは、トランザクションで不正なクロック・カウントが検出された場合にセットされます。	0x0	R/W1C
3	CRC_ERR	CRC エラー。このビットは、SPI コントローラが CRC を送信しない場合、または本デバイスが計算した CRC 値が、SPI コントローラが送信した値と一致しない場合にセットされます。	0x0	R/W1C
2	WR_TO_RD_ONLY_REG_ERR	読み出し専用レジスタへの書込みエラー。このビットは、ユーザが読み出し専用のレジスタに書き込もうとしたときにセットされます。	0x0	R/W1C
1	REGISTER_PARTIAL_ACCESS_ERR	レジスタ部分的アクセス・エラー。このビットは、マルチバイト・レジスタ・アクセスにおいて、期待されるバイト・カウントよりも少ないバイト・カウントが読み書きされるときにセットされます。このビットは、厳格なレジスタ・アクセスがイネーブルされている場合にのみ有効です。	0x0	R/W1C
0	ADDRESS_INVALID_ERR	無効アドレス・エラー。このビットは、ユーザが許可されたメモリ・マップ空間外のレジスタ・アドレスに対して読み書きしようとしたときにセットされます。	0x0	R/W1C

設定レジスタ

デバイス・ステータス・レジスタ

アドレス : 0x14、リセット : 0x09、レジスタ名 : DEVICE_STATUS

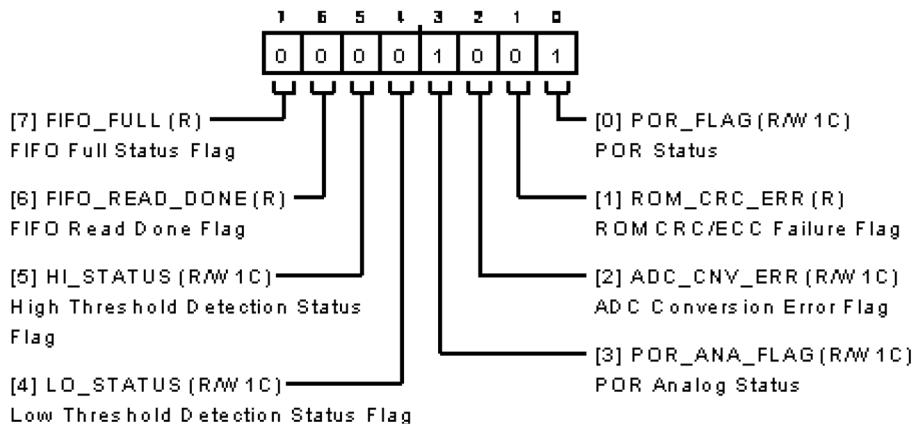


図 126. デバイス・ステータス・レジスタ

表 47. DEVICE_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	FIFO_FULL	FIFO フル・ステータス・フラグ。 0 : FIFO はフルではない。 1 : FIFO はフル。	0x0	R
6	FIFO_READ_DONE	FIFO 読出し完了フラグ。 0 : FIFO 読出し未完了。 1 : FIFO 読出し完了。	0x0	R
5	HI_STATUS	高閾値検出ステータス・フラグ。このビットに 1 を書き込むとクリアされます。 0 : 高閾値イベントを未検出。 1 : 高閾値イベントを検出。	0x0	R/W1C
4	LO_STATUS	低閾値検出ステータス・フラグ。このビットに 1 を書き込むとクリアされます。 0 : 低閾値イベントを未検出。 1 : 低閾値イベントを検出。	0x0	R/W1C
3	POR_ANA_FLAG	POR アナログ・ステータス。アナログ POR イベントの発生を検出できます。アナログ POR は、電源投入時、1.1V ロジック電源または ADC リファレンスが閾値 2.7 未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガれます。このビットに 1 を書き込むとクリアされます。 0 : アナログ POR フラグがクリア。 1 : アナログ POR イベントを検出。	0x1	R/W1C
2	ADC_CNV_ERR	ADC 変換エラー・フラグ。このビットに 1 を書き込むとクリアされます。 0 : ADC 変換が OK。 1 : ADC 変換がエラー。ユーザが最小 t _{CONV} 仕様に違反しており、変換結果は無効です。ユーザは、正しいクロック・タイミング仕様が満たされていることを確認する必要があります。	0x0	R/W1C
1	ROM_CRC_ERR	ROM CRC/ECC 失敗フラグ。 0 : ROM CRC チェックが OK。 1 : ROM CRC/ECC が失敗。	0x0	R
0	POR_FLAG	POR ステータス。POR イベントがいつ発生するかを検出できます。POR は、電源投入時、1.1V ロジック電源が閾値 0.93V 未満に低下したとき、またはユーザがソフトウェア・リセットを発行したときにトリガれます。このビットに 1 を書き込むとクリアされます。 0 : POR フラグがクリア。 1 : POR イベントを検出。	0x1	R/W1C

設定レジスタ

ADC データ・インターフェース設定 A レジスタ

アドレス : 0x15、リセット : 0x40、レジスタ名 : ADC_DATA_INTF_CONFIG_A

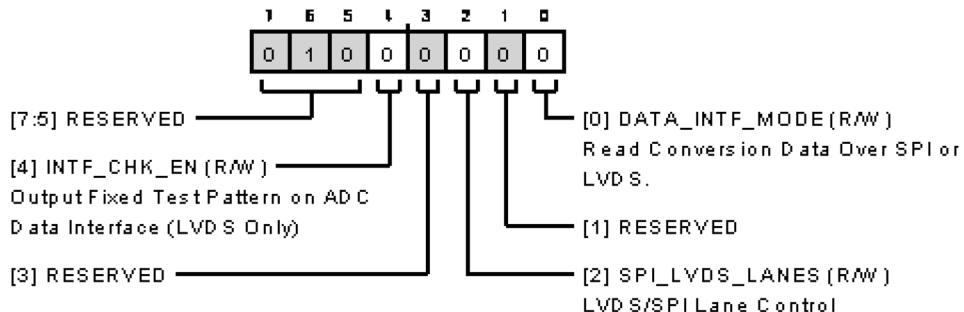


図 127. ADC データ・インターフェース設定 A レジスタ

表 48. ADC_DATA_INTF_CONFIG_A のビット説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
6	RESERVED	予約済み。このビットは常に 1 にセットします。	0x1	R/W
5	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
4	INTF_CHK_EN	ADC データ・インターフェースの出力固定テスト・パターン (LVDS のみ)。このモードがイネーブルな場合、ADC 出力は使用できません。固定パターン = 20'b1010 1100 0101 1101 0110 (0xAC5D6)。 0 : テスト・パターンをディスエーブル済み。 1 : テスト・パターンをイネーブル済み。	0x0	R/W
3	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
2	SPI_LVDS_LANES	LVDS/SPI レーン・コントロール。ADC 変換データをクロック・アウトするレーンの数を求める。 0 : 1 つのレーンがアクティブ。 1 : 複数のレーンがアクティブ (LVDS 用に 2 つ、SPI データ・インターフェース用に 4 つ)。	0x0	R/W
1	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
0	DATA_INTF_MODE	SPI または LVDS を介して変換データを読み出します。グローバル LVDS イネーブルとして動作し、このビットを 1 に設定すると、LVDS トランスマッタ/レシーバーの電源が切断されます。 0 : LVDS を介したデータのリードバック。 1 : SPI データ・インターフェース ($\overline{DCS}/DCLK$) を介したデータのリードバック。CLK+ は、FIFO データを読み出すための SPI データ・インターフェース・クロック (DCLK) として再利用され、CLK- は、FIFO データを読み出すための SPI チップ・セレクト (\overline{DCS}) として再利用されます。	0x0	R/W

設定レジスタ

ADC データ・インターフェース設定 B レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : ADC_DATA_INTF_CONFIG_B

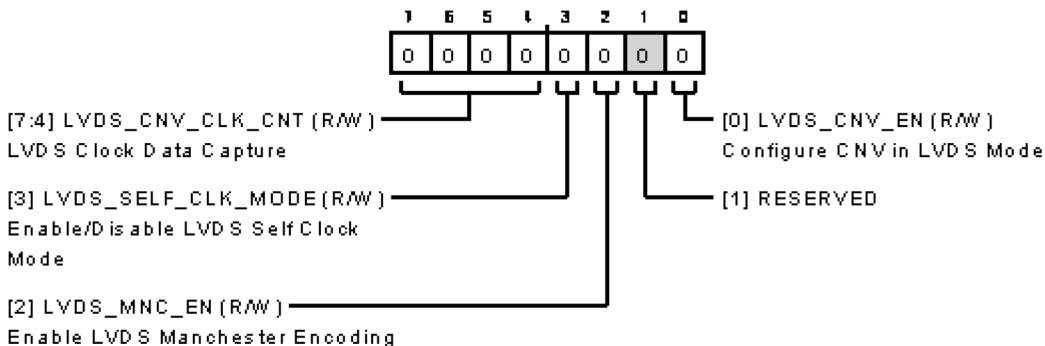


図 128. ADC データ・インターフェース設定 B レジスタ

表 49. ADC_DATA_INTF_CONFIG_B のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	LVDS_CNV_CLK_CNT	LVDS クロック・データ取り込み。変換結果の MSB が変換モード中に使用可能な LVDS クロックの立下がりエッジを求めます。この値の設定の詳細については、 ADC 結果のレイテンシと LVDS インターフェースの整合 のセクションを参照してください。	0x0	R/W
3	LVDS_SELF_CLK_MODE	LVDS セルフ・クロック・モードをイネーブル／ディスエーブルにします。 0 : エコー・クロック・モードをイネーブル済み。LVDS DCO トランスマッタの電源が入っています。 1 : セルフ・クロック・モードをイネーブル済み。LVDS DCO トランスマッタの電源がオフになっています。	0x0	R/W
2	LVDS_MNC_EN	LVDS マンチェスター・エンコーディングをイネーブルにします。マンチェスター・エンコーディングは、デュアル・レーン・モードの変換モード中の LVDS 読出しにのみ適用されます。このモードは、FILTER_SEL = 0、デジタル・フィルタをディスエーブル済みの場合にのみ動作します。 0 : マンチェスター・エンコーディングをディスエーブル済み。 1 : マンチェスター・エンコーディングをイネーブル済み。	0x0	R/W
1	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
0	LVDS_CNV_EN	CNV を LVDS モードで設定します。LVDS インターフェースが選択されている場合にのみ適用可能です。 0 : CNV ピンを CMOS モードで設定。 1 : CNV ピンを LVDS モードで設定。	0x0	R/W

ADC データ・インターフェース設定 C レジスタ

アドレス : 0x17、リセット : 0x20、レジスタ名 : ADC_DATA_INTF_CONFIG_C

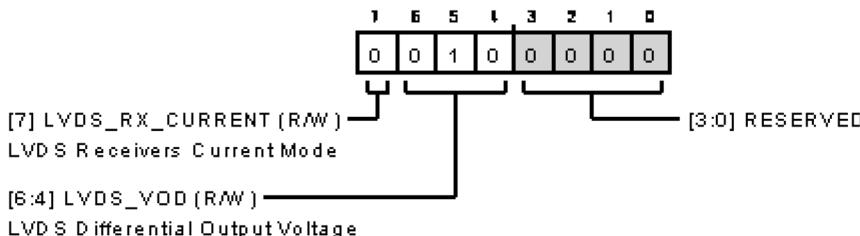


図 129. ADC データ・インターフェース設定 C レジスタ

表 50. ADC_DATA_INTF_CONFIG_C のビット説明

ビット	ビット名	説明	リセット	アクセス
7	LVDS_RX_CURRENT	LVDS レシーバーの電流モード。1'b0 - 1x 電流。1'b1 - 2x 電流。	0x0	R/W
[6:4]	LVDS_VOD	LVDS 差動出力電圧。有効なエントリは、約 185mV、約 240mV、および約 325mV の差動電圧に対して、それぞれ 0b001、0b010、および 0b100 です。無効な値を書き込むと、差動電圧はデフォルト設定値の約 240mV にリセットされます。ただし、ユーザは、これらのビットに書き込まれた値をリードバックできます。	0x2	R/W
[3:0]	RESERVED	予約済み。これらのビットには 0b0000 を書き込みます。	0x0	R

設定レジスタ

パワー・コントロール・レジスタ

アドレス : 0x18、リセット : 0x00、レジスタ名 : PWR_CTRL

このレジスタへの書き込みは推奨しません。

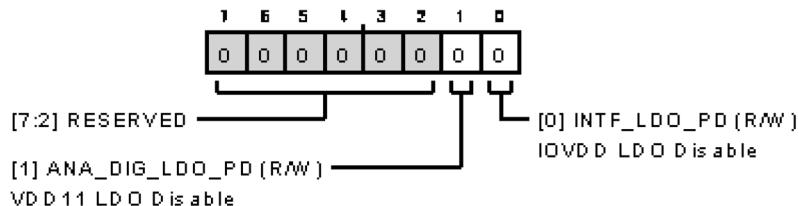


図 130. パワー・コントロール・レジスタ

表 51. PWR_CTRL のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。これらのビットには 0b000000 を書き込みます。	0x0	R
1	ANA_DIG_LDO_PD	VDD11 LDO ディスエーブル。VDD11 レールに給電する LDO をイネーブルまたはディスエーブルします。このビットへの書き込みは推奨しません。 0 : LDO を有効化。 1 : LDO を無効化。	0x0	R/W
0	INTF_LDO_PD	IOVDD LDO ディスエーブル。IOVDD レールに給電する LDO をイネーブルまたはディスエーブルします。このビットへの書き込みは推奨しません。 0 : LDO を有効化。 1 : LDO を無効化。	0x0	R/W

設定レジスタ

GPIO 設定 A レジスタ

アドレス : 0x19、リセット : 0x01、レジスタ名 : GPIO_CONFIG_A

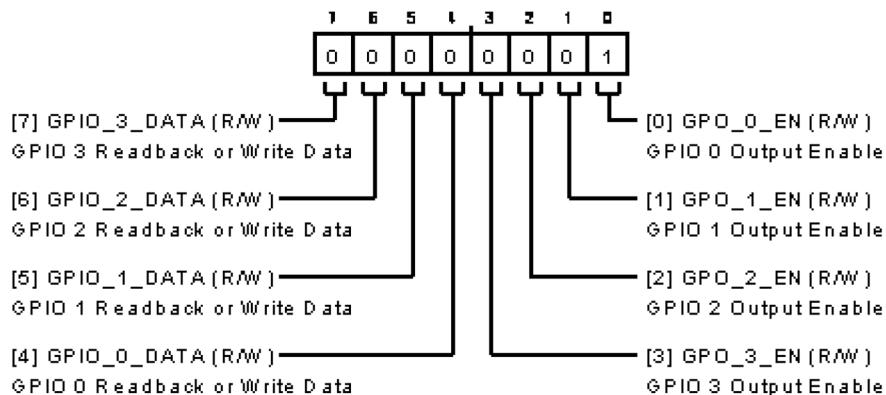


図 131. GPIO 設定 A レジスタ

表 52. GPIO_CONFIG_A のビット説明

ビット	ビット名	説明	リセット	アクセス
7	GPIO_3_DATA	GPIO 3 のリードバックまたは書き込みデータ。 0 : GPIO 3 に 0 を書き込みます。 1 : GPIO 3 に 1 を書き込みます。	0x0	R/W
6	GPIO_2_DATA	GPIO 2 のリードバックまたは書き込みデータ。 0 : GPIO 2 に 0 を書き込みます。 1 : GPIO 2 に 1 を書き込みます。	0x0	R/W
5	GPIO_1_DATA	GPIO 1 のリードバックまたは書き込みデータ。 0 : GPIO 1 に 0 を書き込みます。 1 : GPIO 1 に 1 を書き込みます。	0x0	R/W
4	GPIO_0_DATA	GPIO 0 のリードバックまたは書き込みデータ。 0 : GPIO 0 に 0 を書き込みます。 1 : GPIO 0 に 1 を書き込みます。	0x0	R/W
3	GPO_3_EN	GPIO 3 出力イネーブル。 0 : GPIO 3 を入力として設定。 1 : GPIO 3 を出力として設定。	0x0	R/W
2	GPO_2_EN	GPIO 2 出力イネーブル。 0 : GPIO 2 を入力として設定。 1 : GPIO 2 を出力として設定。	0x0	R/W
1	GPO_1_EN	GPIO 1 出力イネーブル。 0 : GPIO 1 を入力として設定。 1 : GPIO 1 を出力として設定。	0x0	R/W
0	GPO_0_EN	GPIO 0 出力イネーブル。 0 : GPIO 0 を入力として設定。 1 : GPIO 0 を出力として設定。	0x1	R/W

設定レジスタ

GPIO 設定 B レジスタ

アドレス : 0x1A、リセット : 0x00、レジスタ名 : GPIO_CONFIG_B

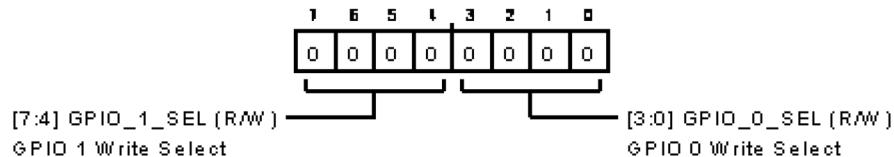


図 132. GPIO 設定 B レジスタ

表 53. GPIO_CONFIG_B のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GPIO_1_SEL	GPIO 1 書込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読出し完了フラグ。 0011 : フィルタ結果準備完了（アクティブ・ロー）。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート（アクティブ・ロー）。 0111 : GPIO データ。 1000 : フィルタ同期入力（アクティブ・ロー）。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W
[3:0]	GPIO_0_SEL	GPIO 0 書込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読出し完了フラグ。 0011 : フィルタ結果準備完了（アクティブ・ロー）。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート（アクティブ・ロー）。 0111 : GPIO データ。 1000 : フィルタ同期入力（アクティブ・ロー）。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W

設定レジスタ

GPIO 設定 C レジスタ

アドレス : 0x1B、リセット : 0x00、レジスタ名 : GPIO_CONFIG_C

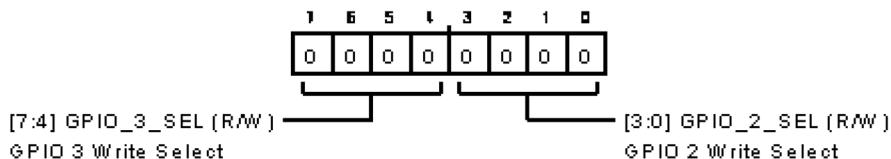


図 133. GPIO 設定 C レジスタ

表 54. GPIO_CONFIG_C のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	GPIO_3_SEL	GPIO 3 書込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読出し完了フラグ。 0011 : フィルタ結果準備完了（アクティブ・ロー）。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート（アクティブ・ロー）。 0111 : GPIO データ。 1000 : フィルタ同期入力（アクティブ・ロー）。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W
[3:0]	GPIO_2_SEL	GPIO 2 書込みセレクト。 0000 : 設定 SPI SDO データ。 0001 : FIFO フル・フラグ。 0010 : FIFO 読出し完了フラグ。 0011 : フィルタ結果準備完了（アクティブ・ロー）。 0100 : 高閾値検出。 0101 : 低閾値検出。 0110 : ステータス・アラート（アクティブ・ロー）。 0111 : GPIO データ。 1000 : フィルタ同期入力（アクティブ・ロー）。 1001 : FIFO の外部イベント・トリガ入力。 1010 : この設定値は使用しないでください。	0x0	R/W

設定レジスタ

全般的な設定レジスタ

アドレス : 0x1C、リセット : 0x00、レジスタ名 : GENERAL_CONFIG

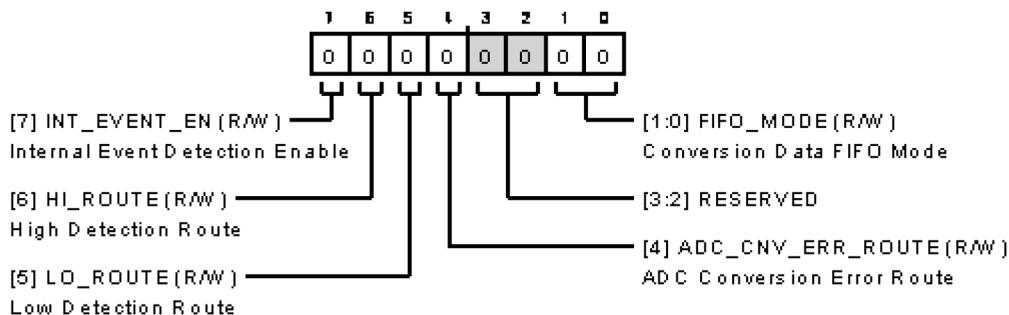


図 134. 全般的な設定レジスタ

表 55. GENERAL_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
7	INT_EVENT_EN	内部イベント検出イネーブル。ADC 結果またはフィルタリングされたデータは、このビットが 1 に設定された後、内部イベント検出にのみ使用されます。 0 : 内部イベント検出はディスエーブルになります。 1 : 内部イベント検出はイネーブルになります。	0x0	R/W
6	HI_ROUTE	高検出経路。FIFO イベント検出、ステータス・レジスタ、およびアラート機能 (GPIO 経由) に、高検出ステータスが使用できます。 0 : マスク高検出。 1 : 高検出の経路を、アラート・ピン、ステータス・レジスタ、および FIFO に指定します。	0x0	R/W
5	LO_ROUTE	低検出経路。FIFO イベント検出、ステータス・レジスタ、およびアラート機能 (GPIO 経由) に、低検出ステータスが使用できます。 0 : マスク低検出。 1 : 低検出の経路を、アラート・ピン、ステータス・レジスタ、および FIFO に指定します。	0x0	R/W
4	ADC_CNV_ERR_ROUTE	ADC 変換エラー経路。ADC 変換エラー・ステータスの経路を、ステータス・レジスタとアラート機能 (GPIO 経由) に指定できます。 0 : マスク ADC 変換エラー。 1 : ADC 変換エラーの経路を、アラート・ピンとステータス・レジスタに指定します。	0x0	R/W
[3:2]	RESERVED	予約済み。これらのビットには 0b0 を書き込みます。	0x0	R
[1:0]	FIFO_MODE	変換データ FIFO モード。 00 : FIFO を無効化。 01 : 即時トリガ・モード。 10 : イベント・トリガの取り込み、最新の WATERMARK の読出し。 11 : イベント・トリガ取り込みモード、すべての FIFO を読出し。	0x0	R/W

設定レジスタ

FIFO ウォーターマーク・レジスタ

アドレス : 0x1D およびアドレス : 0x1E、リセット : 0x4000、レジスタ名 : FIFO_WATERMARK

ウォーターマーク値。ユーザが 1 より小さい値を書き込むと、1 で切り捨てられます。16,384 より大きい場合、16,384 で切り捨てられます。

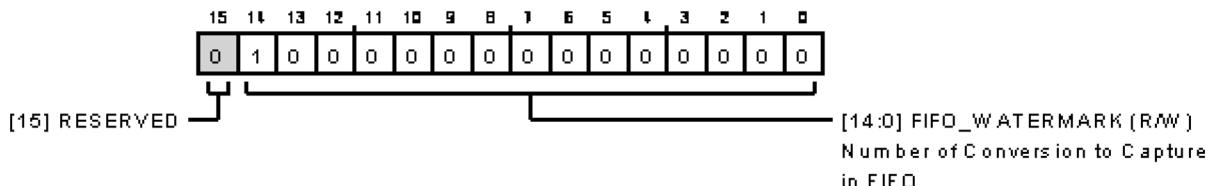


図 135. FIFO ウォーターマーク・レジスタ

表 56. FIFO_WATERMARK のビット説明

ビット	ビット名	説明	リセット	アクセス
15	RESERVED	予約済み。このビットには 0b0 を書き込みます。	0x0	R
[14:0]	FIFO_WATERMARK	FIFO で取り込む変換の数。イベント・トリガ取り込みモード、すべての FIFO を読み出しへは、この値は 4 の倍数として設定する必要があります。	0x4000	R/W

イベント検出ヒステリシス設定レジスタ

アドレス : 0x20 およびアドレス : 0x1F、リセット : 0x0000、レジスタ名 : EVENT_HYSTERESIS

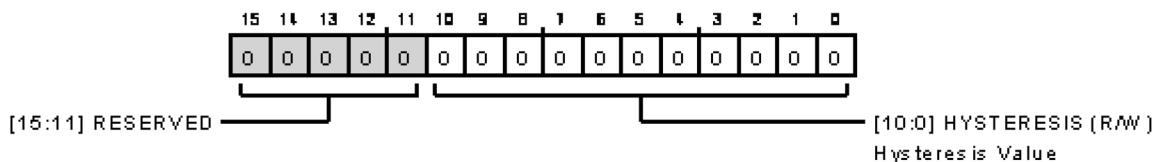


図 136. イベント検出ヒステリシス設定レジスタ

表 57. EVENT_HYSTERESIS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:11]	RESERVED	予約済み。これらのビットには 0b00000 を書き込みます。	0x0	R
[10:0]	HYSTERESIS	ヒステリシス値。符号なしデータ形式 (LSB = 1.46484mV)。0x000 は 0 × LSB を表し、0x7FF は 2047 × LSB を表します。	0x0	R/W

設定レジスタ

イベント検出の高閾値設定レジスタ

アドレス : 0x21 およびアドレス : 0x22、リセット : 0x0000、レジスタ名 : EVENT_DETECTION_HI

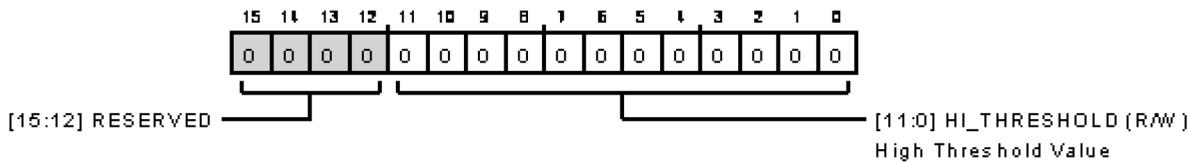


図 137. イベント検出の高閾値設定レジスタ

表 58. EVENT_DETECTION_HI のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。これらのビットには 0b0000 を書き込みます。	0x0	R
[11:0]	HI_THRESHOLD	高閾値。2 の補数データ形式 (LSB = 1.46484mV)。0x800 は -2048 × LSB を表し、0x7FF は +2047 × LSB を表します。	0x0	R/W

イベント検出の低閾値設定レジスタ

アドレス : 0x23 およびアドレス : 0x24、リセット : 0x0000、レジスタ名 : EVENT_DETECTION_LO

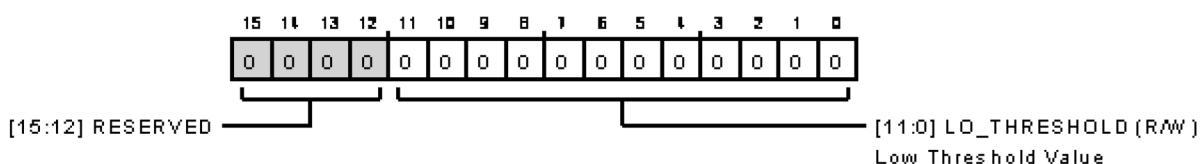


図 138. イベント検出の低閾値設定レジスタ

表 59. EVENT_DETECTION_LO のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。これらのビットには 0b0000 を書き込みます。	0x0	R
[11:0]	LO_THRESHOLD	低閾値。2 の補数データ形式 (LSB = 1.46484mV)。0x800 は -2048 × LSB を表し、0x7FF は +2047 × LSB を表します。	0x0	R/W

オフセット補正レジスタ

アドレス : 0x25 およびアドレス : 0x26、リセット : 0x0000、レジスタ名 : OFFSET

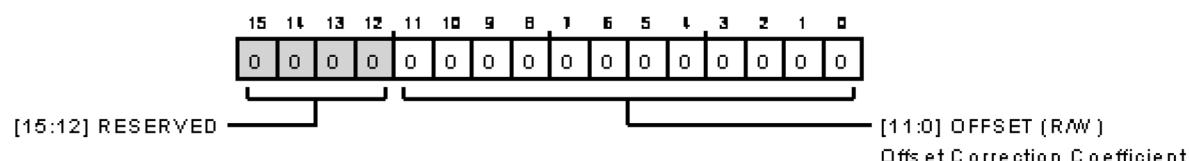


図 139. オフセット補正レジスタ

表 60. OFFSET のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。このビット・フィールドには 0b0000 を書き込みます。	0x0	R
[11:0]	OFFSET	オフセット補正係数。2 の補数データ形式 (LSB = 0.00572mV)。0x800 は -2048 × LSB を表し、0x7FF は +2047 × LSB を表します。	0x0	R/W

設定レジスタ

ゲイン補正レジスタ

アドレス : 0x27 およびアドレス : 0x28、リセット : 0x0200、レジスタ名 : GAIN

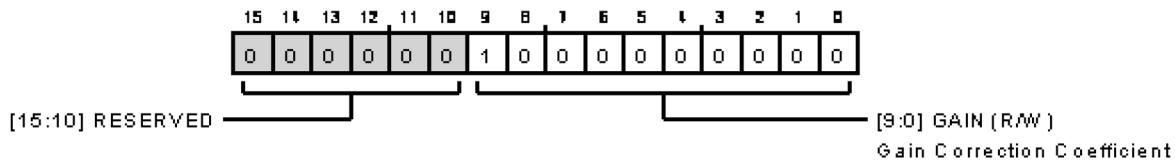


図 140. ゲイン補正レジスタ

表 61. GAIN のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:10]	RESERVED	予約済み。これらのビットには 0b000000 を書き込みます。	0x0	R
[9:0]	GAIN	ゲイン補正係数。 GAIN = 0x3FF の場合、システム全体のゲインは $1.0 + 0.015594$ になります。 GAIN = 0x200 は、ゲイン補正機能をディスエーブルにし、低レイテンシ動作を可能にします。 GAIN = 0x001 の場合、システム全体のゲインは $1.0 - 0.015594$ になります。	0x200	R/W

設定レジスタ

フィルタ設定レジスタ

アドレス : 0x29、リセット : 0x00、レジスタ名 : FILTER_CONFIG

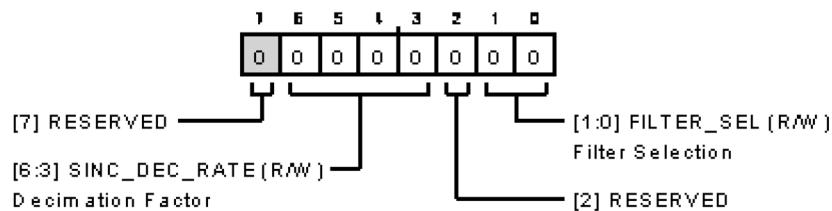


図 141. フィルタ設定レジスタ

表 62. FILTER_CONFIG のビット説明

外形寸法

Package Drawing (Option)	Package Type	Package Description
BC-49-8	CSP BGA (Chip Scale)	49-Ball Chip Scale Package Ball Grid Array

最新のパッケージ外形情報およびランド・パターン（実装面積）については、[パッケージ索引](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4081BBCZ	-40°C to +85°C	29-Ball Chip Scale Package Ball Grid Array (CSP_BGA)	Tray, 640	BC-49-8
AD4081BBCZ-RL	-40°C to +85°C	29-Ball Chip Scale Package Ball Grid Array (CSP_BGA)	Reel, 4000	BC-49-8
AD4081BBCZ-RL7	-40°C to +85°C	29-Ball Chip Scale Package Ball Grid Array (CSP_BGA)	Reel, 1000	BC-49-8

¹ Z = RoHS 準拠製品。

更新：2024年2月29日

評価用ボード

Model ¹	Description
EVAL-AD4080-FMCZ	FMC Evaluation Board
EVAL-AD4080-ARDZ	ARD Evaluation Board

¹ Z = RoHS 準拠製品。