

I3C インターフェースを備えた小型低消費電力の 12 ビット Easy Drive SAR ADC

特長

- ▶ 小フットプリントで高性能
 - ▶ INL : ± 0.1 LSB (最大値)
 - ▶ S/N 比 : 73.8dB ($V_{REF} = 3.3V$)
 - ▶ 1 変換あたり 1.35nJ
 - ▶ サンプル・モードで 405 μ W/300kSPS
 - ▶ 自律モードで 370 μ W/1MSPS または 112 μ W/300kSPS
 - ▶ スタンバイ消費電力 : 4.1 μ W
- ▶ 汎用的なシグナル・コンディショニング機能を搭載
 - ▶ Easy Drive 機能により小型で低消費電力の AFE 設計を実現
 - ▶ 差動およびシングルエンドのシグナル・チェーンに対応
 - ▶ 広い同相入力範囲
- ▶ デジタル・ホストの活動と消費電力を最小限に抑制
 - ▶ ウィンドウ・コンパレータと割込み生成による自律的なサンプリング
 - ▶ パースト・サンプリング対応の平均化フィルタ
 - ▶ 関連デバイスとパワーサイクリングを同期
- ▶ 1.8V~3.3V ロジックに対応した 2 線式 I3C インターフェース
- ▶ 2.00mm \times 2.6mm LFCSP および 1.67mm \times 1.97mm WLCSP
- ▶ 広い動作温度範囲 : -40°C~+125°C

アプリケーション

- ▶ バッテリ駆動のデータ・アキュイジション
- ▶ バイタル・サインの監視
- ▶ 生物学的分析および化学的分析
- ▶ 地質および地震のセンシング
- ▶ モーション・コントロールおよびロボット制御

概要

AD4060 は、逐次比較レジスタ (SAR) を内蔵した汎用的な 12 ビットのアナログ・デジタル・コンバータ (ADC) であり、精度を損なうことなく低電力かつ高密度のデータ・アキュイジションが可能です。この ADC は、性能と電力効率の独自のバランスに加えて、システムが直面するニーズに合わせて高分解能モードと低電力モードをスムーズに切り替える、新たな機能を備えています。AD4060 は、バッテリー駆動の小型データ・アキュイジションやエッジ・センシングのアプリケーションに最適です。

Easy Drive 機能により、高効率のアナログ・フロントエンド (AFE) 設計が可能です。小容量のサンプリング・コンデンサ (3.4pF) で入力インピーダンスを高く保つことにより、SAR ADC で通常必要とされる消費電力の大きい高帯域幅アンプへの依存度を減らします。入力同相電圧範囲が広いので、本質的に、差動およびシングルエンド両方の信号に対応できます。

AD4060 は、パワーダウン・モードおよび割込み駆動型ファームウェアを備えたマイクロコントローラにも対応しています。自律モードでは、デジタル・ホストがスリープ状態の間に範囲外のイベントを検出できます。パースト平均化モードでは要求に応じて高分解能の計測を行う一方で、ホスト・プロセッサの演算負荷を軽減します。自己同期型デバイス・イネーブル信号 (DEV_EN) は、AFE デバイスのパワーサイクリングを ADC のサンプリング・タイミングに同期させて、システムの消費電力を最適化すると共に、電源投入時のセトリング誤差によるアーチファクトを最小限に抑えます。AD4060 は、更なる省電力のために、電圧リファレンスのパワーサイクリングや ADC の電圧リファレンス (V_{REF}) として電源を使用することもできます。

デバイス設定と ADC のデータ・リードバックは、信頼性の高い 2 線式 I3C インターフェースを通じて行われ、すべてのデータ転送に巡回冗長検査 (CRC) が適用されます。AD4060 は小型の 14 ピン・リード・フレーム・チップ・スケール (LFCSP) パッケージと 16 ボール・ウェハ・レベル・チップ・スケール (WLCSP) パッケージで提供され、広い温度範囲で動作するので広範なアプリケーションに使用することができます。

機能ブロック図

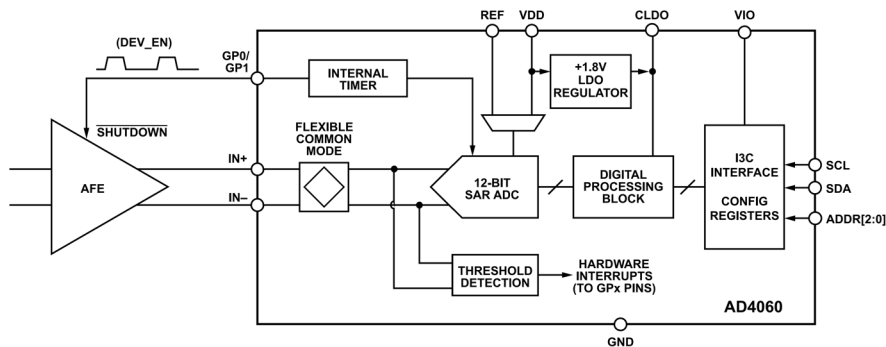


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	VDD 消費電力	52
アプリケーション	1	シリアル・インターフェースの出力データレートの計算	54
概要	1	レイアウトに関する推奨事項	55
機能ブロック図	1	AD4060 のレジスタの概要	56
仕様	4	レジスタの詳細	57
タイミング仕様	7	インターフェース設定 A レジスタ	57
絶対最大定格	10	インターフェース設定 B レジスタ	57
熱抵抗	10	デバイス設定レジスタ	57
静電放電 (ESD) 定格	10	デバイス・タイプ・レジスタ	58
ESD に関する注意	10	製品 ID (LSByte) レジスタ	58
ピン配置およびピン機能の説明	11	製品 ID (MSByte) レジスタ	58
代表的な性能特性	13	デバイス・グレード・レジスタ	58
用語の定義	18	スクラッチ・パッド・レジスタ	58
動作原理	19	MIPI メーカーID (下位バイト) レジスタ	59
概要	19	MIPI メーカーID (上位バイト) レジスタ	59
コンバータの動作	19	予約済みレジスタ	59
アナログ入力	21	予約済みレジスタ	60
電圧リファレンス	21	インターフェース設定 C レジスタ	60
デジタル処理機能	22	インターフェース・ステータス・レジスタ	60
内蔵タイマー	23	ADC 動作モード設定レジスタ	61
電源	23	ADC セットアップ設定レジスタ	61
コンパレータの動作	23	平均化フィルタ設定レジスタ	62
割込み信号および制御信号	25	汎用ピン設定レジスタ	62
動作モード	28	割込み設定レジスタ	63
サンプル・モード	29	タイマー設定レジスタ	64
バースト平均化モード	31	最大閾値設定レジスタ	65
自律モード	33	最小閾値設定レジスタ	65
スリープ・モード	35	最大閾値ヒステリシス・レジスタ	65
シリアル・インターフェース	36	最小閾値ヒステリシス・レジスタ	65
ダイナミック・アドレッシング	36	MON_VAL スケーリング・レジスタ	66
レジスタ・アドレス・ポインタ	37	インターフェース・エラー IBI イネーブル・レジスタ	66
レジスタへの書き込み	37	ADC IBI イネーブル・レジスタ	66
レジスタの読出し	38	ヒューズ CRC レジスタ	67
レジスタ・アクセス CRC	39	デバイス・ステータス・レジスタ	67
CONV_READ レジスタ	40	最大割込みサンプル・レジスタ	68
CONV_TRIGGER レジスタ	41	最小割込みサンプル・レジスタ	68
データ・フェーズの 9 番目の SDA ビット	42	ターゲット・アドレス・レジスタ	68
コモン・コマンド・コード (CCC)	42	グループ・アドレス・レジスタ	68
デバイスのリセット	45	IBI ステータス・レジスタ	69
アプリケーション情報	47	変換読出し結果レジスタ	69
代表的なアプリケーション図	47	変換トリガ・レジスタ	70
アナログ・フロントエンドの設計	48	外形寸法	71
リファレンス回路設計	50	オーダー・ガイド	71
アンプのシャットダウンと ADC サンプリングの同期	50	評価用ボード	71
リファレンスのシャットダウンを利用した高精度の達成	51		

[目次](#)

改訂履歴

7/2025—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 2.3V \sim 3.6V$ 、 $V_{REF} = 2.3V \sim 3.6V$ 、 $V_{IO} = 1.71V \sim 3.6V$ 、リファレンス容量 (C_{REF}) = $2.2\mu F$ 、最大規定サンプル・レート (f_S) での動作。特に指定のない限り、他の機能はすべてデフォルト設定、最小値および最大値は $T_A = -40^\circ C \sim +125^\circ C$ における値、代表値は $T_A = +25^\circ C$ における値。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION					
ADC Resolution		12			Bits
Averaging Filter Resolution	Burst averaging mode	14			Bits
Comparator Mode Resolution	Autonomous modes	12			Bits
SAMPLING DYNAMICS					
Sampling Rate (f_S) ¹				2	MSPS
Aperture Delay			0.3		ns
ANALOG INPUT					
Input Voltage (V_{IN}) Range ²	$V_{IN} = V_{IN+} - V_{IN-}$ Differential mode	$-V_{REF}$		$+V_{REF}$	V
	Single-ended mode	0		$+V_{REF}$	V
Absolute Input Voltage ²	V_{IN+} , V_{IN-}	-0.1		$V_{DD} + 0.1$	V
Common-Mode Input Voltage (V_{CM}) Range ³	$V_{CM} = (V_{IN+} + V_{IN-})/2$	-0.1		$V_{DD} + 0.1$	V
Analog Input Leakage Current	$IN+$, $IN-$		6		nA
Sampling Capacitance (C_{IN})			3.4		pF
Analog Input Capacitance ⁴	$IN+$, $IN-$				
Track Phase			5.4		pF
Hold Phase			2.0		pF
DC ACCURACY	$V_{REF} = 3.3 V$				
No Missing Codes		12			Bits
Transition Noise	Sample mode (no averaging)				
	Differential mode		0.08		LSB rms
	Single-ended mode		0.16		LSB rms
Integral Nonlinearity (INL)		-0.1	± 0.03	+0.1	LSB
Differential Nonlinearity (DNL) ⁵		-0.1	± 0.03	+0.1	LSB
Zero Error		-900	± 75	+900	μV
Zero-Error Drift			± 0.05		ppm/ $^\circ C$
Gain Error		-0.06	± 0.002	+0.06	%FS
Gain Error Drift			± 0.2		ppm/ $^\circ C$
Total Unadjusted Error (TUE) ⁶		-600	± 20	+600	ppm
Autonomous Mode TUE ⁷			± 7		mV
REFERENCE					
V_{REF} Input Range		2.3		V_{DD}	V
REF Standby Current	$V_{REF} = 3.3V$		8		nA
REF Average Input Current ⁸	$V_{REF} = 3.3V$, $f_S = 300kSPS$		9	10	μA
AC PERFORMANCE	$V_{REF} = 3.3V$				
Total RMS Noise	Sample mode (no averaging)		476		μV_{rms}
Signal-to-Noise Ratio (SNR)	$V_{IN} = -0.5dBFS$, input frequency (f_{IN}) = 1kHz				
Differential Mode	Sample mode (no averaging)		73.8		dB
Single-Ended Mode	Sample mode (no averaging)		73.5		dB
Total Harmonic Distortion (THD)	$V_{IN} = -0.5dBFS$, $f_{IN} = 1kHz$, sample mode		-105	-90	dB

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Signal-to-Noise and Distortion (SINAD)	$V_{IN} = -0.5\text{dBFS}$, $f_{IN} = 1\text{kHz}$, sample mode				
Differential Mode			73.8		dB
Single-Ended Mode			73.5		dB
-3dB Input Bandwidth			200		MHz
DIGITAL INPUTS					
Input Low Voltage (V_{IL})		$-0.1 \times V_{IO}$		$+0.3 \times V_{IO}$	V
Input High Voltage (V_{IH})		$0.7 \times V_{IO}$		$1.1 \times V_{IO}$	V
Input Low Current (I_{IL})		-1		+1	μA
Input High Current (I_{IH})		-1		+1	μA
Digital Input Capacitance			3		pF
DIGITAL OUTPUTS					
Output Low Voltage (V_{OL})					
SDA	Digital output current = +3mA			0.3	V
GP0, GP1	Digital output current = +500 μA			0.3	V
Output High Voltage (V_{OH})					
SDA ⁹	Digital output current = -3mA	$V_{IO} - 0.3$			V
GP0, GP1	Digital output current = -500 μA	$V_{IO} - 0.3$			V
Digital Output Short-Circuit Current	$V_{IO} = 3.3\text{V}$				
Sourcing	Logic high shorted to 0V		48		mA
Sinking	Logic low shorted to 3.3V		38		mA
POWER REQUIREMENTS					
VDD		2.3		3.6	V
VIO		1.71		3.6	V
POWER SUPPLY CURRENT	$V_{DD} = 3.3\text{V}$				
Sleep Mode Current	$f_S = 0\text{SPS}$				
VDD			10		nA
VIO	$V_{IO} = 1.8\text{V}$		20		nA
	$V_{IO} = 3.3\text{V}$		120		nA
Standby Current	$f_S = 0\text{SPS}$				
VDD			990		nA
VIO	$V_{IO} = 1.8\text{V}$		50		nA
	$V_{IO} = 3.3\text{V}$		260		nA
VDD Active Supply Current ¹⁰					
Sample Mode	$f_S = 10\text{kSPS}$		4		μA
	$f_S = 300\text{kSPS}$		120	160	μA
Autonomous Modes	$f_S = 10\text{kSPS}$		1.12		μA
	$f_S = 300\text{kSPS}$		34		μA
	$f_S = 1\text{MSPS}$		112		μA
	$f_S = 2\text{MSPS}$		224	300	μA
POWER DISSIPATION	$V_{DD} = V_{IO} = 3.3\text{V}$				
Sleep Mode Power Dissipation	$f_S = 0\text{SPS}$		430		nW
Standby Power Dissipation	$f_S = 0\text{SPS}$		4.1		μW
VDD Energy per Conversion			1.35		nJ
VDD Active Power Dissipation ¹⁰					

仕様

表 1. 仕様（続き）

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Sample Mode	$f_s = 10\text{kSPS}$		13.6		μW
	$f_s = 300\text{kSPS}$		405	528	μW
Autonomous Modes	$f_s = 10\text{kSPS}$		3.7		μW
	$f_s = 300\text{kSPS}$		112		μW
	$f_s = 1\text{MSPS}$		370		μW
	$f_s = 2\text{MSPS}$		740	990	μW

¹ サンプルング・レートは、AD4060 ADC の最大サンプル・レート能力の仕様です。出力データレートは、シリアル・インターフェースで每秒送信できる ADC サンプルの数であり、I3C インターフェースのタイミング仕様によって異なります。サンプル・モードでは、I3C インターフェースによって AD4060 の出力データレートが制限されるので、データレートは 2MSPS を下回ります。バースト平均化モードおよび自律モードでは、出力データレートの条件が緩和されるので、AD4060 の ADC コアは最大 2MSPS で動作できます。AD4060 の I3C 出力データレートを動作モードごとに推定するためのガイドラインについては、[シリアル・インターフェースの出力データレートの計算](#)のセクションを参照してください。

² V_{IN+} と V_{IN-} は、それぞれ IN+ピンと IN-ピンの電圧を表しています。AD4060 は、 V_{IN+} と V_{IN-} の差分をサンプルングして変換します。

³ AD4060 の同相入力電圧範囲の詳細な説明については、[広い入力同相電圧範囲](#)のセクションを参照してください。

⁴ トラック・フェーズでの総入力容量は、 C_{IN} とピン容量の合計になります。ホールド・フェーズでは C_{IN} が入力から遮断されるので、入力容量はピン容量のみになります。[図 40](#) を参照してください。

⁵ DNL の最小仕様および最大仕様は設計により確保されています。

⁶ TUE（総合未調整誤差）は、どのデバイスでも、全入力範囲にわたる理想的な DC 伝達関数からの最大のずれと定義されています。TUE には、各デバイスのゼロ誤差、ゲイン誤差、INL 誤差を組み合わせた影響が含まれています。

⁷ 自律モードにおける TUE はコンパレータの動作に適用されます。[コンパレータの動作](#)および[自律モード](#)の各セクションを参照してください。

⁸ 平均 REF 入力電流は、 f_s に伴って線形に変化します（[図 23](#) を参照）。

⁹ プッシュプル動作の場合に限ります。

¹⁰ VDD の電源電流と消費電力は、 f_s に伴って線形に変化します（[VDD 消費電力](#)のセクション、[図 26](#)、および[図 29](#) を参照）。

仕様

タイミング仕様

VDD = VREF = 2.3V~3.6V、VIO = 1.71V~3.6V、I3C バス容量 (C_{BUS}) = 50pF、他の全機能はデフォルト設定。特に指定のない限り、最小値および最大値は T_A = -40°C~+125°C における値、代表値は T_A = +25°C における値。

表 2. ADC パラメータ

Parameter ¹	Symbol	Min	Typ	Max	Unit
Sampling Rate ²	f _s			2	MSPS
Sample Period ²	t _{CYC}	500			ns
Conversion Time	t _{CONV}		270	320	ns
Acquisition Time ^{3,4}	t _{ACQ}				
f _s = 2MSPS		290	327		ns
f _s = 300kSPS		3123.3	3160.3		ns
Internal Timer Frequency ⁵	f _{OSC}	-15%	f _{OSC}	+15%	ns

¹ t_{CONV} の仕様は製品テストで確認されています。この表の他のタイミング仕様は、すべて特性評価および設計により確保されています。

² サンプリング・レートは、AD4060 ADC の最大サンプル・レート能力の仕様です。出力データレートは、シリアル・インターフェースで毎秒送信できる ADC サンプルの数であり、I3C インターフェースのタイミング仕様によって異なります。サンプル・モードでは I3C インターフェースによって AD4060 の出力データレートが制限されるので、データレートは 2MSPS を下回ります。バースト平均化モードおよび自律モードでは、出力データレートの条件が緩和されるため、AD4060 の ADC コアは最大 2MSPS で動作できます。AD4060 の I3C 出力データレートを動作モードごとに推定するためのガイドラインについては、[シリアル・インターフェースの出力データレートの計算](#)のセクションを参照してください。

³ t_{ACQ} の仕様値は、入力サンプリング容量が所定のサンプル・レートにおいて入力電圧を取り込むのに利用できる時間です。t_{ACQ} の仕様値は、ADC がトラック・フェーズで消費する時間に相当します。t_{ACQ} の仕様値はサンプル・レートに反比例します。そのため、t_{ACQ} の仕様値は、サンプル・レートが減少するにつれて増加します。任意のサンプル周期レートにおける t_{ACQ} の最小仕様値は次式で得られます。

$$t_{ACQ} = t_{CYC} - 210 \text{ ns} \quad (1)$$

⁴ DEV_EN 信号を使用してアナログ・フロントエンドをパワーサイクリングしている間のアクイジション・タイムの説明については、[デバイス・イネーブリング信号](#)のセクションを参照してください。

⁵ バースト平均化モードおよび自律モードでは、内蔵タイマーでサンプリング周波数が設定されます。AD4060 は、最大 f_{OSC} の仕様で動作が確保されています。公称サンプリング周波数オプションについては表 52 を参照してください。

表 3. オープン・ドレイン・パラメータ

Parameter ¹	Symbol	Min	Typ	Max	Unit
SCL Low Time	t _{LOW_OD}	200			ns
SCL High Time	t _{HIGH_OD}	32			ns
SDA Fall Time	t _{FDA_OD}			4.2	ns
SDA Rise Time	t _{RDA_OD}			120	ns
SDA Data Setup Time	t _{SU_OD}	1.5			ns
Clock After Start Time	t _{CAS}	38.4			ns
Clock Before Stop Time	t _{CBP}	19.2			ns
Bus Available Condition	t _{AVAIL}	1			μs

¹ t_{LOW_OD}、t_{HIGH_OD}、t_{CAS}、t_{CBP} の仕様は製品テストで確認されています。この表の他のタイミング仕様は、すべて特性評価および設計により確保されています。

仕様

表 4. プッシュプル・パラメータ

Parameter ¹	Symbol	Min	Typ	Max	Unit
SCL Clock Frequency	f_{SCL}	0.01	12.5	12.9	MHz
SCL Clock Low Time	t_{LOW}	24			ns
SCL Clock High Time	t_{HIGH}	24			ns
SDA Data Out Hold Time	t_{HD_PP}	10			ns
SDA Data Valid Delay	t_{DSDA}			34	ns
Time Delay to Switch from Push-Pull to High-Z State	t_{SCO}			12	ns
SDA Data In Setup Time	t_{SU_PP}	1.5			ns
Clock Before Repeated Start	t_{CASr}	19.2			ns
Clock After Repeated Start	t_{CBSr}	19.2			ns

¹ t_{LOW} 、 t_{HIGH} 、 t_{CASr} 、 t_{CBSr} の仕様は製品テストで確認されています。この表の他のタイミング仕様は、すべて特性評価および設計により確保されています。

表 5. デバイス固有のパラメータ／その他のパラメータ

Parameter	Symbol	Min	Typ	Max	Unit
Time Between Stop and Start	t_{BUF}	38			ns
IBI Delay ¹	t_{IBI_ISSUE}		28		μs
Reset Delay for Fuse Reload	$t_{RESET_FUSE_RELOAD}$		5		ns
Reset Delay for Peripheral Reset	$t_{RESET_PERIPHERAL}$		60		ns

¹ IBI イベントが発生してから、IBI イベントが発生したことを示すために AD4060 が SDA をローにするまでの時間。

タイミング図

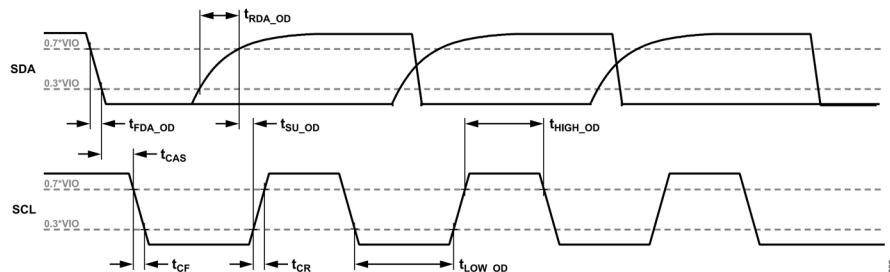


図 2. オープン・ドレイン・パラメータ

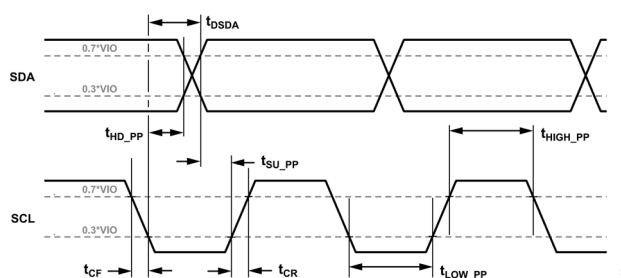


図 3. プッシュプル・パラメータ

仕様

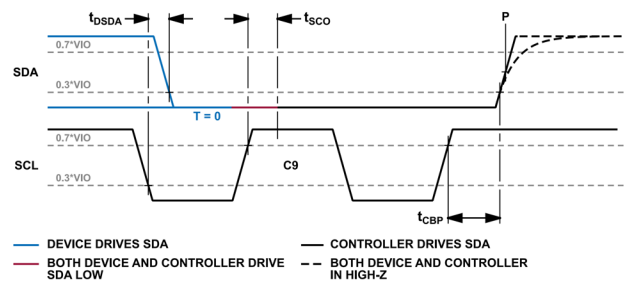


図 4. AD4060 が読出しを終了してコントローラがストップを生成するときの T ビット

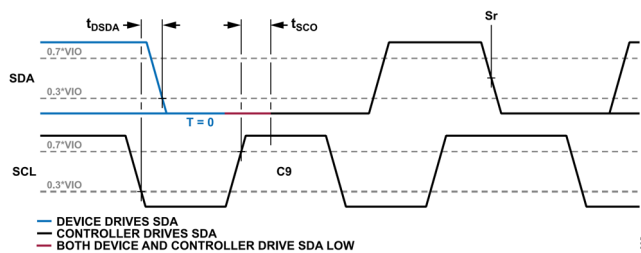


図 5. AD4060 が読出しを終了してコントローラが反復スタートを生成するときの T ビット

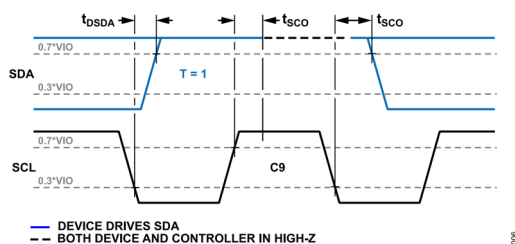


図 6. AD4060 とコントローラがメッセージの読出し続行について合意するときの T ビット

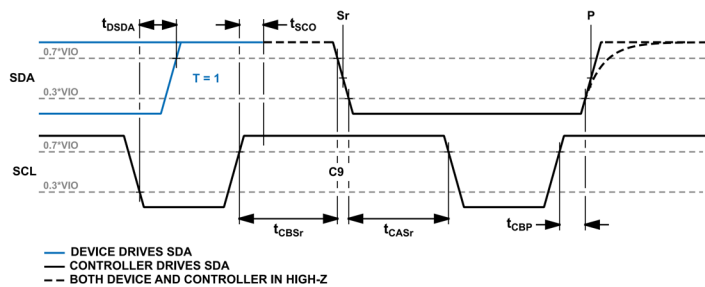


図 7. コントローラが反復スタートとストップにより読出しを終了するときの T ビット

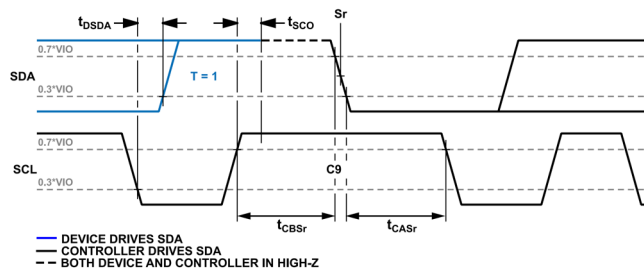


図 8. コントローラが反復スタートとその後の転送を介して読出しを終了するときの T ビット

絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
Analog Inputs	
IN+, IN-, and REF to GND	-0.3V to VDD + 0.3V
Supply Voltages	
VDD and VIO to GND	-0.3V to +3.96V
CLDO to GND	-0.3V to +2.1V
Digital Inputs to GND	-0.3V to VIO + 0.3V
Digital Outputs to GND	-0.3V to VIO + 0.3V
Temperature	
Storage	-55°C to +150°C
Operating T _J Range	-40°C to +125°C
Maximum Reflow (Package Body)	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

表 7. 熱抵抗

Package Type ¹	θ_{JA} ²	θ_{JC} ³	Unit
CP-14-7	73.9	52.3	°C/W
CB-16-26	49.6	0.6	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、2S2P JEDEC PCB の使用によって決定します。

² θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

³ θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

AD4060 の ESD 定格

表 8. AD4060、14 ピン LFCSP および 16 ボール WLCSP

ESD Model	Withstand Threshold (kV)	Class
HBM	4	3A
FICDM	1.25	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

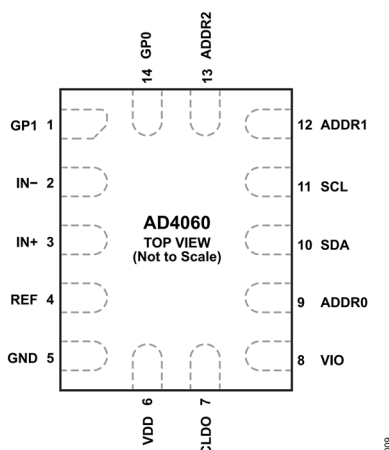


図 9. AD4060 LFCSP のピン配置

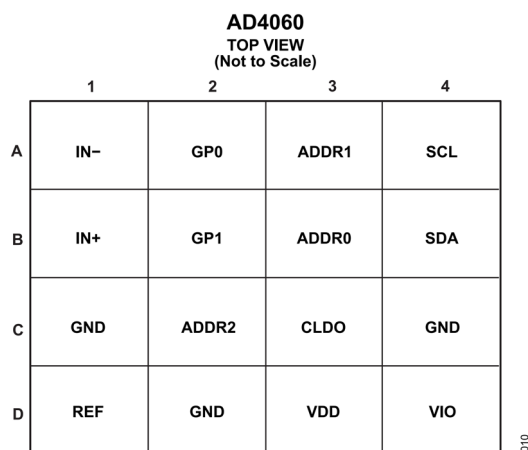


図 10. AD4060 WLCSP のピン配置

表 9. AD4060 LFCSP および WLCSP のピン機能の説明

LFCSP の ピン番号	WLCSP の ピン番号	記号	タイプ	説明
1	B2	GP1	DO	汎用出力 1。GP1 ピンは、複数のデバイス割込み信号として設定可能なデジタル出力です。 割込み信号および制御信号 のセクションを参照してください。
2	A1	IN-	AI	負のアナログ入力。 アナログ入力 のセクションを参照してください。
3	B1	IN+	AI	正のアナログ入力。 アナログ入力 のセクションを参照してください。
4	D1	REF	AI	リファレンス入力。REF ピンは 2.2μF のコンデンサで GND からデカップリングします。 電圧リファレンス のセクションを参照してください。
5	C1, C4, D2	GND	P	電源グラウンド。
6	D3	VDD	P	アナログ電源。VDD ピンは 1μF のコンデンサで GND からデカップリングします。VDD ピンは、CLDO ピンの電源電圧を提供する+1.8V の内部 LDO レギュレータへの入力にもなります。 電源 のセクションを参照してください。
7	C3	CLDO	P	ADC コアの電源。CLDO ピンには、+1.8V の内部低ドロップアウト (LDO) レギュレータから電源が供給されます。CLDO ピンは 1μF のコンデンサで GND からデカップリングします。 電源 のセクションを参照してください。
8	D4	VIO	P	ロジック電源。VIO ピンでは、デジタル入力およびデジタル出力のロジック電圧レベルを設定します。VIO ピンは 1μF のコンデンサで GND からデカップリングします。 電源 のセクションを参照してください。
9	B3	ADDR0	DI	アドレス 0 入力。パーツ・インスタンスのビット[0]を 48 ビットの暫定 ID に設定します。 表 19 を参照してください ¹ 。
10	B4	SDA	DI/DO	シリアル・データ I/O
11	A4	SCL	DI	シリアル・データ・クロック入力。

ピン配置およびピン機能の説明

表 9. AD4060 LFCSP および WLCSP のピン機能の説明（続き）

LFCSP の ピン番号	WLCSP の ピン番号	記号	タイプ	説明
12	A3	ADDR1	DI	アドレス 1 入力。パーツ・インスタンスのビット[1]を 48 ビットの暫定 ID に設定します。 表 19 を参照してください ¹ 。
13	C2	ADDR2	DI	アドレス 2 入力。パーツ・インスタンスのビット[2]を 48 ビットの暫定 ID に設定します。 表 19 を参照してください ¹ 。
14	A2	GP0	DO	汎用出力 0。GP0 ピンは、複数のデバイス制御信号または割込み信号として設定可能なデジタル出力です。 割込み信号および制御信号 のセクションを参照してください。

¹ ADDR[2:0]ピンは最大 8 個の固有パーツ・インスタンス値を割当て可能なので、1 つの I3C バス上で最大 8 個の AD4060 デバイスをサポートできます。

代表的な性能特性

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{REF} = 3.3V$ 、 $V_{IO} = 3.3V$ 、 $C_{REF} = 2.2\mu F$ 、最大 f_s 、 $T_A = 25^\circ C$ で、全ての機能はデフォルト設定。

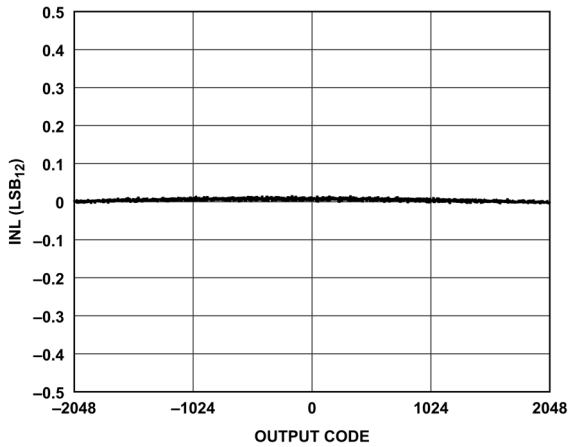


図 11. INL と出力コードの関係

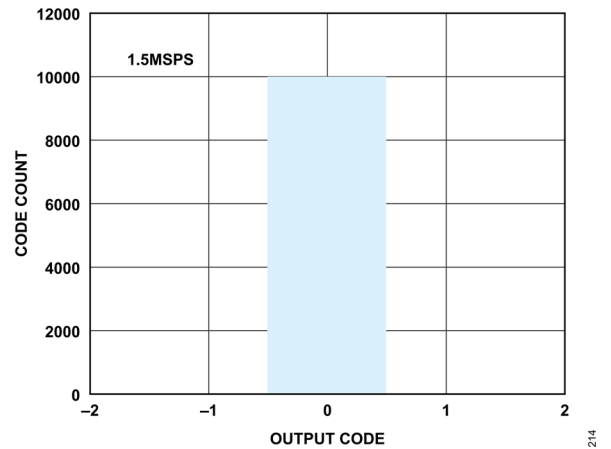


図 14. ヒストグラム、サンプル・モード（平均化なし）

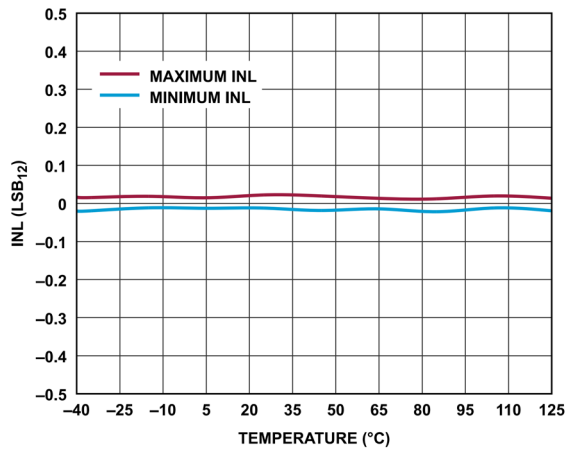


図 12. INL と温度の関係

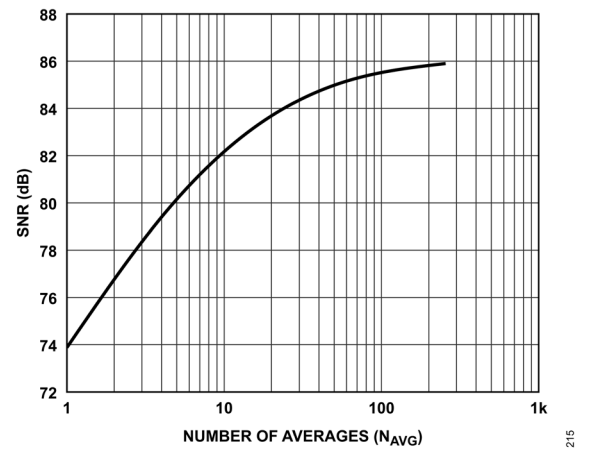


図 15. S/N 比と平均化回数の関係

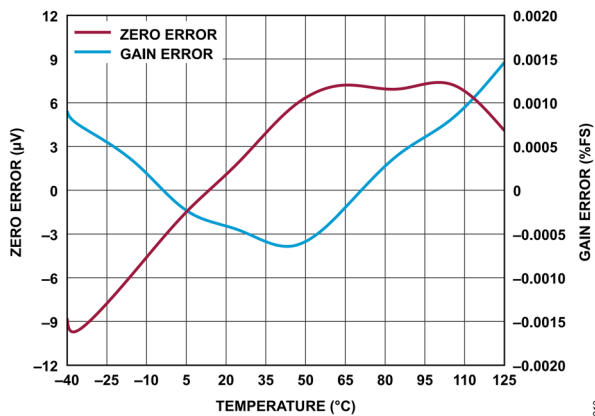


図 13. ゼロ誤差およびゲイン誤差と温度の関係

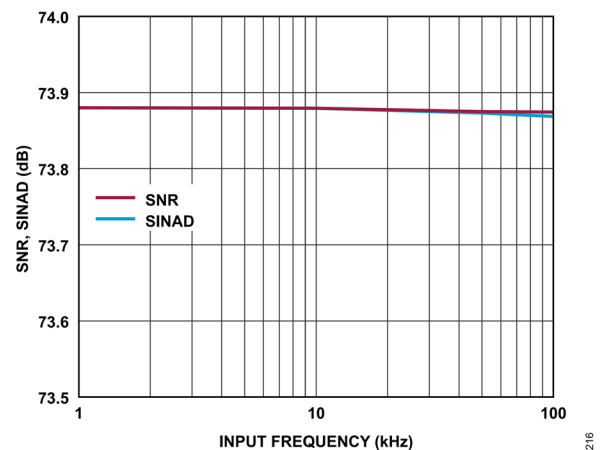


図 16. S/N 比、SINAD と入力周波数の関係

代表的な性能特性

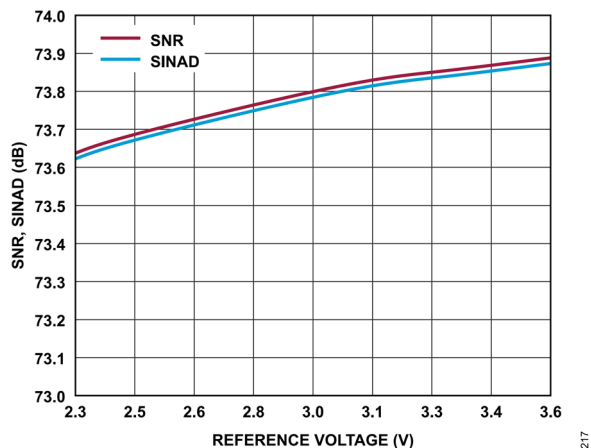


図 17. S/N 比および SINAD とリファレンス電圧の関係

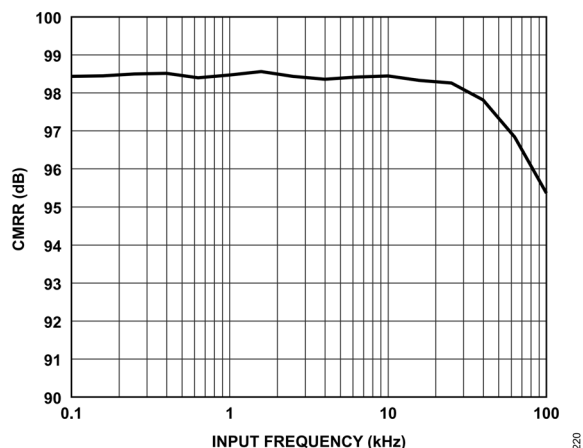


図 20. 同相モード除去比（CMRR）と入力周波数の関係

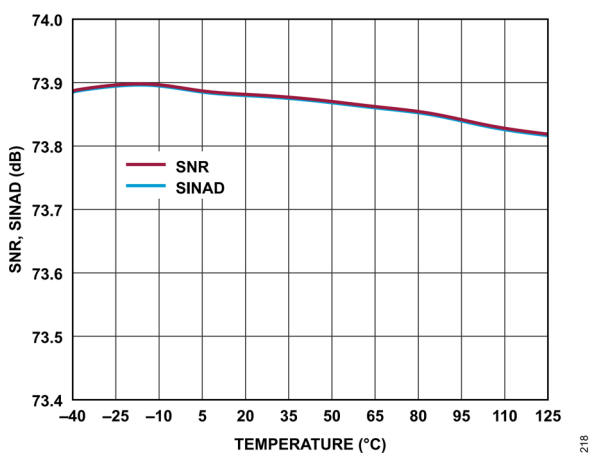


図 18. S/N 比および SINAD と温度の関係

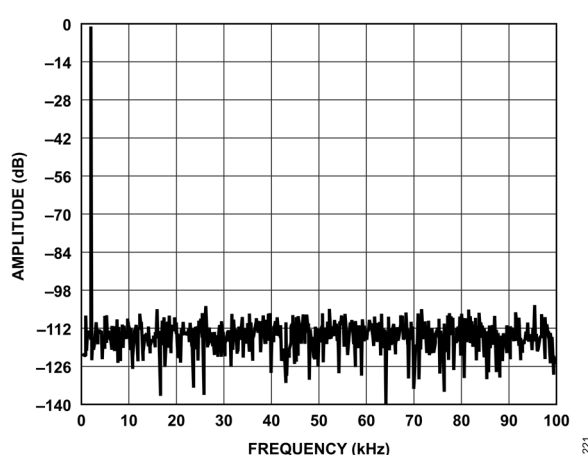


図 21. 高速フーリエ変換（FFT）、 $f_s = 200\text{kSPS}$ 、 $f_{IN} = 1\text{kHz}$

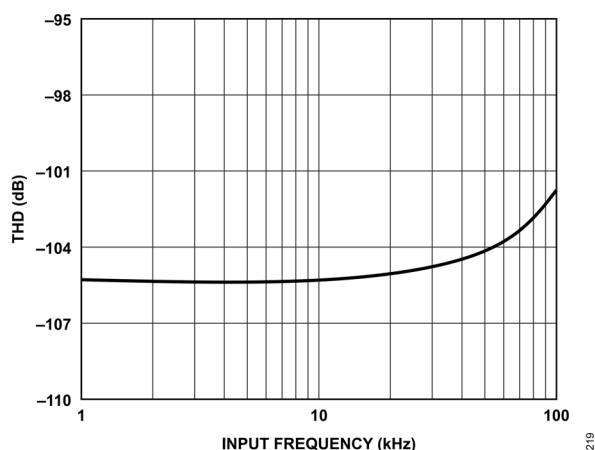


図 19. THD と入力周波数の関係、 $V_{IN} = -1\text{dBFS}$

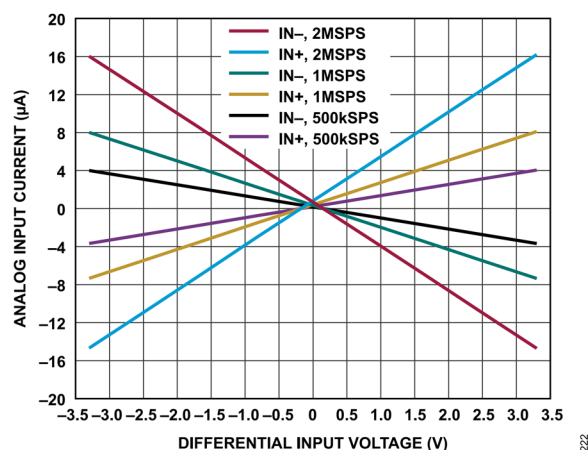


図 22. アナログ入力電流と差動入力電圧の関係

代表的な性能特性

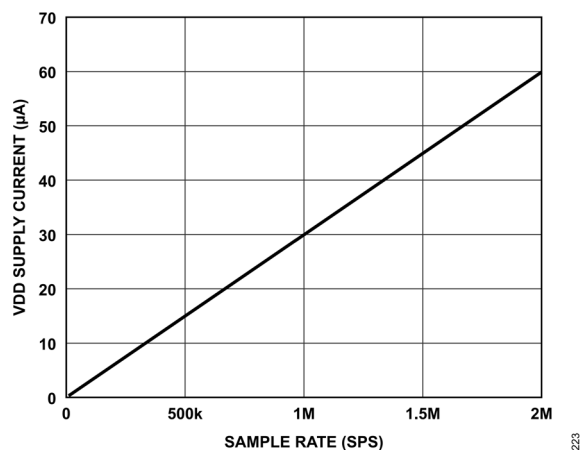


図 23. リファレンス入力電流とサンプル・レートの関係

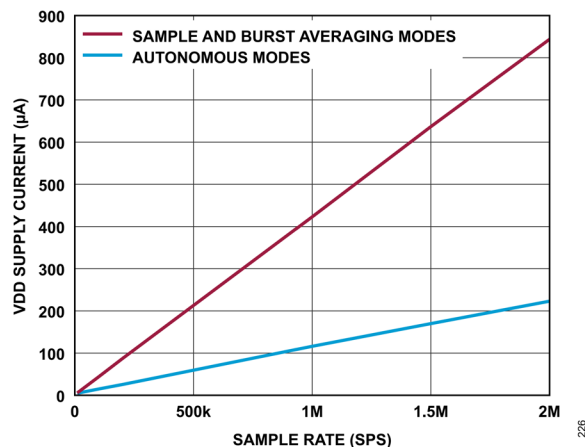


図 26. VDD 電源電流とサンプル・レートの関係

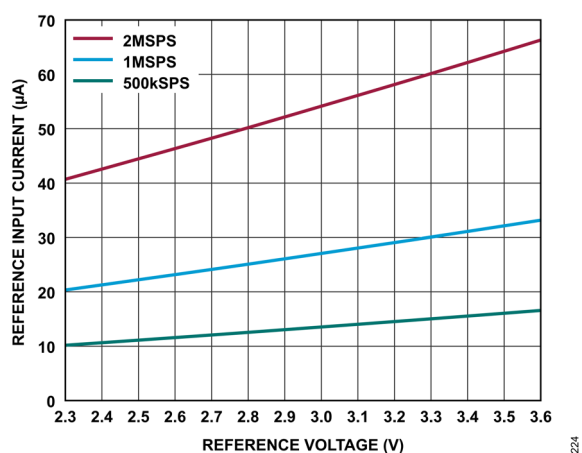


図 24. リファレンス入力電流とリファレンス電圧の関係

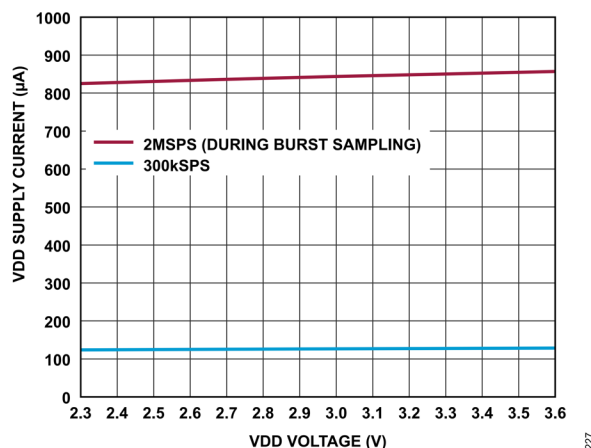


図 27. VDD 電源電流と VDD 電圧の関係

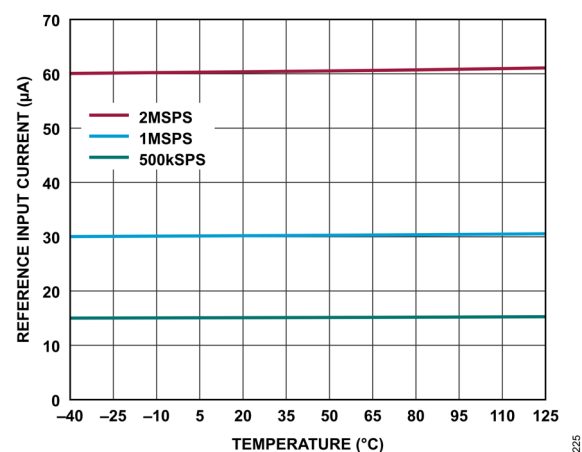


図 25. リファレンス入力電流と温度の関係

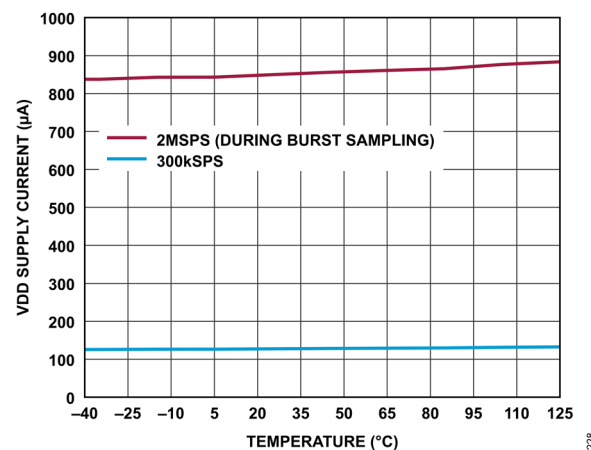


図 28. VDD 電源電流と温度の関係

代表的な性能特性

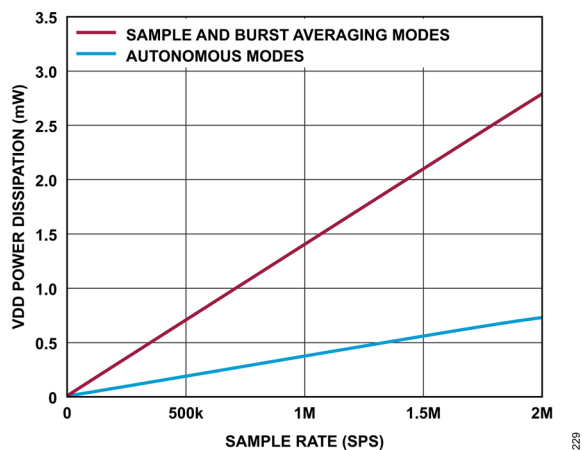


図 29. VDD 消費電力とサンプル・レートの関係

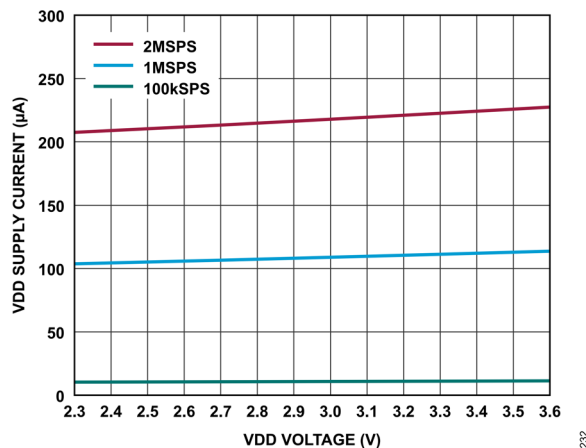


図 32. VDD 電源電流と VDD 電圧の関係（自律モード）

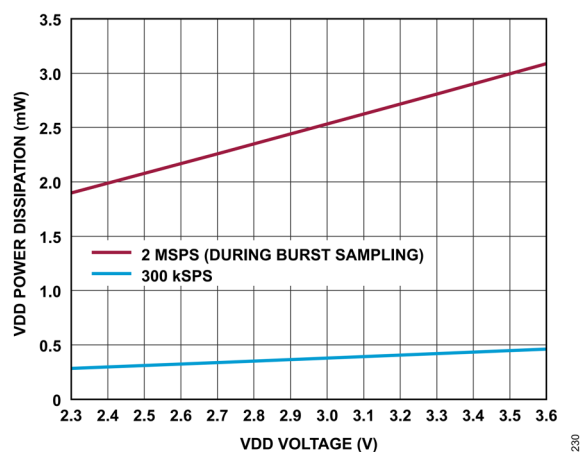


図 30. VDD 消費電力と VDD 電圧の関係

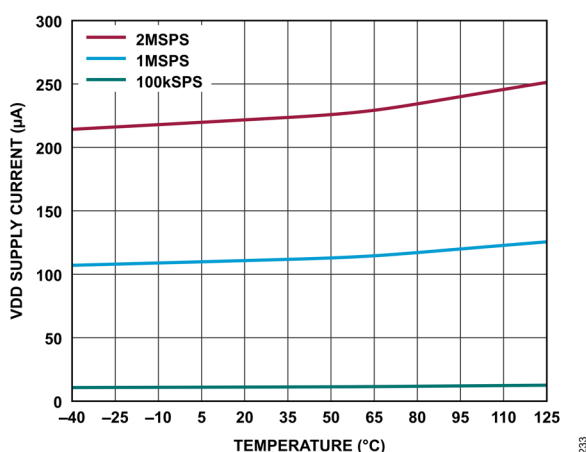


図 33. VDD 電源電流と温度の関係（自律モード）

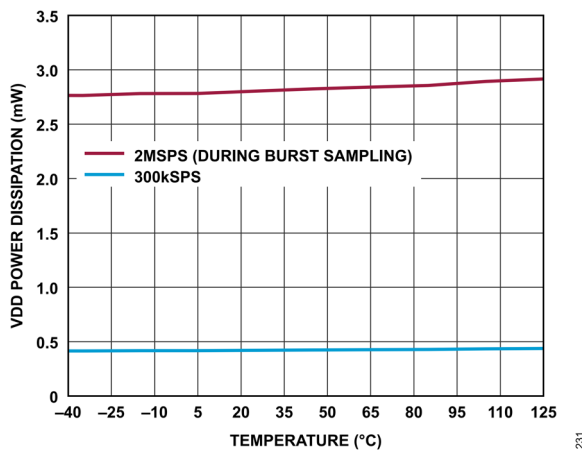


図 31. VDD 消費電力と温度の関係

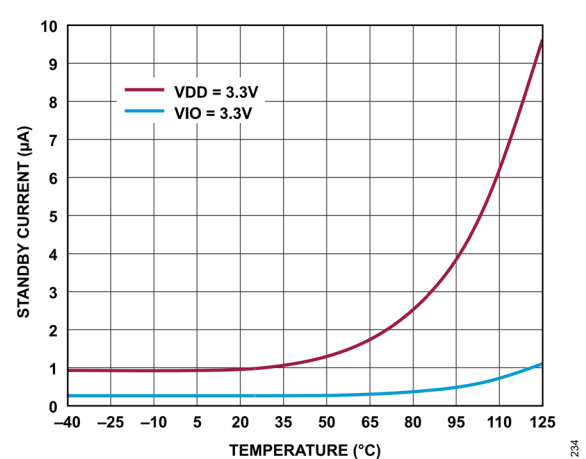


図 34. スタンバイ電流と温度の関係

代表的な性能特性

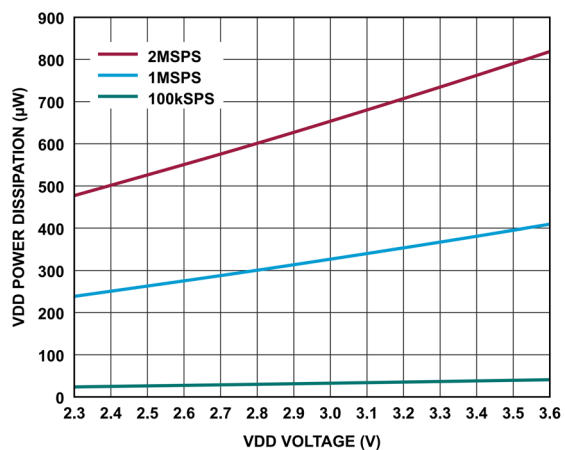


図 35. VDD 消費電力と VDD 電圧の関係（自律モード）

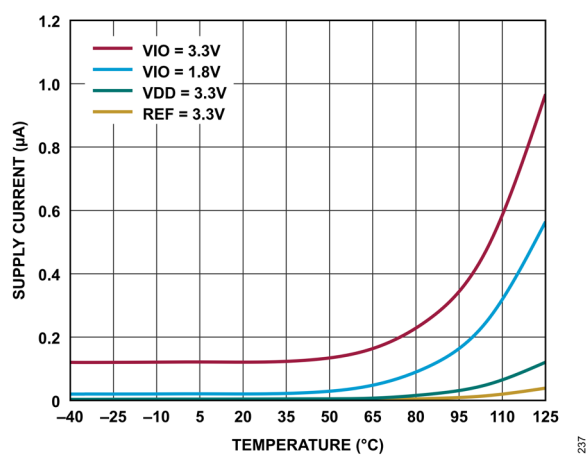


図 37. 電源電流（スリープ・モード）と温度の関係

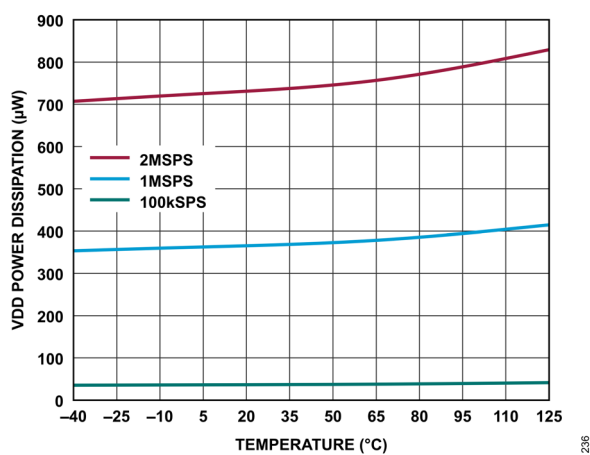


図 36. VDD 消費電力と温度の関係（自律モード）

用語の定義

積分非直線性 (INL) 誤差

INL は、負のフルスケールから正のフルスケールまで引かれた直線からの個々のコードのずれを表します。負のフルスケールとして使用される点は、最初のコード遷移点の $\frac{1}{2}\text{LSB}$ 手前に位置します。正のフルスケールは、最後のコード遷移点を $1\frac{1}{2}\text{LSB}$ 上回ったレベルとして定義されます。ずれは各コードの中心から真の直線までの距離として測定されます。

微分非直線性 (DNL) 誤差

理想的な ADC では、コード遷移は 1LSB ごとに生じます。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

ゼロ誤差 (ZE)

ゼロ誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差分です。

ゲイン誤差 (GE)

最初の遷移 (100...00 から 100...01) は負の公称フルスケールより $\frac{1}{2}\text{LSB}$ 上のレベルで発生します。最後の遷移 (011...10 から 011...11) は、公称フルスケールより $1\frac{1}{2}\text{LSB}$ 下のアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

総合未調整誤差 (TUE)

TUE は、最も厳しい条件で測定された、全入力範囲にわたる理想的な ADC 伝達関数からのずれであり、フルスケールに対する ppm 単位で規定されます。TUE には、どのデバイスでもゼロ誤差、ゲイン誤差、INL 誤差を組み合わせた影響が含まれています。

ダイナミック・レンジ (DR)

ダイナミック・レンジは、測定したノイズの合計実効値電圧に対するフルスケール・サイン波の実効値電圧の比率です。ダイナミック・レンジの値はデシベル単位で表されます。ダイナミック・レンジは、全てのノイズ源および DNL アーチファクトを含むように、 -60dBFS の信号で測定されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差分であり、デシベル (dB) 単位で表されます。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数未満のすべてのスペクトル成分（高調波と DC を除く）の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。S/N 比の値はデシベル単位で表されます。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 個の高調波成分の実効値総和の比で、単位はデシベルです。

信号／ノイズ + 歪み (SINAD) 比

SINAD は、ナイキスト周波数未満の全てのスペクトル成分（高調波成分を含むが DC は除く）の実効値の総和に対する、フルスケール・サイン波の実効値電圧の比率です。SINAD の値はデシベル単位で表されます。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。ENOB と SINAD の関係は次式で表されます：

$$\text{ENOB} = (\text{SINAD dB} - 1.76) / 6.02.$$

ENOB の単位はビットです。

同相モード除去比 (CMRR)

CMRR は、周波数 f の入力同相電圧に印加された -1dBFS のサイン波の電力に対する、ADC 出力における周波数 f の電力の比率です。

$$\text{CMRR}(\text{dB}) = 10 \times \log(P_{\text{ADC_IN}} / P_{\text{ADC_OUT}})$$

ここで、

$P_{\text{ADC_IN}}$ は、入力に印加された周波数 f の同相電力です。

$P_{\text{ADC_OUT}}$ は、ADC 出力における周波数 f の電力です。

アパーチャ遅延

アパーチャ遅延は、CNV 入力の立上がりエッジから、入力信号が変換のためにホールドされるまでの時間です。

動作原理

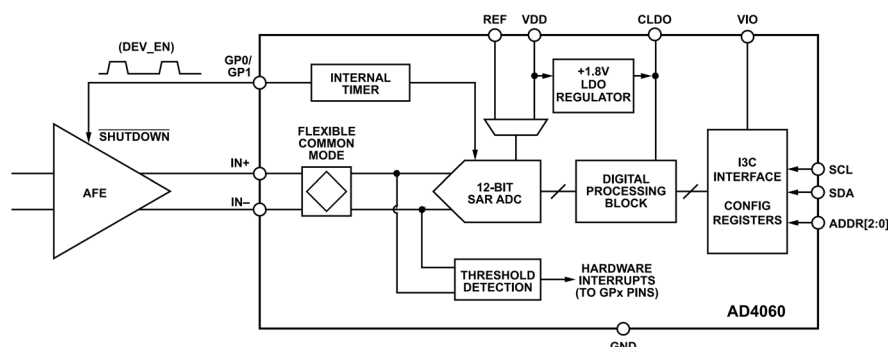


図 38. AD4060 の機能ブロック図

概要

AD4060 は、小型で超低消費電力の 12 ビット Easy Drive SAR ADC です。AD4060 の機能セットは、AFE の設計上の制約を緩和し、デジタル・ホストのオーバーヘッドを最小限に抑えることで、低消費電力の高精度計測システムの設計を容易にします。入力容量が小さく、同相入力範囲が広いこと、互換性のある AFE コンポーネントの選択肢が広がり、よりシンプルで低消費電力のシグナル・チェーン・ソリューションが可能になります。ブロック平均化フィルタはノイズを低減すると同時に、ホスト・プロセッサの演算負荷を軽減します。内蔵のタイマー・ブロックは、自律モニタリング・モード、バースト・サンプリングを可能にするほか、デバイスのパワーサイクリングを ADC のサンプリング・タイミングに同期させて実行できるようにします。また、様々なハードウェア割込みにより、ユーザー定義のイベント間にデジタル・ホストがスリープ状態に入ることが可能です。

AD4060 は性能と電力効率に関して独自のバランスを提供し、1 回の変換当たりわずか 1.35nJ のエネルギー消費で S/N 比は 73.8dB、INLは±0.1LSBを確保しています。3.3V単電源を使用した場合の AD4060 の消費電力は、2MSPS で 2.7mW に過ぎません。AD4060 の消費電力は、サンプル・レートに伴って線形に変化します（図 29 を参照）。変換を行わないスタンバイ時の消費電力は 4.1μW です。スタンバイ電力を更に低減するスリープ・モードも利用可能で、長時間のアイドル動作では消費電力が 430nW まで減少します。

AD4060 は、デバイス設定および ADC データ・リードバックに使用する CRC 機能を備えた 2 線式 I3C を搭載しています。I3C は 1.8V~3.3V のロジック・レベルに対応しています。

AD4060 には複数の動作モードがあり、それぞれ高精度計測または電力効率の高い信号モニタリングに最適化されています。動作原理のセクションは AD4060 の機能ブロックについて説明しており、動作モードのセクションは各動作モードでの機能ブロックの利用方法について説明しています。また、シリアル・インターフェースのセクションは設定レジスタおよび ADC データにアクセスするための I3C プロトコルについて、AD4060 のレジスタの概要のセクションは設定レジスタについて説明しています。

コンバータの動作

AD4060 は、アキュイジション・フェーズと変換フェーズの 2 つのフェーズで動作します。アキュイジション・フェーズでは、内部のトラック&ホールド回路が各入力ピン（IN+と IN-）に接続され、各ピンの電圧を個別に取り込みます。AD4060 は、CONV_READ レジスタまたは CONV_TRIGGER レジスタが変換を開始するまで、アキュイジション・フェーズのままになります。変換フェーズの開始時に、トラック&ホールド回路は取り込んだアナログ入力信号をサンプリングし、対応する 12 ビットのデジタル・コードを SAR ADC コアが生成します。変換フェーズは、12 ビットの変換結果が得られると終了します。これは、 t_{conv} 仕様として ADC タイミング仕様で示されています。AD4060 のアキュイジション・フェーズと変換フェーズは、アキュイジション・タイム（ t_{acq} ）を最大化するために重なり合っています。

サンプル・モードとバースト平均化モードでは、CONV_READ または CONV_TRIGGER レジスタへのアクセスによって変換が開始されます（詳細については、レジスタ・アドレス・ポイント、CONV_READ レジスタ、および CONV_TRIGGER レジスタのセクションを参照）。

AD4060 は内蔵発振器で変換開始をトリガする複数のモードで動作し、その中には自律モードも含まれます。関連する各動作モードに関する特定の ADC タイミング情報については、動作モードのセクションを参照してください。

伝達関数

図 39 に、AD4060 SAR ADC コアの理想的な伝達関数を示します。AD4060 は、サンプリングした IN+と IN-の電圧差を、フルスケール範囲（FSR）に対する比として 12 ビットのデジタル・コードにエンコードします。1LSB の単位は、ADC が分解できる最小の離散電圧ステップを意味しており、これは V_{REF} 電圧の関数です。バースト平均化モードでは、ブロック平均化フィルタが複数の 12 ビット・サンプルの平均を取って、1 つの 14 ビット・コードにします。表 10 と表 11 は、入力電圧とデジタル出力コードの対応をまとめたものです。

動作原理

変換後、ADC データは CONV_READ レジスタと CONV_TRIGGER レジスタに保存されます。CONV_READ と CONV_TRIGGER へのアクセスは、I3C インターフェースを介して 8 ビット・セグメントで行われます（詳細については [CONV_READ レジスタ](#) および [CONV_TRIGGER レジスタ](#) のセクションを参照）。

広い入力同相電圧範囲のセクションに示すように、AD4060 は任意の入力同相電圧に対応しているため、本質的に差分型およびシングルエンド型の両方の信号に対応できます。AD4060 は、2 の補数（符号付き）およびストレート・バイナリ（符号なし）の両方の形式に対応しており、差動信号またはシングルエンド信号を全 12 ビットの ADC 伝達関数に対応付けます。ADC_MODES レジスタの DATA_FORMAT ビットを使い、[表 10](#) および [表 11](#) に示す差動モードおよびシングルエンド・モードの伝達関数のいずれかを選択します。

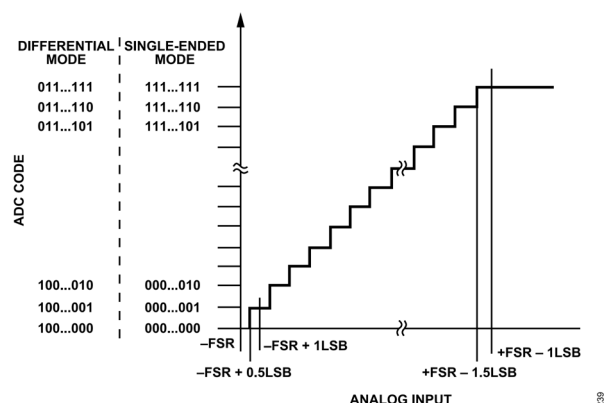


図 39. ADC の理想的な伝達関数

表 10. ADC 入力電圧と出力コードの対応関係（サンプル・モード）

Description	Differential Mode		Single-Ended Mode	
	V _{IN}	Digital Output Code	V _{IN}	Digital Output Code
FSR - 1 LSB	$(2047/2048) \times V_{REF}$	0x7FF	$(4095/4096) \times V_{REF}$	0xFFF
...
Midscale + 1 LSB	$(1/2048) \times V_{REF}$	0x001	$(2049/4096) \times V_{REF}$	0x801
Midscale	0 V	0x000	$(\frac{1}{2}) \times V_{REF}$	0x800
Midscale - 1 LSB	$-(1/2048) \times V_{REF}$	0xFFF	$(2047/4096) \times V_{REF}$	0x7FF
...
-FSR + 1 LSB	$(-2047/2048) \times V_{REF}$	0x801	$(1/2048) \times V_{REF}$	0x001
-FSR	$-V_{REF}$	0x800	0 V	0x000

表 11. ADC 入力電圧と出力コードの対応関係（バースト平均化モード）

Description	Differential Mode		Single-Ended Mode	
	V _{IN}	Digital Output Code	V _{IN}	Digital Output Code
FSR - 1 LSB	$(8191/8192) \times V_{REF}$	0x1FFF	$(16383/16384) \times V_{REF}$	0x3FFF
...
Midscale + 1 LSB	$(1/8192) \times V_{REF}$	0x0001	$(8193/16384) \times V_{REF}$	0x2001
Midscale	0 V	0x0000	$(\frac{1}{2}) \times V_{REF}$	0x2000
Midscale - 1 LSB	$(-1/8192) \times V_{REF}$	0xFFFF	$(8191/16384) \times V_{REF}$	0x1FFF
...
-FSR + 1 LSB	$(-8191/8192) \times V_{REF}$	0x2001	$(1/16384) \times V_{REF}$	0x0001
-FSR	$-V_{REF}$	0x2000	0 V	0x0000

動作原理

アナログ入力

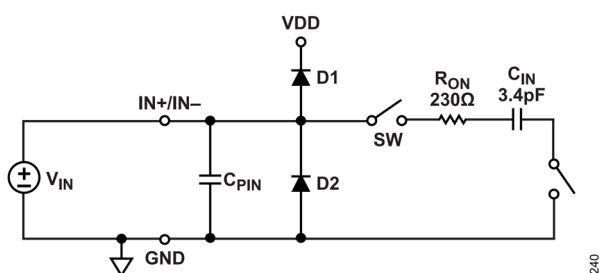


図 40. 等価アナログ入力回路

図 40 は、AD4060 のアナログ入力 (IN+ と IN-) の等価回路を示しています。アナログ入力は、スイッチング容量性負荷としてモデル化されています。アキュイジション・フェーズでは、サンプリング・スイッチ (SW) が、 230Ω のスイッチ・オン抵抗 (R_{ON}) を介して、各入力ピンと 3.4pF のサンプリング・コンデンサ (C_{IN}) を直列に接続します。変換フェーズでは、SW を切り離して、サンプリング・コンデンサに保持された IN+ピンおよび IN-ピンの電圧をサンプリングします。D1 および D2 は、IN+ピンおよび IN-ピンからそれぞれ VDD 電源および GND につながる ESD ダイオードを表しています。C_{pin} は GND に対する各入力ピンのピン容量を表しており、通常は 2pF です。

AD4060 のアナログ入力の実効負荷特性に関する詳細については、[AD4060 の等価アナログ入力モデル](#)のセクションを参照してください。

Easy Drive 機能

AD4060 の Easy Drive 対応アナログ入力は、高速、低ノイズ、高出力の特別な ADC ドライバ・アンプへの依存度をできるだけ抑えることで、小型で低消費電力の高精度シグナル・チェーンを実現できるように設計されています。小型のサンプリング・コンデンサは SAR ADC に特有のトランジェント電流グリッチを最小限に抑え、長いアキュイジション・フェーズは高サンプル・レートであっても最大限のセトリング・タイムを確保します。RC キックバック・フィルタでは、小型のコンデンサと大きな抵抗を使用して、アンプの安定性に関する懸念を軽減し、小型の受動部品 (例えば、0201 NP0/C0G コンデンサ) を使用できるようにします。これらの Easy Drive 機能により、セトリング誤差を招くことなく高出力インピーダンスのフロントエンド回路と AD4060 を接続できるので、低消費電力アンプやセンサーとの互換性が向上します ([アナログ・フロントエンドの設計](#)のセクションを参照)。

AD4060 は LTspice のコンポーネント・ライブラリに含まれており、多様な関連アンプとの協調シミュレーションに対応しています。LTspice モデルは、システム・ノイズおよびセトリング精度のシミュレーションのために、入力換算ノイズ・スペクトル密度および入力遷移負荷をエミュレートします。

電圧リファレンス

V_{REF} 電圧は ADC の FSR を設定します ([伝達関数](#)のセクションを参照)。AD4060 の V_{REF} 範囲は $2.3\text{V} \sim \text{VDD}$ で、VDD 電源電圧の最大値は 3.6V です (表 1 を参照)。

V_{REF} 電圧は、ADC 出力コードを決定する SAR ビット・トライアル中にポーリングされます。ビット・トライアル中、SAR コアには過渡的な電荷が流れます。SAR ビット・トライアル中に V_{REF} 電圧を確実に安定させるには、 $2.2\mu\text{F}$ のデカップリング・コンデンサをできるだけ REF ピンの近くに配置します。使用するデカップリング・コンデンサの値が小さくなると (例えば、 $1\mu\text{F}$)、わずかに性能が低下する可能性があります。AD4060 を使って電圧リファレンスを組み合わせるための詳しい推奨事項については、[リファレンス回路設計](#)のセクションを参照してください。

リファレンス選択モード

AD4060 の V_{REF} 電圧は、REF 入力ピンまたは VDD 電源ピンから供給できます。デフォルトでは、REF ピンが V_{REF} ソースとして機能します。この設定は、表 1 に示す性能仕様の達成を目的としたモードです。精度が重要ではない低消費電力の計測に対応したり、システムが長期間にわたり電圧リファレンスをパワーサイクリングしてシステム電力を節約できるようにしたりするために、VDD 電源電圧は選択が可能です。 V_{REF} ソースの選択は、ADC_CONFIG レジスタの REF_SEL ビットで制御します (表 48 を参照)。

AD4060 には自動ゲイン・スケーリング機能が搭載されています。この場合、ADC コアは VDD 電源電圧に対する比として REF 電圧をサンプリングし、適切なゲイン・スケーリング値を MON_VAL レジスタに格納して、VDD を V_{REF} ソースとして使用しても REF の場合と同じ ADC 伝達関数になるようにします。これにより、システムは電圧リファレンス回路を長期間にわたりパワーダウンしても、同程度の性能レベルを保つことができます。自動ゲイン・スケーリング機能の詳細については、[リファレンスのシャットダウンを利用した高精度の達成](#)のセクションを参照してください。

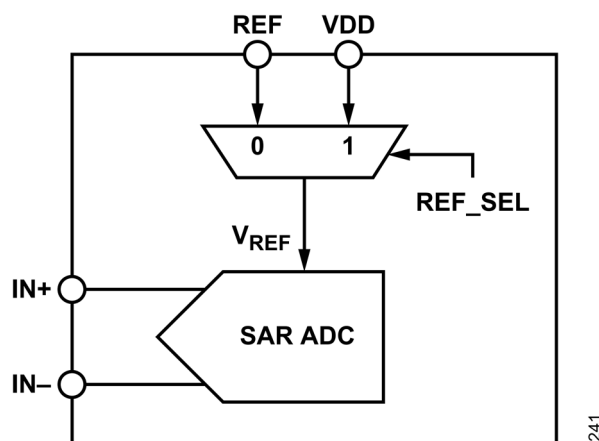


図 41. リファレンス・ソースの選択

動作原理

デジタル処理機能

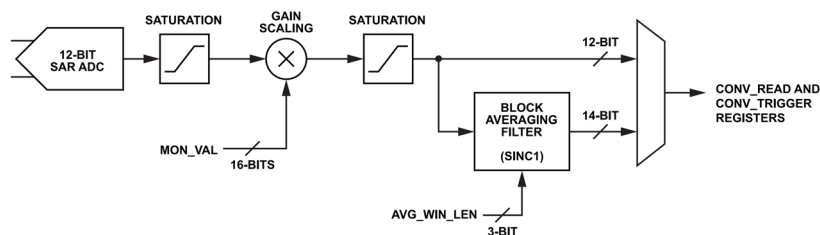


図 42. AD4060 のデジタル処理機能

AD4060 には、デジタル・ホスト・プロセッサの演算負荷を軽減するために ADC データに適用できる複数のデータ処理機能が搭載されています。図 42 は利用可能なデータ処理機能のブロック図です。各ブロックの機能および構成については、以下のセクションで詳細に説明します。なお、これらのデジタル処理機能は自律モードでは使用されません。

ゲイン・スケーリング

ゲイン・スケーリング機能では、符号なし 16 ビットのデジタル・ゲイン係数を 12 ビットの ADC 結果に適用します。ゲイン・スケーリングは、システム・ゲイン誤差を補正するために適用できます。ゲイン・スケーリング係数は、以下の式に従って、MON_VAL スケーリング・レジスタ内にある MON_VAL ビット・フィールドで設定されます。

$$Code_{OUT} = Code_{IN} \times (MON_VAL / 0x8000) \quad (2)$$

ここで、MON_VAL は 0x0000 から 0xFFFF の範囲であり、0～1.99997 の実効ゲイン範囲に相当します。

ゲイン・スケーリングは、VDD 電源を V_{REF} ソースとして使用する場合に、ADC 伝達関数のスケーリングにも使用できます（リファレンス選択モードのセクションを参照）。AD4060 は、VDD 電源電圧と REF 入力電圧の比を計測し、伝達関数が同じになるように MON_VAL レジスタの値を自動的に調整するよう設定できます。外部電圧リファレンス回路は、システムの消費電力を削減するためにパワーダウンさせることができます。

詳細については、リファレンスのシャットダウンを利用した高精度の達成のセクションを参照してください。

なお、ゲインをサンプルに適用すると、Code_{OUT} (式 2) が 12 ビットのフルスケールを超えた場合、数値が飽和する可能性があります（フルスケール飽和のセクションを参照）。ゲイン・スケーリング・ブロックの出力が飽和しないように、MON_VAL ビット・フィールドは必ず適切な値に設定してください。

ゲイン・スケーリングはデフォルトでディスエーブルされており、ADC_CONFIG レジスタの SCALE_EN ビット・フィールドを 1 に設定するとイネーブルされます（表 48 を参照）。

フルスケール飽和

変換結果は、サンプリングされたアナログ入力電圧が表 1 に示す入力範囲の制限仕様を超えた場合、（データ処理の前に）デジタル的に飽和します。AD4060 には、ADC コアとゲイン・スケーリング・ブロックのデジタル出力コードが最大値または最小値に達したことを検出する飽和ブロックが、それぞれ ADC コアの出力とゲイン・スケーリング・ブロックの出力に設けられています。

いずれかの飽和ブロックが最大値に飽和したコードまたは最小値に飽和したコードを検出すると、DEVICE_STATUS レジスタの OVER_RNG_ERR および UNDER_RNG_ERR のフラグが設定されます。差動モードでは、12 ビットの結果が 0x7FF で最大値に、0x800 で最小値に飽和します。シングルエンド・モードでは、12 ビットの結果が 0xFFFF で最大値に、0x000 で最小値に飽和します（差動モードおよびシングルエンド・モードの説明は伝達関数のセクションを参照）。

ブロック平均化フィルタを使用してフィルタ入力データに飽和がないことを確認する場合は、OVER_RNG_ERR および UNDER_RNG_ERR のフラグを周期的にポーリングできます。OVER_RNG_ERR および UNDER_RNG_ERR のフラグは 1 を書き込むことでクリアするビットなので、デジタル・ホストがポーリングできるまでその状態を保持します。

ブロック平均化フィルタ

AD4060 には、平均化比率 (N_{AVG}) を 2～256 にプログラムできるブロック平均化フィルタが搭載されています。ブロック平均化フィルタは、デバイスがバースト平均化モードのときに自動的にイネーブルされます。ブロック平均化フィルタは、SINC1 周波数応答を示します。図 43 は、N_{AVG} が 2、4、8、16、32 の場合の平均化フィルタの周波数応答を示しています。

ブロック平均化フィルタをイネーブルすると、14 ビットの平均結果を生成する前に、12 ビットの ADC 結果のブロックが蓄積されます。N_{AVG} は、平均化された結果ごとの ADC サンプルの数を指します。ブロック平均化フィルタは、N_{AVG} 個のサンプルのブロックをそれぞれ処理した後にリセット（クリア）されます。N_{AVG} 設定は、以下の式を使用して、AVG_CONFIG レジスタの AVG_WIN_LEN ビット・フィールドで設定されます（表 49 を参照）。

$$N_{AVG} = 2^{AVG_WIN_LEN + 1} \quad (3)$$

動作原理

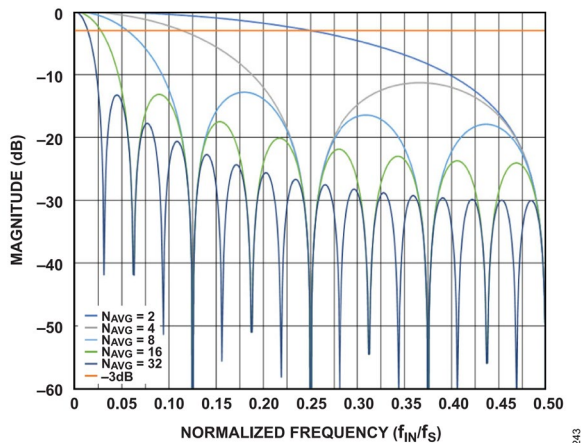


図 43. ブロック平均化フィルタの周波数応答例

内蔵タイマー

AD4060 は、バースト平均化モードと両方の自律モード（モニター・モードとトリガ・モード）で ADC サンプリング・クロックを生成するためのタイマーを内蔵しています。これらのモードにおけるサンプリング周波数は `TIMER_CONFIG` レジスタの `FS_BURST_AUTO` ビット・フィールドで設定され、2MSPS～111SPS の範囲になります。AD4060 で提供されるすべての公称サンプリング・クロック周波数 (f_{osc}) については、[レジスタの詳細のセクションの表 52](#) を参照してください。これらのモードにおける実際のサンプリング周波数は、 f_{osc} の $\pm 15\%$ の範囲内となるようサポートされています（[タイミング仕様のセクション](#)を参照）。

内蔵タイマーは、`DEV_EN` 信号の遅延も制御します（[デバイス・イネーブル信号のセクション](#)を参照）。`tpwr_on` 遅延は `TIMER_PWR_ON` ビット・フィールドで設定され、これも `TIMER_CONFIG` レジスタに含まれています。`tpwr_on` の設定範囲は $0.5\mu\text{s}$ から $9000\mu\text{s}$ までです。すべての公称 `tpwr_on` 遅延オプションについては、[レジスタの詳細のセクションの表 52](#) を参照してください。

モニター・モードでは、閾値が検出されても内蔵サンプリング・クロックはディスエーブルされず、`MAX/MIN` 閾値割込みビット・フィールドと信号のアサート後でもデバイスはサンプリングを続行します。詳細については[モニター・モードのセクション](#)を参照してください。

トリガ・モードでは、閾値が検出されても内蔵サンプリング・クロックはディスエーブルされません。同時に、ADC がイネーブルされて N ビット変換が行われ、`MAX_SAMPLE`、`MIN_SAMPLE`、`MAX_THRESH_INTR`、`MIN_THRESH_INTR`、および `THRESH_OVERRUN` ビット・フィールド/レジスタの内容が更新されます。詳細については[トリガ・モードのセクション](#)を参照してください。

電源

AD4060 には次の 3 つのパワー・ドメインがあり、その範囲は表 1 に記載されています。

- ▶ VDD はアナログ電源レールです。
- ▶ CLDO は +1.8V の ADC コア電源レールであり、内蔵の +1.8V LDO レギュレータにより生成されます。
- ▶ VIO は、デジタル・インターフェース用のロジック電源レールです。

VDD 電源と VIO 電源は外部から供給する必要があります。CLDO 電源は、VDD レールをソースとする内蔵の +1.8V LDO レギュレータにより内部で生成されます。VDD 電源電流は ADC のサンプリング・レートに依存します。これは、VDD 電源電流が内部 LDO レギュレータを経由して SAR ADC コアに供給されるためです（[VDD 消費電力のセクション](#)を参照）。スリープ・モードでは内部 LDO レギュレータがパワーダウンし、VDD スタンバイ電流が 10nA まで減少します（表 1 および[スリープ・モードのセクション](#)を参照）。

AD4060 に電源シーケンシングは不要です。VDD 電源と VIO 電源の最小許容立上がり時間は $100\mu\text{s}$ です。デバイス・リセットは、VDD 電源および VIO 電源が安定した後に行うことを推奨します（[パワーオン・リセットのセクション](#)を参照）。

VDD、CLDO、VIO の各ピンは、それぞれ $1\mu\text{F}$ のコンデンサで GND からデカップリングすることを推奨します。VDD を V_{REF} ソースとして選択した場合（[リファレンス選択モードのセクション](#)を参照）、または VDD および REF の各ピンを共通の外部ソースで駆動する場合は、VDD および REF を共通の $2.2\mu\text{F}$ のコンデンサでデカップリングすることを推奨します。

コンパレータの動作

AD4060 の ADC コアは、閾値の自律的な検出およびモニタリングのために、低消費電力の 12 ビット・ウィンドウ・コンパレータ・モードを備えています。図 44 は、自律モードで使用されるウィンドウ・コンパレータの簡略化された回路図です。

AD4060 には、[自律モード](#)のセクションに示すように、2 つの自律サンプリング・モードがあります。これらの自律モードのいずれかがイネーブルされると ADC はコンパレータ・モードに入り、内蔵タイマーがサンプリング・クロックとして機能します（[内蔵タイマーのセクション](#)を参照）。コンパレータは、ユーザがプログラム可能な 4 つの閾値領域との一連の比較を各サンプルに対して順次行い、信号がこれらの領域に入ったときに、アラート・フラグとハードウェア割込みを生成します。

図 45 は、最大および最小の閾値で設定された範囲外の領域を示しています。最大および最小の閾値は、`MAX_LIMIT` および `MIN_LIMIT` の各ビット・フィールドを通じて、ユーザがプログラム可能です。`MAX_LIMIT` および `MIN_LIMIT` の各フィールドは、12 ビットのコンパレータ分解能のため、それぞれ 12 ビット幅です。最大および最小の閾値には、`MAX_HYST` および `MIN_HYST` の各フィールドでそれぞれ設定される個別のヒステリシス設定もあり、これにより、アラート信号を自動でクリアするための別の閾値が定められます。詳細については、[自律モードのセクション](#)を参照してください。

`MAX_LIMIT` および `MIN_LIMIT` の各フィールドのデータ形式は、選択された入力範囲モードに一致しています（[伝達関数のセクション](#)を参照）。`MAX_LIMIT` および `MIN_LIMIT` の各フィールドは、差動モードでは 2 の補数で表され（`DATA_FORMAT = 1'b1`）、シングルエンド・モードではストレート・バイナリで表されます（`DATA_FORMAT = 1'b0`）。`MAX_HYST` および `MIN_HYST` の各フィールドは、入力モードの設定に関係なく、常にストレート・バイナリです。

コンパレータは、レジスタ・マップに 2 つのアラート信号と自動でクリアされない 2 つのアラート・ビットを備えています。`MAX_INTR` および `MIN_INTR` の各信号は、それぞれ最大および最小の閾値イベント用アラート信号です。`MAX_INTR` および `MIN_INTR` の各信号は、GP0 ピンおよび GP1 ピンのいずれかまたは両方にルーティングできます（[割込み信号および制御信号](#)

動作原理

のセクションを参照)。MAX_FLAG および MIN_FLAG の各ビットはスティッキー・ビットで、1 を書き込むことで DEVICE_STATUS レジスタのビットをクリアします。DEVICE_STATUS レジスタには、コンパレータが MAX_FLAG または MIN_FLAG のビットをクリアされる前に設定しようとした場合に、その都度設定される閾値超過ビット (THRESH_OVERRUN) も含まれています。

MAX_IBI と MIN_IBI がイネーブルされている場合は、最大閾値イベントによって MAX_IBI が、最小閾値イベントによって MIN_IBI がトリガされます。詳細についてはインバンド割込みのセクションを参照してください。

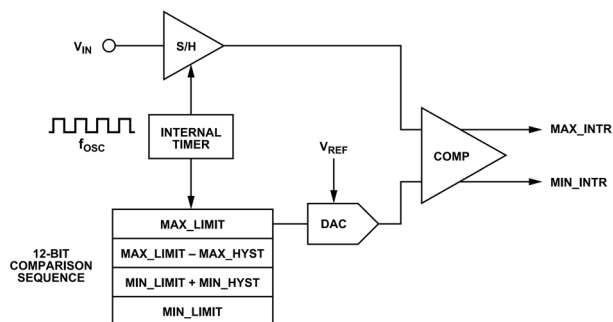


図 44. 自律モード・ウィンドウ・コンパレータの簡略化された回路図

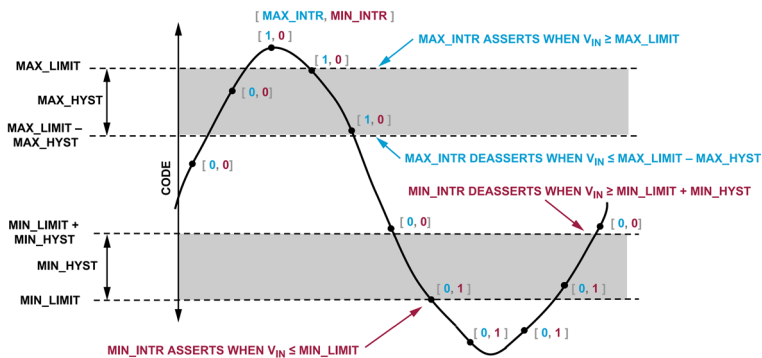


図 45. 閾値イベント領域

動作原理

割込み信号および制御信号

AD4060 は、ADC サンプリングに対するアナログ・フロントエンド処理とデジタル・バックエンド処理を同期させるために、複数のデジタル信号を生成します。これらの信号は、GP_CONFIG レジスタの GP0_MODE および GP1_MODE の各フィールドを使って、それぞれの汎用ピン（GP0 と GP1）に割り当てることができます。以下のセクションでは、AD4060 の各デジタル信号の機能とタイミングについて詳しく説明します。表 12 および表 50 は、GPx_MODE ビット・フィールドの各設定に対応する GPx 信号の割り当てを示しています。

表 12. GP0 および GP1 の信号割り当て制御

GPx_MODE Setting	GP0 Signal Assignment	GP1 Signal Assignment
3'h0	Disabled/high-Z (default)	Disabled/high-Z
3'h1	GP0_INTR	GP1_INTR
3'h2	RDY	RDY
3'h3	DEV_EN	DEV_EN
3'h4	Invalid	Invalid
3'h5	Logic low	Logic low
3'h6	Logic high	Logic high
3'h7	Invalid	DEV_RDY (default)

インバンド割込み

AD4060 は、特定のイベントに反応する MIPI I3C 仕様のインバンド割込み（IBI）機能を備えています。IBI イベントがトリガされると、AD4060 はデジタル・ホストに割込み要求を送ります。AD4060 は、I3C ターゲット・デバイスが I3C バス経由で IBI を送信する際の規格と規則を定めた I3C 仕様に準拠しています。

MIPI I3C 仕様のセクション 5.1.3.2.2 によると、ターゲット・デバイスが IBI の送信を開始するには、I3C バスが使用可能な状態になっていなければなりません（表 5 の tIBI_ISSUE を参照）。IBI をイネーブルするときは、各 I3C フレームの前にブロードキャスト・アドレス 0x7E を置き、AD4060 がその TGT_ADDR を設定して IBI 要求を開始できるようにすることを推奨します。

IBI は ENEC CCC を使ってイネーブルし、DISEC CCC を使ってディスエーブルできます（詳細については [コモン・コマンド・コード \(CCC\)](#) のセクションを参照）。表 13 に、AD4060 の IBI 一覧、そのトリガ条件、およびイネーブル・ビットを示します。それぞれの IBI は個別にイネーブルまたはディスエーブルできます（詳細については [インターフェース・エラー IBI イネーブル・レジスタ](#) のセクションと [ADC IBI イネーブル・レジスタ](#) のセクションを参照）。

IBI_STATUS レジスタの IBI_PENDING ビット・フィールドは、AD4060 に保留中の IBI があるかどうかを示します。IBI は、コントローラが IBI 要求を処理するまで保留のままになります。MIPI I3C 仕様のセクション 5.1.6.2 には、コントローラがターゲット・デバイスの IBI 要求を処理する方法の概要が示されています。IBI_STATUS レジスタの IBI_EN ビット・フィールドは、現在 IBI がイネーブルされているかディスエーブルされているかを示します（詳細については [IBI ステータス・レジスタ](#) のセクションを参照）。

MAX_IBI は MAX 閾値イベントが発生したことを示します。これは、入力信号値が、MAX_LIMIT レジスタに保存された制限値を超えたことを意味します。

MIN_IBI は MIN 閾値イベントが発生したことを示します。これは、入力信号値が、MIN_LIMIT レジスタに保存された制限値を下回ったことを意味します。

DATA_READY_IBI は、CONV_TRIGGER レジスタから新しい ADC データを読み出せる状態になったことを示すために定義されたものです。DATA_READY_IBI は、サンプル・モードとバースト平均化モードの両方で 1 回の変換またはバースト変換が終了し、コントローラが I3C バスを介してデータを読み出せる状態になったときに、変換終了イベントによってトリガされます。

INTERFACE_ERROR_IBI は、I3C バス・インターフェースにエラーが生じたときに生成されます。この IBI は、パリティ・エラー、SCL エラー、CRC エラー、書き込み無効エラー、アドレス無効エラーを含め、イネーブルされた何らかのインターフェース・エラー・ソースによってトリガできます。

表 13. IBI トリガとイネーブル・ビット

IBI	IBI Trigger	IBI Enable Bit
MAX_IBI	MAX Threshold Event	MAX_IBI_EN
MIN_IBI	MIN Threshold Event	MIN_IBI_EN
DATA_READY_IBI	End of Conversion/ Data Valid (Address Pointer → CONV_TRIGGER)	DATA_READY_IBI_EN
INTERFACE ERROR IBI	Parity Error SCL Error CRC Error Write Invalid Error Address Invalid Error	PARITY_ERROR_IBI_EN SCL_ERROR_IBI_EN CRC_ERROR_IBI_EN WRITE_INVALID_IBI_EN ADDR_INVALID_IBI_EN

必須データ・バイト

ターゲット・デバイスによって生成された IBI をコントローラが読み出すと、AD4060 は MIPI I3C 仕様の定義に従い、I3C バスを介して必須データ・バイト（MDB）を送信します。MDB は、割込みグループ識別子フィールド（MDB[7:5]）と特定グループ識別子フィールド（MDB[4:0]）を通じて、どのタイプの IBI が生成されたかを示します。

I3C バス上でインターフェース・エラーが検出されると、INTERFACE_ERR がアサートされます。インターフェース・エラーが発生した場合、ユーザは INTERFACE_STATUS レジスタをチェックして、そのエラーに対応する具体的なフィールドを見つける必要があります。INTERFACE_ERR は、ユーザがレジスタ書き込みを通じて 1 を書き込むとクリアされます。

入力信号が MAX_LIMIT を超えると MAX_THRESH_INTR がアサートされます。

入力信号が MIN_LIMIT を下回ると MIN_THRESH_INTR がアサートされます。

MAX_THRESH_INTR と MIN_THRESH_INTR はスティッキー・ビットです。つまり、このビットが 1 に設定されると、入力信号が MAX_HYST レジスタと MIN_HYST レジスタによって設定

動作原理

された規定範囲内に復帰したとしても、自動的にクリアされることはありません。これらのビットは、レジスタ書込みを通じてユーザが 1 を書き込むことでクリアされます（詳細については[自律モード](#)のセクションを参照）。

MAX_THRESH_INTR および MIN_THRESH_INTR のビット・フィールドは、GP1 ピンまたは GP0 ピンにオプションで出力される MAX_INTR および MIN_INTR 信号と混同しないように注意が必要です。MAX_INTR と MIN_INTR は、入力電圧が MAX_HYST レジスタと MIN_HYST レジスタによって定義された範囲内に戻ると、自動的にクリアされます。

表 14. 必須データ・バイト - 割込みグループ識別子フィールド

IBI	Interrupt Group Identified Field	MDB[7:5]
MAX_IBI (Monitor Mode)	User Defined	3'b000
MIN_IBI (Monitor Mode)	User Defined	3'b000
MAX_IBI (Trigger Mode)	Pending Read Notification ¹	3'b101
MIN_IBI (Trigger Mode)	Pending Read Notification	3'b101
DATA_READY_IBI	Pending Read Notification	3'b101
INTERFACE_ERROR_IBI	Either User Defined or Pending Read Notification ²	3'b000 or 3'b101

¹ MIPI I3C 仕様のセクション 5.1.6.2.2 には、ターゲット・デバイスが読出し保留通知と共に IBI 要求と MDB を送信したときの、コントローラ役が記載されています。

² INTERFACE_ERROR_IBI は ADC の動作モードとは無関係に発生する可能性があり、この IBI はその時々でどちらかの割込みグループ識別子コードを示します。したがって、インターフェース・エラー・フラグ (MDB[3]) が 1 に設定された場合は（表 15 を参照）保留中の読出しを無効なものとして扱い、インターフェース・エラーがクリアされるまで ADC データを読み出さないようにする必要があります。

表 15. 必須データ・バイト - 特定割込み識別子フィールド

MDB[4]	MDB[3]	MDB[2]	MDB[1]	MDB[0]
1'b1	INTERFACE_ERR	1'b0	MAX_THRESH_INTR	MIN_THRESH_INTR

静的ロジック出力

AD4060 の GP0 および GP1 デジタル出力は、静的なロジック・ローまたはロジック・ハイ・レベルに設定できます。この機能により、デジタル・ホストは AD4060 経由で外部デバイスのロジック設定を制御できるようになり、必要な GPIO リソースを削減します。ロジック出力電圧の仕様および対応する負荷電流条件は、表 1 の V_{OL} および V_{OH} で定められています。

データ・レディ信号

データ・レディ信号 ($\overline{\text{RDY}}$) は、新しい ADC データが I3C インターフェース経由で読み出す準備ができたことを示す、アクティブ・ローの割込み信号です。

何らかの形でデバイスをリセットした後は、常に $\overline{\text{RDY}}$ がハイになります。 $\overline{\text{RDY}}$ は、ADDR_PTR が CONV_READ レジスタと CONV_TRIGGER レジスタ以外のアドレスをポイントしているときもハイになります。

ADDR_PTR が CONV_READ または CONV_TRIGGER をポイントしているときは、変換スタート時に $\overline{\text{RDY}}$ がハイになり、新しい変換結果が読出し可能な状態になるとハイからローに遷移します。サンプル・モードでは、変換フェーズ終了時に $\overline{\text{RDY}}$ がローになり、新しい 12 ビットの結果が使用できる状態になったことを示します（サンプル・モードのタイミング図を参照）。バースト平均化モードでは、 $\overline{\text{RDY}}$ は N_{AVG} 回の変換後にローになり、新しい 14 ビットの平均結果が利用可能になったことを示します（バースト平均化モードのタイミング図を参照）。

閾値アラート信号

コンパレータの閾値アラート信号 MAX_INTR および MIN_INTR は、GP0_INTR および GP1_INTR の各信号を介して GP0 ピンまたは GP1 ピンにルーティングできます（[自律モード](#)のセクションを参照）。GPx_INTR 信号のいずれかは、MAX_INTR 信号、MIN_INTR 信号、またはその両方の論理和に割り当てることができ、最小値および最大値と交差する際に個別のハードウェア割込みを駆動するか、単一の割込みにまとめるかを柔軟に選択できます。デフォルトでは、MAX_INTR が GP1_INTR に、MIN_INTR が GP0_INTR に割り当てられます。

アラート信号の GPx ピンへのマッピングは、INTR_CONFIG レジスタの GP0_INTR_EN および GP1_INTR_EN の各ビット・フィールドによって制御されます（表 16 および表 51 を参照）。

表 16. GPx_INTR の設定

GPx_INTR_EN Setting	GPx_INTR Signal Assignment
2'h0	Neither interrupt
2'h1	MIN_INTR
2'h2	MAX_INTR
2'h3	(MAX_INTR) OR (MIN_INTR)

デバイス・レディ信号

デバイス・レディ信号 (DEV_RDY) は、AD4060 が電源投入またはリセットのルーチンを完了し、シリアル・インターフェース通信を受け付ける準備ができたことを示すアクティブ・ハイの信号です。DEV_RDY 信号は電源投入またはリセット後に GP1 ピンにルーティングされるので、デジタル・ホストは、AD4060 がアクティブであるかどうかを知るためにこの信号をモニターできます。DEV_RDY 信号のタイミング図については、[デバイスのリセット](#)のセクションを参照してください。

デバイス・イネーブル信号

AD4060 は、DEV_EN と呼ばれる、シグナル・チェーンのパワーサイクリング制御信号を使用します。DEV_EN 信号は、シグナル・チェーン・デバイス（アンプ、センサー、電圧リファレンスなど）のイネーブル状態およびパワーダウン状態を ADC のサンプリング・タイミングと同期させ、システムの消費電力を最適化すると共に、パワーオン遅延によるサンプリング・エラーを最小限に抑えます。図 46 は、DEV_EN 信号を利用してサンプル間でアンプをパワーダウンさせる代表的なアプリケーション回路です。

動作原理

DEV_EN 信号がイネーブルされると、内蔵タイマーは、ADC 変換スタートの立上がりエッジでトリガされるワンショット・タイマーとして機能します。タイマー遅延 (t_{PWR_ON}) は、ADC のサンプリング・タイミングの前にアンプの電源をオンにしている時間を制御し、接続されるデバイスの特定の起動セトリング時間仕様に合うようにプログラムできます。レジスタの詳細のセクションに示す表 52 は、TIMER_PWR_ON ビット・フィールドで利用可能な公称 t_{PWR_ON} 設定を示しています。

DEV_EN 信号は、GP0 または GP1 のデジタル出力に割り当てることでイネーブルされます (表 12 を参照)。DEV_EN 信号は、GP_CONFIG レジスタの DEV_EN_POL ビット・フィールドでアクティブ・ハイまたはアクティブ・ローに設定できます (表 50 を参照)。DEV_EN はデフォルトでアクティブ・ハイです。

図 51 と図 55 に、ADC の変換スタートを基準とした DEV_EN 信号と ADC サンプリングのタイミング図を示します。

CONV_READ レジスタを使って ADC の変換をトリガする場合は、読み出しコマンドの最後にあるストップ (P) の SDA 立上がりエッジで変換が開始されます (CONV_READ レジスタのセクションを参照)。この変換スタート時に DEV_EN 信号がアサートされます。CONV_TRIGGER レジスタを使って ADC の変換をトリガする場合は、書き込みコマンドの最後にあるストップ (P) の SDA 立上がりエッジで変換が開始されます (CONV_TRIGGER レジスタのセクションを参照)。この変換スタート時に DEV_EN 信号がアサートされます。

サンプル・モードでは、変換が完了するごとに DEV_EN がデアサートされます。バースト平均化モードでは、DEV_EN はサンプル・バーストの最後の変換が完了するまでアサートされたままです。DEV_EN は、自律モードには対応していません。

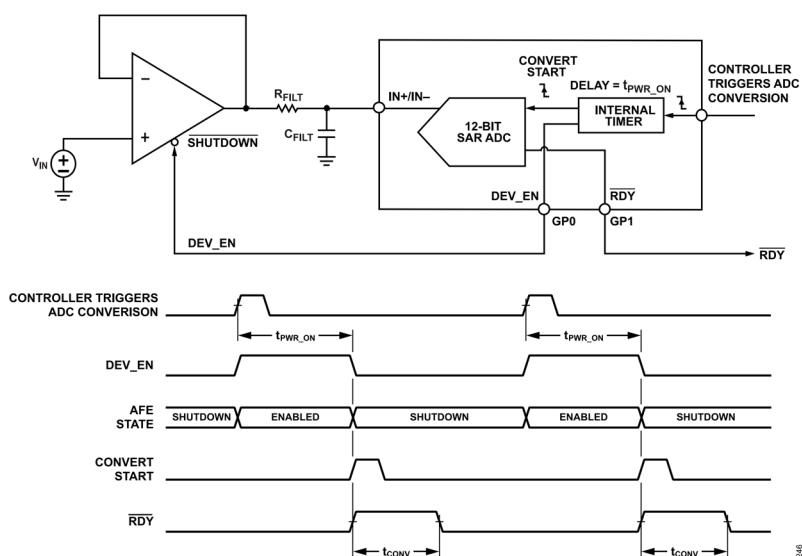


図 46. DEV_EN 信号を用いた代表的なアプリケーション回路

動作モード

表 18 に、AD4060 の機能モードの概要を示します。各モードの ADC およびシリアル・インターフェースの機能は、次のセクションに記載されています。

パワーアップ後とデバイス・リセット後の AD4060 の ADC コードはアイドル状態になります。動作モードは、表 18 に示すように設定レジスタを介して選択されます。レジスタの書き込みおよび読出しに関する I3C プロトコルは、[レジスタの読出し](#)および[レジスタへの書き込み](#)のセクションで説明します。

図 47 に、AD4060 の動作モード選択をステート・マシン図として示します。

表 17 は、各機能モードで ADC データを読み出すための推奨アドレス・ポインタ設定です。

表 17. アドレス・ポインタの推奨値

Mode	Conversion Register	Recommended Address Pointer Value
Sample Mode	CONV_READ	0x51
	CONV_TRIGGER	0x57
Burst Averaging Mode	CONV_READ	0x51
	CONV_TRIGGER	0x57
Monitor Mode	CONV_TRIGGER	0x57
Trigger Mode	CONV_TRIGGER	0x57

表 18. AD4060 の機能モード

Mode	ADC_MODE	AUTO_MODE	POWER_MODE
Sample Mode	2'b00	Don't care	2'b00
Burst Averaging Mode	2'b01	Don't care	2'b00
Monitor Mode	2'b11	1'b0	2'b00
Trigger Mode	2'b11	1'b1	2'b00
Sleep Mode	Don't care	Don't care	2'b11

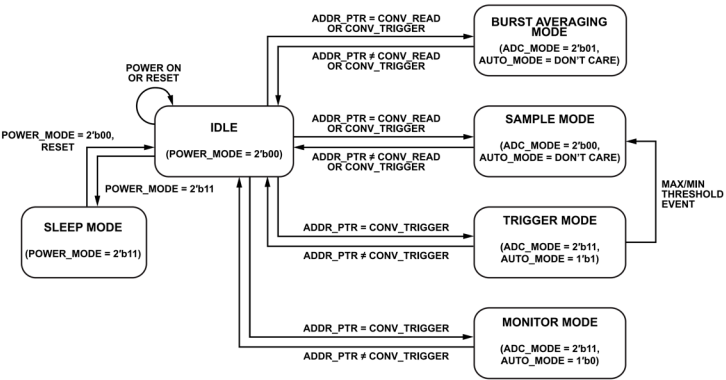


図 47. AD4060 のステート・マシン図

動作モード

サンプル・モード

サンプル・モードでは、変換スタートによって 1 回の変換がトリガされます。変換終了時には AD4060 が 12 ビットの結果を生成し、コントローラ・デバイスは I3C バスを介してその結果を読み出します。サンプル・モードを選択する設定レジスタの設定値を表 18 に示します。図 48 は、AD4060 のデジタル・インターフェースの代表的な接続図です。

CONV_READ レジスタ使用時のサンプル・モードにおけるインターフェース・タイミング図を図 49 に、同じく CONV_TRIGGER 使用時のタイミング図を図 50 に示します。 t_{CONV} の仕様は、変換スタートから変換終了までの遅延時間値を決定します。コントローラは、最大 t_{CONV} 遅延が経過するのを待ってから、I3C バス経由で結果を読み出す必要があります。RDY 信号は、I3C 読出しを ADC のサンプリング・フェーズに同期するオプションのハードウェア割込みとして機能します（データ・レディ信号のセクションを参照）。

CONV_READ レジスタから読出しを行って ADC 変換をトリガする場合、それぞれの変換結果は、I3C バスを介した変換後の読出し時に出力されます（CONV_READ レジスタのセクションを参照）。CONV_TRIGGER レジスタを使って ADC 変換をトリガする場合は、それぞれの変換後にレジスタから変換結果を読み出す必要があります。そうしないと、前の変換で得られた結果が次の書込み（および変換スタート）によって上書きされてしまいます（CONV_TRIGGER レジスタのセクションを参照）。

最も効率的なリードバックを行うには、CONV_READ レジスタと CONV_TRIGGER レジスタの下位 16 ビットをサンプル・モードで読み出すことを推奨します。サンプル・モードでのリードバック時の推奨 ADDR_PTR 設定については表 17 を参照してください。

サンプル・モードでは、最大サンプリング・レート (f_s) が I3C バスの出力データレートによって制限されますが、その程度は出力データ長と I3C バス特性によって異なります。最速の出力データレートは、図 63 に示すように、CONV_READ レジスタから繰り返し読出しを行うことによって得られます。特定動作条件下で実現可能な最大 f_s の推定に関する詳細については、シリアル・インターフェースの出力データレートの計算のセクションを参照してください。

DEV_EN 信号がイネーブルされると、変換の開始は、変換スタートのトリガから $t_{\text{PWR_ON}}$ （プログラム可能な遅延時間）だけ遅延されます。DEV_EN 信号を使用する場合の具体的なタイミングの詳細については、デバイス・イネーブル信号のセクションと図 51 を参照してください。

DATA_READY_IBI をイネーブルした場合、この IBI は CONV_TRIGGER レジスタの変換終了時に生成されて、コントローラが CONV_TRIGGER レジスタから ADC データを読み出せる状態になったことを示します（詳細についてはインバンド割込みのセクションを参照）。

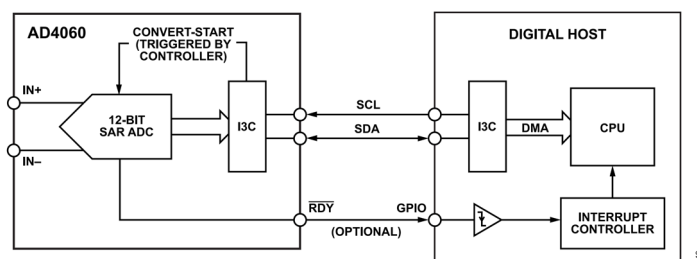


図 48. サンプル・モードの例示的接続図

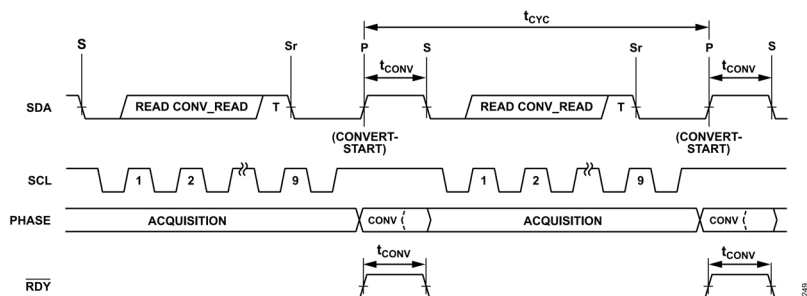


図 49. CONV_READ 使用時のサンプル・モードのタイミング図

動作モード

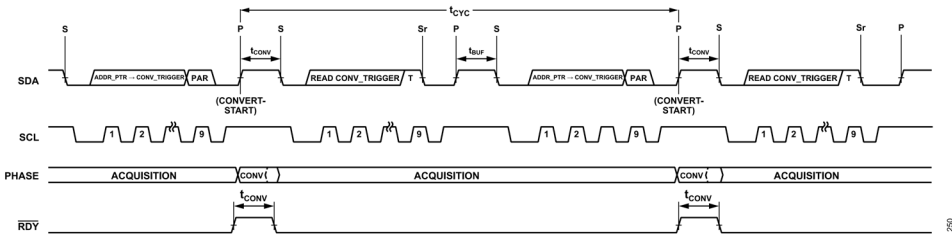


図 50. CONV_TRIGGER 使用時のサンプル・モードのタイミング図

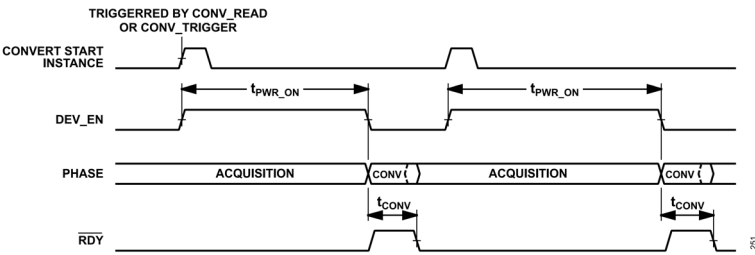


図 51. DEV_EN がイネーブルされたサンプル・モードのタイミング図

動作モード

バースト平均化モード

バースト平均化モードでは、変換スタートが内蔵タイマーをトリガしてバースト変換を実行し、平均化フィルタが結果を蓄積して 14 ビットの平均値を求めます。表 18 に、バースト平均化モードを選択するための設定レジスタの設定を示します。図 52 は AD4060 デジタル・インターフェースの代表的な接続図です。

CONV_READ レジスタ使用時のバースト平均化モードにおけるインターフェース・タイミング図を図 53 に、同じく CONV_TRIGGER 使用時のタイミング図を図 54 に示します。ADC のサンプリング周期 (t_{CYC}) は内蔵タイマーの周波数 (f_{OSC}) で設定され、バースト当たりのサンプル数は平均化比率 (N_{AVG}) で設定されます。表 52 に f_{OSC} のオプションを示します。平均化フィルタは、ブロック平均化フィルタのセクションに示すように、2~256 の平均化比率に対応しており、AVG_WIN_LEN ビット・フィールドで設定されます。

コントローラは、平均化された結果が読出し可能な状態になるまで待つから、I3C バス経由でその結果を読み出す必要があります。RDY 信号は、I3C データ読出しを ADC のサンプリング・フェーズに同期するオプションのハードウェア割込みとして機能します（データ・レディ信号のセクションを参照）。

変換スタートのトリガからデータ・レディまでの合計遅延は、次式で得られます。

$$\frac{(N_{AVG}-1)}{f_{OSC}} + t_{CONV} \quad (4)$$

最も効率的なリードバックを行うには、CONV_READ レジスタと CONV_TRIGGER レジスタの下位 16 ビットをバースト平均化モードで読み出すことを推奨します。バースト平均化モードでのリードバックのための推奨 ADDR_PTR 設定については、表 17 を参照してください。

DEV_EN 信号がイネーブルされると、バースト変換の開始は、変換スタートのトリガから t_{PWR_ON} （プログラム可能な遅延時間）だけ延期されます。DEV_EN 信号は、サンプル・バーストの終了までアサートされたままです。DEV_EN 信号を使用する場合の具体的なタイミングの詳細については、デバイス・イネーブル信号のセクションと図 55 を参照してください。

DATA_READY_IBI をイネーブルした場合、この IBI は CONV_TRIGGER レジスタの変換終了時に生成されて、コントローラが CONV_TRIGGER レジスタから ADC データを読み出せる状態になったことを示します（詳細についてはインバンド割込みのセクションを参照）。

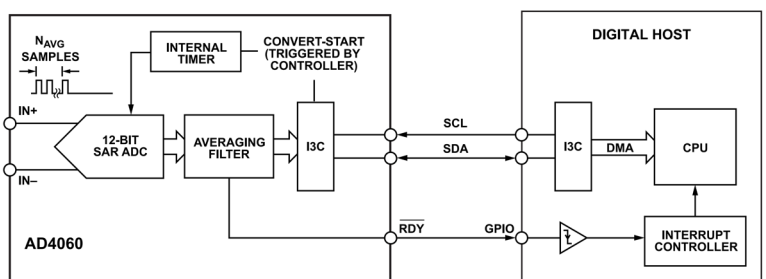


図 52. バースト平均化モードの例示的接続図

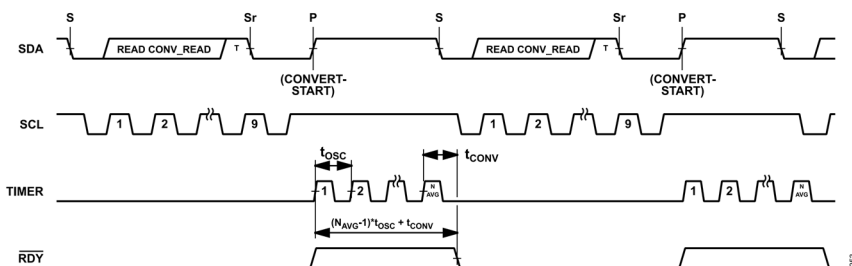


図 53. CONV_READ 使用時のバースト平均化モードのタイミング図

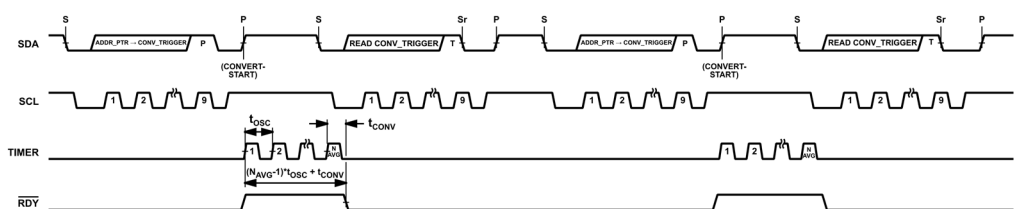


図 54. CONV_TRIGGER 使用時のバースト平均化モードのタイミング図

動作モード

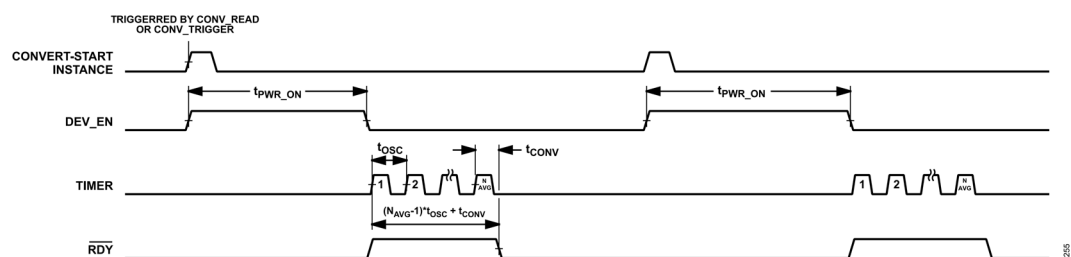


図 55. DEV_EN がイネーブルされたバースト平均化モードのタイミング

動作モード

自律モード

自律モードでは、AD4060 が入力信号を自律的にモニターして、範囲外のイベントを検出できるようになります。自律モードは、非自律モードより消費電力が低いのが特徴です。これは、[コンパレータの動作](#)のセクションに示すように、ADC コアが低消費電力コンパレータ・モードに入るからです（各モードの消費電力仕様については[表 1](#)を参照）。

AD4060 には、モニター・モードおよびトリガ・モードという 2 つの自律モードがあります。以下のセクションでは両方の自律モードについて説明します。いずれかの自律モードが選択されると、ADC コアはウィンドウ・コンパレータとして機能し、[コンパレータの動作](#)のセクションに示すように、ADC サンプリング・クロックは内蔵タイマーによって駆動されます。サンプリング・クロック周波数は、TIMER_CONFIG レジスタの FS_BURST_AUTO ビット・フィールドで設定されます（[表 52](#)を参照）。

コンパレータは、以下に示す 4 つのサンプル&比較動作を繰り返しシーケンスで実行します。各動作の実行には 1 つのサンプル期間を要するので、シーケンス全体の時間は次に示す 4 つのサンプル期間になります。

1. $V_{IN} \geq \text{MAX_LIMIT}$
2. $V_{IN} \leq \text{MAX_LIMIT} - \text{MAX_HYST}$
3. $V_{IN} \geq \text{MIN_LIMIT} + \text{MIN_HYST}$
4. $V_{IN} \leq \text{MIN_LIMIT}$

コンパレータは、最大および最小の閾値イベント（それぞれ MAX_INTR および MIN_INTR）用の 2 つのハードウェア・アラート信号を備えています。これらの信号は、[閾値アラート信号](#)のセクションに示すように、GP0 ピンまたは GPI ピン、あるいはその両方に割り当てることができます。[図 58](#)は、これらのアラート信号をハードウェア割込みとして使用するマイクロコントローラの典型的な接続図を示しています。

モニター・モード

モニター・モードに入るための ADC_MODE ビット・フィールドと AUTO_MODE ビット・フィールドの設定を[表 18](#)に示します。ADC_MODE ビットと AUTO_MODE ビットの設定後に ADDR_PTR を CONV_TRIGGER に設定すれば内蔵タイマーがイネーブルされ、AD4060 はウィンドウ・コンパレータとして自律的に機能し始めます。AD4060 は、コントローラが ADDR_PTR を CONV_TRIGGER から他の値に変更するまで自律モードで動作し続けます（[図 47](#)を参照）。モニター・モードは、ユーザがプログラム可能なヒステリシス設定を利用し、入力信号が範囲内に戻ったときに MAX_INTR および MIN_INTR の各信号を自動でクリアします（[図 45](#)を参照）。

[図 56](#)は、モニター・モードにおけるレジスタ設定、比較シーケンス動作、閾値を超えた後のハードウェア割込みとアラート・フラグの動作に関するフローチャートです。

最大閾値または最小閾値を超えたことが検出された場合は、MAX_INTR 信号または MIN_INTR 信号がそれぞれアサートされます。内蔵タイマーはサンプリング・クロックの生成を継続し、サンプリングされた入力信号が MAX_HYST および MIN_HYST の各ビット・フィールドで設定された境界内に戻ったときに、MAX_INTR 信号または MIN_INTR 信号がそれぞれデアサートされます。

MAX_FLAG ビットまたは MIN_FLAG ビットも、MAX_INTR または MIN_INTR がそれぞれアサートされるとアサートされます。MAX_FLAG および MIN_FLAG は自動でクリアされないため、信号が範囲内に戻っても自動でクリアされることはありません。モニター・モードの終了後は、再びモニター・モードに戻る前に MAX_FLAG ビットと MIN_FLAG ビットをリセットすることを推奨します。

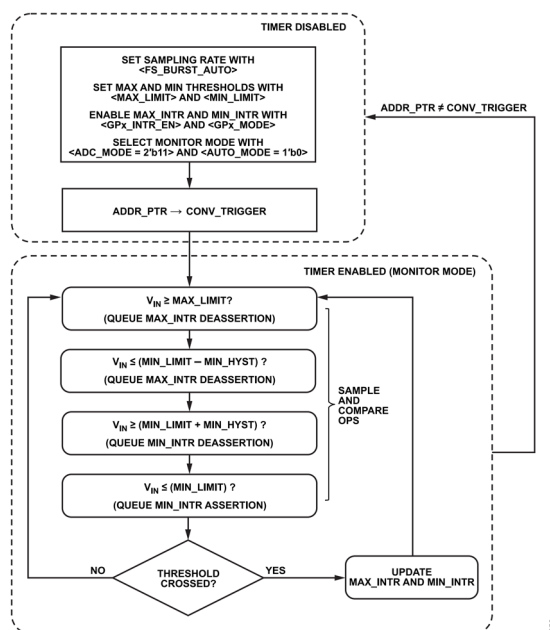


図 56. モニター・モードのフローチャート

動作モード

トリガ・モード

トリガ・モードに入るための ADC_MODE ビット・フィールドと AUTO_MODE ビット・フィールドの設定を表 18 に示します。ADC_MODE ビットと AUTO_MODE ビットの設定後に ADDR_PTR を CONV_TRIGGER に設定すれば内蔵タイマーがイネーブルされ、AD4060 はウィンドウ・コンパレータとして自律的に機能し始めます。トリガ・モードでは、閾値を超えたことがトリガとなって、AD4060 は入力信号の 12 ビット変換とサンプル・モードへの遷移を自律的に実行します。I3C バスで MAX または MIN_IBI を送る場合は、対応するアラート信号とステータス・ビットがアサートされます。これによりコントローラは、設定モードで MAX_SAMPLE_REG または MIN_SAMPLE_REG レジスタから 12 ビットの結果を読み出すことができます。

図 57 は、トリガ・モードにおけるレジスタ設定、比較シーケンス動作、および閾値を超えた後のハードウェア割込みとアラート・フラグの動作に関するフローチャートです。

最大値または最小値を超えたことが検出された場合は、MAX_INTR 信号または MIN_INTR 信号がそれぞれアサートされます。内蔵タイマーはディセーブルされて自律的なサンプリング

は停止し、ADC コアが起動して入力信号を変換します。図 59 は、トリガ・モードにおける閾値検出および ADC サンプリングのタイミング図です。閾値イベントの発生後、ファームウェアは、サンプル・モードで AD4060 の動作を続けて更に変換を実行するか、ADDR_PTR を CONV_TRIGGER レジスタとは異なる値に設定してサンプル・モードを終了し、アラート・レジスタを読み出すことができます。MAX_INTR 信号と MIN_INTR 信号は、ADDR_PTR が CONV_TRIGGER と異なる値に更新されるまで、その状態を維持します。

なお、サンプル・モードに遷移した後、レジスタ・マップ内の ADC_MODE ビット・フィールドは内部で 2'h0 に上書きされるため、2'h3 に再度上書きして自律モードに入り直す必要があります。

MAX_FLAG ビットまたは MIN_FLAG ビットも、MAX_INTR または MIN_INTR がそれぞれアサートされるとアサートされます。MAX_FLAG および MIN_FLAG は自動でクリアされないビットのため、ホストがレジスタを書き込んで 1'b1 に設定するまでクリアされません。MAX_FLAG ビットと MIN_FLAG ビットは、自律モードに戻る前にリセットすることを推奨します。

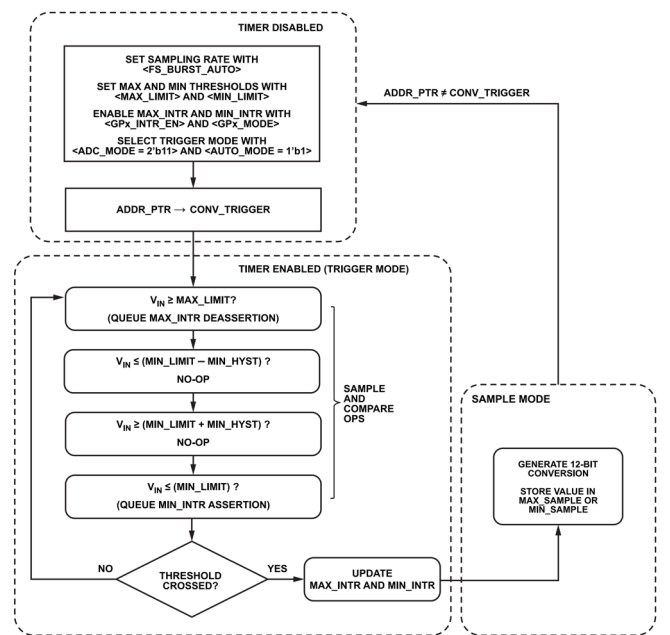


図 57. トリガ・モードのフローチャート

動作モード

自律モードの概略図

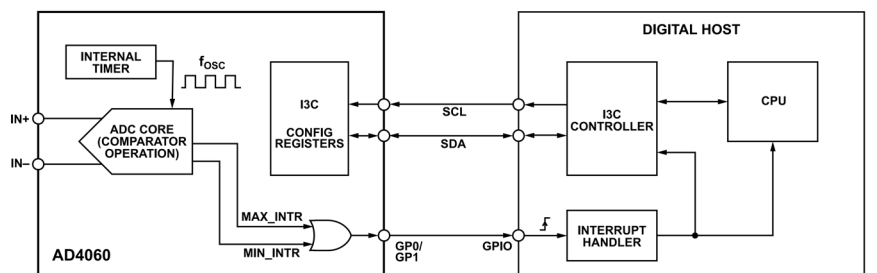


図 58. 自律モードの例示的接続図

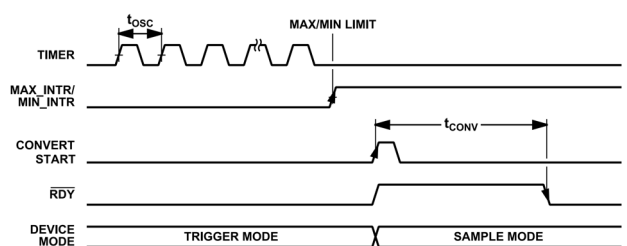


図 59. トリガ・モードのタイミング図

スリープ・モード

スリープ・モードでは、AD4060 はデジタル・インターフェース以外のすべての機能ブロックをパワーダウンし、長いアイドル時間で 430nW という超低消費電力を実現します（表 1 を参照）。DEVICE_CONFIG レジスタの POWER_MODE ビット・フィールドを 2'h3 に設定して、AD4060 をスリープ・モードに遷移させてください。

スリープ・モード中は内部 LDO レギュレータがパワーダウンして、+1.8V の CLDO 電源の供給を停止します。この機能により、

ADC コアとその他の機能ブロックの大部分がパワーダウンします。デジタル・インターフェースはアクティブのままなので、デジタル・ホストは POWER_MODE ビット・フィールドを 2'h0 に書き換えてスリープ・モードを終了し、デバイスを起動させます。デバイスは、スリープ・モードを終了すると設定モードに移ります。設定レジスタの状態は維持されているため、デジタル・ホストは、スリープ・モード終了後にデバイス設定を再設定する必要がありません。

シリアル・インターフェース

AD4060 のデジタル・インターフェースには、シリアル・データ転送用の 2 線式 I3C インターフェースと、2 つの汎用デジタル出力 GP0 と GP1 が含まれています。I3C インターフェースは、主に AD4060 設定レジスタの読出しと書き込み、および ADC 結果の読出しに使用します。[動作モード](#)のセクションでは、I3C の機能およびプロトコルを動作モードごとに説明しています。

AD4060 は、このデータシートでも頻繁に引用されている MIPI I3C v1.1 に定める I3C 仕様に準拠しています。MIPI I3C 仕様のセクション 4.2.2 には、I3C ターゲット・デバイスの役割についての概要が示されています。AD4060 は SDR 専用ターゲットであり、HDR モードはサポートしていません。AD4060 は、[コモン・コマンド・コード \(CCC\)](#) のセクションに示すコモン・コマンド・コード (CCC) と、[インバンド割込み](#)のセクションに示すインバンド割込み (IBI) をサポートしています。AD4060 はホットジョイン機能をサポートしておらず、I3C コントローラ・デバイスとして使用することはできませんまた、I2C コントローラとの互換性也没有ありません。

SDA および SCL のオープン・ドレイン・プルアップ要件に関わるガイダンスについては、MIPI 仕様のセクション 5.1.3.1 を参照してください。

SDA データは SCL の立上がりエッジで読み出され、SCL の立上がりエッジで更新されます。

AD4060 はレジスタの読出しと書き込みのための CRC 機能を備えており、信頼性の高いデータ転送を実現します（詳細については[レジスタ・アクセス CRC](#)のセクションを参照）。ADC データは、ダイレクト・メモリ・アクセス (DMA) など、マイクロコントローラ内蔵メモリの転送動作との互換性を最大限に高めるために、バイト単位の整数倍形式になっています。

インターフェースのロジック・レベルは、[仕様](#)に記載されているように VIO 電源電圧で設定されます。AD4060 は、1.8V、2.5V、および 3.3V のロジック・システムをサポートしています。

ダイナミック・アドレッシング

AD4060 には、I3C コントローラによって固有のダイナミック・アドレス (TGT_ADDR) が指定されます。それぞれのスタートや反復スタート後、AD4060 は最初のバイトをその TGT_ADDR と比較して、アドレスが指定されたかどうかを判定します。

デバイス・リセット後、コントローラは、バスを介してロードキャスト ENTDAACCCC を送り、ダイナミック・アドレス割当て (Dynamic Address Assignment: DAA) モードに入ることをすべてのターゲット・デバイスに示すことによって、I3C バスの初期化前に DAA 手順を開始する必要があります（詳細については[コモン・コマンド・コード \(CCC\)](#) のセクションを参照）。

DAA ルーチンにおいて、AD4060（およびバス上にあるその他すべての I3C ターゲット）は固有の 48 ビット暫定 ID (PID) をコントローラへ送ります。AD4060 の 48 ビット PID の内容を[表 19](#)に示します。コントローラはその後、バス上にあるそれぞれのターゲット・デバイスに固有の 7 ビット・ダイナミック・アドレスを割り当てます（DAA 手順の詳細は、MIPI I3C 仕様のセクション 5.1.4 に記載されています）。

TGT_ADDR は、割当て後に TGT_ADDR_REG に保存されます。

AD4060 には、ADDR0、ADDR1、ADDR2 と呼ばれる 3 つのアドレス・ロジック入力があります（[表 19](#) を参照）。ADDRx ピンには最大 8 個の固有 PID を割り当てることができるので、アドレス競合を起こすことなく 1 つの I3C バスに最大 8 個の AD4060 デバイスを接続できます。

AD4060 はグループ・アドレッシングをサポートしているので、I3C コントローラは複数のデバイスに同時に書き込みを行うことができます。例えば、グループ・アドレッシングは、CONV_TRIGGER レジスタを介して複数の AD4060 デバイスの同時サンプリングをトリガするために使用できます。グループ・アドレスには SETGRPA CCC が割り当てられます（[SETGRPA](#) のセクションを参照）。

AD4060 に静的な I2C アドレスはありません。

表 19. AD4060 の 48 ビット暫定 ID 定義

PID ¹ Bit Field Name	PID Bit Field Offset	Value	Description
MIPI Manufacturer ID (MID)	PID[47:33]	15'h0177	ADI MIPI assigned vendor ID.
PID Type Selector	PID[32]	1'b0	Vendor fixed value.
Part ID	PID[31:16]	16'h007A	ADI product ID.
Instance ID	PID[15:12]	PID[15] = 1'b0 PID[14:12] = [ADDR2, ADDR1, ADDR0]	Allows pin-strap selection of up to eight unique device instances. (See the Pin Configuration and Function Descriptions section for more detail.)
Vendor-Defined	PID[11:0]	PID[11:8] = 4'b0 PID[7:0] = DCR[7:0]	Device revision number. Device characteristics register (DCR) byte. See the Register Details section for more detail.

¹ ベンダーごとに固定。

シリアル・インターフェース

レジスタ・アドレス・ポインタ

レジスタ・アドレス・ポインタ (ADDR_PTR) は、読みまたは書き込み用にアクティブな AD4060 レジスタを選ぶための 1 バイト長スタンドアロン・レジスタです。I3C 読出しコマンドの実行が開始されると、コントローラは、現在 ADDR_PTR に保存されているレジスタ・アドレスからデータを読み出します。同様に、I3C 書き込みが開始されると、コントローラは現在 ADDR_PTR に保存されているレジスタ・アドレスにデータを書き込みます。ADDR_PTR レジスタ自体にリードバック用のアドレスを直接指定することはできません。

ADDR_PTR は、I3C 書き込みコマンドの命令フェーズで更新されます (図 60 を参照)。ADDR_PTR は、更新されるまで、あるいはデバイスがリセットされるまで書き込まれた値を保持します。

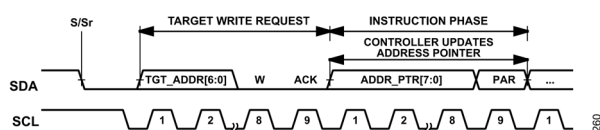


図 60. アドレス・ポインタの更新

レジスタへの書き込み

I3C バス上にある AD4060 のレジスタへの書き込みプロセスは、3 つの独立したフェーズ、つまりターゲット書き込み要求フェーズ、命令フェーズ、およびデータ・フェーズで構成されます。

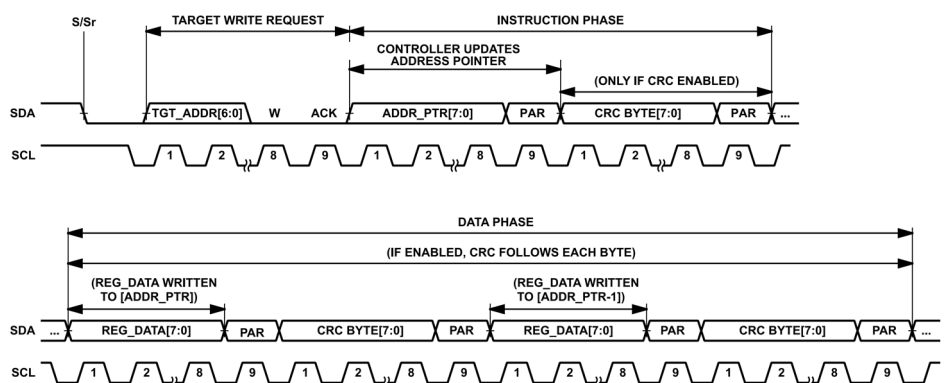


図 61. AD4060 のレジスタ書き込みシーケンス

図 61 に AD4060 のレジスタ書き込みシーケンスを示します。

ターゲット書き込み要求フェーズでは、RnW ビット = 0 の状態でデバイスのダイナミック・ターゲット・アドレスまたはグループ・アドレスと共にスタート (S) または反復スタート (Sr) を送ることによって、コントローラがレジスタへの書き込みを開始します。デバイスは、SDA をローにして ACK を送ることによりアクノリッジを返します。コントローラがグループ・アドレスを介して複数の AD4060 デバイスのアドレスを指定する場合、その後のレジスタ書き込みデータは、I3C バス上にあるすべての AD4060 デバイスに適用されます。

命令フェーズでは、コントローラが ADDR_PTR を更新します。CRC がイネーブルされている場合、ADDR_PTR には CRC バイトが含まれます。ADDR_PTR バイトと CRC バイトには、共にそれぞれのパリティ・ビットが含まれています (データ・フェーズの 9 番目の SDA ビットのセクションを参照)。

データ・フェーズでは、コントローラが、連続するアドレスのレジスタへの書き込みデータを 1 バイトずつ送信します (CRC がイネーブルされている場合は CRC も送信)。最初のデータ・バイト (と CRC) は、アドレス = <ADDR_PTR> のレジスタ内にあるデータに対応しています。その後続くそれぞれのデータ・バイト (と CRC) は、<ADDR_PTR> の後の次にアドレス値の小さいレジスタに対応しており、以下同様の要領で送信が繰り返されます。

書き込みフレームは、コントローラが反復スタート (Sr) またはストップ (P) を開始すると終了します。

シリアル・インターフェース

レジスタの読出し

I3C バス上にある AD4060 のレジスタの読出しプロセスは、3 つの独立したフェーズ、つまり ADDR_PTR 更新のための書込み、ターゲット読出し要求フェーズ、およびデータ・フェーズで構成されます。

図 62 に、AD4060 のレジスタ読出しシーケンスを示します。

ADDR_PTR は、ターゲット読出し要求時にどのレジスタをリードバックするかを指定します。ターゲット読出し要求を送信する前に、ADDR_PTR を目的のレジスタ・アドレス値に設定してください（[レジスタ・アドレス・ポインタ](#)のセクションを参照）。

ターゲット書込み要求フェーズでは、RnW ビット = 1 の状態でデバイスの TGT_ADDR と共にスタート (S) または反復スタート (Sr) を送ることによって、コントローラがレジスタの読出しを開始します。デバイスは、SDA をローにして ACK を送ることによりアクノリッジを返します。

データ・フェーズでは、AD4060 が、連続するアドレスのレジスタからの読出しデータを 1 バイトずつ出力します（CRC がイネーブルされている場合は CRC も送信）。最初のデータ・バイト（と CRC）は、アドレス = <ADDR_PTR> のレジスタ内にあるデータに対応しています。その後続くそれぞれのデータ・バイト（と CRC）は、<ADDR_PTR> の後の次にアドレス値の小さいレジスタのデータに対応しており、以下同様の要領で送信が繰り返されます。

読出しフレームは、コントローラが反復スタート (Sr) を開始すると終了します。それぞれのレジスタ読出しバイトは T ビットで終了します。レジスタ読出しの場合は T ビットが常に 1 なので、レジスタ読出しフレームの終了はコントローラが行います（図 7 と図 8 を参照）。

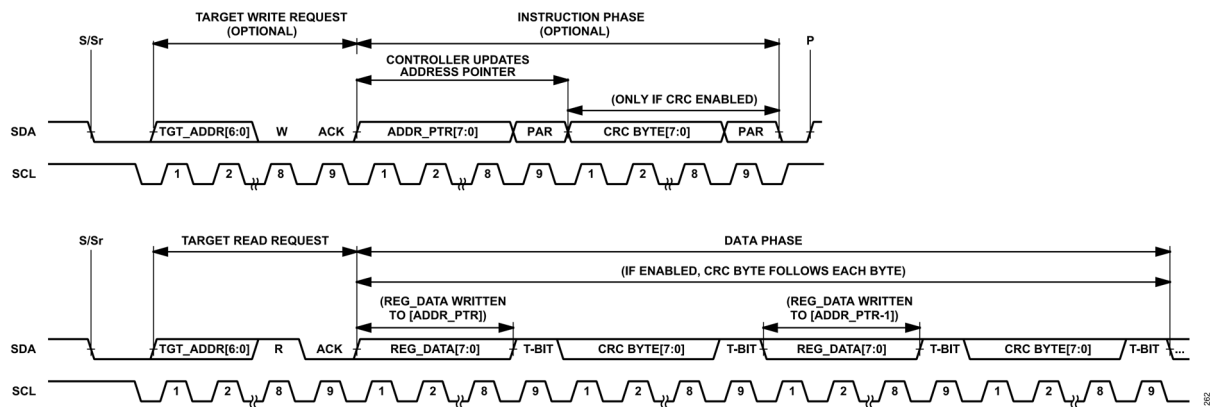


図 62. AD4060 のレジスタ読出しシーケンス

シリアル・インターフェース

レジスタ・アクセス CRC

AD4060には、CRC-8に基づくレジスタの読出しおよび書込みのエラー・チェック機能がオプションとして含まれており、これには以下の多項式が使われます。

$$x^8 + x^2 + x + 1 \quad (5)$$

CRCは、CRC_ENおよびCRC_EN_Bの各ビット・フィールドをそれぞれ0x1および0x2に設定することでイネーブルされます。CRCをイネーブルすると、レジスタの各データ・バイトの末尾に8ビットのチェックサム・コードが付加されます。チェックサムの値はI3Cバスによる読出しデータまたは書込みデータから計算され、これにより、AD4060とコントローラはシリアル通信のエラーを検出することができます。

CRCバイトの送受信は半2重方式で行われ、ある時点で送信できるのはコントローラまたはターゲットのどちらか一方のみです。CRC-8の計算は、SDAがローにスタックしているかどうかを検出するために非ゼロ値をシード値とします。各ACKビット後の最初のCRCのシード値は0xA5です。表20は、設定モードにおけるすべての可能なレジスタ読出しおよび書込みトランザクションのデータおよびシード値を要約したものです。

対応するI3Cトランザクションに一致しないチェックサムをAD4060が受け取った場合、そのトランザクションは無効と見な

され、INTERFACE_STATUSレジスタのCRC_ERRビットが1に設定されますCRC_ERRビットは1を書き込むことでクリアするビット(R/W1C)です。CRCをイネーブルした場合は、レジスタが読出しおよび書込みを試みるたびにCRC_ERRビットをチェックすることを推奨します。

レジスタ書込みとADDR_PTR書込みでは、コントローラは、各データ・バイトの後に有効なCRCバイトを送信する必要があります。レジスタ書込みとADDR_PTR書込みの後に続くCRCバイトにはパリティ・ビットも含まれており、AD4060は、書込みデータを更新する前にこのビットを確認します。レジスタ書込み時に無効なCRCがある場合レジスタの内容は更新されず、CRC_ERRビットがアサートされます。

レジスタ読出しの場合、AD4060はレジスタ・データの後にCRCバイトを計算して送信します。最初のレジスタ読出しバイトに続いてAD4060が送信するCRCバイトの計算時には、そのダイナミック・アドレスも含められます。これは、コントローラがアクセスしようとしているデータが、意図したデバイスからのものかどうかを判定できるようにするためです。コントローラが無効なCRCを受信した場合はそのデータが破損していると見なし、コントローラはその受信データを無視して、再度レジスタ読出しを試みる必要があります。

表 20. I3C 書込みの CRC データとシード値

Instruction Phase CRC		Data Phase CRCs	
Seed Input	Data Input	Seed Input	Data Input
0xA5	TGT_ADDR, RnW Bit, ADDR_PTR[7:0] Byte	LSByte of Current Register Address	Data Phase Byte(s)

表 21. I3C 読出しの CRC データとシード値

First Data Phase CRC		Subsequent Data Phase CRCs	
Seed Input	Data Input	Seed Input	Data Input
0xA5	TGT_ADDR, RnW Bit, Data Phase Byte(s)	LSByte of Current Register Address	Data Phase Byte(s)

シリアル・インターフェース

CONV_READ レジスタ

CONV_READ レジスタは、ループによる連続的な ADC 変換をトリガするために使用できます。このループでは、1 つの ADC 変換の結果を読み出すと、次の ADC 変換が開始されます。

CONV_READ レジスタを使って ADC 変換をトリガするには、CONV_READ レジスタのレジスタ・アドレスのいずれか (0x50~0x53) をポイントするように ADDR_PTR を更新します。次に、AD4060 からダミーの I3C 読出しを行って、データ・フェーズの最後に反復スタート (Sr) とそれに続くストップ (P) を発行します。図 63 に示すように、ストップ (P) の SDA 立上がりエッジが ADC 変換スタートをトリガします。サンプル・モードでは、変換スタート・トリガによって変換が 1 回行われます。バースト平均化モードでは、変換スタート・トリガによって複数の変換がバースト動作で行われ、これらの結果を

使って 1 つの平均値が求められます (動作モードのセクションを参照)。

次の I3C 読出し実行時は、ターゲットから読み出されたデータ・ビットが、CONV_READ に保存される ADC 変換結果となります。この読出しの反復スタート (Sr) とその後に続くストップ (P) は、次の ADC 変換をトリガします。したがってホストは、CONV_READ からの読出しを繰り返し行なって、ADC サンプルを連続的に生成してリードバックすることができます。

CONV_READ から変換結果を読み出す前に、動作モードに応じて AD4060 からデータ・バイトの正確な数が読み出されるようにすることが重要です。サンプル・モード、トリガ・モード、およびバースト平均化モードでの CONV_READ レジスタの内容を、表 22 に示します。表 17 は、各モードでデータを読み出す際に、1 回の変換ごとに読み出すバイト数を最小限に抑えるために推奨される ADDR_PTR の設定値です。

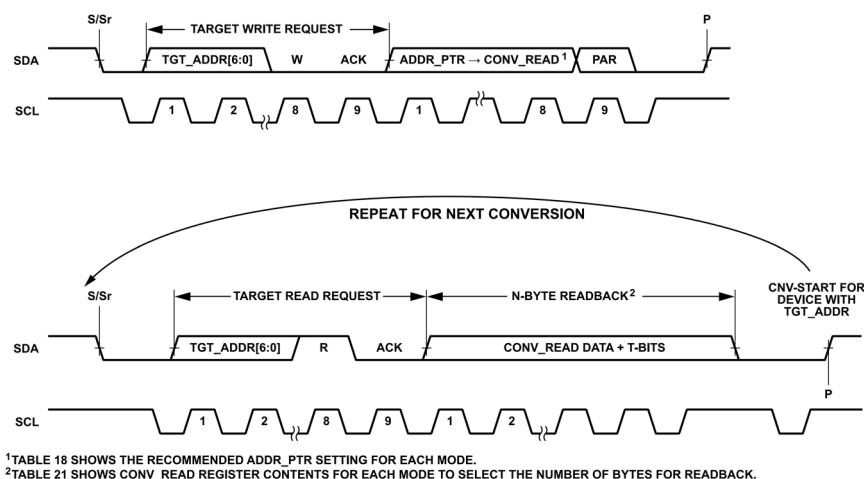


図 63. CONV_READ を使用する ADC 変換のトリガ

表 22. CONV_READ レジスタの内容

ADC Mode	Byte 0x53 (CONV_READ [31:24])	Byte 0x52 (CONV_READ [23:16])	Byte 0x51 (CONV_READ [15:8])	Byte 0x50 (CONV_READ [7:0])
Sample Mode and Trigger Mode	SE[15:8] ¹	SE[7:0]	SE[3:0], DATA[11:8]	DATA[7:0]
Burst Averaging Mode	SE[15:8]	SE[7:0]	SE[1:0], DATA[13:8]	DATA[7:0]

¹ SE は符号拡張 (Sign Extension) ビットを表します。ADC が差動モードの場合、SE ビットの値は最上位データ・ビットと同じです。ADC がシングルエンド・モードの場合、SE ビットは常に 0 です。

シリアル・インターフェース

CONV_TRIGGER レジスタ

CONV_TRIGGER レジスタは、CONV_READ レジスタの代わりに使用して、ADC 変換のトリガや自律モードへの遷移を行うことができます。CONV_TRIGGER を使用することで、コントローラはグループ・アドレッシングを使い、同一バス上の複数の AD4060 デバイスによる同時サンプリングをトリガすることができます。

CONV_TRIGGER レジスタを使って ADC 変換をトリガするには、ターゲット・デバイスに I3C 書込みを行って、CONV_TRIGGER のレジスタ・アドレスのいずれか (0x56~0x59) をポイントするように ADDR_PTR を更新します。変換スタート・トリガは、図 64 に示すようにストップ (P) の SDA 立上がりエッジで発生します。サンプル・モードでは、変換スタート・トリガによって変換が 1 回行われます。バースト平均化モードでは、変換ス

タート・トリガによって複数の変換がバースト動作で行われ、これらの結果を使って 1 つの平均値が求められます (動作モードのセクションを参照)。

ADDR_PTR がまだ CONV_TRIGGER をポイントしている間は、データが使用可能になった後でターゲット・デバイスから I3C 読出しを行うことにより、前の変換結果を読み出すことができます。サンプル・モード、トリガ・モード、およびバースト平均化モードでの CONV_TRIGGER レジスタの内容を表 23 に示します。表 17 は、各モードでデータを読み出すための推奨 ADDR_PTR 設定です。

IBI をイネーブルした場合は、CONV_TRIGGER レジスタを介して ADC 変換を行うと DATA_READY_IBI がトリガされます (詳細についてはインバンド割込みのセクションを参照)。

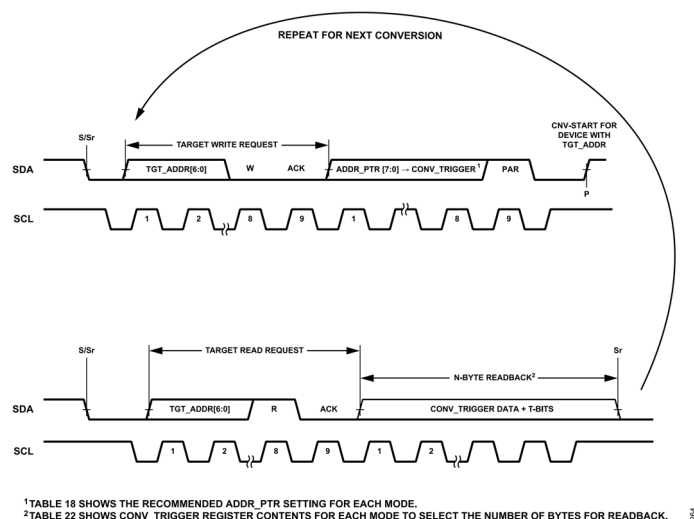


図 64. CONV_TRIGGER を使用した ADC 変換のトリガ

表 23. CONV_TRIGGER レジスタの内容

ADC Mode	Byte 0x59 (CONV_TRIGGER [31:24])	Byte 0x58 (CONV_TRIGGER [23:16])	Byte 0x57 (CONV_TRIGGER [15:8])	Byte 0x56 (CONV_TRIGGER [7:0])
Sample Mode and Trigger Mode	SE[15:8] ¹	SE[7:0]	SE[3:0], DATA[11:8]	DATA[7:0]
Burst Averaging Mode	SE[15:8]	SE[7:0]	SE[1:0], DATA[13:8]	DATA[7:0]

¹ SE は符号拡張 (Sign Extension) ビットを表します。ADC が差動モードの場合、SE ビットの値は最上位データ・ビットと同じです。ADC がシングルエンド・モードの場合、SE ビットは常に 0 です。

シリアル・インターフェース

データ・フェーズの 9 番目の SDA ビット

I3C 読出しまたは書込みコマンドのデータ・フェーズにおいて、AD4060 は 8 ビット・パケットを使ってデータを送受信します。

I3C 書込みコマンドでは、データの各バイトの後にパリティ・ビットが付与されます。このビットは奇数パリティを使って計算され、9 番目の SCL クロック周期の間にコントローラからターゲットへ送られます。このデータ・バイトとパリティ・ビットは、このデータの転送中に何らかのエラーが発生していないかどうかを判定するために、AD4060 が使用します。AD4060 が受信したデータとパリティ・ビットの中に偶数個の 1 が含まれている場合そのデータ・バイトは破棄され、無効な書込みとして扱われます。その後 AD4060 は、コントローラがストップ (P) または反復スタート (Sr) を発行するのを待ちます。パリティ・エラーが検出されると、INTERFACE_STATUS_A レジスタの PARITY_ERROR ビットが 1 に設定されます。PARITY_ERROR は WIC フィールドであり、続行の前にユーザがクリアする必要があります。

I3C 読出しコマンドでは、データ・バイトの後に T ビットが続きます。このビットは 9 番目の SCL がハイになっている間に AD4060 からコントローラへ送られます。T = 0 の場合、デジタル・ホストは実行中のリードバックを強制終了し、T = 1 の場合、デジタル・ホストは実行中のリードバックを続行または終了できます。

レジスタの読出し中、AD4060 は常に T = 1 を出力するので、コントローラは次のレジスタ・バイトの読出しを続けるか (図 6)、フレームを終了するか (図 7 と 図 8) を決定できます。

ターゲット・デバイスがコントローラにデータを送る必要がある直接 CCC の場合は (例えば GETPID、GETBCR、GETDCR、GETSTATUS、GETCAPS)、最後の要求データ・バイトがコントローラへ送られた後に T ビットが 0 に設定されて、その CCC は強制終了されます。

コモン・コマンド・コード (CCC)

コモン・コマンド・コード (CCC) は、MIPI 仕様のセクション 5.1.9 の規定に従って設定される I3C コマンドです。AD4060 がサポートする CCC を表 24 に示します。CCC は、ブロードキャスト (I3C バス上のすべてのターゲットへ送信) またはダイレクト (バス上の特定の 1 ターゲットへ送信) に分類されます。MIPI 仕様のセクション 5.1.9.1 は、ブロードキャスト CCC とダイレクト CCC の I3C フレームのフォーマットを規定しています。

表 24. AD4062 によるコモン・コマンド・コードのサポート

CCC	Description	Supported Format	Command Code(s)
ENEC	Enable Events	Direct Broadcast	0x80 0x00
DISEC	Disable Events	Direct Broadcast	0x81 0x01
RSTDAA	Reset Dynamic Address Assignment	Broadcast	0x06
ENTDAA	Enter Dynamic Address Assignment	Broadcast	0x07

表 24. AD4062 によるコモン・コマンド・コードのサポート (続き)

CCC	Description	Supported Format	Command Code(s)
RSTACT	Target Reset Action	Broadcast	0x2A, 0x9A
RSTGRPA	Reset Group Address	Direct Broadcast	0x9C 0x2C
SETNEWDA	Set New Dynamic Address	Direct	0x88
GETPID	Get Provisioned ID	Direct	0x8D
GETBCR	Get Bus Characteristics Register	Direct	0x8E
GETDCR	Get Device Characteristics Register	Direct	0x8F
GETSTATUS	Get Device Status	Direct	0x90
GETCAPS	Get Optional Feature Capabilities	Direct	0x95
SETGRPA	Set Group Address	Direct	0x9B

以下のセクションでは、それぞれの CCC とそのフォーマットについて詳しく説明します。

ENEC/DISEC

ENEC ダイレクト/ブロードキャスト CCC はターゲット駆動 IBI のイネーブルに使用でき、DISEC ダイレクト/ブロードキャスト CCC は同じくディスエーブルに使用できます。

図 67 は、ENEC/DISEC CCC の間にコントローラがターゲットへ送信するターゲット・イベント・バイトです。ENEC コマンド・バイトの ENINT ビットを 1 に設定すると AD4060 の IBI がイネーブルされ、DISEC コマンド・バイトの DISINT を 1 に設定すると AD4060 の IBI がディスエーブルされます。ENHJ、ENCR、DISHJ、DISCR ビットは、AD4060 ではドント・ケア・ビットです。

S/Sr	7'h7E	W	ACK	ENEC = 0x80/ DISEC = 0x81	T	Sr
TARGET ADDRESS	W	ACK	ENABLE/DISABLE TARGET EVENTS BYTE	T	P/Sr	

205

図 65. ENEC/DISEC ダイレクトのフォーマット

S/Sr	7'h7E	W	ACK	ENEC = 0x00/ DISEC = 0x01	T
ENABLE/DISABLE TARGET EVENTS BYTE	T	P/Sr			

206

図 66. ENEC/DISEC ブロードキャストのフォーマット

シリアル・インターフェース

TARGET EVENTS BYTE FOR ENEC

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
RESERVED				ENHJ (DON'T CARE)	RESERVED	ENCR (DON'T CARE)	ENINT

TARGET EVENTS BYTE FOR DISEC

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
RESERVED				DISHJ (DON'T CARE)	RESERVED	DISCR (DON'T CARE)	DISINT

図 67. ENEC/DISEC ターゲット・イベント・バイト

RSTDAA

RSTDAA ブロードキャスト CCC は、I3C バスに接続されたすべてのターゲット・デバイスが、コントローラに割り当てられたダイナミック・アドレスをクリア/リセットすることを示します。

S/Sr	7'h7E	W	ACK	RSTDAA = 0x06	T	P/Sr
------	-------	---	-----	---------------	---	------

図 68. RSTDAA ブロードキャストのフォーマット

RSTACT

RSTACT CCC は、コントローラによるリセット実行コマンド発行時にターゲット・デバイスが実行するリセット動作を設定するために使用できます（詳細については[リセット・ビット](#)および[リセット・パターン](#)のセクションを参照）。MIPI 仕様は、RSTACT をブロードキャスト・タイプ、ダイレクト読み出しタイプ、またはダイレクト書き込みタイプの CCC として定義しています。ただし、AD4060 はブロードキャスト・タイプの RSTACT CCC のみをサポートしています。

S/Sr	7'h7E	W	ACK	RSTACT = 0x2A	T
DEFINING BYTE		T	P/Sr		

図 69. RSTACT ブロードキャストのフォーマット

ブロードキャスト・フォーマットの RSTACT では、コントローラがターゲットのリセット動作を示す定義バイト (DByte) をターゲット・デバイスに送信します。MIPI 仕様のセクション 5.1.9.3.26 には、コントローラが使用できる DByte 値がリストされています。AD4060 がサポートする DByte 値は 0x00、0x01、0x02 のみです。コントローラから受信した DByte 値に基づく AD4060 のリセット動作を表 25 に示します。

表 25. AD4060 の RSTACT 動作

RSTACT Defining Byte Value	Reset Action
0x00	No Reset
0x01	I3C Peripheral Only Reset ¹
0x02	I3C peripheral, fuse reload, register map, and address pointer reset.

¹ I3C ペリフェラル・リセットは、ターゲットのダイナミック割り当てアドレス（ターゲットとグループの両方）と、CCC コマンドによって設定されたその他のフィールドをリセットします。これにレジスタ・メモリ・マップは含まれていないので、レジスタ/ビット・フィールドはいずれもリセットされず、ヒューズもリロードされません。I3C ペリフェラルをリセットしたら、コントローラはダイナミック・アドレス割り当てルーチンをもう一度実行する必要があります。

ENTDAA

ENTDAA ブロードキャスト CCC は、MIPI 仕様のセクション 5.1.4 に示すように、I3C バスに接続されたすべてのターゲット・デバイスがダイナミック・アドレス割当てモードに入ること示します。

S/Sr	7'h7E	W	ACK	ENTDAA = 0x07	P/Sr	ACK
DAA MODE		P				

図 70. ENTDAA ブロードキャストのフォーマット

SETNEWDA

SETNEWDA ダイレクト CCC は、コントローラによって割り当てられたダイナミック・アドレスを既に持っている I3C バス上のターゲット・デバイスに、新しいダイナミック・アドレスを割り当てるために使用できます。ターゲット・デバイスがまだダイナミック・アドレスを持っていない場合、この CCC は使用できません。この CCC を使用すると、そのターゲット・デバイスは新しく割り当てられたダイナミック・アドレスにのみ応答し、その前のアドレスを無視します。

S/Sr	7'h7E	W	ACK	SETNEWDA = 0x88	T	Sr
CURRENT TARGET ADDRESS		W	ACK	NEW 7-BIT DYNAMIC ADDRESS	1'b0	P/Sr

図 71. SETNEWDA ダイレクトのフォーマット

RSTGRPA

RSTGRPA ダイレクト/ブロードキャスト CCC は、コントローラによって割り当てられたそのグループ・アドレスをリセット/クリアするターゲット・デバイスを示します。この CCC を使用することで、コントローラは作成済みのグループを削除できます。このコマンドをダイレクト（個別）モードで使用すると、コマンドを受け取ったターゲットは割り当てられたグループ・アドレスをクリアするので、そのターゲットはグループから除外されます。ダイレクト（グループ）モードで使用すると、グループ内のすべてのデバイスがそのグループ・アドレスをクリアするので、そのグループは削除されます。ブロードキャスト・モードでは、すべてのターゲットがそのすべてのグループ・アドレスをクリアするので、I3C バスからすべてのグループが削除されます。

S/Sr	7'h7E	W	ACK	RSTGRPA = 0x9C	T	Sr
TARGET ADDRESS		W	ACK	P/Sr		

図 72. RSTGRPA ダイレクト（個別）のフォーマット

S/Sr	7'h7E	W	ACK	RSTGRPA = 0x9C	T	Sr
GROUP ADDRESS		W	ACK	P/Sr		

図 73. RSTGRPA ダイレクト（グループ）のフォーマット

S/Sr	7'h7E	W	ACK	RSTGRPA = 0x2C	T	P/Sr
------	-------	---	-----	----------------	---	------

図 74. RSTGRPA ブロードキャストのフォーマット

SETGRPA

SETGRPA ダイレクト CCC は、ダイナミック・アドレスが既に割り当てられている I3C バス上のターゲット・デバイスに、グ

シリアル・インターフェース

グループ・アドレスを割り当てるために使用できます。ターゲット・デバイスが、コントローラによって割り当てられたダイナミック・アドレスをまだ持っていない場合、この CCC は使用できません。ターゲットのダイナミック・アドレスはこの CCC を開始するために使用でき、その後はグループ・アドレスを割り当てることもできます。ターゲットへのグループ・アドレス割り当て後にコントローラがアドレスを指定した場合、そのターゲットはダイナミック・アドレスとグループ・アドレスの両方に応答します。

SETGRPA CCC が正常に機能して AD4060 にグループ・アドレスが割り当てられたら、そのグループ・アドレスを GRP_ADDR_REG レジスタから読み出すことができます。グループ・アドレスが割り当てられるまで、GRP_ADDR_REG は常にそのデフォルト値 7'h7E を返します。

S/Sr	7'h7E	W	ACK	SETGRPA = 0x9B	T	Sr
TARGET ADDRESS	W	ACK	7-BIT GROUP ADDRESS	1'b0	T	P/Sr

図 75. SETGRPA ダイレクトのフォーマット

GETPID

GETPID ダイレクト CCC は、コントローラがターゲット・デバイスから 48 ビットの暫定 ID (PID) を取得するために使用できます。PID は、MIPI 仕様のセクション 5.1.4 に示すように、ダイナミック・アドレス割り当て手順に使われます。この CCC を受け取ると、ターゲット・デバイスは 6 バイトの PID を MSB ファーストで送信します (AD4060 の 48 ビット PID の詳細については、[ダイナミック・アドレッシング](#)のセクションを参照)。

S/Sr	7'h7E	W	ACK	GETPID = 0x8D	T	Sr
TARGET ADDRESS	R	ACK	GETPID BYTE 5	T	GETPID BYTE 4	T
GETPID BYTE 3	T	GETPID BYTE 2	T	GETPID BYTE 1	T	GETPID BYTE 0
						P/Sr

図 76. GETPID ダイレクトのフォーマット

GETBCR

GETBCR ダイレクト CCC は、コントローラが I3C バス上のターゲット・デバイスからバス特性レジスタ (BCR) 値を取得するために使用できます。BCR はターゲットにより 1 バイトのデータとして MSB ファーストで送信されます。

GETBCR CCC を受信すると、AD4060 は表 26 の値をその BCR として送信します。

S/Sr	7'h7E	W	ACK	GETBCR = 0x8E	T	Sr
TARGET ADDRESS	R	ACK	GETBCR BYTE	T	P/Sr	

図 77. GETBCR ダイレクトのフォーマット

表 26. AD4060 のバス特性レジスタ・バイト

ビット・フィールド・オフセット	ビット・フィールド名	値	特性
BCR[7:6]	Device Role [1:0]	2'b00	I3C ターゲットのみ
BCR[5]	Advanced Capabilities	1'b1	いくつかの拡張機能をサポート。 GETCAPS のセクションを参照。

表 26. AD4060 のバス特性レジスタ・バイト (続き)

ビット・フィールド・オフセット	ビット・フィールド名	値	特性
BCR[4]	Virtual Target Support	1'b0	仮想ターゲット非対応
BCR[3]	Offline Capable	1'b0	常に I3C コマンドに応答
BCR[2]	IBI Payload	1'b1	IBI は 1 つの必須データ・バイトを含む
BCR[1]	IBI Request Capable	1'b1	IBI を送信可能
BCR[0]	Max Data Speed Limitation	1'b0	無制限

GETDCR

GETDCR ダイレクト CCC は、コントローラが I3C バス上のターゲット・デバイスからデバイス特性レジスタ (DCR) 値を取得するために使用できます。BCR はターゲットにより 1 バイトのデータとして MSB ファーストで送信されます。

GETDCR CCC を受信すると、AD4060 は、MIPI に定める一般デバイス・タイプを示す GETDCR バイトとして 8'b00 を送信します。

S/Sr	7'h7E	W	ACK	GETDCR = 0x8F	T	Sr
TARGET ADDRESS	R	ACK	GETDCR BYTE	T	P/Sr	

図 78. GETDCR ダイレクトのフォーマット

GETSTATUS

GETSTATUS ダイレクト CCC は、コントローラが I3C バス上にあるターゲットのステータス・バイトを取得するために使用できます。GETSTATUS CCC には、MIPI 仕様のセクション 5.1.9.3.15 に示された 2 つのフォーマットがあります。AD4060 はフォーマット 1 のみをサポートし、フォーマット 2 はサポートしていません。AD4060 がフォーマット 2 の GETSTATUS CCC を受信すると、SDA ライン上のそのアドレスに NACK を返します。

S/Sr	7'h7E	W	ACK	GETSTATUS = 0x90	T	Sr
TARGET ADDRESS	R	ACK	GETSTATUS MSByte	T	GETSTATUS LSByte	T
						P/Sr

図 79. GETSTATUS ダイレクトのフォーマット

フォーマット 1 の GETSTATUS CCC を受信すると、AD4060 は表 27 に示す 2 つのバイトをコントローラに送信します。

表 27. AD4060 の GETSTATUS バイト

バイト	ビット	フィールド	値	説明
MSB	15:8	Vendor Reserved	DEVICE_STATUS[7:0]	デバイス・ステータス・レジスタのビット・フィールド
LSB	7:6	Activity Mode	2'b00	DEVICE_CONFIG レジスタの電力モード・ビット・フィールド

シリアル・インターフェース

表 27. AD4060 の GETSTATUS バイト（続き）

バイト	ビット	フィールド	値	説明
	5	Protocol Error	1'b1: Protocol Error Detected 1'b0: No Protocol Error	最後のステータス読み出し後にターゲットがプロトコル・エラーを検出したかどうかを示す
	4 3:0	Reserved Pending Interrupt	1'b0 MDB[3:0]	MIPI より予約必須データ・バイト・レジスタの下位 4 ビット

GETCAPS

GETCAPS ダイレクト CCC を使用することで、コントローラは、I3C バス上のターゲット・デバイス用のオプション機能セットを使用できるようになります。GETCAPS CCC には、MIPI 仕様のセクション 5.1.9.3.19 に示すように、2 つのフォーマットがあります。AD4060 は GETCAPS フォーマット 1 のみをサポートしています。AD4060 は、GETCAPS フォーマット 2 の CCC を受信すると、SDA ライン上のそのアドレスに NACK を返します。

S/Sr	7'h7E	W	ACK	GETCAPS = 0x95	T	Sr
TARGET ADDRESS	R	ACK	GETCAP BYTE 1	T	GETCAP BYTE 2	T
GETCAP BYTE 3	T	GETCAP BYTE 4	T	P/Sr		

280

図 80. GETCAPS ダイレクトのフォーマット

フォーマット 1 の GETCAPS CCC を受信すると、AD4060 は表 28 に示す 4 つの GETCAPS バイトを送信します。

表 28. AD4060 の GETCAPS バイト

GETCAPS バイト	ビット・フィールド	値	説明
GETCAP1	7:0	8'b00	HDR 非対応
GETCAP2	7:6	2'b00	HDR 非対応
	5:4	2'b01	1 つのグループ・アドレスに対応
GETCAP3	3:0	4b'0001	I3Cv1.1 仕様に適合
	7	1'b0	MIPI により予約
	6	1'b1	読み出し保留通知に対応
	5	1'b0	HDR 非対応
	4	1'b0	GETSTATUS フォーマット 2 非対応
	3	1'b0	GETCAPS フォーマット 2 非対応
	2	1'b0	デバイス間転送 IBI 非対応
	1	1'b0	デバイス間転送非対応
	0	1'b0	マルチレーン・データ転送非対応
GETCAP4	7:0	8'b00	MIPI により予約

デバイスのリセット

デバイス・リセットはデバイスのレジスタをデフォルト設定に戻し、AD4060 のターゲット・アドレスをリセットします。以下のセクションでは AD4060 のデバイス・リセットのメカニズムを説明します。

AD4060 には、デバイス・リセットの完了を示すハードウェア割込み信号 (DEV_RDY) が含まれています。DEV_RDY 信号はアクティブ・ハイであり、デフォルトで GP1 ピンに割り当てられているため、デジタル・ホストは、AD4060 の動作準備が完了したことをファームウェアに通知するために GP1 ピンの立上がりエッジをモニターできます。詳細については、[デバイス・レディ信号](#)のセクションを参照してください。

DEVICE_STATUS レジスタの DEVICE_RESET ビットは、デバイス・リセットが発生したことを示します。DEVICE_RESET ビットは 1 を書き込むことでクリアするビットで、ホストが 1'b1 を書き込むまでその状態が維持されます。DEVICE_RESET ビットは、期待したようにリセットが実行されたことを確認するため、または意図しないリセットが発生したかどうか（例えば、動作中に電源が故障したかどうか）を確認するために参照できます。

リセット・ビット

リセットは、同じ書き込み命令で INTERFACE_CONFIG_A レジスタの SW_RESET_MSB および SW_RESET_LSB の両ビットを 1'b1 に設定することで開始されます（[インターフェース設定 A レジスタ](#)のセクションを参照）。I3C バス上での干渉による意図せぬリセットの可能性を減らすために、2 つのリセット・ビット・フィールドが使われます。これらのリセット・ビットを使用してヒューズ・リロードを行い、レジスタ・マップとアドレス・ポインタの値をリセットします。I3C ペリフェラルのリセットは行いません。

[図 81](#) は、リセット・ビットを使用して AD4060 をリセットする場合のタイミング図です。デジタル・ホストは、t_{RESET_FUSE_RELOAD} 遅延が経過するのを待ってから I3C トランザクションを開始する必要があります（[タイミング仕様](#)のセクションを参照）。

リセット・パターン

デジタル・ホストは、[図 82](#) に示すリセット・パターンを使用して、どの動作モードからでも AD4060 をリセットできます。

リセット・パターンは MIPI 仕様のセクション 5.1.11.3 に規定されています。このパターンは SCL がローに保持されている間に行われる 14 個の SDA 遷移と同じで、パターンの後には反復スタート (Sr) とストップ (P) が続きます。[図 82](#) は、リセット・パターンを使用して AD4060 をリセットする場合のタイミング図です。デジタル・ホストは、デバイスのリセット動作に対応する遅延時間（[表 5](#) を参照）が経過するのを待ってから、I3C トランザクションを開始する必要があります。

RSTACT CCC は AD4060 のリセット動作を割り当てるために使用します（[RSTACT](#) のセクションを参照）。AD4060 のリセット動作がまだ定義されていない場合は、リセット・パターンを 1 回送信すると I3C ペリフェラルのみがリセットされ、2 回目にデバイスが完全にリセットされます。

AD4060 のリセット動作が定義されている場合、リセット・パターンが発行されると、AD4060 は表 25 に示すリセット動作を実行します。

シリアル・インターフェース

パワーオン・リセット

AD4060 は、VDD レールおよび VIO レールが最初に印加される場合、または両レールをパワーサイクリングする場合に、パワーオン・リセット (POR) を行うように設計されています。VDD 電源または VIO 電源に対する POR により、ユーザ設定レジスタの状態はリセットされます。AD4060 がスリープ・モードに入って内部 LDO レギュレータをディスエーブルした場合、設定レジスタはリセットされません (スリープ・モードのセクションを参照)。

図 83 は、AD4060 の POR のタイミング図です。コントローラは、電源が安定した後に $t_{\text{RESET_FUSE_RELOAD}}$ 遅延が経過するのを待つ必要があります。コントローラはその後に、DByte = 0x02 でブロードキャスト RSTACT CCC を送り、その後にリセット・パターンを送ることができます。あるいは、リセット・パターンを 2 回送ってフル・リセットを行うことができます (図 83 と図 84 を参照)。最後に、他の I3C トランザクションを実行する前に、更に $t_{\text{RESET_FUSE_RELOAD}}$ 遅延が経過するのを待つ必要があります。



図 81. リセット・ビットのタイミング図

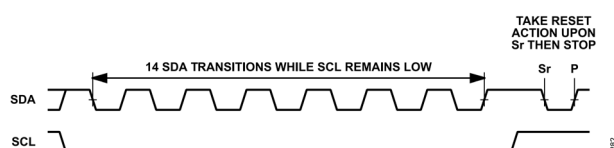


図 82. リセット・パターンのタイミング図

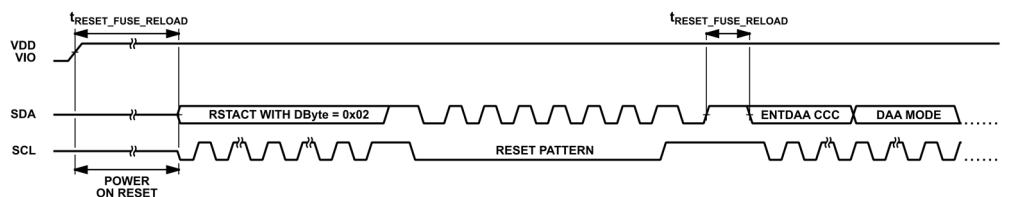


図 83. RSTACT による POR のタイミング図

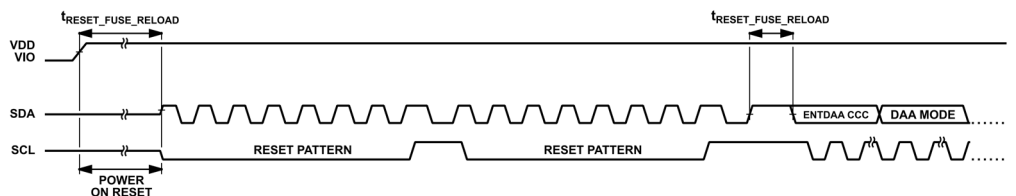


図 84. 2 回のリセット・パターンによる POR のタイミング図

アプリケーション情報

代表的なアプリケーション図

図 85 は AD4060 を使用した接続図の一例です。AD4060 の共通関連回路には、パワー・マネージメント、電圧リファレンス回路、アナログ・フロントエンドおよびシグナル・コンディショニング回路、ならびに I3C 互換のデジタル・ホスト（マイクロコントローラまたはフィールド・プログラマブル・ゲート・アレイ（FPGA）など）が含まれます。

図 85 に示されている各種の部品は AD4060 を動作させるときに最適な性能を得るための一般的な推奨例として示したものであり、すべての事例に使用できるわけではありません。以下のセクションでは、部品の選択に関するガイドラインを詳しく示します。

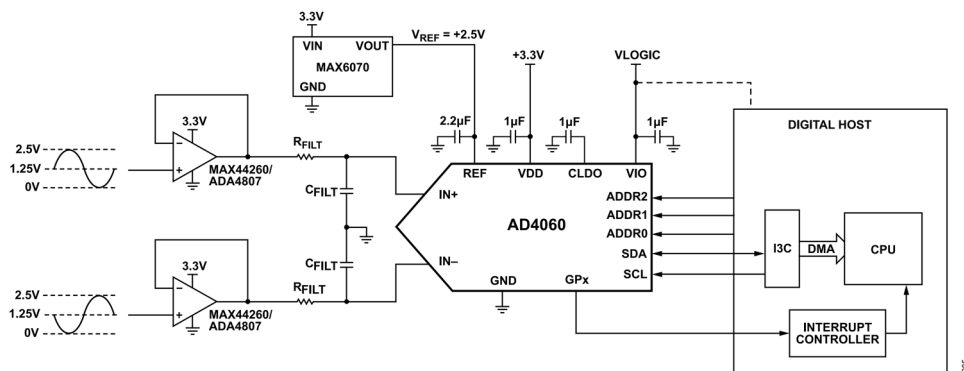


図 85. AD4060 の代表的なアプリケーション図

アプリケーション情報

アナログ・フロントエンドの設計

広い入力同相電圧範囲

AD4060 のアナログ入力、各入力の絶対電圧範囲によってのみ制限される広い同相入力電圧範囲が特徴です (表 1 を参照)。IN+ および IN- の各信号は、0V ~ V_{REF} の範囲に含まれ、同相入力電圧仕様 (V_{CM}) に反することなく使用でき、差動型信号およびシングルエンド型信号の両方との互換性を確保しています。V_{CM} 電圧は、以下の式で与えられ、図 86 にも示されています。

AD4060 は、IN+ と IN- の差動電圧を変換し、同相信号は CMRR に応じて減衰します (表 1 および図 20 を参照)。

$$V_{CM} = \frac{V_{IN+} + V_{IN-}}{2} \quad (6)$$

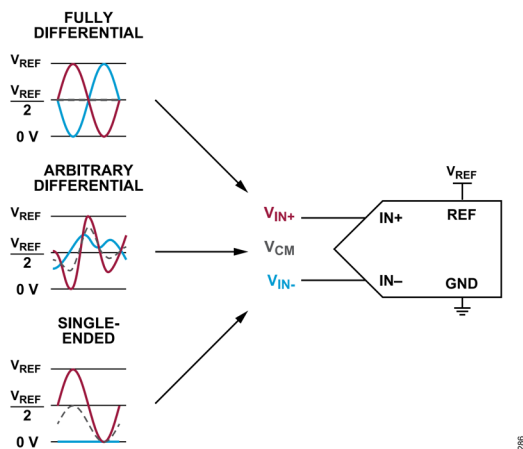


図 86. AD4060 の広い入力同相電圧範囲

AD4060 の等価アナログ入力モデル

アナログ入力のセクションに示すように、AD4060 のアナログ入力はスイッチング容量性負荷としてモデル化することができます。IN+ および IN- の入力はそれぞれ一連のサンプリング・スイッチ (SW1) を通って、3.4pF のサンプリング・コンデンサに接続されます。各変換フェーズの一部として、SW1 スイッチは IN+ ピンおよび IN- ピンとサンプリング・コンデンサ (C_{IN}) とを切り離したり再接続したりするため、過渡入力電流と AFE 回路の出力における電圧グリッチが発生します。AD4060 は C_{IN} が小さいため、過渡電流と電圧スパイクの大きさが他の SAR ADC と比べて小さく抑えられますが、それでも AFE は、仕様のセクションに示す精度および性能仕様を満たすために、これらのグリッチを (次の変換までに) 十分短時間で安定させるよう設計する必要があります。

AD4060 の等価アナログ入力モデルのセクションでは、AD4060 の IN+ および IN- 入力の等価負荷回路モデルを示しています。SW1 はサンプリング・スイッチを表し、SW2 は C_{IN} リセット・スイッチを表しています。SW1 スイッチは変換フェーズの開始時に開くことで、IN+ および IN- の電圧を C_{IN} コンデンサでサンプリングします。アキュイジション・フェーズを開始する前に、SW2 スイッチはサンプリング・コンデンサを互いに短絡して、

これを既知の予測可能な状態にリセットします。C_{IN} 容量は IN+ および IN- の両方に対して同じなので、各コンデンサのリセット電圧は以下の式で与えられる同じ値になります。

$$\frac{V_{IN+} + V_{IN-}}{2} \quad (7)$$

ここで、V_{IN+} および V_{IN-} はそれぞれ、サンプリングされた IN+ 電圧および IN- 電圧です。なお、この式は広い入力同相電圧範囲のセクションに示す同相入力電圧の式と同じです。

コンバータの動作のセクションで説明したように、AD4060 のアキュイジション・フェーズと変換フェーズは重なり合っています。アキュイジション・フェーズが始まるのは、変換フェーズの開始から 210ns 後です。アキュイジション・フェーズの開始時に SW2 スイッチが開いて SW1 スイッチが閉じることにより、C_{IN} が AD4060 の入力に再接続されて信号が取得されます。SW1 が閉じたタイミングで、IN+ および IN- の入力は、ある程度の電荷を AFE 回路から吸収するか供給して、C_{IN} コンデンサを意図した信号電圧まで再充電します。過渡電流スパイクによって過渡電圧グリッチが各ピンに発生し、その大きさは、C_{IN} コンデンサから引き出される電荷量と AFE 回路の出力インピーダンスに依存します。

AFE が次の変換フェーズまでに入力グリッチを完全に安定させることができない場合は、SW2 スイッチが直線性誤差の最小化を目的として実装されます。SW2 スイッチにより、サンプリングごとの電荷転送量が入力信号電圧に直線的に関連することになります。最も大きい電流および電圧のグリッチが発生するのは、差動入力電圧が V_{REF} に等しい場合です。例えば、V_{IN-} = 0V で V_{IN+} = V_{REF} = 3.3V の場合、サンプリングごとの電荷転送量は 5.6pC であり、これが IN- 入力に流入し、IN+ 入力から流出します。したがって、定常状態の入力電流と入力電圧の関係も、図 22 に示すように直線的です。したがって、AD4060 におけるセトリング誤差は、INL および THD の低下ではなく、追加のゲイン誤差として現れます。

AFE 回路の出力における電圧グリッチを減衰させるために、IN+ および IN- の各ピンには RC キックバック・フィルタを設けることが推奨されます (図 85 を参照)。高精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計という記事には、適切なセトリングを確保するキックバック・フィルタの RC 部品を選択するためのガイダンスが示されています。表 29 に、AD4060 に使用する一般的な推奨 RC 部品をいくつかのサンプル・レートについて示します (R_{FILT} と C_{FILT} は、それぞれ RC キックバック・フィルタの抵抗値と容量値です)。表 29 に示す値は初期ガイダンスとして示したもので、システム設計者は、これらと組み合わせて使用するアンプが RC 負荷を安定駆動できることを確認する必要があります。500kSPS 以上のサンプル・レートに対応する値は、バースト平均化モード時のバースト変換にのみ適用されます。

過渡シミュレーション用に設定した場合、AD4060 の LTspice モデルは図 87 に示す等価アナログ入力モデルをエミュレートします。

アプリケーション情報

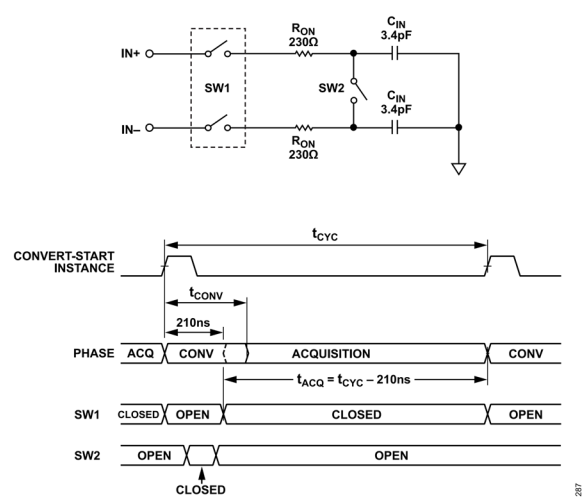


図 87. AD4060 の等価入力負荷モデル

表 29. AD4060 の RC キックバック・フィルタに関する推奨事項

Sample Rate	t _{ACQ}	R _{FILT}	C _{FILT}	-3dB Bandwidth
2MSPS	290ns	100Ω	1nF	1.59MHz
		200Ω	360pF	2.21MHz
1MSPS	790ns	250Ω	1nF	636.61kHz
		523Ω	360pF	845.30kHz
500kSPS	1790ns	665Ω	1nF	239.33kHz
		1270Ω	360pF	348.10kHz
100kSPS	9790ns	3.57kΩ	1nF	44.5kHz
		6.81kΩ	360pF	64.91kHz

アプリケーション情報

ノイズおよび歪みに関する考慮事項

システム全体の性能は、AD4060 のノイズおよび歪みの仕様と AFE 回路のノイズおよび歪みの仕様の組み合わせによって決まるので、AFE 回路の仕様も考慮する必要があります。総システム・ノイズ ($v_{N,TOTAL}$) は AFE の実効値ノイズ ($v_{N,AFE}$) と ADC の実効値ノイズ ($v_{N,ADC}$) の二乗和平方根 (RSS) で表され、以下の式に示す要領で AD4060 の入力に換算されます。

$$v_{N,TOTAL} = \sqrt{v_{N,AFE}^2 + v_{N,ADC}^2} \quad (8)$$

MT-049 および MT-050 には、オペアンプ回路における $v_{N,AFE}$ の推定方法が示されており、これはアンプおよび受動部品のノイズ仕様とアンプの構成に基づいています。高精度 SAR A/D コンバータ (ADC) のフロントエンド・アンプと RC フィルタの設計という記事には、システムの S/N 比と $v_{N,AFE}$ および $v_{N,ADC}$ との関係を推定する方法が説明されています。

AD4060 の等価アナログ入力モデルのセクションで述べたように、AFE と ADC の間にある RC キックバック・フィルタの主な目的はセトリング誤差を最小化することであり、AFE ノイズの除去やエイリアシングの防止ではありません。RC キックバック・フィルタの帯域幅は任意に低く設定できないため、RC キックバック・フィルタではなく、アンプ回路の前段またはその中に、何らかのノイズまたはアンチエイリアスのフィルタリング機能を追加で実装することが推奨されます。コンデンサの電圧および温度の定格低下によって生じる信号歪みのアーチファクトを最小限に抑えるために、AFE 回路に使用される全てのコンデンサには、NP0/C0G 型の誘電体コンデンサが推奨されます。

リファレンス回路設計

等価 REF 入力モデル

AD4060 の入力範囲を決定するには外部電圧リファレンスが必要です。精度および性能を最大限に引き出すには、低ノイズで安定したリファレンスが不可欠です。

AD4060 の REF ピンは、変換フェーズごとに外部リファレンス回路から電荷 (Q_{CONV}) の供給を受けて、SAR ADC のビット・トライアルを実行します。したがって、REF 入力電流 (I_{REF}) は、変換ごとに一度発生する過渡電流負荷として、またサンプル・レートの関数である等価平均 DC 電流負荷として表すことができます (表 1 および図 23 を参照)。電圧リファレンス回路は、AD4060 の REF ピンから電荷の過渡現象が生じても、変換結果にゲイン誤差やスタック・ビットが発生しないように、安定した正確な V_{REF} 電圧を維持する必要があります。

リファレンス・デカップリング・コンデンサ (C_{REF}) が強く推奨されるのは、REF ピンによって引き出される瞬時電荷を供給すると共に、 V_{REF} 電圧を LSB 以内に維持するためです。最適な性能を得るには、 C_{REF} に 0402 以上のケース・サイズを持つ 2.2 μ F のコンデンサを実装して、適切なコンデンサの電圧係数を確保してください。スペースに制約のあるアプリケーションにはケース・サイズ 0201 の 1 μ F コンデンサを使用できますが、ゲイン誤差と INL がわずかに悪化します。 C_{REF} コンデンサを、同じ PCB 層の REF ピンのできるだけ近い位置に太い配線パターンで配置して、直列インピーダンスを最小化します (レイアウトに関する推奨事項のセクションを参照)。

AD4060 がアイドル (変換を実行していない) 状態にある間、REF ピンはわずかなスタンバイ電流 (8 nA) しか消費しません。AD4060 がアイドル状態と変換バーストの実行を断続的に切り替えるアプリケーション (例えばバースト平均化モードを使用する場合) では、 I_{REF} がほぼゼロから 60 μ A/15 μ A ($f_s = 2$ MSPS/500 kSPS の場合) まで急速に変化します。負荷電流のこの変化は、リファレンス回路に出力負荷過渡応答を引き起こすため、 V_{REF} に $\frac{1}{2}$ LSB を超える変化がある場合は考慮する必要があります。低消費電力で優れた過渡応答性を実現するために、MAX6070 の電圧リファレンスを推奨します。図 88 は、変換バーストにตอบสนองするリファレンス回路の過渡負荷効果を示しています。

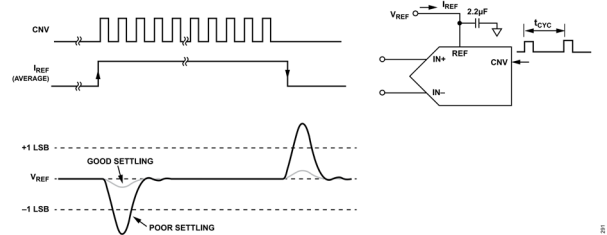


図 88. バースト・サンプリングと電圧リファレンスのセトリング

リファレンス・ノイズに関する考慮事項

電圧リファレンス回路のノイズは、システムレベルのダイナミック・レンジと S/N 比の目標仕様を達成するために極めて重要です。ほぼフルスケールの大きい入力信号の場合、リファレンス回路からどのようなノイズが発生しても、変換結果に影響を与え、基本的な周波数の周辺で変調します。リファレンスのノイズによって、バースト平均化モードで高い平均化比率を使用して得られる S/N 比の向上や分解能の向上も制限されることになります。

アンプのシャットダウンと ADC サンプリングの同期

DEV_EN 信号は、AD4060 によって生成されるアンプのパワーダウン信号であり、ADC と同期して、サンプリングのタイミングの前に、アンプの電源投入時のセトリング時間を最大限確保します。図 46 は、AD4060 の DEV_EN 信号をオペレーショナル・アンプリファイアと併用する場合の代表的な接続図です。DEV_EN 信号は、この例では GP0 出力ピンに割り当てられます。

DEV_EN 信号がアサートされると (デバイス・イネーブル信号のセクションを参照)、接続されたアンプがイネーブルされます。サンプリングのタイミングは、ユーザがプログラム可能な $tpwr_on$ 遅延が経過するまで延期されます。 $tpwr_on$ 遅延が経過した後に、DEV_EN 信号はデアサートされ、アンプがパワーダウンします。VIO 電圧で設定される AD4060 のロジック・レベル (仕様のセクションを参照) との互換性を確保するには、アンプのデータシートを参照して、そのシャットダウン・ピンのロジック・レベルを確認してください。

ADC のサンプリング・タイミングまでにアンプの出力を確実に安定させるには、 $tpwr_on$ 遅延がアンプのターンオン時間仕様より長くなるように設定してください。ターンオン時間は、アンプの出力が ENABLE/SHUTDOWN 入力をアサートした後に仕様規定された精度まで安定するのに必要な時間を示しています。ターンオン時間は、負荷やアンプの構成によって異なることに注意してください。Introduction to Dynamic Power Scaling という記事には、SAR ADC のサンプリングに対するオペレーショナル・アンプリファイアのパワーサイクリングの設定および評価に関するガイダンスが示されています。

アプリケーション情報

AD4060 の様々な動作モードで DEV_EN を使用する際のタイミング図については、図 51 と図 55 を参照してください。

リファレンスのシャットダウンを利用した高精度の達成

低ノイズで高精度の電圧リファレンスが、高精度の SAR ADC と組み合わせてシステムレベルの性能を最大限に引き出すために一般に推奨されます。電圧リファレンス回路には、SAR ADC の REF 入力過渡負荷に対処するために、低出力インピーダンスと高速過渡応答も必要になります。これは、サンプル・バーストを実行する場合は特に重要です（リファレンス回路設計のセクションを参照）。一般に、低消費電力の電圧リファレンスがこれらの要件をすべて同時に満たすことはできません。そのため、システム設計者はリファレンス・バッファ・アンプの追加を強いられることが多く、結果としてシステム全体の消費電力が増加します。

MAX6070 は消費電力が非常に低い電圧リファレンスであり、リファレンス・バッファ・アンプを介さずに、AD4060 の REF ピンを直接駆動できます。しかし、AD4060 は、省電力を極めて重視するアプリケーション向けに、精度を悪化させずに電圧リファレンスを無効にできる独自の機能を備えています。

AD4060 は、V_{REF} ソースとして VDD 電源を選択できます。これについては、リファレンス選択モードのセクションで説明されています。V_{REF} として VDD を使用しながら精度を維持するために、AD4060 は VDD 電源と REF 入力電圧の比を直接計測して対応するデジタル補正係数を計算し、それに応じて ADC サンプルを自動的にスケールリングできます。デジタル補正には、ゲイン・スケールリングのセクションで説明している MON_VAL フィールドを使用して、REF ドメインと VDD ドメインの間の ADC の伝達関数をスケールリングします。

MON_VAL を使用した自動スケールリングの計算は、2 つのフェーズで構成されます。図 89 は、MON_VAL デジタル補正係数の計測および計算を行う際の AD4060 の構成を示しています。図 90 は MON_VAL が更新された後の構成を示しており、AD4060 は、VDD を V_{REF} ソースとして入力をサンプリングし始めます。表 30 は、両方のフェーズの関連構成の設定値を示しています。

MON_VAL の計算フェーズでは、REF ピンが MAX6070 のような正確な電圧リファレンスで駆動され、REF ピンが V_{REF} ソースとして選択されています。VDD 電圧は、内部で 1/2 倍にスケールリングされ、ADC でサンプリングされます。コントローラは AD4060 によるバースト平均化モードでのバースト・サンプリングをトリガして、その結果の平均値が生成されると、AD4060 が 16 ビットのデジタル補正係数を自動的に計算して、それを MON_VAL フィールドにロードします。RDY 信号は、計算が完了したことを示すために、オプションで GP0 ピンまたは GP1 ピンに割り当てることができます。

MON_VAL の適用フェーズでは、ADC は、V_{REF} ソースとして選択された VDD を使用し、IN+ピンおよび IN-ピンを経由した入力信号をサンプリングするように再設定されます。外部電圧リファレンスは、システムの消費電力を削減するためにパワーダウンします。ADC が入力をサンプリングするときに、MON_VAL スケールリング係数がデジタル出力コードに適用され、VDD 電圧ではなく REF 電圧で設定された伝達関数に合わせてスケールリングします。

VDD 電源回路の安定性によっては、システムの精度目標を維持するために、MON_VAL の計算を周期的に行うことが必要になる場合もあります。

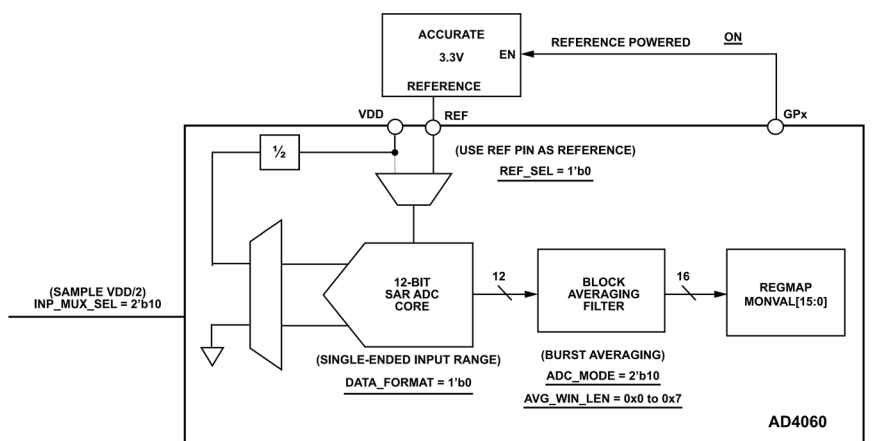


図 89. MON_VAL 計算の構成

アプリケーション情報

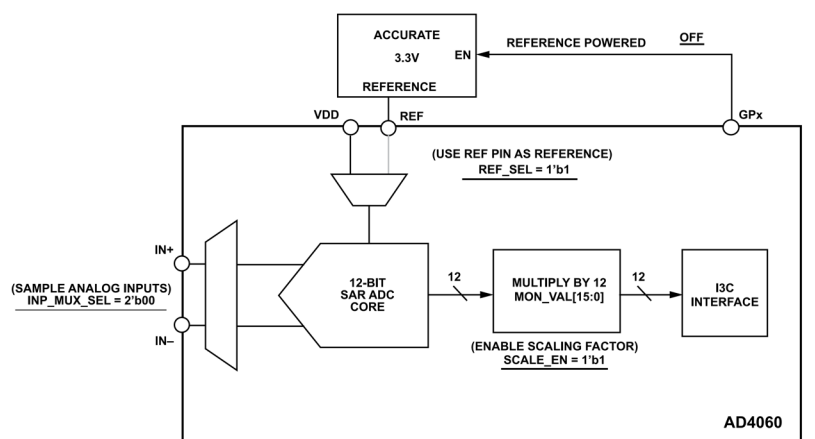


図 90. MON_VAL 適用の構成

表 30. MON_VAL スケーリングの設定値

Bit Field Name	MON_VAL Calculation	MON_VAL Application
REF_SEL	1'b0: $V_{REF} = REF$	1'b1: $V_{REF} = VDD$
DATA_FORMAT	1'b0: Single-ended mode	Don't care
INP_MUX_SEL	2'b10: Sample $VDD/2$	2'b00: sample $IN+$ and $IN-$
ADC_MODE	2'b10: Burst averaging mode	Don't care
AVG_WIN_LEN	Don't care ¹	Don't care
SCALE_EN	1'b0: Scaling disabled	1'b1: scaling enabled
GP0_SEL	3'b010: RDY on GP0 ²	Don't care
GP1_SEL	3'b110: Logic high on GP1 ³	3'b011: logic low on GP1 ³

¹ MON_VAL の計算には特定の N_{AVG} の値は必要ありませんが、VDD 電源回路のノイズとシステムの精度目標に基づいて N_{AVG} を設定することが推奨されます。

² オプションです。RDY 信号は、MON_VAL の計算が完了したことをデジタル・ホストに通知するハードウェア割込みとして機能できます。

³ オプションです。静的なロジック・レベルは、その入力ロジック・レベルが AD4060 の出力ロジック・レベルと一致する場合、電圧リファレンスのイネーブル・ピンとして機能できます。

VDD 消費電力

AD4060 のような SAR ADC は、消費電力バジェットが厳しい高精度計測アプリケーションに最適です。ADC コアは効果的にデューティサイクル動作を行い、変換を実行するアクティブ時にしか電力を消費しないため、サンプル・レートが低いほど実効的な消費電力は低下します。図 91 は、瞬時および平均 VDD 入力電流 (I_{DD}) と ADC サンプリングの関係を示しています。表 1 は、いくつかの動作モードおよびサンプル・レートに対する平均電源電流と消費電力を示しています。

AD4060 の ADC コアは電力効率が非常に優れており、いくつかの低電力動作モードで動作できます。アナログ・フロントエンドの設計のセクションで説明されているように、サンプリング・レートを低下させると、AFE およブリファレンス回路の負荷駆動条件も緩和されるため、AD4060 は、システム全体の電力最適化のために低消費電力のアンプおよび電圧リファレンスとインターフェースできるようになります。

AD4060 がアイドル状態のとき、VDD が消費するスタンバイ電流はわずか 990nA です (図 34 を参照)。サンプル・モードでの AD4060 の平均 VDD 電流は 1MSPS 時に 400 μ A、300kSPS 時に 120 μ A で、これは 1 回の変換あたり 400pC の電荷量に相当します。自律モードでは、VDD 電流は 1MSPS で 112 μ A、500kSPS で 56 μ A に低下します。これは、1 回の比較動作あたり 112pC の電荷量に相当します。図 26 と図 29 は、平均 I_{DD} および消費電力と、ADC サンプル・レートの関係を実作モード別に示したものです。電源電流および消費電力は、サンプル・レートに伴って線形に変化します。

バースト平均化モードでは AD4060 は変換バーストを実行し、結果の平均値を生成します。したがって、バースト平均化モードでの平均消費電力は、多数のサンプル・バーストにおける 1 秒当たりの平均変換回数に依存します。これは、バースト・サンプリング・レート N_{AVG} と、変換インスタンスの時間に依存します。図 92 は、バースト平均化モードのバースト・サンプリング・フェーズおよびアイドル・フェーズにおける VDD 消費電力を示しています。

アプリケーション情報

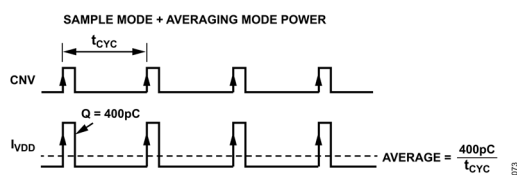


図 91. サンプル・モードの I_{DD} と変換周期の関係

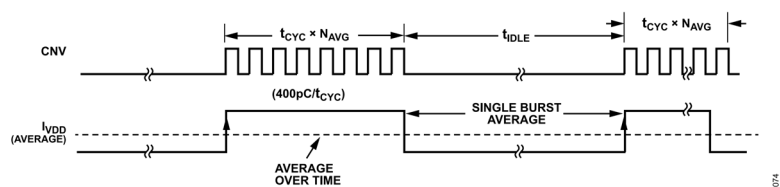


図 92. バースト平均化モードの I_{DD} とバースト変換の関係

アプリケーション情報

シリアル・インターフェースの出力データレートの計算

AD4060のADCコア性能は2MSPSまでの f_s に対して仕様規定されていますが、実現可能な最大出力データレート(f_{ODR_MAX})は動作条件とシリアル・インターフェース仕様に依存し、実用上の f_s を制限する場合もあり、サンプル・モードでは特にその傾向が強くなります。

CONV_READを使ってADC変換をトリガするときは、変換結果（反復スタートとストップが後に続く）を読み出すごとに、新たなADC変換が行われます。CONV_TRIGGERを使ってADC変換をトリガするには変換ごとに書き込みコマンドを送ってアドレス・ポインタを更新してトリガし、その後に読出しコマンドを送って、次の変換をトリガする前に変換結果を読み出す必要があります。したがってCONV_READからの読出し時は、より高い f_{ODR_MAX} を使用できます。

CONV_READレジスタとCONV_TRIGGERレジスタ使用時の、サンプル・モードにおけるシリアル・インターフェースの最大出力データレートを表31に示します。最大出力データレートの値は、式9から式19までに示されたすべての仕様が最小仕様値であると仮定し、320nsの最大変換時間を使用することによって得られます。 $t_{OD_Clock} = t_{LOW_OD_Min} + t_{HIGH_OD_Min} = 232ns$ であるものとします。また、 $f_{SCL} = 12.5MHz$ を使い、 $t_{PP_Clock} = 80ns$ とします（タイミング仕様のセクションを参照）。AD4060には、コントローラによってSDAを駆動する際のSDAの立上がりまたは立下がりエッジ・レート検出に関する制約がないので、コントローラ駆動SDAの立上がり時間と立下がり時間を0と見なします。

式9から式13は、CONV_READを使用するサンプル・モードの f_{ODR_MAX} の推定に使用できます。式14から式19は、CONV_TRIGGERを使用するサンプル・モードの f_{ODR_MAX} の推定に使用できます。

表 31. シリアル・インターフェースの最大出力データレート

Conversion register	f_{ODR_MAX}
CONV_READ	251.03kSPS
CONV_TRIGGER	146.88kSPS

$$t_{OD} = t_{CAS} + 9 \times (t_{OD_Clock}) \quad (9)$$

$$t_{PP} = 18 \times (t_{PP_Clock}) \quad (10)$$

$$t_{Transition} = t_{CBSr} + t_{CASr} + \frac{1}{2} (t_{PP_Clock}) + t_{CBP} + t_{CONV} \quad (11)$$

$$t_{CYC_MIN} = t_{OD} + t_{PP} + t_{Transition} \quad (12)$$

$$f_{ODR_MAX} = 1/t_{CYC} \quad (13)$$

$$t_{OD} = t_{CAS} + 9 \times (t_{OD_Clock}) \quad (14)$$

$$t_{PP} = 9 \times (t_{PP_Clock}) \quad (15)$$

$$t_{Transition} = t_{CBP} + t_{CONV} \quad (16)$$

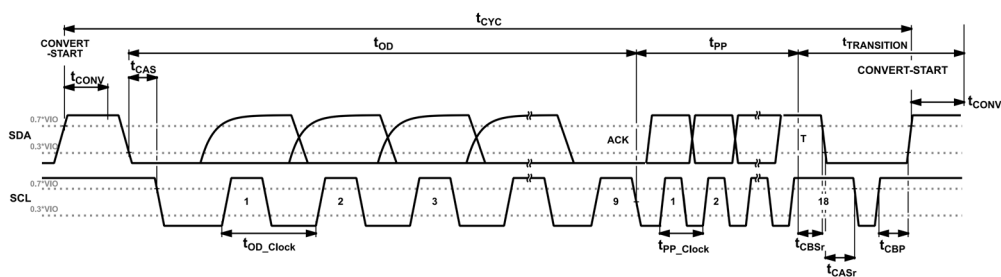
$$t_{Read} = t_{CAS} + 9 \times (t_{OD_Clock}) + 18 \times (t_{PP_Clock}) + t_{CBP} + t_{BUF} \quad (17)$$

$$t_{CYC_MIN} = t_{OD} + t_{PP} + t_{Transition} + t_{Read} \quad (18)$$

$$f_{ODR_MAX} = 1/t_{CYC} \quad (19)$$

ここで、

t_{CYC} は実現可能な最小サンプリング周期、
 f_{ODR_MAX} は実現可能な最大出力データレート、
 t_{CAS} はスタート後のクロック待機時間、
 t_{OD_Clock} はオープン・ドレインでのクロック周期（表3を参照）、
 t_{PP_Clock} はプッシュプルでのクロック周期（表4を参照）、
 t_{CBSr} は反復スタート前のクロック待機時間、
 t_{CASr} は反復スタート後のクロック待機時間、
 t_{CBP} はストップ前のクロック待機時間、
 t_{CONV} はADCの変換時間、
 t_{BUF} はストップからスタートまでの待機時間です。

図 93. CONV_READ を使用する f_{ODR_MAX} の計算

アプリケーション情報

レイアウトに関する推奨事項

AD4060 使用時にその性能を最大限に引き出すには、以下の PCB レイアウトのガイドラインに従うことを推奨します。

- ▶ AD4060 の下にある PCB 層には、強固なグランド・プレーンを設けます。AD4060 の GND ピンとグランド・プレーン層の間は必ず低インピーダンス接続にします。
- ▶ アナログ入力と REF の配線パターンは、デジタル・インターフェースの配線パターンから必ず物理的に分離して、デジタル信号エッジからのクロストークを最小限に抑えます。アナログとデジタルの配線パターン間に GND フィルを設けます。強固なグランド・プレーン層を間に設けずに AD4060 の下やアナログ信号の配線パターンの下にデジタル・インターフェースの配線パターンを配置しないでください。
- ▶ 電圧リファレンス回路と AD4060 の REF ピンの間のインピーダンスは、 V_{REF} のセトリング問題を防ぐために、できる限り低くします。等価直列抵抗 (ESR) が低いデカップリング・コンデンサを AD4060 の REF ピンのできるだけ近くに配置します ([リファレンス回路設計](#)のセクションを参照)。電圧リファレンスと AD4060 の REF ピンの間には、太い配線パターンを使用します。
- ▶ RC キックバック・フィルタのコンデンサは、IN+ピンおよび IN-ピンのできるだけ近くに配置します ([アナログ・フロントエンドの設計](#)のセクションを参照)。
- ▶ 電源のデカップリング・コンデンサは、VDD、CLDO、VIO の各ピンのできるだけ近くに配置します ([電源](#)のセクションを参照)。

AD4060 のレジスタの概要

表 32. AD4060 のレジスタ一覧

アドレス	名称	説明	リセット	アクセス
0x00	INTERFACE_CONFIG_A	インターフェース設定 A。	0x00	R/W
0x01	INTERFACE_CONFIG_B	インターフェース設定 B。	0x08	R/W
0x02	DEVICE_CONFIG	デバイスの構成。	0xF0	R/W
0x03	DEVICE_TYPE	デバイス・タイプ。	0x07	R
0x04	PRODUCT_ID_L	製品 ID（下位バイト）。	0x7A	R
0x05	PRODUCT_ID_H	製品 ID（上位バイト）。	0x00	R
0x06	DEVICE_GRADE	デバイスのグレード。	0x00	R
0x0A	SCRATCH_PAD	スクラッチ・パッド。	0x00	R/W
0x0C	MANUFACTURER_ID_L	MIPI メーカーID（下位バイト）。	0x77	R
0x0D	MANUFACTURER_ID_H	MIPI メーカーID（MSByte）。	0x01	R
0x0E	LOOP_COUNT	予約済み。	0x00	R/W
0x0F	TRANSFER_CONFIG	予約済み。	0x00	R/W
0x10	INTERFACE_CONFIG_C	インターフェース設定 C。	0x03	R/W
0x11	INTERFACE_STATUS	インターフェース・ステータス。	0x00	R/W
0x21	ADC_MODES	ADC 動作モード設定。	0x80	R/W
0x22	ADC_CONFIG	ADC セットアップ設定。	0x00	R/W
0x23	AVG_CONFIG	平均化フィルタ設定。	0x00	R/W
0x24	GP_CONFIG	汎用ピン設定。	0xF0	R/W
0x25	INTR_CONFIG	割込み設定。	0x21	R/W
0x27	TIMER_CONFIG	タイマー設定。	0x00	R/W
0x28	MAX_LIMIT_REG	最大閾値設定。	0x0000	R/W
0x2A	MIN_LIMIT_REG	最小閾値設定。	0x0000	R/W
0x2C	MAX_HYST_REG	最大閾値ヒステリシス。	0x00	R/W
0x2D	MIN_HYST_REG	最小閾値ヒステリシス。	0x00	R/W
0x2E	MON_VAL_REG	MON_VAL スケーリング。	0x0000	R/W
0x30	INTERFACE_IBI_EN	インターフェース・エラーIBI のイネーブル。	0x00	R/W
0x31	ADC_IBI_EN	ADC IBI のイネーブル。	0x00	R/W
0x40	FUSE_CRC	ヒューズ CRC。	0x00	R/W
0x41	DEVICE_STATUS	デバイス・ステータス。	0x40	R/W
0x42	MAX_SAMPLE_REG	最大割込みサンプル。	0x0000	R
0x44	MIN_SAMPLE_REG	最小割込みサンプル。	0x0000	R
0x46	TGT_ADDR_REG	ターゲット・アドレス。	0x00	R
0x47	GRP_ADDR_REG	グループ・アドレス。	0xFF	R
0x48	IBI_STATUS	IBI のステータス。	0x00	R
0x50	CONV_READ	変換読出し結果。	0x00000000	R
0x56	CONV_TRIGGER	変換トリガ。	0x00000000	R

レジスタの詳細

インターフェース設定 A レジスタ

インターフェースの設定値。

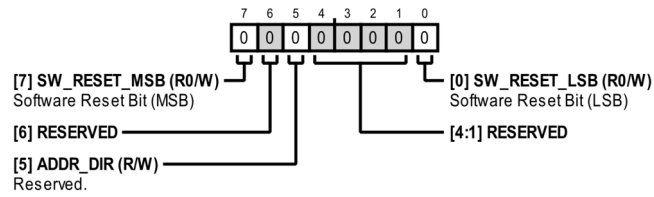


図 94. アドレス：0x00、リセット：0x00、レジスタ名：INTERFACE_CONFIG_A

表 33. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET_MSB	ソフトウェア・リセット・ビット（MSB）。デバイスのソフトウェア・リセットを開始するには、同じレジスタ書込みで SW_RESET_MSB および SW_RESET_LSB の両方を 1 に設定します。	0x0	R0/W
6	RESERVED	予約済み。	0x0	R
5	ADDR_DIR	予約済み。このビットは 0 に設定する必要があります。このビットは、ソフトウェア・リセットではリセットされません。リセットするには、ソフトウェア・リセット・パターンまたはパワーオン・リセットが必要です。	0x0	R/W
[4:1]	RESERVED	予約済み。	0x0	R
0	SW_RESET_LSB	ソフトウェア・リセット・ビット（LSB）。デバイスのソフトウェア・リセットを開始するには、同じレジスタ書込みで SW_RESET_MSB および SW_RESET_LSB の両方を 1 に設定します。	0x0	R0/W

インターフェース設定 B レジスタ

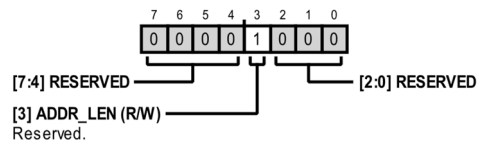


図 95. アドレス：0x01、リセット：0x08、レジスタ名：INTERFACE_CONFIG_B

表 34. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	ADDR_LEN	予約済み。このビットは 1 に設定する必要があります。	0x1	R/W
[2:0]	RESERVED	予約済み。	0x0	R

デバイス設定レジスタ

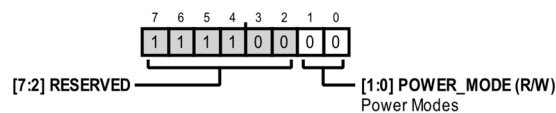


図 96. アドレス：0x02、リセット：0xF0、レジスタ名：DEVICE_CONFIG

表 35. DEVICE_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x3C	R
[1:0]	POWER_MODE	電力モード。 00：アクティブ・モード。 11：スリープ・モード（低消費電力）。	0x0	R/W

レジスタの詳細

デバイス・タイプ・レジスタ

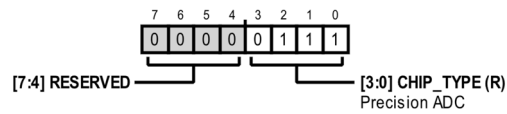


図 97. アドレス：0x03、リセット：0x07、レジスタ名：DEVICE_TYPE

表 36. DEVICE_TYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	高精度 ADC。	0x7	R

製品 ID (LSByte) レジスタ

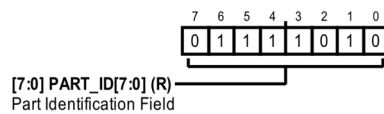


図 98. アドレス：0x04、リセット：0x7A、レジスタ名：PRODUCT_ID_L

表 37. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PART_ID[7:0]	デバイス ID フィールド。	0x7A	R

製品 ID (MSByte) レジスタ

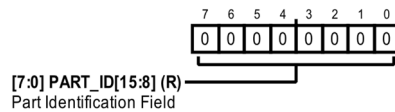


図 99. アドレス：0x05、リセット：0x00、レジスタ名：PRODUCT_ID_H

表 38. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PART_ID[15:8]	デバイス ID フィールド。	0x0	R

デバイス・グレード・レジスタ

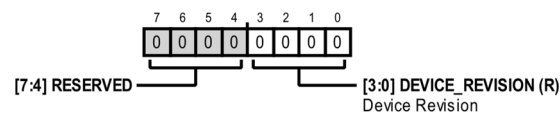


図 100. アドレス：0x06、リセット：0x00、レジスタ名：DEVICE_GRADE

表 39. DEVICE_GRADE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	DEVICE_REVISION	デバイスのリビジョン。デバイスのリビジョンを示します。	0x0	R

スクラッチ・パッド・レジスタ

インターフェース読出し／書込みテスト用レジスタ。

レジスタの詳細

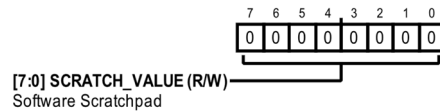


図 101. アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

表 40. SCRATCH_PAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。このレジスタは、デバイスとの I3C 通信をテストするために使用します。このレジスタに書き込まれた値はデバイス動作に影響しません。	0x0	R/W

MIPI メーカーID（下位バイト）レジスタ

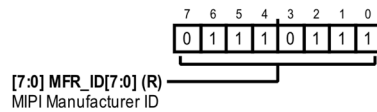


図 102. アドレス：0x0C、リセット：0x77、レジスタ名：MANUFACTURER_ID_L

表 41. MANUFACTURER_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MFR_ID[7:0]	MIPI メーカーID。MFR_ID[15:0]フィールドは、アナログ・デバイセズのすべての製品で同じ値（0x0177）です。	0x77	R

MIPI メーカーID（上位バイト）レジスタ

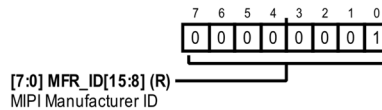


図 103. アドレス：0x0D、リセット：0x01、レジスタ名：MANUFACTURER_ID_H

表 42. MANUFACTURER_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MFR_ID[15:8]	MIPI メーカーID。MFR_ID[15:0]フィールドは、アナログ・デバイセズのすべての製品で同じ値（0x0177）です。	0x1	R

予約済みレジスタ

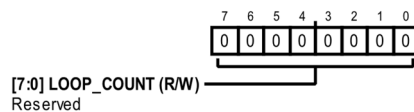


図 104. アドレス：0x0E、リセット：0x00、レジスタ名：LOOP_COUNT

表 43. LOOP_COUNT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	予約済み。このビット・フィールドは 0x00 に設定する必要があります。	0x0	R/W

レジスタの詳細

予約済みレジスタ

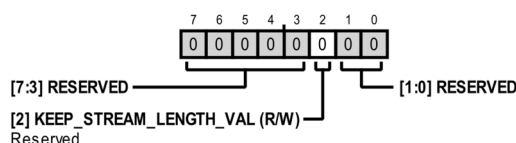


図 105. アドレス：0x0F、リセット：0x00、レジスタ名：TRANSFER_CONFIG

表 44. TRANSFER_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	KEEP_STREAM_LENGTH_VAL	予約済み。このビットは 0 に設定する必要があります。	0x0	R/W
[1:0]	RESERVED	予約済み。	0x0	R

インターフェース設定 C レジスタ

追加のインターフェース設定値。

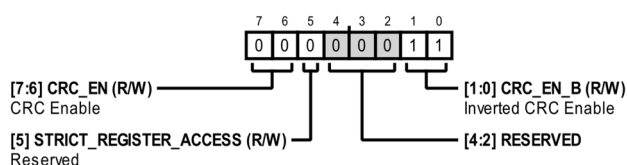


図 106. アドレス：0x10、リセット：0x03、レジスタ名：INTERFACE_CONFIG_C

表 45. INTERFACE_CONFIG_C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CRC_EN	CRC イネーブル。同じレジスタ書き込みで CRC_EN を 0x1 に、CRC_EN_B を 0x2 に設定して、インターフェースの CRC をイネーブルします。 0x0 : CRC をディスエーブル。 0x1 : CRC をイネーブル。CRC_EN_B = 0x2 の場合、CRC をイネーブルします。	0x0	R/W
5	STRICT_REGISTER_ACCESS	予約済み。このビットは 0 に設定する必要があります。	0x0	R/W
[4:2]	RESERVED	予約済み。	0x0	R
[1:0]	CRC_EN_B	CRC イネーブルの反転値。CRC をイネーブルするには、CRC_ENABLE の反転値として書き込みます。	0x3	R/W

インターフェース・ステータス・レジスタ

設定モードでのレジスタ読出しおよび／または書き込み時にエラーが発生したことを示すステータス・ビット。インターフェース・ステータスのビットはアクティブ・ハイであり、対応するビット位置に 1 を書き込むことでクリアされます。

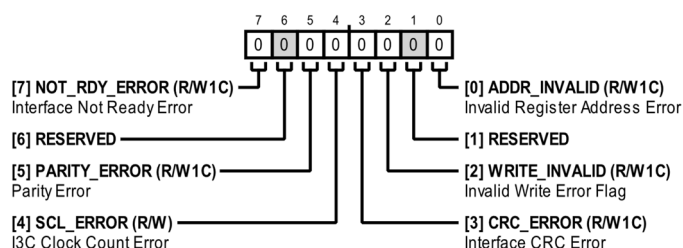


図 107. アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE_STATUS

レジスタの詳細

表 46. INTERFACE_STATUS のビット説明

ビット	ビット名	説明	リセット	アクセス
7	NOT_RDY_ERROR	インターフェース準備未完了によるエラー。このエラー・ビットは、デジタル初期化が完了する前にユーザが I3C トランザクションを実行しようとした場合にセットされます。例えば、デバイス・リセットの完了前がこれに該当します。	0x0	R/W1C
6	RESERVED	予約済み。	0x0	R
5	PARITY_ERROR	パリティ・エラー。このエラー・ビットは、I3C 書き込みトランザクションのパリティ・ビットが付随データのパリティと一致しない場合にセットされます。	0x0	R/W1C
4	SCL_ERROR	I3C クロック・カウント・エラー。このエラー・ビットは、I3C 読出し／書き込みトランザクションで受信したシリアル・クロック周期数が誤っていた場合にセットされます。	0x0	R/W
3	CRC_ERROR	インターフェース CRC エラー。このエラー・ビットは、レジスタの読出し／書き込み時にデバイスが SDA で無効な CRC チェックサム値を受信した場合にセットされます。このエラー・ビットは、CRC がイネーブルされている場合にのみアクティブとなります。	0x0	R/W1C
2	WRITE_INVALID	無効書き込みによるエラー・フラグ。このエラー・ビットは、読出し専用ビットのみを格納したレジスタに対して I3C コントローラが書き込みを試みると 1 にセットされます。	0x0	R/W1C
1	RESERVED	予約済み。	0x0	R
0	ADDR_INVALID	無効レジスタ・アドレス・エラー。このエラー・ビットは、I3C コントローラが未定義のレジスタ・アドレスからの読出しを試みた場合、またはそのアドレスへの書き込みを試みた場合に 1 にセットされます。	0x0	R/W1C

ADC 動作モード設定レジスタ

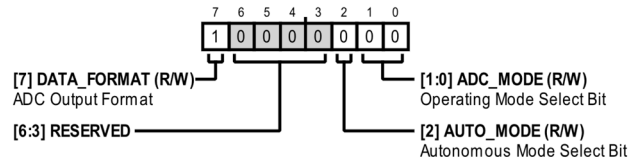


図 108. アドレス：0x21、リセット：0x80、レジスタ名：ADC_MODES

表 47. ADC_MODES のビット説明

ビット	ビット名	説明	リセット	アクセス
7	DATA_FORMAT	ADC の出力形式。 0：シングルエンド・モード。ADC データはストレート・バイナリ（符号なし）フォーマット。 1：差動モード。ADC データは 2 の補数（符号付き）フォーマット。	0x1	R/W
[6:3]	RESERVED	予約済み。	0x0	R
2	AUTO_MODE	自律モードの選択ビット。 0：モニター・モード。 1：トリガ・モード。	0x0	R/W
[1:0]	ADC_MODE	動作モードの選択ビット。 0x0：サンプル・モード。 0x1：パースト平均化モード。 0x3：自律モード。AUTO_MODE ビットを介して持続自律モードと非持続自律モードのどちらかを選択します。	0x0	R/W

ADC セットアップ設定レジスタ

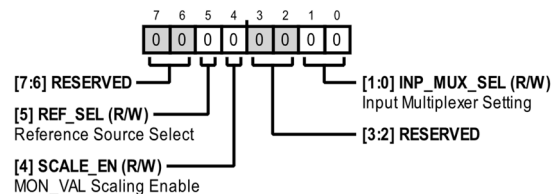


図 109. アドレス：0x22、リセット：0x00、レジスタ名：ADC_CONFIG

レジスタの詳細

表 48. ADC_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	REF_SEL	リファレンス・ソースの選択。ADC のリファレンス・ソースとして、どのピンを使用するかを選択します。 0 : REF。 1 : VDD。	0x0	R/W
4	SCALE_EN	MON_VAL スケーリング・イネーブル。MON_VAL スケーリングは、SCALE_EN が 1 に設定され、同時に入力マルチプレクサがアナログ入力モニターするよう構成されている場合に有効になります (INP_MUX_SEL ビットを参照)。	0x0	R/W
[3:2]	RESERVED	予約済み。	0x0	R
[1:0]	INP_MUX_SEL	入力マルチプレクサの設定。 0x0 : アナログ入力。ADC がアナログ入力 (IN+ と IN-) に接続されます。 0x1 : 無効。 0x2 : 無効。 0x3 : CLDO。ADC は CLDO をモニターします。この設定は CLDO の電源電圧を確認するために使用します。	0x0	R/W

平均化フィルタ設定レジスタ

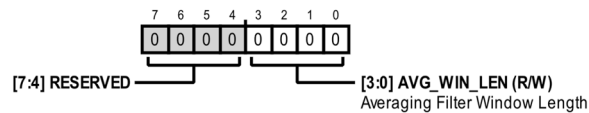


図 110. アドレス : 0x23、リセット : 0x00、レジスタ名 : AVG_CONFIG

表 49. AVG_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AVG_WIN_LEN	平均化フィルタのウィンドウ長。平均化モードおよびバースト平均化モードの平均化比率を設定します。平均化比率の範囲は 2 から 4096 までで、2 の累乗で設定されます。 0x0 : 2。 0x1 : 4。 0x2 : 8。 0x3 : 16。 0x4 : 32。 0x5 : 64。 0x6 : 128。 0x7 : 256。	0x0	R/W

汎用ピン設定レジスタ

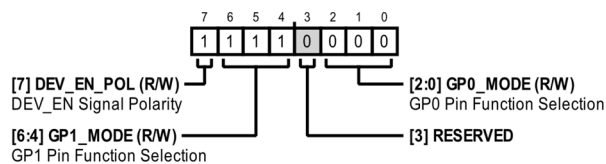


図 111. アドレス : 0x24、リセット : 0xF0、レジスタ名 : GP_CONFIG

表 50. GP_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
7	DEV_EN_POL	DEV_EN 信号の極性。アクティブ・ハイおよびアクティブ・ローのアンプのイネーブル・ピンとの互換性を確保するために、DEV_EN 信号の極性を設定します。 0 : DEV_EN はアクティブ・ロー。 1 : DEV_EN はアクティブ・ハイ。デフォルト	0x1	R/W

レジスタの詳細

表 50. GP_CONFIG のビット説明（続き）

ビット	ビット名	説明	リセット	アクセス
[6:4]	GP1_MODE	GP1 ピンの機能選択。 0x0 : 無効／高インピーダンス。 0x1 : GP1_INTR 信号。 0x2 : データ・レディ信号。 0x3 : DEV_EN 信号。 0x5 : 静的ロジック・ロー (GND)。 0x6 : 静的ロジック・ハイ (VIO)。 0x7 : DEV_RDY 信号 (デフォルト)。	0x7	R/W
3	RESERVED	予約済み。	0x0	R
[2:0]	GP0_MODE	GP0 ピンの機能選択。 0x0 : 無効／高インピーダンス (デフォルト)。 0x1 : GP0_INTR 信号。 0x2 : データ・レディ信号。 0x3 : DEV_EN 信号。 0x5 : 静的ロジック・ロー (GND)。 0x6 : 静的ロジック・ハイ (VIO)。	0x0	R/W

割込み設定レジスタ

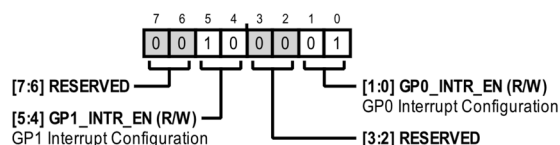


図 112. アドレス : 0x25、リセット : 0x21、レジスタ名 : INTR_CONFIG

表 51. INTR_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:4]	GP1_INTR_EN	GP1 割込み設定。どの閾値検出割込み信号を GP1_INTR 出力信号に通すかを選択します。 0x0 : 割込みなし。 0x1 : MIN_INTR。 0x2 : MAX_INTR。デフォルト。 0x3 : どちらかの割込み。GP1 は MIN_INTR 信号と MAX_INTR 信号の論理和を出力します。	0x2	R/W
[3:2]	RESERVED	予約済み。	0x0	R
[1:0]	GP0_INTR_EN	GP0 割込み設定。どの閾値検出割込み信号を GP0_INTR 出力信号に通すかを選択します。 0x0 : 割込みなし。 0x1 : MIN_INTR。デフォルト。 0x2 : MAX_INTR。 0x3 : どちらかの割込み。GP0 は MIN_INTR 信号と MAX_INTR 信号の論理和を出力します。	0x1	R/W

レジスタの詳細

タイマー設定レジスタ

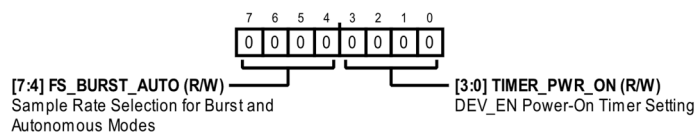


図 113. アドレス：0x27、リセット：0x00、レジスタ名：TIMER_CONFIG

表 52. TIMER_CONFIG のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	FS_BURST_AUTO	バースト・モードおよび自律モードのサンプル・レート選択。 0x0 : 2MSPS。 0x1 : 1MSPS。 0x2 : 300kSPS。 0x3 : 100kSPS。 0x4 : 33.3kSPS。 0x5 : 10kSPS。 0x6 : 3kSPS。 0x7 : 1kSPS。 0x8 : 500SPS。 0x9 : 333SPS。 0xA : 250SPS。 0xB : 200SPS。 0xC : 166SPS。 0xD : 140SPS。 0xE : 125SPS。 0xF : 111SPS。	0x0	R/W
[3:0]	TIMER_PWR_ON	DEV_EN パワーオン・タイマーの設定。DEV_EN が GP0 ピンまたは GP1 ピンに選択された場合、DEV_EN のアサートと ADC のサンプリング・タイミングの間の遅延を選択します。 0x0 : 500ns。 0x1 : 1μs。 0x2 : 3.3μs。 0x3 : 10μs。 0x4 : 30μs。 0x5 : 100μs。 0x6 : 330μs。 0x7 : 1000μs。 0x8 : 2000μs。 0x9 : 3000μs。 0xA : 4000μs。 0xB : 5000μs。 0xC : 6000μs。 0xD : 7000μs。 0xE : 8000μs。 0xF : 9000μs。	0x0	R/W

レジスタの詳細

最大閾値設定レジスタ

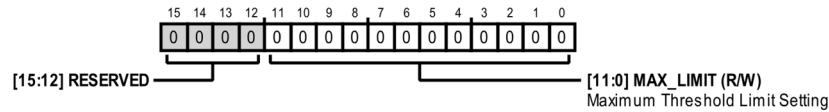


図 114. アドレス：0x28、リセット：0x0000、レジスタ名：MAX_LIMIT_REG

表 53. MAX_LIMIT_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
[11:0]	MAX_LIMIT	最大閾値の設定。自律モードの最大閾値を設定します。DATA_FORMAT ビットで設定される ADC と同じデータ形式（2 の補数またはストレート・バイナリ）を使用します。	0x0	R/W

最小閾値設定レジスタ

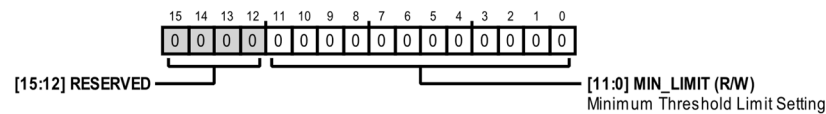


図 115. アドレス：0x2A、リセット：0x0000、レジスタ名：MIN_LIMIT_REG

表 54. MIN_LIMIT_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	RESERVED	予約済み。	0x0	R
[11:0]	MIN_LIMIT	最小閾値の設定。自律モードの最小閾値を設定します。DATA_FORMAT ビットで設定される ADC と同じデータ形式（2 の補数またはストレート・バイナリ）を使用します。	0x0	R/W

最大閾値ヒステリシス・レジスタ

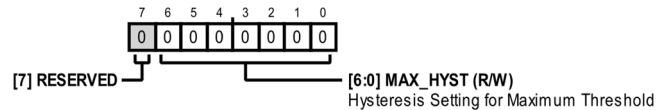


図 116. アドレス：0x2C、リセット：0x00、レジスタ名：MAX_HYST_REG

表 55. MAX_HYST_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	MAX_HYST	最大閾値のヒステリシス設定。モニター・モードで MAX_INTR 信号を自動でクリアするためのヒステリシス設定を設定します。ストレート・バイナリ（符号なし）フォーマットを使用します。	0x0	R/W

最小閾値ヒステリシス・レジスタ

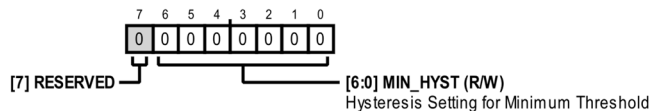


図 117. アドレス：0x2D、リセット：0x00、レジスタ名：MIN_HYST_REG

表 56. MIN_HYST_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R

レジスタの詳細

表 56. MIN_HYST_REG のビット説明（続き）

ビット	ビット名	説明	リセット	アクセス
[6:0]	MIN_HYST	最小閾値のヒステリシス設定。モニター・モードで MIN_INTR 信号を自動でクリアするためのヒステリシス設定を設定します。ストレート・バイナリ（符号なし）フォーマットを使用します。	0x0	R/W

MON_VAL スケーリング・レジスタ

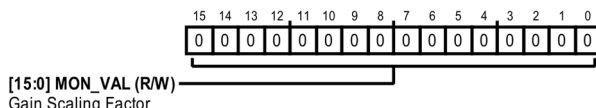


図 118. アドレス：0x2E、リセット：0x0000、レジスタ名：MON_VAL_REG

表 57. MON_VAL_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MON_VAL	ゲイン・スケーリング係数。MON_VAL スケーリングを使用する場合に、ADC 結果のスケーリング係数を設定します。MON_VAL は自動的に生成することも、手動で設定することもできます。	0x0	R/W

インターフェース・エラーIBI イネーブル・レジスタ

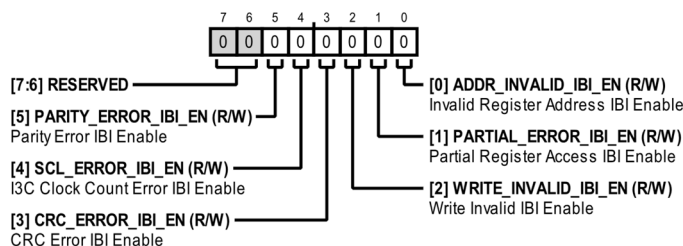


図 119. アドレス：0x30、リセット：0x00、レジスタ名：INTERFACE_IBI_EN

表 58. INTERFACE_IBI_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
5	PARITY_ERROR_IBI_EN	パリティ・エラーIBIのイネーブル。PARITY_ERROR_IBIをイネーブルするには、このビットを1に設定します。	0x0	R/W
4	SCL_ERROR_IBI_EN	I3C クロック・カウント・エラーIBIのイネーブル。SCL_ERROR_IBIをイネーブルするには、このビットを1に設定します。	0x0	R/W
3	CRC_ERROR_IBI_EN	CRC エラーIBIのイネーブル。CRC_ERROR_IBIをイネーブルするには、このビットを1に設定します。	0x0	R/W
2	WRITE_INVALID_IBI_EN	書き込み無効IBIのイネーブル。WRITE_INVALID_IBIをイネーブルするには、このビットを1に設定します。	0x0	R/W
1	PARTIAL_ERROR_IBI_EN	部分的レジスタ・アクセスIBIのイネーブル。PARTIAL_ERROR_IBIをイネーブルするには、このビットを1に設定します。	0x0	R/W
0	ADDR_INVALID_IBI_EN	無効レジスタ・アドレスIBIのイネーブル。ADDR_INVALID_IBIをイネーブルするには、このビットを1に設定します。	0x0	R/W

ADC IBI イネーブル・レジスタ

GRP_NOT_ASSIGNED が 0 の場合は、割り当てられたグループ・アドレスが GRP_ADDR に格納されます。それ以外の場合、GRP_ADDR はすべて 1 をリードバックします。つまり GRP_ADDR_REG は、0xFF か、割り当てられたグループ・アドレスをリードバックします。

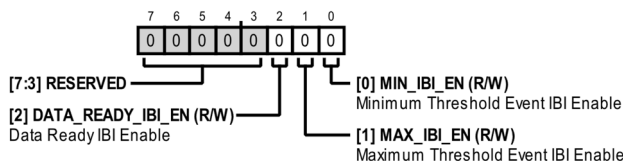


図 120. アドレス：0x31、リセット：0x00、レジスタ名：ADC_IBI_EN

レジスタの詳細

表 59. ADC_IBI_EN のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	DATA_READY_IBI_EN	データ・レディ IBI のイネーブル。この IBI イネーブル・ビットがセットされると、CONV_TRIGGER による ADC 変換後に、その結果が使用可能になった時点で IBI がトリガされます。	0x0	R/W
1	MAX_IBI_EN	最大閾値イベント IBI のイネーブル。この IBI イネーブル・ビットがセットされると、最大閾値イベントによって IBI がトリガされます。MAX_THRESH_INTR ビットをセットする最初のイベントのみが IBI をトリガします。MAX_THRESH_INTR がセットされた後のイベントで IBI がトリガされることはありません。	0x0	R/W
0	MIN_IBI_EN	最小閾値イベント IBI のイネーブル。この IBI イネーブル・ビットがセットされると、最小閾値イベントによって IBI がトリガされます。MIN_THRESH_INTR ビットをセットする最初のイベントのみが IBI をトリガします。MIN_THRESH_INTR がセットされた後のイベントで IBI がトリガされることはありません。	0x0	R/W

ヒューズ CRC レジスタ

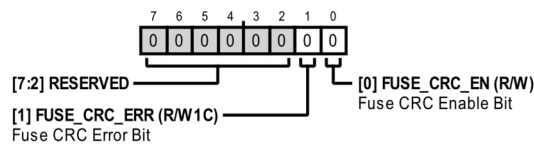


図 121. アドレス：0x40、リセット：0x00、レジスタ名：FUSE_CRC

表 60. FUSE_CRC のビット説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	FUSE_CRC_ERR	ヒューズ CRC エラー・ビット。ヒューズ・マップの CRC チェックが無効であることを示します。このビットがヒューズ・マップの CRC チェック後に設定された場合、デバイスをリセットします。	0x0	R/W1C
0	FUSE_CRC_EN	ヒューズ CRC のイネーブル・ビット。このビットを 1 に設定すると、デバイスの内蔵ヒューズ・マップの CRC チェックがトリガされます。ヒューズ・マップの CRC チェックが完了すると、このビットは自動でクリアされます。	0x0	R/W

デバイス・ステータス・レジスタ

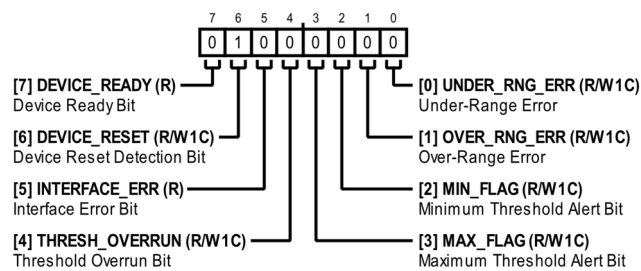


図 122. アドレス：0x41、リセット：0x40、レジスタ名：DEVICE_STATUS

表 61. DEVICE_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	DEVICE_READY	デバイス・レディ・ビット。デバイスのリセットおよび起動のシーケンスが完了し、デジタル・ホストからのシリアル通信の準備が整うと、このビットは自動的に 1 に設定されます。	0x0	R
6	DEVICE_RESET	デバイス・リセット検出ビット。デバイス・リセットの発生を示します。このビットは、1 に設定するとクリアされます。	0x1	R/W1C
5	INTERFACE_ERR	インターフェース・エラー・ビット。1 つまたは複数のインターフェース通信エラーが発生したことを示します。このビットは INTERFACE_STATUS_A レジスタの全ビットの論理和です。	0x0	R
4	THRESH_OVERRUN	閾値超過ビット。このビットは、閾値超過イベントが検出されると 1 に設定されます。このビットは自動でクリアされず、1 を書き込むことでのみクリアされます。	0x0	R/W1C
3	MAX_FLAG	最大閾値アラート・ビット。このビットは、最大閾値違反が検出されると 1 に設定されます。このビットは自動でクリアされず、1 を書き込むことでのみクリアされます。	0x0	R/W1C

レジスタの詳細

表 61. DEVICE_STATUS のビットの説明（続き）

ビット	ビット名	説明	リセット	アクセス
2	MIN_FLAG	最小閾値アラート・ビット。このビットは、最小閾値違反が検出されると 1 に設定されます。このビットは自動でクリアされず、1 を書き込むことでのみクリアされます。	0x0	R/W1C
1	OVER_RNG_ERR	オーバーレンジ・エラークリアするには 1 を書き込みます。	0x0	R/W1C
0	UNDER_RNG_ERR	アンダーレンジ・エラークリアするには 1 を書き込みます。	0x0	R/W1C

最大割込みサンプル・レジスタ

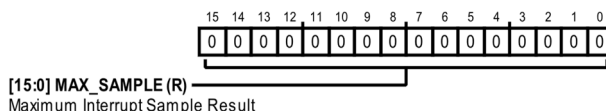


図 122. アドレス：0x42、リセット：0x0000、レジスタ名：MAX_SAMPLE_REG

表 62. MAX_SAMPLE_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MAX_SAMPLE	最大割込みによるサンプル結果。トリガ・モードで最大閾値割込みにより生成された ADC 結果を含みます。DATA_FORMAT ビットで設定される ADC と同じデータ形式（2 の補数またはストレート・バイナリ）を使用します。	0x0	R

最小割込みサンプル・レジスタ

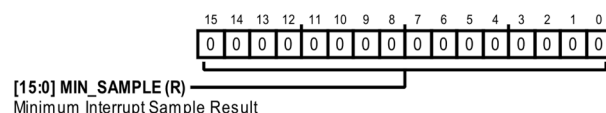


図 124. アドレス：0x44、リセット：0x0000、レジスタ名：MIN_SAMPLE_REG

表 63. MIN_SAMPLE_REG のビット説明

ビット	ビット名	説明	リセット	アクセス
[15:0]	MIN_SAMPLE	最小割込みによるサンプル結果。トリガ・モードで最小閾値割込みにより生成された ADC 結果を含みます。DATA_FORMAT ビットで設定される ADC と同じデータ形式（2 の補数またはストレート・バイナリ）を使用します。	0x0	R

ターゲット・アドレス・レジスタ

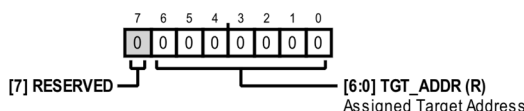


図 125. アドレス：0x46、リセット：0x00、レジスタ名：TGT_ADDR_REG

表 64. TGT_ADDR_REG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	TGT_ADDR	割り当てられたターゲット・アドレス。ダイナミック・アドレス割当て（DAA）時に AD4055 に割り当てられたターゲット・アドレスが格納されます。	0x0	R

グループ・アドレス・レジスタ

GRP_NOT_ASSIGNED が 0 の場合は、割り当てられたグループ・アドレスが GRP_ADDR に格納されます。それ以外の場合、GRP_ADDR はすべて 1 をリードバックします。つまり GRP_ADDR_REG は、0xFF か、割り当てられたグループ・アドレスをリードバックします。

レジスタの詳細

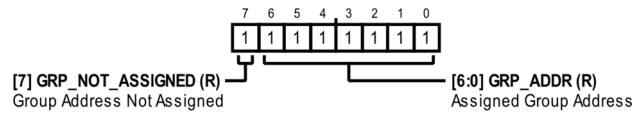


図 126. アドレス：0x47、リセット：0xFF、レジスタ名：GRP_ADDR_REG

表 65. GRP_ADDR_REG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	GRP_NOT_ASSIGNED	グループ・アドレスが未割当て。SETGRPA CCC コマンドによってデバイスに有効なグループ・アドレスが割り当てられているかどうかを示します。 0：グループ・アドレスが割り当てられています。GRP_ADDR には、そのデバイスに割り当てられたグループ・アドレスが格納されます。 1：グループ・アドレスが割り当てられていません。SETGRPA CCC コマンドによってグループ・アドレスが割り当てられた後は、GRP_NOT_ASSIGNED が 0 に設定されます。	0x1	R
[6:0]	GRP_ADDR	割り当てられたグループ・アドレス。SETGRPA CCC コマンドによって AD4055 に割り当てられたグループ・アドレスが格納されます。GRP_NOT_ASSIGNED が 0 の場合は、割り当てられたグループ・アドレスが GRP_ADDR に格納されます。それ以外の場合、GRP_ADDR はすべて 1 をリードバックします。	0x7F	R

IBI ステータス・レジスタ

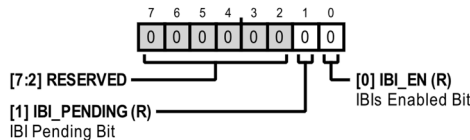


図 127. アドレス：0x48、リセット：0x00、レジスタ名：IBI_STATUS

表 66. IBI_STATUS のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
1	IBI_PENDING	IBI 保留ビット。IBI が保留中にアサートされます。コントローラが IBI に対して ACK を返すか、I3C ペリフェラルまたはデバイス全体がリセットされるとアサートが解除されます。	0x0	R
0	IBI_EN	IBI イネーブル・ビット。デバイスの IBI がイネーブルされているかどうかを示します。IBI は ENEC CCC コマンドによってイネーブルされ、DISEC CCC コマンドによってディスエーブルされます。ENEC CCC によって IBI がイネーブルされると IBI_EN が 1 をリードバックし、DISEC CCC によって IBI がディスエーブルされると IBI_EN は 0 をリードバックします。	0x0	R

変換読出し結果レジスタ

AD4055 ADC コアは、ADDR_PTR が CONV_READ レジスタのアドレスをポイントしている状態で、I3C 読出しの後に変換を行います。

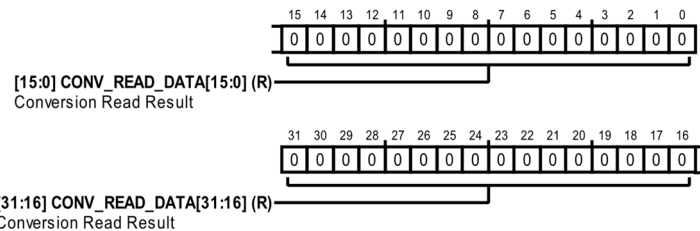


図 128. アドレス：0x50、リセット：0x00000000、レジスタ名：CONV_READ

表 67. CONV_READ のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	CONV_READ_DATA	変換読出し結果。このビット・フィールドには、直近の ADC の結果が格納されます。	0x0	R

レジスタの詳細

変換トリガ・レジスタ

AD4055 の ADC コアは、I3C 書込みを行って ADDR_PTR を CONV_TRIGGER レジスタのアドレスに設定した後に変換を行います。このレジスタは、I3C グループ・アドレッシングを使用することにより、同じ I3C バス上にある複数の AD4055 デバイスの変換を同期するために使用できます。

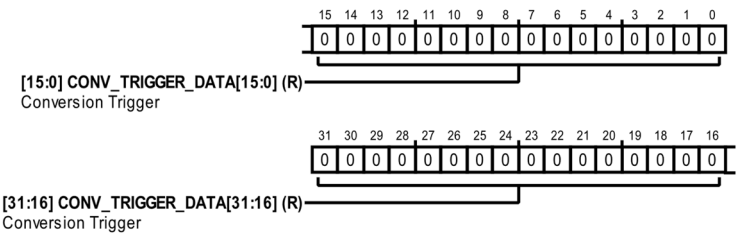


図 129. アドレス：0x56、リセット：0x00000000、レジスタ名：CONV_TRIGGER

表 68. CONV_TRIGGER のビットの説明

ビット	ビット名	説明	リセット	アクセス
[31:0]	CONV_TRIGGER_DATA	変換トリガ。このビット・フィールドには、直近の ADC の結果が格納されます。	0x0	R

外形寸法

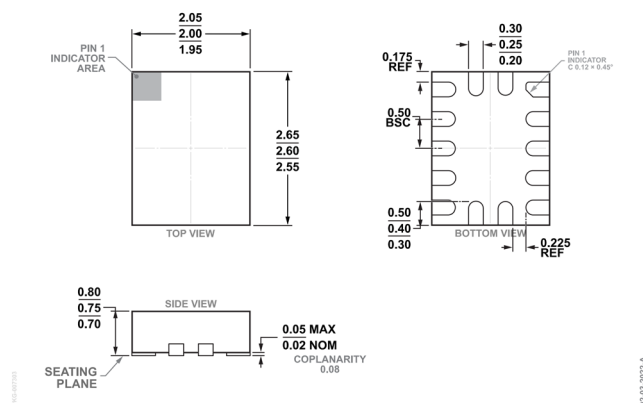


図 130. 14 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
2mm × 2.6mm ボディ、0.75mm パッケージ高
(CP-14-7)
寸法：mm

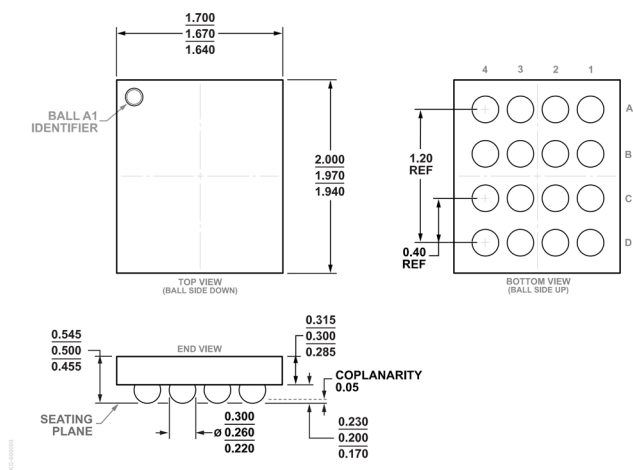


図 131. 16 ボール・ウェハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-16-26)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4060BCPZ-RL7	-40°C to +125°C	14-Lead Lead Frame Chip Scale Package [LFCSP] (2.00 mm × 2.6 mm × 0.75 mm)	REEL, 3000	CP-14-7
AD4060BCBZ-RL7	-40°C to +125°C	16-Ball Wafer Level Chip Scale Package [WLCSP] (1.67 mm × 1.97 mm × 0.5 mm)	REEL, 3000	CB-16-26

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-AD4060-ARDZ	Evaluation Board

¹ Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 22 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 22 日

製品名： AD4060

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 42 頁、表 24、表のタイトル

【誤】

「表 24. AD4062 によるコモン・コマンド・コードのサポート」

【正】

「表 24. AD4060 によるコモン・コマンド・コードのサポート」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 22 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 22 日

製品名： AD4060

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 44 頁、右の段、GETDCR の項、上から 3 行目

【誤】

「BCR はターゲットにより 1 バイトのデータとして MSB ファーストで送信されます。」

【正】

「DCR はターゲットにより 1 バイトのデータとして MSB ファーストで送信されます。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025 年 10 月 22 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2025 年 10 月 22 日

製品名： AD4060

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 44 頁、表 64 の説明欄

【誤】

「ダイナミック・アドレス割当て (DAA) 時に AD4055 に割り当てられたターゲット・アドレスが格納されます。」

【正】

「ダイナミック・アドレス割当て (DAA) 時に AD4060 に割り当てられたターゲット・アドレスが格納されます。」