



車載オーディオ・バス (A²B[®]) トランシーバー

AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

A²B[®] バスの特長

ライン・トポロジ
単一マスタ、複数スレーブ
ノード間は最大 15m、全ケーブル長は最大 40m
(表 9 参照)
長距離通信
同期データ
マルチチャンネルの I²S/TDM 間
全ノードで同期したクロック、揃った位相
低遅延のスレーブ間通信
I²C 間での制御情報およびステータス情報
GPIO および割り込み
バス電源またはローカル電源のスレーブ・ノード
SigmaStudio グラフィカル・ソフトウェア・ツールによる
設定
オートモーティブ・アプリケーション向けの AEC-Q100
認証を取得

A²B[®] トランシーバーの特長

A²B[®] バスのマスタまたはスレーブの動作を設定可能
I²C インターフェース
8 ビット~ 32 ビットのマルチチャンネル I²S/TDM インター
フェース
プログラマブルな I²S/TDM データ・レート
最大 32 のアップストリーム・チャンネルと最大 32 の
ダウンストリーム・チャンネル

PDM インターフェース

プログラマブルな PDM クロック・レート
ダイナミック・レンジの広い最大 4 つのマイクロフォ
ン入力
最大 4 つの PDM マイクロフォンを使用して I²S のデータ
を同時に受信
トランシーバーごとに ID が固有のレジスタ
クロスオーバー・ケーブルまたはストレート・スルー・
ケーブルによる接続
プログラマブルな設定値による EMC 性能の最適化
アプリケーション
オーディオ通信リンク
マイクロフォン・アレイ
ビームフォーミング
ハンズフリー通信および車内通信
アクティブ・ノイズ・キャンセルおよびロード・ノイズ・
キャンセル
オーディオ/ビデオ会議システム

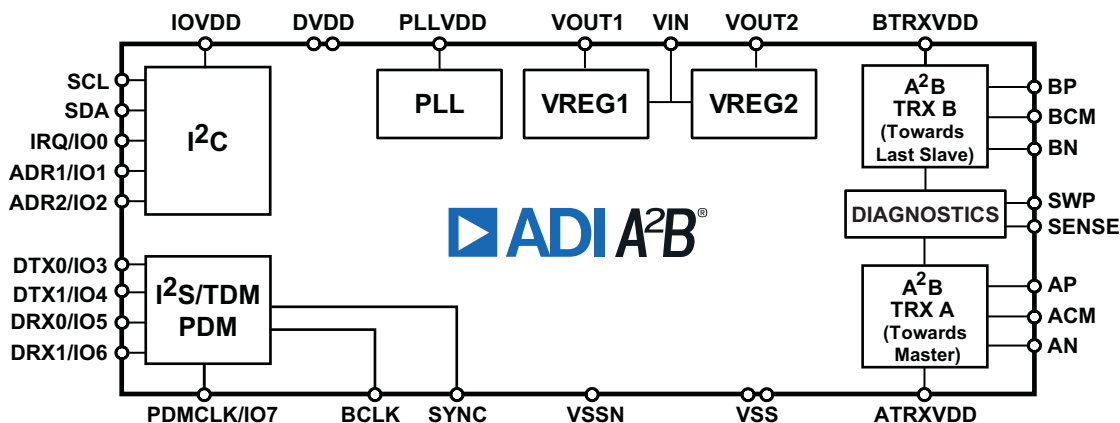


図 1. 機能ブロック図

A²B および A²B のロゴは、アナログ・デバイセズの登録商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※ 日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. B

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒 105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒 532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒 451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

A ² B [®] バスの特長	1	ESD に関する注意	21
A ² B [®] トランシーバーの特長	1	テスト回路とスイッチング特性	21
アプリケーション	1	出力駆動電流	21
目次	2	テスト条件	22
改訂履歴	2	ピン配置およびピン機能の説明	24
概要	3	電力の分析	28
A ² B [®] バスの詳細	4	電流の流れ	28
I ² C インターフェース	5	VREG1 および VREG2 の出力電流	29
I ² S/TDM インターフェース	5	VIN での電流 (I _{VIN})	30
パルス密度変調 (PDM) インターフェース	6	消費電力	30
長距離 GPIO	6	ノード間の抵抗	30
メールボックス	6	マスタ・ノードまたはローカル給電スレーブ・ノード での電圧レギュレータの電流	31
スレーブ間でのデータ・スロット交換	6	A ² B [®] バスの消費電力	31
クロック持続状態	6	バス給電システムの電力分析	31
プログラマブルな設定値による EMC 性能の最適化	6	電源電圧	31
仕様	8	消費電力の低減	32
動作条件	8	熱電力	32
電気的特性	9	設計者の参考情報	33
電源電圧変動除去比 (PSRR)	11	ダイオードに関する考慮事項と V _{SENSE}	33
タイミング仕様	12	オプションの増設回路	33
電源投入シーケンス制御の制約事項	16	レイアウトのガイドライン	34
A ² B [®] バス・システムの仕様	17	外形寸法	36
PDM の代表的な性能特性	18	オートモーティブ製品	37
絶対最大定格	20	オーダー・ガイド	38
熱特性	20		

改訂履歴

1/2020 - Rev. A から Rev. B

文書全体を通じて全製品をリリース済みのステータスに更新。

製品ステータスの表の削除	1
オートモーティブ製品に変更	37
オーダー・ガイドに変更	38
未決定製品の表の削除	39

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

概要

車載オーディオ・バス (A²B[®]) は、ノード間の距離が最大 15m のマルチチャンネル I²S/TDM リンクを実現します。このバスでは、双方向の同期パルス符号変調 (PCM) データ (例えば、デジタル・オーディオ)、クロック、同期信号を 1 本の差動ワイヤ・ペアに組み込みます。A²B[®] は直接のポイント・ツー・ポイント通信をサポートしており、異なる場所にある複数のデジタイゼーション接続ノードが時分割多重化チャンネルのコンテンツを出し合うか費やすことができます。

A²B[®] は、ホスト・コントローラのトランシーバーがマスタとなる単一マスタ、複数スレーブのシステムです。マスタは、全てのスレーブ・ノードのクロック、同期、フレーミングを生成します。マスタの A²B[®] トランシーバーは、設定および読み出し用の制御ポート (I²C) を介してプログラムできます。この制御ポート・プロトコルの拡張機能は A²B[®] のデータ・ストリームに組み込まれており、レジスタへの直接アクセスやスレーブ・トランシーバーのステータス情報への直接アクセスが可能になるだけでなく、I²C 間の長距離通信も可能になります。

トランシーバーは、汎用デジタル・シグナル・プロセッサ (DSP)、フィールド・プログラマブル・ゲート・アレイ (FPGA)、特定用途向け集積回路 (ASIC)、マイクロフォン、A/D コンバータ (ADC)、D/A コンバータ (DAC)、およびコーデックにマルチチャンネル I²S/TDM インターフェースを通じて直接接続できます。また、パルス密度変調 (PDM) インターフェースを備えており、最大 4 つの PDM デジタル・マイクロフォンを直接接続できます。

最後に、トランシーバーは A²B[®] バス給電機能もサポートしています。この機能では、マスタ・ノードが、通信リンクに使用されるのと同じデジタイゼーション接続のツイストペア・ワイヤ・ケーブルを介して電圧と電流をスレーブ・ノードに供給します。

表 1. 製品比較ガイド

特長	AD2420/ AD2420W	AD2426/ AD2426W	AD2427/ AD2427W	AD2428/ AD2428W	AD2429/ AD2429W
マスタ対応	なし	なし	なし	あり	あり
検出可能なスレーブの数 ¹	N/A	N/A	N/A	最大 10	最大 2
機能 TRX ブロック	A のみ	A のみ	A + B	A + B	B のみ
I ² S/TDM サポート	なし	なし	なし	あり	あり
PDM マイクロフォン入力	2 マイク ²	4 マイク	4 マイク	4 マイク	4 マイク
ノード間の最大ケーブル長	5m	15m	15m	15m	5m

¹ N/Aは該当なしを表します。

² PDMマイクロフォンをDRX0/IO5ピンに接続する必要があります。

A²B[®] バスの詳細

図 2 に、マスタ・トランシーバがホストによって制御される、単一マスタ・複数スレーブの A²B[®] 通信システムを示します。ホストは、全ての A²B[®] ノードの同期先となる I²S/TDM インターフェース上で、周期的な同期信号を一定の周波数（代表値 48kHz）で生成します。

A²B[®] バスを伝わる通信は、周期的なスーパーフレームで行われます。スーパーフレームの周波数は同期信号の周波数と同じであり、データは 1024 倍高速のビット・レート (代表値 49.152MHz) で伝送されます。各スーパーフレームは、ダウンストリーム伝送期間、アップストリーム伝送期間、(バスが駆動されていない) 無伝送の期間に分割されます。データは、アップストリームとダウンストリームの両方の伝送に対して、幅の等しい最大 32 のスロット内で、A²B[®] バスを介してやり取りされます。

また、A²B[®]バスは、ノード間で以下の制御情報およびステータス情報を伝達します。

- I²C 間通信
- 汎用入出力 (GPIO)
- 割込み

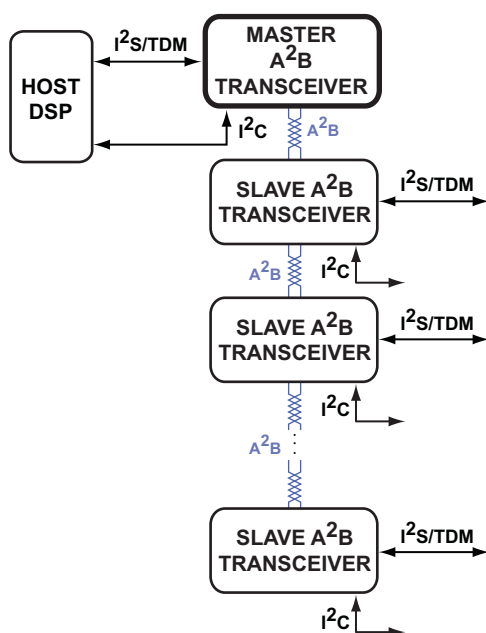


図 2. 通信システムのブロック図

図 3 に、最初の周期がダウンストリーム伝送であり、後の周期がアップストリーム伝送であるスーパーフレームを示します。

A²B[®] バス上の全ての信号は回線コード化され、マスタ・ノードは同期信号をマスタ・トランシーバーから最後のスレーブ・ノード・トランシーバーへ同期プリアンプルの形でダウンストリームに転送します。このプリアンプルの後に制御データが続いて、同期制御フレーム (SCF) が形成されます。TDM 同期ダウンストリーム・データは、制御フレームの直後に追加されます。どのスレーブもダウンストリーム・データをある程度使用または消費して、ダウンストリーム・ノードにデータを追加できます。スレーブ・

ノードの最後のトランシーバーは、同期応答フレーム (SRF) を伴う応答時間後に応答します。同期アップストリーム・データは、各ノードにより、応答フレームの直後に追加されます。また、各ノードはアップストリーム・データを使用することも消費することもできます。

組込みの制御フレームと応答フレームにより、ホストはシステム内の各スレーブ・トランシーバーのアドレスを個別に指定できます。また、ホストは、スレーブ・トランシーバーに接続されている遠隔周辺機器に、複数ノード間での I²C 間長距離通信向けの I²C ポートまたは SPI ポートを介してアクセスできます。

A²B[®] システム内の全てのノードは、同じ A²B[®] スーパーフレーム内で同時にサンプリングされます。マスタからの I²S/TDM 同期ダウストリーム・データは、同じ A²B[®] スーパーフレーム内の全てのスレーブに到着し、各ノードのアップストリーム・オーディオ・データは、同じ I²S/TDM フレーム内でマスタに同時に到着します。残っているスレーブ間のオーディオ位相差は、SYNC ピン信号の遅延をレジスタで設定できる微調整によって補償できます。

A²B[®]バス間およびI²S/TDMインターフェース間を移動するデータには、サンプル遅延が発生します。その理由は、データはサンプル周期（代表値 48kHz）ごとに I²S/TDM を介して送受信されるからです。A²B[®]バスを通じたサンプル間のこのタイミング関係を図 4 に示します。

図 4 では、ダウンストリームとアップストリームの両方のサンプルが、A²B[®] システムに入る先のフレームに合わせて、次のように命名されることに注意してください。

- ・ マスタ・ノード・トランシーバーがスーパーフレーム M で送信したデータは、ダウンストリーム・データ M を作り出します。
- ・ スレーブ・ノード・トランシーバーがスーパーフレーム N で送信したデータは、アップストリーム・データ N を作り出します。
- ・ I^2S/TDM インターフェースを介して A^2B^R トランシーバーが受信したデータは、 A^2B^R バスを介して次のスーパーフレーム内に伝送されます。
- ・ A^2B^R バスのデータは、 A^2B^R トランシーバーの I^2S/TDM インターフェースを介して次のスーパーフレーム内に伝送されます。
- ・ A^2B^R バス間で (マスタからスレーブへまたはスレーブからマスタへ) 伝送されるデータには、2 フレーム分の遅延に加えて、トランシーバー内で蓄積された内部遅延、更にはワイヤ長による遅延があります。したがって、一方の A^2B^R トランシーバーの I^2S/TDM インターフェースから、もう一方の A^2B^R トランシーバーの I^2S/TDM インターフェースまでの全体的な遅延は、2 サンプル (サンプル周期が 48kHz のとき 50 μ s 未満) をわずかに超える値です。

以降のセクションで説明するように、A²B[®] バスの機能および性能をサポートして拡張するため、トランシーバーは更なる機能を備えています。

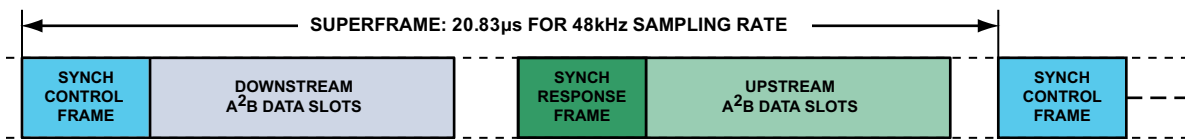


図 3. A²B® スーパーフレーム

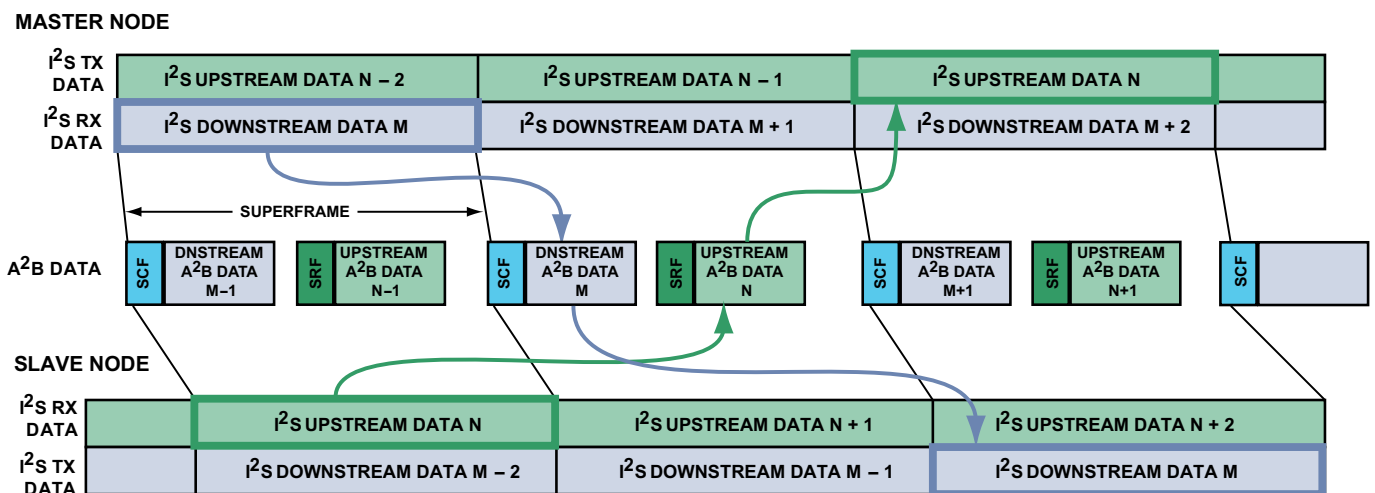


図 4. A²B® バスの同期データ交換

I²C インターフェース

トランシーバー内部の I²C インターフェースは、内部レジスタにアクセスできます。V_{I2C_VBUS} 仕様を超える動作はサポートされていません。I²C インターフェースは、以下の機能を備えています。

- A²B® マスタでのスレーブ機能
- A²B® スレーブでのマスタ機能またはスレーブ機能
- A²B® スレーブでのマルチマスタ・サポート
- 100kbps または 400kbps レートでの動作
- 7 ビットのアドレス指定
- シングル・ワードおよびバースト・モードでの読出し動作と書込み動作
- クロック・ストレッチング

全てのトランシーバーにはローカル接続プロセッサでアクセスできますが、そのためには、パワーオン・リセット時に ADR2/IO2 ピンおよび ADR1/IO1 ピンに加わるロジック・レベルによって設定される 7 ビットの I²C デバイス・アドレス (BASE_ADDR) を使用します。このため、最大 4 つのマスタ・デバイスを同じ I²C バスに接続できます。スレーブ設定のトランシーバーが認識するのは、この I²C デバイス・アドレスのみです。ただし、マスタ設定のトランシーバーも、A²B® バスを介してスレーブ・ノードにリモート・アクセスするための第 2 の I²C デバイス・アドレス (BUS_ADDR) を認識します。7 ビットのデバイス・アドレスの最下位ビット (LSB) によって決まるのは、I²C データ交換が BASE_ADDR (ビット 1 = 0) を使用してトランシーバーにアクセスするか、または BUS_ADDR (ビット 1 = 1) を使用して、マスタ設定の

AD2425W トランシーバーを介してバス・ノードのスレーブ・トランシーバーにアクセスするかということです。詳細については、AD2420(W)/6(W)/7(W)/8(W)/9(W) 車載オーディオ・バス (A²B®) トランシーバー・テクニカル・リファレンスを参照してください。

I²S/TDM インターフェース

I²S/TDM シリアル・ポートは全二重モードで動作します。このモードでは、トランスミッタとレシーバーの両方が、タイミングが重要な同じビット・クロック (BCLK) ピンおよび同期 (SYNC) ピンを使用して、同時に動作します。A²B® スレーブ・トランシーバーは、BCLK 出力ピンと SYNC 出力ピンでタイミング信号を発生します。A²B® マスタ・トランシーバーは、同じ BCLK ピンおよび SYNC ピンを入力として使用しますが、これらのピンはホスト・デバイスによって駆動されます。I²S/TDM ポートは、以下の機能を備えています。

- クロックとフレームの同期タイミングおよび極性をプログラム可能
- 多数の TDM 動作モード
- 16 ビットまたは 32 ビットのデータ幅
- PDM ポートとの同時動作
- 1 ピンまたは 2 ピン入出力 (I/O)

I²S 低減レート

スレーブ・トランシーバーは、スーパーフレーム・レート基準にした場合、低減レート周波数で I²S/TDM/PDM インターフェースを動作させることができます。低減レート周波数を求めるには、スーパーフレーム・レートをプログラマブルな 1 組の値によって分周します。様々なスレーブ・ノードを設定して、様々な低減 I²S/TDM レートで動作させることができます。

トランシーバーは、プロセッサが最大レートのオーディオ・フレームを追跡するオプションを備えており、これには新しい低減サンプル・レートが含まれています。IO7 ピンをストローブとして使用することや、方向を入力または出力に設定することができます。

パルス密度変調 (PDM) インターフェース

トランシーバーの PDM ブロックは、PDM 入力ストリームをパルス符号変調 (PCM) データに変換します。PCM データは、A²B[®] バスを介して送信されるか、I²S/TDM ポートを通じてローカル・ノードに出力されるか、あるいはその両方が行われます。高 S/N 比で最大音圧レベルが広く、ダイナミック・レンジの広いマイクロフォンをサポートします。PDM インターフェースは、48kHz のフレーム・レートに加え、12kHz および 24kHz のフレーム・レートをサポートしており、マスタとスレーブの両方のトランシーバーで使用できます。

トランシーバーの低減レート機能と組み合わせることで、PDM のサンプリング・レートを更に（例えば、375Hz まで）低くすることが可能です。トランシーバーの PDM ブロックにあるハイパス・フィルタのカットオフ周波数は、1Hz に固定されています。

BCLK を使用してスレーブの PDM マイクロフォンにクロックを供給できますが、代わりに PDMCLK/IO7 を使用すると、I²S/TDM レジスタを使用して BCLK 周波数を別の周波数に設定できます。この場合は、PDMCLK/IO7 を PDM クロック (PDMCLK) として使用して、DRX0/DRX1 の PDM 入力を取り込みます。PDMCLK のクロック・レートは SYNC 周波数の 64 倍です。

マスタ・ノードでは、BCLK は常に入力なので、マスタに取り付けた PDM マイクロフォンに入力されるクロックは、通常は PDMCLK/IO7 から出力されます。BCLK を使用してマスタ・ノードの PDM クロック入力を駆動することは可能ですが、こうすると可能な TDM 設定が制限されます。その理由は、BCLK を表 4 の f_{BCLK} 仕様の範囲内に入れる必要があるからです。

また、BCLK と PDMCLK/IO7 を同時に使用して、PDM マイクロフォンのクロックを同じ周波数に制御して位相を揃えることができますが、極性は逆になります。更に、レジスタの設定値により、立上がりエッジのデータと立下がりエッジのデータのどちらを先にサンプリングするか選択できます。

長距離 GPIO

トランシーバーは複数ノード間の汎用入出力 (GPIO) をサポートしており、最初のプログラミング後はホストが関与する必要はありません。ホストが必要となるのは、GPIO バス・ポートの最初のセットアップ時のみです。様々なノードの I/O ピンを論理 OR ゲートまたは論理 AND ゲートと組み合わせることができます。

メールボックス

トランシーバーは、異なるスレーブ・ノードに存在する I²C マスタ・デバイス (マイクロコントローラ) と、マスタ・ノード・トランシーバーに接続されているホストとの間で、割り込み駆動型の双方向メッセージ交換を 2 つの専用メールボックスでサポートします。メールボックスを使用して、システム内の多数のノード間でのハンドシェイクをカスタマイズして、音声の同期化などのシステム・イベントを調整できます。

スレーブ間でのデータ・スロット交換

スレーブ・トランシーバーは、DTX0 ピンと DTX1 ピンを使用することで、他のノードから発生したアップストリームとダウンストリームのデータを選択的に出力することが可能であり、データ・スロットをマスタ・ノードを通じて送る必要はありません。データが A²B[®] バスに対するアップストリームまたはダウンストリームのスロットとして表されている場合は、プログラマブル・オフセットに基づいて受信データ・チャンネルをスキップしてかまいません。

クロック持続状態

クロック持続状態では、バスの通信が途絶えた場合、ローカル給電スレーブ・ノードのオーディオ信号が減衰します。バスの通信が途絶えて、信頼できるクロックをスレーブ・ノードが回復できないと、スレーブ・ノード・トランシーバーは持続状態に移行し、イネーブルされている場合は、このイベントを GPIO ピンに伝達します。

クロック持続状態では、スレーブ・ノード・トランシーバーのフェーズ・ロック・ループ (PLL) が 1024 回分の SYNC 周期にわたって動作し続ける一方で、I²S の DTX0 から DTX1 へのデータが現在の値から 0 まで減衰します。1024 回分の SYNC 周期経過後、スレーブ・ノード・トランシーバーはリセットして、電源投入状態に再び入ります。

プログラマブルな設定値による EMC 性能の最適化

以下のプログラマブルな機能を使用して、電磁適合性 (EMC) 性能を向上させることができます。

プログラマブルな LVDS 伝送レベル

低電圧差動信号伝送方式 (LVDS) トランスミッタを設定して、信号を高、中、または低レベルで伝送できます。伝送レベルを高めに行くと EMI 耐性が大きく向上するのに対して、伝送レベルを低めに行くと、A²B[®] バス・ノードと互いにリンクするツイストペア・ケーブルからの放射を低減できます。(AD242xW ファミリの他のデバイスと比較して) 優れた LVDS レシーバーは、伝送レベルが低いときに堅牢な動作を維持します。

スペクトラム拡散クロック制御

スペクトラム拡散クロック制御を使用して、プリント回路基板 (PCB) 上での狭帯域放射を低減できます。スペクトラム拡散クロック制御は、デフォルトではトランシーバー上でディスエーブルされていますが、レジスタに書き込むことにより、全ての内部クロックに対するスペクトラム拡散クロック制御を検出時にイネーブルすることができます。

内部クロックに対してスペクトラム拡散クロック制御のサポートを有効にした場合は、I²S インターフェースとプログラム済みのCLKOUTの両方に対してもスペクトラム拡散クロック制御をイネーブ爾することができます。内部クロックCLKOUTに対してスペクトラム拡散クロック制御をイネーブ爾すると、I²S インターフェースは特定のノード上で狭帯域放射を数 dB 低減できます。クロック出力上でスペクトラム拡散クロック制御をイネーブ爾すると、そのクロックのタイム・インターバル・エラー (TIE) ジッタが増えます。

固有 ID

各トランシーバーには固有 ID が組み込まれており、ソフトウェアを使用してレジスタから読み出すことができます。固有 ID の読出しに失敗した場合は、割込みを発生させてかまいません。

クロスオーバー・ケーブル接続またはストレート・スルー・ケーブル接続のサポート

ストレート・スルー・ケーブルは、B 側コネクタでの DC 結合端子を交換することによってサポートできます。リファレンス回路図の詳細については、[設計者の参考情報](#)のセクションを参照してください。

データ専用バスおよび電源専用バスの動作

PMOS スイッチを閉じずに A²B[®] バスを動作させて、DC バイアスをダウンストリームに送ることができます。裏を返せば、データが存在しない場合にも DC バイアスをダウンストリームに送ることができます。これらの機能を使用できるのは、デバッグを目的とする場合に限りです。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

仕様

製品の仕様については、アナログ・デバイセズの担当者にご連絡ください。

動作条件

Parameter		Conditions	Min	Nominal	Max	Unit
Power Supplies						
V _{DVDD}	Digital Core Logic Supply Voltage	3.3 V I/O 1.8 V I/O	1.70	1.90	1.98	V
V _{IOVDD}	Digital Input/Output (I/O) Supply Voltage		3.0	3.3	3.63	V
V _{PLLVD}	Phased-Locked Loops (PLL) Supply Voltage		1.7	1.9	1.98	V
V _{TRXVDD}	Transceiver Supply Voltage	Applies to the ATRXVDD and BTRXVDD pins	1.7	1.9	1.98	V
V _{I2C_VBUS}	External I ² C Bus Voltage		3.0	3.3	3.63	V
			1.7	1.9/3.3	3.63	V
Voltage Regulator (VREG1, VREG2)						
V _{VIN}	Regulator Input Supply Voltage	Specification must be met at the VIN pin of each A ² B bus transceiver V _{VIN} dropping V _{VIN} rising	3.7		9.0	V
V _{RST}	V _{VIN} Chip Reset Assertion Voltage Threshold		2.65		2.97	V
V _{RSTN}	V _{VIN} Chip Reset Deassertion Voltage Threshold		3.11		3.25	V
Digital I/O						
V _{IH} ¹	High Level Input Voltage	V _{IOVDD} = 1.98 V V _{IOVDD} = 3.63 V V _{IOVDD} = 1.70 V V _{IOVDD} = 3.00 V V _{IOVDD} = 3.63 V, 1.98 V V _{IOVDD} = 3.00 V, 1.70 V	0.7 × V _{IOVDD}			V
V _{IL} ¹	Low Level Input Voltage		2.2		0.3 × V _{IOVDD}	V
					0.8	V
						V
V _{IH_I2C} ²			0.7 × V _{IOVDD}			V
V _{IL_I2C}				0.3 × V _{IOVDD}	V	
Temperature						
T _J	Junction Temperature	T _{AMBIENT} = 0°C to 70°C	0		105	°C
T _J	Junction Temperature	T _{AMBIENT} = −40°C to +85°C	−40		+105	°C
AUTOMOTIVE USE ONLY						
T _J	Junction Temperature (Automotive Grade)	T _{AMBIENT} = −40°C to +105°C	−40		+125 ³	°C

¹ PDMCLK/IO7, BCLK, SYNC, DTX0/IO3, DTX1/IO4, DRX0/IO5, DRX1/IO6, ADR1/IO1, ADR2/IO2, IRQ/IO0ピンに適用します。

² SDAピンとSCLピンに適用します。

³ オートモーティブ・アプリケーションで使用するのはプロファイルのみです。車載用途以外ではサポートされません。詳細については、アナログ・デバイセズにお問い合わせください。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

電気的特性

Parameter	Conditions	Min	Typ	Max	Unit
Current					
I _{DVDD}	Digital Core Logic Supply Current V _{DVDD} = 1.98 V	9.0	10.5	12.0	mA
I _{PLLVD}	PLL Supply Current V _{PLLVD} = 1.98 V	0.5	1.1	1.5	mA
I _{TRXVDD} ¹	Transceiver Supply Current TX enabled, RX disabled, 100% duty cycle (I _{TXVDD}), V _{TRXVDD} = 3.63 V	9.5	12.0	13.0	mA
	TX disabled, RX enabled, 100% duty cycle (I _{RXVDD}), V _{TRXVDD} = 3.63 V	2.2	2.8	3.5	mA
	TX disabled, RX disabled, 0% activity level, V _{TRXVDD} = 3.63 V	1.0	1.7	2.5	mA
Voltage Regulator (VREG1, VREG2)					
V _{OUT1}	V _{REG1} Output Voltage	1.80	1.90	1.98	V
V _{OUT2}	V _{REG2} Output Voltage	3.15	3.30	3.45	V
I _{OUT1} ²	V _{REG1} Output Current			40.0	mA
I _{OUT2} ²	V _{REG2} Output Current			50.0	mA
I _{EXT1} ^{3, 4}	V _{REG1} External Device Current	I _{OUT1} – I _{PLLVD} – I _{DVDD} – I _{IOVDD} current available to external device		20	mA
I _{EXT2} ^{3, 4}	V _{REG2} External Device Current	I _{OUT2} – I _{TRXVDD} current available to external device		20	mA
ΔV _{OUT1} /ΔV _{IN}	Line Regulation	0	0.017	0.055	%/V
ΔV _{OUT2} /ΔV _{IN}	Line Regulation	0.013	0.030	0.060	%/V
		–0.025	+0.005	+0.055	%/V
ΔV _{OUT1} /ΔI _{OUT1}	Load Regulation	V _{IN} = 5.0 V, I _{OUT1} = 1 mA to 40 mA		0.009	%/mA
ΔV _{OUT2} /ΔI _{OUT2}	Load Regulation	V _{IN} = 5.0 V, I _{OUT2} = 1 mA to 50 mA		0.008	%/mA
I _{VINQ}	Quiescent Current	V _{IN} = V _{IN} , I _{OUT1} = 0 mA, I _{OUT2} = 0 mA		750	μA
I _{VIN}	Operational Current	V _{IN} = V _{IN} , I _{OUT1} = 8 mA, I _{OUT2} = 20 mA		29	mA
C _{Load1}	V _{REG1} Load Capacitance	1.0		25	μF
C _{Load2}	V _{REG2} Load Capacitance	2.2		25	μF
Digital I/O					
I _{IH}	Input Leakage, High	V _{IOVDD} = 3.63 V, V _{IN} = 3.63 V		10.0	μA
I _{IL}	Input Leakage, Low	V _{IOVDD} = 3.63 V, V _{IN} = 0 V		10.0	μA
I _{OZH_I2C} ⁵	Three-State Leakage Current	V _{IOVDD} = 1.9 V, V _{IN} = 3.63 V		10.0	μA
V _{OH1.9}	High Level Output Voltage	V _{IOVDD} = 1.70 V, I _{OH} = 1 mA		1.35	V
V _{OH3.3}	High Level Output Voltage	V _{IOVDD} = 3.00 V, I _{OH} = 1 mA		2.40	V
V _{OL} ⁶	Low Level Output Voltage	V _{IOVDD} = 3.00 V, I _{OL} = 1 mA		0.40	V
V _{OL} ⁶	Low Level Output Voltage	V _{IOVDD} = 1.70 V, I _{OL} = 1 mA		0.40	V
V _{OL_I2C} ^{5, 7}	I ² C Low Level Output Voltage	V _{IOVDD} = 3.00 V, I _{OL} = 1.5 mA		0.40	V
V _{OL_I2C} ^{5, 7}	I ² C Low Level Output Voltage	V _{IOVDD} = 1.70 V, I _{OL} = 1.5 mA		0.40	V
C _{PD}	Pin Capacitance		4.8	5	pF
Negative Bias Switch					
I _{VSSN}	Internal V _{SSN} Switch Current	AD2426(W)/AD2427(W)/AD2428(W)		300	mA
I _{VSSN}	Internal V _{SSN} Switch Current	AD2420(W)/AD2429W		100	mA
R _{VSSN}	Internal V _{SSN} On Resistance			1.2	Ω

¹ マスタおよび最後のスレーブが消費する電流はトランシーバーの半分で済みます。2つのTRXブロックのうち一方のみを使用するからです。

² バス給電システムでは、I_{OUT}が他のノードのI_{VSSN}およびV_{VIN}に直接影響します。詳細については、[電力の分析](#)のセクションを参照してください。

³ 代表的な制限値を超える電流が流れる場合は、パッケージの熱制限を考慮してください。詳細については、[熱特性](#)のセクションを参照してください。

⁴ I_{OUT1}およびI_{OUT2}の最大値に適合する必要があります。

⁵ SDAピンとSCLピンに適用します。

⁶ BCLK、SYNC、DTX0/IO3、DTX1/IO4、DRX0/IO5、DRX1/IO6、ADR1/IO1、ADR2/IO2、IRQ/IO0、PDMCLK/IO7ピンに適用します。

⁷ SDAピンとSCLピンは、限られた数のI²C接続スレーブ・デバイスを対象に設計されているため、I_{OL}電流の最小値はI²Cの仕様より小さい値になります。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

表 2. 差動入出力

Parameter	Conditions	Min	Typ	Max	Unit
LVDS					
$ V_{OD} $ Differential Output Voltage Magnitude	See Figure 19				
High Transmit Level		425		545	mV
Medium Transmit Level		315		415	mV
Low Transmit Level		210		305	mV
Receiver					
V_{TH} Differential Input Threshold Voltage		-52		+52	mV

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

電源電圧変動除去比 (PSRR)

$T_J = 40^\circ\text{C}$ での代表的な PSRR。負荷容量：

$C_{LOAD} = 4.7\ \mu\text{F} \parallel 100\ \mu\text{F}$ 。

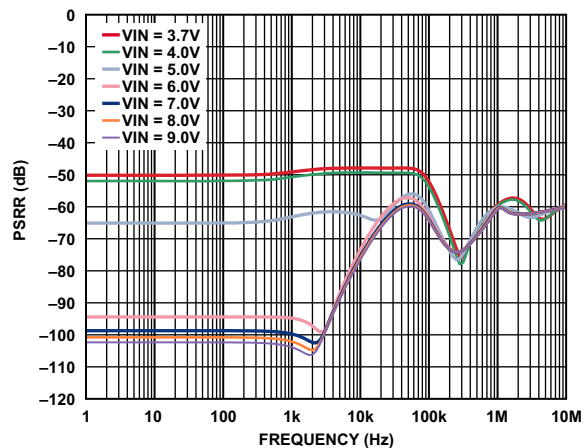


図 5. VOUT1 の PSRR、 $I_{VOUT1} = 10\text{mA}$

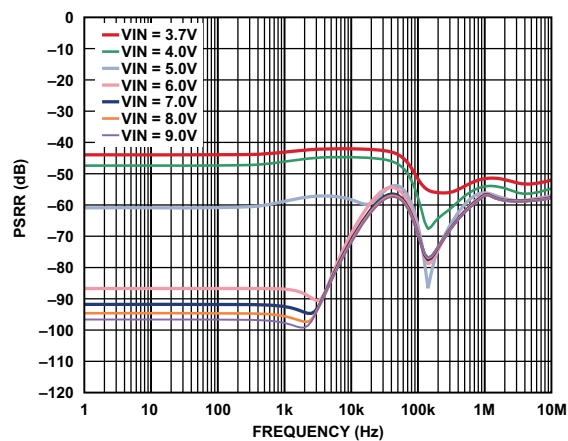


図 7. VOUT2 の PSRR、 $I_{VOUT2} = 10\text{mA}$

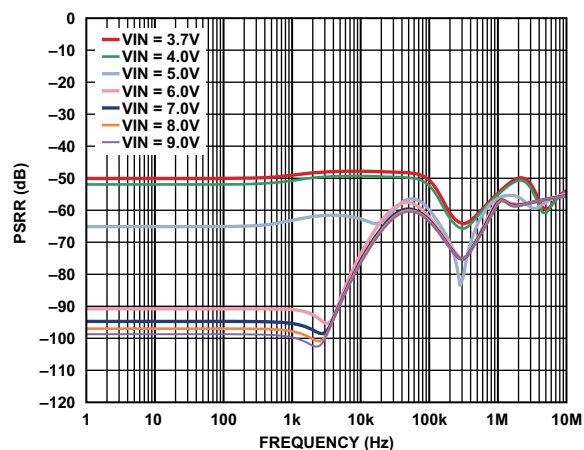


図 6. VOUT1 の PSRR、 $I_{VOUT1} = 40\text{mA}$

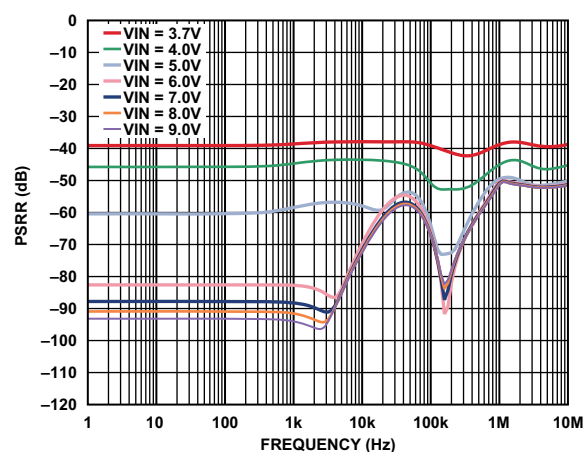


図 8. VOUT2 の PSRR、 $I_{VOUT2} = 50\text{mA}$

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

タイミング仕様

表 3. クロックとリセットのタイミング (A²B[®] マスタ)

Parameter	Min	Typ	Max	Unit
Timing Requirements				
f _{SYNCM} SYNC Pin Input Frequency Continuous Clock	43.6	44.1, 48.0	48.5	kHz
t _{SYNCLJ} SYNC Pin Input Jitter RMS TIE		0.29	1.0	ns
t _{SYNCOJ} SYNC Pin Output Jitter RMS TIE			2.6	ns
f _{SYSBCLK} Bus Clock		1024 × f _{SYNCM}		kHz
t _{DNSYNCR} ¹ Delay from First Missed SYNC to Reset (A ² B Master)	0.64		0.74	ms
t _{DNSCFR} ¹ Delay from First Missed SCF to Reset (A ² B Slave)	0.64		0.74	ms
t _{PLK} PLL Lock Time		7.5		ms

¹ 規定の時間中にSYNCまたはSCFの遷移が連続して欠落した場合に限り、リセットされます。

表 4. パルス密度変調マイクロフォン入力のタイミング

Parameter	Min	Typ	Max	Unit
Timing Requirements				
t _{RISS} DRXn Input Setup Before BCLK	12.0			ns
t _{RIHS} DRXn Input Hold After BCLK	0			ns
t _{RISS} DRXn Input Setup Before PDMCLK	12.5			ns
t _{RIHS} DRXn Input Hold After PDMCLK	0			ns
Switching Characteristics				
f _{BCLK} BCLK/PDMCLK Output Frequency	3.05		3.18	MHz
t _{BCLKOJ} BCLK/PDMCLK Output Jitter RMS Cycle to Cycle			175	ps
t _{SOL} BCLK/PDMCLK Output Pulse Width Low	161.0			ns

表 5. GPIO のタイミング

Parameter	Min	Typ	Max	Unit
Timing Requirement				
t _{FIPW} Input Pulse Width	t _{SYSBCLK} + 1			ns
Switching Characteristic				
t _{POPW} Output Pulse Width	t _{SYSBCLK} - 1			ns

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

表 6. I²C ポートのタイミング

Parameter	Min	Typ	Max	Unit
Timing Requirements				
f_{SCL} SCL Clock Frequency	0		400	kHz
t_{SCLH} SCL Pulse Width High	0.6			μ s
t_{SCLL} SCL Pulse Width Low	1.3			μ s
t_{SCS} Start and Repeated Start Condition Setup Time	0.6			μ s
t_{SCH} Start Condition Hold Time	0.6			μ s
t_{SPS} Stop Condition Hold Time	0.6			μ s
t_{DS} Data Setup Time	100			ns
t_{DH} Data Hold Time	0.0		0.9	μ s
t_{SCLR} SCL Rise Time			300	ns
t_{SCLF} SCL Fall Time			300	ns
t_{SDR} SDA Rise Time			300	ns
t_{SDF} SDA Fall Time			300	ns
t_{BFT} Bus-Free Time Between Stop and Start	1.3			μ s

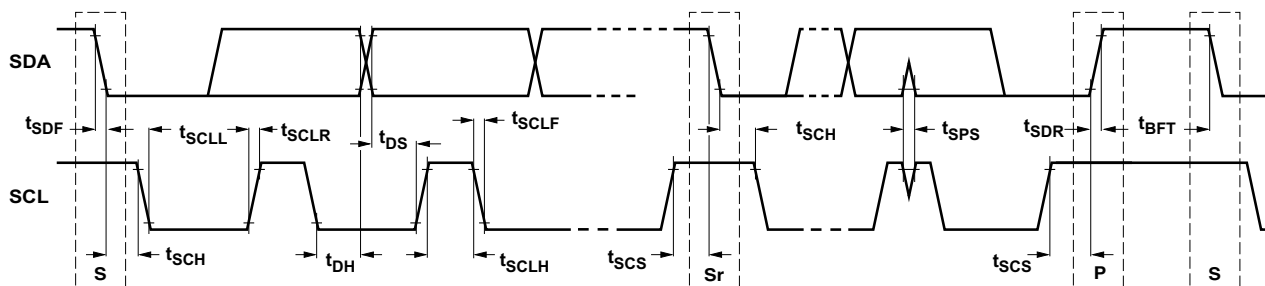


図 9. I²C ポートのタイミング

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

表 7. I²S のタイミング

		1.8V		3.3V		
Parameter		Min	Max	Min	Max	Unit
I ² S Slave Timing Requirements (A ² B Master)						
t _{BCLKW}	BCLK Width	19.5		9.5		ns
t _{BCLKS}	BCLK Period	39.0		19.0		ns
t _{SIS} ¹	SYNC Input Setup Before BCLK Sample Edge	2.25		2.25		ns
t _{SIH} ¹	SYNC Input Hold After BCLK Sample Edge	2.0		3.0		ns
t _{RISM} ¹	DRXn Input Setup Before BCLK Sample Edge	0.5		0.5		ns
t _{RIHM} ¹	DRXn Input Hold After BCLK Sample Edge	2.0		1.5		ns
t _{RISM} ¹	DRX1 on DTX1 Input Setup Before BCLK Sample Edge	4.0		4.5		ns
t _{RIHM} ¹	DRX1 on DTX1 Input Hold After BCLK Sample Edge	0.5		0.5		ns
I ² S Slave Switching Characteristics (A ² B Master)						
t _{DODM} ²	DTXn Output Delay After BCLK Drive Edge		15.25		12.0	ns
t _{DOHM} ²	DTXn Output Hold After BCLK Drive Edge	3.0		3.0		ns
t _{DOENM} ²	DTXn Data Enable Delay After BCLK Drive Edge	2.0		2.0		ns
t _{DODIM} ²	DTXn Data Disable Delay After BCLK Drive Edge		13.0		8.0	ns
I ² S Master Timing Requirements (A ² B Slave)						
t _{RISS} ¹	DRXn Input Setup Before BCLK Sample Edge	0.0		0.0		ns
t _{RIHS} ¹	DRXn Input Hold After BCLK Sample Edge	5.8		2.0		ns
t _{RISS} ¹	DRX1 on DTX1 Input Setup Before BCLK Sample Edge	2.5		4.5		ns
t _{RIHS} ¹	DRX1 on DTX1 Input Hold After BCLK Sample Edge	2.5		0.5		ns
I ² S Master Switching Characteristics (A ² B Slave)						
f _{BCLK}	BCLK Output Frequency ³		25.0		50.0	MHz
t _{BCLKMOJ}	BCLK Output Jitter (RMS Cycle to Cycle, f _{BCLKS} = 12.288 MHz)		100		100	ps
t _{SOI} /t _{SOH}	Transmit or Receive BCLK Duty Cycle	0.45	0.55	0.45	0.55	t _{BCLK}
t _{SOJ}	SYNC Output Jitter (RMS Cycle to Cycle f _{SYNCM} = 48 kHz)		2.2		2.2	ns
t _{SOD} ²	SYNC Output Delay After BCLK Drive Edge		6.5		6.5	ns
t _{SOHD} ²	SYNC Output Hold After BCLK Drive Edge	2.8		4.5		ns
t _{DODS} ²	DTXn Output Delay After BCLK Drive Edge		10.8		9.25	ns
t _{DOHS} ²	DTXn Output Hold After BCLK Drive Edge	5.5		6.0		ns

¹ サンプル・エッジを基準にしています。

² 駆動エッジを基準にしています。

³ V_{IOVDD} = 3.3 V の場合、他の I²S デバイスとインターフェースを取るときは、50MHz の最大ビット・クロック・レートでのセットアップと保持のタイミング規格から外れることがあります。A²B[®] スレーブ・ノードが受信していて A²B[®] マスタ・ノードが送信しているときは、タイミング規格外が認められます。こうしたモードでは、BCLK の最大周波数である 50MHz を達成できません。

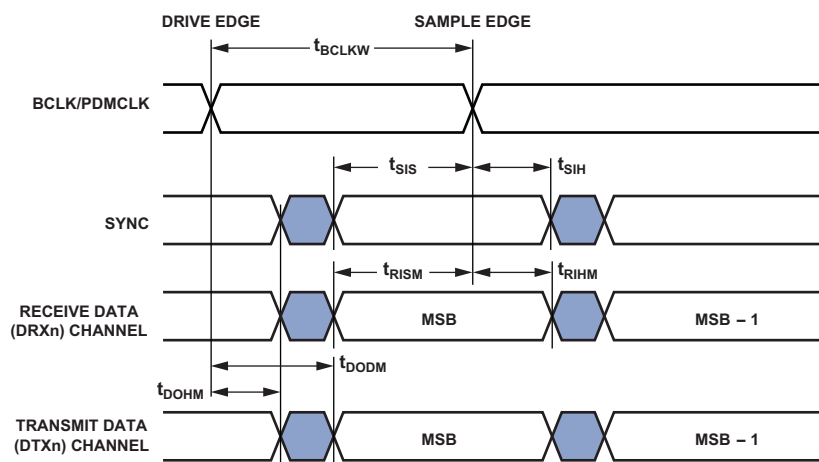


図 10. I²S スレーブ (A²B® マスタ) のタイミング

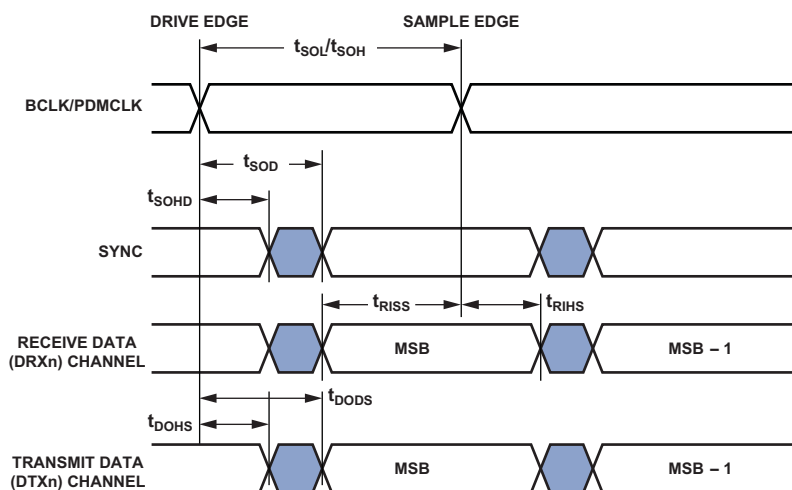


図 11. I²S マスタ (A²B® スレーブ) のタイミング

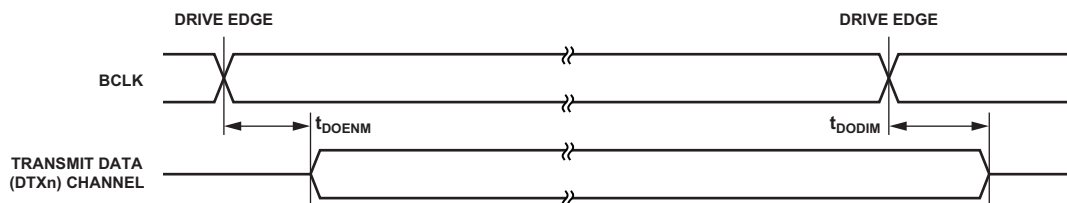


図 12. I²S スレーブ (A²B® マスタ) のイネーブルとスリーステートのタイミング

電源投入シーケンス制御の制約事項

外部電源を供給する場合は、 V_{DVDD} と V_{IOVDD} が仕様の 90% 以上に達してから V_{VIN} が上昇を開始する必要があります。起動時に入力ピンが損傷することなく、ADR1/ADR2 ピンのサンプリングが正常に実行されるようにするには、 V_{IOVDD} を仕様の範囲内に収めてから外部デバイスで入力信号を駆動する必要があります。

表 8. 電源投入のタイミング

Parameter	Min	Max	Unit
Timing Requirements			
t_{VIN}	When Externally Supplied, V_{DVDD} and V_{IOVDD} Must Reach 90% of Specification Before V_{VIN} Begins Ramping		ms
t_{PORST}	Minimum Time Required for V_{VIN} to be Held Below V_{RST} to Assert Power on Reset		ms

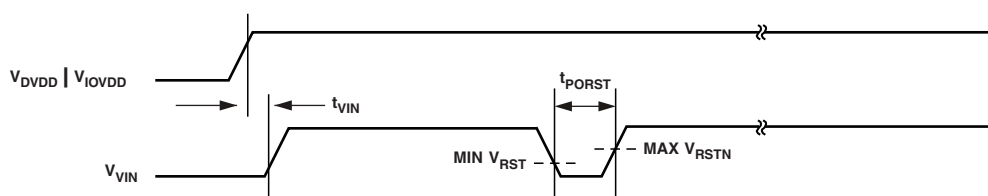


図 13. V_{DVDD} と V_{IOVDD} を外部から供給した場合の電源投入シーケンスのタイミング

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

A²B[®] バス・システムの仕様

表 9. A²B[®] システムの仕様

パラメータ	システムの仕様
Cable	差動インピーダンスが 100Ω のシールドなし、単線、ツイストペア・ワイヤ（UTP）。最も厳しい環境条件下での EMC 性能および全機能は、Leoni Dacar 545 ケーブル（76D00305）を使用して確認します。
Maximum Cable Length	
AD2428(W) Mastered System	全長 40m、ノード間 15m。
AD2429(W) Mastered System	全長 10m、ノード間 5m。
Maximum Number of Nodes	
AD2428(W) Mastered System	11 ノード（1 つのマスタ・ノードと 10 のスレーブ・ノード）
AD2429(W) Mastered System	3 ノード（1 つのマスタ・ノードと 2 つのスレーブ・ノード）
Maximum Number of Audio Slots	
AD2426(W)/AD2427(W)/AD2428(W) ¹	全 64 スロット、最大 32 のアップストリーム・スロットおよび 32 のダウンストリーム・スロット、システム設計に依存。
AD2420(W)/AD2429(W) ¹	AD2429(W)：4 つのアップストリーム・スロットおよび 2 つのダウンストリーム・スロット、システム設計に依存。 AD2420(W)：2 つのアップストリーム・スロット、システム設計に依存。
Number of Audio Channels per Slave Node	アップストリーム・チャンネルおよびダウンストリーム・チャンネルをそれぞれ 0 ～ 32 チャンネル個別にプログラム可能。
Synchronous A ² B Data Slot Size	I ² S/TDM データのワード長に一致する 8、12、16、20、24、28、または 32 ビット。全てのノードに対して同じスロット・サイズ。アップストリームとダウンストリームで別のスロット・サイズを選択できます。スロット・サイズが 12、16、または 20 ビットの場合は、圧縮データを A ² B [®] バスを介して伝送して、16、20、または 24 ビットの I ² S/TDM ワード長に対応できます。
Audio Sampling Frequency	44.1kHz ～ 48kHz。全てのノードが同時にサンプリング。スレーブ・ノードのトランシーバーは、1 倍（48kHz）、2 倍（96kHz）、または 4 倍（192kHz）のサンプリング・レート（f _S ）をサポートしており、それはスレーブごとに個別に設定されます。 スレーブで 2 倍および 4 倍のサンプリング・レートをサポートするため、マスタは、I ² S/TDM データ・チャンネル数の 2 倍および 4 倍を、サンプリング周波数（f _{SYNCD} ）が 1 倍の、ホストに対するインターフェースとして使用します。 また、トランシーバーは、スーパーフレーム・レートが低遅延の 48kHz のとき、24kHz、12kHz、6kHz、4kHz、3kHz、2.4kHz、2kHz、1.71kHz、または 1.5kHz の低減サンプリング・レートもサポートします。
Discovery Time	1 ノード当たり 35ms 未満。10 ノードのシステムでシステム全体が起動する場合の 350ms よりはるかに短時間。レジスタの初期化を含む。
Bit Error Detection	16 ビットの巡回冗長検査（CRC）による制御データとステータス・データの堅牢なエラー検出。
Error Correction	同期データ・スロット上でのパリティおよび回線コードの誤り検出と音声の誤り検出（既知の最終正常データの繰り返し）。 24 ビットと 32 ビットのデータ・チャンネルでは、同期データ・スロットの単一誤り訂正および 2 重誤り検出（SECDED）が可能です。
Failure Diagnostics ¹	A ² B [®] のワイヤが高電圧（例：カー・バッテリーの正端子）またはグラウンドに短絡した場合、ワイヤが互いに短絡した場合、ワイヤの逆接続、または断線が発生した場合、故障の場所と原因を検出できます。
System EMI/EMC	堅牢性（ISO 11452-2、ISO 11452-4、ISO 7637-3）および放射（CISPR25）に関する業界の規格を満たすか超えています。
System ESD	端子については表 12 の IEC ESD 定格を参照してください。

¹ 詳細については、AD2420(W)/6(W)/7(W)/8(W)/9(W)車載オーディオ・バス（A²B[®]）トランシーバー・テクニカル・リファレンスを参照してください。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

RMS タイム・インターバル・エラー (TIE) ジッタ

A²B[®] システム内でのクロックは、マスタからスレーブ 0 へ渡され、スレーブ 0 からスレーブ 1 へ渡され、以下同様に渡されます。各トランシーバーは入力ジッタに対して自己のジッタを付加するので、ジッタはマスタから n 番目のスレーブに届くまでに大きくなります。表 10 に、代表的な RMS TIE ジッタの増大を示します。

表 10. 各スレーブでの SYNC 出力 RMS TIE ジッタ

Slave Node	Typ	Max	Unit
1	1.57		ns
2	1.79		ns
3	1.91		ns
4	2.04		ns
5	2.15		ns
6	2.27		ns
7	2.44		ns
8	2.47		ns
9	2.58		ns
10	2.70	5.50	ns

PDM の代表的な性能特性

図 14 ～ 図 18 と表 11 に、PDM の代表的な性能特性を示します。

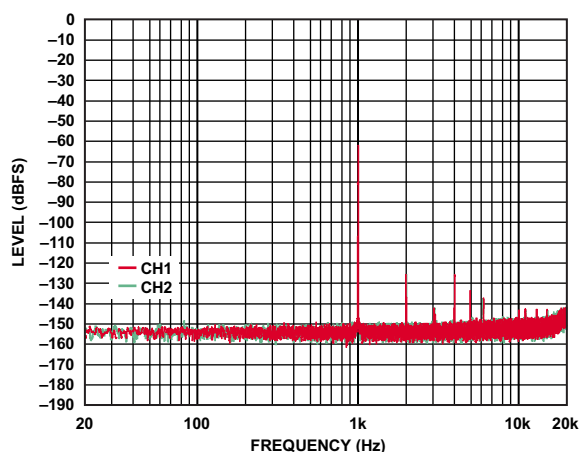


図 14. PDM の FFT、 $f_{\text{SYNCM}} = 48\text{kHz}$ 、フレーム同期入力：-60dB

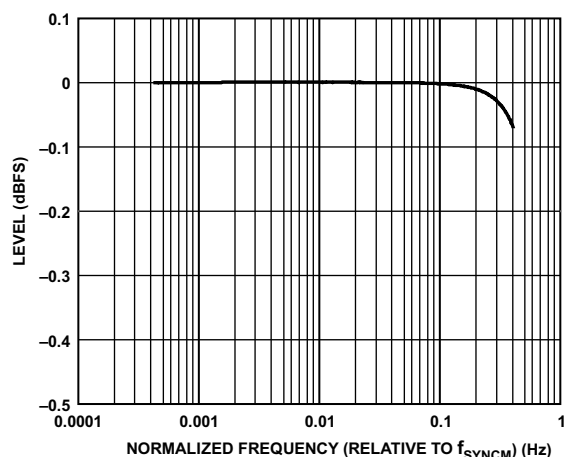


図 15. PDM の周波数応答

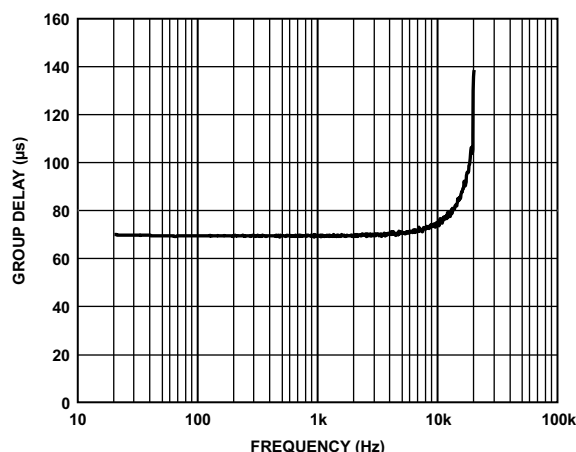


図 16. PDM の群遅延と周波数の関係、 $f_{\text{SYNCM}} = 48\text{kHz}$

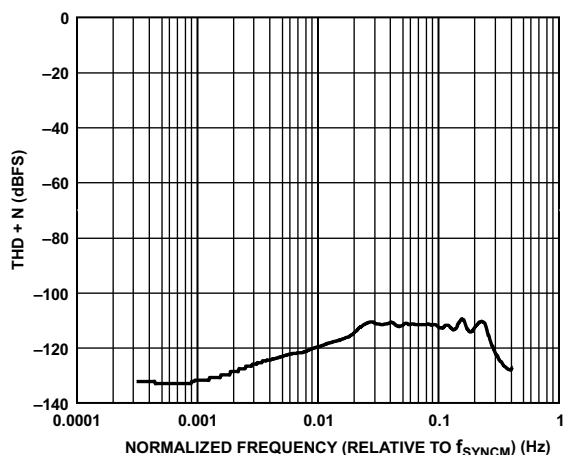


図 17. PDM の全高調波歪み + ノイズ (THD + N) と正規化された周波数の関係 (基準: f_{SYNCM})

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

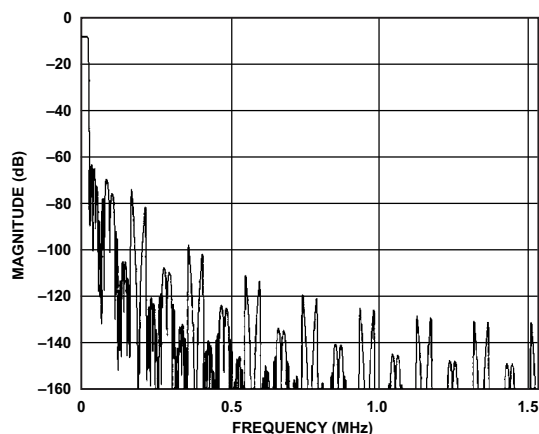


図 18. PDM の帯域外周波数応答（48kHz 出力）

表 11. PDM インターフェース性能の仕様

Parameter	Conditions	Min	Typ	Max	Unit
Dynamic Range With A-Weighted Filter (RMS)	20 Hz to 20 kHz, -60 dB input		120		dB
SNR	A-weighted, fourth-order input		120		dB
Decimation Ratio	Default is 64×	64×	128×	256×	
Frequency Response	DC to 0.45 f_{SYNCM}	-0.1		+0.01	dB
Stop Band Attenuation		74	0.566		f_{SYNCM} dB
Group Delay	0.02 f_{SYNCM} input signal		3.80		f_{SYNCM} cycles
Gain	PDM to PCM		0		dB
Start-Up Time ¹			48		f_{SYNCM} cycles
Bit Width	Internal and output		24		Bits

¹ PDMの起動時間は、PDMブロックがイネーブルした後にフィルタが安定化するための時間です。これは、データを確保して規定の性能を満たすための待ち時間です。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

絶対最大定格

表 12 に記載されている絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

表 12. 絶対最大定格

パラメータ	定格
VIN to VSS	−0.7 V to +30 V
Power Supply IOVDD to VSS	−0.3 V to +3.63 V
Power Supply DVDD to VSS	−0.3 V to +1.98 V
Power Supply PLLVDD to VSS	−0.3 V to +1.98 V
Power Supply TRXVDD to VSS	−0.3 V to +3.63 V
Digital Pin Output Voltage Swing ¹	−0.3 V to V _{IOVDD} + 0.5 V
Input Voltage ^{2, 3}	−0.33 V to +3.63 V
Input Voltage ^{2, 4}	−0.33 V to +2.10 V
I ² C Input Voltage ^{2, 5}	−0.33 V to +5.5 V
A ² B Bus Terminal Voltage	
AP, AN, BP, and BN Pins	−0.5 V to +4.1 V
SENSE, SWP, VSSN Voltage to V _{SS}	+30 V maximum
Storage Temperature Range	−65°C to +150°C
Junction Temperature While Biased	−40°C to +125°C
ESD Rating HBM	
VIN and SWP Pins	±2.5 kV
AP, AN, BP, and BN Pins	±2.5 kV
All Other Pins	±2.5 kV
ESD Rating FICDM	
All Pins	±1.25 kV
System ESD Rating CON1-A and CON1-B Terminals ⁶	
IEC 61000-4-2, Air Discharge	±15 kV
IEC 61000-4-2, Contact Discharge	±12 kV
Digital Pin Output Current per Pin Group ⁷	15 mA

¹ BCLK, SYNC, DTX0/IO3, DTX1/DRX1/IO4, DRX0/IO5, DRX1/IO6, IRQ/IO0, ADR1/IO1, ADR2/IO2, PDMCLK/IO7に適用します。

² 関連の電源電圧 (V_{IOVDD}) が仕様の範囲内に入っている場合にのみ適用します。電源電圧が仕様より低い場合、範囲はその電源領域に適用される電圧 ±0.2V です。

³ 公称の V_{IOVDD} が 3.3V の場合に適用します。

⁴ 公称の V_{IOVDD} が 1.8 V の場合に適用します。

⁵ SCL ピンと SDA ピンに適用します。

⁶ CON1-A および CON1-B はコネクタです。

⁷ 詳細については、以下の説明と表 13 を参照してください。

デジタル・ピン出力電流のピン・グループ当たりの値を超えると、永続的な損傷が生じることがあります。例えば、表 13 のグループ 2 の 3 つのピンがソース電流またはシンク電流をそれぞれ 2mA 流している場合、これらのピンの全電流は 6mA になります。グループ内の残りのピンにより、最大 9mA のソース電流またはシンク電流を、デバイスを損傷させずに流すことができます。

表 13. 全電流のピン・グループ

グループ	グループ内のピン
1	IRQ/IO0, ADR1/IO1, ADR2/IO2
2	BCLK, SYNC, DTX0/IO3, DTX1/DRX1/IO4, DRX0/IO5, DRX1/IO6, IO7

熱特性

アプリケーションのプリント回路基板 (PCB) 上でのジャンクション温度を求めるには、以下の式を使用します。

$$T_J = T_{CASE} + \Psi_{JT} \times P_D$$

ここで、

T_J = ジャンクション温度 (°C)。

T_{CASE} = パッケージの上面中央で測定したケース温度 (°C)。

Ψ_{JT} = 表 14 での値。

P_D = 消費電力。

θ_{JA} の値を示したのは、パッケージの比較と PCB の設計検討のためです。次の式によって T_J の一次近似を行うには、θ_{JA} を使用します。

$$T_J = T_A + \theta_{JA} \times P_D$$

ここで、T_A = 周辺温度 (°C)。

θ_{JC} の値を示したのは、外付けヒート・シンクが必要な場合のパッケージの比較と PCB の設計検討のためです。

θ_{JB} の値を示したのは、パッケージの比較と PCB の設計検討のためです。

LFCSP_SS パッケージの熱特性を表 14 に示します。詳細なパラメータ定義については、JESD51-13 を参照してください。ジャンクションとボード間の測定は JESD51-8 に従います。ジャンクションとケース間の測定は MIL-STD-883 (Method 1012.1) に従います。全ての測定で 2S2P JEDEC テスト・ボードを使用します。

表 14. 熱特性

パラメータ	条件	代表値 (°C /W)
θ _{JA}	Airflow = 0 m/s	31.6
θ _{JMA}	Airflow = 1 m/s	28.8
θ _{JMA}	Airflow = 2 m/s	28.1
θ _{JC}	Airflow = 0 m/s	4.6
θ _{JB}	Airflow = 0 m/s	14.7
Ψ _{JT}	Airflow = 0 m/s	0.20
Ψ _{JT}	Airflow = 1 m/s	0.27
Ψ _{JT}	Airflow = 2 m/s	0.30

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

32 ピンの LFCSP_SS パッケージでは、Exposed Pad のために埋め込みグラウンド・プレーンへのサーマル・ビアを備えた放熱用正方形パターンを PCB に設ける必要があります。データシート仕様に合致する正常な動作を確保するには、露出パドルをグラウンドに接続する必要があります。詳細については、JEDEC 規格 JESD51-5 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

テスト回路とスイッチング特性

図 19 に、差動ライン・ドライバおよびレシーバーの AP/AN ピンと BP/BN ピンのライン・ドライバ電圧測定回路を示します。

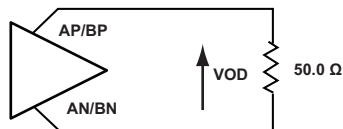


図 19. 差動ライン・ドライバの電圧測定

出力駆動電流

図 20 ～ 図 25 に、トランシーバーの出力ドライバの代表的な電流電圧特性を示します。これらの曲線は、出力電圧の機能である出力ドライバの電流駆動能力を示します。駆動強度 0 が DS0 であり、駆動強度 1 が DS1 です。

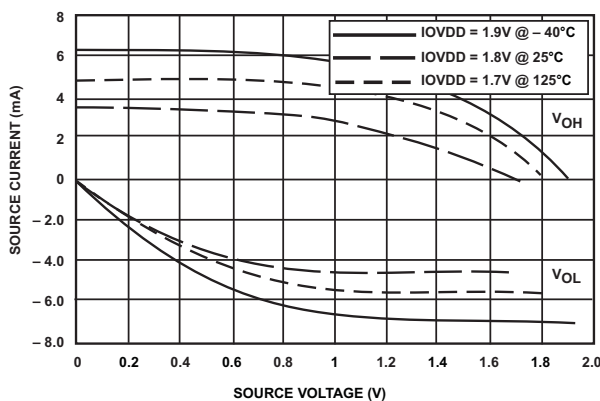


図 20. GPIO、BCLK、および SYNC のドライバ (DS0、IOVDD : 1.8V)

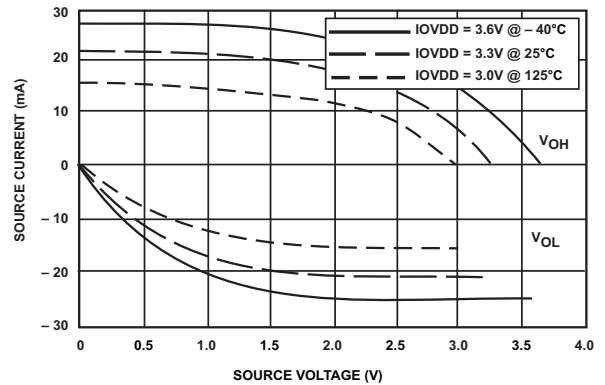


図 21. GPIO、BCLK、および SYNC のドライバ (DS0、IOVDD : 3.3 V)

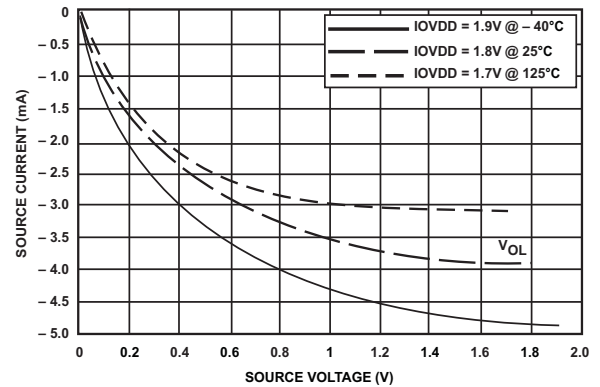


図 22. I²C ドライバ (IOVDD : 1.8V)

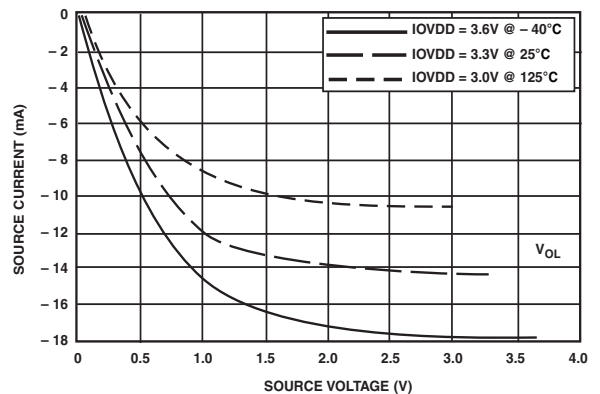


図 23. I²C ドライバ (IOVDD : 3.3 V)

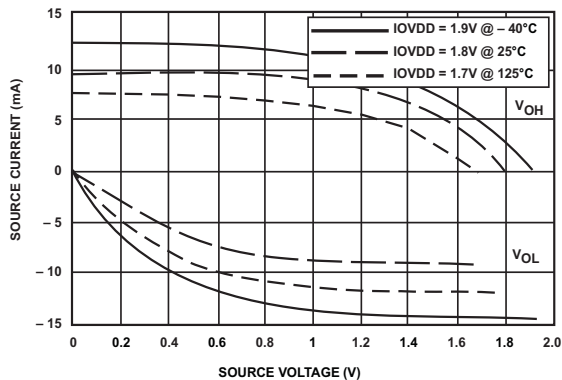


図 24. GPIO、BCLK、および SYNC のドライバ (DS1、IOVDD : 1.8V)

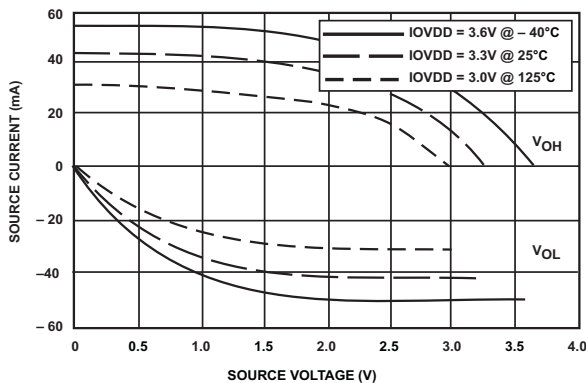


図 25. GPIO、BCLK、および SYNC のドライバ (DS1、IOVDD : 3.3 V)

テスト条件

このデータシートの全てのタイミング・パラメータは、このセクションで説明する条件で測定されました。

図 26 に、AC 測定（出力イネーブル/ディスエーブル以外）の測定点を示します。測定点 V_{MEAS} は、 V_{IOVDD} （公称値）= 3.3V の場合は $V_{IOVDD}/2$ です。



図 26. AC 測定の電圧リファレンス・レベル (出力イネーブル/ディスエーブル以外)

出力イネーブル時間の測定

出力ピンは、高インピーダンス状態から駆動を開始する時点まで遷移すると、イネーブル状態になったとみなされます。

出力イネーブル時間 t_{ENA} は、図 27 の右側に示すように、リファレンス信号がハイまたはローの電圧レベルに達した時点から、出力が駆動を開始する時点までの間隔です。複数のピンがイネーブル状態になった場合、測定値は最初のピンが駆動を開始した時点の値になります。

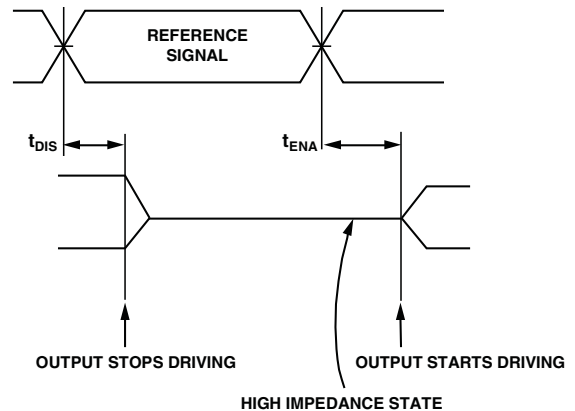


図 27. 出力イネーブル/ディスエーブル

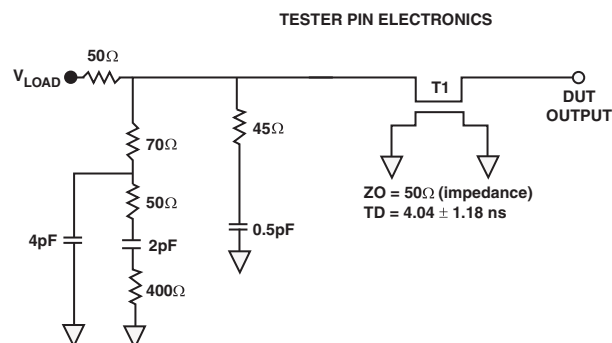
出力ディスエーブル時間の測定

出力ピンは、駆動を停止して高インピーダンス状態に入り、出力ハイまたはローの電圧から減衰し始めると、ディスエーブル状態になったとみなされます。出力ディスエーブル時間 t_{DIS} は、図 27 の左側に示すように、リファレンス信号がハイまたはローの電圧レベルに達してから、出力が駆動を停止する時点までの間隔です。

容量性負荷

出力遅延時間および出力保持時間は、全てのピンが平均 6pF の標準的な容量性負荷であるに基づいています（図 28 参照）。 V_{LOAD} は $V_{IOVDD}/2$ と同等です。図 29 ~ 図 32 に、出力立ち上がり時間が容量に応じてどのように変化するかを示します。与えられた遅延時間と保持時間の仕様は、これらの図から得られる係数によって減定格する必要があります。図 29 ~ 図 32 のグラフは、表示範囲外では線形になりません。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)



注：
最も厳しい条件での伝送線遅延を示します。この遅延を出力タイミング分析に使用して、伝送線の影響を反映させることが可能であり、また、検討する必要があります。伝送線 (TD) は負荷専用であり、データシートのタイミング仕様には影響しません。

アナログ・デバイセズは、所定のシステム条件に合わせてIBISモデルのタイミングを使用することを推奨します。必要な場合は、システムに外部ドライバを組み込んでタイミングの違いを補償できます。

図 28. AC 測定での等価なデバイス負荷接続
(全ての固定治具を含む)

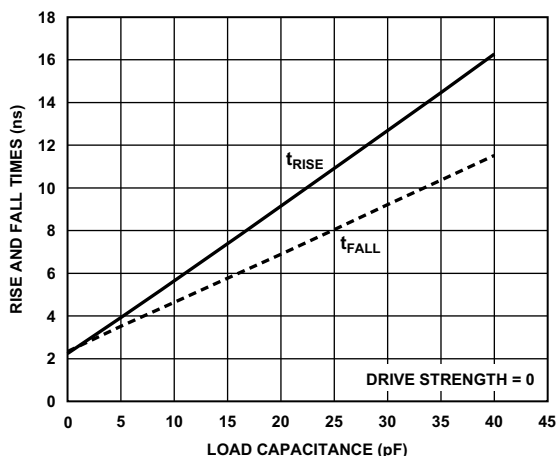


図 29. GPIO ドライバの代表的な立上がりおよび
立下がり時間 (10% から 90% まで) と
負荷容量との関係 ($V_{IOVDD} = 1.8$ V、 $T_J = 25$ °C)

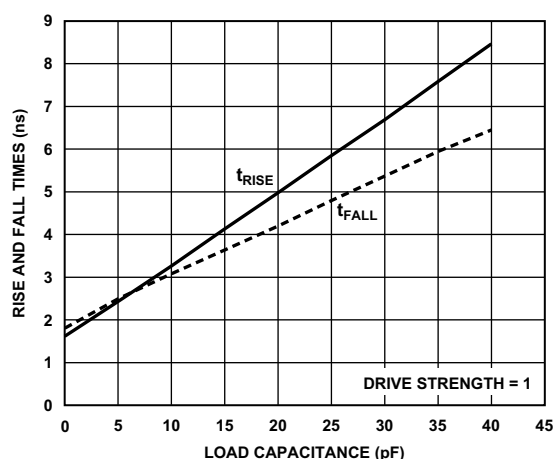


図 30. GPIO ドライバの代表的な立上がりおよび立下がり時間 (10% から 90% まで) と負荷容量との関係
($V_{IOVDD} = 1.8$ V、 $T_J = 25$ °C)

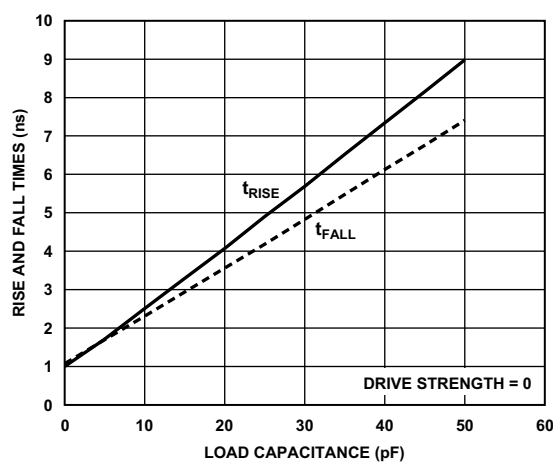


図 31. GPIO ドライバの代表的な立上がりおよび
立下がり時間 (10% から 90% まで) と
負荷容量との関係 ($V_{IOVDD} = 3.3$ V、 $T_J = 25$ °C)

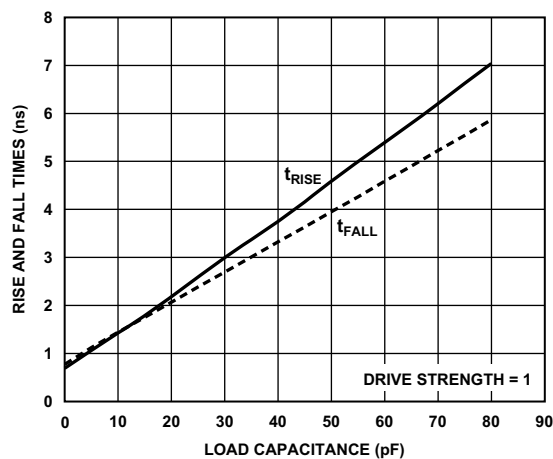


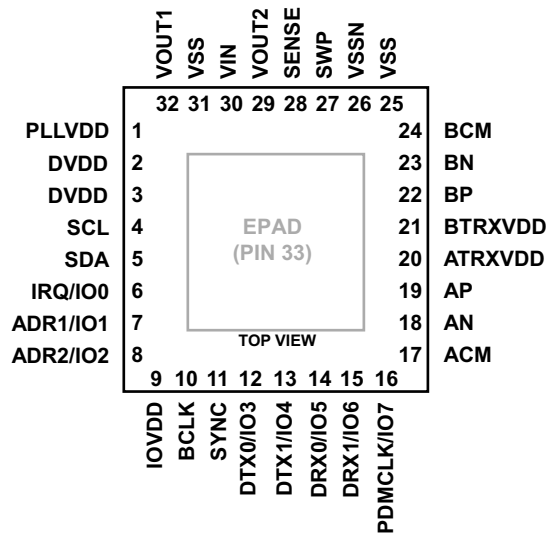
図 32. GPIO ドライバの代表的な立上がりおよび
立下がり時間 (10% から 90% まで) と
負荷容量との関係 ($V_{IOVDD} = 3.3$ V、 $T_J = 25$ °C)

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

ピン配置およびピン機能の説明

32 ピン LFCSP_SS パッケージのピン配置を図 33 に示します。ピン機能の説明を表 15 に示します。

全てのデジタル入出力ピンはスリーステートであり、入力
はリセット時にディスエーブルされます。



33番ピンはパッケージ底面の露出パッドです。このピンはGNDに接続してください。

図 33. 32 ピン LFCSP_SS および LFCSP パッケージのピン配置

表 15. AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W) のピン機能の説明

ピン番号	ピン名	タイプ	代替機能 ¹	説明
1	PLLVD	PWR	なし	PLL の電源。PLLVD には、V _{VOUT1} から電力を供給できます。
2、3	DVDD	PWR	なし	デジタル・コア・ロジックの電源。DVDD には、V _{VOUT1} から電力を供給できます。
4 ²	SCL	D_IO	なし	I ² C データ伝送用のシリアル・クロック。A ² B [®] マスタ・モードではデジタル入力。A ² B [®] スレーブ・モードではデジタル入力 (I ² C スレーブ) または出力 (I ² C マスタ)。このピンはオープンドレインの I/O セルを使用しており、抵抗を介して V _{I2C_VBUS} にプルアップする必要があります (適切な抵抗値については、I ² C バス仕様のバージョン 2.1 を参照してください)。I ² C インターフェースを使用しない場合は、このピンを接地してください。
5 ²	SDA	D_IO	なし	I ² C モードのシリアル・データ。このピンは双方向のオープンドレイン入出力であり、抵抗を介して V _{I2C_VBUS} にプルアップする必要があります (適切な抵抗値については、I ² C バス仕様のバージョン 2.1 を参照してください)。I ² C インターフェースを使用しない場合は、このピンを接地してください。
6 ²	IRQ/IO0	D_IO	なし	割り込み要求出力。マスタ・モードでは、A ² B [®] トランシーバーがホスト・コントローラへのイベント駆動型割り込み要求を作成します。 スレーブ・モードでは、メールボックス割り込みが有効のとき、このピンはメールボックスの空／満杯ステータスをスレーブ・ノード・プロセッサに示します。 割り込み出力ピンとして機能しない場合、このピンは割り込み要求入力機能を備えた汎用 I/O ピンとして機能します。IRQ/IO0 ピンは初期化して、入力または出力にする必要があります。このピンは、デフォルトでは高インピーダンスです。
7 ²	ADR1/IO1	D_IO	CLKOUT1	ADR1/IO1 ピンおよび ADR2/IO2 ピンは、パワーオン・リセット時に I ² C スレーブ・デバイスのアドレスを設定します。最大で 4 つの A ² B [®] マスタ・トランシーバー・チップが同じ I ² C バスに接続します。ADR1/IO1 ピンは、デフォルトでは高インピーダンスです。その後、ADR1/IO1 ピンを初期化して、割り込み要求機能を備えた汎用入出力 (GPIO) ピンにすることができます。 このピンはクロック出力 (CLKOUT1) になるようプログラムできます。クロック出力は、接続されている ADC および DAC のマスタ・クロックとして使用するか、スイッチング電圧レギュレータを同期するために使用できます。

この表では、タイプが次のように定義されます。PWR = 電源／グラウンド、A_IN = アナログ入力、D_OUT = デジタル出力、A_IO = アナログ入出力、D_IO = デジタル入出力、N/A = 該当なし。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

表 15. AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W) のピン機能の説明（続き）

ピン番号	ピン名	タイプ	代替機能 ¹	説明
8 ²	ADR2/IO2	D_IO	CLKOUT2	ADR1/IO1 ピンおよび ADR2/IO2 ピンは、パワーオン・リセット時に I ² C スレーブ・デバイスのアドレスを設定します。最大で 4 つの A ² B [®] マスタ・トランシーバー・チップが同じ I ² C バスに接続します。ADR2/IO2 ピンは、デフォルトでは高インピーダンスです。その後、ADR2/IO2 ピンを初期化して、割り込み要求機能を備えた汎用入出力（GPIO）ピンにすることができます。このピンはクロック出力（CLKOUT2）になるようプログラムできます。クロック出力は、接続されている ADC および DAC のマスタ・クロックとして使用するか、スイッチング電圧レギュレータを同期するために使用できます。
9	IOVDD	PWR	なし	デジタル入出力ピンの電源。デジタル出力ピンは IOVDD から電力を供給されます。また、このピンはデジタル入力ピンでの許容最大入力電圧も設定します。2 つの I/O 電圧範囲がサポートされています（動作条件のセクションの V _{IOVDD} の仕様を参照してください）。これらのピンに流れる電流は一定ではなく、デジタル出力の負荷により異なります。IOVDD には、VOUT1 ピンまたは VOUT2 ピンから電力を供給できます。ただし、信号の発生源が VOUT1 ピンまたは VOUT2 ピンを電源とするロジックではない場合は、IOVDD には外部電源から電力を供給してください。
10	BCLK	D_IO	PDMCLK	ビット・クロック。マスタ・モードではデジタル入力。スレーブ・モードではデジタル出力。PDM インターフェースをスレーブ・モードで使用する場合、このピンは PDM マイクロフォンのクロック出力（PDMCLK）として動作できます（PDMCLK/IO7 ピンも使用できます）。
11	SYNC	D_IO	なし	同期信号。マスタ・モードではデジタル入力。スレーブ・モードではデジタル出力。AD2428W および AD2429W では、SYNC 信号がマルチチャンネルの I ² S/TDM データ・ストリームをフレーム化します。A ² B [®] マスタ・ノードには連続信号が必要です。その理由は、A ² B [®] マスタ・トランシーバーが、トランシーバー自体と A ² B [®] バスに関する全てのクロック制御情報をこの入力から得るためです。このピンが切替え動作を停止すると、A ² B [®] バスは遅延後にリセットされます。詳細については、表 3 を参照してください。
12 ²	DTX0/IO3	D_IO	なし	AD2428W および ADW2429W では、I ² S/TDM のシリアル・データがマルチチャンネルの I ² S/TDM フォーマットで DTX0/IO3 ピンまで駆動されます。DTX0 機能がディセーブルされている場合、このピンは IO3 の汎用 I/O ピンとして機能します。DTX0/IO3 ピンは、設定されるまでデフォルトでは高インピーダンスです。同期信号が欠落しているか電源電圧が低いためにデバイスがリセットされると、このピンは高インピーダンスに戻ります。
13 ²	DTX1/IO4	D_IO	DRX1	ADW2420W、AD2426W、および AD2427W では、このピンは GPIO 専用（IO3）です。AD2428W および AD2429W では、I ² S/TDM のシリアル・データがマルチチャンネルの I ² S/TDM フォーマットで DTX1/IO4 ピンまで駆動されます。DRX1 の代替位置として設定すると、DTX1/IO4 ピンはマルチチャンネルの I ² S/TDM フォーマットで表されるデータを受信します。この代替位置を使用できるのは、DRX0/IO5 ピンおよび DRX1/IO6 ピンを使用して PDM マイクロフォン・データを受信する場合です。DTX1 と DRX1 の機能がディセーブルされている場合、このピンは IO4 の汎用 I/O ピンとして機能します。DTX1/IO4 ピンは、設定されるまでデフォルトでは高インピーダンスです。同期信号が欠落しているか電源電圧が低いためにデバイスがリセットされると、このピンは高インピーダンスに戻ります。
14 ²	DRX0/IO5	D_IO	PDM0	AD2420W、AD2426W、および AD2427W では、このピンは GPIO 専用（IO4）です。AD2428W および AD2429W では、I ² S/TDM のシリアル・データが DRX0/IO5 ピンにおいてマルチチャンネルの I ² S/TDM フォーマットで受信されます。このピンを PDM 入力（PDM0）としてイネーブルした場合、このピンはマイクロフォン・データの入力になります。DRX0 と PDM0 の機能がディセーブルされている場合、このピンは IO5 の GPIO ピンとして機能します。DRX0/IO5 ピンは、設定されるまでデフォルトでは高インピーダンスです。同期信号が欠落しているか電源電圧が低いためにデバイスがリセットされると、このピンは高インピーダンスに戻ります。
				AD2420W、AD2426W、および AD2427W では、DRX0 の機能はサポートされていません。

この表では、タイプが次のように定義されます。PWR = 電源／グラウンド、A_IN = アナログ入力、D_OUT = デジタル出力、A_IO = アナログ入出力、D_IO = デジタル入出力、N/A = 該当なし。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

表 15. AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W) のピン機能の説明（続き）

ピン番号	ピン名	タイプ	代替機能 ¹	説明
15 ²	DRX1/IO6	D_IO	PDM1	AD2428W および AD2429W では、I ² S/TDM のシリアル・データが DRX1/IO6 ピンにおいてマルチチャンネルの I ² S/TDM フォーマットで受信されます。このピンを PDM 入力（PDM1）としてイネーブルした場合、このピンはマイクロフォン・データの入力になります。DRX1 と PDM1 の機能がディスエーブルされている場合、このピンは IO6 の GPIO ピンとして機能します。DRX1/IO6 ピンは、設定されるまでデフォルトでは高インピーダンスです。同期信号が欠落しているか電源電圧が低いためにデバイスがリセットされると、このピンは高インピーダンスに戻ります。 AD2420W、AD2426W、および AD2427W では、DRX1 の機能はサポートされていません。
16 ²	PDMCLK/IO7	D_IO	RRSTRB	PDM マイクロフォンのクロック出力。 マスタ・モードでは、PDM クロック出力（PDMCLK）を使用して PDM マイクロフォンにクロックを供給します。このピンは、ホストが使用する BCLK レートと関係なく、SYNC の 64 倍の周波数で動作します。 PDM インターフェースをスレーブ・モードで使用する場合、このピンは PDM マイクロフォンのクロック出力（PDMCLK）として引き続き動作できますが、BCLK を使用することもできます。 PDM 機能がディスエーブルされると、このピンは IO7 の GPIO ピンとして機能します。また、レート低減データが更新されたことを示すストローブ（RRSTRB）として PDMCLK/IO7 ピンを使用することもできます。PDMCLK/IO7 ピンは、設定されるまでデフォルトでは高インピーダンスです。同期信号が欠落しているか電源電圧が低いためにデバイスがリセットされると、このピンは高インピーダンスに戻ります。
17	ACM	A_IN	なし	双方向、差動 A ² B [®] ライン・トランシーバー A の同相入力。
18	AN	A_IO	なし	双方向、差動 A ² B [®] ライン・ドライバおよびレシーバー A の反転ピン。ピン 18 はマスタの方向に向けられます。ピン 18 は自己バイアスされます。
19	AP	A_IO	なし	双方向、差動 A ² B [®] ライン・ドライバおよびレシーバー A の非反転ピン。ピン 19 はマスタの方向に向けられます。ピン 19 は自己バイアスされます。
20	ATRXVDD	PWR	なし	A ² B [®] ライン・ドライバおよびレシーバー回路の電源。共用の 100nF コンデンサ 1 個と共用の 10nF コンデンサ 1 個をピンにできるだけ近づけて配置して、これらのピンを VSS に対してデカップリングします。このピンには、VOUT2 から電力を供給できます。マスタ、最後のスレーブ、またはデジタイゼーション接続スレーブの ATRXVDD ピンに電源を供給します。
21	BTRXVDD	PWR	なし	A ² B [®] ライン・ドライバおよびレシーバー回路の電源。共用の 100nF コンデンサ 1 個と共用の 10nF コンデンサ 1 個をピンにできるだけ近づけて配置して、これらのピンを VSS に対してデカップリングします。このピンには、VOUT2 から電力を供給できます。マスタ、最後のスレーブ、またはデジタイゼーション接続スレーブの BTRXVDD ピンに電源を供給します。
22	BP	A_IO	なし	AD2427W、AD2428W、および AD2429W では、これは双方向、差動 A ² B [®] ライン・ドライバおよびレシーバー B の非反転ピンであり、最終スレーブの方向に向けられます。このピンは自己バイアスされます。
23	BN	A_IO	なし	AD2427W、AD2428W、および AD2429W では、これは双方向、差動 A ² B [®] ライン・ドライバおよびレシーバー B の反転ピンであり、最終スレーブの方向に向けられます。このピンは自己バイアスされます。
24	BCM	A_IN	なし	AD2427W、AD2428W、および AD2429W では、これは双方向、差動 A ² B [®] ライン・トランシーバー B の同相入力です。
25	VSS	PWR	なし	リターン電流用の電源ピン。VSS ピンは低インピーダンスのローカル VSS グラウンド・プレーンに接続します。
26	VSSN	PWR	なし	AD2427W、AD2428W、および AD2429W では、これは次のスレーブ・デバイスのための電源リターン電流接続です。次のスレーブ・デバイスに対して負のバイアスを供給するインダクタに接続します。AD2427W、AD2428W、および AD2429W は、VSSN をローカルの VSS 電位に接続して、チェーン内の次のスレーブ・デバイスへの電力をシーケンス制御します。VSSN は、重大な障害条件では自動的に遮断されます。
27	SWP	D_OUT	なし	AD2427W、AD2428W、および AD2429W では、これは PMOS スイッチのゲートを駆動するアクティブ・ローのオープンドレイン出力です。このスイッチはデフォルトではオープン（SWP ピンはハイ）です。スイッチを閉じることで（SWP ピンはローになり）、チェーン内の次のスレーブ・デバイスへの電力をシーケンス制御できます。重大な障害条件では、スイッチは自動的に開きます（SWP はハイになります）。
28	SENSE	A_IN	なし	次のスレーブ・デバイスに供給される電力を検出するためのアナログ入力。AD2420W、AD2426W、または列の最後の AD2427W/AD2428W/AD2429W では、33kΩ のプルダウン抵抗を通じてこのピンをローカル・グラウンドに接続します。

この表では、タイプが次のように定義されます。PWR = 電源／グラウンド、A_IN = アナログ入力、D_OUT = デジタル出力、A_IO = アナログ入出力、D_IO = デジタル入出力、N/A = 該当なし。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

表 15. AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W) のピン機能の説明（続き）

ピン番号	ピン名	タイプ	代替機能 ¹	説明
29	VOUT2	PWR	なし	内蔵の低ドロップアウト電圧レギュレータの第 2 の出力。このピンの電圧出力は、TRXVDD 電源ピンに安定化電源を供給します。また、消費電流が仕様の範囲内である場合は、外部デバイスの電力をこの電源から供給してもかまいません。4.7μF のコンデンサを使用して、VOUT2 を VSS にデカップリングします。
30	VIN	PWR	なし	内蔵の低ドロップアウト電圧レギュレータの広い入力電圧範囲（動作条件のセクションの V _{VIN} の仕様を参照）に対応する電源ピン。
31	VSS	PWR	なし	リターン電流用の電源ピン。VSS ピンは低インピーダンスのローカル VSS グラウンド・プレーンに接続します。
32	VOUT1	PWR	なし	内蔵の低ドロップアウト電圧レギュレータの第 1 の出力。このピンの電圧出力は、DVDD および PLLVDD 電源ピンに安定化電源を供給します。消費電流が仕様の範囲内である場合は、外部デバイスの電力をこの電源から供給してもかまいません。4.7μF のコンデンサを使用して、VOUT1 を VSS にデカップリングします。
33	EPAD	PWR	なし	リターン電流用の電源ピン。この表の他の VSS ピンの説明を参照してください。このピンはパッケージの底面にある露出パッドであり、GND に接続する必要があります。

この表では、タイプが次のように定義されます。PWR = 電源／グラウンド、A_IN = アナログ入力、D_OUT = デジタル出力、A_IO = アナログ入出力、D_IO = デジタル入出力、N/A = 該当なし。

¹ 代替機能を使用するためにピンを設定することの詳細については、AD2420(W)/6(W)/7(W)/8(W)/9(W)車載オーディオ・パス (A²B[®]) トランシーバー・テクニカル・リファレンスを参照してください。

² このピンに対して表示の機能が必要ない場合、このピンは接続しないでください。

周辺機器の電源電流

トランシーバーの外部にある周辺機器には、 V_{VOUT1} および V_{VOUT2} の電圧レギュレータ出力を通じて電力を供給することもできます。 V_{VOUT1} は、 I_{VEXT1} として規定されている電流を外部デバイスに供給できます。 V_{VOUT2} は、 I_{VEXT2} として規定されている電流を外部デバイスに供給できます。

バス給電の場合、周辺機器の電源電流は、システム内にある他のノードに直接の影響を及ぼします。いずれの $A^2B^®$ バス・ノードでも、パッケージの熱制限範囲内にとどまること、 I_{VSSN} および V_{VIN} の規格制限値を超えないことが重要です。

デジタル・ロジックの電源電流

デジタル・ロジックの電源電流 I_{DVDD} は、静的消費電流とデジタル TX/RX 電流の組み合わせです。

$A^2B^®$ バスの TX/RX 電流

$A^2B^®$ バスの動作レベルは、 $A^2B^®$ のトランスミッタとレシーバーの処理に関連する両方の LVDS トランシーバーでの消費電流に直接影響します。

LVDS トランスミッタおよびレシーバーの電源電流

電流 I_{TRXVDD} は、以下に示すように、動作レベルが 100% のときの I_{TXVDD} および I_{RXVDD} と、 $A^2B^®$ バスの動作によって決まります。

- LVDS ダウンストリーム・トランシーバー電流
 - B トランシーバーの LVDS TX 電流 $I_{BTRXVDD}$ は、現在のノードのダウンストリーム TX 動作レベルに起因します。
 - A トランシーバーの LVDS RX 電流 I_{ARXVDD} は、前のノードのダウンストリーム動作レベルに起因します。
- LVDS アップストリーム・トランシーバー電流
 - A トランシーバーの LVDS TX 電流 I_{ATXVDD} は、現在のノードの A 側アップストリーム動作レベルに起因します。
 - B トランシーバーの LVDS RX 電流 I_{BRXVDD} は、列の次のノードのアップストリーム動作レベルに起因します。

ダウンストリーム／アップストリーム動作レベル

TRX B のダウンストリーム・データの動作レベルは、以下の要因によって決まります。

- ダウンストリーム・ヘッダ・ビット。 $A^2B^®$ システムは、同期制御フレーム (SCF) と呼ばれる 64 ビットのダウンストリーム・ヘッダを使用します。
- 1 ノードで送信したダウンストリーム・データ・ビットの数 = 送信済みダウンストリーム・スロットの数 × (スロット当たりのビット数 + パリティ・ビット)。ここで、パリティ・ビット = 1。送信済みダウンストリーム・スロットの数には、ローカル消費スロットは含まれません。
- ノードの B 側ダウンストリーム・トランスミッタ動作レベル。(SCF ビット + 送信済みのダウンストリーム・データ・ビットの数) ÷ 1024。

TRX A のアップストリーム・データの動作レベルは、以下の要因によって決まります。

- アップストリーム・ヘッダ・ビット。(SRF ビット + 受信したダウンストリーム・データ・ビットの総数) ÷ 1024。

- 1 ノードで送信したアップストリーム・データ・ビットの数 = 送信済みアップストリーム・スロットの数 × (スロット当たりのビット数 + パリティ・ビット)。ここで、パリティ・ビット = 1。送信済みアップストリーム・スロットの数は、受信したアップストリーム・スロット数とローカル占有スロット数の合計です。
- ノードの A 側アップストリーム・トランスミッタ動作レベル。(SRF ビット + 送信済みのアップストリーム・データ・ビットの数) ÷ 1024。

LVDS トランスミッタおよびレシーバーのアイドル電流

アイドル電流 I_{TRXVDD_IDLE} は、動作レベルが 0% のときの I_{TXVDD} および I_{RXVDD} と、 $A^2B^®$ バスのアイドル時間によって決まります。

- B トランシーバーのアイドル電流。B トランシーバーの LVDS 電流 $I_{BTRXVDD_IDLE}$ は、B トランシーバーのアイドル時間に起因します。
- A トランシーバーのアイドル電流。A トランシーバーの LVDS 電流 $I_{ATRXVDD_IDLE}$ は、A トランシーバーのアイドル時間に起因します。
- B トランシーバーのアイドル時間。B トランシーバーのアイドル時間は、B トランシーバーの TX と RX の両方がアイドル状態になっている時間です。B トランシーバーのアイドル時間を得るには、B トランシーバーのフレーム・サイクルから以下の動作レベルを取り除きます。
 - 現在のノードの B トランシーバー・ダウンストリーム動作レベル。
 - 列の次のノードの A トランシーバー・アップストリーム動作レベル。
- A トランシーバーのアイドル時間は、A トランシーバーの TX と RX の両方がアイドル状態になっている時間です。A トランシーバーのアイドル時間を得るには、A トランシーバーのフレーム・サイクルから以下の動作レベルを取り除きます。
 - 現在のノードの A トランシーバー・アップストリーム動作レベル。
 - 前のノードの B トランシーバー・ダウンストリーム動作レベル。

LVDS トランシーバー電流の合計は、次のとおりです。

$$I_{TRXVDD} = I_{BRXVDD} + I_{BTRXVDD} + I_{ARXVDD} + I_{ATXVDD} + I_{BTRXVDD_IDLE} + I_{ATRXVDD_IDLE}$$

VREG1 および VREG2 の出力電流

電圧レギュレータの出力電流は、以下の式で制御されます。

I_{VOUT2} は V_{VOUT2} から流れる電流で、これは LVDS トランスミッタおよびレシーバーの電源電流、周辺機器の電源電流、および I/O 電流の合計です。

$$I_{VOUT2} = I_{TRXVDD} + I_{IOVDD} + I_{VEXT2}$$

I_{VOUT1} は V_{VOUT1} ピンから流れる電流で、これは PLL の電源電流 I_{PLLVD} 、デジタル・ロジックの電源電流 I_{DVDD} 、周辺機器の電源電流 I_{VEXT1} 、および I²S/TDM/PDM の I/O 電流 I_{IOVDD} の合計です。

$$I_{VOUT1} = I_{PLLVD} + I_{VEXT1} + I_{DVDD} + I_{IOVDD}$$

スレープ・ノードでの I_{IOVDD} は、 I_{IOVDD} が V_{VOUT1} と V_{VOUT2} のどちらから供給されているかに応じて、 I_{VOUT1} と I_{VOUT2} のどちらが電流源になってもかまいませんが、両方から供給することはできません。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

VIN での電流 (I_{VIN})

トランシーバーの VIN ピンでの電流 (I_{VIN}) は、図 34 と次式に示すように、電流 I_{VOUT1} および I_{VOUT2} と静止電流の合計です。

$$I_{VIN} = I_{VOUT1} + I_{VOUT2} + I_{VINQ}$$

A 側ノードの電流は、前のノードからのライン・バイアス電流です。バス給電ノードでは、これが電源電流でもあり、この電流の一部が列の次のノードに供給されます。

$$I_A = I_{VIN} + I_B + I_{VREGPERI}$$

ここで、

I_B = 次のノードへの B 側電流 (= I_{VSSN} リターン電流と列の次のノードの I_A)。

$I_{VREGPERI}$ = トランシーバーに外部接続した追加の電圧レギュレータによる I_A から供給される周辺機器電流 (図 35 および図 36 では非表示)。

消費電力

トランシーバーの消費電力は、次式を使用して計算します。

電力 =

$$I_{VIN} \times V_{VIN} + (I_{VSSN})^2 \times R_{VSSN} - I_{VEXT1} \times V_{VOUT1} - I_{VEXT2} \times V_{VOUT2}$$

ここで、

I_{VIN} = VIN ピンでの電流。

V_{VIN} = VIN ピンでの電圧。

I_{VSSN} = 次のノードへの B 側電流 I_B と次のノードからのリターン電流。次のノードは、現在のノードの B 端子に接続されているノードです。図 35 を参照してください。

R_{VSSN} = 内部 V_{SSN} のオン抵抗 (表 16 参照)。

$I_{VEXT1} = V_{VOUT1}$ からの周辺機器電源電流。

$I_{VEXT2} = V_{VOUT2}$ からの周辺機器電源電流。

$V_{VOUT1} = V_{REG1}$ の出力電圧。

$V_{VOUT2} = V_{REG2}$ の出力電圧。

ノード間の抵抗

図 35 に、ローカル給電とバス給電の A²B[®] スレーブを組み合わせたシステムの DC モデルを示します。

抵抗と消費電流が原因で、A²B[®] ノード間に DC バイアスの電圧降下が認められます。表 16 に、ノード間の DC 抵抗 ($R_{BETWEEN}$) の要因と抵抗値の例を示します。

バイアス電源とリターン電流は、どちらも抵抗によって変化します。したがって、一部の抵抗値は 2 倍にする必要があります (例えば、配線長抵抗)。

表 16. ノード間の代表的な DC 抵抗の内訳/想定

抵抗	個別値	数量	合計	単位
インダクタの DC 抵抗	0.26	4	1.04	Ω
短絡保護抵抗	1.05	1	1.05	Ω
正バイアスの PMOS スイッチオン抵抗	0.11	1	0.11	Ω
負バイアスのスイッチ オン抵抗 R_{VSSN}	1.2	1	1.2	Ω
接続箇所の抵抗	0.01	4	0.04	Ω
合計 R_{SUM}	N/A ¹	N/A ¹	2.39	Ω
ケーブルの配線長抵抗	0.121	2	0.242	Ω/m

¹ N/Aは該当なしを表します。

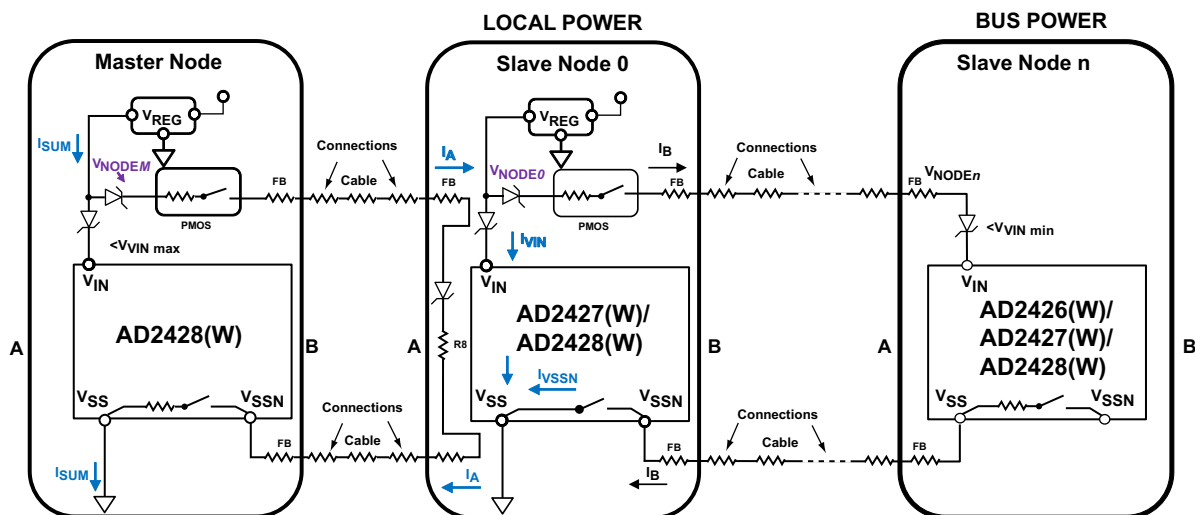


図 35. ローカル給電スレーブとバス給電スレーブを備えたシステム向けの A²B[®] DC 電源モデル

マスタ・ノードまたはローカル給電スレーブ・ノードでの電圧レギュレータの電流

バスの電源は、ローカル給電ノード（マスタ・ノード）から供給を受けてシステム内の全ノードに電力を供給することが必要ですが、次式を使用して計算します。

$$I_{SUM} = I_{VIN} + I_{VSSN} + I_{INRUSH} + I_{VREGPERI}$$

ここで、

I_{VIN} は、ローカル給電モードの V_{VIN} に流れる電流です。

I_{VSSN} は、列の次のスレーブ・ノードからのリターン電流です。この電流は、列の次のノードに供給される I_A 電流と同じです。

I_{INRUSH} は、電源投入時に V_{IN} ピンのコンデンサを充電するために必要な突入電流です。

$I_{VREGPERI}$ は、周辺機器用の追加の V_{REG} の入力電流です（図 35 および図 36 では非表示）。

アナログ・デバイセズでは、 I_{INRUSH} を 150mA 以上にして、参考回路図に示す部品をサポートすることを推奨します。選択した電圧レギュレータの規模がアプリケーションの I_{SUM} を満たすようにする必要があります。

列の次のノードが、設計者の参考情報のセクションに基づく回路を使用したローカル給電スレーブである場合、 I_{VSSN} の電流は 2mA 未満になります。列の次のノードがローカル給電スレーブ・ノードである場合、大半のアプリケーションでは I_{SUM} 電流が 100mA 未満になります。

列の次のノードがバス電源を使用する場合は、流れる電流 I_{VSSN} が増えます。 I_{VSSN} の最大値の仕様により、特に一列のバス給電スレーブでは、スレーブ・ノードのバス電力の取り出しが制限されます。

A²B[®] バスの消費電力

A²B[®] システムの消費電力は、次のように計算します。

$$\text{消費電力} = I_{SUM} \times \text{マスタの } V_{VIN0}$$

バス給電システムの電力分析

図 36 に、バス給電 A²B[®] システムの DC モデルを示します。このデータシートでの電力の式は、SigmaStudio[®] ソフトウェアでの電力計算に使用されます。また、電力の式は Excel のスプレッドシートでも利用可能であり、要求に応じてテクニカル・サポートから提供されます。

電源電圧

バス給電トランシーバーでの電源電圧 (V_{VIN}) レベルを予測して計算するには、図 36 から導出される次の式を使用します。

マスタ・ノードでは、電源電圧を次のように計算します。

$$V_{NODEM} = V_{REGM} - V_{DIODE3}$$

$$V_{VIN} = V_{REGM} - V_{DIODE1}$$

スレーブ・ノードでは、電源電圧を次のように計算します。

$$V_{NODE} = V_{NODE'} - I_A \times R_{BETWEEN}$$

$$V_{VIN} = V_{NODE} - V_{DIODE1}$$

ここで、

$V_{NODE'}$ は前のノードの V_{NODE} の電位です。前のノードは、現在のノードの A 側トランシーバーに接続されているノードです。

$R_{BETWEEN}$ は、ノード間の抵抗のセクションで説明したように、現在のノードと前のノードの間の接続抵抗です。

V_{DIODE} は、逆極性保護用ショットキー・ダイオードの電圧降下です。

I_A は、バス給電スレーブ・ノードが前のノードから引き出す電流です。

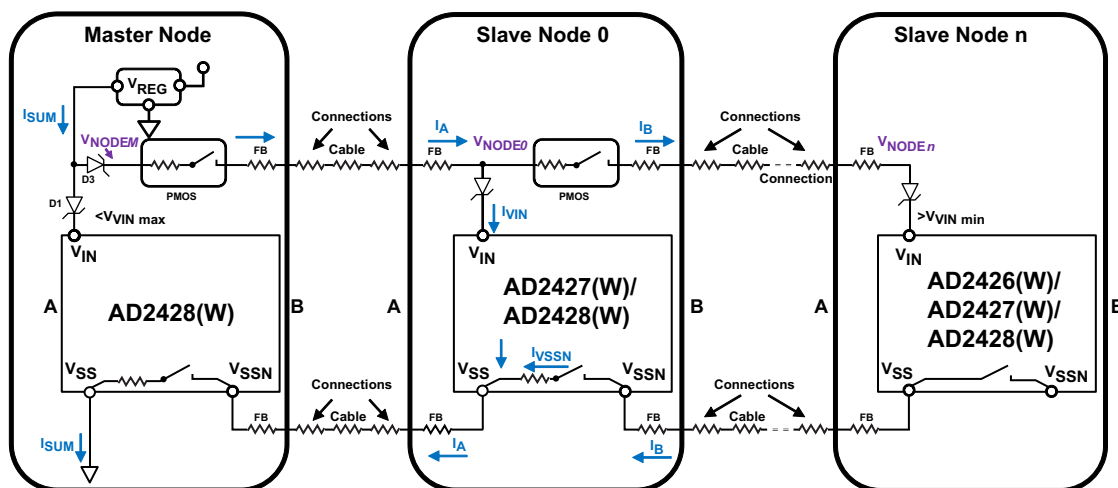


図 36. バス給電システムの A²B[®] 電源モデル

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

全て一列のバス給電ノードを備えたシステムでは、 I_A を次のように列の最後のノードから累積的に計算します。

$$I_A = I_{VIN} + I_B$$

ここで、

I_A = バス給電スレーブ・ノードが前のノードから引き出す電流。

I_{VIN} = VIN ピンでの電流。

I_B = 列の次のノードからの B 側のリターン電流。列の次のノードは、現在のノードの B 端子に接続されているノードです。

消費電力の低減

以下のセクションでは、消費電力を低減する 3 つの方法について説明します。

パワーダウン・モード

A^2B° バス給電システム内のいずれかのノードをシャットダウンするには、前の（マスタに近い方の）スレーブ・ノードで電源を遮断します。ある 1 つのスレーブを電源から切り離すと、後続の（最後のスレーブまでの）全てのスレーブの電源も遮断されます。

スタンバイ・モード

A^2B° バスは、マスタの $AD242X_DATCTL.STANDBY$ ビットを設定することにより、スタンバイ・モードに移行します。スタンバイ・モードでの SCF は 19 ビット長であり、64 ビットではありません。スタンバイ・モードでは、 A^2B° バスのアップストリームにもダウンストリームにもトラフィックがなく、最小限の SCF で全てのスレーブ・ノードの同期状態を維持します。これにより、 A^2B° バスの消費電力を最低の電力状態に抑えつつ、ノード間のクロック同期を維持します。[ダウンストリーム／アップストリーム動作レベル](#)セクションの式を使用すると、スタンバイ・モードでのバス動作レベルは次のようになります。

- ・ ダウンストリーム動作レベル = $19 \div 1024 = 1.9\%$
- ・ アップストリーム動作レベル = 0%

トランシーバーのデジタル電流（LVDS の TX と RX の電流を含む）は、動作レベルによって変わります。また、LVDS の TX と RX の電流は、バスのアイドル時間の間、アイドル電流の影響も受けます。

制御モード

制御モードでは、スーパーフレーム内にデータ・チャンネルがありません。スーパーフレームのフレーム内にあるのは、64 ビットの SCF と SRF のみであり、制御データはヘッダ・ビットに埋め込まれています。したがって、 A^2B° バスの消費電力は、（スーパーフレーム内にデータ・チャンネルがある）通常動作モードと比較すると少なくなります。[ダウンストリーム／アップストリーム動作レベル](#)セクションの式を使用すると、制御モードでのバス動作レベルは次のようになります。

- ・ ダウンストリーム・バス動作レベル = $64 \div 1024 = 6.3\%$
- ・ アップストリーム・バス動作レベル = $64 \div 1024 = 6.3\%$

また、LVDS の TX と RX の電流は、バスのアイドル時間の間、アイドル電流の影響も受けます。

熱電力

電力を計算する場合、システム設計者は熱電力を考慮する必要があります。熱電力の計算は、次式に示すパッケージの熱特性に基づいています。

$$\theta_{JA} = \text{熱抵抗}$$

$$(T_J - T_A) \div \text{電力} [^{\circ}\text{C} / \text{W}] \quad (\text{空気流} = 0\text{m/s})$$

[表 17](#) に、熱電力許容値の例を示します。これらの値は、JEDEC 規格の 2S2P テスト・ボードによって得られます。 θ_{JA} の値は大きく変化し、システムの設計および条件に左右されます。[表 17](#) の計算例では、記載した θ_{JA} の値は、JEDEC 規格の条件を使用して求めました。

この例（[表 17](#)）では、消費電力が 292mW のスレーブ・ノードを使用して、推定最大電力を求めています。マージンは、熱電力の許容値から推定最大電力を差し引くことによって計算します。

表 17. 熱電力許容値の例

パラメータ	例の値	単位
T_A	105	$^{\circ}\text{C}$
T_J	125	$^{\circ}\text{C}$
Delta ($T_J - T_A$)	20	$^{\circ}\text{C}$
Example θ_{JA}	31.6	$^{\circ}\text{C}/\text{W}$
Maximum Allowed Thermal Power	633	mW
Maximum Estimated Power	292	mW
Power Margin	341	mW

設計者の参考情報

以降のセクションでは、いくつかの代表的なノード構成の説明およびレイアウトを示します。

A²B[®] 準拠のマスタ・トランシーバーでは、外付け部品がオートモーティブ環境で EMC テストおよび ESD テストに合格すること、および回線診断機能を完全にサポートすることが必要です。回線を正確に診断して、回線の障害条件下での損傷を防止するには、複数のダイオードが必要です。また、マスタ回路は回線診断のバイアス電圧と、バス給電スレーブの電源も供給する必要があります。

A²B[®] に準拠した、列の最後のローカル給電スレーブ・ノード・トランシーバーでは、外付け部品がオートモーティブ環境で EMC テストおよび ESD テストに合格することが必要です。この回路では、適切に終端された A²B[®] バスのバイアスと、適切に終端された信号により、完全な回線診断が可能である必要があります。また、この回路はローカル給電スレーブ・ノードを前のノードから電気的に絶縁して、グラウンド・ループが電源線および通信線の全体にわたって形成されることが原因で回線障害が発生しないようにする必要があります。

A²B[®] 準拠のローカル給電スレーブ・ノード・トランシーバーでは、外付け部品がオートモーティブ環境で EMC テストおよび ESD テストに合格することが必要です。この回路では、適切に終端された A²B[®] バスのバイアスと、適切に終端された信号により、完全な回線診断が可能である必要があります (A 側)。ローカル給電スレーブ・ノードは、そのローカル電源からバイアス電圧を再生し、それを回線診断用として、またバス給電ノードの電源電圧として、次のノード (B 側) に供給します。回線を正確に診断して、回線の障害条件下での損傷を防止するには、複数のダイオードが必要です。

A²B[®] 準拠のバス給電スレーブ・ノード・トランシーバーでは、外付け部品がオートモーティブ環境で EMC テストおよび ESD テストに合格することが必要です。この回路は、A²B[®] のバイアス (A 側) を、(インダクタとコンデンサを使用して) そのローパス・フィルタ処理済み電源電圧として使用する必要があります。A²B[®] の通信信号は、AC カップリング・コンデンサを使用したハイパス・フィルタ処理によって、A 側のトランシーバーで DC 成分から分離する必要があります。コンデンサは、回復したバイアスと AC 結合信号を合成する B 側でも使用する必要があります。このバイアスは、AC 信号の阻止インダクタを通じて供給されます。バス給電スレーブ・ノードには、回復したバイアス電圧を次のノードに供給して回線診断を実行する回路を組み込む必要があります。回線を正確に診断して回線の障害条件下での損傷を防止するには、1 個のダイオードが必要です。

これらのノード構成のそれぞれの最新の推奨回路図と部品表については、最寄りのアナログ・デバイセズ代理店までお問い合わせください。推奨回路と部品の選択は、A²B[®] オートモーティブ・グレードのコンプライアンスに従う必要があります。

ダイオードに関する考慮事項と V_{SENSE}

V_{IN} ピンの電圧 V_{VIN} と A²B[®] バスのバイアス電圧 V_{SENSE} との相対的な差は、安定状態の通常動作条件下では SENSE ピンでモニタされています。この電圧差を、表 18 に記載された値の範囲内に収めて、全ての回線診断を正常に機能させる必要があります。

表 18. V_{VIN} と V_{SENSE} の間の電圧範囲

範囲	最小値	最大値	単位
V _{VIN} to V _{SENSE}	-0.6	+0.5	V

V_{VIN} と V_{SENSE} の間の電圧差は、主にダイオードの電圧降下と PMOS のオン抵抗によって影響を受けます。(最新の推奨回路図と部品表については、最寄りのアナログ・デバイセズ代理店までお問い合わせください。) 表 19 に、どのダイオードが電圧降下の原因となるかをノード・タイプごとに示します。

表 19. V_{VIN} と V_{SENSE} の間の電圧依存性

ノード・タイプ	V _{VIN} と V _{SENSE} の間のダイオード依存性
Master	D1, D3
Locally Powered Slave	D1, D3
Bus Powered Slave	D1

オプションの増設回路

順番が前のノードは、バイアス電圧を A²B[®] バスに切り替えることにより、A²B[®] バスを介して次のローカル給電スレーブ・ノードに遠隔から電源を投入できます。ローカル給電スレーブ・ノードはこのバイアス電圧を検出して、パワー・スイッチまたは電圧レギュレータのイネーブル入力として使用し、電流の非常に少ないスリープ・モードからデバイスを起動します。

図 37 に示すフォトカプラは、バイアス電圧の入力を区別して、ローカル給電スレーブ・ノードが電気的に絶縁されるようにします。これにより、ノイズを引き起こす可能性があるグラウンド・ループを防止し、回線の障害検出もトリガします。スリープ時の電流は、フォトカプラのトランジスタ・オフ電流、グラウンドまでの抵抗 (R12)、およびパワー・スイッチのイネーブル回路によって決まります。

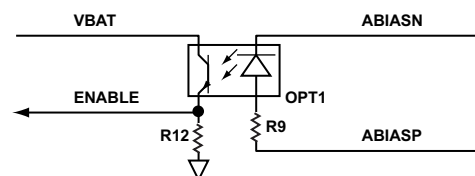


図 37. フォトカプラを接続したオプションの電源イネーブル回路

レイアウトのガイドライン

トランシーバーは高度に集積化されたデバイスで、オーディオ・データ、クロック、PLL のデジタル部と、アナログの A²B[®] トランシーバー部の両方から成ります。以下の設計ルールに従って、性能と信号の完全性を最大限に高めてください。

- トランシーバーの下にある露出パドルを PCB へ効率的にハンダ処理します。そこは、露出パドルがグラウンド・プレーンの近くで接続される場所です。図 38 に、トランシーバーのフットプリント、推奨のハンダ・マスク（露出パドルと整合）、ペースト・マスク（露出パドルを分割）、およびグラウンド・プレーンのステッチングを示します。
露出パドルの下にあるハンダ・ペーストは 4 つの正方形領域に分割されており、これによって未充填のサーマル・ビアによるハンダのウィッキングを最小限に抑えて、ハンダ・リフロー時のチップの滑りや傾斜を防止します。アナログ・デバイスズの Web サイトで、**Soldering Considerations for Exposed-Pad Packages (EE-352)** を参照してください。露出パドルは放熱経路としてだけでなく、電気的接続としても使用します。
- 電源のデカップリング・コンデンサをトランシーバー・チップのできるだけ近くに配置し、値が最小のコンデンサをピンのすぐ近くに配置します。
- 全てのパターン、特に AP/AN および BP/BN 信号のパターンをできるだけ短く配線します。
- AP/AN および BP/BN 信号のパターンは対称的に配線して、EMC を抑えます。配線の寄生容量と寄生インダクタンスを整合させます。
- AP/AN および BP/BN 信号のパターンは、グラウンドによって対称的にシールドします。幅が 0.5mm 以上のシールドを使用し、GND プレーンへのビアで十分に接続します。対称性を実現する最善の方法は、十分な大きさのプレーン領域を設けることです。
- AP/AN および BP/BN の信号パターンの隣や下にはスイッチング信号パターンまたは電源パターンを配線しないでください。
- 特に、AP/AN および BP/BN 信号のパターンに非対称が生じる場合は、パターン・スタブの使用を避けてください。パッドに対して対称的に出入りするよう配線し、パッドから分岐を広げないでください。
- AP/AN および BP/BN 信号の差動インピーダンス・パターンは、コモンモード・チョークの両側で $100\Omega \pm 10\%$ (10MHz ~ 100MHz) になるようにします。
- AP/AN および BP/BN 信号については不必要な層遷移を避けてください。差動信号については必要な層遷移を対応させてください。
- 全てのパターン上でグラウンドに対して $50\Omega \pm 10\%$ のインピーダンスを使用します。
- コモンモード・チョークを互いに 2mm 以上磁気的に分離します。
- コモンモード・チョークの下にある層では、グラウンドや他の信号線を配線しないでください。この除外範囲はパッド間から 2mm 以上広げます。
- シールド付きワイヤの場合は、シールドをローカル・グラウンドに接続します。
- 信号経路にインダクタの片側を配置して、DC 信号を電力回路網と接地網にブリッジ接続します。

- 端子抵抗は対称的に、かつコモンモード・チョークの近くに配置します。
- 可能であれば、未使用の PCB 領域は、全ての層で接続済みのグラウンド・プレーンを使用して覆ってください。
- 少なくとも 5mm おきにグラウンド・プレーンに接続します。
- 電源とグラウンドのリターン・パスをビアで妨げないようにしてください。
- クロックと高速データ信号の信号源の近くに直列抵抗 (33Ω 以上) を使用します。また、このような信号パターンに対しては、小さなフィルタ・コンデンサ用のフットプリントも検討してください。
- 信号の配線には直角曲げを使用しないようにします。代わりに円弧曲げまたは 45 度曲げを使用してください。
- コネクタではできるだけ短い信号経路を使用します（複数列の内側の列、直角コネクタ）。
- 複数ピンのコネクタでは、A²B[®] の差動ピン・ペアの周囲に少なくとも 3mm の間隔を空けて、A²B[®] の信号ペアが隣接信号より互いに近づくようにします。間隔を空けると、EMC 性能が向上します。
- 間隔を狭くすることが必要な場合は、A²B[®] バス・ペアに隣接するコネクタ・ピンに、低インピーダンスの静的信号（グラウンド）を対称的に使用してください。

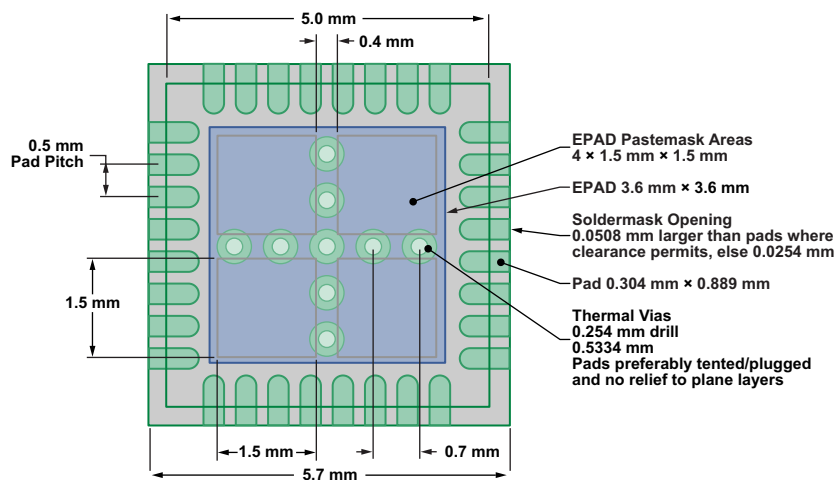


図 38. トランシーバーのフットプリント

外形寸法

図 39 に、32 ピン LFCSP_SS (CS-32-2) の外形寸法を示します。

図 40 に、32 ピン LFCSP (CP-32-12) の外形寸法を示します。

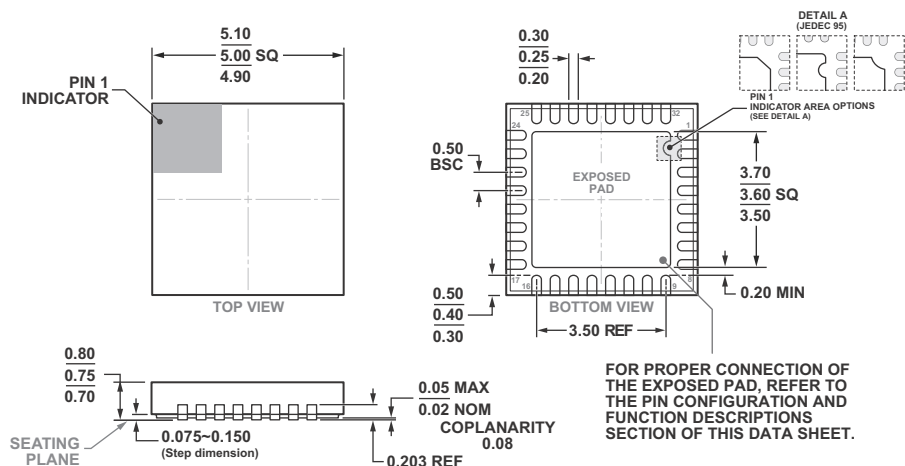
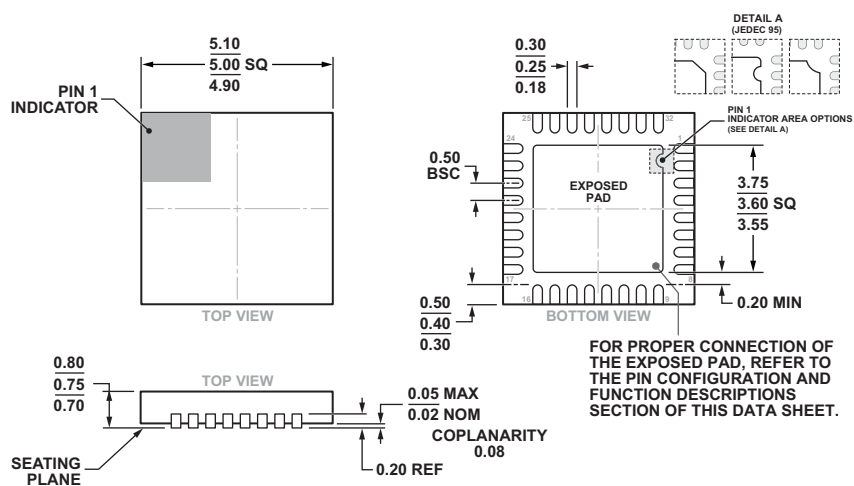


図 39. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_SS]
5mm x 5mm のボディ、側面からハンダ処理可能なピン
(CS-32-2)
寸法：mm



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5

図 40. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
5mm x 5mm のボディと 0.75mm のパッケージ高
(CP-32-12)
寸法：mm

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

オートモーティブ製品

AD2420W/AD2426W/AD2427W/AD2428W/AD2429W モデルは、オートモーティブ・アプリケーションの品質と信頼性の条件に対応するため、管理された製造工程により供給されます。これらのオートモーティブ・モデルの仕様はオートモーティブ以外のモデルと異なる場合がありますため、設計者はこのデータシートの仕様

に検討してください。オートモーティブ・アプリケーション向けには、表 20 に示すオートモーティブ・グレード製品のみを供給しています。特定製品のオーダー情報とこれらのモデルに特有のオートモーティブ信頼性レポートについては、最寄りのアナログ・デバイセズまでお問い合わせください。

表 20. オートモーティブ製品

Model ^{1, 2, 3, 4}	Temperature Range ⁵	Description	Package Option
AD2420WCCPZxx	−40°C ~ +105°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2420WCCPZxx-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2426WCCSZ	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2426WCCSZ-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2426WCCSZxx	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2426WCCSZxx-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2427WCCSZ	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2427WCCSZ-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2427WCCSZxx	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2427WCCSZxx-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2428WCCSZ	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2428WCCSZ-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2428WCCSZxx	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2428WCCSZxx-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP_SS]	CS-32-2
AD2429WCCPZxx	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2429WCCPZxx-RL	−40°C to +105°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12

¹ Z = RoHS 準拠製品。

² W = オートモーティブ・アプリケーション向けに性能を評価済み。

³ RL = テープ & リールで供給。

⁴ モデル名の末尾がxxまたはxx-RLの場合、xxはダイのリビジョンを表します。

⁵ リファレンス温度は周辺温度です。周辺温度の仕様はありません。唯一の温度仕様であるジャンクション温度 (T_j) の仕様については、動作条件のセクションを参照してください。

データシート AD2420(W)/AD2426(W)/AD2427(W)/AD2428(W)/AD2429(W)

オーダー・ガイド

Model ¹	Temperature Range ²	Description	Package Option
AD2420KCPZ	0°C to +70°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2420BCPZ	−40°C to +85°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2426KCPZ	0°C to +70°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2426BCPZ	−40°C to +85°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2427KCPZ	0°C to +70°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2427BCPZ	−40°C to +85°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2428KCPZ	0°C to +70°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2428BCPZ	−40°C to +85°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2429KCPZ	0°C to +70°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12
AD2429BCPZ	−40°C to +85°C	32-Lead Frame Chip Scale Package [LFCSP]	CP-32-12

¹ Z = RoHS 準拠製品。

² リファレンス温度は周辺温度です。周辺温度の仕様はありません。唯一の温度仕様であるジャンクション温度 (T_J) の仕様については、[動作条件](#)のセクションを参照してください。

I²C は、Philips Semiconductors（現在の NXP Semiconductors）が独自に開発した通信プロトコルです。