



デジタル電流/電圧出力付きの モノ 2.9 WクラスDオーディオ・アンプ

データシート

SSM4321

特長

拡散スペクトル Σ - Δ 変調採用のフィルタなしクラス D アンプ
 出力電圧、出力電流、PVDD 電源電圧のデジタル出力
 出力電流検出の信号対ノイズ比(SNR): 72 dB
 出力電圧検出の信号対ノイズ比(SNR): 77 dB
 TDM またはマルチチップ I²S スレーブ出力インターフェース
 シングル・バスで最大 4 チップをサポート
 動作範囲: 8 kHz~48 kHz
 I²S/左詰めスレーブ出力インターフェース
 シングル・バスで 1 または 2 チップをサポート
 動作範囲: 8 kHz~48 kHz
 1 MHz~6.144 MHz で動作する PDM 出力インターフェース
 5.0 V 電源で 2.2 W (4 Ω 負荷)および 1.4 W (8 Ω 負荷)、全高調
 波歪み+ノイズ(THD + N)<1%
 5.0 V で 89%効率、1.4 W (8 Ω) + 0.2 Ω R_{検出} スピーカ
 信号対ノイズ比(SNR) >100 dB
 高い PSRR: 217 Hz で 86 dB
 アンプ動作電源: 2.5 V~5.5 V
 入力/出力動作電源: 1.42 V~3.6 V
 柔軟なゲイン調整ピン: 3 dB ステップで 0 dB~12 dB、80 k Ω
 固定入力インピーダンス
 シャットダウン電流<1 μ A
 BCLK 損失時のスマート・パワーダウン
 自動回復機能付きの短絡保護と加熱保護
 16 ボール、0.4 mm ピッチ、1.74 mm x 1.74 mm の WLCSP を採
 用
 ポップ・アンド・クリック除去回路

アプリケーション

携帯電話
 MP3 プレーヤ
 ポータブル機器

概要

SSM4321 は、出力電圧、出力電流、PVDD 電源電圧のデジタル出力を持つ高効率のクラス D オーディオ・アンプです。このデバイスは、携帯電話アプリケーション向けに性能を最大化するようにデザインされています。アプリケーション回路では最小の外付け部品数で済み、アンプ動作には 2.5 V~5.5 V の電源が、入力/出力には 1.42 V~3.6 V の電源が、それぞれ必要です。**SSM4321** は、5.0 V 電源で 0.1 Ω V/I 検出抵抗を使用して 4 Ω 負荷を駆動する場合、1%以下の THD + N で 2.2 W の連続出力電力を供給することができます。

SSM4321 は、外付け LC 出力フィルタが不要な高効率の低ノイズ変調方式を採用しています。この変調では、低い出力電力でも高い効率を提供します。**SSM4321** は、5.0 V 電源、SNR >100 dB、8 Ω 負荷、1.4 W で、89%の効率で動作します。

SSM4321 は、出力電流、出力電圧、PVDD 電源電圧を検出する回路を内蔵しています。電流検出は、出力ピンと負荷の間に接続された外付け検出抵抗を使って行われます。出力電流と電圧は 16 ビット分解能を持つ ADC へ送られ、PVDD 電源電圧は 8 ビット分解能を持つ ADC へ送られます。

これらの ADC の出力は、TDM または I²S 出力シリアル・ポートから得ることができます。SLOT ピンを使って、TDM インターフェースで使用する出力を 4 出力スロットの中から選択します。BCLK と FSYNC のピン接続を逆にするとステレオ I²S インターフェースを選択することができます。また、SLOT ピンを使って電圧データと電流データのダイレクト PDM ビット・ストリームを選択することもできます。

拡散スペクトル・パルス密度変調(PDM)を使って、他のクラス D アーキテクチャより低い EMI 放出を実現しています。拡散スペクトル PDM には元々ランダム化機能があるため、近接する複数のアンプのクロック相互変調(ビート効果)がなくなります。

SSM4321 の EMI 放出は極めて低いため、クラス D 出力での放射が小さくなります(特に 100 MHz 以上)。**SSM4321** の EMI 放出は極めて低いため、アンテナと RF の感度問題にも役立ちます。

このデバイスでは、1 本の柔軟なゲイン・セレクト・ピンを使って 0 dB、3 dB、6 dB、9 dB、12 dB のゲイン設定を選択することができます。入力インピーダンスは 80 k Ω 固定で、ゲインの選択には無関係です。

SSM4321 には、シャットダウン電流が 1 μ A (typ)以下のシャットダウン・モードがあります。BCLK 入力を切り離すと、シャットダウンがイネーブルされます。デバイスの動作には、BCLK ピンにクロックが必要です。

また、このデバイスはポップ・アンド・クリック除去回路も内蔵しています。この回路は、ターンオン時およびターンオフ時の出力電圧グリッチを小さくするため、起動時と停止時の可聴ノイズが小さくなります。

SSM4321 は-40°C~+85°C の工業用温度範囲で仕様が規定され、サーマル・シャットダウンと出力短絡保護を内蔵し、鉛フリー、16 ボール、0.4 mm ピッチ、1.74 mm x 1.74 mm のウェハー・レベル・チップ・スケール・パッケージ(WLCSP)を採用しています。

目次

特長.....	1	出力電流検出.....	15
アプリケーション.....	1	出力電圧検出.....	15
概要.....	1	PVDD 検出.....	15
改訂履歴.....	2	シリアル・データ入力／出力.....	16
機能ブロック図.....	3	TDM 動作モード.....	16
仕様.....	4	I ² S および左詰め動作モード.....	16
デジタル入力／出力仕様.....	5	マルチチップ I ² S 動作モード.....	17
絶対最大定格.....	6	PDM 出力モード.....	17
熱抵抗.....	6	タイミング図、TDM モード.....	18
ESD の注意.....	6	タイミング図、I ² S および左詰めモード.....	18
ピン配置およびピン機能説明.....	7	タイミング図、マルチチップ I ² S モード.....	19
代表的な性能特性.....	8	タイミング図、PDM モード.....	20
動作原理.....	14	アプリケーション情報.....	21
概要.....	14	レイアウト.....	21
パワーダウン動作.....	14	入力コンデンサの選択.....	21
ゲインの選択.....	14	電源のデカップリング.....	21
ポップ・アンド・クリック除去回路.....	14	外形寸法.....	22
出力変調の説明.....	14	オーダー・ガイド.....	22
EMI ノイズ.....	15		

改訂履歴

10/12—Revision 0: Initial Version

機能ブロック図

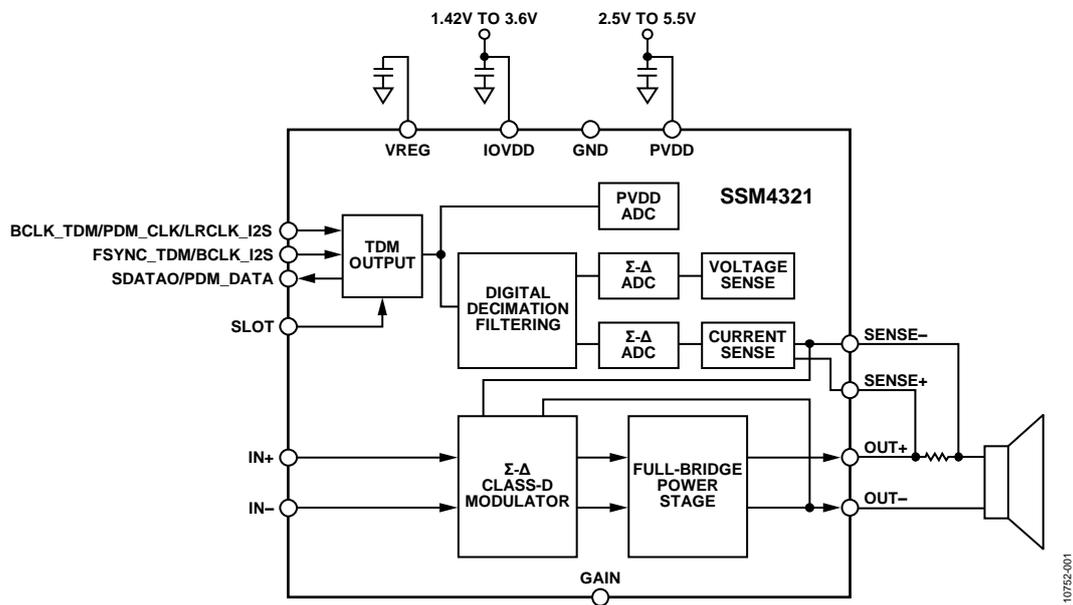


図 1.

仕様

特に指定がない限り、PVDD = 5.0 V、IOVDD = 1.8 V、 $f_S = 24$ kHz、 I^2S 出力、 $T_A = 25^\circ\text{C}$ 、 $R_L = 8\ \Omega + 33\ \mu\text{H}$ 。

$R_L = 8\ \Omega$ の場合 200 m Ω V/I 検出抵抗を、 $R_L = 4\ \Omega$ の場合 100 m Ω V/I 検出抵抗を、 $R_L = 3\ \Omega$ の場合 75 m Ω V/I 検出抵抗を、それぞれ使用。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DEVICE CHARACTERISTICS						
Output Power, RMS	P_{OUT}	$f = 1$ kHz, 20 kHz bandwidth $R_L = 8\ \Omega$, THD = 1%, PVDD = 5.0 V $R_L = 8\ \Omega$, THD = 1%, PVDD = 3.6 V $R_L = 8\ \Omega$, THD = 1%, PVDD = 2.5 V $R_L = 8\ \Omega$, THD = 10%, PVDD = 5.0 V $R_L = 8\ \Omega$, THD = 10%, PVDD = 3.6 V $R_L = 8\ \Omega$, THD = 10%, PVDD = 2.5 V $R_L = 4\ \Omega$, THD = 1%, PVDD = 5.0 V $R_L = 4\ \Omega$, THD = 1%, PVDD = 3.6 V $R_L = 4\ \Omega$, THD = 1%, PVDD = 2.5 V $R_L = 4\ \Omega$, THD = 10%, PVDD = 5.0 V $R_L = 4\ \Omega$, THD = 10%, PVDD = 3.6 V $R_L = 4\ \Omega$, THD = 10%, PVDD = 2.5 V $R_L = 3\ \Omega$, THD = 1%, PVDD = 5.0 V $R_L = 3\ \Omega$, THD = 1%, PVDD = 3.6 V $R_L = 3\ \Omega$, THD = 1%, PVDD = 2.5 V $R_L = 3\ \Omega$, THD = 10%, PVDD = 5.0 V $R_L = 3\ \Omega$, THD = 10%, PVDD = 3.6 V $R_L = 3\ \Omega$, THD = 10%, PVDD = 2.5 V		1.35 0.70 0.32 1.70 0.86 0.4 2.22 1.12 0.51 2.8 1.42 0.64 3.00 1.51 0.68 3.77 1.90 0.86		W W W W W W W W W W W W W W W W W W W W
Efficiency	η	$P_{OUT} = 1.4$ W into 8 Ω , PVDD = 5.0 V $P_{OUT} = 2.8$ W into 3 Ω , PVDD = 5.0 V		89 82		% %
Total Harmonic Distortion Plus Noise	THD + N	$P_{OUT} = 1$ W into 8 Ω , $f = 1$ kHz, PVDD = 5.0 V $P_{OUT} = 0.5$ W into 8 Ω , $f = 1$ kHz, PVDD = 3.6 V		0.01 0.01		% %
Input Common-Mode Voltage Range	V_{CM}		1.0		PVDD - 1	V
Common-Mode Rejection Ratio	CMRR _{GSM}	$V_{CM} = 100$ mV rms at 1 kHz		50		dB
Average Switching Frequency	f_{SW}			256		kHz
Clock Frequency	f_{OSC}			6.2		MHz
Differential Output Offset Voltage	V_{OOS}	Gain = 6 dB		0.3	5.0	mV
POWER SUPPLY						
Supply Voltage Range	PVDD IOVDD	Guaranteed from PSRR test	2.5 1.42		5.5 3.6	V V
Power Supply Rejection Ratio	PSRR _{GSM}	$V_{RIPPLE} = 100$ mV at 217 Hz, inputs are ac-grounded, $C_{IN} = 0.1\ \mu\text{F}$		86		dB
Supply Current, PVDD	I_{SYPVDD}	$V_{IN} = 0$ V No load, PVDD = 5.0 V No load, PVDD = 3.6 V No load, PVDD = 2.5 V $R_L = 8\ \Omega$, PVDD = 5.0 V $R_L = 8\ \Omega$, PVDD = 3.6 V $R_L = 8\ \Omega$, PVDD = 2.5 V		3.7 3.1 2.9 3.8 3.2 2.9		mA mA mA mA mA mA
Supply Current, IOVDD	$I_{SYIOVDD}$	IOVDD = 1.8 V		0.41		mA
Shutdown Current, PVDD	I_{SDPVDD}	No BCLK, PVDD = 5.0 V		0.1		μA
Shutdown Current, IOVDD	$I_{SDIOVDD}$	No BCLK, IOVDD = 1.8 V		0.77		μA
GAIN CONTROL						
Closed-Loop Gain	Gain		0		12	dB
Input Impedance	Z_{IN}	BCLK enabled, fixed input impedance (0 dB to 12 dB)		80		k Ω
SHUTDOWN CONTROL						
Turn-On Time	t_{WU}	From BCLK start		12.5		ms

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Turn-Off Time	t_{SD}	From BCLK removal		5		μs
Output Impedance	Z_{OUT}	No BCLK		>100		$k\Omega$
AMPLIFIER NOISE PERFORMANCE						
Output Voltage Noise	e_n	$f = 20 \text{ Hz to } 20 \text{ kHz}$, inputs are ac-grounded, gain = 6 dB, A-weighted PVDD = 5.0 V PVDD = 3.6 V		30		μV
Signal-to-Noise Ratio	SNR	$P_{OUT} = 1.3 \text{ W}$, $R_L = 8 \Omega$, A-weighted		30		μV
				101		dB
OUTPUT SENSING						
Output Sampling Rate, TDM	f_S	LRCLK/FSYNC pulse rate	8		48	kHz
BCLK Frequency, TDM	f_{BCLK}	1 to 4 slots used	0.512		6.144	MHz
Voltage Sense Signal-to-Noise Ratio	SNRV	A-weighted		77		dB
Voltage Sense Full-Scale Output Voltage	V_{FS}	Amplifier voltage with 0 dBFS ADC output		6		V_P
Voltage Sense Absolute Accuracy				1.5		%
Voltage Sense Gain Drift		$T_A = 10^\circ C \text{ to } 60^\circ C$		1		%
Current Sense Signal-to-Noise Ratio	SNRI	A-weighted		72		dB
Current Sense Full-Scale Input Voltage	V_{IS}	I_{SENSE} converter voltage with 0 dBFS ADC output		0.150		V_P
Current Sense Absolute Accuracy				3		%
Current Sense Gain Drift		$T_A = 10^\circ C \text{ to } 60^\circ C$, ideal R_{SENSE}		1		%
PVDD Sense Full-Scale Range	PV_{FS}	PVDD with full-scale ADC output	2		6	V
PVDD Sense Absolute Accuracy				3		%
Current and Voltage Sense Linearity		From -80 dB to 0 dB			1	dB
ADC -3 dB Corner Frequency	f_C	Digital high-pass filter Output $f_S = 48 \text{ kHz}$ Output $f_S = 24 \text{ kHz}$		3.75		Hz
				1.875		Hz

デジタル入力/出力仕様

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
BCLK, FSYNC PINS						
Input Voltage High	V_{IH}	Ball D2 and Ball D3	$0.7 \times IOVDD$		3.6	V
Input Voltage Low	V_{IL}		-0.3		$0.3 \times IOVDD$	V
Input Leakage Current High	I_{IH}				1	μA
Input Leakage Current Low	I_{IL}				1	μA
Input Capacitance	C_{IN}				5	pF
SDATAO/PDM_DATA PIN						
Output Drive Strength		Ball D1 $IOVDD = 1.5 \text{ V}$ $IOVDD = 1.8 \text{ V}$		3.5		mA
				4.5		mA

絶対最大定格

特に指定のない限り、25°Cでの絶対最大定格。

表 3.

Parameter	Rating
PVDD Supply Voltage	6 V
IOVDD Supply Voltage	3.6 V
Input Voltage	PVDD
Common-Mode Input Voltage	PVDD
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range	-65°C to +165°C
Lead Temperature (Soldering, 60 sec)	300°C
ESD Susceptibility	4 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

ジャンクションー周囲間熱抵抗(θ_{JA})はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.熱抵抗

Package Type	θ_{JA} ¹	Unit
16-Ball, 1.74 mm × 1.74 mm WLCSP	665	°C/W

¹ θ_{JA} は JEDEC 4層 PCB 上で測定。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

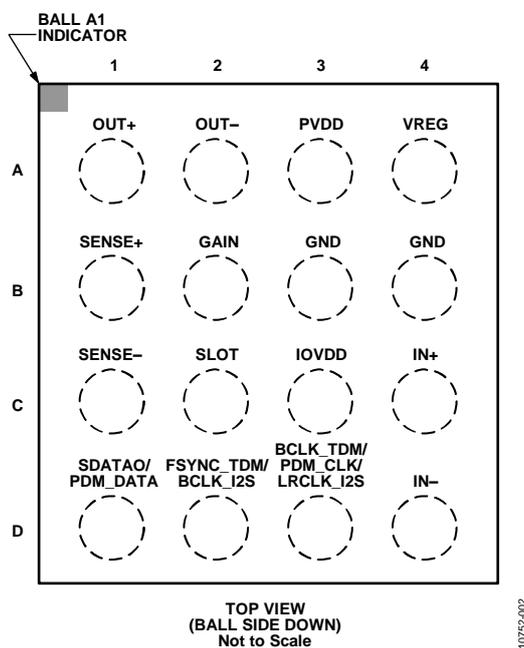


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
A1	OUT+	非反転出力。
A2	OUT-	反転出力。
A3	PVDD	アンプ電源。
A4	VREG	内蔵 LDO レギュレータ出力。
B1	SENSE+	電流検出の正入力。
B2	GAIN	ゲイン・コントロール・ピン。
B3、B4	GND	グラウンド。
C1	SENSE-	電流検出の負入力。
C2	SLOT	TDM スロット選択入力。
C3	IOVDD	入力/出力デジタル電源。
C4	IN+	非反転入力。
D1	SDATAO/PDM_DATA	TDM シリアル・データ出力/PDM データ出力。
D2	FSYNC_TDM/BCLK_I2S	TDM フレーム同期入力/I ² S ビット・クロック入力。
D3	BCLK_TDM/PDM_CLK/LRCLK_I2S	TDM ビット・クロック入力/PDM クロック入力/I ² S LRCLK 入力。
D4	IN-	反転入力。

代表的な性能特性

特に指定がない限り、PVDD = 5.0 V、IOVDD = 1.8 V、 $f_s = 24$ kHz、 I^2S 出力、ゲイン = 6 dB、 $T_A = 25^\circ\text{C}$ 。

$R_L = 8\ \Omega$ の場合 200 m Ω V/I 検出抵抗を、 $R_L = 4\ \Omega$ の場合 100 m Ω V/I 検出抵抗を、 $R_L = 3\ \Omega$ の場合 75 m Ω V/I 検出抵抗を、それぞれ使用。

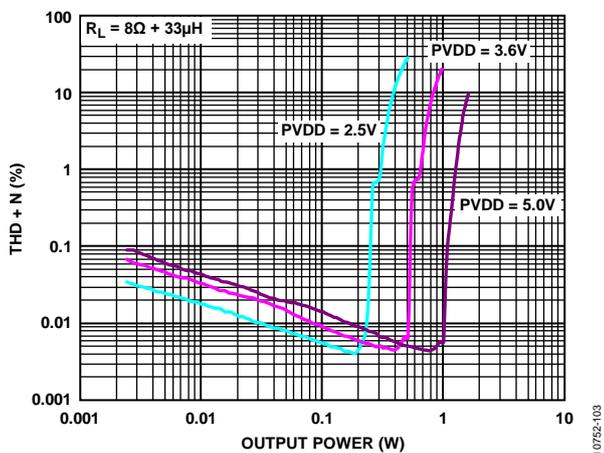


図 3.出力電力対 THD + N、8 Ω

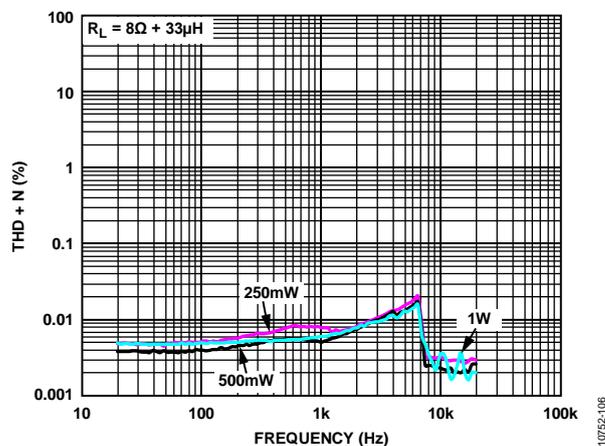


図 6.TH D + N の周波数特性、PVDD = 5 V、 $R_L = 8\ \Omega$

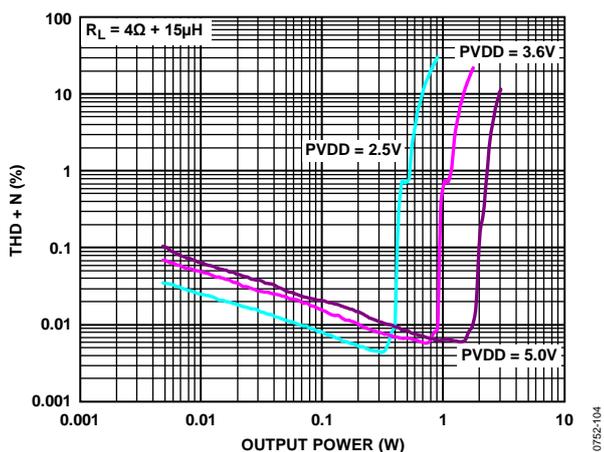


図 4.出力電力対 THD + N、4 Ω

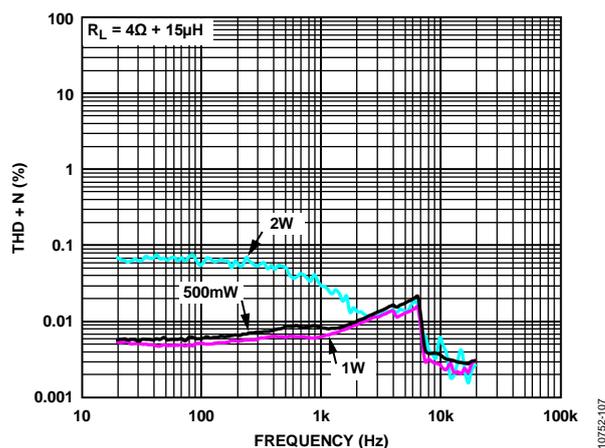


図 7.TH D + N の周波数特性、PVDD = 5 V、 $R_L = 4\ \Omega$

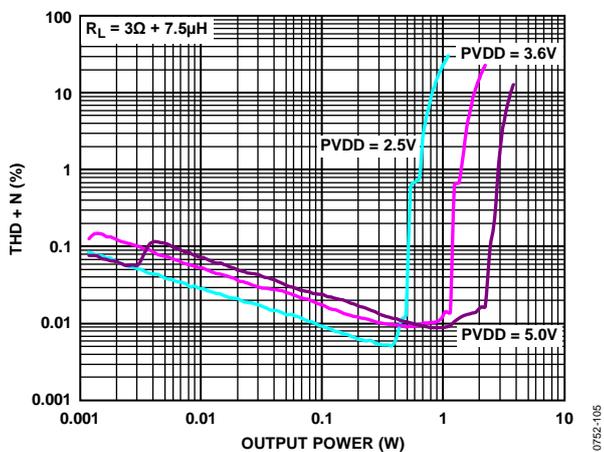


図 5.出力電力対 THD + N、3 Ω

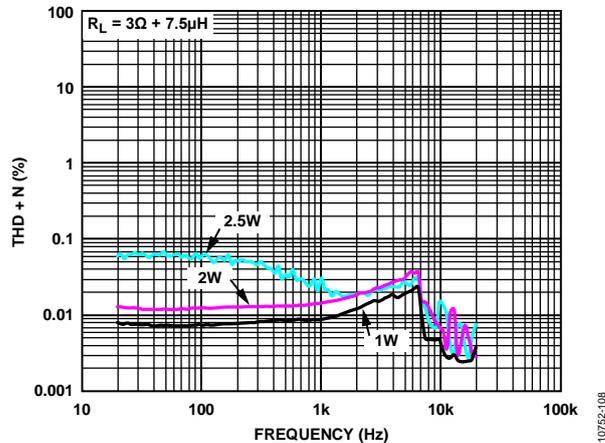


図 8.TH D + N の周波数特性、PVDD = 5 V、 $R_L = 3\ \Omega$

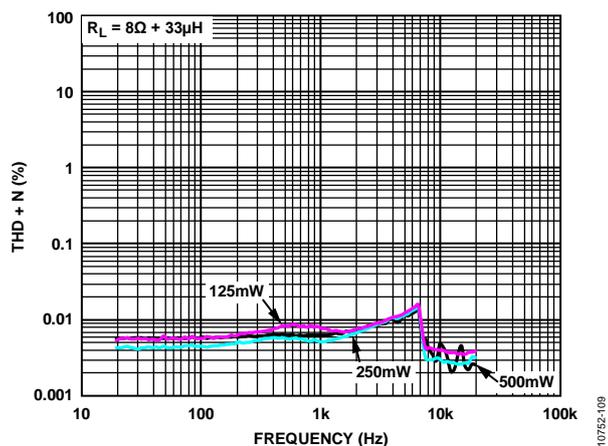


図 9. THD + N の周波数特性、PVDD = 3.6 V、 $R_L = 8 \Omega$

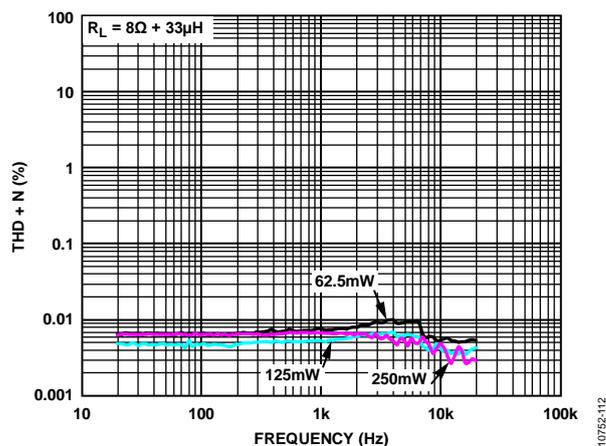


図 12. THD + N の周波数特性、PVDD = 2.5 V、 $R_L = 8 \Omega$

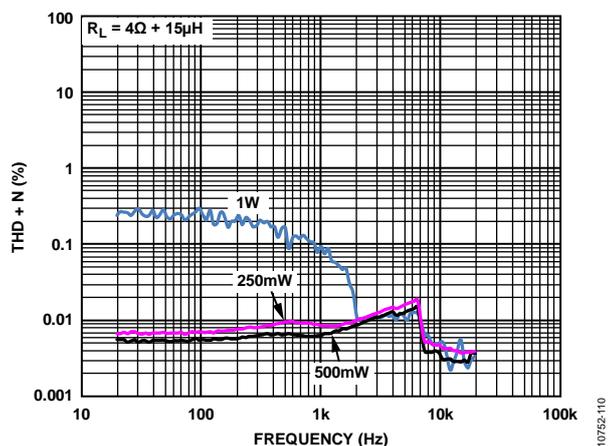


図 10. THD + N の周波数特性、PVDD = 3.6 V、 $R_L = 4 \Omega$

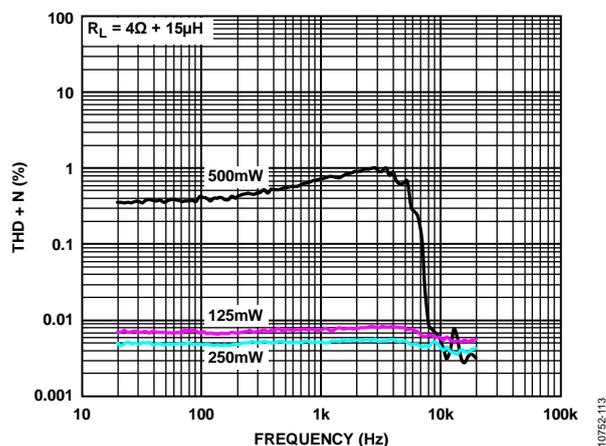


図 13. THD + N の周波数特性、PVDD = 2.5 V、 $R_L = 4 \Omega$

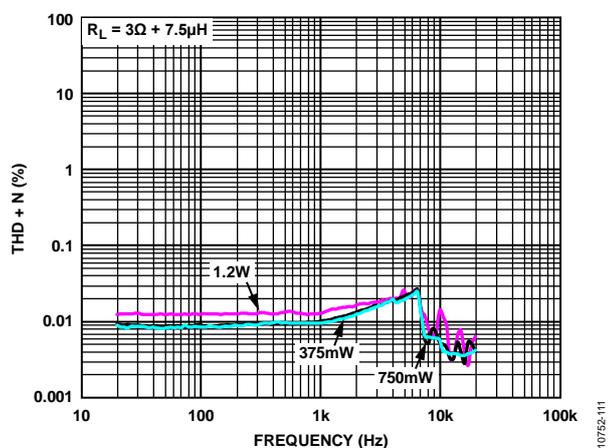


図 11. THD + N の周波数特性、PVDD = 3.6 V、 $R_L = 3 \Omega$

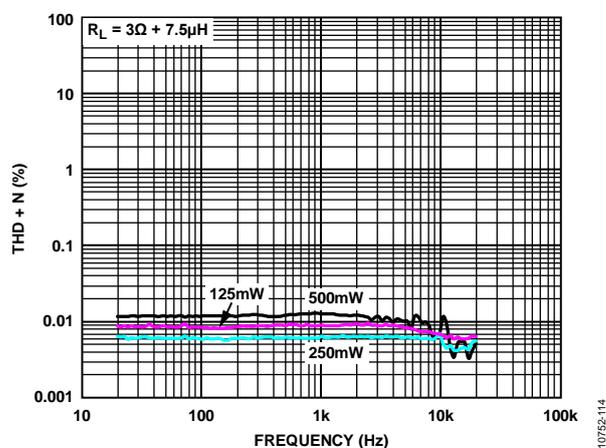


図 14. THD + N の周波数特性、PVDD = 2.5 V、 $R_L = 3 \Omega$

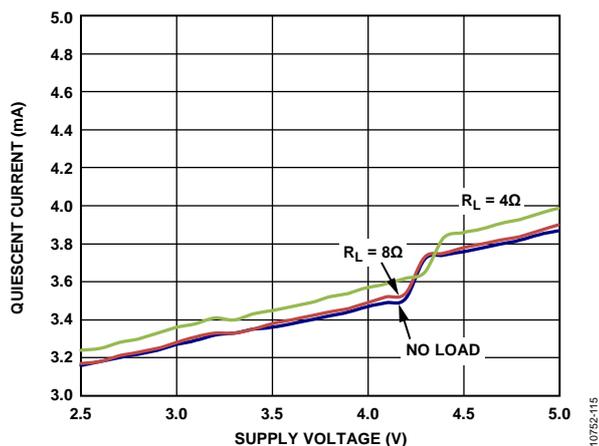


図 15. PVDD 電源電圧対静止電流、ADC 検出をイネーブ

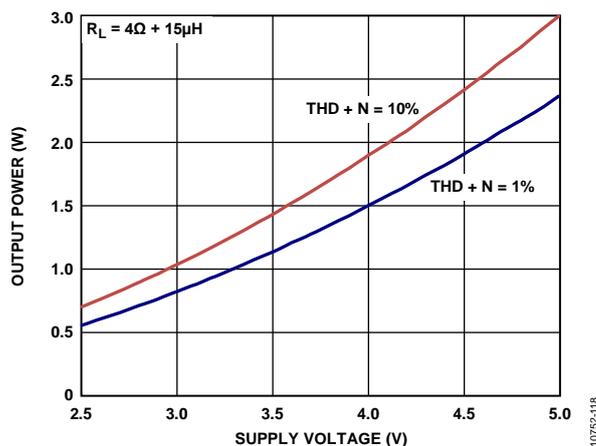


図 18. PVDD 電源電圧対最大出力電力、 $R_L = 4 \Omega$

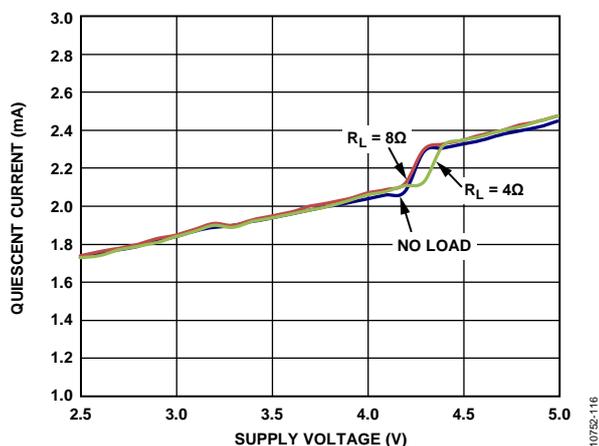


図 16. PVDD 電源電圧対静止電流、ADC 検出をディスエーブ

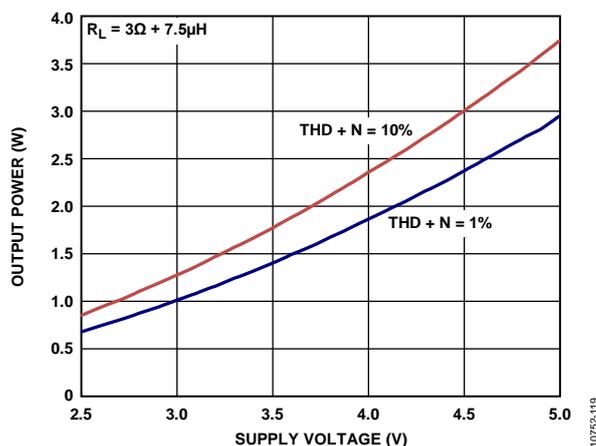


図 19. PVDD 電源電圧対最大出力電力、 $R_L = 3 \Omega$

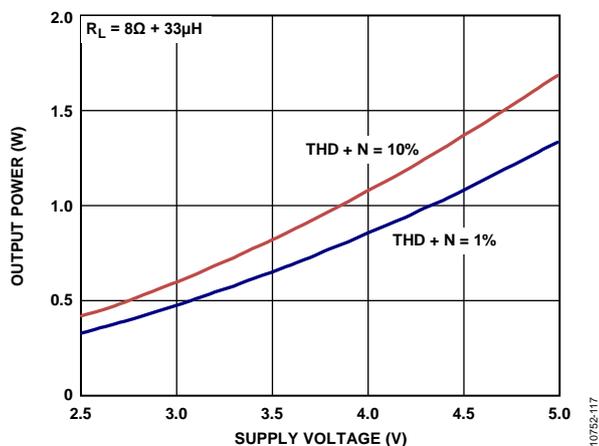


図 17. PVDD 電源電圧対最大出力電力、 $R_L = 8 \Omega$

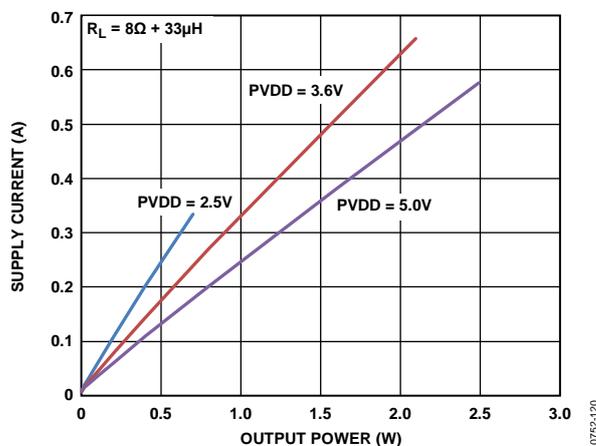


図 20. 出力電力対電源電流、 8Ω

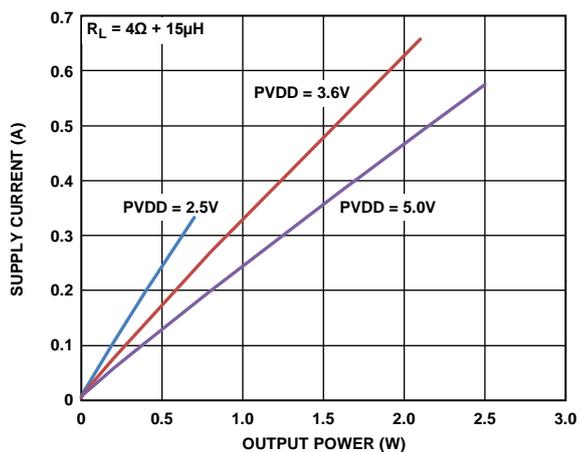


図 21.出力電力対電源電流、4 Ω

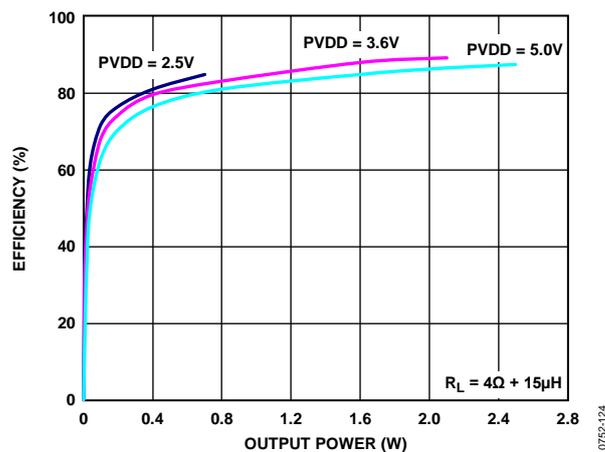


図 24.出力電力対効率、4 Ω

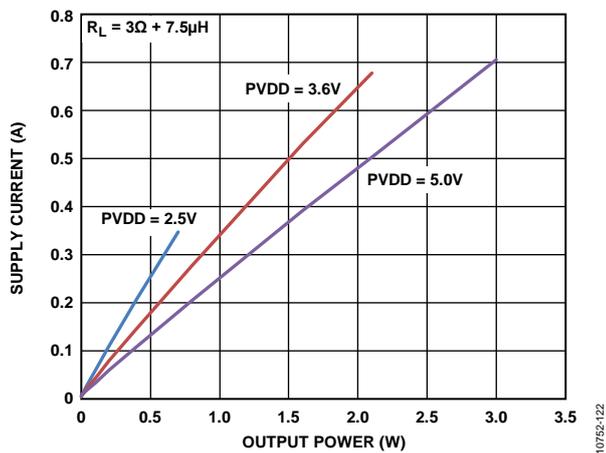


図 22.出力電力対電源電流、3 Ω

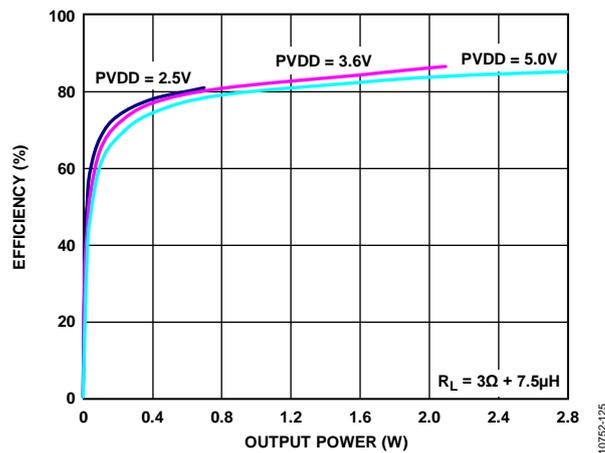


図 25.出力電力対効率、3 Ω

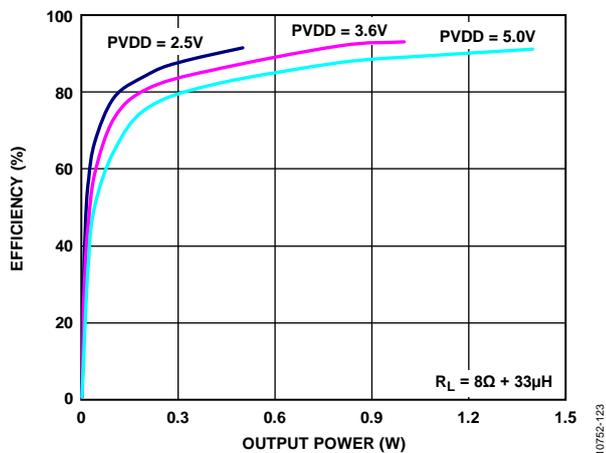


図 23.出力電力対効率、8 Ω

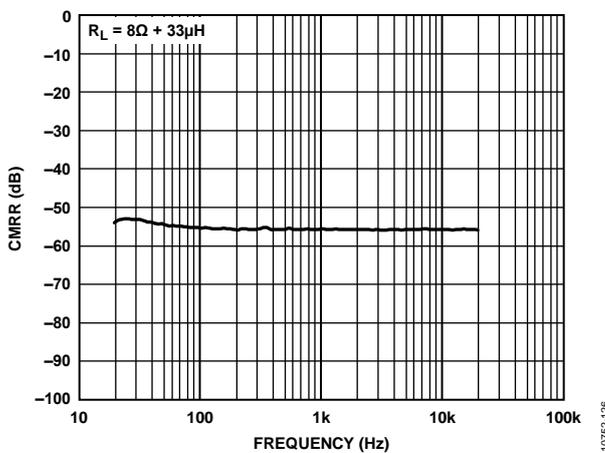


図 26.同相モード除去比 (CMRR)の周波数特性
PVDD = 5 V、 $R_L = 8\Omega$

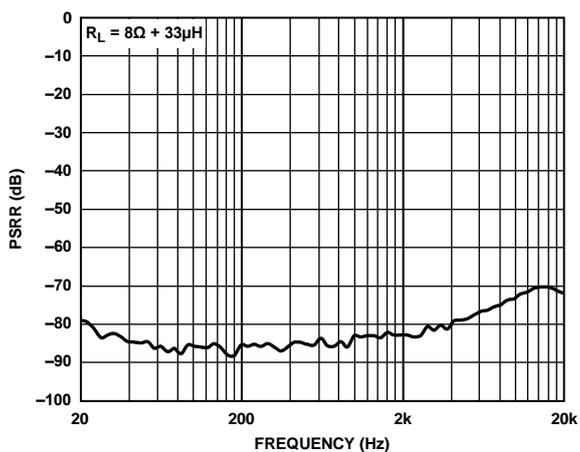


図 27.電源除去比(PSRR)の周波数特性
PVDD = 5 V、 $R_L = 8 \Omega$

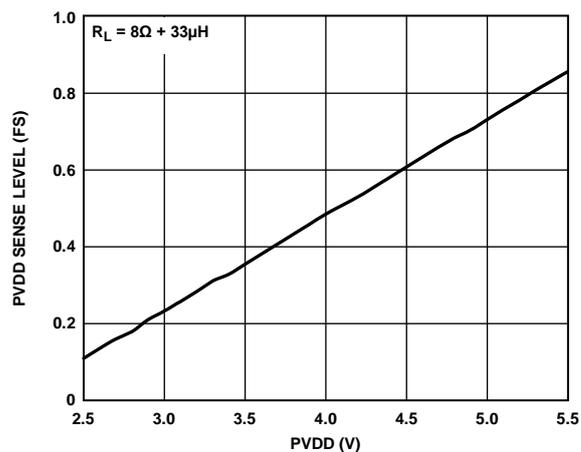


図 30.PVDD 範囲対 PVDD ADC 検出レベル、 $R_L = 8 \Omega$

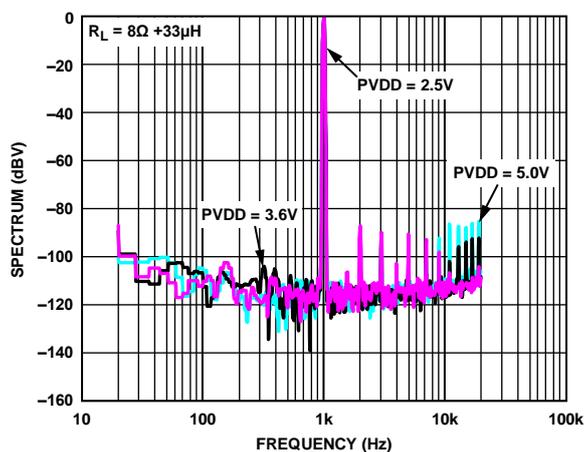


図 28.出カスペクトルの周波数特性(FFT)
 $P_{OUT} = 100 \text{ mW}$ 、 $R_L = 8 \Omega$

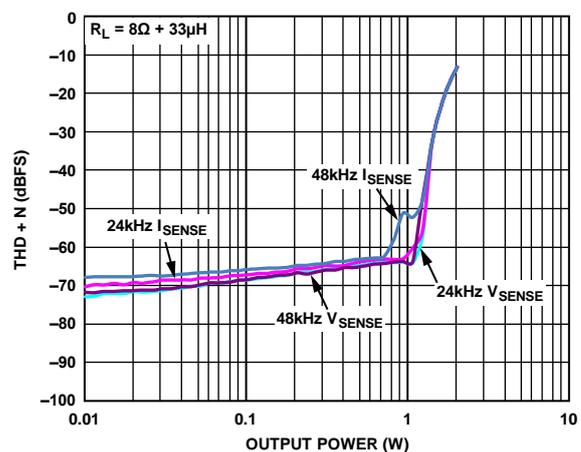


図 31.出力電力対検出 ADC THD + N、 8Ω

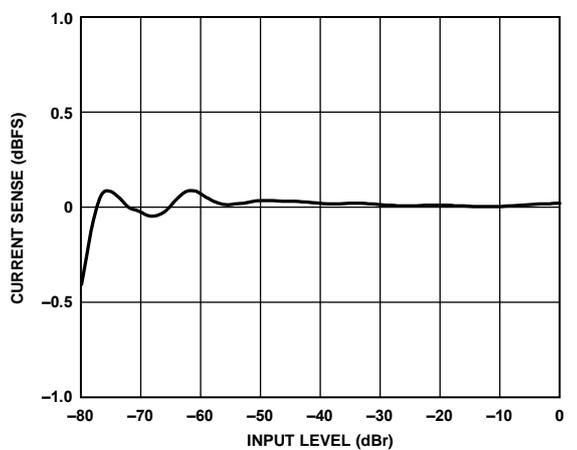


図 29.電流検出の直線性

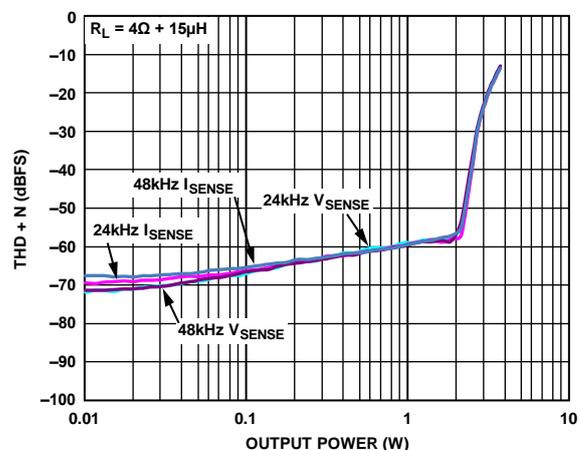


図 32.出力電力対検出 ADC THD + N、 4Ω

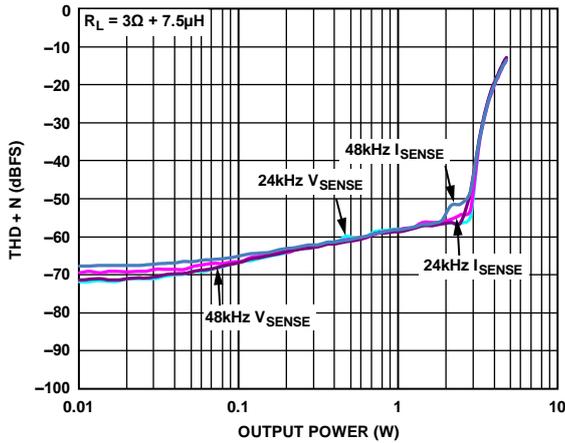


図 33.出力電力対検出 ADC THD + N、3 Ω

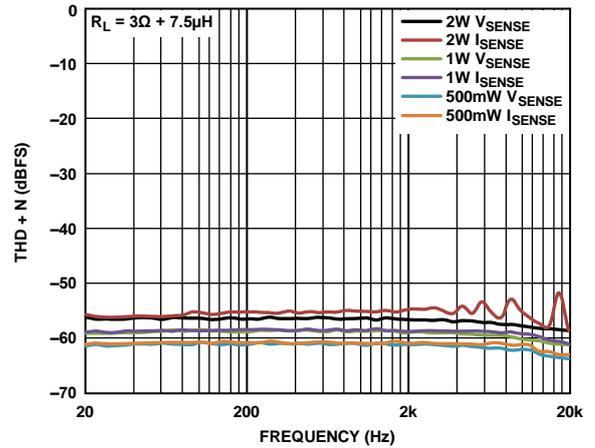


図 36.検出 ADC THD + N の周波数特性
PVDD = 5 V、R_L = 3 Ω

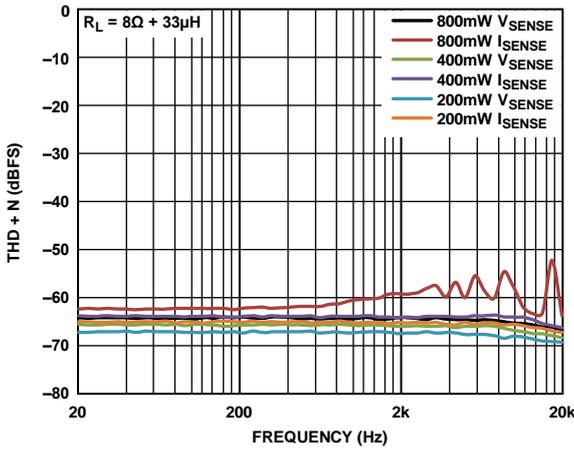


図 34.検出 ADC THD + N の周波数特性
PVDD = 5 V、R_L = 8 Ω

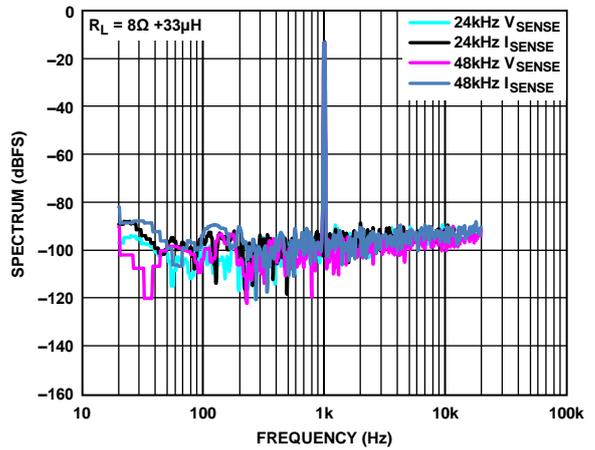


図 37.検出 ADC 出力スペクトルの周波数特性(FFT)
P_{OUT} = 100 mW、R_L = 8 Ω

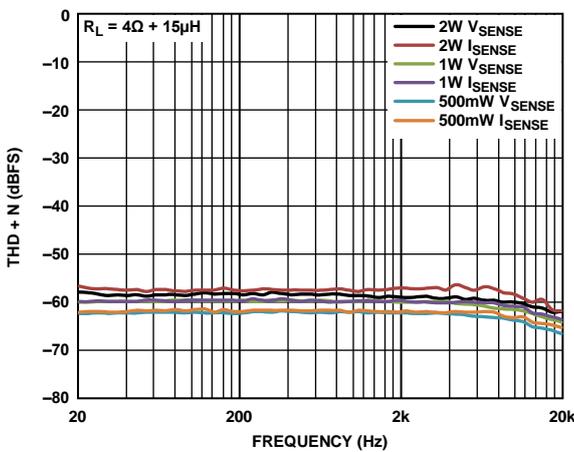


図 35.検出 ADC THD + N の周波数特性
PVDD = 5 V、R_L = 4 Ω

動作原理

概要

SSM4321 モノ・クラス D オーディオ・アンプでは、外付け部品数を大幅に削減し、ボード・スペースを節約してシステム・コストを削減するフィルタ不要の変調方式を採用しています。

SSM4321 では出力フィルタが不要ですが、スピーカ・コイル固有のインダクタンスとスピーカと人の聴覚の自然なフィルタ機能を使用して方形波出力からオーディオ成分を再生します。

大部分のクラス D アンプではパルス幅変調(PWM)の幾つかの変形を使用していますが、**SSM4321** では Σ - Δ 変調を使用して出力デバイスのスイッチング・パターンを決定するため、多くの重要な利点があります。

- パルス幅変調器でよく発生するような AM 周波数帯域に多くの高調波を持つシャープなピークは、 Σ - Δ 変調器では発生しません。
- Σ - Δ 変調では高周波でのスペクトル成分振幅が小さくなるため、EMI 放出が小さくなります。そうでない場合にはスピーカと長いケーブル経路から放射されてしまいます。
- Σ - Δ 変調に固有な性質である拡散スペクトル機能により、複数の **SSM4321** アンプを使用するデザインで発振器の同期が不要になります。

また、**SSM4321** は過電流保護と温度上昇保護も内蔵しています。

パワーダウン動作

SSM4321 は、BCLK 入力クロックに対して動作するクロック損失検出回路を内蔵しています。BCLK がなくなると、デバイスは自動的にパワーダウンしてすべての内部回路が最小消費電力状態になります。BCLK が回復すると、デバイスは自動的にパワーアップします。

BCLK がアクティブでも、FSYNC または LRCLK が存在しない場合、アンプは動作を続けますが、ADC、検出ブロック、デジタル処理機能がシャットダウンして、出力検出データが不要の場合静止電流を削減します。ADC シャットダウン機能は PDM 動作モードで使用することはできません。

ゲインの選択

SSM4321 のゲインは、GAIN ピンと 1 本の外付け抵抗(オプション)を使って 0 dB~12 dB の範囲で 3 dB ステップで設定することができます。外付け抵抗は、9 dB または 12 dB のゲイン設定の選択に使用します(表 6 参照)。

表 6.GAIN ピンによる **SSM4321** ゲインの設定

Gain Setting (dB)	GAIN Pin Configuration
0	Tie to GND
3	Open
6	Tie to PVDD
9	Tie to GND through a 47 k Ω resistor
12	Tie to PVDD through a 47 k Ω resistor

ポップ・アンド・クリック除去回路

オーディオ・アンプ出力の過渡電圧は、シャットダウンの開始/終了時に発生します。スピーカから可聴ポップとして最小 10 mV の過渡電圧を聞くことができます。ポップ・アンド・クリックはアンプ・システムから発生する不要な可聴過渡電圧として分類できるため、システム入力信号から発生するものではありません。

SSM4321 はポップ・アンド・クリック除去アーキテクチャを採用しています。これらの出力過渡電圧を小さくして、ノイズのないシャットダウンの開始/終了を可能にします。

出力変調の説明

SSM4321 は 3 レベルの Σ - Δ 出力変調を採用しています。各出力の振幅は GND から PVDD の間です。理論的には、入力信号がない場合、パルスを発生する必要がないため出力差動電圧 = 0 V です。実際には、ノイズ・ソースが常に存在します。

ノイズが常に存在するため、この信号に対して応答が必要な場合、差動パルスが発生されます。差動パルスが発生されると、小さい電流が誘導負荷に流れます。

ただし、アナログ・デバイゼズの 3 レベル Σ - Δ 出力変調のため大部分の時間出力差動電圧 0 V になります。この機能は、誘導負荷を流れる電流を小さく抑えます。

入力信号の送信が必要な場合、出力パルス(OUT+と OUT-)が発生されて入力電圧に追従します。入力信号レベルが大きくなると、差動パルス密度(V_{OUT})が大きくなります。図 38 に 3 レベルの Σ - Δ 出力変調を入力信号の有無に対して示します。

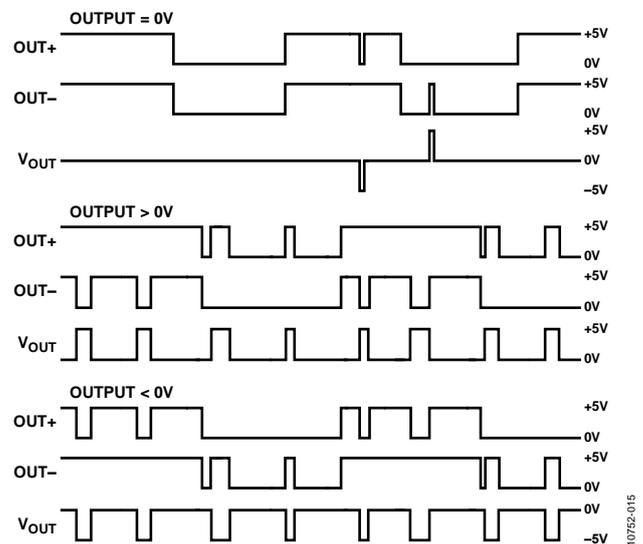


図 38.入力信号の有無に対する 3 レベル Σ - Δ 出力変調

EMI ノイズ

SSM4321 では当社独自の変調および拡散スペクトル技術を採用してデバイスからの EMI 放出を小さくしています。FCC クラス B 放出テストに合格することが難しいアプリケーションに対して、またはアンテナおよび RF 感度問題を持つアプリケーションに対して、SSM4321 の極めて低い EMI アーキテクチャにより、クラス D 出力での放射放出が大幅に削減されます(特に 100 MHz 以上で)。

SSM4321 の EMI 放出テストは 1 kHz 入力信号を使い FCC 認定 EMI 実験室で実施され、5.0 V 電源、8 Ω 負荷で、0.5 W の出力電力を発生させています。SSM4321 は、50 cm の非シールド・ツイストペア・スピーカ・ケーブルを使い FCC クラス B 規定値に合格しています。電源電圧を小さくすると、大幅に放射放出が削減されることに注意してください。

出力電流検出

SSM4321 では外付け検出抵抗を使って負荷に流れる出力電流を求めています。図 1 に示すように、検出抵抗の端子がアンプ出力ピン(OUT+)に接続され、検出抵抗の他の端子が負荷に接続され、さらに検出入力ピン(SENSE-)へ接続されています。

検出抵抗両端の電圧は負荷電流に比例し、公称 128 fs で動作する A/D コンバータ(ADC)へ入力されます。この ADC の出力は、デジタル・フィルタを使ってダウンサンプルされます。ダウンサンプルされた信号は、TDM バスのスロット 1 で 8 kHz~48 kHz のレートで出力されます。16 ビット・データは符号付き小数フォーマットです。

電流検出出力は、200 mΩ 検出抵抗での出力電流 0.75 A (6 V/8 Ω) が ADC フルスケール出力になるようにスケールされます。表 7 に、一般的な出力負荷に対する最適検出抵抗値を示します。

表 7. 一般的な負荷に対する最適検出抵抗値

Load Value (Ω)	Peak Current (A)	Sense Resistor (mΩ)
8	0.75	200
4	1.5	100
3	2	75

出力電圧検出

出力電圧レベルがモニタされて、公称 128 fs で動作する ADC へ送られます。この ADC の出力は、デジタル・フィルタを使ってダウンサンプルされます。ダウンサンプルされた信号は、TDM バスのスロット 2 で 8 kHz~48 kHz のレートで出力されず。16 ビット・データは符号付き小数フォーマットです。

PVDD 検出

SSM4321 は、PVDD 電源の電圧をリアルタイムで測定する 8 ビット ADC を内蔵しています。ADC 出力は 8 ビット符号なしフォーマットで、TDM バスのスロット 3 の上位 8 ビットに表示されます。下位 8 ビットはロー・レベルに駆動されます。

シリアル・データ入力／出力

SSM4321 は、出力電流、出力電圧、PVDD 電源電圧を検出する回路を内蔵しています。出力電流、出力電圧、PVDD 電圧は ADC へ送られます。これらの ADC 出力は、TDM または I²S 出力シリアル・ポートから得ることができます。また、電圧と電流データのダイレクト PDM ビット・ストリーム(すなわち電流と PVDD データ)を選択することもできます。

TDM 動作モード

デジタル化された出力電流、出力電圧、PVDD 検出信号を TDM シリアル・ポートへ出力することができます。このシリアル・ポートは常にスレーブであるため、動作するためにはビット・クロック(BCLK)とフレーム同期信号(FSYNC)が必要です。出力データは、IOVDD 電圧で SDATAO/PDM_DATA ピンへ出力されます(タイミング図、TDM モードのセクション参照)。

FSYNC 信号は、所望のサンプル・レートで動作します。FSYNC 信号の立上がりエッジは、新しいフレームの開始を表示します。正常動作のためには、この信号は BCLK で 1 サイクル幅であり、BCLK の立下がりエッジで変化する必要があります。スロット 1 データの MSB は、BCLK で 1 サイクル遅れて SDATAO/PDM_DATA ピンに出力されます。SDATAO 信号は、BCLK の立上がりエッジでラッチされる必要があります。各スロットは、BCLK で 64 サイクル幅です。

SSM4321 は出力で 4 スロットのみ駆動できますが、8 スロット、12 スロット、または 16 スロットに対して動作することができます。この方法では、最大 4 個までの SSM4321 デバイスが同じ TDM バスを使用することができます。スタートアップ時に、使用されるスロット数が FSYNC パルス間の BCLK サイクル数を使って自動的に認識されます。内蔵クロックが指定された BCLK レートに基いて BCLK から自動的に発生されます。

駆動対象の TDM4 スロットのセットは、SSM4321 の SLOT ピンで指定されます(表 8 参照)。SLOT ピンの値は、スタートアップ時に安定している必要があります。

表 8.TDM スロットの選択

Device Setting	SLOT Pin Configuration
TDM Slot 1 to Slot 4 used	Tie to IOVDD
TDM Slot 5 to Slot 8 used	Open
TDM Slot 9 to Slot 12 used	Tie to GND
TDM Slot 13 to Slot 16 used	Tie to IOVDD through a 47 kΩ resistor

駆動されないスロットがあると、SSM4321 は SDATAO/PDM_DATA ピンを高インピーダンス状態に設定します。プルダウン抵抗を SDATAO/PDM_DATA ピンに接続して、常に既知状態におくようにしてください。

表 10.I²S および左詰めスロットの選択

Device Setting	BCLK Setting	SLOT Pin Configuration
I ² S mode at 16 kHz to 48 kHz; voltage and current data only	64 × f _s	Tie to IOVDD
Left justified mode at 16 kHz to 48 kHz; voltage and current data only	64 × f _s	Open
I ² S mode at 16 kHz to 48 kHz; PVDD data appended to voltage data	64 × f _s	Tie to GND
Left justified mode at 16 kHz to 48 kHz; PVDD data appended to voltage data	64 × f _s	Tie to IOVDD through a 47 kΩ resistor
Low power I ² S mode at 32 kHz to 48 kHz; voltage and current data only	32 × f _s or 64 × f _s	Tie to GND through a 47 kΩ resistor

1 つの SSM4321 が 4 スロットで動作する場合、スロット 1 は出力電流として、スロット 2 は出力電圧として、スロット 3 は PVDD 電源として、スロット 4 は非駆動として、それぞれ使用されます。4 スロットより多くを使用する場合は、このパターンが繰り返されます。表 9 に、3 個の SSM4321 デバイスと 12 個の TDM スロットを使用する例を示します。

表 9.TDM 出力スロットの例—3 個の SSM4321 デバイス

TDM Slot	Data Present
1	Output current, Device 1
2	Output voltage, Device 1
3	PVDD voltage, Device 1
4	High-Z
5	Output current, Device 2
6	Output voltage, Device 2
7	PVDD voltage, Device 2
8	High-Z
9	Output current, Device 3
10	Output voltage, Device 3
11	PVDD voltage, Device 3
12	High-Z

I²S および左詰め動作モード

I²S または左詰め出力インターフェースは、BCLK と FSYNC のピン接続を逆にすることにより選択することができます。すなわち、I²S LRCLK をボール D3 (BCLK_TDM/PDM_CLK/LRCLK_I2S) に、I²S BCLK をボール D2 (FSYNC_TDM/ BCLK_I2S) に、それぞれ接続します。

I²S インターフェースでは、LRCLK の 1 サイクルあたり BCLK で 64 サイクルが必要です。LRCLK がロー・レベルのとき電圧情報が、LRCLK がハイ・レベルのとき電流情報が、それぞれ送信されます(タイミング図、I²S および左詰めモードのセクション参照)。

SLOT ピンは、次のように I²S または左詰め出力を設定します(表 10 参照)。

- I²S または左詰めモードの選択。
- PVDD 検出情報を出力。PVDD データが出力の場合、16 ビット電圧検出データに 8 ビットが追加されて 24 ビット出力が構成されます。上位 16 ビットは電圧データを、下位 8 ビットは PVDD データを、それぞれ表します。
- サンプル・レート範囲。サンプル・レートは 16 kHz～48 kHz の範囲になります。低消費電力 I²S モードでは 32 kHz～48 kHz の範囲も許容されます。

マルチチップ I²S 動作モード

デバイスが TDM モードに設定されているが(BCLK と FSYNC を逆にしない)、FSYNC 信号のデューティ・サイクルが 50%のときには、特別なマルチチップ I²S モードがイネーブルされます。FSYNC 信号が 1 クロック・サイクルのパルスで構成される場合、代わりに TDM 動作モードがアクティブになります。

マルチチップ I²S インターフェースでは、複数のチップが 1 本の I²S バスを駆動することができます。バス上のチップ数に応じて各チップは 2 または 4 フレームごとにバス制御を取得し、バス上に最大 4 チップを許容します。SLOT ピンの設定により制御の順序が指定されます(タイミング図、マルチチップ I²S モードのセクション参照)。

また、各フレームには 1 ビットの ID コードが含まれ、フレーム内の現在のデータに追加されています。このコードは、そのフレームのデータを送信したチップを表示します。表 11 に、SLOT ピンと ID コードの対応を示します。

表 11. マルチチップ I²S スロットの選択

Chip No.	ID Code	SLOT Pin Configuration
1	0001	Tie to IOVDD
2	0010	Open
3	0100	Tie to GND
4	1000	Tie to IOVDD through a 47 kΩ resistor

デバイスは、バスで検出されたチップ数に応じて自動的に 2 チップ動作または 4 チップ動作に構成されます。デバイスは 4 チップ動作でスタートアップしますが、スロット 3 とスロット 4 の未使用が検出されると、デバイスは 2 チップ動作に切り替わります。2 チップ動作の場合、1 番目と 2 番目のスロットを使う必要があります。バス上に 3 チップ存在する場合は、スロット 1 を他の任意の 2 スロットと組み合わせて使用する必要があります。

表 12 に、マルチチップ I²S モードでサポートされている FSYNC レートと BCLK レートを示します。

表 12. マルチチップ I²S モードでの FSYNC レートと BCLK レート、 $f_s = 16 \text{ kHz} \sim 48 \text{ kHz}$

Valid Slots	FSYNC Rate	BCLK Rate
1 and 2	$2 \times f_s$ (32 kHz to 96 kHz)	$128 \times f_s$ (2.048 MHz to 6.144 MHz)
1, 2, 3, 4	$4 \times f_s$ (64 kHz to 128 kHz)	$256 \times f_s$ (4.096 MHz to 12.288 MHz)

PDM 出力モード

SLOT ピンを 47 kΩ 抵抗を介して GND へ接続すると、ADC からの 1 ビット PDM データを直接出力することができます。PDM モードでは、1 MHz～6.144 MHz のクロックをボール D3 (BCLK_TDM/PDM_CLK/LRCLK_I2S)へ入力する必要があります。PDM データはクロックの両エッジで送信され、ボール D1 (SDATAO/PDM_DATA)に出力されます(タイミング図、PDM モードのセクション参照)。

PDM モードでは、ボール D2 (FSYNC_TDM/BCLK_I2S)を使って、使用可能な 2 チャンネルに出力する情報が選択されます(表 13 参照)。

表 13. PDM モードでの FSYNC_TDM ピンの設定

Output Data	FSYNC_TDM Pin
Current data on rising edge; voltage data on falling edge	Tie to IOVDD
Current data on rising edge; PVDD data on falling edge	Tie to GND

タイミング図、TDM モード

TDM モード、1 デバイス

SLOT ピンを IOVDD に接続。

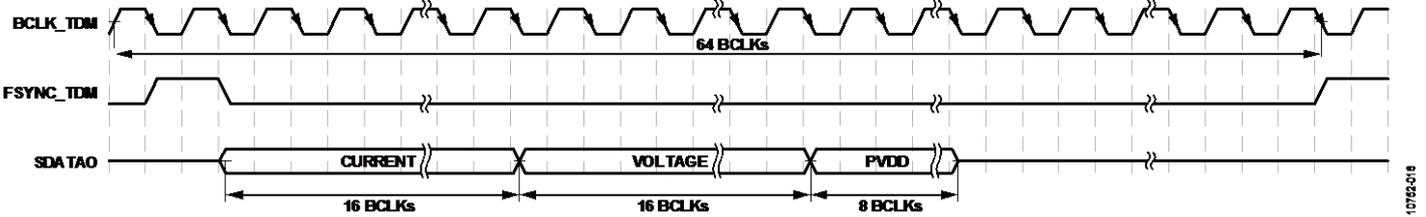


図 39.TDM モード、1 デバイス

TDM モード、2 デバイス

IC 1: SLOT ピンを IOVDD に接続。IC 2: SLOT ピンはオープン。

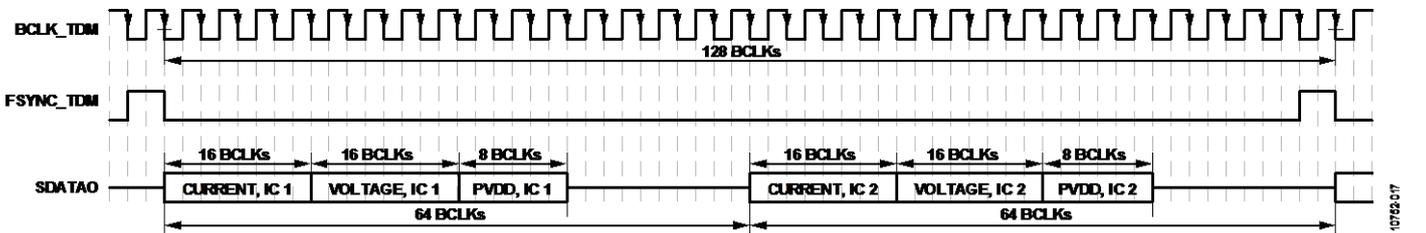


図 40.TDM モード、2 デバイス

TDM モード、3 デバイス

IC 1: SLOT ピンを IOVDD に接続。IC 2: SLOT ピンはオープン。IC 3: SLOT ピンを GND に接続。

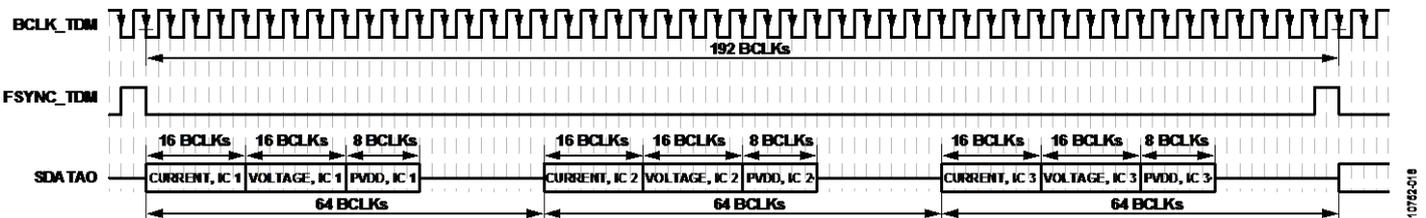


図 41.TDM モード、3 デバイス

タイミング図、I²S および左詰めモード

I²S および左詰めモード、電圧出力、電流出力、PVDD 出力、64 × f_s

I²S 出力モード: SLOT ピンを GND に接続。

左詰め出力モード: SLOT ピンを 47 kΩ 抵抗を介して IOVDD に接続。

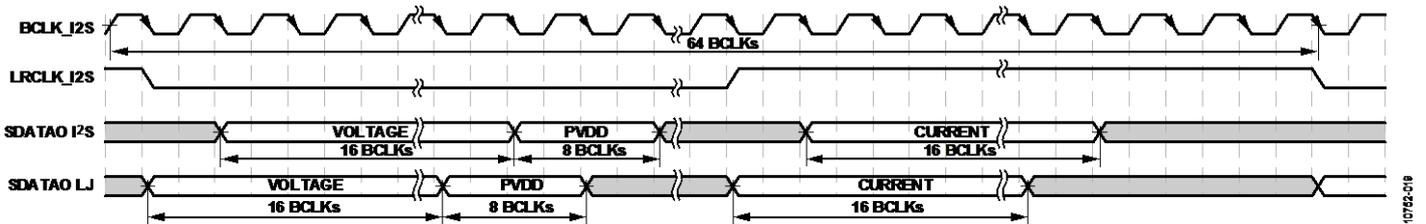


図 42.I²S および左詰めモード、電圧出力、電流出力、PVDD 出力、64 × f_s

I²S および左詰めモード、電圧出力と電流出力のみ、64 × f_S

I²S 出力モード: SLOT ピンを IOVDD に接続(64 × f_S の低消費電力動作の場合は 47 kΩ 抵抗を介して GND に接続)。

左詰め出力モード: SLOT ピンはオープン。

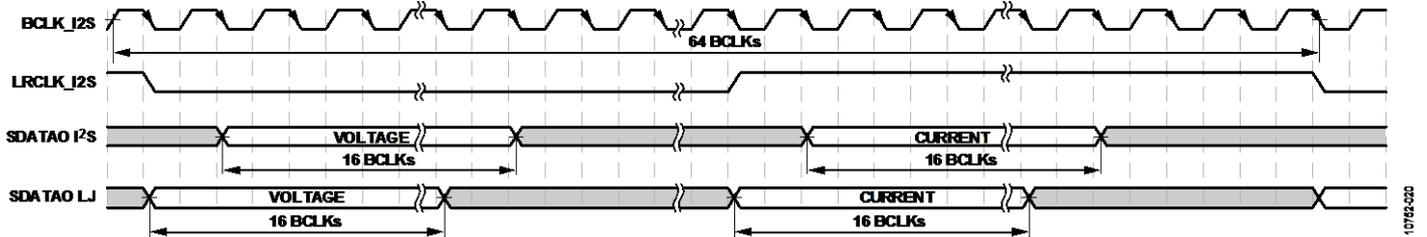


図 43. I²S および左詰めモード、電圧出力と電流出力のみ、64 × f_S

I²S 低消費電力モード、電圧出力と電流出力のみ、32 × f_S

32 × f_S の低消費電力動作用に SLOT ピンを 47 kΩ 抵抗を介して GND へ接続。

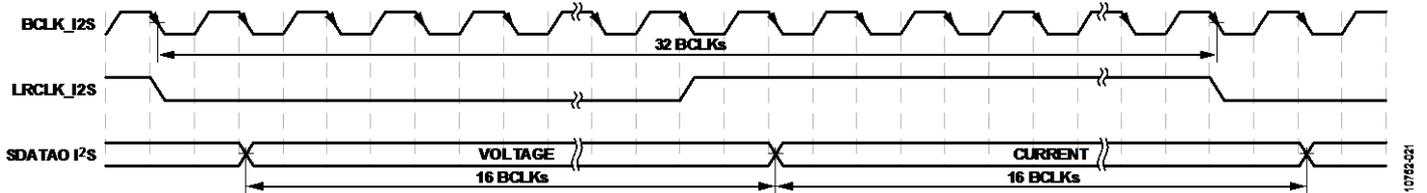


図 44. I²S 低消費電力モード、電圧出力と電流出力のみ、32 × f_S

タイミング図、マルチチップ I²S モード

マルチチップ I²S モード、バス上に 2 デバイス

IC 1: SLOT ピンを IOVDD に接続。IC 2: SLOT ピンはオープン。

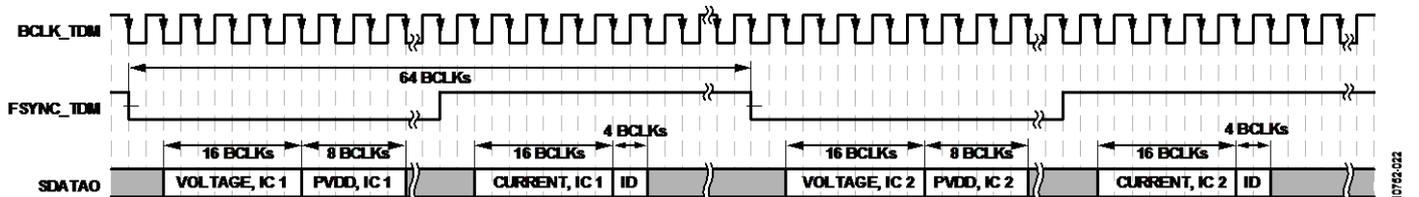


図 45. マルチチップ I²S モード、バス上に 2 デバイス

マルチチップ I²S モード、バス上に 3 デバイスまたは 4 デバイス

IC 1: SLOT ピンを IOVDD に接続。IC 2: SLOT ピンはオープン。IC 3: SLOT ピンを GND に接続。IC 4: SLOT ピンを 47 kΩ 抵抗を介して IOVDD に接続。

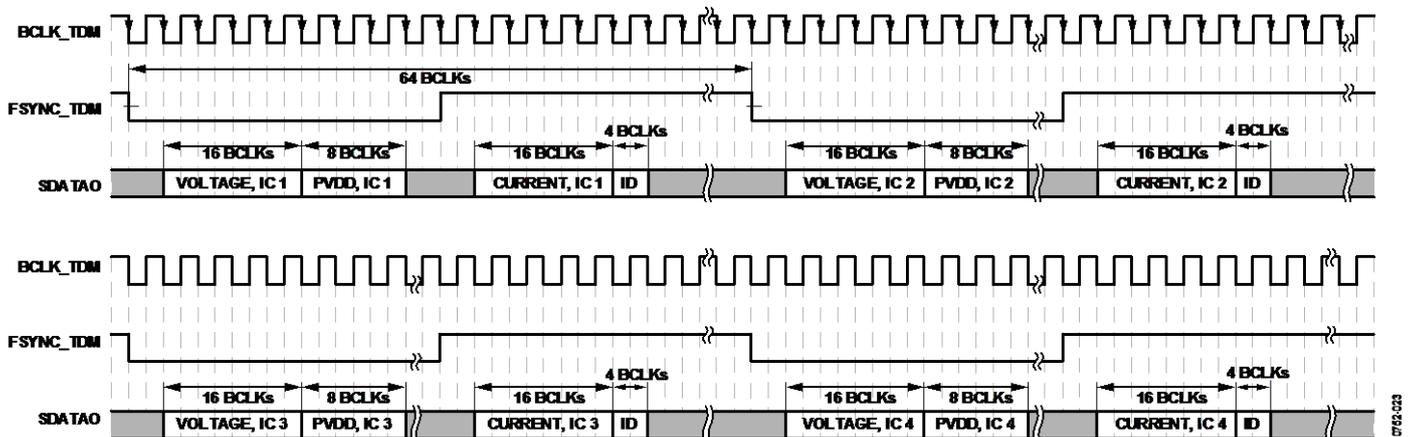


図 46. マルチチップ I²S モード、バス上に 3 デバイスまたは 4 デバイス

タイミング図、PDM モード

PDM モード、電流出力と電圧出力

SLOT ピンを 47 kΩ 抵抗を介して GND に接続。FSYNC_TDM ピンを IOVDD に接続。

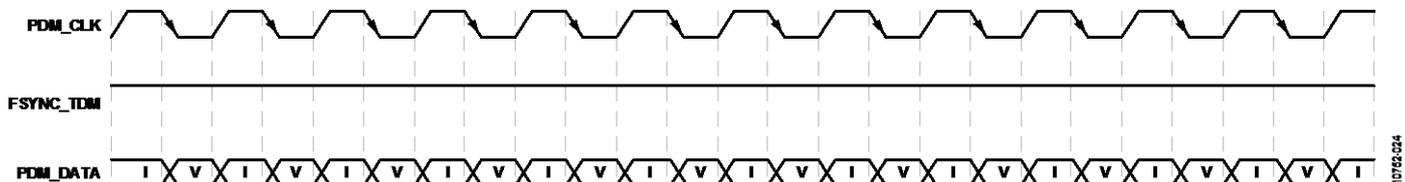


図 47.PDM モード、電流出力と電圧出力

PDM モード、電流出力と PVDD 出力

SLOT ピンを 47 kΩ 抵抗を介して GND に接続。FSYNC_TDM ピンを GND に接続。

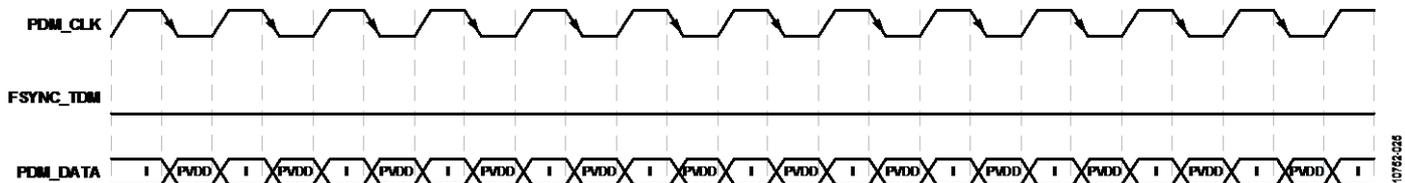


図 48.PDM モード、電流出力と PVDD 出力

アプリケーション情報

レイアウト

出力電力が大きい場合、PCB パターンのレイアウトとアンプ、負荷、電源間の配線に注意が必要です。電圧降下とインダクタンスを小さくするために太く短い PCB パターンの使用が必要です。DCR を小さくするため 1 インチのパターン長ごとにパターン幅を最小 200 ミルにし、1 オンスまたは 2 オンスの銅 PCB パターンを使用して IR 降下とインダクタンスをさらに小さくしてください。優れたレイアウトにより電圧降下が小さくなり、効率が反映されます。電源入力とアンプ出力には太いパターンを使用して寄生パターン抵抗による損失を小さくしてください。

優れたグラウンド接続は、オーディオ性能の向上、チャンネル間クロストークの削減、オーディオ信号へのスイッチング・ノイズの混入防止に役立ちます。大きな出力振幅と高ピーク出力電力を維持するため、出力ピンと負荷を接続する PCB パターン、および電源ピンへの PCB パターンをできるだけ太くして、最小パターン抵抗を維持してください。インピーダンスを最小にするため大きなグラウンド・プレーンの使用も推奨されます。

さらに、優れた PCB レイアウトにより、クリティカルなアナログ・パスを高い干渉源から分離してください。高周波回路(アナログとデジタル)を低周波回路から分離してください。

適切にデザインされた多層 PCB を使うと、EMI 放出を小さくし、RF 電磁界に対する耐性を両面ボードに比べて 10 倍以上に強化することができます。多層ボードでは層全体をグラウンド・プレーンに使うことができますが、両面ボードのグラウンド・プレーン側は信号交差により乱されます。

システムに分離されたアナログ・グラウンド・プレーン、デジタル・グラウンド・プレーン、電源プレーンがある場合、アナログ・グラウンド・プレーンはアナログ電源プレーンの直下にある必要があります。同様に、デジタル・グラウンド・プレーンはデジタル電源プレーンの直下にある必要があります。アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーン、またはアナログ電源プレーンとデジタル電源プレーンは、重なり合わないようにする必要があります。

入力コンデンサの選択

入力信号が 1.0 V~PVDD - 1.0 V の範囲にバイアスされている場合は、SSM4321 は入力結合コンデンサを必要としません。入力信号がこの推奨入力 DC 同相モード電圧範囲内にバイアスされない場合、ハイパス・フィルタが必要な場合、またはシングルエンド・ソースが使用される場合には、入力コンデンサが必要です。入力にハイパス・フィルタが必要な場合は、入力コンデンサ(C_{IN})と SSM4321 の入力インピーダンス (80 k Ω)により、次式で与えられるコーナー周波数を持つハイパス・フィルタが構成されます。

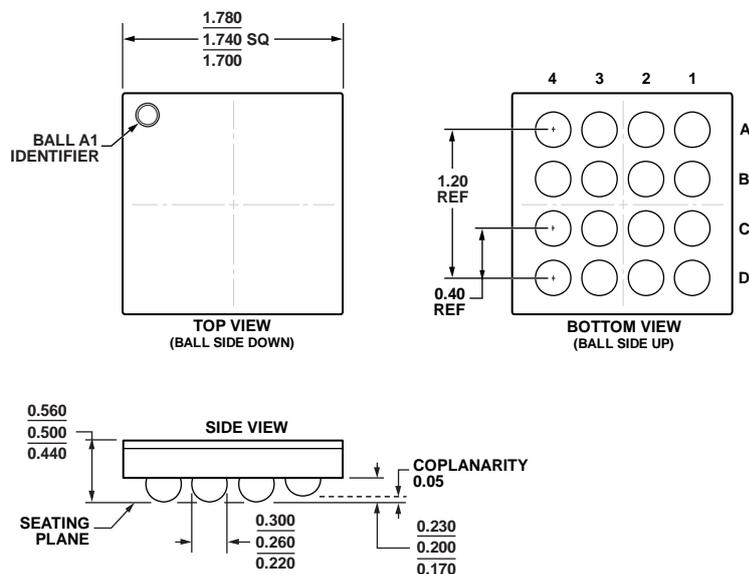
$$f_c = 1/(2\pi \times 80 \text{ k}\Omega \times C_{IN})$$

入力コンデンサ値と電解質により、回路性能が大きな影響を受けます。入力コンデンサを使用しないと、アンプの出力オフセット電圧と DC PSRR 性能が低下します。

電源のデカップリング

高い効率を得るためには、低い総合高調波歪み(THD)、高い PSRR、適切な電源デカップリングが必要です。電源ライン上のノイズ過渡電圧は、短い継続時間の電圧スパイクです。これらのスパイクは、数百 MHz までの周波数成分を含みます。電源入力は、最小値 4.7 μF の高品質、低 ESL、低 ESR のコンデンサでデカップリングする必要があります。このコンデンサは、低周波ノイズをグラウンド・プレーンへバイパスします。高周波過渡電圧ノイズに対しては、0.1 μF のコンデンサをデバイスの PVDD ピンのできるだけ近くに接続します。デカップリング・コンデンサを SSM4321 のできるだけ近くに配置すると、性能の維持に役立ちます。

外形寸法



1P-03-2012-A

図 49.16 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-16-15)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option ²	Branding
SSM4321ACBZ-R7	-40°C to +85°C	16-Ball Wafer Level Chip Scale Package [WLCSP]	CB-16-15	Y4E
SSM4321ACBZ-RL	-40°C to +85°C	16-Ball Wafer Level Chip Scale Package [WLCSP]	CB-16-15	Y4E
EVAL-SSM4321Z		Evaluation Board		

¹ Z = RoHS 準拠製品

² このパッケージ・オプションはハロゲン化合物非含有