

特長

極めて効率の高いスペクトル拡散 Σ - Δ 変調を採用したフィルタなしのクラス D アンプ

変調器同期機能(SYNC)を内蔵

5.0 V 電源、3 Ω 負荷で 3 W、8 Ω 負荷で 1.4 W、総合高調波歪み (THD)1%以下

5.0 V で効率 90%、8 Ω スピーカで 1.4 W

信号対ノイズ比(SNR): 98 dB

単電源動作: 2.5 V~5.5 V

極めて小さいシャットダウン電流: 20 nA

自動回復機能付きの短絡保護とサーマル保護

9 ポールの 1.5 mm × 1.5 mm WLCSP を採用

ポップ・アンド・クリック・ノイズの抑圧

抵抗の内蔵によりボードの部品数を削減

ゲイン設定: デフォルトで 12 dB 固定またはユーザ調整可能

アプリケーション

携帯電話

MP3 プレーヤ

ポータブル・ゲーム機

ポータブル機器

教育用玩具

概要

SSM2319 は、集積度の高い高効率クラス D オーディオ・アンプです。携帯電話アプリケーションの性能を最大化するためにデ

ザインされています。アプリケーション回路では、最小の外付け部品数と 2.5 V~5.5 V の単電源動作が必要です。このデバイスは、5.0 V 電源、3 Ω 負荷、THD + N < 1% で、3 W の連続出力電力を供給することができます。

SSM2319 は、外付け LC 出力フィルタが不要な高効率低ノイズの変調方式を採用しています。この変調方式は、低い出力電力でも高い効率を維持します。5.0 V 電源、8 Ω、1.4 W で効率 90%、また 3 Ω、3 W では効率 85% で動作し、SNR = 98 dB です。スペクトル拡散パルス密度変調を採用して、他のクラス D アーキテクチャに比べて EMI 放射を低く抑えています。

近くに存在する複数のアンプ間のクロック相互変調(ビート効果)の問題がある場合には、SYNC 機能を使用することができます。

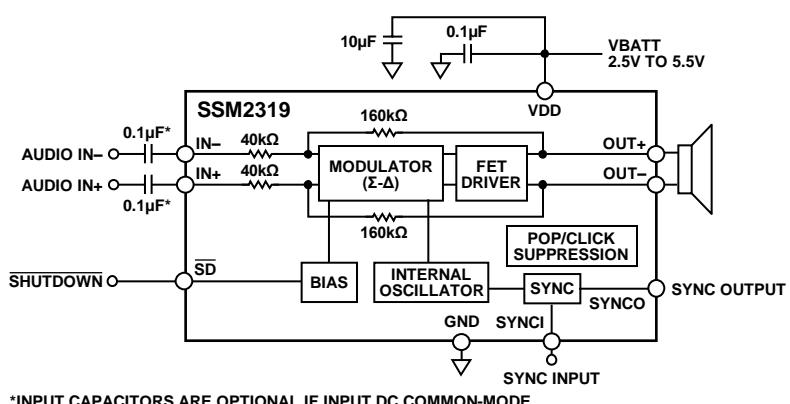
SSM2319 には、シャットダウン電流が 20 nA (typ) になるマイクロパワー・シャットダウン・モードがあります。SD ピンにロー・レベルを入力すると、このシャットダウンがイネーブルされます。

このデバイスはポップ・アンド・クリック抑圧回路も内蔵しています。この機能は、出力でのターンオン/ターンオフ時の電圧グリッヂを抑えて、オン/オフ時の可聴ノイズを小さくします。

SSM2319 のデフォルト・ゲインは 12 dB ですが、外付け抵抗対を使ってゲインを小さくすることができます(ゲインのセクション参照)。

SSM2319 の仕様は、-40°C~+85°C の工業用温度範囲で規定されています。サーマル・シャットダウン保護と出力短絡保護を内蔵しています。このデバイスは、9 ポールの 1.5 mm × 1.5 mm ウエハ・レベル・チップ・スケール・パッケージ(WLCSP)を採用しています。

機能ブロック図



07550-001

図 1.

目次

特長	1	動作原理	14
アプリケーション	1	概要	14
概要	1	ゲイン	14
機能ブロック図	1	ポップ・アンド・クリック・ノイズの抑圧	14
改訂履歴	2	出力変調の説明	14
仕様	3	レイアウト	14
絶対最大定格	5	入力コンデンサの選択	15
熱抵抗	5	電源デカップリング	15
ESD の注意	5	同期(SYNC)動作	15
ピン配置およびピン機能説明	6	外形寸法	17
代表的な性能特性	7	オーダー・ガイド	17
代表的なアプリケーション回路	12		

改訂履歴

8/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 5.0$ V、 $T_A = 25^\circ\text{C}$ 、 $R_L = 8 \Omega + 33 \mu\text{H}$ 、 $\text{SYNC1} = \text{GND}$ (スタンダロン・モード)。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
DEVICE CHARACTERISTICS						
Output Power	P_{OUT}	$R_L = 8 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 5.0$ V $R_L = 8 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 3.6$ V $R_L = 8 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 2.5$ V $R_L = 8 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 5.0$ V $R_L = 8 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 3.6$ V $R_L = 8 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 2.5$ V $R_L = 4 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 5.0$ V $R_L = 4 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 3.6$ V $R_L = 4 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 2.5$ V $R_L = 4 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 5.0$ V $R_L = 4 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 3.6$ V $R_L = 4 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 2.5$ V $R_L = 3 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 5.0$ V $R_L = 3 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 3.6$ V $R_L = 3 \Omega$, THD = 1%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 2.5$ V $R_L = 3 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 5.0$ V $R_L = 3 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 3.6$ V $R_L = 3 \Omega$, THD = 10%, $f = 1 \text{ kHz}$, 20 kHz BW, $V_{DD} = 2.5$ V	1.41 0.72 0.33 1.77 0.91 0.42 2.53 1.28 0.56 3.17 ¹ 1.6 0.72 3.1 ¹ 1.52 0.68 3.7 ¹ 1.9 0.85	W W		
Efficiency	η	$P_{OUT} = 1.4$ W, 8Ω , $V_{DD} = 5.0$ V	93			%
Total Harmonic Distortion + Noise	THD + N	$P_{OUT} = 1$ W into 8Ω , $f = 1 \text{ kHz}$, $V_{DD} = 5.0$ V $P_{OUT} = 0.5$ W into 8Ω , $f = 1 \text{ kHz}$, $V_{DD} = 3.6$ V	0.06 0.02			%
Input Common-Mode Voltage Range	V_{CM}		1.0		$V_{DD} - 1$	V
Common-Mode Rejection Ratio	CMRR_{GS}	$V_{CM} = 2.5$ V ± 100 mV at 217 Hz, output referred	57			dB
Average Switching Frequency	f_{SW}		300			kHz
Differential Output Offset Voltage	V_{OOS}	$G = 12$ dB	2.0			mV
POWER SUPPLY						
Supply Voltage Range	V_{DD}	Guaranteed from PSRR test	2.5	5.5		V
Power Supply Rejection Ratio	PSRR	$V_{DD} = 2.5$ V to 5.0 V, dc input floating/ground	70	85		dB
	PSRR _{GSM}	$V_{RIPPLE} = 100$ mV at 217 Hz, inputs ac GND, $C_{IN} = 0.1 \mu\text{F}$		60		dB
Supply Current	I_{SY}	$V_{IN} = 0$ V, no load, $V_{DD} = 5.0$ V $V_{IN} = 0$ V, no load, $V_{DD} = 3.6$ V $V_{IN} = 0$ V, no load, $V_{DD} = 2.5$ V $V_{IN} = 0$ V, load = $8 \Omega + 33 \mu\text{H}$, $V_{DD} = 5.0$ V $V_{IN} = 0$ V, load = $8 \Omega + 33 \mu\text{H}$, $V_{DD} = 3.6$ V $V_{IN} = 0$ V, load = $8 \Omega + 33 \mu\text{H}$, $V_{DD} = 2.5$ V	3.6 3.2 2.7 3.7 3.3 2.8			mA
Shutdown Current	I_{SD}	$\overline{SD} = \text{GND}$	20			nA
GAIN CONTROL						
Closed-Loop Gain	A_V		12			dB
Differential Input Impedance	Z_{IN}	$\overline{SD} = \text{VDD}$	40			k Ω
SHUTDOWN CONTROL						
Input Voltage High	V_{IH}	$I_{SY} \geq 1$ mA	1.2			V
Input Voltage Low	V_{IL}	$I_{SY} \leq 300$ nA	0.5			V
Turn-On Time	t_{WU}	\overline{SD} rising edge from GND to V_{DD}	28			ms
Turn-Off Time	t_{SD}	\overline{SD} falling edge from V_{DD} to GND	5			μs
Output Impedance	Z_{OUT}	$\overline{SD} = \text{GND}$	>100			k Ω
NOISE PERFORMANCE						
Output Voltage Noise	e_n	$V_{DD} = 3.6$ V, $f = 20$ Hz to 20 kHz, inputs are ac grounded, $A_V = 12$ dB, A weighting	40			μV
Signal-to-Noise Ratio	SNR	$P_{OUT} = 1.4$ W, $R_L = 8 \Omega$	98			dB
SYNC OPERATIONAL FREQUENCY			5	12		MHz

¹ SSM2319 は 3 W を超える優れたオーディオ品質を持つていますが、デバイス・パッケージに制限があるため、3 W を超える連続出力電力は回避する必要があります。

絶対最大定格

特に指定のない限り、25°Cでの絶対最大定格。

表 2.

Parameter	Rating
Supply Voltage	6 V
Input Voltage	V_{DD}
Common-Mode Input Voltage	V_{DD}
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range	-65°C to +165°C
Lead Temperature (Soldering, 60 sec)	300°C
ESD Susceptibility	4 kV

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 3.

Package Type	PCB	θ_{JA}	θ_{JB}	Unit
9-Ball, 1.5 mm × 1.5 mm WLCSP	1SOP	162	39	°C/W
	2SOP	76	21	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

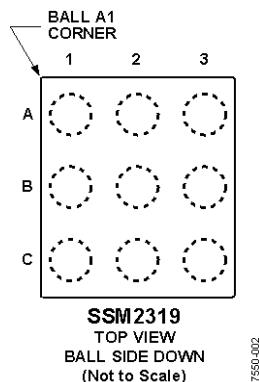
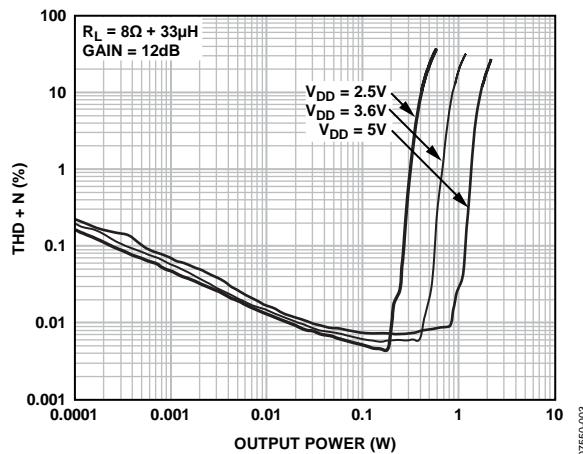
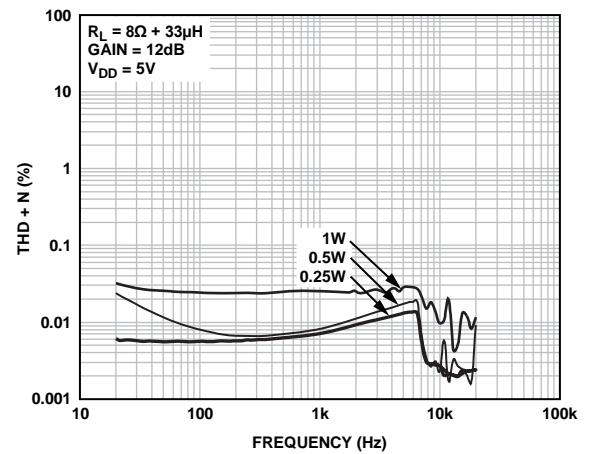
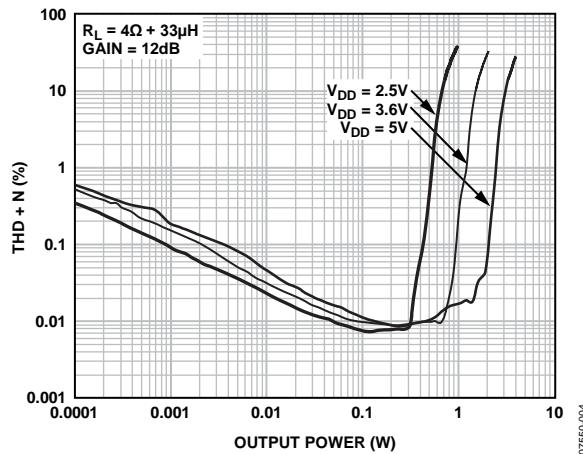
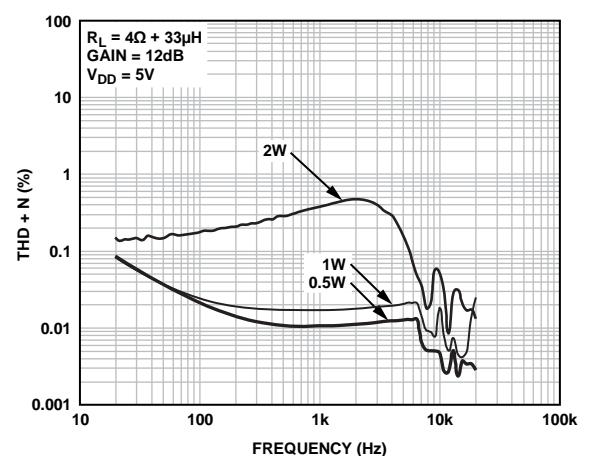
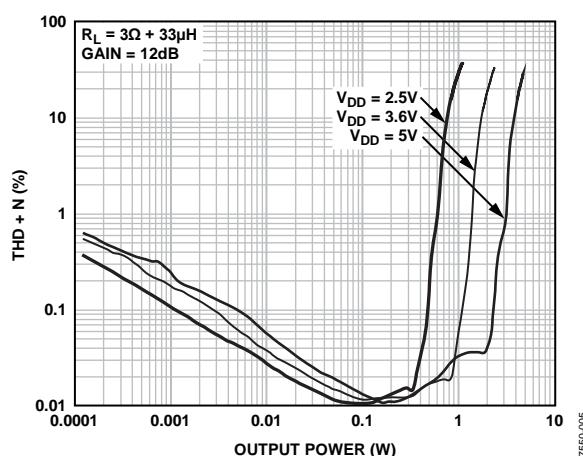
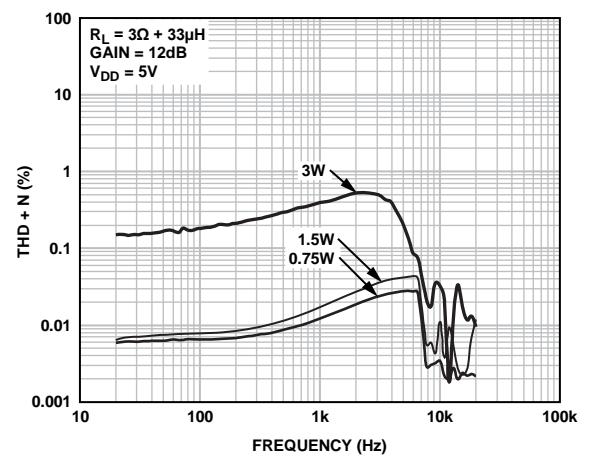


図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1A	IN-	反転入力。
1B	IN+	非反転入力。
1C	GND	グラウンド。
2A	SD	シャットダウン入力。アクティブ・ローのデジタル入力。
2B	SYNCI	SYNC 入力。
2C	VDD	電源。
3A	SYNCO	SYNC 出力。
3B	OUT-	反転出力。
3C	OUT+	非反転出力。

代表的な性能特性

図 3.THD + N 対出力電力、 $R_L = 8 \Omega + 33 \mu\text{H}$ 、ゲイン= 12 dB図 6.THD + N の周波数特性、 $R_L = 8 \Omega + 33 \mu\text{H}$ 、ゲイン= 12 dB、 $V_{DD} = 5V$ 図 4.THD + N 対出力電力、 $R_L = 4 \Omega + 33 \mu\text{H}$ 、ゲイン= 12 dB図 7.THD + N の周波数特性、 $R_L = 4 \Omega + 33 \mu\text{H}$ 、ゲイン= 12 dB、 $V_{DD} = 5V$ 図 5.THD + N 対出力電力、 $R_L = 3 \Omega + 33 \mu\text{H}$ 、ゲイン= 12 dB図 8.THD + N の周波数特性、 $R_L = 3 \Omega + 33 \mu\text{H}$ 、ゲイン= 12 dB、 $V_{DD} = 5V$

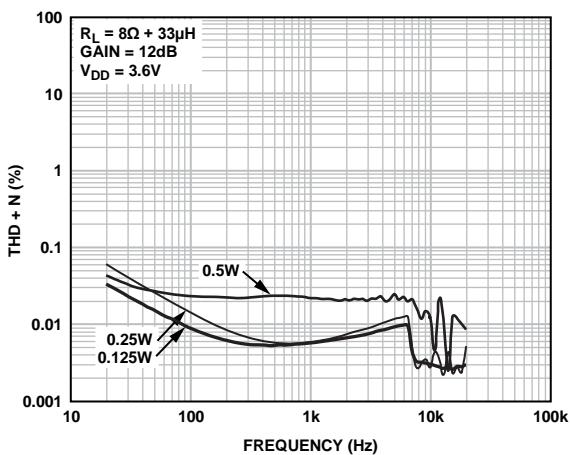


図 9.THD + N の周波数特性
 $R_L = 8\Omega + 33\mu H$ 、ゲイン = 12 dB、 $V_{DD} = 3.6 V$

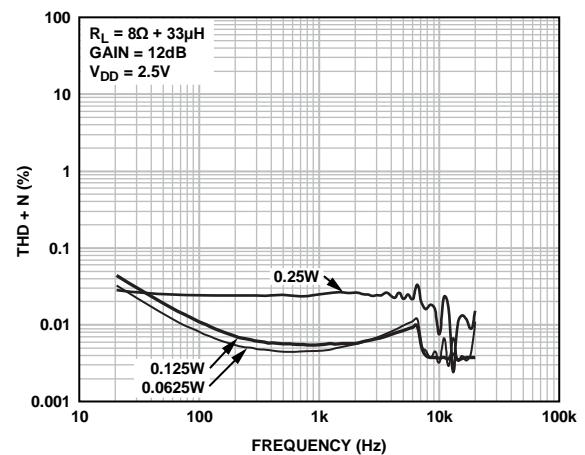


図 12.THD + N の周波数特性
 $R_L = 8\Omega + 33\mu H$ 、ゲイン = 12 dB、 $V_{DD} = 2.5 V$

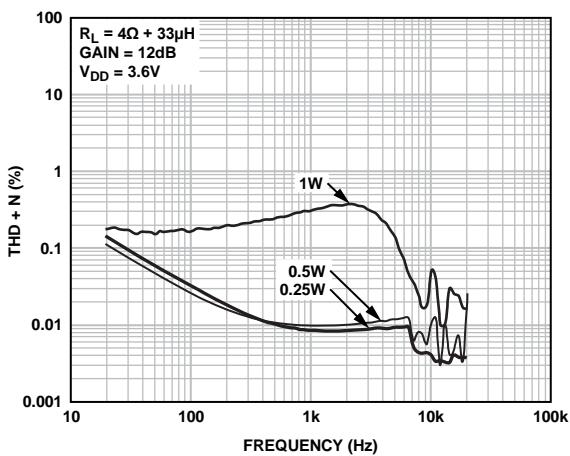


図 10.THD + N の周波数特性
 $R_L = 4\Omega + 33\mu H$ 、ゲイン = 12 dB、 $V_{DD} = 3.6 V$

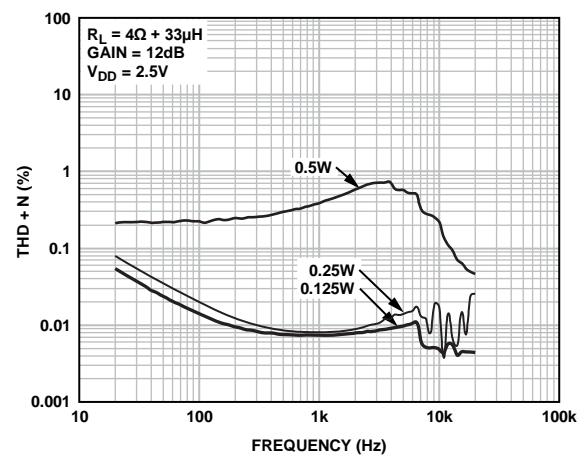


図 13.THD + N の周波数特性
 $R_L = 4\Omega + 33\mu H$ 、ゲイン = 12 dB、 $V_{DD} = 2.5 V$

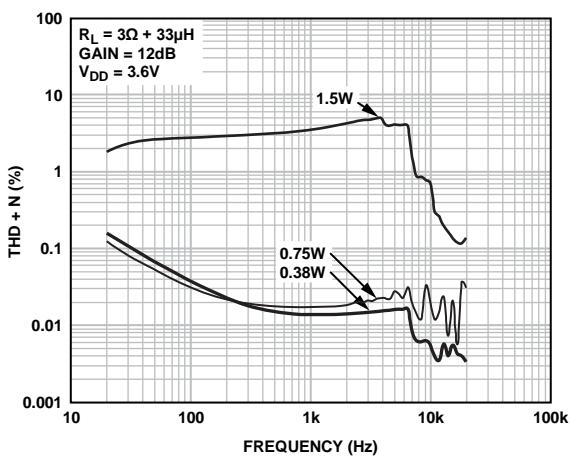


図 11.THD + N の周波数特性
 $R_L = 3\Omega + 33\mu H$ 、ゲイン = 12 dB、 $V_{DD} = 3.6 V$

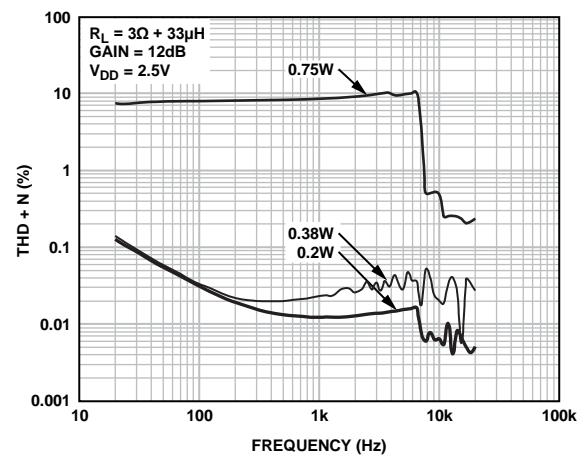


図 14.THD + N の周波数特性
 $R_L = 3\Omega + 33\mu H$ 、ゲイン = 12 dB、 $V_{DD} = 2.5 V$

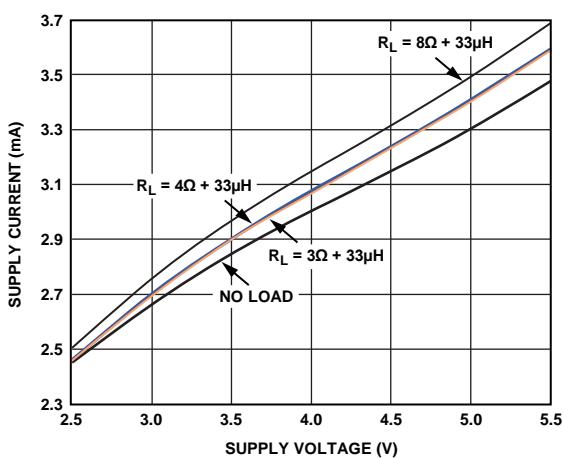
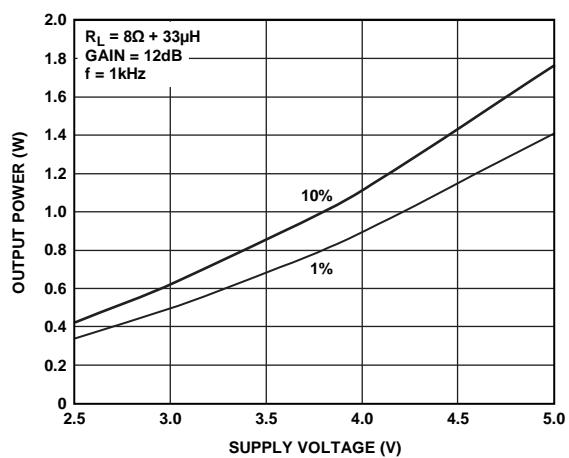
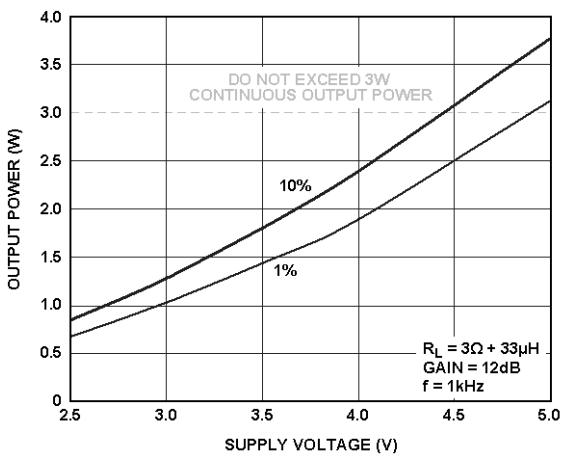


図 15.電源電流対電源電圧

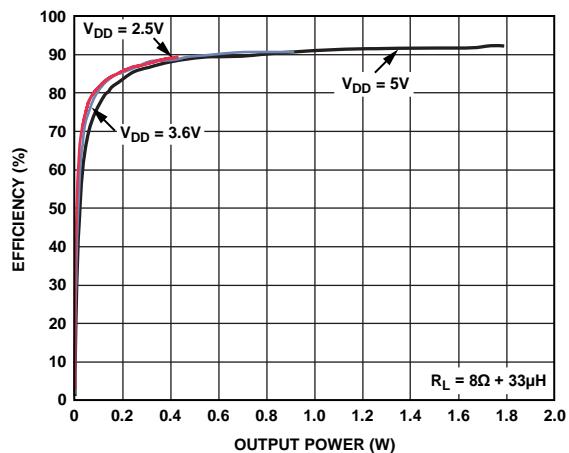
07550-015

図 18.最大出力電力対電源電圧
 $R_L = 8\Omega + 33\mu H$ 、ゲイン=12 dB

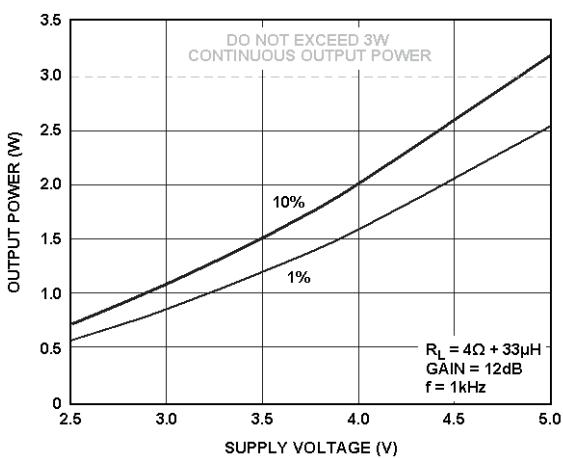
07550-018

図 16.最大出力電力対電源電圧
 $R_L = 3\Omega + 33\mu H$ 、ゲイン=12 dB

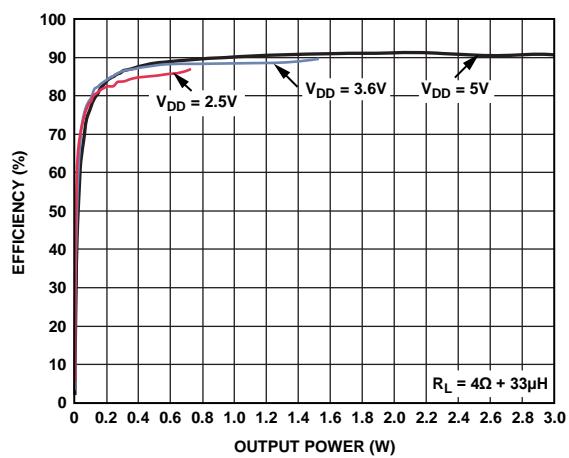
07550-016

図 19.効率対出力電力
 $R_L = 8\Omega + 33\mu H$

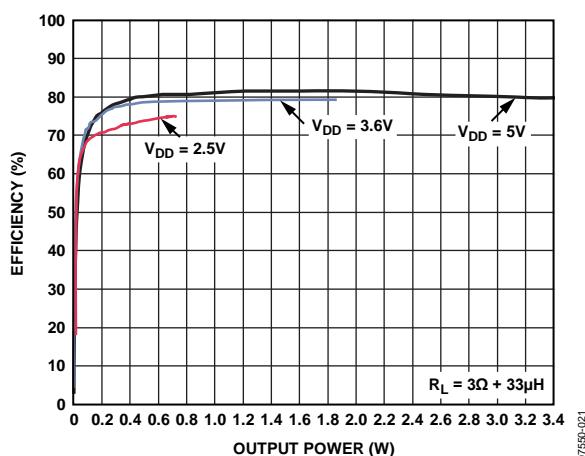
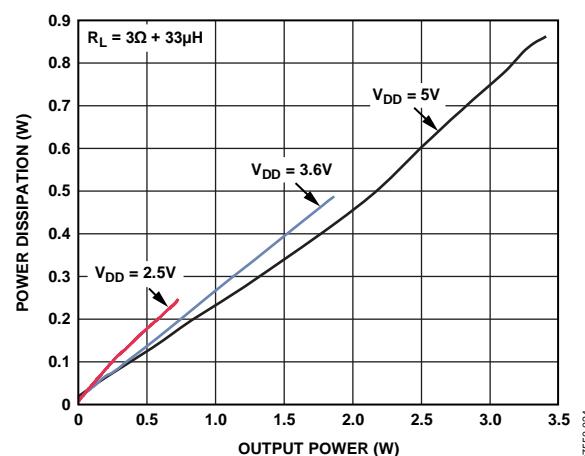
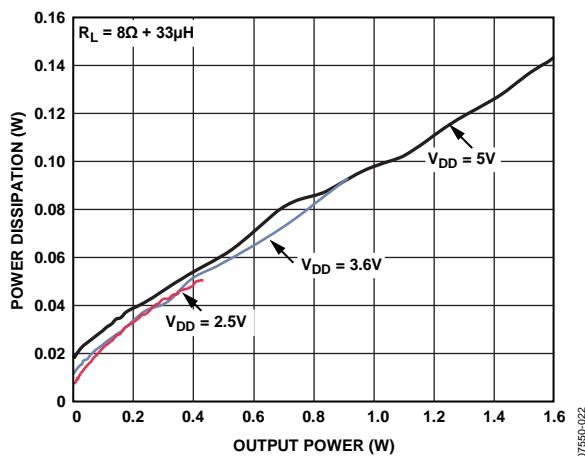
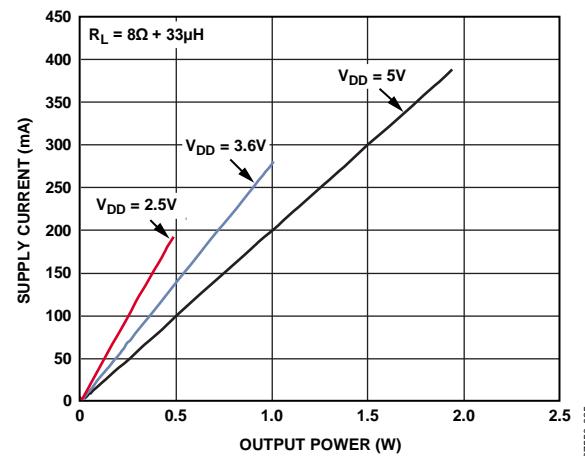
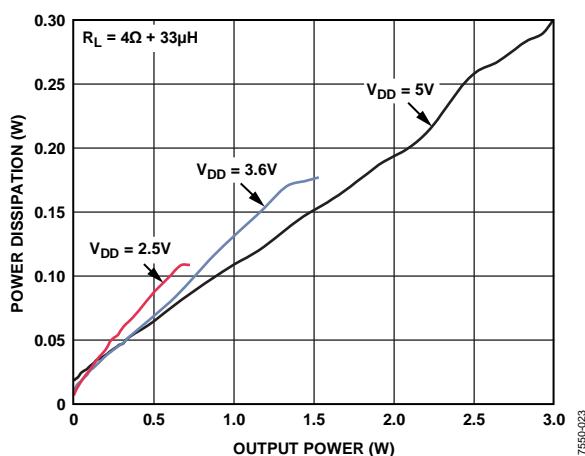
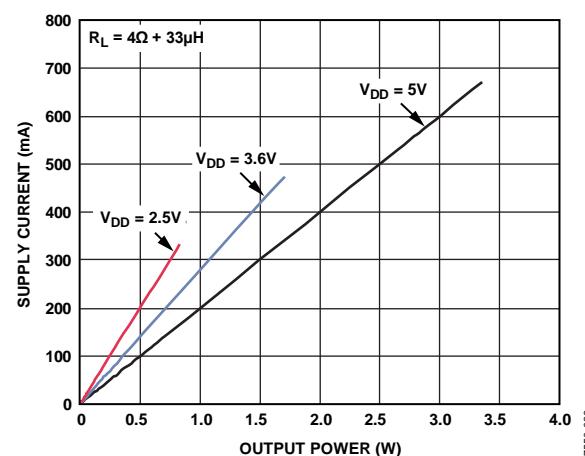
07550-019

図 17.最大出力電力対電源電圧
 $R_L = 4\Omega + 33\mu H$ 、ゲイン=12 dB

07550-017

図 20.効率対出力電力
 $R_L = 4\Omega + 33\mu H$

07550-020

図 21.効率対出力電力、 $R_L = 3 \Omega + 33 \mu\text{H}$ 図 24.消費電力対出力電力、 $R_L = 3 \Omega + 33 \mu\text{H}$ 図 22.消費電力対出力電力、 $R_L = 8 \Omega + 33 \mu\text{H}$ 図 25.電源電流対出力電力、 $R_L = 8 \Omega + 33 \mu\text{H}$ 図 23.消費電力対出力電力、 $R_L = 4 \Omega + 33 \mu\text{H}$ 図 26.電源電流対出力電力、 $R_L = 4 \Omega + 33 \mu\text{H}$

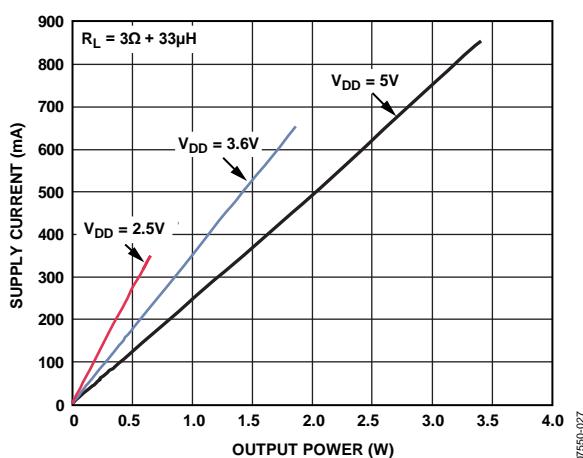
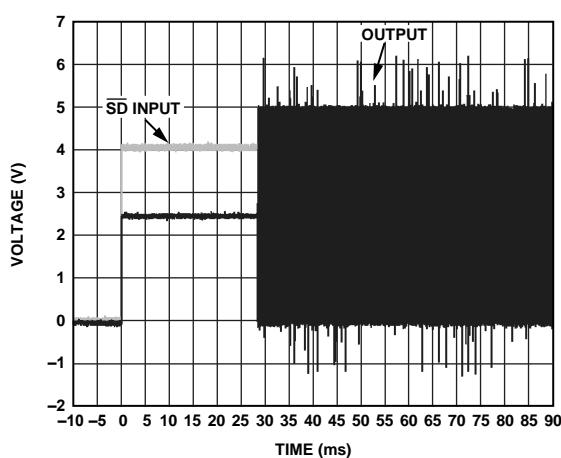
図 27.電源電流対出力電力、 $R_L = 3\Omega + 33\mu\text{H}$ 

図 30.ターンオン応答

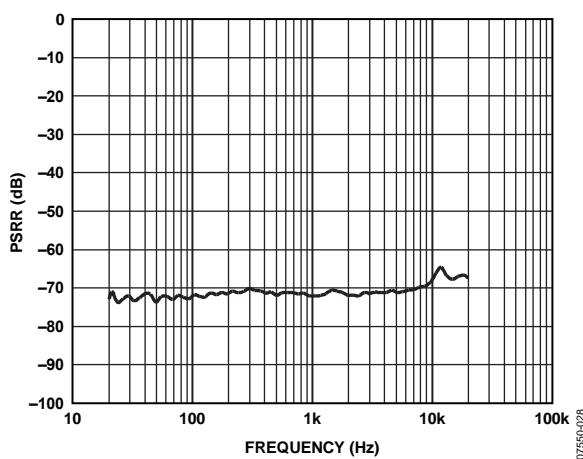


図 28.電源除去比(PSRR)の周波数特性

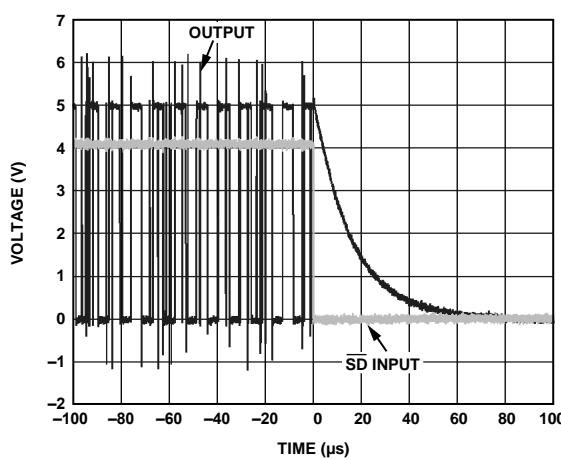


図 31.ターンオフ応答

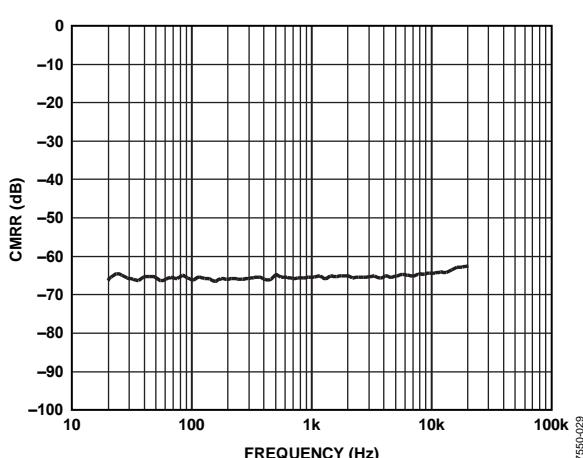
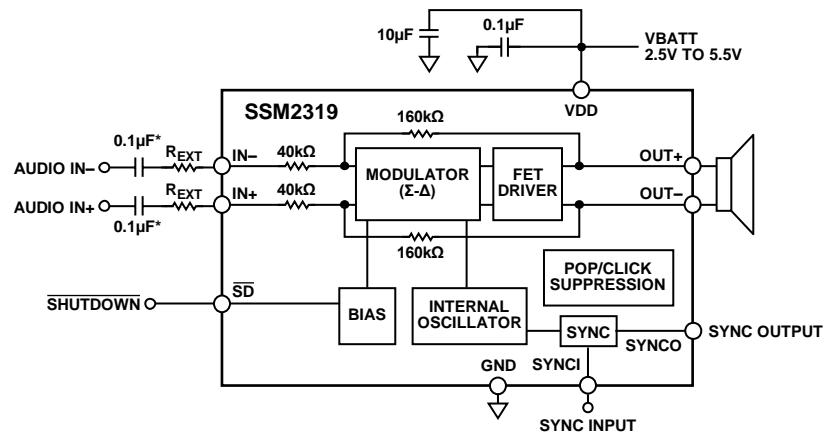


図 29.同相モード除去比(CMRR)の周波数特性

代表的なアプリケーション回路

EXTERNAL GAIN SETTINGS = $160\text{k}\Omega/(40\text{k}\Omega + R_{\text{EXT}})$

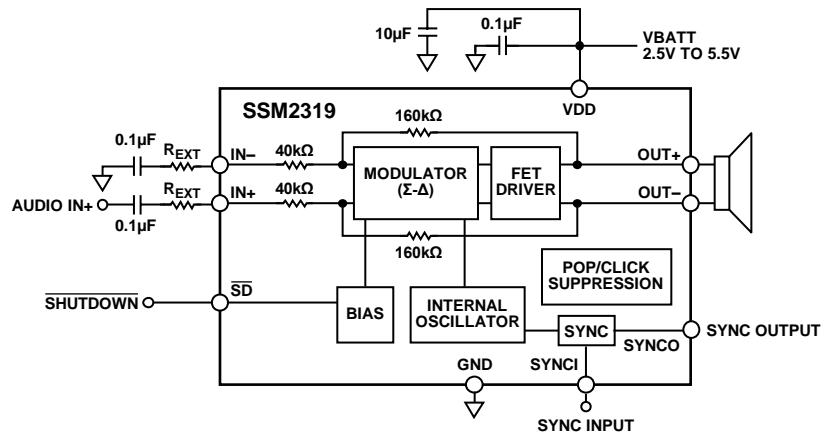


*INPUT CAPACITORS ARE OPTIONAL IF INPUT DC COMMON-MODE VOLTAGE IS APPROXIMATELY $V_{\text{DD}}/2$.

07550-032

図 32. 差動入力構成、ユーザ調整可能ゲイン

EXTERNAL GAIN SETTINGS = $160\text{k}\Omega/(40\text{k}\Omega + R_{\text{EXT}})$



07550-033

図 33. シングルエンド入力構成、ユーザ調整可能ゲイン

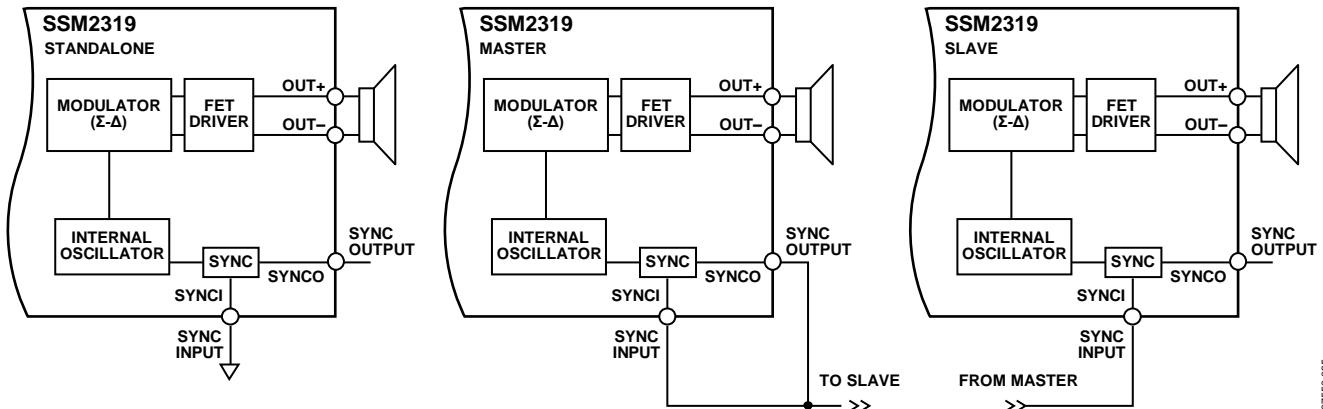


図 34.同期動作モード

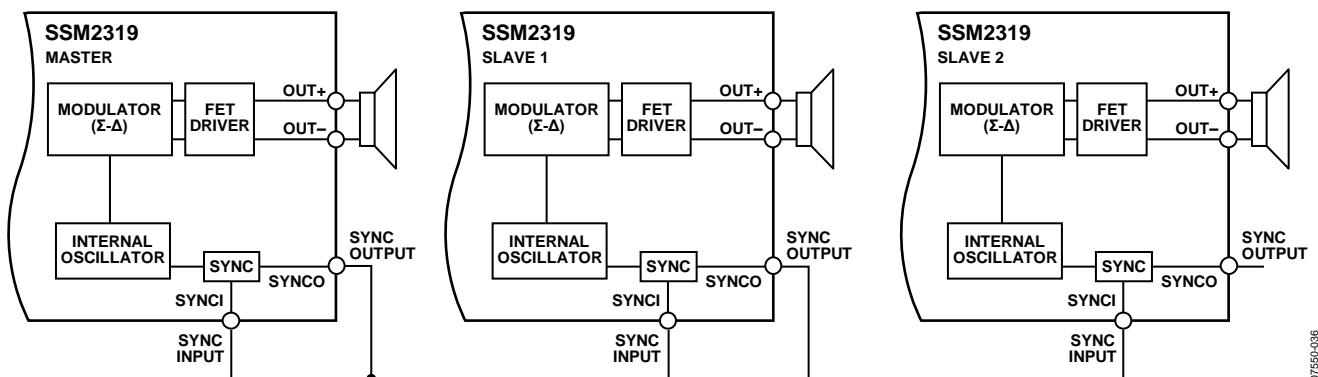


図 35.代表的な SYNC マスター/スレーブ・ディジ털チェイン構成

動作原理

概要

SSM2319 モノ・クラス D オーディオ・アンプはフィルタなしの変調方式を採用しています。この変調方式は、外付け部品数を大幅に削減するため、ボード・スペースを削減してシステム・コストを削減します。SSM2319 には出力フィルタが不要です。その代わり、スピーカ・コイルに固有なインダクタンスを使って、スピーカと聴覚の自然なフィルタ機能により、方形波出力のオーディオ成分を再生します。大部分のクラス D アンプでは、パルス幅変調(PWM)の何らかの派生を使っていますが、SSM2319 では Σ - Δ 変調を使って出力デバイスのスイッチング・パターンを求めていたため、多くの重要な利点が得られています。 Σ - Δ 変調器では、パルス幅変調器で経験するように、AM 周波数帯域内で多くの高調波によるシャープなピークが発生しません。 Σ - Δ 変調では、高周波でスペクトル成分の振幅が小さくなるため、EMI 放出が抑えられます。EMI 放出を抑えないと、スピーカと長いケーブル・パターンから放射されてしまいます。 Σ - Δ 変調には元々スペクトル拡散機能があるため、複数の SSM2319 アンプを使用するデザインでは発振器の同期が不要です。

また、SSM2319 は過電流と温度上昇に対する保護回路も内蔵しています。

ゲイン

SSM2319 のデフォルト・ゲインは 12 dB ですが、次式で計算される外付け抵抗対を使ってゲインを小さくすることができます。

$$\text{外部ゲイン設定} = 160 \text{ k}\Omega / (40 \text{ k}\Omega + R_{\text{EXT}})$$

ポップ・アンド・クリック・ノイズの抑圧

オーディオ・アンプ出力の過渡電圧は、シャットダウン機能をオン/オフする際に発生します。10 mV と過渡電圧が低い場合でも、スピーカからオーディオ・ポップとして聞こえます。クリック・アンド・ポップ・ノイズも、アンプ・システムから発生する不要な可聴過渡電圧として分類されます(すなわち、システム入力信号から到来するノイズではないものとして分類)。このような過渡電圧は、アンプ・システムの動作モードが切り替わるときに発生します。たとえば、可聴過渡電圧源としては、システム・パワーアップ/パワーダウン、ミュート/アンミュート、入力ソース切り替え、サンプル・レート切り替えなどがあります。SSM2319 は、これらの出力過渡電圧を小さくするポップ・アンド・クリック抑圧アーキテクチャを採用しているため、ノイズの発生しないオン/オフが可能になります。

出力変調の説明

SSM2319 では 3 レベルの Σ - Δ 出力変調を採用しています。各出力では、GND~VDD の振幅が可能です。理論的には、入力信号がないときはパルスを発生しないので、出力の差動電圧は 0 V になります。実際には、常にノイズ源が存在します。常にノイズが存在するため、この刺激に応答して差動パルスが発生します。差動パルスが発生すると、小さい電流が誘導性負荷に流れます。

ただし、特許取得済みのアナログ・デバイセズの 3 レベル Σ - Δ 出力変調機能を使うと、大部分の間、出力差動電圧が 0 V になります。この機能は、誘導性負荷を流れる電流を確実に小さくします。

入力信号を与えると、入力電圧に従って出力パルスが発生されます。入力信号レベルを大きくすると、差動パルス密度が大きくなります。図 36 に、入力がある場合とない場合の 3 レベル Σ - Δ 出力変調を示します。

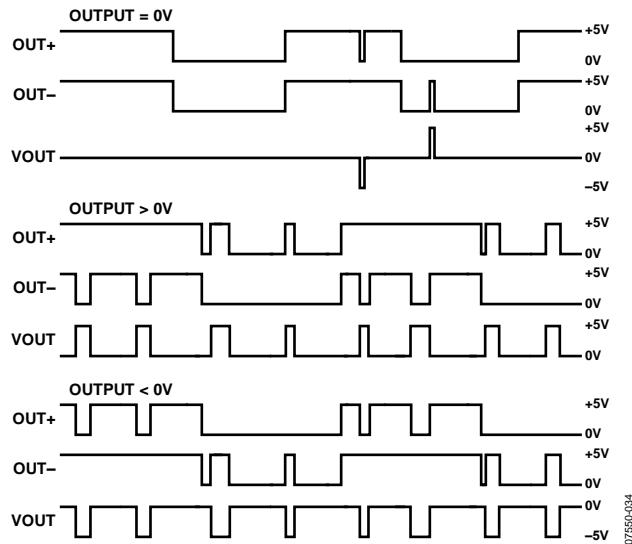


図 36. 入力ありの場合となしの場合の 3 レベル Σ - Δ 出力変調

レイアウト

出力電力が大きくなる場合には、PCB パターンと配線がアンプ、負荷、電源の間に正しく配置されるようにレイアウトには注意が必要です。短く太い PCB パターンを使って、電圧降下とインダクタンスを小さくする必要があります。最小の DCR を得るために、パターン幅はパターン長 1 インチあたり少なくとも 200 ミルにし、さらに 1 オンスまたは 2 オンスの銅 PCB パターンを使うと、IR 電圧降下とインダクタンスを小さくすることができます。レイアウトが正しくないと電圧降下が大きくなるため、効率に影響を与えます。電源入力とアンプ出力に太いパターンを使って、寄生パターン抵抗による損失を小さくしてください。

適切なグラウンド・ガイドラインは、オーディオ性能の向上、チャンネル間クロストークの削減、オーディオ信号に混入するスイッチング・ノイズの防止に役立ちます。大きな出力振幅と大きなピーク出力電力を維持するためには、出力ピンと負荷および電源ピンを接続する PCB パターンは、パターン抵抗を小さくする

ため、できるだけ太くする必要があります。インピーダンスを小さくするため、大きなグラウンド・プレーンを使用することが推奨されます。

さらに、正しい PCB レイアウトにより、クリティカル・アナログ・パスを大きな干渉源から分離してください。高周波回路(アナログとデジタル)は、低周波回路から分離する必要があります。

多層 PCB を正しくデザインすると、EMI 放出を削減し、両面ボードに比べて 10 倍以上も RF 電界に対する耐性を強化することができます。多層ボードを使うと、1 つの層全体をグラウンド・プレーンとして使うことができますが、両面ボードを使うと、グラウンド・プレーン側が信号の交差によりしばしば妨げられます。

システム内でアナログ・グラウンド・プレーン、デジタル・グラウンド・プレーン、電源プレーンが分かれている場合、アナログ・グラウンド・プレーンはアナログ電源プレーンの下に配置する必要があります。同様に、デジタル・グラウンド・プレーンはデジタル電源プレーンの下に配置する必要があります。アナログとデジタルのグラウンド・プレーン間、またはアナログとデジタルの電源プレーン間に、重なる部分が生じないようにする必要があります。

入力コンデンサの選択

入力信号が $1.0 \text{ V} \sim V_{DD} - 1.0 \text{ V}$ にバイアスされる場合、SSM2319 には入力結合コンデンサが不要です。ハイパス・フィルタが必要な場合に、またはシングルエンド・ソースを使用する場合に、入力信号がこの推奨入力 DC 同相モード電圧範囲内にバイアスされないときは、入力コンデンサが必要です。入力にハイパス・フィルタが必要な場合、入力コンデンサと SSM2319 の入力抵抗がハイパス・フィルタを構成して、コーナー周波数は次式で計算されます。

$$f_C = 1/(2\pi \times (40 \text{ k}\Omega + R_{EXT}) \times C_{IN})$$

入力コンデンサは、回路の性能に大きな影響を与えます。入力コンデンサを使用しないと、アンプの出力オフセット性能と PSRR 性能が低下します。

電源デカップリング

高効率、低 THD、高 PSRR を実現するためには、正しい電源デカップリングが必要です。電源ライン上のノイズ過渡電圧は、継続時間の短い電圧スパイクです。実際のスイッチング周波数は 10 kHz~100 kHz の範囲ですが、これらのスパイクは数百 MHz まで広がる周波数成分を含んでいます。電源入力は、優れた品質の低 ESL 低 ESR コンデンサでデカップリングする必要があります。通常は約 4.7 μF を使います。このコンデンサが、低周波ノイズをグラウンド・プレーンへバイパスします。高周波の過渡電圧ノイズに対しては、デバイスの VDD ピンのできるだけ近くに 0.1 μF のコンデンサを接続してください。SSM2319 のできるだけ近くにデカップリング・コンデンサを配置すると、効率性能の維持に役立ちます。

同期(SYNC)動作

SYNC は、外部クロック信号から SSM2319 の変調器を制御させる機能です。SSM2319 は、スタンダロン・モード、マスター・デバイス、またはスレーブ・デバイスとして動作することができます。特許取得済みのアナログ・デバイセズの 3 レベル PDM 変調に元々備わっているランダム・スイッチング周波数の性質により、実質的に SYNC は不要になりますが、近くに存在する複数のアンプ間のクロック相互変調(ビート効果)の問題がある場合には、この SYNC 機能を使用することができます。

SYNC 機能のもう 1 つの用途は、干渉に敏感なアプリケーションで、変調周波数を調節して、高調波干渉を問題のない周波数帯域に移動させることです。

同期周波数は 5 MHz~12 MHz で動作しますが、最適動作範囲は 6 MHz~9 MHz です。

変調器同期機能は、内部シャットダウン信号が解除された後に起動します。SYNCO は、127 のクロック・サイクル遅延で内部発振器クロックをバッファします。

複数の SSM2319 アンプを同期化するときは、図 35 に示すようにデイジーチェイン構成にします。この構成を使うと、複数の SSM2319 の SYNC—SYNC 間切り替えに小さな遅延が発生して、瞬時電流の大きなサージが防止されるため、電源の過負荷が軽減されます。

1 つのデバイスをマスター・デバイスとして設定する場合、SYNC—SYCNI 間の接続は 1 mm 以下にする必要があります。多くのデジタル・システムの場合と同様に、複数のクロック・システムをインターフェースする際に信号インテグリティを維持するため、同期接続のパターンが長い場合、SYNC ピンの近くに直列ダンピング抵抗を接続する必要があります。使用される typ 値は 750 Ω です。直列ダンピング抵抗はできるだけ SYNC ピンの近くに配置する必要があります。1 つのデバイスの YNCO ピンから他のデバイスの SYNCI ピンへの信号パターンを短くするためにレイアウトを注意深く行うと、ダンピング抵抗は不要になります。SYNC 機能を使わない場合、または SYNC 機能が SYNC ピンを外部デバイスへインターフェースさせない場合は、SYNC ピンを解放のままにしておくことが推奨されます。

動作モード

SYNC には次の動作モードがあります。

- 初期 SYNC スタートアップ。内部クロック・サイクル(MCLK)の 1 サイクル後に、内部リファレンス電圧信号 REF が解除されます。REF が解除されると、別の内部信号 MOD が内部クロック・サイクルで 127 サイクル間待ちます。この動作が、SYNCl/SYNC0 接続を調べるトレーニング信号として機能します。この間、SYNC0 は内部クロック信号になっています。
- SYNCl = GND または VDD。SYNC0 はパルスの発生を停止させます。変調器は、内部クロック信号から制御されます(図 37 参照)。

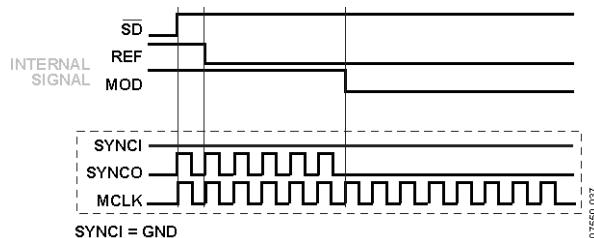


図 37.SYNCl = GND または VDD

- SYNCl = SYNC0。SYNC0 は、SYNCl の遅延されたクロック信号になります(図 38 参照)。

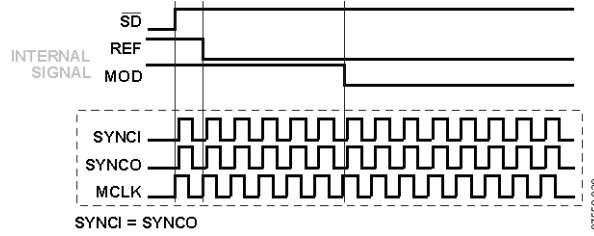


図 38.SYNCl = SYNC0

- SYNCl = 外部クロック。SYNC0 は、外部クロック信号からのバッファされたクロック出力になります。内部変調器検出信号が解除された 1 クロック・サイクル後の、バッファされた最初の出力信号が SYNC0 上で開始される前に、MCLK 上に異常パルスが現れます(図 39 参照)。

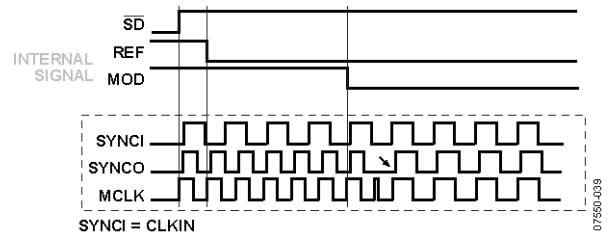


図 39.SYNCl = 外部クロック

- SYNCl = GND、クロックへ切り替え。SYNCl ピンが最初に GND に接続され、次にクロック信号に切り替えられると、SYNC0 は複数の内部クロック信号を発生した後に、最終的に外部クロック信号へ同期化されます(図 40 参照)。

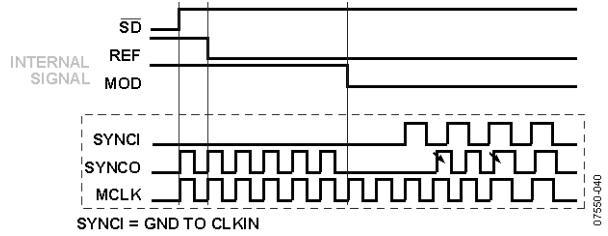


図 40.SYNCl = GND からクロック入力へ切り替え

- SYNCl = CLK、GND へ切り替え。SYNCl がクロック信号に接続され、次に GND に切り替えられると、SYNC0 ピンは直ちにクロック信号の発生を停止します。短いクロック喪失検出時間の経過後、内部変調器は内部クロック信号に同期化されます(図 41 参照)。

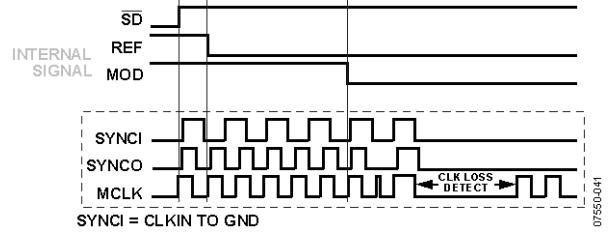
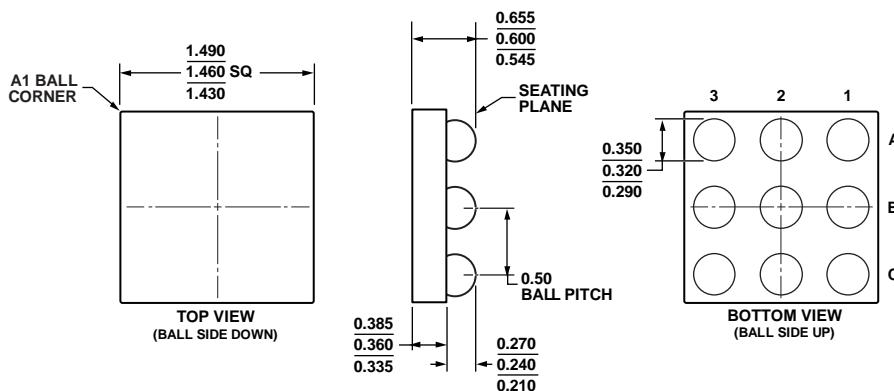


図 41.SYNCl = クロック入力から GND へ切り替え

外形寸法



101507-C

図 42.9 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-9-2)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
SSM2319CBZ-R2 ¹	-40°C to +85°C	9-Ball Wafer Level Chip Scale Package [WLCSP]	CB-9-2
SSM2319CBZ-REEL ¹	-40°C to +85°C	9-Ball Wafer Level Chip Scale Package [WLCSP]	CB-9-2
SSM2319CBZ-REEL7 ¹	-40°C to +85°C	9-Ball Wafer Level Chip Scale Package [WLCSP]	CB-9-2
EVAL-SSM2319Z ¹		Evaluation Board	

¹ Z = RoHS 準拠製品