

特長

トランスと同様の平衡出力
 600 Ω負荷に対して 10 V rms を駆動
 大きい容量性負荷と長いケーブルの駆動時に安定性を維持
 低歪み : 0.006% (typ) 、20 Hz~20 kHz、600 Ω負荷に対する
 10 V RMS の駆動時
 高速スルーレート : 15V/μs (typ)
 低いゲイン誤差 (差動またはシングルエンド) : 0.7% (typ)
 出力短絡保護
 省スペースの 8 ピン・ミニ DIP パッケージで提供
 低価格

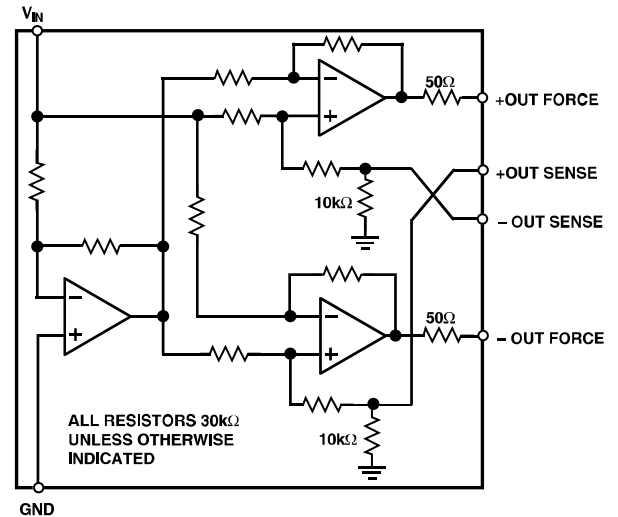
アプリケーション

オーディオ・ミキシング・コンソール
 分配アンプ
 グラフィックおよびパラメトリック・イコライザ
 ダイナミック・レンジ・プロセッサ
 デジタル・エフェクト・プロセッサ
 通信システム
 工業用計装
 ハイファイ装置

概要

SSM2142 は、シングルエンドの入力信号を高い出力駆動の平衡出力信号ペアに変換する集積化された差動出力バッファ・アンプです。SSM2142 は低ノイズの熱的にマッチングされた薄膜抵抗と高速スルーレートのアンプを利用することにより、電源ラインのノイズ、RF 干渉、電圧降下、長いオーディオ・ケーブルを使用する場合によくある外部からのその他のノイズを排除して、オーディオ・システムの音響品質を効果的に維持します。内蔵抵抗のレーザ・トリミングによって、優れた同相ノイズ除去比とオフセット誤差が実現し、高いゲイン精度を達成します。細心の設計による SSM2142 の出力段は、条件が難しい負荷を駆動することができ、特に長いケーブルや 600 Ω という非常に低い負荷にもかかわらず低い歪み性能を発揮し、広い動作条件範囲で安定性を維持します。

機能ブロック図



クロスアップリングの電子的平衡方式をベースとする SSM2142 の性能は、ライン駆動用の完全平衡トランスをベースとするソリューションの性能に匹敵します。ただし、SSM2142 の場合は、トランスよりも歪みが低く、基板面積を大幅に低減するとともに、わずかな部品数でトランスと同レベルの同相ノイズ除去比性能を実現します。

SSM2142 を SSM2141 差動レシーバと組み合わせて使用することによって、長いケーブルでオーディオ信号の駆動や受信を行うための全機能内蔵型の高信頼性ソリューションを構築できます。SSM2141 の入力同相ノイズ除去比は、60 Hz 時に 100 dB です。この代表的なシステムの性能を示す仕様は、本データシートに記載しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. B

仕様

特に指定のない限り、 $V_S = \pm 18V$ 、 $-40^\circ C \leq T_A \leq +85^\circ C$ 、差動モード動作。代表的特性は $T_A = +25^\circ C$ 時の動作に適用されます。

Parameter	Symbol	Conditions	Min	Typ	Max	Units
INPUT IMPEDANCE	Z_{IN}			10		k Ω
INPUT CURRENT	I_{IN}	$V_{IN} = \pm 7.071 V$		± 750	± 900	μA
GAIN, DIFFERENTIAL			5.8	5.98		dB
GAIN, SINGLE-ENDED		Single-Ended Mode	5.7	5.94		dB
GAIN ERROR, DIFFERENTIAL		$R_L = 600 \Omega$		0.7	2	%
POWER SUPPLY REJECTION RATIO STATIC	PSRR	$V_S = \pm 13 V$ to $\pm 18 V$	60	80		dB
OUTPUT COMMON-MODE REJECTION	OCMR	See Test Circuit; $f = 1 kHz$	-38	-45		dB
OUTPUT SIGNAL BALANCE RATIO	SBR	See Test Circuit; $f = 1 kHz$	-35	-40		dB
TOTAL HARMONIC DISTORTION Plus Noise	THD+N	20 Hz to 20 kHz, $V_O = 10 V rms, R_L = 600 \Omega$		0.006		%
SIGNAL-TO-NOISE RATIO	SNR	$V_{IN} = 0 V$		-93.4		dBu
HEADROOM	HR	CLIP Level = 10.5 V rms		+93.4		dBu
SLEW RATE	SR			15		V/ μs
OUTPUT COMMON-MODE VOLTAGE OFFSET ¹	V_{OOS}	$R_L = 600 \Omega$	-250	25	250	mV
DIFFERENTIAL OUTPUT VOLTAGE OFFSET	V_{OOD}	$R_L = 600 \Omega$	-50	15	50	mV
DIFFERENTIAL OUTPUT VOLTAGE SWING		$V_{IN} = \pm 7.071 V$	± 13.8	± 14.14		V
OUTPUT IMPEDANCE	Z_O		45	50	55	Ω
SUPPLY CURRENT	I_{SY}	Unloaded, $V_{IN} = 0 V$		5.5	7.0	mA
OUTPUT CURRENT, SHORT CIRCUIT	I_{SC}		60	70		mA

注

¹ DC ブロッキング・コンデンサをセンス・ラインに挿入することにより、出力同相オフセット電圧を除去できます。「アプリケーション情報」を参照してください。

仕様は予告なしに変更することがあります。

絶対最大定格*

Supply Voltage	$\pm 18 V$
Storage Temperature	$-60^\circ C$ to $+150^\circ C$
Lead Temperature (Soldering, 60 sec).....	$+300^\circ C$
Junction Temperature	$+150^\circ C$
Operating Temperature Range.....	$-40^\circ C$ to $+85^\circ C$
Output Short Circuit Duration (Both Outputs).....	Indefinite

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

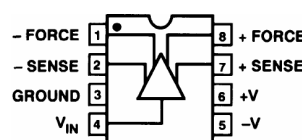
オーダー・ガイド

Model	Operating Temperature Range	Package Description	Package Option
SSM2142P	$-40^\circ C$ to $+85^\circ C$	Plastic DIP	N-8
SSM2142S*	$-40^\circ C$ to $+85^\circ C$	SOL	R-16

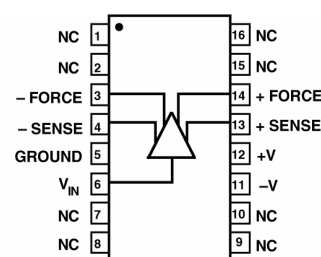
* SOIC パッケージについてはお問い合わせください。

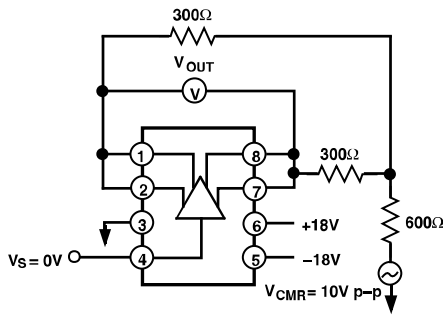
ピン接続

8 ピン・プラスチック DIP
(P サフィックス)



16 ピン・ワイドボディ SOL
(S サフィックス)





$$OCMR = 20 \text{ LOG } \frac{\Delta V_{OUT}}{V_{CMR}}$$

図 1. 出力 CMR 試験回路

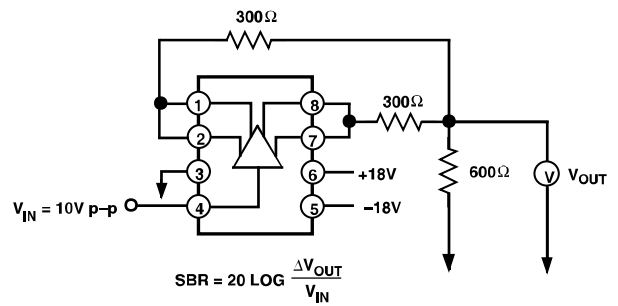


図 2. 信号平衡比 (BBC 方式) 試験回路

代表的な性能特性

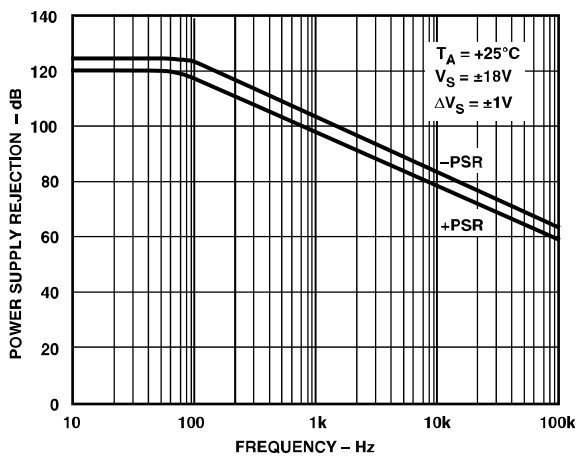


図 3. 周波数 対 電源変動除去比

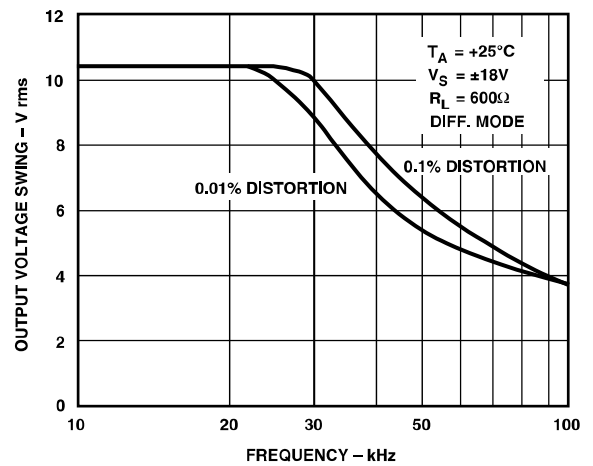


図 4. 周波数 対 最大出力電圧振幅

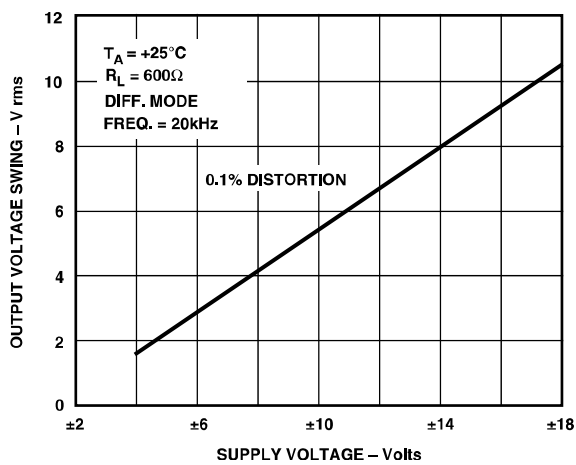


図 5. 電源電圧 対 出力電圧振幅

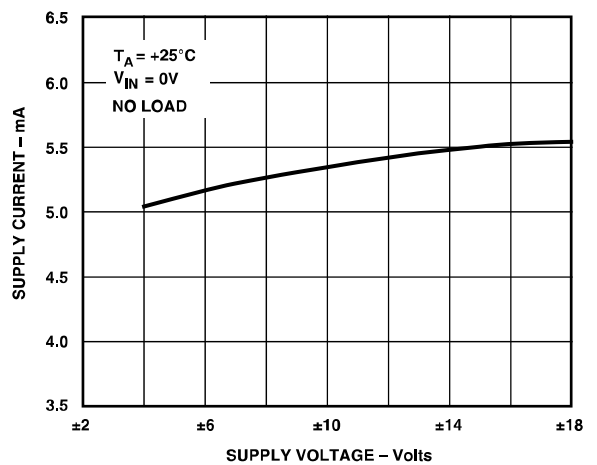
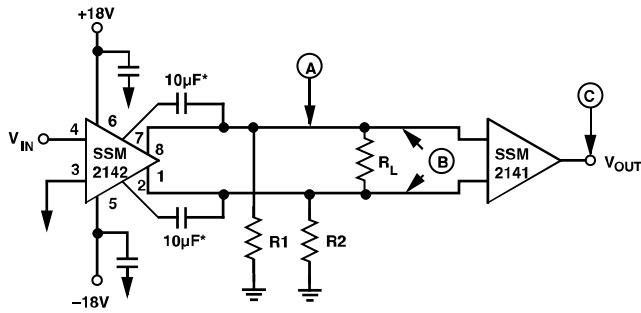


図 6. 電源電圧 対 電源電流

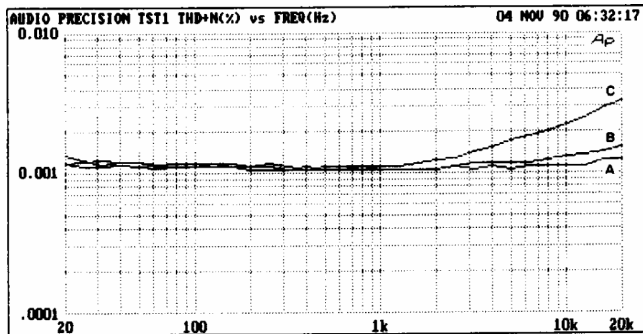
THD 性能

以下のデータは、オーディオ・プレジジョン・システム・ワンの内部 80 kHz ノイズ・フィルタを用いた THD 試験回路から得ており、SSM2142/SSM2141 チップ・セットによる平衡ペア・システムの標準的な性能を示しています。差動およびシングルエンド・モードの両方について、さまざまな応用をシミュレートする出力負荷条件下での動作を示しています。AC ノイズ除去性能を最適化する目的で、DC ケーブル・オフセットを除去する外部直列フィードバック・コンデンサを用いた場合も、システム性能は悪影響を受けません。システムに対する 100 kHz 方形波入力を使った大信号過渡応答も図示しており、負荷条件下における SSM2142 の安定性を示しています。



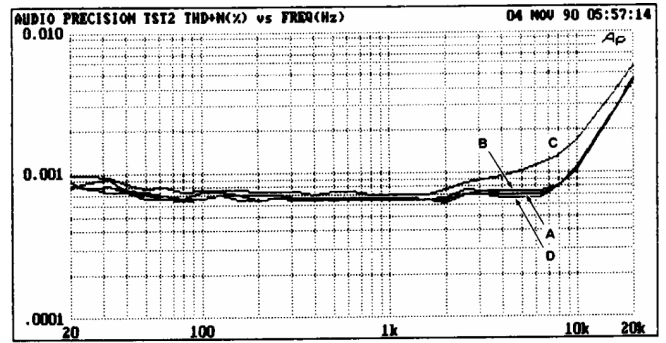
*USED ONLY IN THD PLOTS AS NOTED.
ALL CABLE MEASUREMENTS USE BELDEN 8451 CABLE.

図 7. THD 試験回路



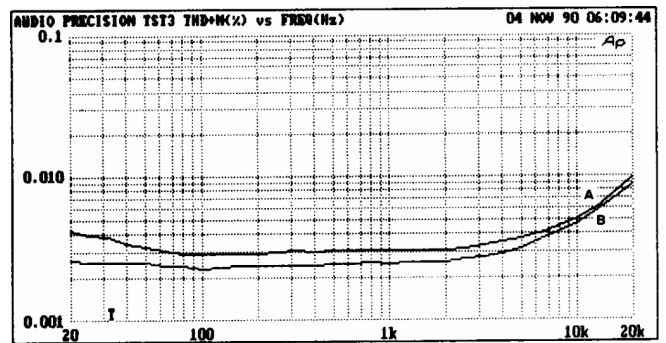
$V_O = 10\text{ V rms, NO CABLE}$
A: $R_1 = R_2 = R_L = \infty$
B: $R_1 = R_2 = 600\ \Omega, R_L = \infty$
C: $R_1 = R_2 = \infty, R_L = 600\ \Omega$

図 8. B 点での周波数 対 THD+N (差動モード)



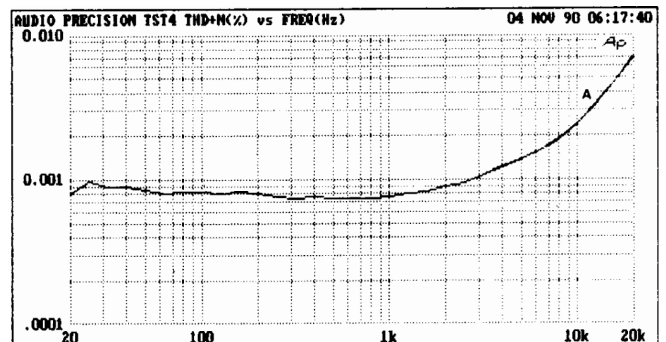
$V_O = 10\text{ V rms, WITH 500 FEET CABLE}$
A: $R_1 = R_2 = R_L = \infty$
B: $R_1 = R_2 = 600\ \Omega, R_L = \infty$
C: $R_1 = R_2 = \infty, R_L = 600\ \Omega$
D: $R_1 = R_2 = R_L = \infty, \text{ WITH SERIES FEEDBACK CAPACITORS}$

図 9. B 点での周波数 対 THD+N (差動モード)



$V_O = 10\text{ V rms, } R_2 = 0\ \Omega, R_L = \infty$
A: $R_1 = 600\ \Omega, \text{ WITH 250 FEET CABLE}$
B: $R_1 = \infty, \text{ NO CABLE}$

図 10. A 点での周波数 対 THD+N (シングルエンド)



$V_O = 10\text{ V rms, NO CABLE}$
A: $R_1 = R_2 = \infty, R_L = 600\ \Omega$

図 11. C 点での周波数 対 THD+N (SSM2141 出力)

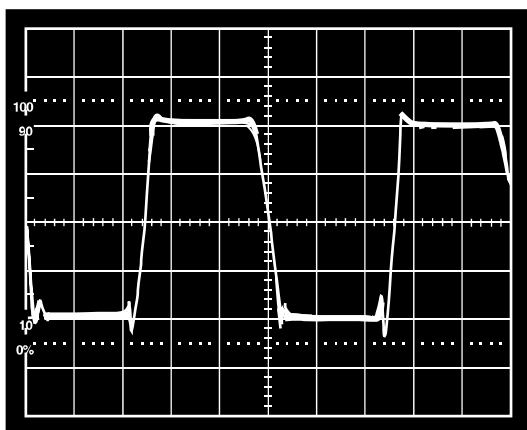


図 12. B 点における 100 kHz 方形波 (差動モード)
 $V_o = 10 \text{ V rms}$, $R_1 = R_2 = \infty$, $R_L = 600 \Omega$

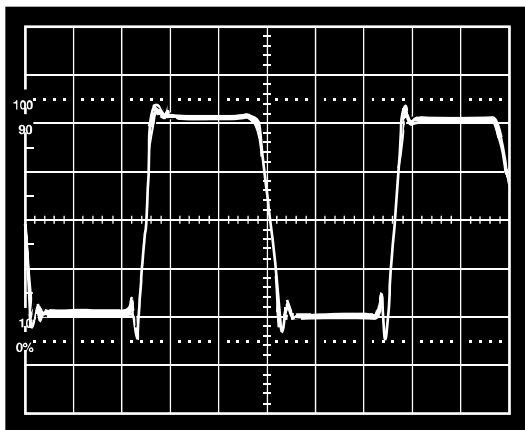


図 13. B 点における 100 kHz 方形波 (差動モード)
 $V_o = 10 \text{ V rms}$, $R_1 = R_2 = \infty$, $R_L = 600 \Omega$,
 直列フィードバック・コンデンサ付き

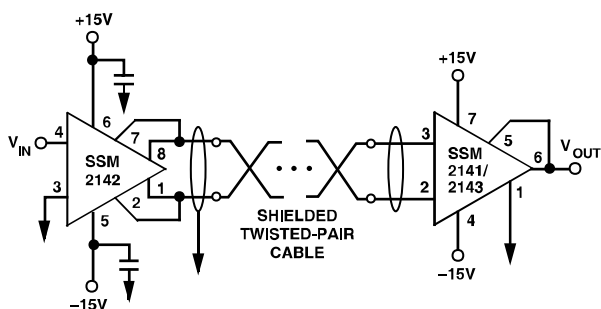


図 14. SSM2142 と SSM2141/SSM2143 を用いた代表的応用

アプリケーション情報

SSM2142 は、平衡ライン駆動システムにおいて優れた同相除去比、高い出力駆動能力、低信号歪みおよびノイズ性能を実現します。差動出力段は、2 つのクロスカプリングされたユニティ・ゲイン・バッファ・アンプとオンチップ 50Ω 直列ダンピング抵抗から構成されています。出力バッファ・ペアのインピーダンスは製造工程でのレーザ・トリミングによって高精度にバランスがとれています。これによって、優れた同相ノイズ除去性能を得るために必要な高いゲイン精度と、ケーブル・ペ

アに共通するオフセット誤差電圧と差動入力信号間の優れたセパレーションを実現しています。試験回路に示すように、最適なシステム性能を得るためには、受信側に SSM2141 または SSM2143 などの適度にバランスがとれ、高い入力インピーダンスをもつ差動アンプを用いてください。全体的なシステム・ゲインをユニティに保つため、SSM2142 のゲインは 6 dB、SSM2143 レシーバの出力ゲインは 1/2 に設定されています。

ケーブルに大きな DC オフセットがある場合や差動オフセット誤差源を除去することによって最適な除去性能を保証する場合、SSM2142 のセンス出力に DC ブロック・コンデンサを接続できます。試験回路に示すように、これらの部品のインピーダンスは $10 \mu\text{F NP}$ など (あるいは、オフセットの極性が既知の場合にはタンタル) を用いてできる限り低くし、低周波誤差を最小に抑えます。

システム・グラウンドの留意事項

グラウンド電流や電源の変動その他の要因によって、信号ケーブルの終端での回路グラウンド電位は必ずしも等しくはありません。平衡ペア・ラインを用いる第 1 の目的は、一般的に「縦誤差」と呼ばれるこの電位差の影響を除去することにあります。縦誤差電圧を除去する能力を示す尺度が出力同相除去比です。SSM2142 の最適な OCMR およびノイズ除去性能を得るためには、以下の注意に従ってください。

1. 差動出力の質はデバイスへの入力電圧の精度に直接的に依存します。システム性能を維持するため、信号源のインピーダンスに対して発生する入力電圧誤差は除去する必要があります。SSM2142 の入力にはオペアンプまたは低ソース・インピーダンス、低ノイズのバッファによって直接駆動してください。
2. グラウンド入力はシングルエンド入力のソース・コモンにできるだけ近付けてください。ソース回路に現われるグラウンド・オフセット誤差もまたシステム性能を劣化させます。
3. SSM2142 は、各電源ピンのできるだけ近くで $0.1 \mu\text{F}$ バイパス・コンデンサによって十分にデカップリングしてください。
4. SSM2142 の出力と直列に受動回路は接続しないでください。ライン・ペアにおける反応の差は、大きな不平衡の原因となり、デバイスのゲイン誤差に影響します。非常に長いケーブルで信号を駆動する場合であっても、SSM2142 によるシステムの安定性を維持するためのスナッパ・ネットワークや直列負荷抵抗は不要です。
5. 信号ペア・ケーブルの配線においては、物理的なバランスを保つように心がけてください。ケーブルの経路や長さの違いによる容量差が生じると、ペアが拾うノイズに差異が生じ、システムの OCMR が劣化します。すべての応用においては、シールド付きツイストペア・ケーブルが最適です。シールドは信号の導体としないてください。シールドは一方の端で出力コモン近くのグラウンドに接続し、ノイズのカップリングと縦誤差が増加する原因となる、シールドを流れるグラウンド・ループ電流を除去してください。

ケーブル・ペア

SSM2142 は 600 Ω の負荷に対して 10 V rms の信号を駆動する能力をもち、平衡またはシングルエンド構成のいずれでも 0.16 μ F までのケーブル容量に対して安定です。標準の Belden 8451 または同等品などの低インピーダンス・シールド付きオーディオ・ケーブルが、特に長距離伝送の必要な応用に適しています。「オーディオ・ファイル」と呼ばれるケーブルの場合、標準的な産業用グレードの製品に対して、単位長あたりの容量が 4 倍であることに注意してください。負荷と距離の一方あるいは両方が非常に大きい場合、並列に第 2 のケーブルを追加することによって、ラインの全抵抗を 1/2 にするか全容量性負荷を倍にするかのトレードオフが可能です。

シングルエンド動作

SSM2142 は既存の平衡ペア・インタフェース・システムとコンパチブルに設計されています。トランスを用いた回路と同様に、出力ペアは同じ大きさですが、逆方向の電流を発生します。この電流は必要に応じてグラウンド基準とすることが可能で、1本の伝送線で送信できます。シングルエンド動作では、出力ペアのうち未使用の側を固定の帰還路に接地し、入力コモンに近い電圧オフセット誤差の発生を避けます。このようなシステムでの信号の質は伝送線の両終端におけるグラウンドの質に依存します。シングルエンド動作であってもデバイスのゲインは 6 dB で、SSM2142 の信号歪みや出力駆動能力は大幅には劣化しません。ただし、平衡ペア・システムに固有のノイズ除去能力は失われることに注意してください。

電源投入の順序

インタフェース・システムで時として起こる問題に、不規則な電源投入があります。不規則な電源投入を行うと、回路中のバイアス部がラッチアップ状態に陥ることがあります。集積回路は、オーバシュートとして示される電源ラインにおける立上り時間の短いスパイクにより、容易に異常状態となり、損傷を受けます。電源投入下における部品やボードの交換によっても、このような望ましくないシーケンスが起こり得ます。改善されたボード・レベルでのデバイス保護の方法として以下の事項が可能です。

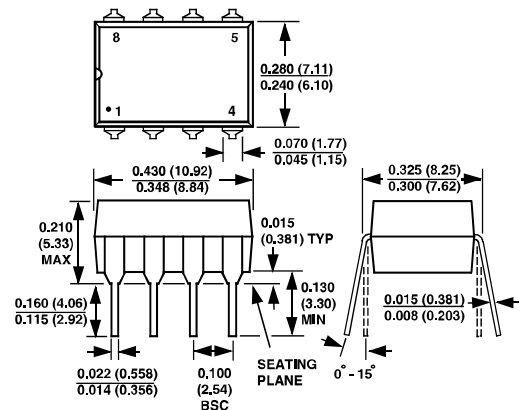
- バイパス・コンデンサの追加
- 両電源とグラウンド間に高電流逆バイアス・ステアリング・ダイオードを接続
- 種々の過度サージ抑制デバイスの接続
- 安全なグラウンド接続

同様に、SSM2142 の出力デバイスをオンにするために十分な振幅の電圧をもち、デバイスに損傷を与える可能性のある導電中のシステムに出力を接続する前に、デバイスに電源を投入してください。そして、仕様を示す絶対最大定格は常に守ってください。

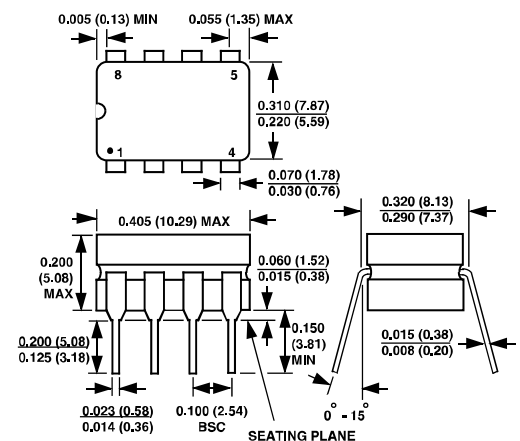
外形寸法

寸法単位：インチ (mm)

8 ピン・プラスチック DIP



8 ピン・セラミック DIP



16 ピン・スモール・アウトライン (SOIC)

