

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2010年4月26日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2010年4月26日

OP97 データシート

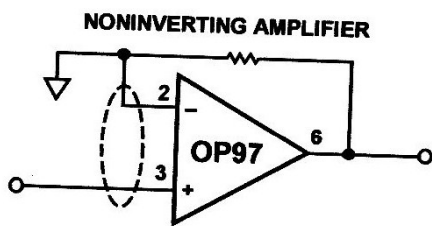
訂正箇所：

P.13 下

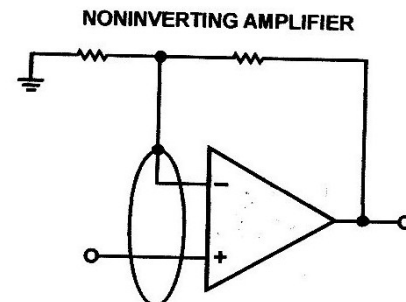
Figure 37

NONINVERTING AMPLIFIER の回路が間違っています。正しい回路は右の回路です。

誤



正



### 特長

低電源電流: 600  $\mu\text{A}$  max

OP07 タイプオペアンプの性能

入力オフセット電圧: 20  $\mu\text{V}$  max

オフセット電圧ドリフト: 0.6  $\mu\text{V}/^\circ\text{C}$  max

超低入力バイアス電流

25 $^\circ\text{C}$ : 100 pA max

-55 $^\circ\text{C}$  to +125 $^\circ\text{C}$ : 250 pA max

高同相電圧除去比: 114 dB min

拡張工業温度範囲: -40 $^\circ\text{C}$  to +85 $^\circ\text{C}$

### ピン配置

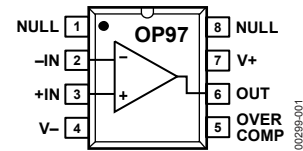


図 1. 8 ピン PDIP (P Suffix)  
8 ピン SOIC (S Suffix)

### 概要

OP97 は産業界の標準になつてゐる高精度オペアンプ OP07 の低消費電流相当品です。OP97 は OP07 の標準的な特性を維持しながら、消費電流がわずかに 600  $\mu\text{A}$  で、OP07 の消費電流の 1/6 以下となつてゐます。入力オフセット電圧は 25  $\mu\text{V}$  と極小で、温度ドリフトも 0.6  $\mu\text{V}/^\circ\text{C}$  以下です。従つてほとんどの回路で外付けオフセット調整は必要ありません。

さらにいくつかの性能について OP07 より改善されています。顕著な特性は入力バイアス電流で、全軍用温度範囲で 250 pA 以下となつてゐます。OP97 は高温動作が要求される高精度長時間積分回路あるいはサンプル・ホールド回路に最適です。

又 OP97 は同相電圧除去や電源電圧除去も改善されており、OP07 より広範囲の同相電圧、電源電圧で両方とも 114 dB min です。優れた PSR (電源電圧除去)、広い動作電源範囲 ( $\pm 2.25\text{ V}$  to  $\pm 20\text{ V}$ )、最小の消費電力の組み合わせにより OP97 は携帯用、バッテリー駆動計測器に最適のオペアンプとなつてゐます。

OP97 は OP07 と同じピン接続です。オフセット調整用ポテンショメータは Pin1 と Pin8 の間に接続され、ワイパ (摺動子) は V+ に接続します。

AD725, OP05, OP07, OP12, PM1012 などのタイプのオペアンプの代わりに OP97 を使用すればその回路の性能が向上します。回路に使用されてゐる 741 タイプのオペアンプをオフセット調整なし、あるいはオフセット調整回路を外して OP97 に置き換へることができる可能性があります。

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2005 Analog Devices, Inc. All rights reserved.

Rev. E

## 目次

特長.....	1	ESD の注意.....	5
ピン配置.....	1	標準的な性能特性.....	6
概要.....	1	アプリケーション情報.....	11
改訂履歴.....	2	AC 性能.....	12
仕様.....	3	ガード・リングとシールド.....	13
電気的特性.....	3	外形寸法.....	15
絶対最大定格.....	5	オーダー・ガイド.....	16
熱抵抗.....	5		

## 改訂履歴

### 3/09—Rev. F to Rev. G

Changes to Figure 20 and Figure 23.....	9
Changes to Figure 26 and Figure 27.....	10
Updated Outline Dimensions.....	15
Changes to Ordering Guide.....	16

### 11/07—Rev. E to Rev. F

Updated Format.....	Universal
Changes to Ordering Guide.....	16

### 07/03—Rev. D to Rev. E

Deleted H-08A.....	Universal
Deleted Q-8.....	Universal
Deleted E-20A.....	Universal
Deleted Die Characteristics.....	4
Deleted Wafer Test Limits.....	4
Updated TPC 14.....	5
Updated Outline Dimensions.....	10

### 01/02—Rev. C to Rev. D

Edits to Absolute Maximum Ratings.....	3
Edits to Ordering Guide.....	3
Deleted DICE Characteristics.....	3
Deleted Wafer Test Limits.....	3
Edits to Applications Information.....	7

## 仕様

## 電気的特性

特に指定のない限り  $V_S = \pm 15\text{ V}$ ,  $V_{CM} = 0\text{ V}$ ,  $T_A = 25^\circ\text{C}$

表 1.

Parameter	Symbol	Conditions	OP97E			OP97F			Unit
			Min	Typ	Max	Min	Typ	Max	
INPUT CHARACTERISTICS									
Input Offset Voltage	$V_{OS}$			10	25		30	75	$\mu\text{V}$
Long-Term Offset Voltage Stability	$\Delta V_{OS}/\text{Time}$			0.3			0.3		$\mu\text{V}/\text{month}$
Input Offset Current	$I_{OS}$			30	100		30	150	$\text{pA}$
Input Bias Current	$I_B$			$\pm 30$	$\pm 100$		$\pm 30$	$\pm 150$	$\text{pA}$
Input Noise Voltage	$e_n$ p-p	0.1 Hz to 10 Hz		0.5			0.5		$\mu\text{V p-p}$
Input Noise Voltage Density	$e_n$	$f_0 = 10\text{ Hz}^1$		17	30		17	30	$\text{nV}/\sqrt{\text{Hz}}$
		$f_0 = 1000\text{ Hz}^2$		14	22		14	22	$\text{nV}/\sqrt{\text{Hz}}$
Input Noise Current Density	$i_n$	$f_0 = 10\text{ Hz}$		20			20		$\text{fA}/\sqrt{\text{Hz}}$
Large Signal Voltage Gain	$A_{VO}$	$V_O = \pm 10\text{ V}$ ; $R_L = 2\text{ k}\Omega$	300	2000		200	2000		$\text{V}/\text{mV}$
Common-Mode Rejection	CMR	$V_{CM} = \pm 13.5\text{ V}$	114	132		110	132		$\text{dB}$
Input Voltage Range <sup>3</sup>	IVR		$\pm 13.5$	$\pm 14.0$		$\pm 13.5$	$\pm 14.0$		$\text{V}$
OUTPUT CHARACTERISTICS									
Output Voltage Swing	$V_O$	$R_L = 10\text{ k}\Omega$	$\pm 13$	$\pm 14$		$\pm 13$	$\pm 14$		$\text{V}$
Differential Input Resistance <sup>4</sup>	$R_{IN}$		30			30			$\text{M}\Omega$
POWER SUPPLY									
Power Supply Rejection	PSR	$V_S = \pm 2\text{ V to } \pm 20\text{ V}$	114	132		110	132		$\text{dB}$
Supply Current	$I_{SY}$			380	600		380	600	$\mu\text{A}$
Supply Voltage	$V_S$	Operating range	$\pm 2$	$\pm 15$	$\pm 20$	$\pm 2$	$\pm 15$	$\pm 20$	$\text{V}$
DYNAMIC PERFORMANCE									
Slew Rate	SR		0.1	0.2		0.1	0.2		$\text{V}/\mu\text{s}$
Closed-Loop Bandwidth	BW	$A_{VCL} = 1$	0.4	0.9		0.4	0.9		$\text{MHz}$

<sup>1</sup> 10 Hz ノイズ電圧密度はサンプルテストです。ご要望に応じてノイズについて 100%テストした製品も供給可能です。

<sup>2</sup> サンプルテストです。

<sup>3</sup> CMR テストにて保証されています。

<sup>4</sup> 設計保証です。

特に指定がない限り  $V_S = \pm 15\text{ V}$ ,  $V_{CM} = 0\text{ V}$ ,  $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$  for the OP97E/OP97F

表 2.

Parameter	Symbol	Conditions	OP97E			OP97F			Unit
			Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$V_{OS}$			25	60		60	200	$\mu\text{V}$
Average Temperature	$TCV_{OS}$	S suffix		0.2	0.6		0.3	2.0	$\mu\text{V}/^\circ\text{C}$
Coefficient of $V_{OS}$							0.3		
Input Offset Current	$I_{OS}$			60	250		80	750	$\mu\text{A}$
Average Temperature	$TCI_{OS}$			0.4	2.5		0.6	7.5	$\mu\text{A}/^\circ\text{C}$
Coefficient of $I_{OS}$									
Input Bias Current	$I_B$			$\pm 60$	$\pm 250$		$\pm 80$	$\pm 750$	$\mu\text{A}$
Average Temperature									
Coefficient of $I_B$	$TCI_B$			0.4	2.5		0.6	7.5	$\mu\text{A}/^\circ\text{C}$
Large Signal Voltage Gain	$A_{VO}$	$V_O = 10\text{ V}$ ; $R_L = 2\text{ k}\Omega$	200	1000		150	1000		$\text{V}/\text{mV}$
Common-Mode Rejection	CMR	$V_{CM} = \pm 13.5\text{ V}$	108	128		108	128		$\text{dB}$
Power Supply Rejection	PSR	$V_S = \pm 2.5\text{ V}$ to $\pm 20\text{ V}$	108	126		108	128		$\text{dB}$
Input Voltage Range <sup>1</sup>	IVR		$\pm 13.5$	$\pm 14.0$		$\pm 13.5$	$\pm 14.0$		$\text{V}$
Output Voltage Swing	$V_O$	$R_L = 10\text{ k}\Omega$	$\pm 13$	$\pm 14$		$\pm 13$	$\pm 14$		$\text{V}$
Slew Rate	SR		0.05	0.15		0.05	0.15		$\text{V}/\mu\text{s}$
Supply Current	$I_{SY}$			400	800		400	800	$\mu\text{A}$
Supply Voltage	$V_S$	Operating range	$\pm 2.5$	$\pm 15$	$\pm 20$	$\pm 2.5$	$\pm 15$	$\pm 20$	$\text{V}$

<sup>1</sup> CMR テストによって保証されています。

## 絶対最大定格

特に指定のない限り、絶対最大定格はダイスとパッケージの両方に適用されます。

表 3.

Parameter	Rating
Supply Voltage	±20 V
Input Voltage <sup>1</sup>	±20 V
Differential Input Voltage <sup>2</sup>	±1 V
Differential Input Current <sup>2</sup>	±10 mA
Output Short-Circuit Duration	Indefinite
Operating Temperature Range OP97E, OP97F (P, S)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

<sup>1</sup>±20V 以下の電源電圧では、絶対最大入力電圧は電源電圧に等しい。

<sup>2</sup> OP97 の入力には back-to-back ダイオードで保護されています。低ノイズを実現するため内部で電流制限抵抗は接続されていません。従って 1V 以上の差動入力電圧が加わると外付け電流制限抵抗が接続されていない限り、入力保護ダイオードを通して過大な電流が流れます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。この定格はストレスについてのみを規定するものです；デバイスの動作機能についてはこの定格あるいはこの仕様の動作部分に記載する規定値以上のいかなる条件についても定めたものではありません。デバイスを長時間絶対最大定格の状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定、すなわち表面実装型パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

Table 4.

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$	Unit
8-Lead PDIP (P Suffix)	103	43	°C/W
8-Lead SOIC (S Suffix)	158	43	°C/W

<sup>1</sup> $\theta_{JA}$  はワーストケース条件で規定；すなわち PDIP パッケージの場合、デバイスをソケットに装着した状態で  $\theta_{JA}$  を規定；SOIC パッケージの場合、デバイスを回路ボードにハンダ付けした状態で  $\theta_{JA}$  を規定。

## ESD の注意



**ESD（静電放電）の影響を受けやすいデバイスです。**  
充電したデバイスや回路基板が検知されないまま放電する事があります。本製品は当社独自の ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

# 標準的な性能特性

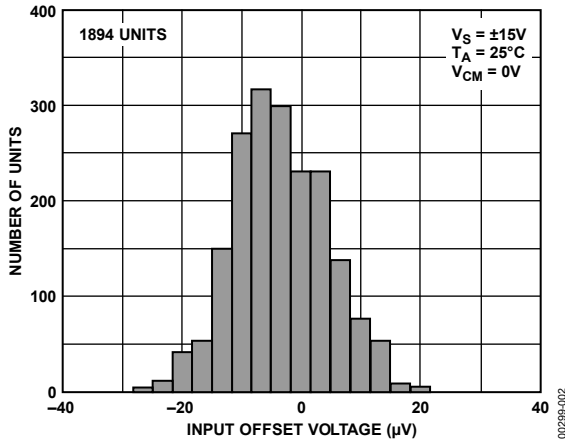


図 2. 入力オフセット電圧の分布

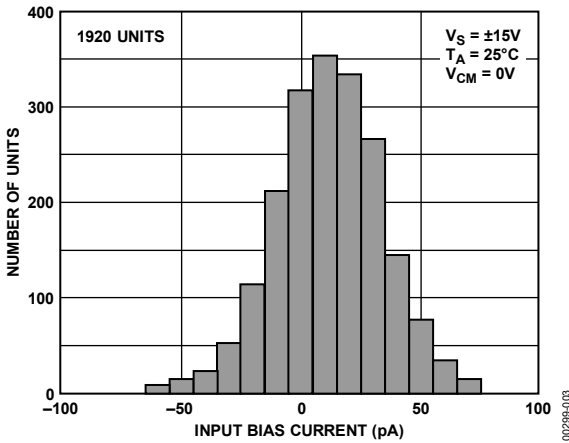


図 3. 入力バイアス電流の分布

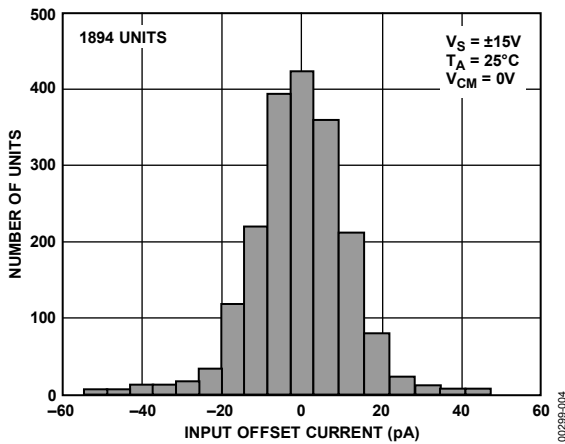


図 4. 入力オフセット電流の分布

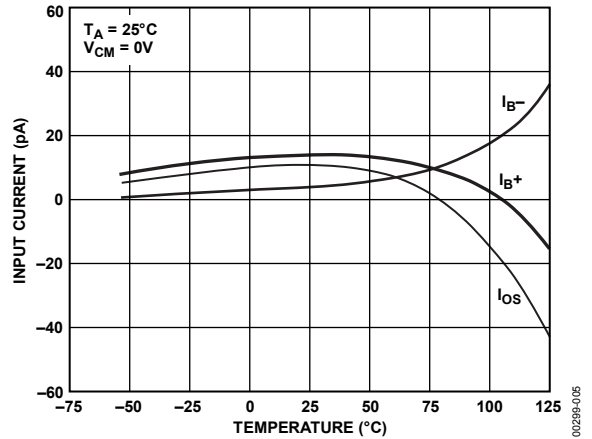


図 5. 入力バイアス、オフセット電流 対 温度

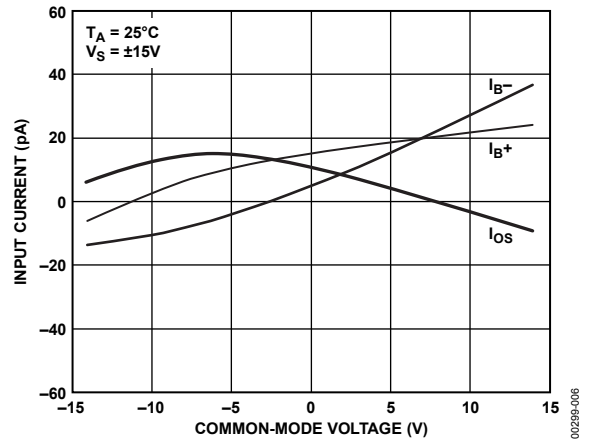


図 6. 入力バイアス、オフセット電流 対 同相電圧

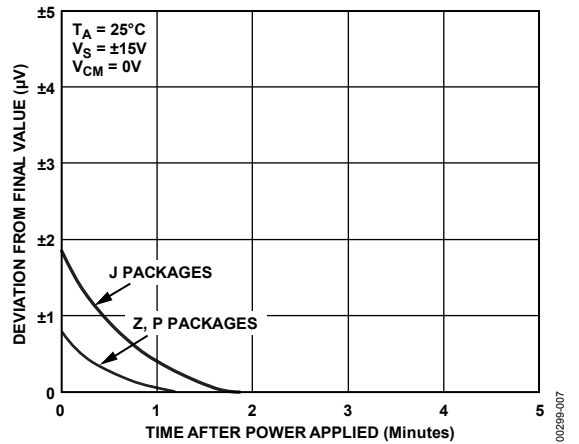


図 7. 入力オフセット電圧ウォーミングアップ・ドリフト

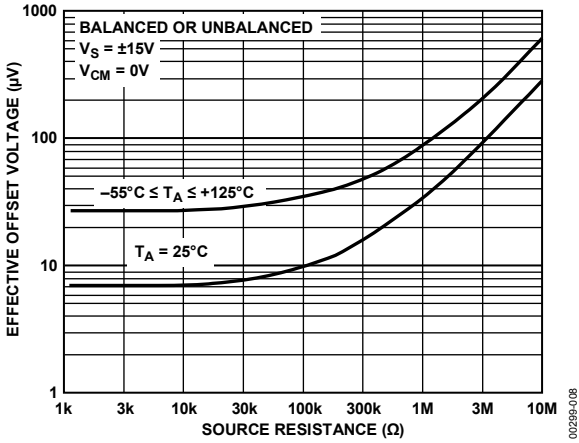


図 8. 実行オフセット電圧 対 ソース抵抗

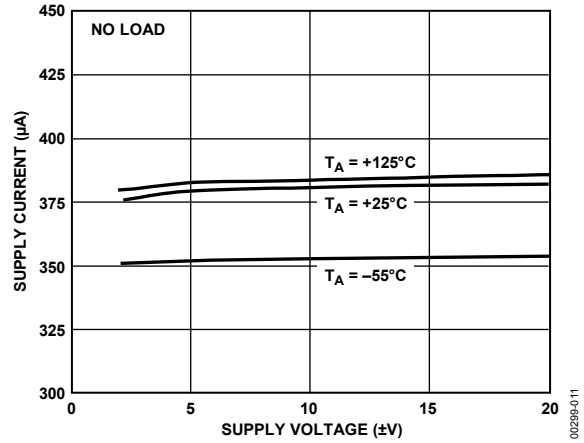


図 11. 電源電流 対 電源電圧

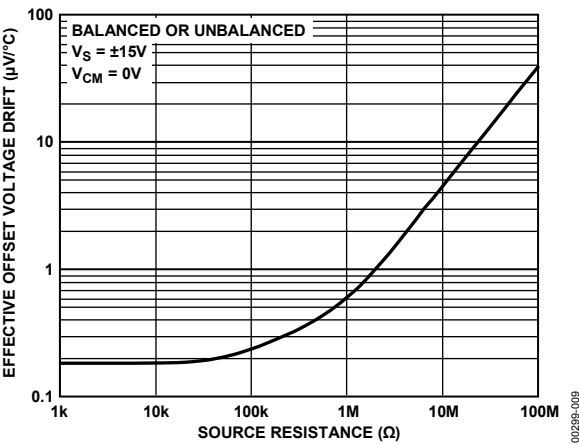


図 9. 実行 TC<sub>VOs</sub> 対 ソース抵抗

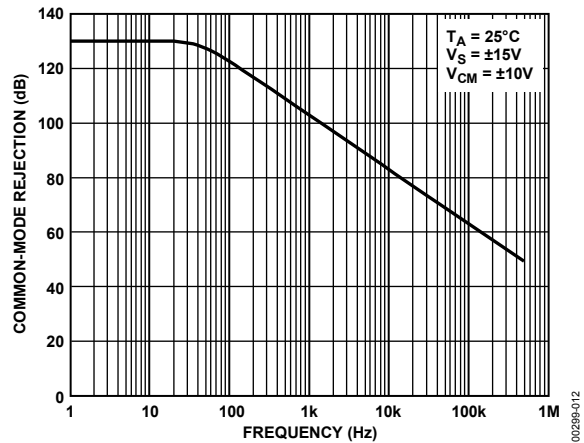


図 12. 同相電圧除去 対 周波数

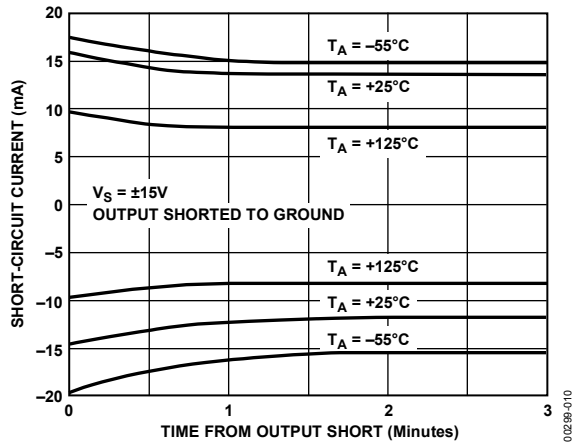


図 10. 短絡電流 対 時間、温度

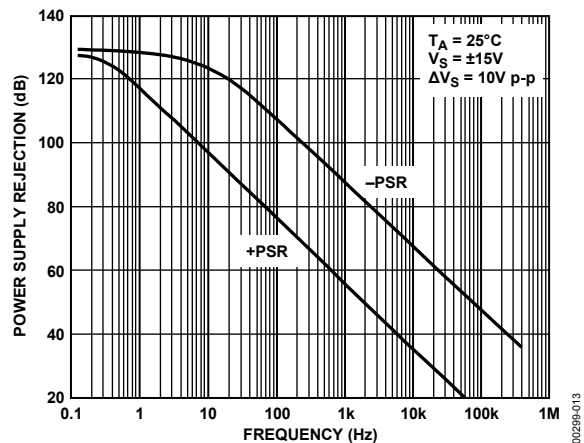


図 13. 電源電圧除去 対 周波数



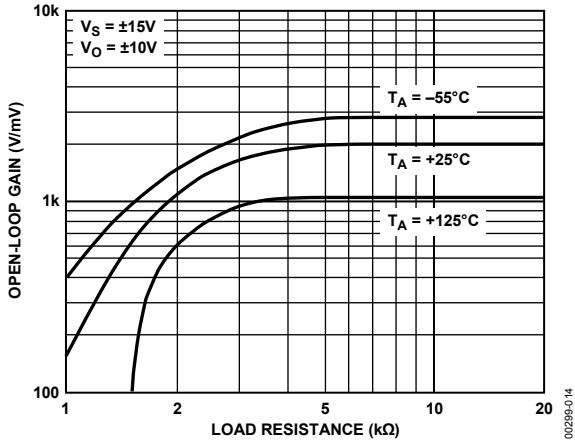


図 14. オープン・ループ・ゲイン 対 負荷抵抗

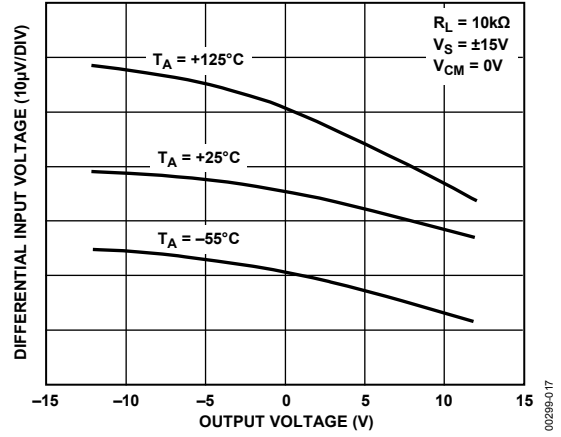


図 17. オープン・ループ・ゲイン・リニアリティ

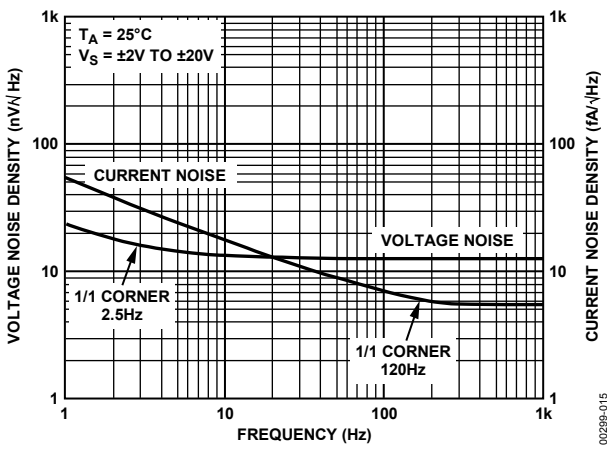


図 15. ノイズ密度 対 周波数

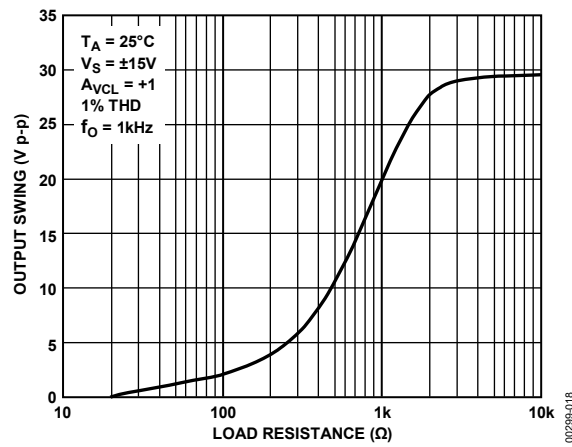


図 18. 最大出力スイング 対 負荷抵抗

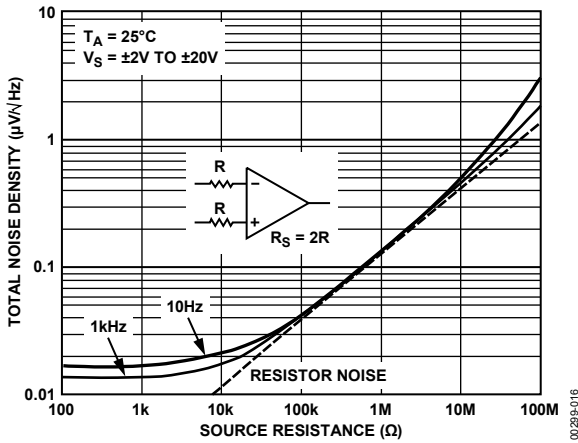


図 16. 合計ノイズ密度 対 ソース抵抗

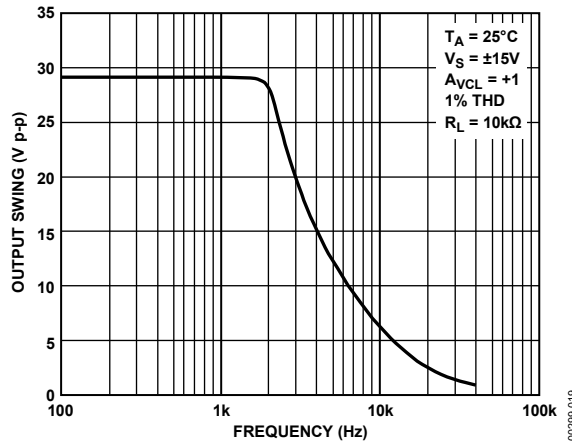


図 19. 最大出力スイング 対 周波数

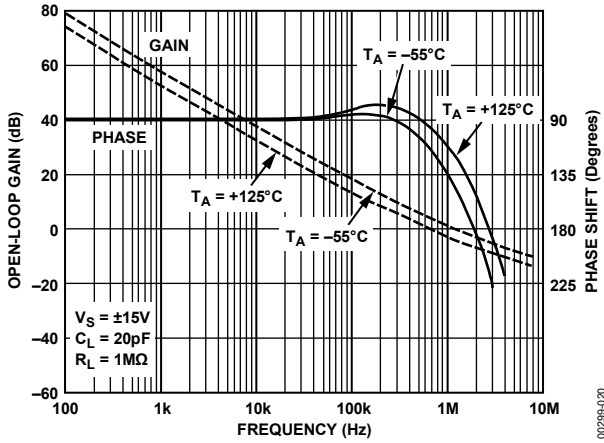


図 20. オープン・ループ・ゲイン、位相対周波数( $C_{OC} = 0 \text{ pF}$ )

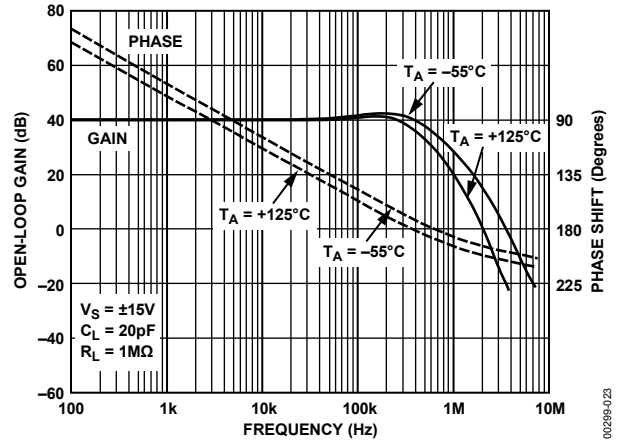


図 23. オープン・ループ・ゲイン、位相対周波数( $C_{OC} = 100 \text{ pF}$ )

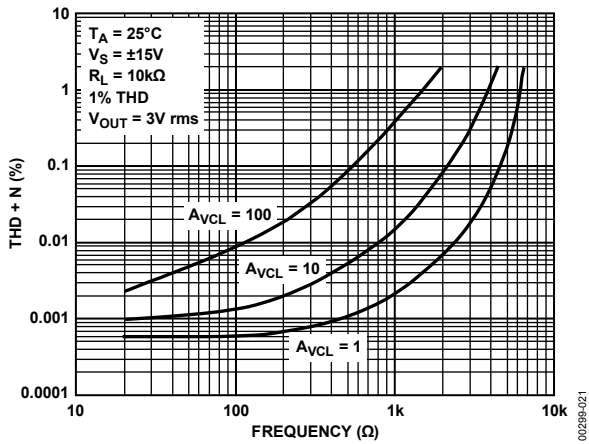


図 21. 全高調波歪+ノイズ対周波数

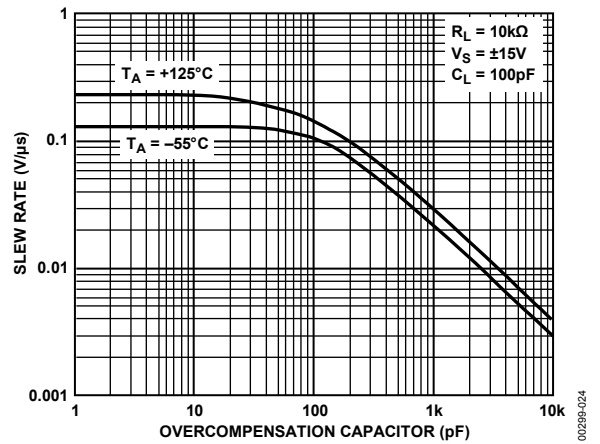


図 24. スループレート対周波数補償用コンデンサ値

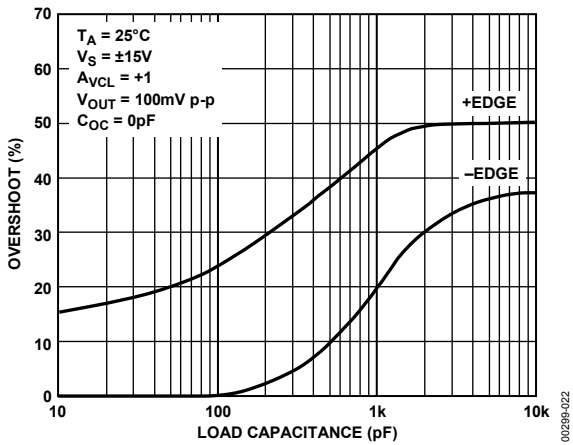


図 22. 小信号オーバーシュート対容量負荷

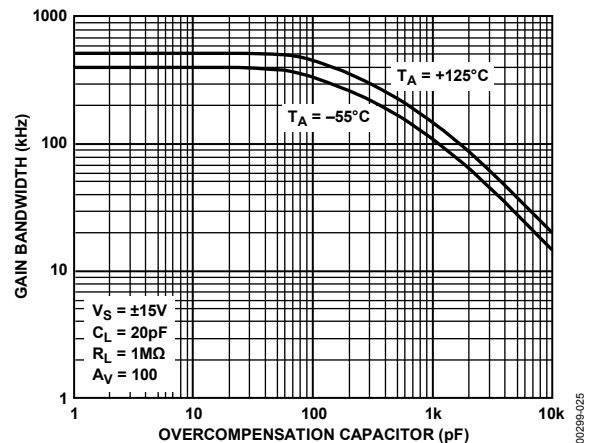


図 25. ゲイン帯域幅積対周波数補償用コンデンサ値

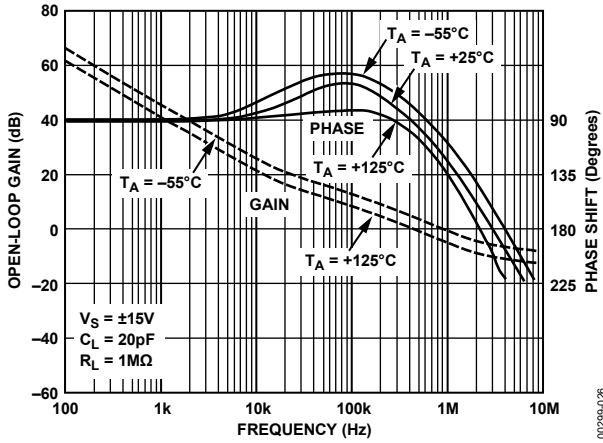


図 26. オープン・ループ・ゲイン、位相 対 周波数( $C_{OC} = 1000 \text{ pF}$ )

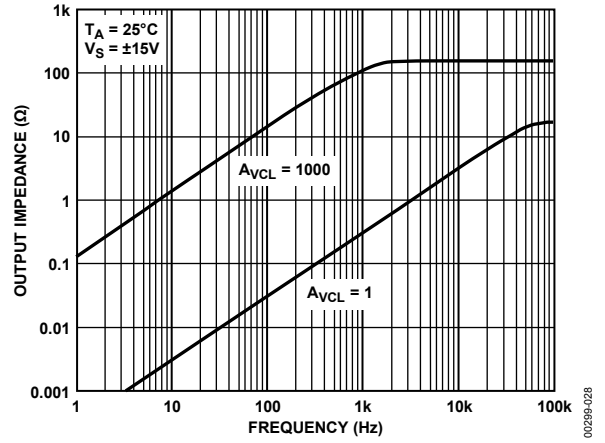


図 28. クローズド・ループ出力抵抗 対 周波数

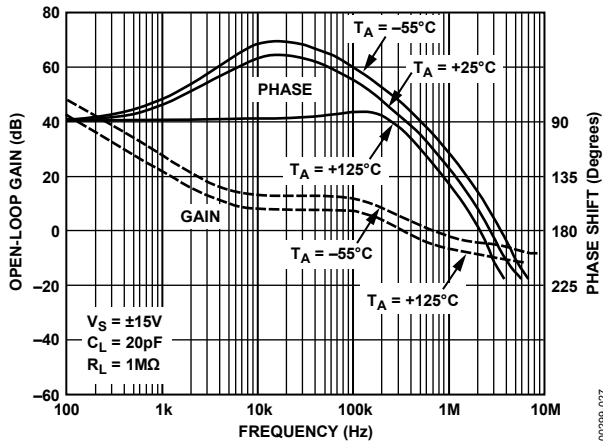


図 27. オープン・ループ・ゲイン、位相 対 周波数 ( $C_{OC} = 10,000 \text{ pF}$ )

## アプリケーション情報

OP97 は産業界の標準品になつて高精度オペアンプ OP07 の低消費電流相当品です。OP07, OP77, AD725, PM1012などを直接置き換えるだけでなく、置き換える事により性能が向上し、さらに（又は）消費電流が小さくなります。又もしオフセット調整回路を使用しなければ 741 のピン配置と同じソケットに挿入できます。

一般的に初期の時代のオペアンプに使用されていたオフセット調整回路は超低オフセット電圧の OP97 の出現により余分となり、回路特性について妥協する事なく取り除く事ができます。

全軍用温度範囲で超低入力バイアス電流の OP97 は、広温度範囲での動作が要求されるサンプル・ホールド・アンプ、ピークディテクタ、ログアンプなどのアプリケーションに最適です。OP97 の場合、入力抵抗はバランスがとれている必要はありません。例え入力抵抗がアンバランスでも、オフセット電圧、 $TCV_{os}$  は高ソース抵抗によりわずかに減定格するだけです。

OP97 の入力は過大差動電圧に対して back-to-back ダイオードにより保護されています。低ノイズ性能を維持するために電流制限抵抗は使用されていません。もし入力に  $\pm 1V$  以上の差動電圧が印加される可能性があるならば、入力電流を 10mA に制限するために直列抵抗を接続する必要があります。入力の同相電圧は使用する電源電圧の全範囲にわたって変化する可能性があります。

OP97 は各電源レール付近までのわずかな動作領域でも動作可能で、動作電源電圧は最低  $\pm 2V$  まで規定しています。標準的には同相電圧範囲は各電源レールの 1V 以内まであります。出力は負荷抵抗 10 k $\Omega$  の時、標準的には各電源レールの 1V 以内まで振れます。

オフセット調整は OP07 と同じ回路を使用して実現できます。ピン 1 とピン 8 の間に 5 k $\Omega$  から 100 k $\Omega$  の間の抵抗を接続しワイパ（扇動子）を正（上）の電源に接続します。調整範囲は IC 内部の調整により、300  $\mu V$  から 850  $\mu V$  の間になります。

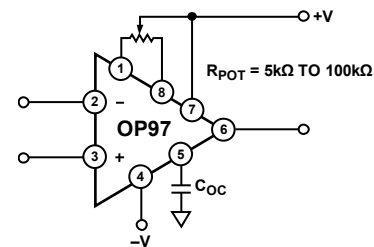


図 29. オプションの入力オフセット調整回路と周波数補償回路

## AC 性能

OP97 の AC 特性は全動作温度範囲に渡って高度に安定してきます。図 30 にユニテール・ゲイン小信号過度応答を示します。OP97 出力の容量負荷ドライブ能力は極めて高く、容量負荷が 1000pF でも優れた応答特性を示します (図 31 を参照)。もしアンプが一般的なユニテール・ゲイン回路であれば、大信号アプリケーションで、過度時には入力保護ダイオードが導通し入力が出力に短絡されます。出力は短絡電流制限状態になり、その短絡電流は保護ダイオードを通り流れます。この場合出力と反転入力端子間にフィードバック抵抗を接続すれば大信号過度応答が改善します。図 32 は 10 kΩ フィードバック抵抗を接続したユニテール・ゲインの大信号過度応答です。ユニテール・ゲイン・フォロア回路を図 33 に示します。位相余裕を大きくしたり、ゲイン 10 以上でゲイン帯域幅積を低減するのに周波数補償端子 (ピン 5) が使用できます。

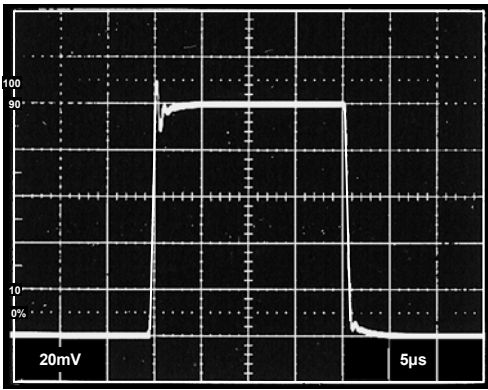


図 30. 小信号過度応答  
( $C_{LOAD} = 1000 \text{ pF}$ ,  $A_{VCL} = 1$ )

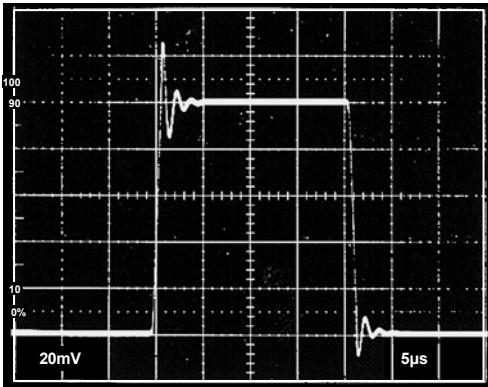


図 31. 小信号過度応答  
( $C_{LOAD} = 1000 \text{ pF}$ ,  $A_{VCL} = 1$ )

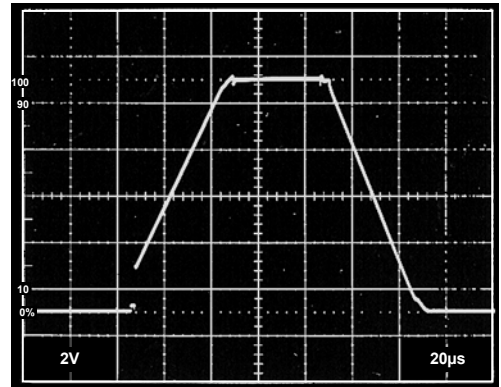


図 32. 大信号過度応答 ( $A_{VCL} = 1$ )

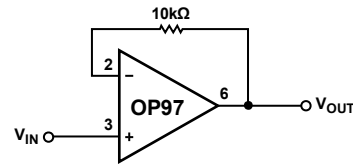


図 33. ユニテールゲインフォロア

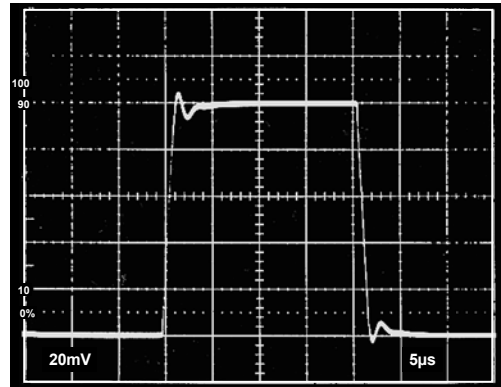


図 34. 周波数補償を施した小信号過度応答  
( $C_{LOAD} = 1000 \text{ pF}$ ,  $A_{VCL} = 1$ ,  $C_{OC} = 220 \text{ pF}$ )

## ガード・リングとシールド

OP97 の超高入力インピーダンスを維持するためには、回路基板設計、製造において十分な注意が必要です。基板表面を十分に清潔にし、湿気がない状態にしなければなりません。湿気が入らないように適切なコーティング処理することを推奨します。清潔な PCB でさえ、基板上の隣接したパターン間で 100 pA のリーク電流があることがあります；それゆえ入力まわりにガード・リングを施します。ガード・リング・パターンの電位を入力電圧に近い値に設定すれば、リーク電流は最小になります。非反転入力回路ではガード・リングを反転入力端子（ピン 2）で同相電圧に接続します。反転入力回路では、両方の入力端子はグランド電位を維持するので、ガード・リング・パターンはグランドに接続されるべきです。ガード・リング・パターンを回路基板の両側に作成してください。

高インピーダンス回路は RF ピックアップ、電源ライン周波数のハム、スイッチング電源からの放射ノイズの影響を極めて受けやすいです。ノイズのピックアップをできるだけ避けるため一般的に、ノイズの影響を受けやすいアナログ回路部分をグランドシールドで覆います。電源ライン周波数のハムを除くにはツイスト・ペア・ケーブルの使用が有効です。

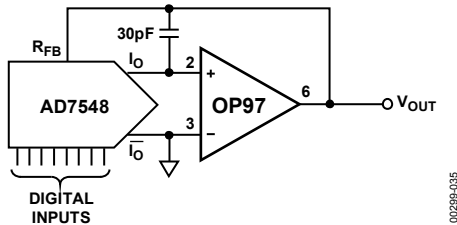


図 35. DAC 出力アンプ

The OP97 は高分解能 CMOS DAC の出力アンプとして最適です。その厳密に調整された入力オフセット電圧と、最小のバイアス電流により実際、広い温度範囲に渡って直線性が維持されます。

図 36 は一般的に  $\pm 15\text{V}$  の間の任意の点で電流を検出できる汎用性の高いモニター回路です。これは大きな同相電圧変化により双方向電流が流れるフルブリッジドライバーのようなアプリケーションで電流を検出するのに最適です。

OP97 の CMRR は 114dB なので、オペアンプの同相電圧誤差は無視でき、外付け抵抗の比の不均衡による誤差のみになります。理想的な抵抗比は  $R2/R4 = R3/R5$  です。

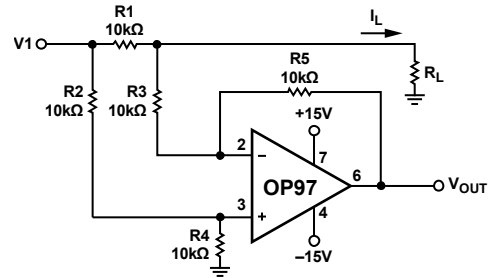


図 36. 電流モニター

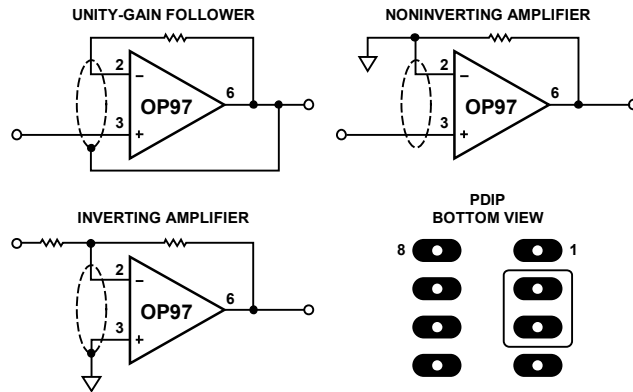


図 37. ガード・リング・レイアウトと接続

図 38 に示すデジタル・プログラマブル・ゲイン・アンプは-1 から -1024 までの範囲で、ゲイン直線性が 10 ビットで、ゲイン分解能は 12 ビットです。OP97 が低バイアス電流であることにより、この直線性は維持されます。一方 C1 はノイズ電圧の帯域を制限するので、 $\mu\text{V}$  の低いレベルまで高精度な測定が可能となっています。

表 5.

DIGITAL IN	GAIN ( $A_v$ )
4095	-1.00024
2048	-2
1024	-4
512	-8
256	-16
128	-32
64	-64
32	-128
16	-256
8	-512
4	-1024
2	-2048
1	-4096
0	Open Loop

多くの高速アンプは低周波性能があまり良くありません。OP97 のような高精度、低速のオペアンプと AD8610 のような高速オペアンプを組み合わせれば、DC から AD8610 (周波数帯域幅 25MHz) の高周波制限値まで均一の高精度な性能が得られます。図 39 に示す回路でこれを実現しております。ここでは AD8610 が高周波増幅を行い、OP97 は低周波信号について動作し、又オフセット修正を行ってます。回路全体のオフセット電圧とドリフトは OP97 でコントロールされます。

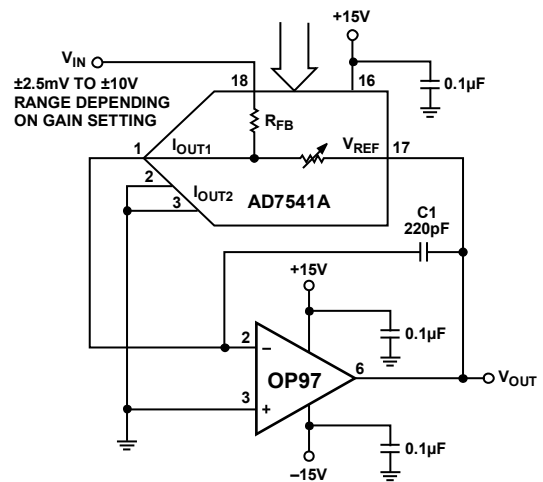


図 38. 高精度プログラマブル・ゲイン・アンプ

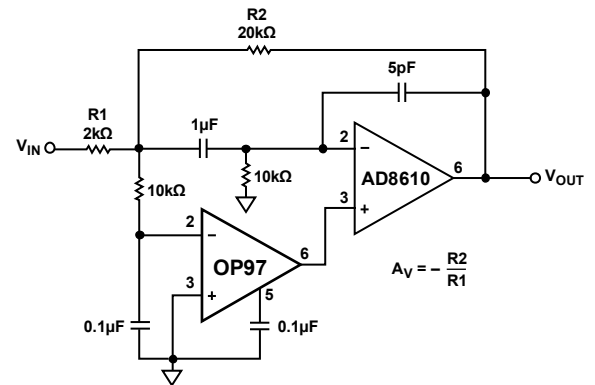


図 39. 高速アンプと高精度アンプの組み合わせ回路

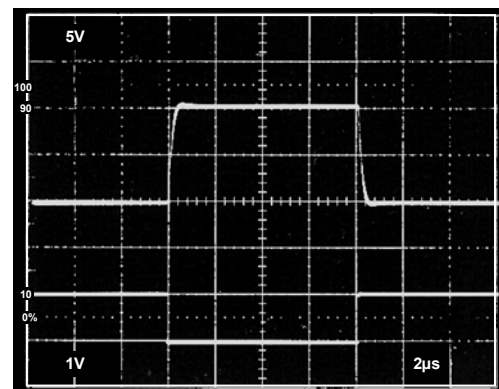
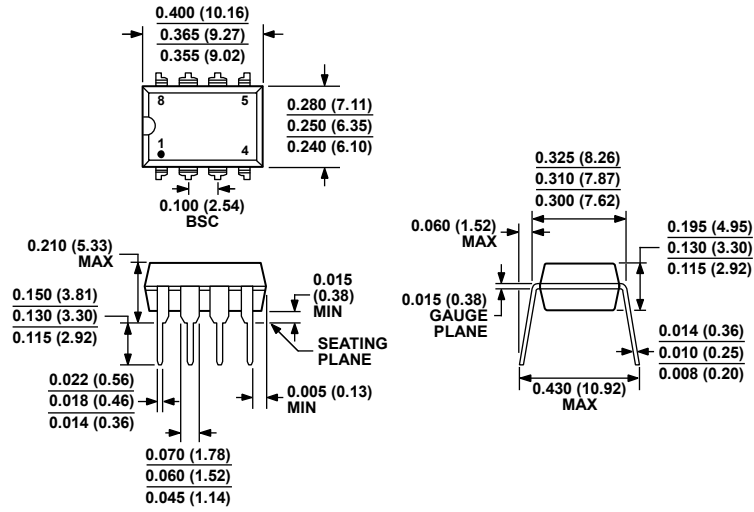


図 40. 高速高精度アンプ組み合わせ回路の過度応答

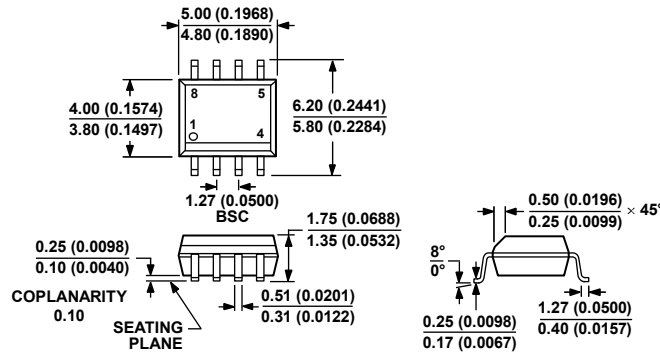
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-001  
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.  
 CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

071006-A

図 41.8 ピンプラスチック・デュアル・イン・ライン・パッケージ [PDIP]  
 P-Suffix  
 (N-8)  
 寸法：インチ (カッコ内は mm)



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 42.8 ピン 標準スモール・アウトライン・パッケージ [SOIC\_N]  
 ナローボディ  
 S-Suffix  
 (R-8)  
 寸法：mm (カッコ内はインチ)



オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
OP97EP	-40°C to +85°C	8-Lead PDIP	N-8
OP97EPZ <sup>1</sup>	-40°C to +85°C	8-Lead PDIP	N-8
OP97FP	-40°C to +85°C	8-Lead PDIP	N-8
OP97FPZ <sup>1</sup>	-40°C to +85°C	8-Lead PDIP	N-8
OP97FS	-40°C to +85°C	8-Lead SOIC_N	R-8
OP97FS-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
OP97FS-REEL7	-40°C to +85°C	8-Lead SOIC_N	R-8
OP97FSZ <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8
OP97FSZ-REEL <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8
OP97FSZ-REEL7 <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8

<sup>1</sup>Z = RoHS Compliant Part.

