

OP184/OP284/OP484

特長

単電源動作

広い帯域幅 : 4 MHz

低オフセット電圧 : 65 μ V

ユニティ・ゲインで安定

高スルーレート : 4.0 V/ μ s

低ノイズ : 3.9 nV/ $\sqrt{\text{Hz}}$

アプリケーション

バッテリー駆動型の計装システム

電源電圧制御と保護

通信

D/Aの出力アンプ

A/D入力バッファ

概要

OP184/OP284/OP484は、レールtoレール入力/出力特性を備えた単電源のシングル、デュアル、およびクワッド・タイプの4 MHzの帯域幅を持つアンプです。これらのデバイスは、+3 Vから+36 Vの電源電圧(または ± 1.5 Vから ± 18 V)で動作すること、また最低+1.5 Vの単電源でも動作することが保証されています。

この3種類のアンプは、高いIAC精度とDC精度両方を要求する単電源アプリケーションに最適な製品です。OP184/OP284/OP484の帯域幅、低ノイズ、および精度により、フィルタや計装システムを含む幅広いアプリケーションで利用できます。

この3種類のアンプのアプリケーションとして、携帯型の通信装置、電源制御と保護、および幅広い出力範囲を持つトランスデューサ用のアンプまたはバッファ等があります。またレールtoレール入力特性を持つアンプが必要なセンサーには、ホール効果、ピエゾ電磁効果や抵抗性トランスデューサ等があります。

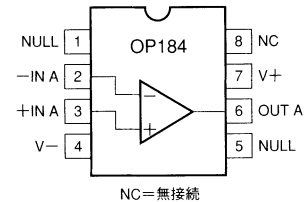
入力と出力両方共にレールtoレール特性を持つことにより、単電源システムで複数段のフィルタを構築、また高いIS/N比を維持できます。

OP184/OP284/OP484は、HOT拡張産業温度範囲(-40 ~ +125)に渡ってその仕様が規定されています。シングルおよびデュアル・タイプは、8ピン・プラスチックDIPとSO表面実装パッケージで供給されます。そしてクワッド・タイプのOP484は、14ピン・プラスチックDIPと14ピン幅狭SOパッケージで供給されます。

ピン配置

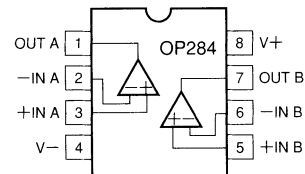
8ピン・エポキシDIP(P)

8ピンSO(S)



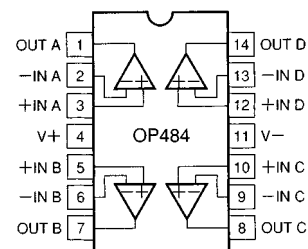
8ピン・エポキシDIP(P)

8ピンSO(S)



14ピン・エポキシDIP(P)

14ピン幅狭SO(S)



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

OP184/OP284/OP484 仕様

電気的特性(特に指定のない限り@ $V_S = +5.0\text{ V}$ 、 $V_{CM} = 2.5\text{ V}$ 、 $T_A = +25\text{ }^\circ\text{C}$)

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧 ¹ OP184/OP284E "グレード"	V_{OS}	(注意1) $-40 \leq T_A \leq +125$			65 165	μV μV
オフセット電圧 ¹ OP184/OP284F "グレード"	V_{OS}	$-40 \leq T_A \leq +125$			125 350	μV μV
オフセット電圧 ¹ OP484E "グレード"	V_{OS}	$-40 \leq T_A \leq +125$			75 175	μV μV
オフセット電圧 ¹ OP484F "グレード"	V_{OS}	$-40 \leq T_A \leq +125$			150 450	μV μV
入力バイアス電流	I_B	$-40 \leq T_A \leq +125$		60	350 575	nA nA
入力オフセット電流	I_{OS}	$-40 \leq T_A \leq +125$		2	50 50	nA nA
入力電圧範囲			0		+5	V
同相除去比	CMRR	$V_{CM} = 0\text{ V} \sim 5\text{ V}$	60			dB
同相除去比	CMRR	$V_{CM} = 1.0\text{ V} \sim 4.0\text{ V}$ 、 $-40 \leq T_A \leq +125$	86			dB
大信号電圧ゲイン	A_{VO}	$R_L = 2\text{ k}$ 、 $1\text{ V} \leq V_O \leq 4\text{ V}$	50	240		V/mV
バイアス電流ドリフト	$\Delta I_B / \Delta T$	$R_L = 2\text{ k}$ 、 $-40 \leq T_A \leq +125$		150		V/mV pA/
出力特性						
出力電圧HI	V_{OH}	$I_L = 1.0\text{ mA}$	+4.85			V
出力電圧LO	V_{OL}	$I_L = -1.0\text{ mA}$			125	mV
出力電流	I_{OUT}		± 6.5			mA
電源						
電源除去比	PSRR	$V_S = +2.0\text{ V} \sim +10\text{ V}$ 、 $-40 \leq T_A \leq +125$	76			dB
電源電流 / アンプ	I_{SY}	$V_O = 2.5\text{ V}$ 、 $-40 \leq T_A \leq +125$			1.45	mA
電源電圧範囲	V_S		+3		+36	V
ダイナミック性能						
スルーレート	SR	$R_L = 2\text{ k}$	1.65	2.4		V/ μs
セトリング時間	t_s	0.01%まで、1.0Vステップ		2.5		μs
ゲイン帯域幅積	GBP			3.25		MHz
位相余裕度	0			45		degrees
ノイズ性能						
電圧ノイズ	e_n p-p	0.1 Hz ~ 10 Hz		0.3		$\mu\text{V p-p}$
電圧ノイズ密度	e_n	$f = 1\text{ kHz}$		3.9		nV/ $\sqrt{\text{Hz}}$
電流ノイズ密度	i_n			0.4		pA/ $\sqrt{\text{Hz}}$

注
¹ 入力オフセット電圧の測定は、電源投入から約0.5秒後に自動検査装置で実施されます。
 仕様は予告なしに変更する場合があります。

OP184/OP284/OP484

電気的特性(特に指定のない限り@ $V_S = +3.0\text{ V}$ 、 $V_{CM} = 1.5\text{ V}$ 、 $T_A = +25$)

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧“ OP184/OP284E ”グレード	V_{OS}	(注意1) $-40 \leq T_A \leq +125$			65	μV
オフセット電圧“ OP184/OP284F ”グレード	V_{OS}	$-40 \leq T_A \leq +125$			165	μV
オフセット電圧“ OP484E ”グレード	V_{OS}	$-40 \leq T_A \leq +125$			125	μV
オフセット電圧“ OP484F ”グレード	V_{OS}	$-40 \leq T_A \leq +125$			350	μV
入力バイアス電流	I_B	$-40 \leq T_A \leq +125$		60	100	μV
入力オフセット電流	I_{OS}	$-40 \leq T_A \leq +125$			200	μV
入力電圧範囲			0		+3	V
同相除去比	CMRR	$V_{CM} = 0\text{ V} \sim 3\text{ V}$	60			dB
同相除去比	CMRR	$V_{CM} = 0\text{ V} \sim 3\text{ V}$ 、 $-40 \leq T_A \leq +125$	56			dB
出力特性						
出力電圧HI	V_{OH}	$I_L = 1.0\text{ mA}$	+2.85			V
出力電圧LO	V_{OL}	$I_L = 1.0\text{ mA}$			125	mV
電源						
電源除去比	PSRR	$V_S = \pm 1.25\text{ V} \sim \pm 1.75\text{ V}$	76			dB
電源電流/アンプ	I_{SY}	$V_O = 1.5\text{ V}$ 、 $-40 \leq T_A \leq +125$			1.35	mA
ダイナミック性能						
ゲイン帯域幅積	GBP			3		MHz
ノイズ性能						
電圧ノイズ密度	e_n	$f = 1\text{ kHz}$		3.9		$\text{nV}/\sqrt{\text{Hz}}$

注
¹ 入力オフセット電圧の測定は、電源投入から約0.5秒後に自動検査装置で実施されます。
 仕様は予告なしに変更する場合があります。

OP184/OP284/OP484

電気的特性(特に指定のない限り@ $V_S = \pm 15.0\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = +25$)

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧“ OP184/OP284E ”グレード	V_{OS}	(注意1) $-40 \leq T_A \leq +125$			100	μV
オフセット電圧“ OP184/OP284F ”グレード	V_{OS}	$-40 \leq T_A \leq +125$			200	μV
オフセット電圧“ OP484E ”グレード	V_{OS}	$-40 \leq T_A \leq +125$			175	μV
オフセット電圧“ OP484F ”グレード	V_{OS}	$-40 \leq T_A \leq +125$			375	μV
入力バイアス電流	I_B	$-40 \leq T_A \leq +125$		80	350	nA
入力オフセット電流	I_{OS}	$-40 \leq T_A \leq +125$			575	nA
入力電圧範囲			-15		+15	V
同相除去比	CMRR	$V_{CM} = -14.0\text{ V} \sim +14.0\text{ V}$ 、 $-40 \leq T_A \leq +125$	86	90		dB
同相除去比	CMRR	$V_{CM} = -15.0\text{ V} \sim +15.0\text{ V}$	80			dB
大信号電圧ゲイン	A_{VO}	$R_L = 2\text{ k}$ 、 $-10\text{ V} \leq V_O \leq 10\text{ V}$	150	1000		V/mV
		$R_L = 2\text{ k}$ 、 $-40 \leq T_A \leq +125$	75			V/mV
オフセット電圧ドリフト“ E ”グレード	$\Delta V_{OS}/\Delta T$			0.2	2.00	$\mu\text{V}/^\circ\text{C}$
バイアス電流ドリフト	$\Delta I_B/\Delta T$			150		pA/
出力特性						
出力電圧HI	V_{OH}	$I_L = 1.0\text{ mA}$	+14.8			V
出力電圧LO	V_{OL}	$I_L = 1.0\text{ mA}$			-14.875	V
出力電流	I_{OUT}		± 10			mA
電源						
電源除去比	PSRR	$V_S = \pm 2.0\text{ V} \sim \pm 18\text{ V}$ 、 $-40 \leq T_A \leq +125$	90			dB
電源電流 / アンブ	I_{SY}	$V_O = 0\text{ V}$ 、 $-40 \leq T_A \leq +125$			2.0	mA
電源電流 / アンブ	I_{SY}	$V_S = \pm 18\text{ V}$ 、 $-40 \leq T_A \leq +125$			2.25	mA
ダイナミック性能						
スルーレート	SR	$R_L = 2\text{ k}$	2.4	4.0		V/ μs
フルパワー帯域幅	BWp	1%の歪み、 $R_L = 2\text{ k}$ 、 $V_O = 29\text{ V p-p}$			35	kHz
セトリング時間	t_s	0.01%まで、1.0 Vステップ			4	μs
ゲイン帯域幅積	GBP				4.25	MHz
位相余裕度	0				50	degrees
ノイズ性能						
電圧ノイズ	e_n p-p	0.1 Hz ~ 10 Hz		0.3		$\mu\text{V p-p}$
電圧ノイズ密度	e_n	$f = 1\text{ kHz}$		3.9		nV/ $\sqrt{\text{Hz}}$
電流ノイズ密度	i_n			0.4		pA/ $\sqrt{\text{Hz}}$

注

¹ 入力オフセット電圧の測定は、電源投入から約0.5秒後に自動検査装置で実施されます。仕様は予告なしに変更する場合があります。

ウェファァー・テスト・リミット(特に指定のない限り@ $V_S = +5.0\text{ V}$ 、 $V_{CM} = 2.5\text{ V}$ 、 $T_A = +25$)

パラメータ	記号	条件	限度	単位
オフセット電圧OP284	V_{OS}		65	$\mu\text{V max}$
オフセット電圧OP484	V_{OS}		75	$\mu\text{V max}$
入力バイアス電流	I_B		350	nA max
入力オフセット電流	I_{OS}		50	nA max
入力電圧範囲	V_{CM}		V - ~ V +	V min
同相除去比	CMRR	$V_{CM} = +1\text{ V} \sim +4\text{ V}$	86	dB min
電源除去比	PSRR	$V_S = \pm 2\text{ V} \sim \pm 18\text{ V}$	90	dB min
大信号電圧ゲイン	A_{VO}	$R_L = 2\text{ k}$	50	V/mV min
出力電圧振幅HI	V_{OH}	$I_L = 1.0\text{ mA}$	4.85	V min
出力電圧振幅LO	V_{OL}	$I_L = 1.0\text{ mA}$	125	mV max
電源電流 / アンブ	I_{SY}	$V_O = 0\text{ V}$ 、 $R_L =$	1.45	mA max

注

電気的検査及びウェファァー・プローブの限度値を示しています。アセンブリ方法の相違および通常の歩留りの変動により、標準チップ製品のパッケージ実装後の歩留りは保証していません。サンプル・ロットのアセンブリと検査を通しての仕様については弊社にお問い合わせください。

OP184/OP284/OP484

絶対最大定格¹

電源電圧	± 18 V
入力電圧	± 18 V
差動入力電圧 ²	± 0.6 V
GNDに対する出力短絡回路期間 ³	連続
保管温度範囲	
P、Sパッケージ	- 65 ~ + 150
動作温度範囲	
OP184G、OP284、OP484	- 40 ~ + 125
接合温度範囲	
P、Sパッケージ	- 65 ~ + 150
リード温度範囲(ハンダ付け、60秒)	+ 300

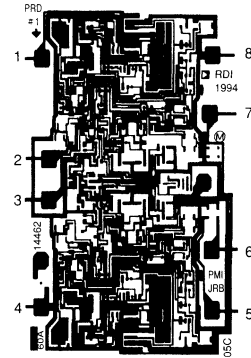
パッケージ種類	JA ³	JC	単位
8ピン・プラスチックDIP(P)	103	43	/W
8ピンSOI(S)	158	43	/W
14ピン・プラスチックDIP(P)	83	39	/W
14ピンSOI(S)	92	27	/W

注

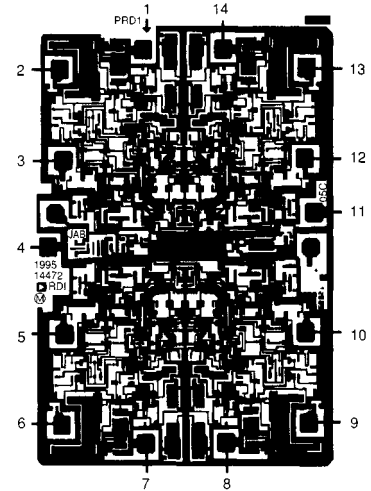
- ¹ 特に指定しない限り、絶対最大定格はチップとパッケージ製品両方に適用されます。
² 入力電圧が0.6 V以上の場合、チップの入力回路の性能低下あるいは破壊を引き起こさないように、入力電流を5 mAに制限してください。
³ JAは最悪の条件下で仕様が規定されています。つまりサーディップおよびP-DIPパッケージの場合、JAはデバイスをソケットに装着した状態で仕様が規定されています。またSOICパッケージの場合、デバイスを基板にハンダ付けした状態で仕様が規定されています。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージオプション
OP184EP	- 40 ~ + 125	8ピン・プラスチックDIP	N-8
OP184ES	- 40 ~ + 125	8ピンSOIC	SO-8
OP184FP	- 40 ~ + 125	8ピン・プラスチックDIP	N-8
OP184FS	- 40 ~ + 125	8ピンSOIC	SO-8
OP284EP	- 40 ~ + 125	8ピン・プラスチックDIP	N-8
OP284ES	- 40 ~ + 125	8ピンSOIC	SO-8
OP284FS	- 40 ~ + 125	8ピン・プラスチックDIP	N-8
OP284FS	- 40 ~ + 125	8ピンSOIC	SO-8
OP484EP	- 40 ~ + 125	14ピン・プラスチックDIP	N-14
OP484ES	- 40 ~ + 125	14ピンSOIC	SO-14
OP484FP	- 40 ~ + 125	14ピン・プラスチックDIP	N-14
OP484FS	- 40 ~ + 125	14ピンSOIC	SO-14



OP284チップ・サイズ0.065×0.092インチ、5,980平方ミル。基板(チップの裏側)はV-に接続されています。トランジスタ数は62個。



OP484チップ・サイズ0.080×0.110インチ、8,800平方ミル。基板(チップの裏側)はV-に接続されています。トランジスタ数は120個。

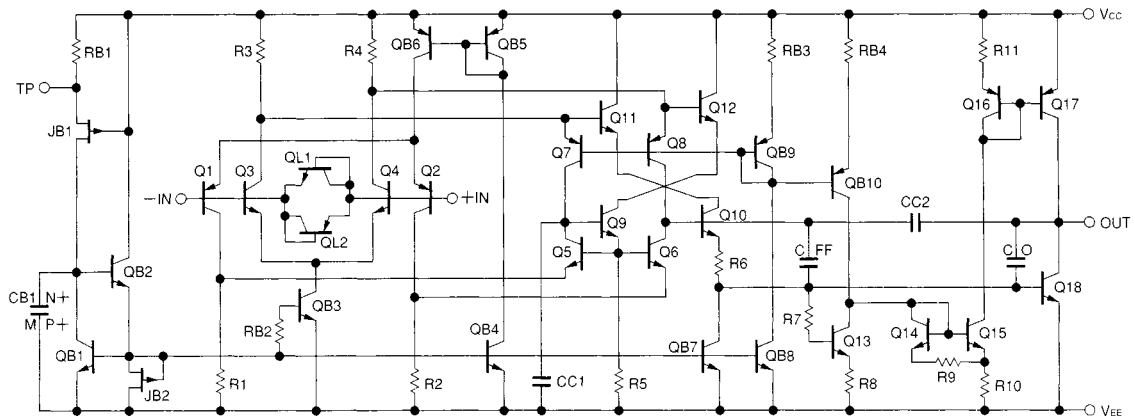


図1. 簡略化した回路図

OP184/OP284/OP484 代表的性能特性図

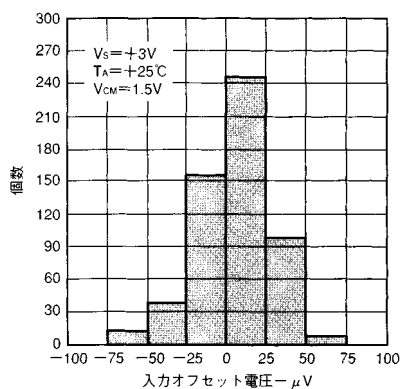


図2. 入力オフセット電圧の分布

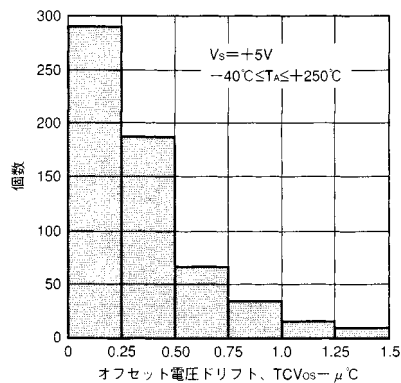


図5. 入力オフセット電圧ドリフトの分布

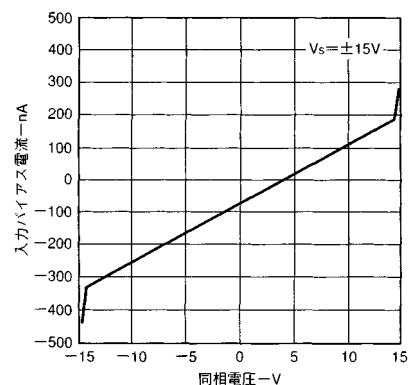


図8. 入力バイアス電流対同相電圧

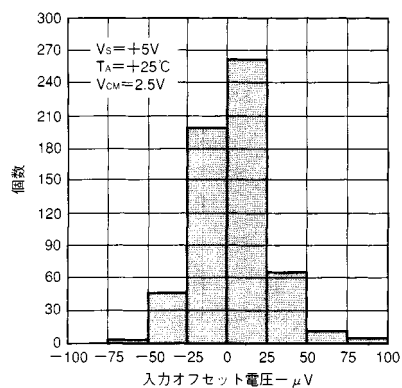


図3. 入力オフセット電圧の分布

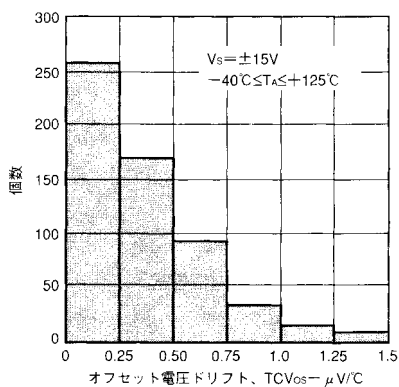


図6. 入力オフセット電圧ドリフトの分布

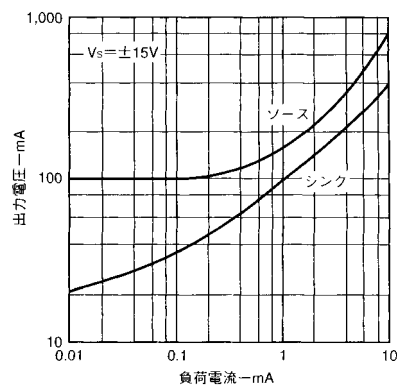


図9. 電源電圧に対する出力電圧対負荷電流

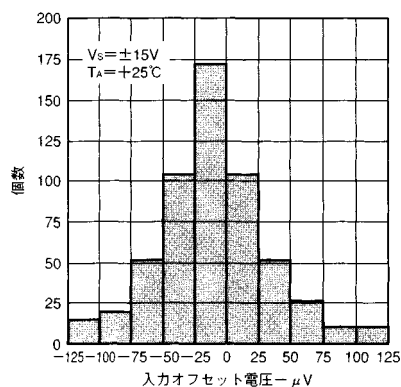


図4. 入力オフセット電圧の分布

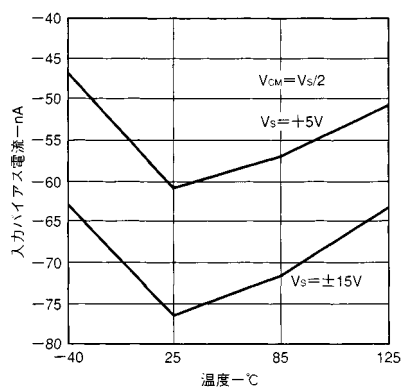


図7. 入力バイアス電流対温度

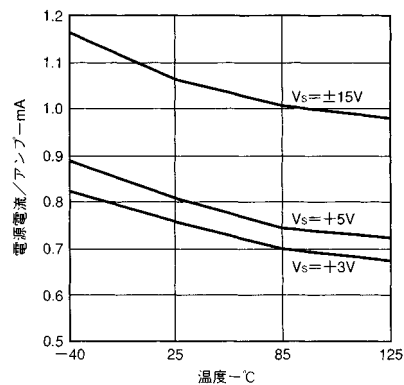


図10. 電源電流対温度

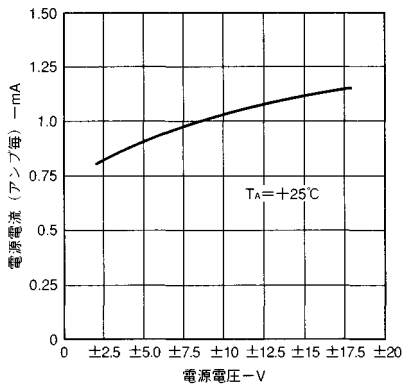


図11. 電源電流対電源電圧

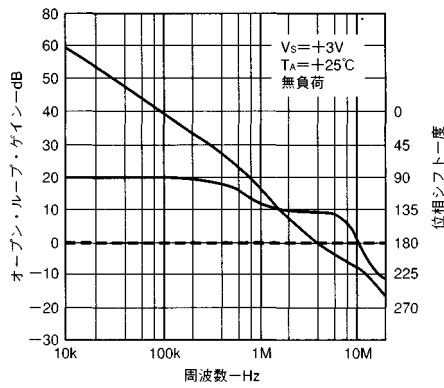


図14. オープン・ループ・ゲインおよび位相対周波数(無負荷)

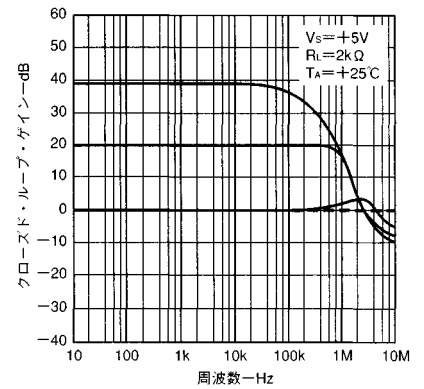


図17. クローズド・ループ・ゲイン対周波数(2 k 負荷)

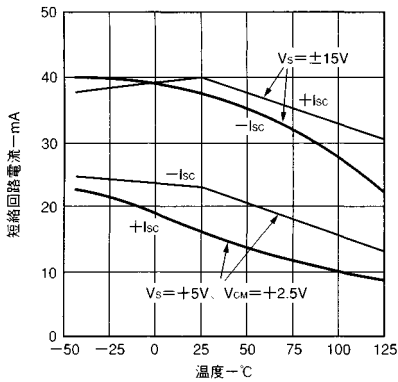


図12. 短絡回路電流対温度

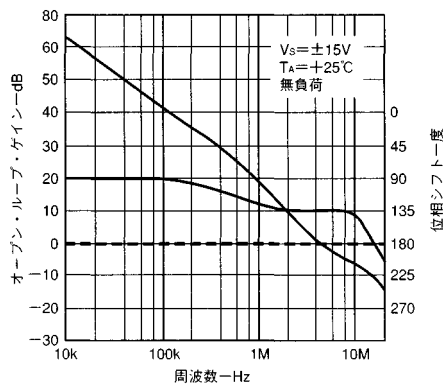


図15. オープン・ループ・ゲインおよび位相対周波数(無負荷)

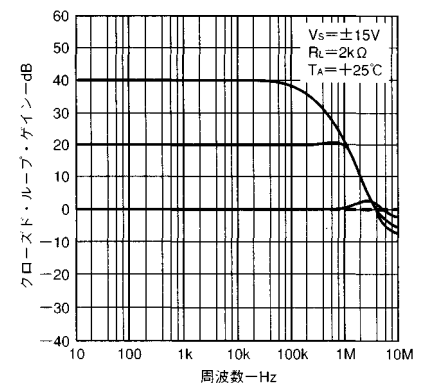


図18. クローズド・ループ・ゲイン対周波数(2 k 負荷)

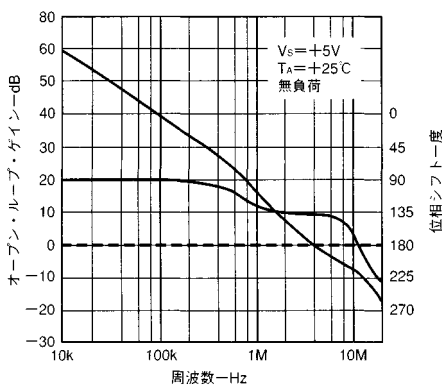


図13. オープン・ループ・ゲインおよび位相対周波数(無負荷)

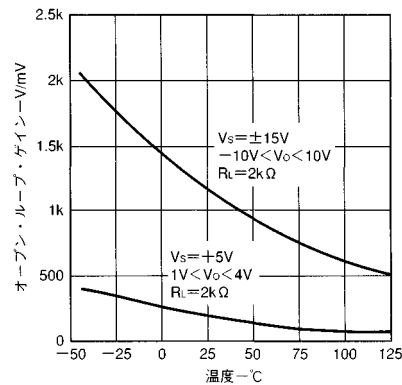


図16. オープン・ループ・ゲイン対温度

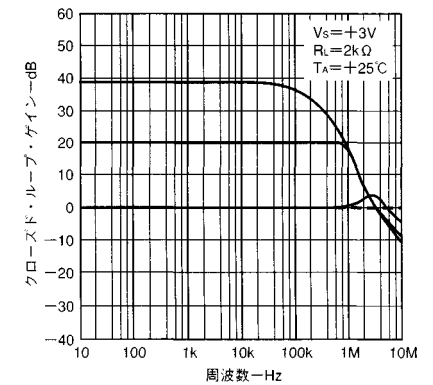


図19. クローズド・ループ・ゲイン対周波数(2 k 負荷)

OP184/OP284/OP484 代表的性能特性図

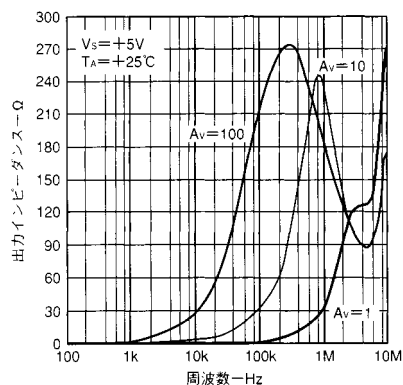


図20. 出力インピーダンス対周波数

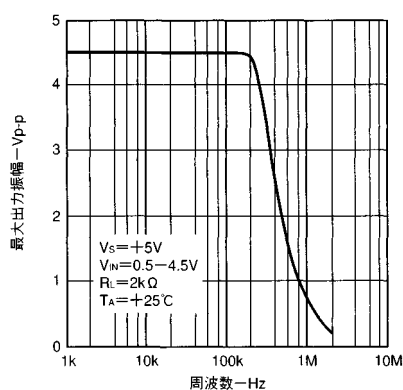


図23. 最大出力振幅対周波数

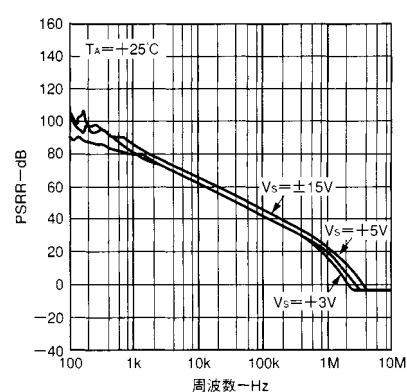


図26. PSRR対周波数

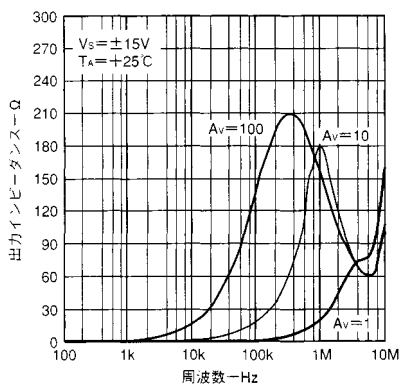


図21. 出力インピーダンス対周波数

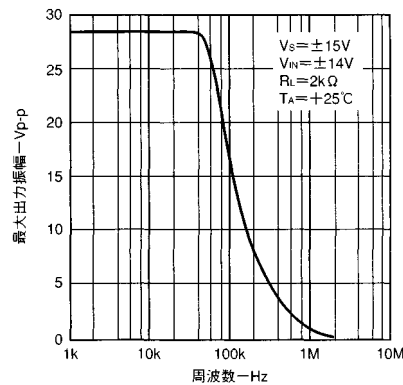


図24. 最大出力振幅対周波数

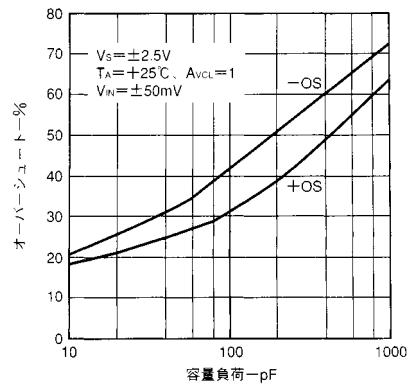


図27. 小信号オーバーシュート対容量負荷

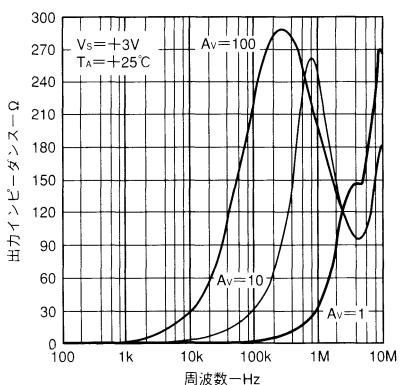


図22. 出力インピーダンス対周波数

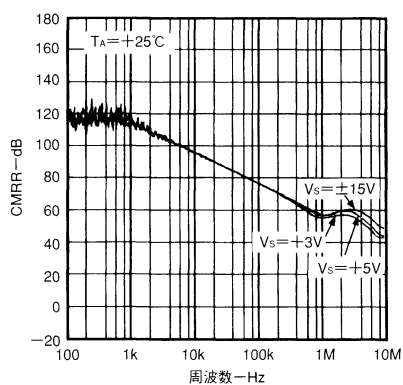


図25. CMRR対周波数

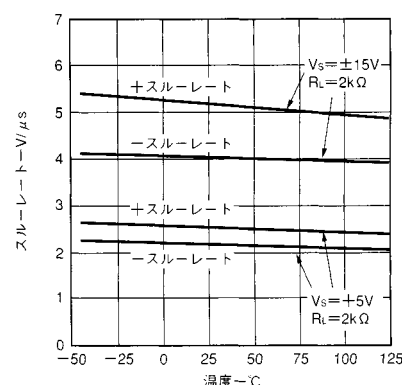


図28. スルーレート対温度

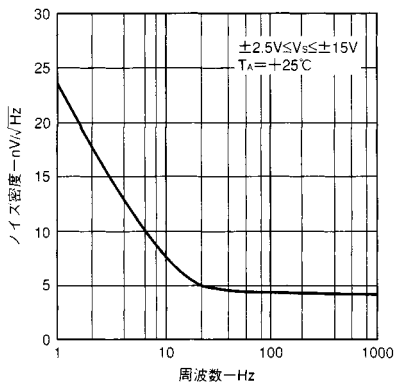


図29. 電圧ノイズ密度対周波数

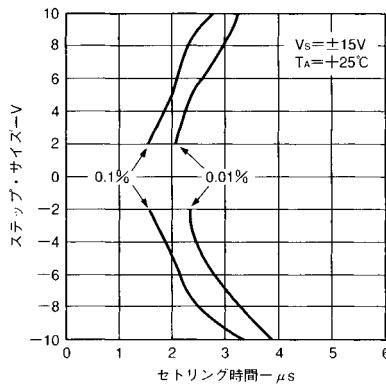


図32. セトリング時間対ステップ・サイズ

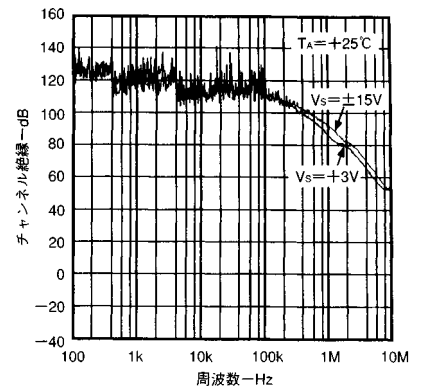


図35. チャンネル絶縁対周波数

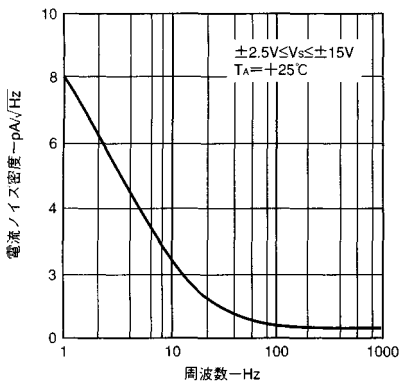


図30. 電流ノイズ密度対周波数

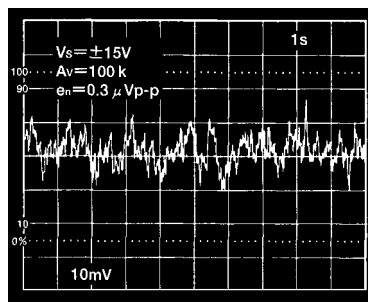


図33. 0.1 Hzから10 Hzまでのノイズ

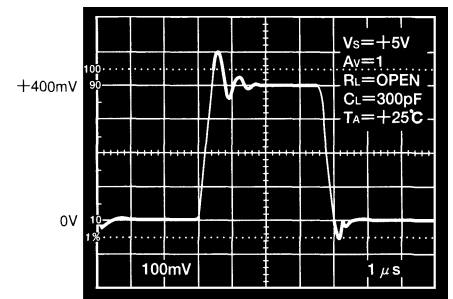


図36. 小信号過渡応答

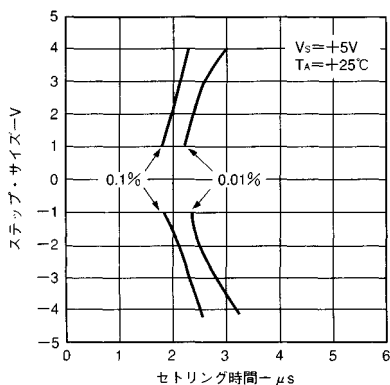


図31. セトリング時間対ステップ・サイズ

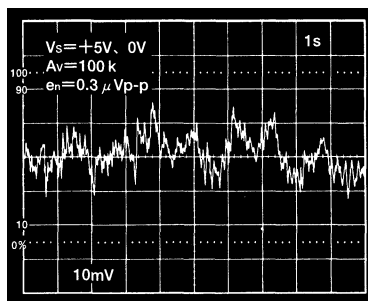


図34. 0.1 Hzから10 Hzまでのノイズ

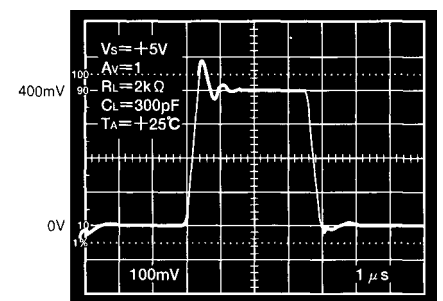


図37. 小信号過渡応答

OP184/OP284/OP484

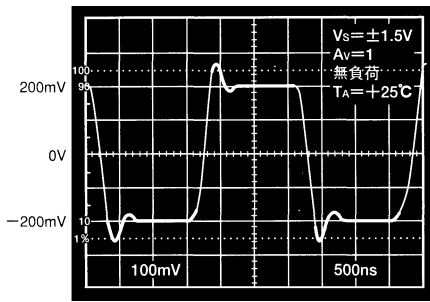


図38. 小信号過渡応答

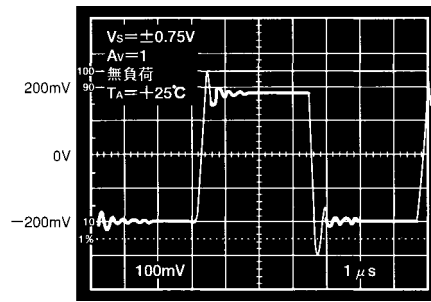


図39. 小信号過渡応答

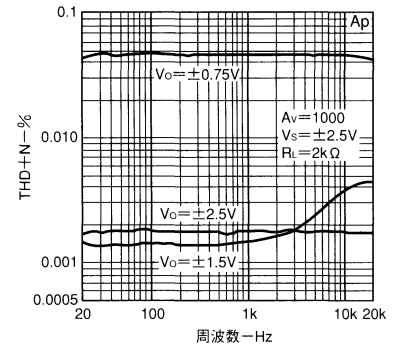


図40. 全高調波歪み対周波数

アプリケーション 機能の説明

OP284とOP484は、高精度で単電源のレールtoレール特性を持つオペアンプです。この製品ファミリーは、携帯型のシステム用に開発され、+ OP184/OP284/OP484の高精度、幅広い帯域幅、および低ノイズ特性により、優れたAC精度とDC精度両方が必要な単電源アプリケーションに最適な製品と言えます。さらにアクティブ・フィルタ、オーディオ・マイクロフォン用のプリアンプ、電源制御、および通信等の他の低電源電圧アプリケーションにOP284は適しています。上記の特性とレールtoレール入力/出力特性を実現するために、斬新な設計手法を利用しています。

Q2-Q4のベース電流を加算したものです。このような回路設計を行った結果、OP284のバイアス電流は異なる振幅値を示すだけでなく、異なる極性も示します。図8は、この入力バイアス電流を特長を示したものです。したがって、OP284の入力に接続する実効ソース・インピーダンスを最適なDC性能とAC性能を持つようにバランスをとることが最も重要です。

レールtoレール出力を実現するために、OP284の出力段の電流ソース機能と電流シンク機能に独自の手法を利用しています。図42は、この手法を示した回路図です。前述したように、前段のゲイン段から電圧でこの出力段をドライブしています。出力段の信号経路は反転処理を行っています。つまり、入力信号が正の場合にQ1がQ6にベース電流を供給し、(シンク)電流を誘導します。また入力信号が負の場合、Q1-Q2-D1-Q4-Q3の信号はQ5をドライブするためのベース電流を供給し、(ソース)電流を誘導します。両アンプは、飽和するまで出力電流を供給します。そしてこの飽和は、負の電源から約20 mV、また正の電源から約100 mVで発生します。

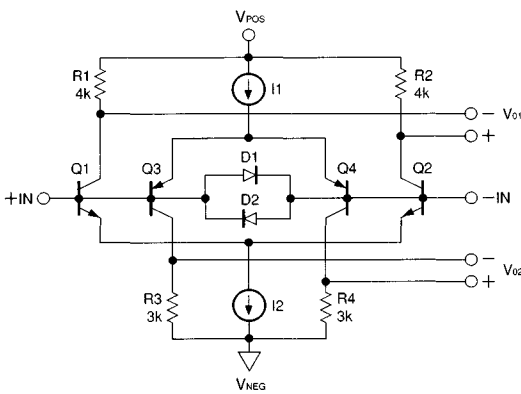


図41. OP284の入力部の等価回路

図41は、OP184/OP284/OP484の入力段の簡略化した等価回路です。NPNの差動ペア(Q1-Q2)とPNP差動ペア(Q3-Q4)は同時に動作します。ダイオード回路(D1-D2)は、OP284の差動入力電圧のクランプ処理を行います。それにより、入力トランジスタがダメージを受けないように保護します。また入力段の電圧ゲインは、レールtoレールの入力動作の間は低く保たれます。2対の差動出力電圧がOP284の次段(混合カスケード・ゲイン段)に接続されています。さらにこの次のゲイン段で、2対の差動出力電圧を出力段をドライブするためにシングル・エンド方式の出力信号電圧にしています。入力段の最も大きな問題は、入力同相電圧の範囲に渡っての入力バイアス電流の挙動です。OP284の入力バイアス電流は、単にQ1-Q3と

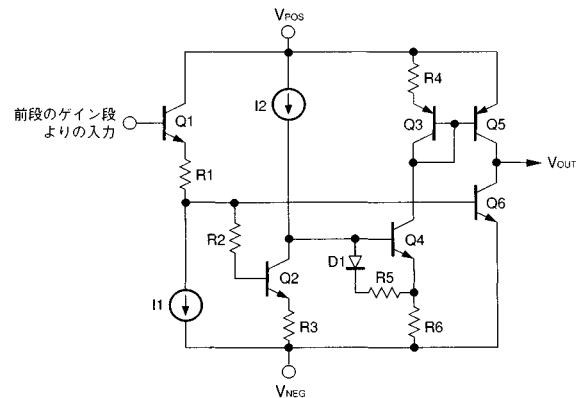


図42. OP284等価出力回路

つまり、出力トランジスタの飽和電圧がOP284の最大出力電圧の限度値を設定します。出力短絡回路の限度値は、前段のゲイン段よりQ1のベースに流れ込む信号電流の最大値で決まります。出力短絡回路の状況下でのこの入力電流レベルは約100 μAです。トランジスタの電流ゲインがおよそ200の場合、短絡回路電流は約20 mAに制限されます。また出力段も電圧ゲインを示します。エミッタが共通のアンプによって、このゲイン処理を行っているため、結果として、出力段の電圧ゲイン(つまりこのデバイスのオープン・ループ・ゲイン)は、OP284の出力上の全負荷抵抗成分に依存することになります。

入力過電圧保護

他のデバイスと同様、入力電圧がデバイスの電源電圧を超えた際のデバイスの入力過電圧I-V特性を考慮にいれなければなりません。過電圧状態が生じた時、入力電圧の大きさと流れる電流の大きさによって、デバイスがダメージを受ける場合があります。図43は、OP284の過電圧I-V特性を示しています。この図は、電源ピンをGNDに接続し、カーブ・トレーサのコレクタ出力ドライブを入力に接続したものです。

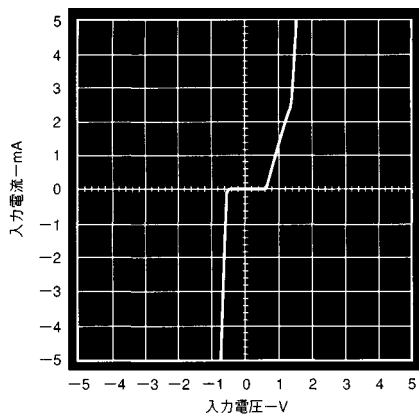


図43. OP284の入力過電圧I-V特性

図に示すように、入力が正電源電圧より1.8 V以上の場合、また負電源電圧より0.6 V以下の場合にOP284の内部p-n接合がエネルギーを蓄え、入力から電源へ電流が流れ易くなります。図41の簡略化した等価回路に示すように、OP284は内部に電流制限抵抗を備えていないためにフォルト電流が、ダメージを与えるレベルまで急激に上昇してしまいます。

入力電流を5 mA以下に制限すると、入力電流がデバイスにダメージを与えることはありません。OP284の場合、入力電圧が負の電源電圧より0.6 V 以下になると、入力電流は簡単に5 mAを超えます。この状態が続く場合、熱的なノイズが生じるため外部に直列に抵抗を配置してください。図44は、直列抵抗(R_S)を接続した過電圧保護アンプの代表的な非反転構成です。

$$R_S = \frac{V_{IN(MAX)} - V_{SUPPLY}}{5 \text{ mA}}$$

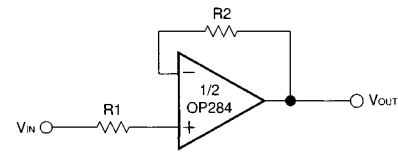


図44. 入力に直列抵抗を配慮して、過電圧時の電流を安全な値に制限

例えば1 k Ωの抵抗で、電源から最高5 V上あるいは下の入力信号からOP284を保護できます。両方の入力を使う他の構成では、各入力を直列抵抗で保護してください。さらに最高のDC性能とAC性能を実現するために、ソース・インピーダンスのレベルのバランスを取ることを推奨します。過電圧時のオペアンプの一般的な特性についての詳細は、1993年発行のシステム・アプリケーション・ガイドの第1項の56頁から69頁を参照してください。この冊子は、アナログ・デバイセズ社のリテラチャ・センターから入手できます。

出力位相反転

単電源で動作するオペアンプ製品の中には、入力を同相範囲を超えてドライブした時に出力電圧が位相反転を起こすものもあります。通常の単電源バイポーラ・オペアンプでは、負電源によって同相範囲の下限が決まります。このように同相範囲が制限されたデバイスでは、入力信号がデバイスの負電源電圧(例: GND)を超えて出力反転が起きないように、外部にクランプ・ダイオードを設け、このアノードをグラウンドに接続し、またカソードを入力に接続する必要があります。JFET入力のおペアンプでも位相反転を起こす場合があるので、その時は通常入力に直列抵抗を配置して、位相反転を起こさないようにします。

OP284は入力電圧をある一定の範囲に制限はしていません。入力電圧が電源電圧を超えない限り大丈夫なデバイスです。しかしこのデバイスの出力は位相を変化させませんが、図43に示すように入力保護ダイオードに大きな電流が流れる場合があります。したがって、入力電圧が電源電圧を超える可能性があるアプリケーションでは、入力過電圧保護の項で推奨する手法を利用してください。

単電源アプリケーションで低ノイズ回路を設計

単電源アプリケーションでは、OP284のようなレールtoレール特性を持つデバイスによって、アプリケーションのダイナミック・レンジを有効に使用できます。実際、OP284ファミリは単電源、レールtoレール特性動作、および低ノイズ性能を1チップ内で実現した最初のデバイスと言えます。また入力ノイズ電圧密度が1 kHzで4 nV/√Hz未満の最初の製品です。さらにこの製品は、特に低ノイズで単電源アプリケーションおよび回路ノイズに留意するシステム用に設計されています。

OP184/OP284/OP484

図45に示すようなオペアンプのノイズ・モデル回路構成を考えると、ソース抵抗成分が R_S の際のオペアンプの全等価入力ノイズ電圧は、次の式で表されます：

$$e_{nT} = \sqrt{2[(e_{nR})^2 + (i_{nOA} \times R)^2] + (e_{nOA})^2}, \text{ 単位は } \frac{V}{\text{Hz}}$$

ここで $R_S = 2R =$ 実効、または等価回路ソース抵抗成分。
 $(e_{nOA})^2 =$ オペアンプの等価入力ノイズ電圧スペクトラム電力(1 Hz帯域幅)
 $(i_{nOA})^2 =$ オペアンプの等価入力ノイズ電流スペクトラム電力(1 Hz帯域幅)
 $(e_{nR})^2 =$ ソース抵抗の熱ノイズ電圧電力(= $4 kTR$)
 $k =$ ボルツマン定数 = $1.38 \times 10^{-23} \text{J/K}$ 、そして
 $T =$ 回路の周囲温度(K) = $273.15 + T_A$ ()

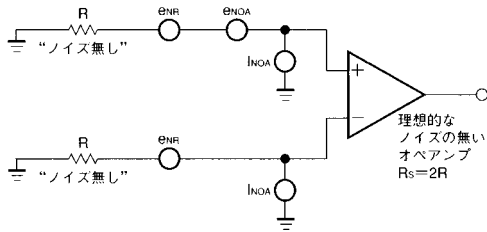


図45. 全回路等価入力ノイズ電圧とノイズの特長を求めめるためのオペアンプのノイズ回路モデル

設計用に図46にOP284の全等価入力ノイズと1個の抵抗の全熱ノイズの比較を示します。ソース抵抗成分が1k 未満の場合、OP284の等価入力ノイズ電圧が最も大きな要素となることに注意してください。

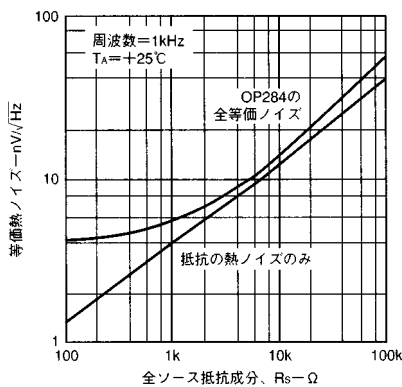


図46. OP284の全ノイズとソース抵抗成分の関係

回路のSNRは、システムの最終評価を行う際に重要なパラメータであるため、回路のノイズ性能はしばしばノイズ特性(NF)で表されます。このノイズ特性は、回路の出力信号対ノイズと入力信号対ノイズの比率と定義されています。前述のオペアンプの電圧ノイズと電流ノイズ・パラメータを使って回路のNFをdBで表すと：

$$NF(dB) = 10 \log \left[1 + \frac{(e_{nOA})^2 + (i_{nOA} R_S)^2}{(e_{nRS})^2} \right]$$

ここで $NF(dB) =$ dBで表す回路のノイズ特性。
 $R_S =$ アンプ入力上の実効、または等価回路ソース抵抗成分。
 $(e_{nOA})^2 =$ OP284のノイズ電圧スペクトラム電力(1 Hzの帯域幅)
 $(i_{nOA})^2 =$ OP284のノイズ電流スペクトラム電力(1 Hzの帯域幅)
 $(e_{nRS})^2 =$ ソース抵抗の熱ノイズ電圧電力(= $4 kTR_S$)

回路のノイズ特性は、アプリケーションの信号レベルがノイズ特性を決めるのに必要とされないために、簡単に計算できます。しかし最高のSNRを実現するためにNF計算方法を使う多くの設計者は、低ノイズ特性は全ノイズが低いことと同じと考えています。実際、図47に示されるように、事実はその逆です。ここでのOP284のノイズ特性は、ソース抵抗のレベルと関係があることが示されています。OP284の最も低いノイズ特性は、ソース抵抗レベルが10k の際に発生することに注意してください。しかし図46は、このソース抵抗レベルでOP284は約14 nV/√Hzの全等価回路ノイズを発生することを示しています。アプリケーションの信号レベルは、常に回路のSNRを最大となるように増加します。これは低電圧の単電源アプリケーションだけに見られるものではありません。

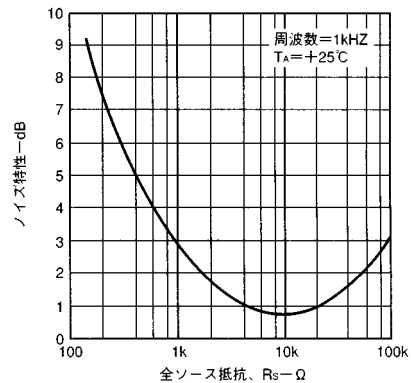


図47. OP284のノイズ特性とソース抵抗

したがって単電源アプリケーションでは、最も低い等価入力ノイズ電圧のオペアンプを選択し、また全回路ノイズを低く抑えるためにソース抵抗レベルが一致するものを選択して最高の回路SNRを実現してください。

オーバードライブよりの回復

オペアンプのオーバードライブよりの回復時間は、出力電圧が飽和した状態からリニアな領域まで回復するのに必要な時間のことで、アンプが大きな過渡応答の後に急速に回復しなければならないアプリケーションでは、この回復時間が重要です。図48の回路は、OP284の過負荷回復時間を測定するものです。OP284は正方向の飽和状態から約2 μs、また負方向の飽和状態から約1 μsで回復します。

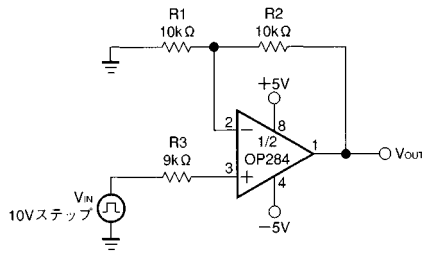


図48. 出力過負荷回復時間測定用のテスト回路

単電源、+3V計装アンプ

OP284の低ノイズ、広帯域幅、およびレールtoレール入力/出力等の特性は、低電源電圧アプリケーションで図49に示すような2個のオペアンプの計装アンプを構築する際に理想的です。この回路は、ゲイン設定用に4個の抵抗と2個のオペアンプを使う従来の計装アンプです。この回路の伝達関数は、非反転回路のものと同じです。抵抗R2とR3はマッチングのとれたものを使用してください。同様に、抵抗(R1+P1)とR4は良好な同相除去性能を示すようにマッチングしてください。R2とR3は良好な性能を実現するのに必要な許容相対マッチング特性を示しますので、この回路ではR2とR3抵抗を使用しています。またマッチングのとれた抵抗回路は優れた相対抵抗温度係数を示しますので、温度に対して良好な回路安定性を実現できます。最高のDCのCMR特性の実現するために、ポテンショメータP1を使っています。また最高のACのCMR特性を実現するために、C1を使っています。図に示した値を使うと、20 Hzから20 kHzの周波数範囲に渡って80 dBを超える回路CMRを実現できます。さらに0.1 Hzから10 Hzまでの帯域の回路RTIノイズ(入力に対するノイズ)は、0.45 μVp-pと非常に低い値です。抵抗RPIとRP2は、入力の過電圧状態からOP284を保護するように動作します。またコンデンサC2は回路の帯域幅を制限します。したがって、ノイズ特性が重要なアプリケーションでは広帯域ノイズを除去するように動作します。必要とする回路のクローズド・ループ帯域幅に合わせて、このコンデンサの値を決めてください。さらにR4-C2の時定数は、以下の周波数上に極を発生します：

$$f(3\text{ dB}) = \frac{1}{2\pi R4C2}$$

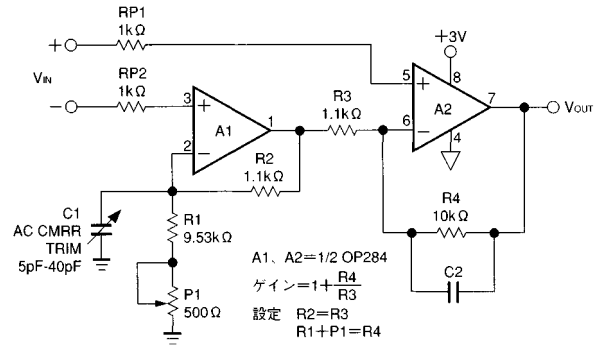


図49. +3Vの単電源、低ノイズ計装アンプ

+3V電源から+2.5Vリファレンスを発生

多くの単電源アプリケーションでは、しばしば+2.5Vリファレンスが要求されます。ほとんどのモノリシック2.5Vリファレンス製品は、最低4Vの電源が必要です。したがって電源電圧が+3Vの場合に問題が生じます。図50の回路は、+3Vの単電源で動作する+2.5Vリファレンスの例です。この回路は、OP284のレールtoレール入力/出力電圧範囲を利用して、AD589の1.235V出力を+2.5Vに増幅しています。1.5 μV/ のOP284の低TCV_{OS}によって、出力電圧の温度係数はR2とR3の温度係数を考慮するだけになります。100 ppm/ の温度係数の抵抗をこの回路に使うと、出力の温度係数は200 ppm/ です。より精度を高めるためには、より小さな温度係数の抵抗を推奨します。

電圧リファレンスの性能を評価するものの1つに、負荷電流が突然変化した際の回復時間があります。この回路は一定の1 mAの電流をソースする状態から負荷電流が±1 mA変化した場合、1.5 μ秒で元の出力電圧の0.01%内へ回復します。

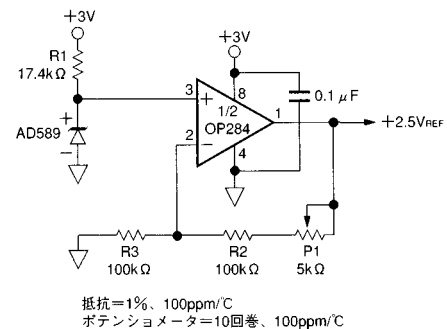


図50. +3Vの単電源で動作する+2.5Vリファレンス

OP184/OP284/OP484

+5 Vのみの12ビットDACレールtoレール振幅

OP284をCMOSのDACと共に使用して、幅広い範囲の出力電圧をデジタル的に制御できます。図51はDAC8043とAD589を使用して0 Vから1.23 Vの出力電圧を発生しています。DACは「電圧スイッチング」モードで動作させています。ここでは、リファレンスを電流出力(I_{out})に接続し、そして電圧をVREFピンから出力しています。反転処理を行い、単電源アプリケーションでは利用できない従来の電流出力モードとは異なり、この手法は非反転処理回路です。

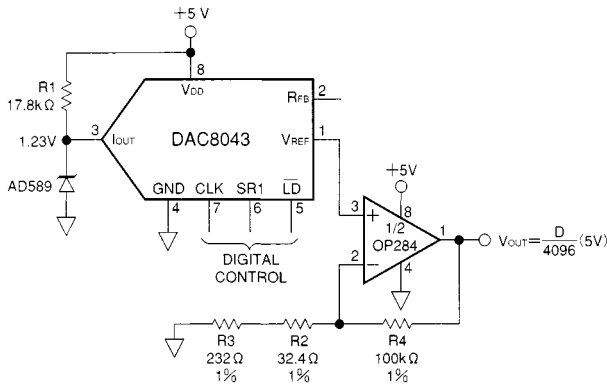


図51. +5 Vのみの12ビットDACレールtoレール振幅

このアプリケーションでは、OP284は2種類の機能を果たします。1つ目は、10 k程度程度のDACのVREFピンの高出力インピーダンスをバッファ操作します。このオペアンプは、低インピーダンスでここに示されるどんな回路をもドライブします。2つ目は、オペアンプがレールtoレール出力を実現するために出力信号の増幅操作を行います。この例の場合、ゲインを4.1に設定してフルスケール時のDAC出力が5 Vを発生できるようにします。また $0 \leq V_{OUT} \leq 4.095$ V等の他の出力電圧範囲が要求される場合、R2とR3の値を調整してゲインを簡単に変更できます。

高電流モニター

電源制御回路を設計する上で、バストランジスタを幅広い範囲の負荷電流状態に渡って長期間安定を保つことに細心の注意を払います。つまり、回路設計上ではデバイスの消費電力をモニターし、制限することが最も重要なこととなります。図52の回路は、フォールドバック電流制限処理を行う電圧レギュレータ、あるいはクローバ保護を行う高電流電源と共に使用できる+3 Vの電源用の高電流モニターです。この回路では、0.1のシャント抵抗で生じる電圧降下のセンス用にOP284のレールtoレール入力電圧特性を利用しています。回路のフィードバック内に配置されているpチャンネルのMOSFETは、オペアンプの差動入力電圧を電流に変換しています。この電流はR2に流れ、負荷電流を表す電圧を発生します。この電流モニターの伝達関数は：

$$\text{モニター出力} = R2 \times \left(\frac{R_{SENSE}}{R1} \right) \times I_L$$

図の部品値を使用した場合のモニター出力の伝達関数は2.5 V/Aです。

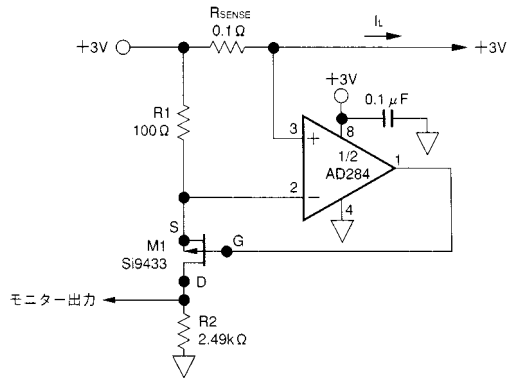


図52. 高負荷電流モニター

容量負荷ドライブ能力

OP284は、優れた容量負荷ドライブ能力を示します。図27に示すように最高1 nFの容量をドライブできます。デバイスが安定していても、容量負荷は帯域幅に影響を与えてしまいます。負荷が2 nFを超える場合は、帯域幅が1 MHzに低下します。出力上にスナバー回路を設けても帯域幅は増加しませんが、容量負荷によるオーバーシュートを大幅に減少させます。スナバー回路は、図53のようにデバイスの出力とグラウンドとの間の直列のR-C回路(R_S と C_S)で構成されています。この回路は、負荷容量(C_L)と並列に必要な位相補償操作を行います。この抵抗値とコンデンサの値は、経験的に求められるべきです。

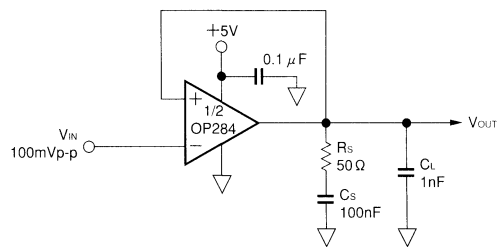


図53. 容量負荷を補償するスナバー回路

まず最初に抵抗 R_S の値を求める事から始めます。値は100 から始めるのが適当です(通常、最適な値は100 未満)。小信号過渡応答が最適なものになるまで、この値を低下させます。次に C_S の値を求めます。最初は10 μ Fにします。性能が著しく低下しないまで、この値を小さくして行きます(通常1 μ F)。OP284上の負荷容量が10 nFの場合、最適なスナバー回路は20 と直列に1 μ Fです。図54は、この回路の長所を示した写真です。上のラインは、1 nFの負荷のもので、下のラインは、50 と100 nFのスナバー回路のもので、オーバーシュートとリングングの大きさが著しく減少しています。また表1は、負荷容量とスナバー回路の値の例を示しています。

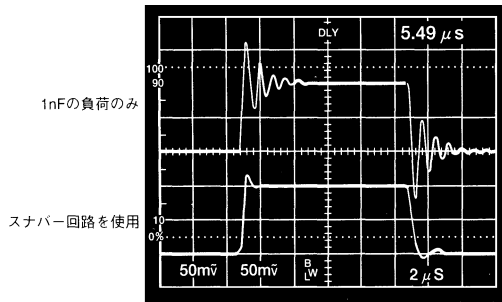


図54. 1 nF 負荷と並列にスナバー回路を設けることにより、オーバーシュートとリングングを減少

表1. 大きな容量負荷の場合のスナバー回路

負荷容量 (C _L)	スナバー回路 (R _S , C _S)
1 nF	50、100 nF
10 nF	20、1 μF
100 nF	5、10 μF

電流制限を行う低電圧降下レギュレータ

多くの回路は、レギュレートされていない入力源と同じレベルの電圧のレギュレートした安定電圧源を必要とします。OP284等のレールtoレール出力特性を持つオペアンプを使って簡単に“低電圧降下”型のレギュレータを構築できます。幅広い出力振幅によって、簡単に低飽和電圧タイプのパス・デバイスをドライブできるからです。さらにオペアンプがレールtoレールの入力機能を使用する時も特に便利です。これは、この電流により正電源の電流制限操作の高電流センス機能を実行できるからです。代表的な例として、3 Vから9 Vの範囲のシステム電圧を発生するもの、あるいは電力の効率を高めるために低電圧降下が必要なアプリケーションが挙げら

れます。ここでは、定格5 Vソース(最悪4.6 Vレベル程度)から4.5 Vを発生する例を紹介します。

図55は、OP284と低R_{DS(ON)}のPチャンネルMOSFETパス・デバイスを使ったレギュレータ回路です。ゲート・ドライブ電圧がわずかに2.7 Vで定格0.11 AのQ1が、この回路の低電圧降下性能をもたらします。この比較的低いゲート・ドライブ・スレッシュホールドにより、全体の性能を低下させずに最低3 Vの電源でレギュレータを動作できます。

OP284の片方のU1Bが、回路のメインの電圧制御ループ動作を行います。この電圧制御アンプは、3端子のU2(REF192)が発生する2.5 Vリファレンスを増幅します。このレギュレートした出力電圧(V_{OUT})は:

$$V_{OUT} = V_{OUT2} \left(1 + \frac{R2}{R3}\right)$$

例えば、V_{OUT2} = 2.5 VでV_{OUT}が4.5 Vの場合は1.8倍のU1Bゲインを必要とするので、R3とR2は1:2:1の比率、または10.0 k : 8.06 k (最も近い1%の値を使用)の比率を選択します。また最低のV_{OUT}のDC誤差を実現する場合、(この例のように)R2 = R3はR1と等しくなるようにしてください。またR2とR3の抵抗は、温度に対して安定な許容誤差が同じ金属皮膜抵抗タイプのものを選択してください。図55の表は、いくつかの電圧に対するR1からR3の値を示したものです。しかし、出力は通常V_{OUT2}からQ1の12 Vの最大定格の間で任意に設定できることに注意してください。

Q1の低電圧飽和特性は低電圧降下特性のための重要な要素ですが、良好なDC精度を持つ他の部品が低電流センス用のスレッシュホールドを備えていることも重要な要素です。ここでは、1.235 Vリファレンス・ダイオード(AD589)とR7-R8抵抗分周回路よりの20 mVリファレンスが入力される電流センス・アンプ(U1A)がこの特性を備えています。出力電流とR_Sの値を乗じたものがこの電圧スレッシュホールドと一致した場合、電流制御ループがアクティブ状態となります。そしてU1Aは、D1を通してQ1のゲートをドライブします。これにより、回路全体の動作が電流制御モード状態にな

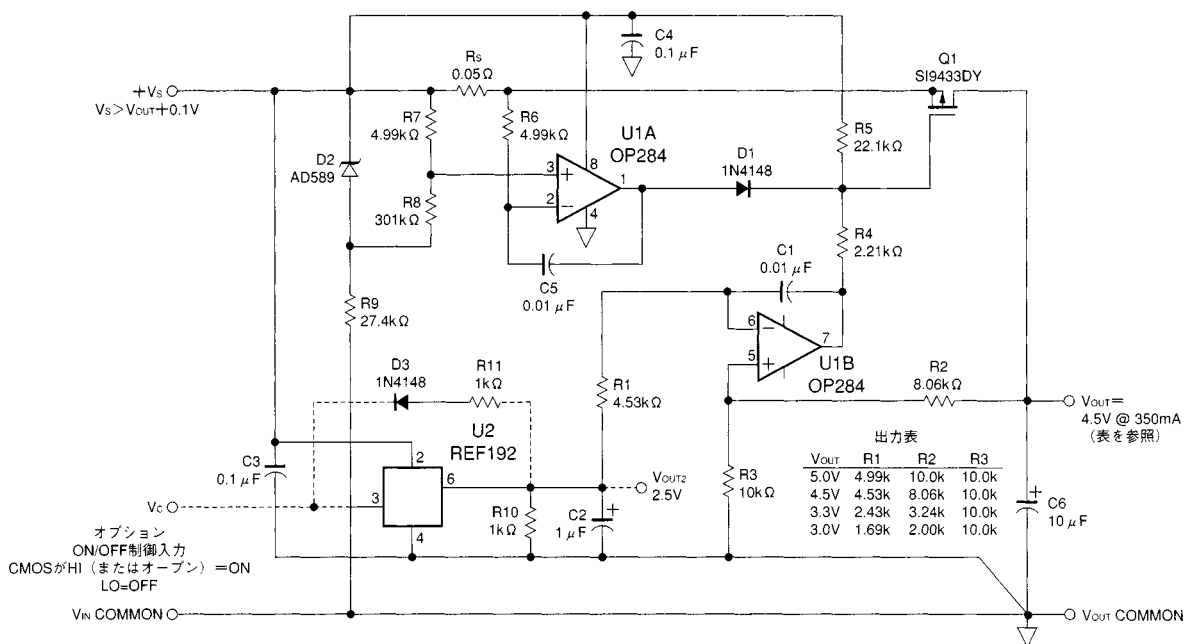


図55. 電流制限機能付きの低電圧降下レギュレータ

OP184/OP284/OP484

り、電流を制限します。この I_{LIMIT} の値は：

$$I_{LIMIT} = \left(\frac{V_{R(D2)}}{R_S} \times \frac{R7}{R7 + R8} \right)$$

全体の降下電圧の大きな部分を占めるため、この比較用の電圧は小さい値にしてください。ここでの20 mVリファレンスは、OP284のオフセット値(typ)より大きいのですが、 V_{OUT} よりはかなり小さいものと言えます(0.5%未満)。他の I_{LIMIT} レベルに制限値を設定するには、R7-R8と共にセンス抵抗 R_S を調整して、このスレッシュホールド電圧を20 mVから50 mVの範囲に維持してください。

この回路の性能は優れたものです。4.5 Vの出力バージョンの場合、225 mVの負荷の変化でDC出力は数mV変動しますが、この電流レベルでの電圧降下は約30 mVです。図の電流の制限値は400 mAです。これにより、回路は約300 mA程度の電流を利用できます。デバイスQ1は、数Aの電流をサポートできますが、実際の電流定格はSO-8パッケージ・デバイスの消費電力2.5 W(+25)を考慮に入れています。入力レベルが5 Vで400 mAの短絡回路電流によってQ1が2 Wの電力を消費するため、Q1のオーバーヒートに注意して他の入力条件を考えてください。Q1により電力値の大きいデバイスを使用する場合、この回路は数10 Aの出力電流をサポートできますし、また上記より高い V_{OUT} レベルもサポートできます。

図の回路は、標準的な低電圧降下レギュレータとして使用するか、あるいはON/OFF制御と共に使用できます。オプションのロジック信号 V_C でU1のピン3をドライブして、出力をONまたはOFFにします。この回路で出力がOFF状態の時でも出力はアクティブの状態だということに注意してください(つまり、オープン回路状態ではありません)。これは、OFF状態は単にR1への入力電圧を減少させるだけで、U1A/Bアンプを切り離し、そしてQ1はアクティブな状態だからです。

ON/OFF制御を利用する場合、ON-OFFのスイッチングを高速にし、回路の出力を定格の0電圧に設定可能なようにU1と共に抵抗R10を使用してください。部品D3とR11は、C2用のダイナミック放電経路となることで、これもON-OFFの遷移を高速化します。OFF-ON遷移時間は1 m秒未満ですが、ON-OFF遷移時間は少し長く10 m秒未満となります。

+3 V、仮想グラウンド付きの50 Hz/60 Hzアクティブ・ノッチ・フィルタ

単電源システム信号を処理する際に、仮想グラウンド・バイアス処理を施す場合があります。図56は、この手法を利用した回路例です。この回路では、携帯型の医療モニター装置への50 Hz/60 Hz電力ラインの干渉を抑えるために、仮想グラウンド回路はアクティブ・ノッチ・フィルタのバイアス処理を行います。ノッチ・フィル

タは、心臓波、血圧計、EEG、EKG等の低周波数の生理信号を弱める電力ラインの周波数の干渉を抑えるのに一般的に使われます。このノッチ・フィルタは、0.75のQのフィルタで効果的に60 Hzを抑え込みます。ツイント部(R1からR5)の2.67 kの抵抗を3.16 kの抵抗に換えると、アクティブ・フィルタは50 Hzの干渉を抑えます。

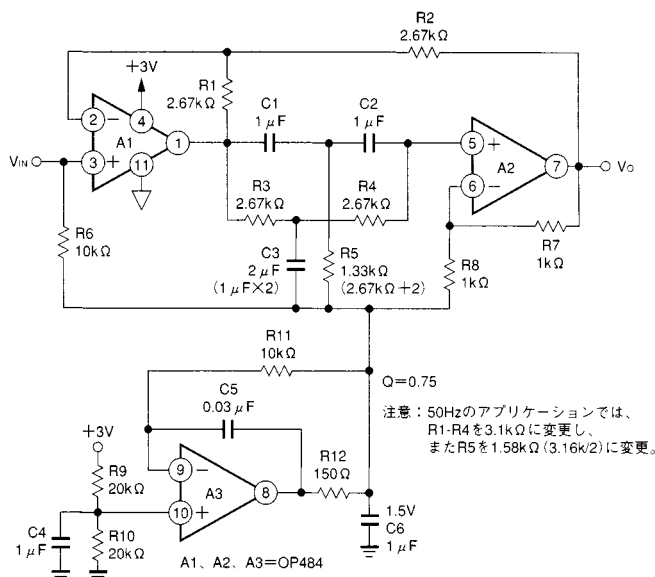


図56. +3 V単電源、仮想グラウンド付きの50/60 Hzアクティブ・ノッチ・フィルタ

アンプA3は、仮想グラウンド・バイアス回路の中心部と言えます。これは、単にR9とR10で発生する電圧をバッファし、またアクティブ・ノッチ・フィルタのリファレンスとなります。OP484はレールtoレールの入力同相範囲を備えているため、+3 V電源電圧を対称的に分割するようにR9とR10を選んであります。さらにOP484の回りは、ループ補償技術を使用しています。これにより、オペアンプは発振せずにC6の1 μFコンデンサをドライブできます。C6は、フィルタの動作周波数範囲に渡って低インピーダンスのACグラウンドを維持します。

このフィルタでは、ツイント構成の中でOP484を使用しています。この構成の周波数選択性は、ツイント部のコンデンサと抵抗の相対的な整合性に強く依存します。マイラ・コンデンサを使用し、コンデンサと抵抗の相対的な整合性がフィルタの通過域の対称性を決めます。1%の抵抗と5%のコンデンサで満足する結果が得られます。

OP184/OP284/OP484

OP284スパイス・マクロ・モデル

9/94/Rev.A

ARG/ADI

フリッカ・ノイズを持つ2番目の電流ノイズ源

アナログ・デバイセズ社が著作権を保有、1995

ライセンスに関しては“ README.DOC ”を参照してください。
このモデルを使用することは、ライセンスを許諾したことと見な
されます。

宣言文。

ノードの割当て

```

非反転入力
| 反転入力
| | 正電源
| | | 負電源
| | | | 出力
| | | | |
.SUBCKT OP284
1 2 99 50 45
    
```

.SUBCKT OP284

入力段

Q1	5	2	3	QIN 1
Q2	6	11	3	QIN 1
Q3	7	2	4	QIP 1
Q4	8	11	4	QIP 1
DC1	2	11	DC	
DC2	11	2	DC	
Q5	4	9	99	QIP 1
Q6	9	9	99	QIP 1
Q7	3	10	50	QIN 1
Q8	10	10	50	QIN 1
R1	99	5	4E3	
R2	99	6	4E3	
R3	7	50	4E3	
R4	8	50	4E3	
IREF	9	10	50.5E-6	
EOS	1	11	POLY(2)(22, 98)(14, 98)-25E-6	1E-2 1
IOS	2	1	5E-9	
CIN	1	2	2E-12	
GN1	98	1	(17, 98)	1E-3
GN2	98	2	(23, 98)	1E-3

フリッカ・ノイズを持つ電圧ノイズ源

VN1	13	98	DC2
VN2	98	15	DC2
DN1	13	14	DEN
DN2	14	15	DEN

フリッカ・ノイズを持つ電流ノイズ源

VN3	16	98	DC2
VN4	98	18	DC2
DN3	16	17	DIN
DN4	17	18	DIN

VN5	19	98	DC2
VN6	98	24	DC2
DN5	19	23	DIN
DN6	23	24	DIN

ゲイン段

EREF	98	0	POLY(2)(99, 0)(50, 0)0.5 0.5
G1	98	20	POLY(2)(6, 5)(8, 7)0.5E-3 0.5E-3
R9	20	98	1E3

100 kHzでの同相段

ECM	98	21	POLY(2)(1, 98)(2, 98)0.5 0.5
R10	21	22	1
R11	22	98	100E-6
C4	21	22	1.592E-3

20 MHzで負の零点

E1	27	98	(20, 98)	1E6
R17	27	28	1	
R18	28	98	1E-6	
C8	25	26	7.958E-9	
ENZ	25	98	(27, 28)	1
VNZ	26	98	DC0	
FNZ	27	28	VNZ-1	

40 MHzでの極

G4	98	29	(28, 98)	1
R19	29	98	1	
C9	29	98	3.979E-9	

40 MHzでの極

G5	98	30	(29, 98)	1
R20	30	98	1	
C10	30	98	3.979E-9	

出力段

ISY	99	50	0.276E-3	
GIN	50	31	POLY(1)(30, 98)	862574E-6 505.879E-6
RIN	31	50	2.75E6	
VB	99	32	0.7	
Q11	32	31	33	QON1
R21	33	34	4.5E3	
I1	34	50	50E-6	
R22	99	35	6E3	
Q12	36	36	35	QOP1
I2	36	50	50E-6	

OP184/OP284/OP484

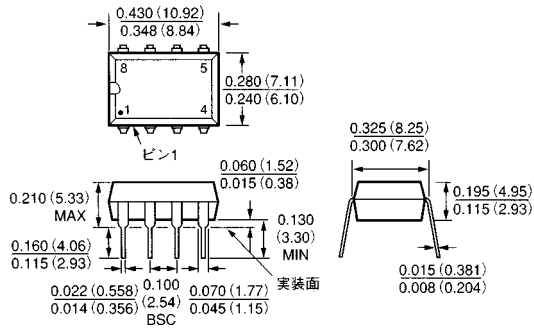
```
R23  99  37  2.6E3
R24  34  38  5E3
Q13  39  36  37  QOP1
Q14  39  38  40  QON1.5
R25  40  50  40
Q15  39  39  41  QON1
R26  41  42  1E3
R27  99  43  220
Q16  44  44  43  QOP1.5
Q17  44  39  42  QON1
R28  42  50  2E3
VSCP 99  97  DC0
FSCP 46  99  VSCP 1
RSCP 46  99  40
Q20  44  46  99  QOP1
Q18  45  44  97  QOP4.5
Q19  45  34  51  QON4.5
VSCN 51  50  DC0
FSCN 50  47  VSCN 1
RSCN 47  50  40
Q21  34  47  50  QON1
CC2  31  45  20E-12
CF1  31  34  15E-12
CF2  31  42  15E-12
CO1  34  45  15E-12
CO2  42  45  5E-12
D3   45  99  DX
D4   50  45  DX
.MODEL DC D( IS = 130E-21 )
.MODEL DX D ( )
.MODEL DEN D( RS = 100 KF = 12E-15 AF = 1 )
.MODEL DIN D( RS = 5.358 KF = 56E-15 AF = 1 )
.MODEL QIN NPN( BF = 200 VA = 200 IS = 0.5E-16 )
.MODEL QIP PNP( BF = 100 VA = 60I S = 0.5E-16 )
.MODEL QON NPN( BF = 200 VA = 200 IS = 0.5E-16RC = 50 )
.MODEL QOP PNP( BF = 200 VA = 200 IS = 0.5E-16RC = 160 )
.ENDS
```

OP184/OP284/OP484

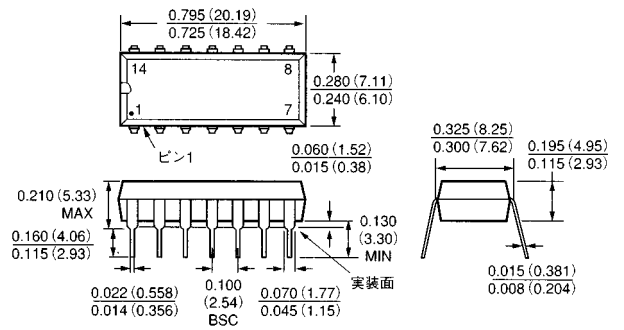
外形寸法

サイズはインチと(mm)で示します。

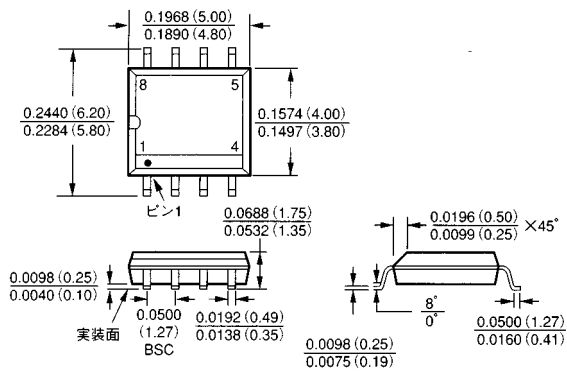
8ピン・エポキシDIP(P)



14ピン・エポキシDIP(P)



8ピンSO(S)



14ピン幅狭SO(S)

