



低ノイズ、低入力バイアス電流の 高精度オペアンプ

OP1177/OP2177/OP4177

特長

- 低オフセット電圧: 60 μV 最大
- 非常に小さいオフセット電圧ドリフト: 最大 0.7 $\mu\text{V}/^\circ\text{C}$
- 低入力バイアス電流: 最大 2 nA
- 低ノイズ: 8 nV/ $\sqrt{\text{Hz}}$ (typ)
- CMRR、PSRR、 A_{vo} : 最小 120 dB
- 低消費電流: アンプあたり 400 μA
- 両電源動作: $\pm 2.5\text{ V} \sim \pm 15\text{ V}$
- ユニティ・ゲイン安定
- 位相反転なし
- 電源電圧を超える入力に対する内部保護

アプリケーション

- 無線基地局制御回路
- 光ネットワーク制御回路
- 計装機器
- センサーおよび制御
 - 熱電対
 - 抵抗熱検出器 (RTD)
 - ストレーン・ブリッジ
 - シャント電流計測
- 高精度フィルタ

ピン配置

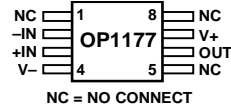


図1.8 ピン MSOP
(RM サフィックス)

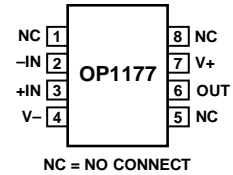


図2.8 ピン SOIC_N
(R サフィックス)

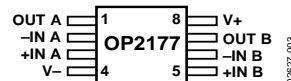


図3.8 ピン MSOP
(RM サフィックス)

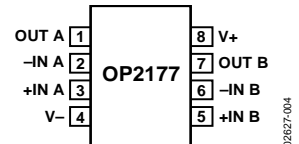


図4.8 ピン SOIC_N
(R サフィックス)

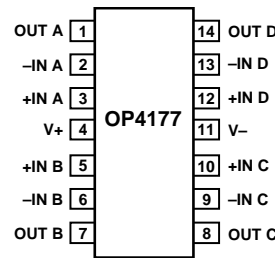


図5.14 ピン SOIC_N
(R サフィックス)

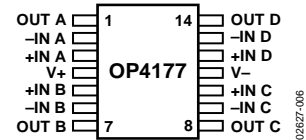


図6.14 ピン TSSOP
(RU サフィックス)

概要

OPx177 ファミリーは、極めて低いオフセット電圧とドリフト、低入力バイアス電流、低ノイズ、低消費電力を持つ、非常に高精度のシングル、デュアル、クワッドのアンプから構成されています。出力は 1000 pF 以上の容量負荷で外部補償なしで安定です。電源電流は 30 V でアンプあたり 500 μA 以下です。内蔵の 500 Ω 直列抵抗で入力を保護しているため、位相反転なしで両電源を数ボルトを超える入力信号レベルまで許容できます。

非常に小さいオフセット電圧を持つこれまでの高電圧アンプとは異なり、OP1177 (シングル) アンプと OP2177 (デュアル) アンプは小型の 8 ピン表面実装 MSOP パッケージまたは 8 ピン・ナロー-SOIC パッケージを採用しています。OP4177 (クワッド) は TSSOP パッケージまたは 14 ピン・ナロー-SOIC パッケージを採用しています。さらに、MSOP パッケージと TSSOP パッケージでの仕様性能は、SOIC パッケージでの性能と同じです。

MSOP パッケージと TSSOP パッケージはテープまたはリールでのみ出荷しています。

OPx177 ファミリーは、表面実装パッケージの高精度アンプで最も広い温度範囲を提供しています。すべてのバージョンは、最も厳しい動作環境に対して $-40^\circ\text{C} \sim +125^\circ\text{C}$ で動作が規定されています。

これらのアンプのアプリケーションとしては、高精度ダイオード電力測定、電圧レベルと電流レベルの設定、光および無線伝送システムでのレベル検出などがあります。その他のアプリケーションとしては、ライン給電型および携帯型の計装機器および制御機器 (熱電対、RTD、ストレーン・ブリッジ、その他のセンサー・シグナル・コンデショニング) および高精度フィルタなどがあります。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2001–2009 Analog Devices, Inc. All rights reserved.

Rev. G

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	過負荷回復時間	15
アプリケーション	1	THD + ノイズ	16
ピン配置	1	容量負荷の駆動	16
概要	1	浮遊入力容量の補償	17
改訂履歴	2	電磁干渉の削減	17
仕様	3	適切なボード・レイアウト	18
電気的特性	3	ディファレンス・アンプ	18
電気的特性	4	高精度熱電対アンプ	19
絶対最大定格	5	低消費電力の直線性 RTD	19
熱抵抗	5	シングル・オペアンプ・ブリッジ	20
代表的な性能特性	6	アクティブ・フィルタの実現	21
機能説明	14	バンドパス KRC または Sallen-Key フィルタ	21
ソース抵抗を含む総合ノイズ	14	チャンネル・セパレーション	21
ゲインの直線性	14	ノイズ・ダイナミクスとフリッカ・ノイズの参考資料	21
入力過電圧保護機能	15	外形寸法	22
出力位相の反転	15	オーダー・ガイド	24
セトリング・タイム	15		

改訂履歴

11/09—Rev. F to Rev. G		Changes to Figure 67 and Figure 68	21
Changes to Figure 64	19	Removed SPICE Model Section	21
Changes to Ordering Guide	24	Updated Outline Dimensions	22
Updated Outline Dimensions	22	Changes to Ordering Guide	24
5/09—Rev. E to Rev. F		4/04—Rev. B to Rev. C	
Changes to Figure 64	19	Changes to Ordering Guide	4
Changes to Ordering Guide	24	Changes to TPC 6	5
10/07—Rev. D to Rev. E		Changes to TPC 26	7
Changes to General Description	1	Updated Outline Dimensions	17
Changes to Table 4	5	4/02—Rev. A to Rev. B	
Updated Outline Dimensions	22	Added OP4177	Global
7/06—Rev. C to Rev. D		Edits to Specifications	2
Changes to Table 4	5	Edits to Electrical Characteristics Headings	4
Changes to Figure 51	14	Edits to Ordering Guide	4
Changes to Figure 52	15	11/01—Rev. 0 to Rev. A	
Changes to Figure 54	16	Edit to Features	1
Changes to Figure 58 to Figure 61	17	Edits to TPC 6	5
Changes to Figure 62 and Figure 63	18	7/01—Revision 0: Initial Version	
Changes to Figure 64	19		
Changes to Figure 65 and Figure 66	20		

仕様

電気的特性

特に指定がない限り、 $V_S = \pm 5.0\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表1.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage						
OP1177	V_{OS}			15	60	μV
OP2177/OP4177	V_{OS}			15	75	μV
OP1177/OP2177	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		25	100	μV
OP4177	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		25	120	μV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-2	+0.5	+2	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1	+0.2	+1	nA
Input Voltage Range			-3.5		+3.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -3.5\text{ V to }+3.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120	126		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_O = -3.5\text{ V to }+3.5\text{ V}$	1000	2000		V/mV
Offset Voltage Drift						
OP1177/OP2177	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	0.7	$\mu\text{V}/^\circ\text{C}$
OP4177	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.3	0.9	$\mu\text{V}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1\text{ mA}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	+4	+4.1		V
Output Voltage Low	V_{OL}	$I_L = 1\text{ mA}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-4.1	-4	V
Output Current	I_{OUT}	$V_{DROPOUT} < 1.2\text{ V}$		± 10		mA
POWER SUPPLY						
Power Supply Rejection Ratio						
OP1177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120	130		dB
OP2177/OP4177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	115	125		dB
OP2177/OP4177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	118	121		dB
OP2177/OP4177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	114	120		dB
Supply Current per Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		400	500	μA
				500	600	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		0.7		V/ μs
Gain Bandwidth Product	GBP			1.3		MHz
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.4		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		7.9	8.5	nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.2		pA/ $\sqrt{\text{Hz}}$
MULTIPLE AMPLIFIERS CHANNEL SEPARATION						
	C_S	DC $f = 100\text{ kHz}$		0.01		$\mu\text{V/V}$
				-120		dB

¹ typ 値は、平均値から 1 標準偏差以内の全デバイスをカバーします。多くの競合他社のデータシートで typ 値として記載される平均値は、正值と負値を持つことができるパラメータに対する非現実的な小さい予測値を与えます。

電氣的特性

特に指定がない限り、 $V_S = \pm 15\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表2.

Parameter	Symbol	Conditions	Min	Typ ¹	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage						
OP1177	V_{OS}			15	60	μV
OP2177/OP4177	V_{OS}			15	75	μV
OP1177/OP2177	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		25	100	μV
OP4177	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		25	120	μV
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-2	+0.5	+2	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1	+0.2	+1	nA
Input Voltage Range			-13.5		+13.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -13.5\text{ V to }+13.5\text{ V}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120	125		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_O = -13.5\text{ V to }+13.5\text{ V}$	1000	3000		V/mV
Offset Voltage Drift						
OP1177/OP2177	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	0.7	$\mu\text{V}/^\circ\text{C}$
OP4177	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.3	0.9	$\mu\text{V}/^\circ\text{C}$
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1\text{ mA}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	+14	+14.1		V
Output Voltage Low	V_{OL}	$I_L = 1\text{ mA}$, $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-14.1	-14	V
Output Current	I_{OUT}	$V_{DROPOUT} < 1.2\text{ V}$		± 10		mA
Short-Circuit Current	I_{SC}			± 25		mA
POWER SUPPLY						
Power Supply Rejection Ratio						
OP1177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120	130		dB
OP2177/OP4177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	115	125		dB
OP2177/OP4177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	118	121		dB
OP2177/OP4177	PSRR	$V_S = \pm 2.5\text{ V to } \pm 15\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	114	120		dB
Supply Current per Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		400	500	μA
				500	600	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		0.7		V/ μs
Gain Bandwidth Product	GBP			1.3		MHz
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.4		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		7.9	8.5	nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		0.2		pA/ $\sqrt{\text{Hz}}$
MULTIPLE AMPLIFIERS CHANNEL SEPARATION						
	C_S	DC		0.01		$\mu\text{V/V}$
		$f = 100\text{ kHz}$		-120		dB

¹ typ 値は、平均値から 1 標準偏差以内の全デバイスをカバーします。多くの競合他社のデータシートで typ 値として記載される平均値は、正値と負値を持つことができるパラメータに対する非現実的な小さい予測値を与えます。

絶対最大定格

表3.

Parameter	Rating
Supply Voltage	36 V
Input Voltage	V_{S-} to V_{S+}
Differential Input Voltage	\pm Supply Voltage
Storage Temperature Range R, RM, and RU Packages	-65°C to +150°C
Operating Temperature Range OP1177/OP2177/OP4177	-40°C to +125°C
Junction Temperature Range R, RM, and RU Packages	-65°C to +150°C
Lead Temperature, Soldering (10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead MSOP (RM-8) ¹	190	44	°C/W
8-Lead SOIC_N (R-8)	158	43	°C/W
14-Lead SOIC_N (R-14)	120	36	°C/W
14-Lead TSSOP (RU-14)	240	43	°C/W

¹ MSOP はテープまたはリールでのみ供給しています。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

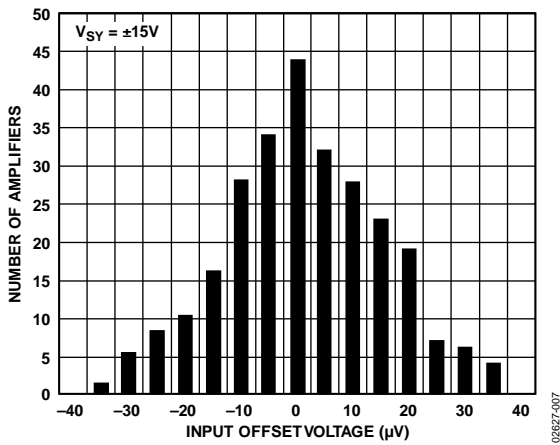


図7.入力オフセット電圧の分布

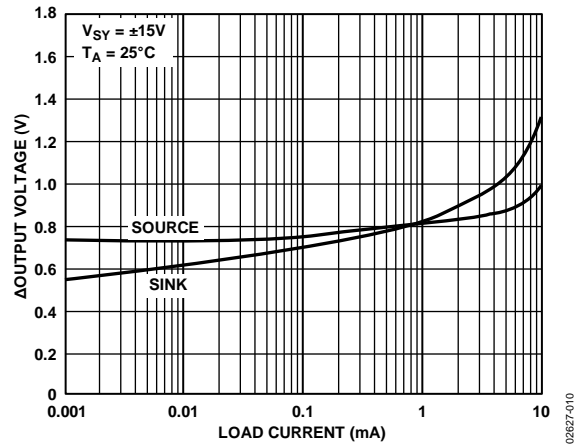


図10.負荷電流対電源レールまで近づく出力電圧

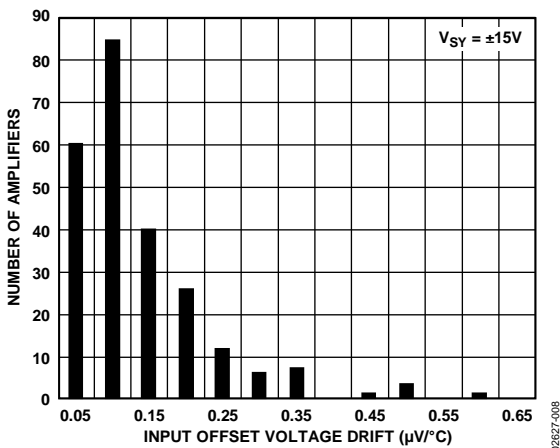


図8.入力オフセット電圧ドリフトの分布

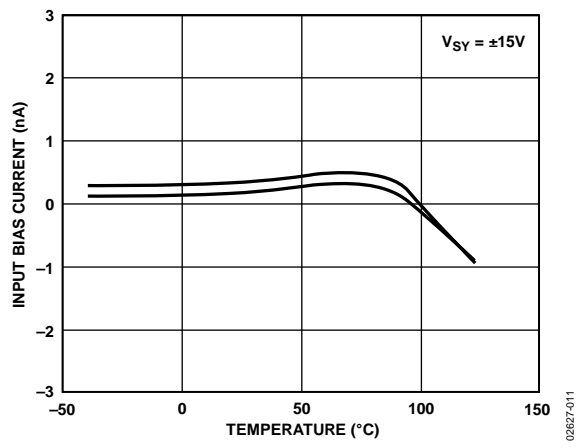


図11.入力バイアス電流の温度特性

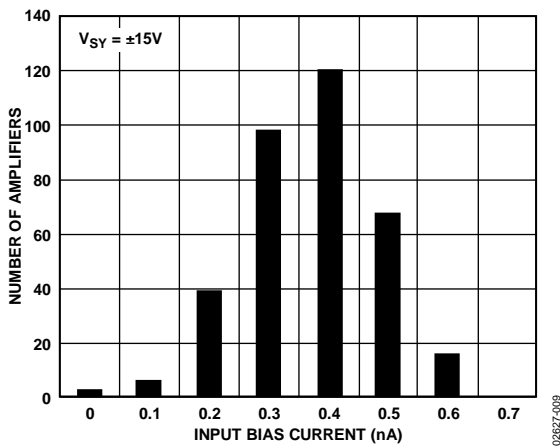


図9.入力バイアス電流の分布

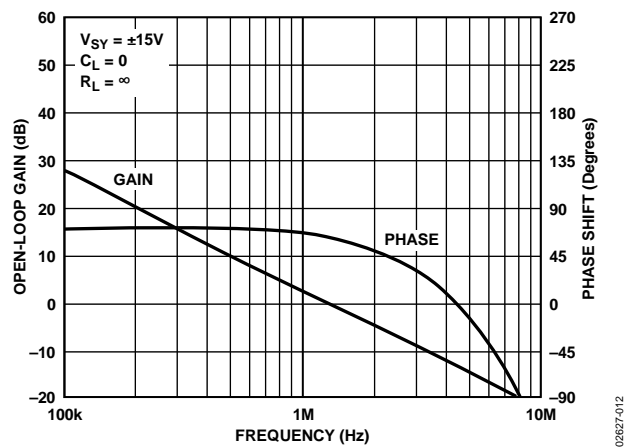


図12.オープン・ループ・ゲインおよび位相シフトの周波数特性

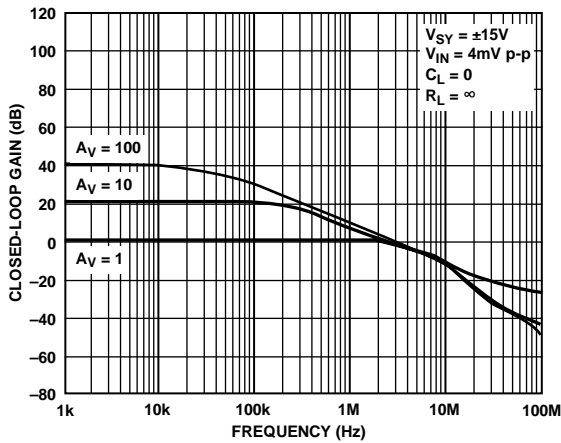


図13.クローズド・ループ・ゲインの周波数特性

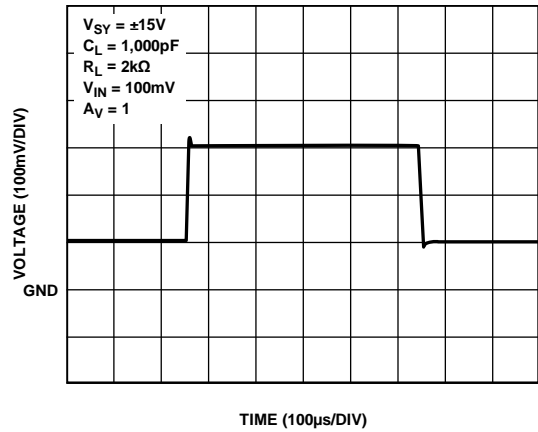


図16.小信号過渡応答

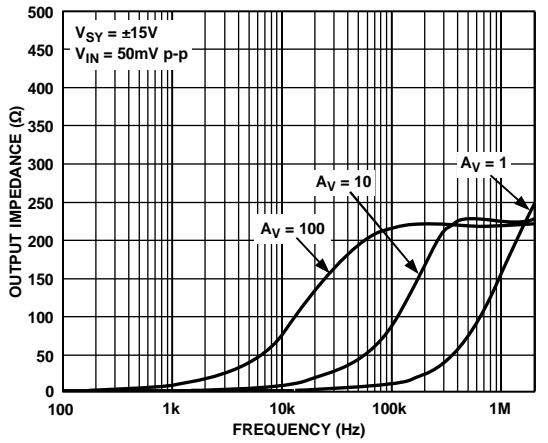


図14.出カインピーダンスの周波数特性

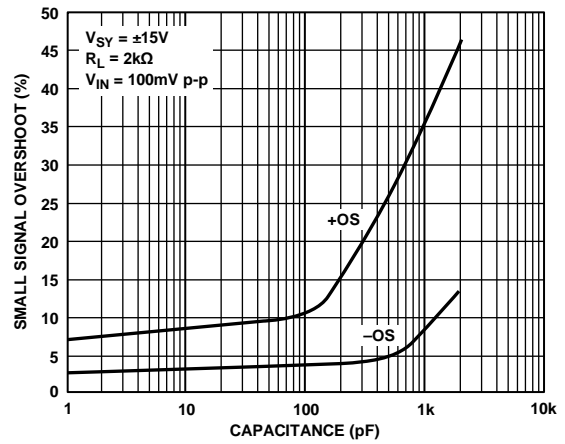


図17.負荷容量対小信号オーバーシュート

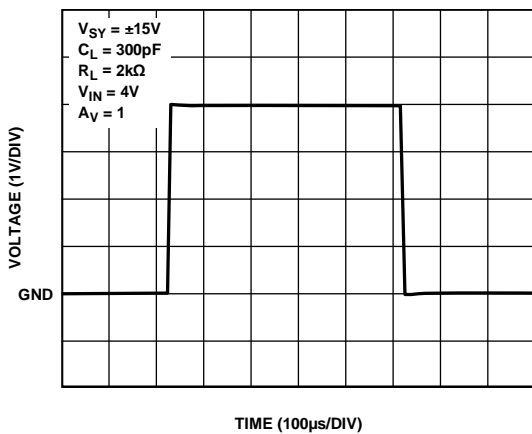


図15.大信号過渡応答

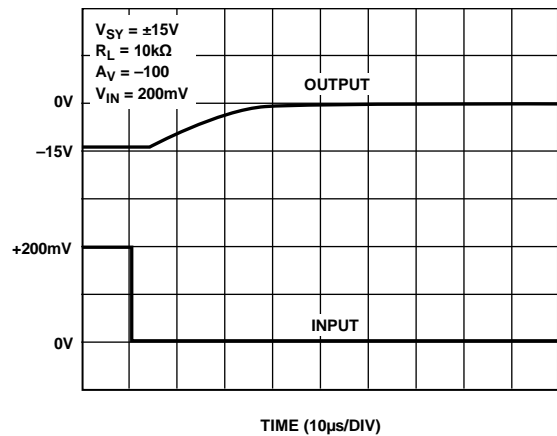


図18.正の過電圧回復時間

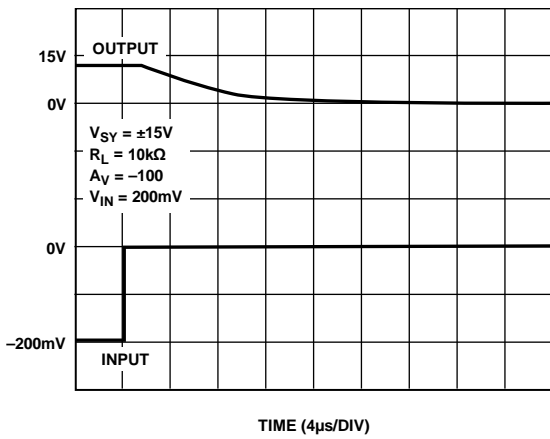


図19.負の過電圧回復時間

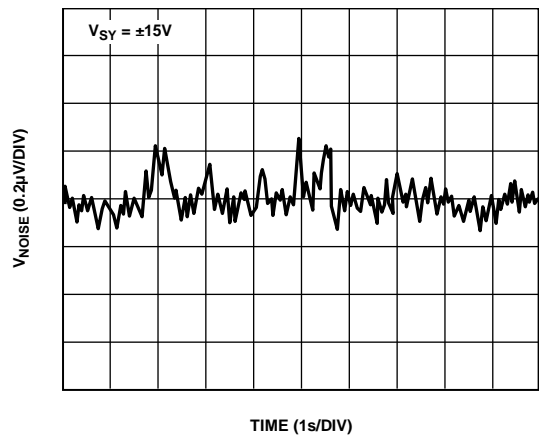


図22.0.1 Hz~10 Hzでの入力電圧ノイズ

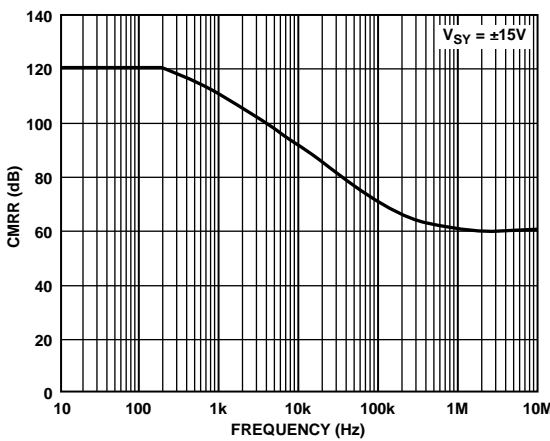


図20.CMRRの周波数特性

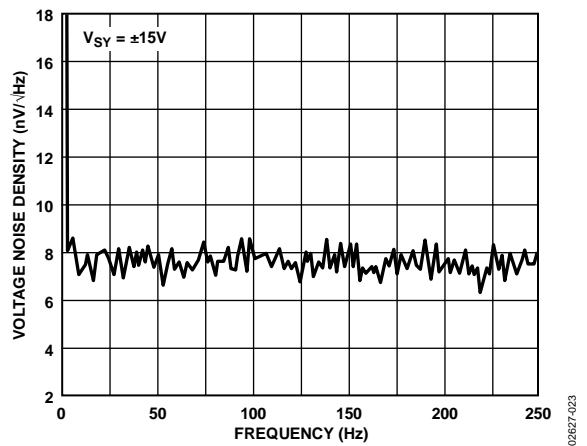


図23.電圧ノイズ密度の周波数特性

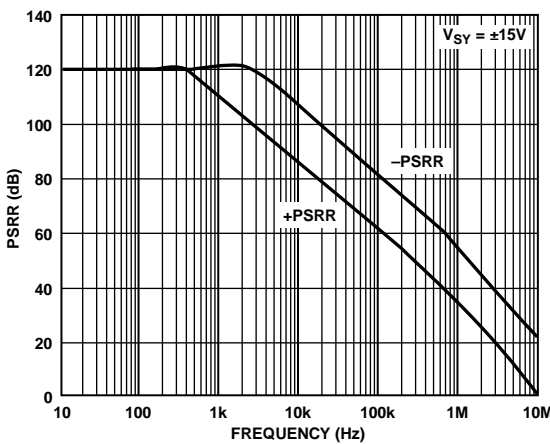


図21.PSRRの周波数特性

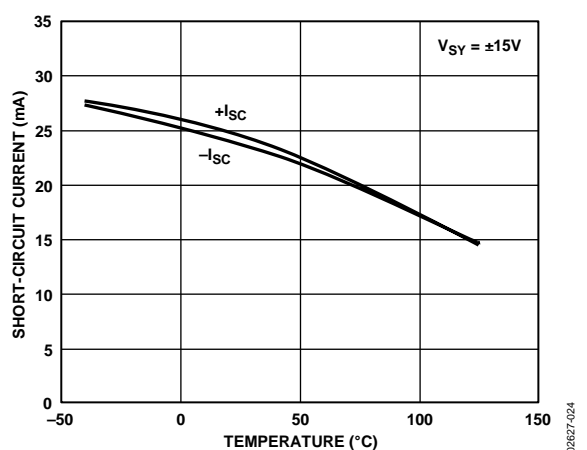


図24.短絡電流の温度特性

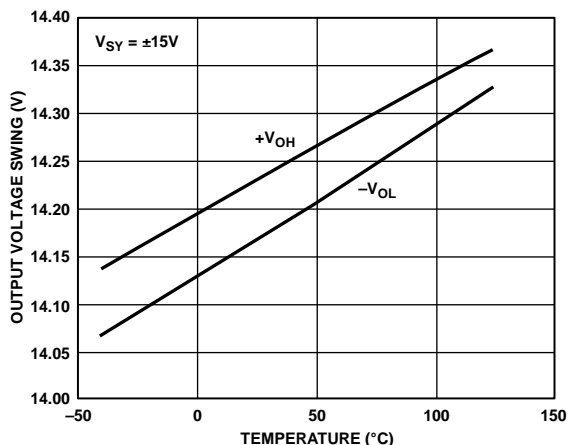


図25.出力電圧振幅の温度特性

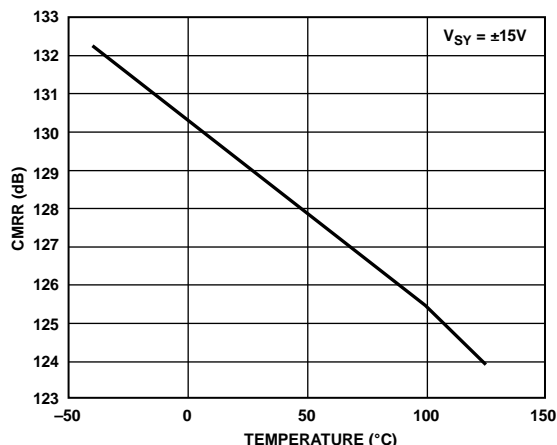


図28.CMRRの温度特性

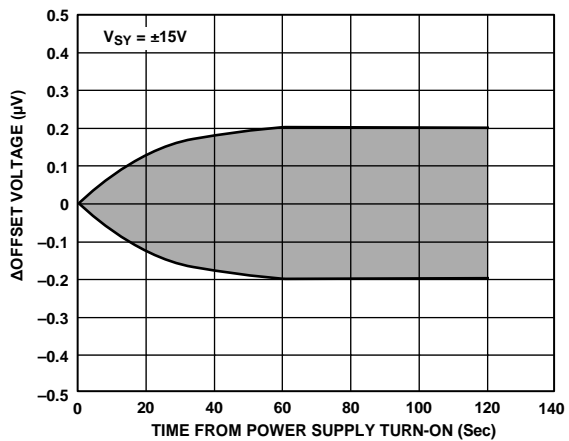


図26.ウォームアップ・ドリフト

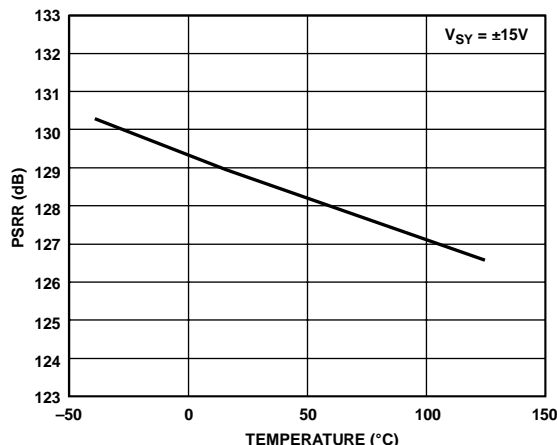


図29.PSRRの温度特性

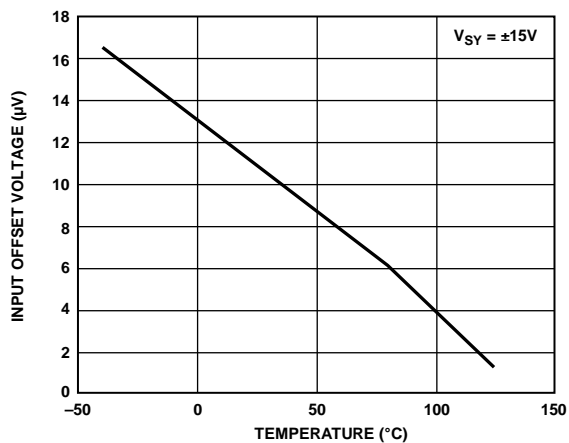


図27.入力オフセット電圧の温度特性

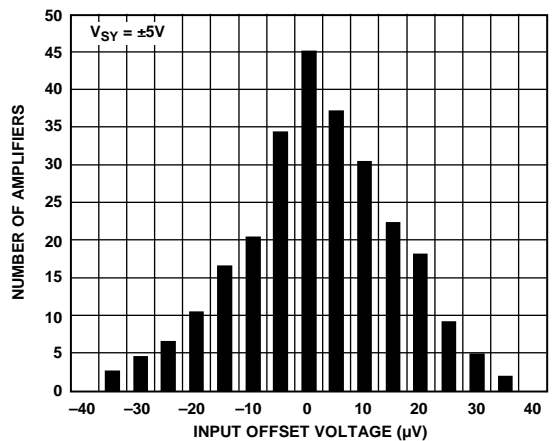


図30.入力オフセット電圧の分布

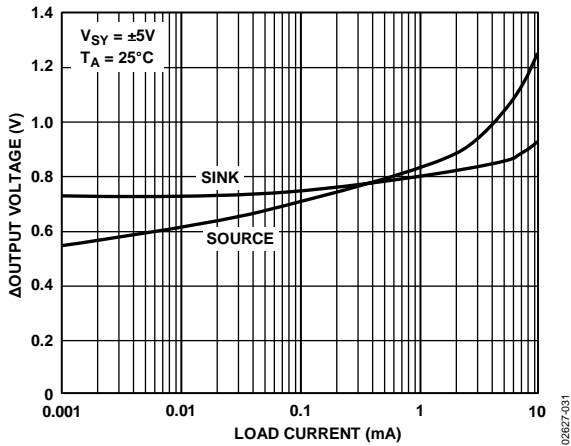


図31.負荷電流対電源レールまで近づく出力電圧

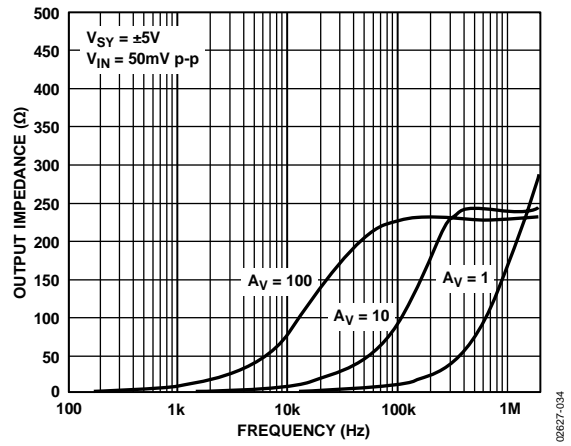


図34.出カインピーダンスの周波数特性

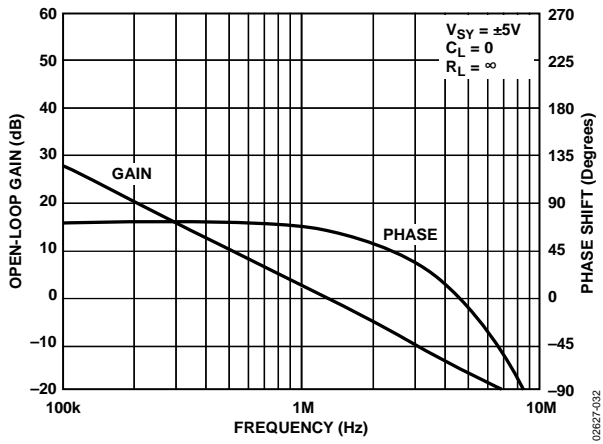


図32.オープン・ループ・ゲインおよび位相シフトの周波数特性

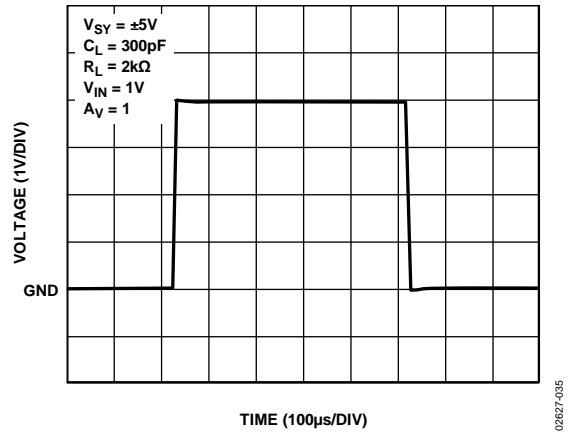


図35.大信号過渡応答

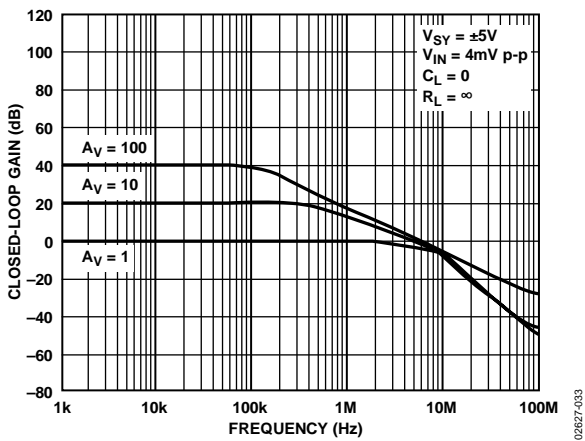


図33.クローズド・ループ・ゲインの周波数特性

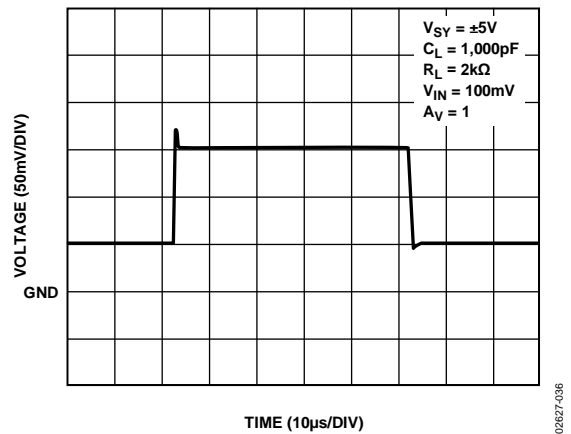


図36.小信号過渡応答

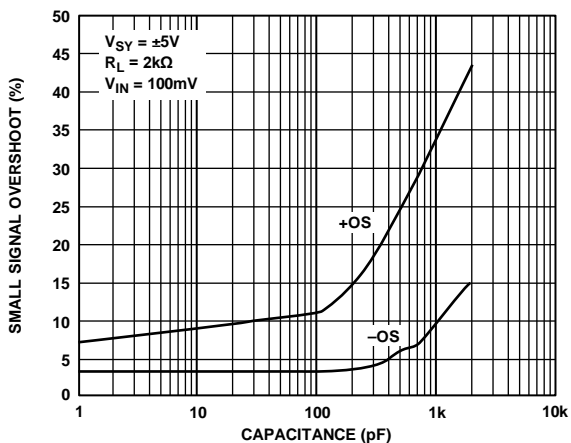


図37.負荷容量対小信号オーバーシュート

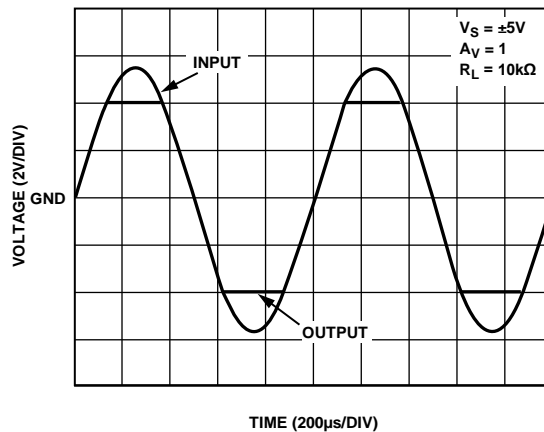


図40.位相反転なし

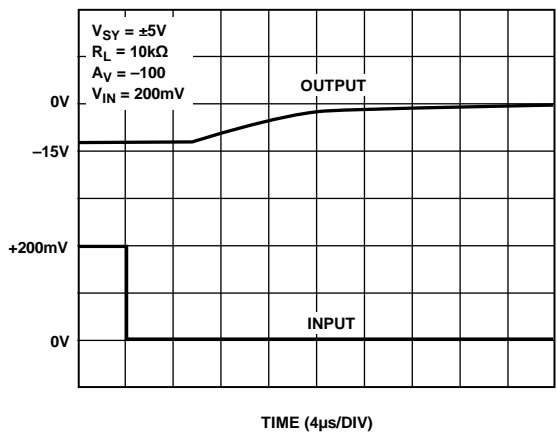


図38.正の過電圧回復時間

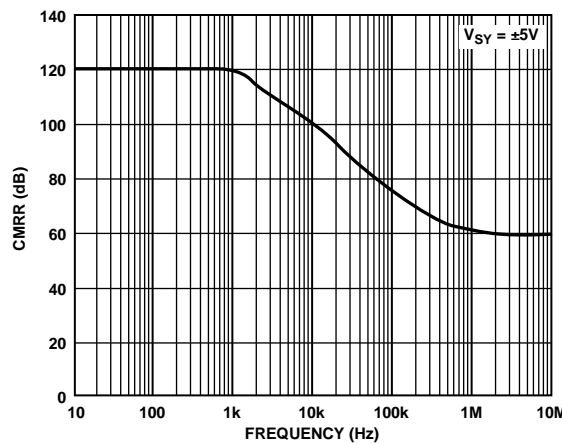


図41.CMRRの周波数特性

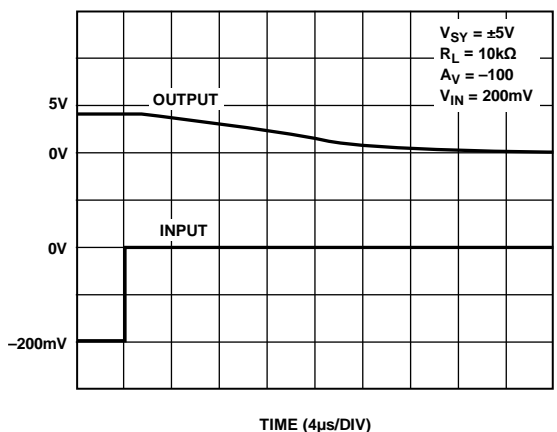


図39.負の過電圧回復時間

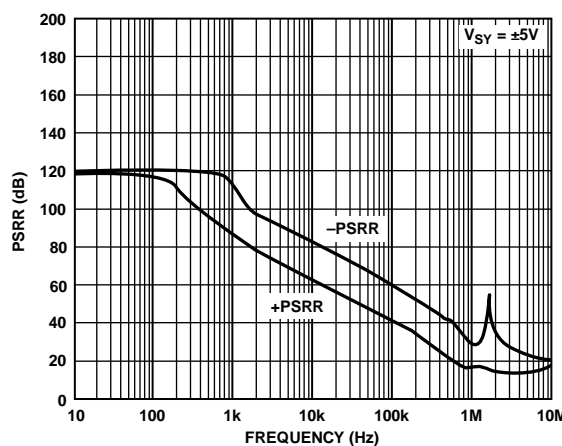


図42.PSRRの周波数特性

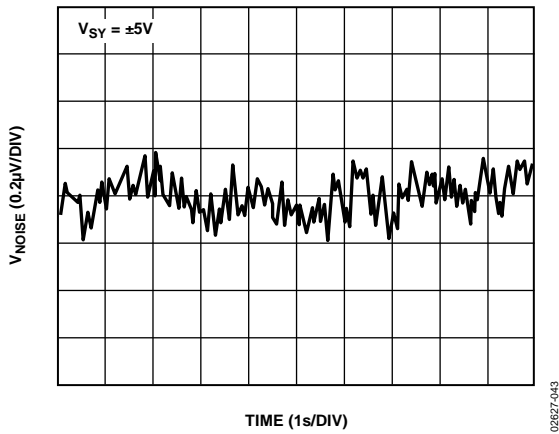


図43.0.1 Hz~10 Hz での入力電圧ノイズ

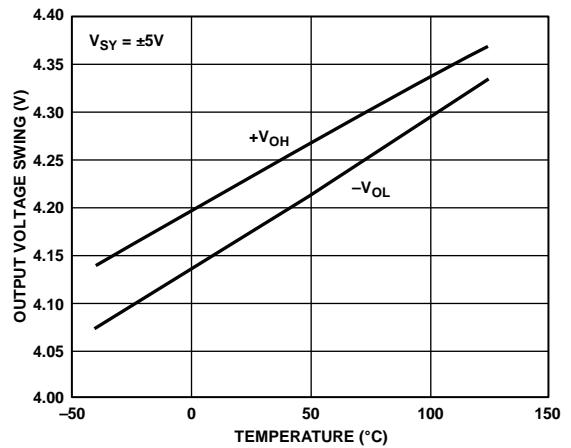


図46.出力電圧振幅の温度特性

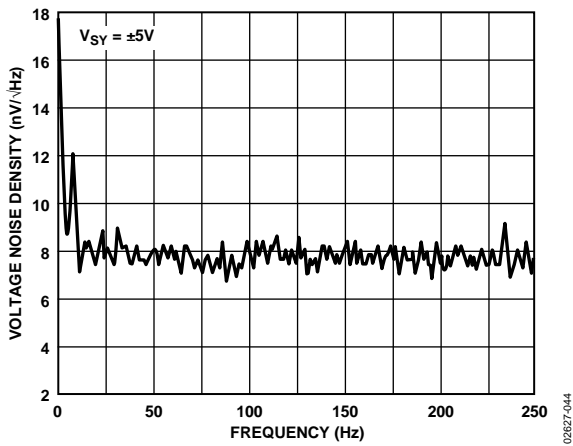


図44.電圧ノイズ密度の周波数特性

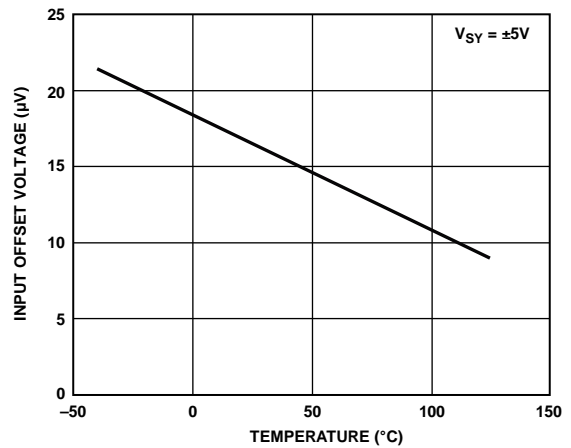


図47.入力オフセット電圧の温度特性

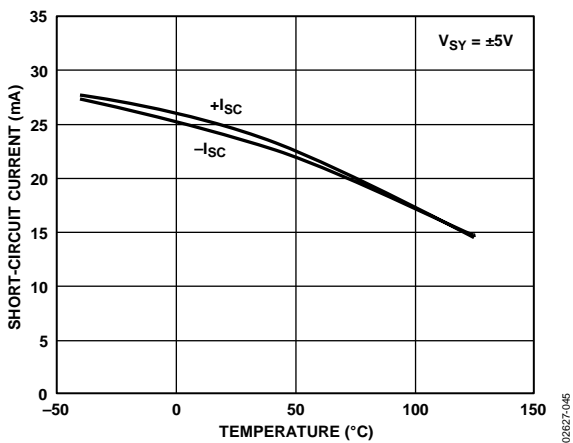


図45.短絡電流の温度特性

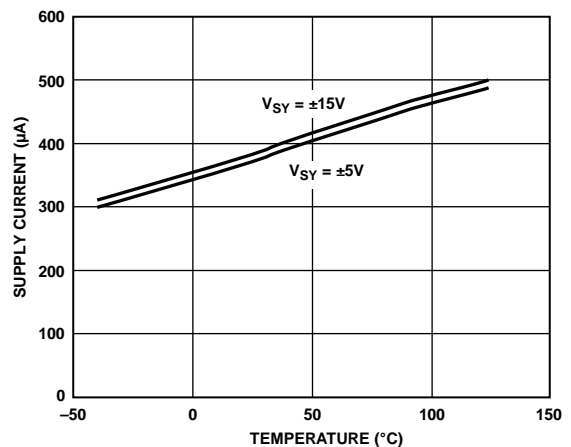


図48.電源電流の温度特性

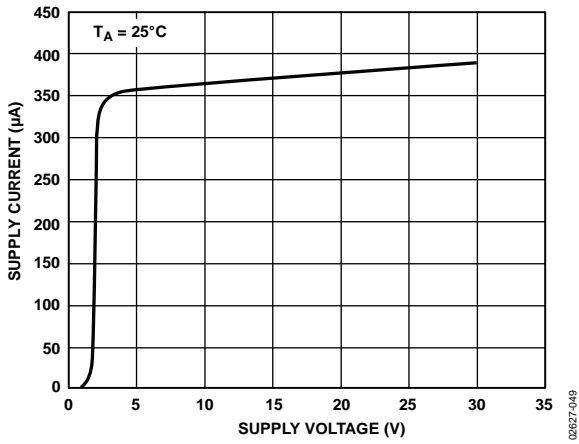


図49.電源電圧対電源電流

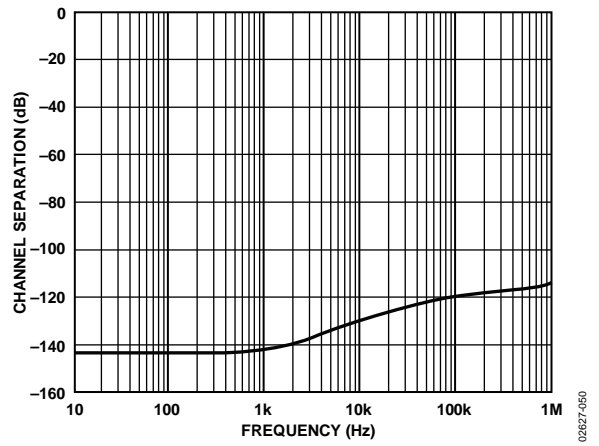


図50.チャンネル・セパレーションの周波数特性

機能説明

OPx177 シリーズは、アナログ・デバイゼスの第四世代の業界標準 OP07 アンプ・ファミリーです。OPx177 は、極めて小さいオフセット電圧と非常に小さい入力バイアス電流の組み合わせを持つ、高精度低ノイズのオペアンプです。JFET アンプとは異なり、低いバイアス電流と低いオフセット電流は 125°C までの周囲温度に対して比較的安定です。

アナログ・デバイゼス独自のプロセス技術とリニア・デザイン技術により、OP07、OP77、OP177 より優れた性能を持つ、8 ピン小型 MSOP パッケージの高電圧アンプが製造されています。小型にもかかわらず、OPx177 では、低い広帯域ノイズ、広い入力および出力電圧範囲、小さい入力バイアス電流、位相反転なしなどの多くの改善が行われています。

OPx177 は、プラスチック表面実装パッケージの同様なデバイスと同等の動作仕様温度範囲を持っています。これは、PCB とシステム全体のサイズの小型化が進むと内部システム温度が上昇するため、ますます重要になります。消費電力は OP177 の 1/4 に減少し、帯域幅とスルーレートは 2 倍になりました。低消費電力と温度に対して非常に安定な性能も、ウォームアップ・ドリフト誤差を小さいレベルにすることに役立っています。

重い負荷時のオープン・ループ・ゲインの直線性は、OPA277 などの競合デバイスより優れているため、DC 精度が改善され、高いクローズド・ループ・ゲインを持つ回路での歪みが減少します。入力は、両電源レールを超える過電圧状態から内部で保護されています。

すべての高性能アンプと同様に、最大性能は適切な回路と PCB のガイドラインに従うことにより実現されます。次のセクションでは、様々なアプリケーション条件で OPx177 を最大限活用する実用的なアドバイスを提供します。

ソース抵抗を含む総合ノイズ

OPx177 の入力電流ノイズと入力バイアス電流は小さいため、大きな入力ソース抵抗を持つ回路に対して役立ちます。入力オフセット電圧は、ソース抵抗 500 Ω 当たり最大 1 μV 未満の割合で増加します。

OPx177 の総合ノイズ密度は次式で与えられます。

$$e_{n,TOTAL} = \sqrt{e_n^2 + (i_n R_S)^2 + 4kTR_S}$$

ここで、

e_n は入力電圧ノイズ密度。

i_n は入力電流ノイズ密度。

R_S は非反転ピンのソース抵抗。

k はボルツマン定数 (1.38×10^{-23} J/K)。

T は、絶対温度で表した周囲温度 ($T = 273 + ^\circ\text{C}$)。

$R_S < 3.9 \text{ k}\Omega$ の場合、 e_n が支配的で、

$$e_{n,TOTAL} \approx e_n$$

$3.9 \text{ k}\Omega < R_S < 412 \text{ k}\Omega$ の場合、アンプの電圧ノイズ、ソース抵抗を經由して変換されるアンプの電流ノイズ、ソース抵抗からのサーマル・ノイズはすべて、総合ノイズに寄与します。

$R_S > 412 \text{ k}\Omega$ の場合、電流ノイズが支配的で、

$$e_{n,TOTAL} \approx i_n R_S$$

特定帯域幅での等価総合 rms ノイズは次のように表されます。

$$e_n = (e_{n,TOTAL}) \sqrt{BW}$$

ここで、 BW は Hz で表した帯域幅です。

前の解析は、50 Hz より高い周波数で有効です。これより低い周波数を考慮する場合、フリッカ・ノイズ (1/f ノイズとも呼ばれます) を考慮する必要があります。

ノイズ計算については、バンドパス KRC または Sallen-Key フィルタのセクションを参照してください。

ゲインの直線性

ゲインの直線性は、クローズド・ループ構成で誤差を小さくします。ゲイン・カーブが直線に近いほど、入力信号範囲での最大誤差が小さくなります。これは、特に高いクローズド・ループ・ゲインを持つ回路に当てはまります。

OP1177 は、重い負荷でも優れたゲイン直線性を持ちます (図 51 参照)。この性能を図 52 に示す OPA277 と比較してください。両デバイスは、 $R_L = 2 \text{ k}\Omega$ の同じ条件で測定しています。OP2177 (デュアル) には、低い電圧で歪みを実質的にありません。OP1177 の性能を、複数の電源電圧と種々の負荷で OPA277 に比較すると、OP1177 の方が遥かに優れています。

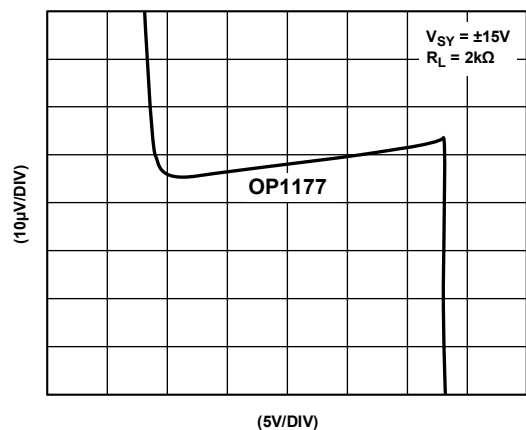


図51.ゲインの直線性

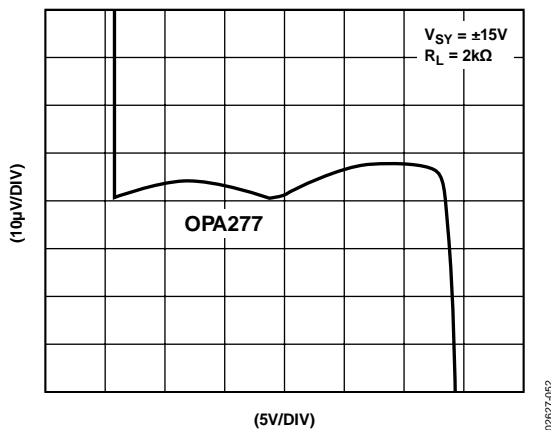


図52.ゲインの直線性

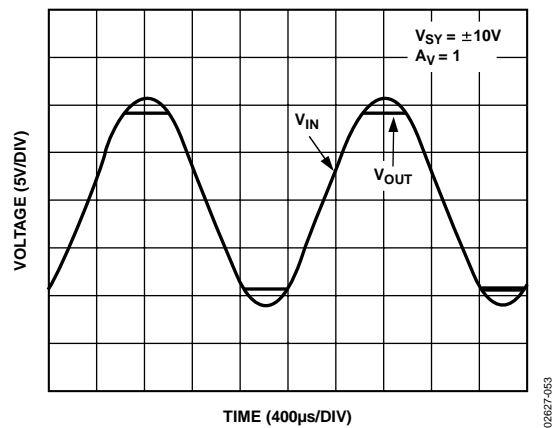


図53.位相反転なし

入力過電圧保護機能

入力電圧が正または負の電源電圧を超える場合、大部分のアンプでは損傷を防止するために外付け抵抗が必要になります。

OPx177には、電源電圧より 2.5 V まで高い電圧がピンに入力されても損傷を与えないようにする保護回路が内蔵されています。

電圧が電源より 2.5 V 以上超える場合、入力に直列に抵抗を追加してください。抵抗値は次式で求めることができます。

$$\frac{(H_{I@} - H_E)}{D_E + 500 \Omega} \leq 5 \text{ mA}$$

OPx177 の 1 nA 以下の低入力オフセット電流では、両入力に直列に 5 kΩ 抵抗を接続しても、入力オフセット電圧の増加は 5 µV 以下であるため、回路の全体ノイズ性能への影響は無視できます。

5 kΩ により両電源を 27 V 以上超える入力から保護されます。ノイズ対ソース抵抗の詳細については、THD + ノイズのセクションを参照してください。

出力位相の反転

位相反転とは、アンプ伝達関数での極性変化のことを意味します。入力に加えられる電圧が最大同相モード電圧より大きい場合に、多くのオペアンプは位相反転を示します。場合によっては、アンプに恒久的な損傷を与えることがあります。帰還ループでは、システム・ロックアップまたは装置の損傷が発生します。OPx177 では、入力電圧が電源を超える場合でも位相反転問題は発生しません。

セトリング・タイム

セトリング・タイムとは、パルスをアンプ入力に加えた後に、アンプ出力が最終値に到達し、かつその最終値の所定パーセント値以内に留まるまでに要する時間を意味します。これは、アンプが ADC 入力または DAC 出力のバッファとなっている計測回路と制御回路では特に重要です。

アンプ回路のセトリング・タイムを小さくするためには、電源の適切なバイパスと回路部品の適切な選択を行なってください。抵抗は金属皮膜タイプを使う必要があります。これは、漂遊容量と漂遊インダクタンスが巻線タイプより小さいためです。コンデンサは、誘電吸収を小さくするため、ポリスチレン・タイプまたはポリカーボネート・タイプを使う必要があります。

電源からの配線はできるだけ短くして、容量とインダクタンスを小さくする必要があります。非反転ユニティ・ゲインで OPx177 の入力に 10 V ステップを加えたときの 0.01% (1 mV) へのセトリング・タイムは約 45 µs です。

過負荷回復時間

過負荷回復は、アンプ出力電圧が飽和状態から線形応答領域に回復するために要する時間として定義されます。一般的な例としては、回路伝達関数から要求される出力電圧がアンプの最大出力電圧能力を超えている場合があります。クローズド・ループ・ゲインが 2 のアンプに 10 V 入力を加える場合、20 V の出力電圧が要求されます。これでは OPx177 が ±15 V 電源で動作する場合に出力電圧範囲を超えるため、出力は飽和します。

この回復時間は、大きな過渡電圧が存在する中で小さい信号を増幅する必要があるオペアンプを持つ多くのアプリケーションで特に重要になります。

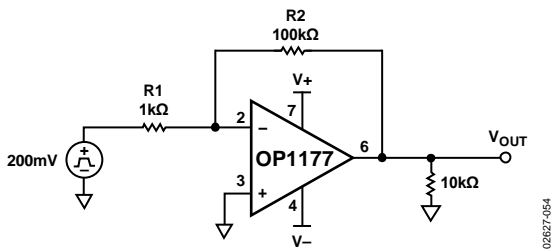


図54.過負荷回復時間のテスト回路

図 18 に、OP1177 の正側の過負荷回復を示します。100%を超える過駆動の後には、出力は 4 μ s 以内に回復しています。

OP1177 の負側の過負荷回復は 1.4 μ s です(図 19 参照)。

THD + ノイズ

OPx177 は非常に小さい総合高調波歪みを持っています。これは優れたゲイン直線性を持っていることを示し、OPx177 は高いクローズド・ループ・ゲインを持つ高精度回路に対する最適な選択肢になっています。

図 55 に、ユニティ・ゲイン(歪みのワーストケース構成)の OPx177 は、約 0.00025% の歪みを持っていることを示します。

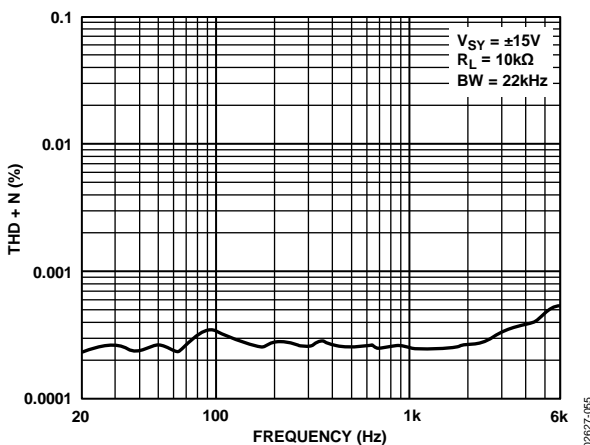


図55.THD + N の周波数特性

容量負荷の駆動

OPx177 はすべてのゲインで本来安定であるため、大きな容量負荷を発振なしで駆動することができます。OPx177 は外部補償なしで、すべての構成で最大 1000 pF までの容量負荷を安全に駆動します。すべてのアンプと同様に、ユニティ・ゲインで大きな容量負荷を駆動する場合には、安定性を強化する回路の追加が必要です。

この場合、スナバ回路を使って発振を防止し、オーバーシュートを小さくします。この方法の大きな利点は、抵抗 R_S が帰還ループ内にないため、出力振幅が小さくならないことです。

図 56 に、400 mV パルスにตอบสนองする OPx177 の出力オシロスコープ・プロットを示します。負荷容量は 2 nF です。この回路は、ゲイン=1 (安定性のワーストケース)に設定してあります。

図 58 に示すように、R-C 回路と負荷容量 (C_L)を並列接続すると、アンプは発振または大きなオーバーシュートなしに大きな値の C_L を駆動できるようになります。

スナバ回路を使用すると、リングングはなくなり、オーバーシュートは 27%から 5%へ小さくなっています。

最大 200 nF までの容量負荷に対する R_S と C_S の最適値を表 5 に示します。その他の容量負荷値は、実験的に求めることができます。

表5.容量負荷の最適値

C_L	R_S	C_S
10 nF	20 Ω	0.33 μ F
50 nF	30 Ω	6.8 nF
200 nF	200 Ω	0.47 μ F

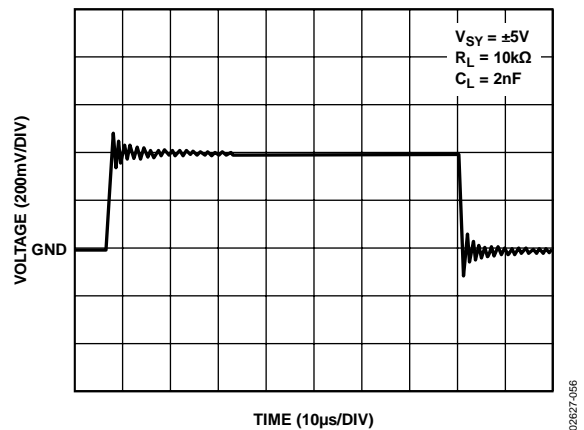


図56.スナバ回路なしでの容量負荷駆動

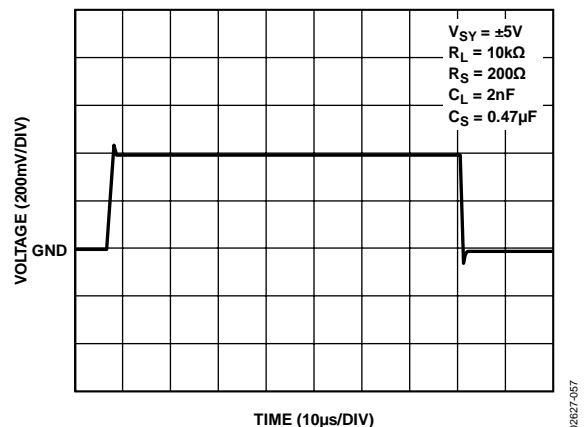


図57.スナバ回路使用時の容量負荷駆動

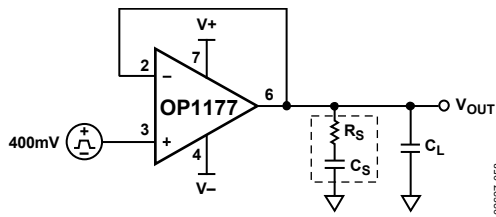


図58.スナバ回路の構成

注意: スナバを使っても、大きな容量負荷による帯域幅の損失を取り戻すことはできません。

浮遊入力容量の補償

オペアンプ回路の実効入力容量(C_i)は、入力ピンの間の内部差動容量、各入力とグラウンドとの間の内部同相モード容量、寄生容量を含む外部容量の3つの成分から構成されています。図59の回路では、信号周波数が高くなるとクロズド・ループ・ゲインが増加します。回路の伝達関数は、

$$1 + \frac{R_2}{R_1} (1 + sC_i R_1)$$

ゼロ点は、

$$s = \frac{R_2 + R_1}{R_2 R_1 C_i} = \frac{1}{2\pi (R_1/R_2) C_i}$$

R_1 と R_2 の値に応じて、クロズド・ループ・ゲインのカットオフ周波数はクロスオーバー周波数より十分低くできます。この場合、位相マージン (Φ_M) が大きく損なわれ、大きなリングングまたは発振が発生します。

この問題を克服する簡単な方法は、図60に示すように帰還パスにコンデンサを挿入することです。

その結果得られる極の位置を変えて、位相マージンを調整することができます。

$C_f = (R_1/R_2) C_i$ に設定すると、 90° の位相マージンが得られます。

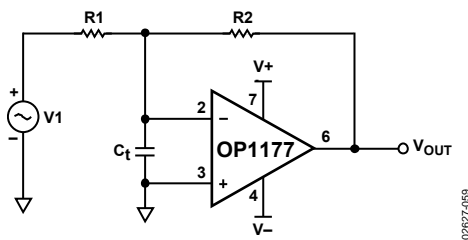


図59.浮遊入力容量

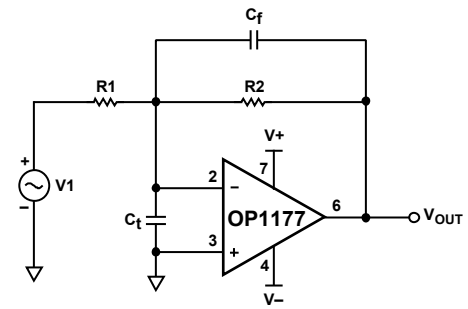


図60.帰還コンデンサを使う補償

電磁干渉の削減

多くの方法を使って、アンプ回路に対する EMI の影響を減らすことができます。

1 つの方法は、いずれかの入力の漂遊信号をアンプの他方の入力へ入力することです。その結果、アンプの CMRR に従って信号が除去されます。

これは通常、コンデンサをアンプの各入力間に挿入することにより実現されます(図61参照)が、この方法では、容量値に応じて不安定性も生じます。

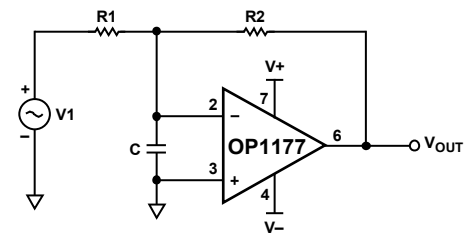


図61.EMIの削減

抵抗をコンデンサに直列に接続すると (図62参照)、DC ループ・ゲインが増加して出力誤差が小さくなります。ブレーク・ポイント (R-C から発生) をオペアンプの2つ目の極の下に配置すると、位相マージンが改善されるため安定性も改善されます。

特定の位相マージンに対して、次式に従い R は C と独立に選択することができます。

$$R = \frac{R_2}{a(jf_2)} - \left(1 + \frac{R_2}{R_1}\right)$$

ここで、

a はアンプのオープン・ループ・ゲイン。

f_2 は位相が $a = \Phi_M - 180^\circ$ となる周波数。

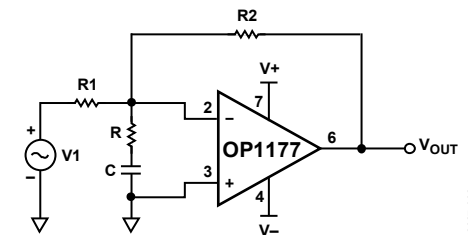


図62.入力 R-C 回路を使用する補償

適切なボード・レイアウト

OPx177 は高精度デバイスです。PCB レベルで最適性能を確保するためには、ボード・レイアウトに注意が必要です。

リーク電流をなくするために、ボード表面をクリーンにして湿気をなくす必要があります。回路ボードの表面コーティングを行うと、表面の湿気の蓄積が少なくなり、湿度バリアが構成されて、ボード上の寄生抵抗の減少に役立ちます。

電源パターンを短くし、電源を適切にバイパスすると、重い負荷で AC 信号を駆動する場合などに、出力電流変動による電源の乱れが小さくなります。バイパス・コンデンサをデバイス電源ピンのできるだけ近くに接続します。漂遊容量は、アンプの出力と入力で問題になります。信号パターンは電源ラインから少なくとも 5 mm 離して、ノイズの混入を小さくすることが推奨されます。

PCB を跨ぐ温度変動により、異なる金属が接触するハンダ接続ポイントとその他のポイントでのジープック電圧の不一致が発生し、熱電圧誤差が発生します。これらの熱電対効果を小さくするため、熱源により両端が等しく温度上昇するように抵抗の向きを調節してください。入力信号パスに一致する部品番号と部品タイプを使用している場合、可能な場合には、熱電対接合の番号とタイプに合わせる必要があります。例えば、ゼロ値抵抗のようなダミー部品を使って、反対側入力パスの実抵抗に一致させます。一致する部品は互いに近づけて配置し、同じ向きに配置する必要があります。同じ長さのリードを使って、熱伝導の平衡状態を維持させます。可能な場合は、PCB 上の発熱源をアンプ入力回路から離します。

グラウンド・プレーンの使用も推奨されます。グラウンド・プレーンを使用すると、EMI ノイズが減り、回路ボードの一定温度の維持に役立ちます。

ディファレンス・アンプ

ディファレンス・アンプは、同相モード除去比 (CMRR) を向上させるために高精度回路で使用されます。

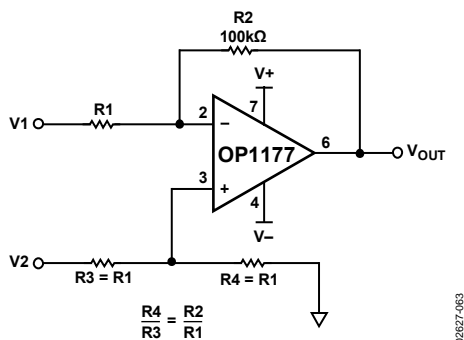


図63.ディファレンス・アンプ

次が成立するシングル計装アンプ (図 63 参照) では、

$$\frac{R4}{R3} = \frac{R2}{R1}$$

$$V_o = \frac{R2}{R1}(V_2 - V_1)$$

比 R2/R1 と R4/R3 との間の不一致により、同相モード除去比の低下が生じます。

この影響を理解するため、定義として次式を考えます。

$$CMRR = \frac{A_{DM}}{A_{CM}}$$

ここで、ADM は差動ゲイン、ACM は同相モード・ゲイン。

$$A_{DM} = \frac{V_o}{V_{DIFF}} \text{ かつ } A_{CM} = \frac{V_o}{V_{CM}}$$

$$V_{DIFF} = V_1 - V_2 \text{ かつ } V_{CM} = \frac{1}{2}(V_1 + V_2)$$

この回路がディファレンス・アンプとして動作するためには、出力が差動入力信号に比例する必要があります。

図 63 から、

$$V_o = -\left(\frac{R2}{R1}\right)V_1 + \left[\frac{\left(1 + \frac{R2}{R1}\right)}{\left(1 + \frac{R3}{R4}\right)}\right]V_2$$

項を並べ替えて前式と組み合わせると、

$$CMRR = \frac{R4R1 + R3R2 + 2R4R2}{2R4R1 - 2R2R3} \tag{1}$$

R1 に対する CMRR の感度は式 1 で CMRR を R1 で微分すると得られ、

$$\frac{\delta CMRR}{\delta R1} = \frac{\delta}{\delta R1} \left(\frac{R1R4}{2R1R4 - 2R2R3} + \frac{2R2R4 + R2R3}{2R1R4 - 2R2R3} \right)$$

$$\frac{\delta CMRR}{\delta R1} = \frac{1}{2 - \frac{(2R2R3)}{R1R4}}$$

$$R1 \approx R2 \approx R3 \approx R4 \approx R$$

かつ

$$R(1 - \delta) < R1, R2, R3, R4 < R(1 + \delta)$$

とすると、

ワーストケース CMRR 誤差は次の場合に発生します。

$$R1 = R4 = R(1 + \delta) \text{ かつ } R2 = R3 = R(1 - \delta)$$

これらの値を式 1 に代入すると、

$$5\% \text{ CMRR} \cong \frac{1}{2\delta}$$

ここで、 δ は抵抗の許容誤差。

抵抗値の許容誤差が小さいほど、高い同相モード除去比が得られます (オペアンプの最大 CMRR まで)。

5% 許容誤差の抵抗を使うと、保証可能な最大 CMRR は 20 dB になります。あるいは、0.1% 許容誤差の抵抗を使うと、同相モード除去比は少なくとも 54 dB になります (オペアンプ CMRR \times 54 dB の場合)。

OPx177 の CMRR が最小 120 dB であるため、抵抗の一致が大部分の回路で制約要因になります。トリミング抵抗を使ってディファレンス・アンプ回路の抵抗の一致度と CMRR をさらに向上させることができます。

高精度熱電対アンプ

熱電対は 2 種類の金属線の接触から構成されています。異種金属から発生する電圧は、

$$V_{TC} = \alpha(T_J - T_R)$$

ここで、

T_J は高接点の温度。

T_R は低接点の温度。

α は熱電対に使用する異種金属に固有なゼーベック係数。

V_{TC} は熱電対電圧であり、温度上昇とともに大きくなります。

最大の計測精度を得るためには、熱電対の冷点補償が必要です。冷点補償を行うときは、銅線を終端接点の近くに (等温ブロック内部) に使用して 0°C 点をシミュレーションします。R5 トリミング抵抗を使って出力電圧をゼロにするように調整し、銅線を外します。

OPx177 は、非常に小さいオフセット電圧、優れた PSRR と CMRR、低周波数で低いノイズを持つため、熱電対回路に最適なアンプです。

このデバイスは、直線性の優れた熱電対回路をつくるために使用することができます。図 64 に示す抵抗 R1、抵抗 R2、ダイオード D1 は、等温ブロック内に実装します。

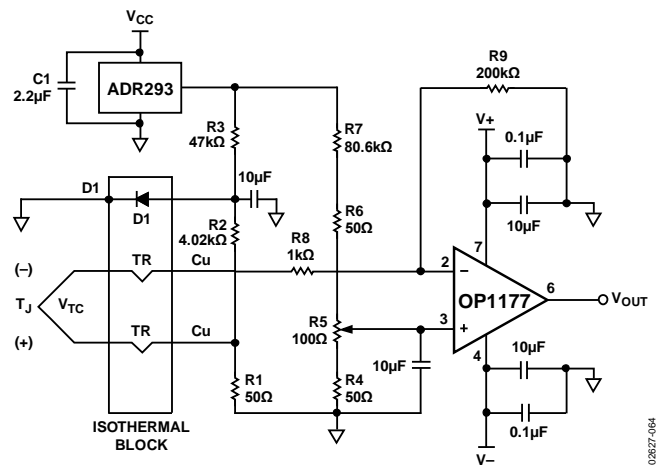


図64.K タイプ熱電対アンプ回路

低消費電力の直線性 RTD

シングル・エレメント可変ブリッジの一般的なアプリケーションは、図 65 に示す RTD 温度計用アンプです。ブリッジの励起電圧は、ブリッジの上部に加えられた 2.5 V リファレンス電圧から供給されます。

RTD は、0.5°C/mW ~ 0.8°C/mW もの熱抵抗を持ちます。抵抗ドリフトによる誤差を小さくするため、ブリッジの各辺を流れる電流を小さくする必要があります。この回路では、アンプの電源電流がブリッジを流れますが、OPx177 の最大電源電流 = 600 μ A で、最大抵抗値であっても RTD の消費電力は 0.1 mW 以下です。ブリッジの消費電力による誤差は、0.1°C 以下に維持されます。

ブリッジのキャリブレーションは、被測定温度の最小値で、出力がゼロになるように R_p を調整することにより行われます。

出力振幅をキャリブレーションするときは、フルスケール・ポテンショメータと直線性ポテンショメータを中心点に設定し、500°C の温度をセンサーに加えるか、または等価 500°C RTD 抵抗に置換えます。

フルスケール・ポテンショメータを 5 V 出力になるように調整します。最後に、250°C または等価 RTD 抵抗を接続して、直線性ポテンショメータを 2.5 V 出力になるように調整します。調整後、この回路は $\pm 0.5^\circ\text{C}$ より優れた精度を実現します。

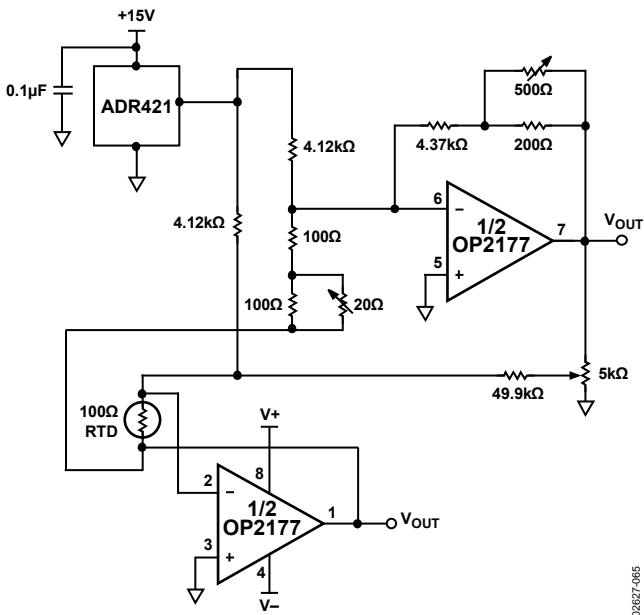


図65.低消費電力の直線性 RTD 回路

ここで、 $\delta = \Delta R/R$ は、ブリッジ抵抗に対する RTD の温度変化に起因する RTD 抵抗の変化分です。

$\delta \ll 1$ の場合、前式は次のようになります。

$$V_o \cong \left(\frac{R2}{R}\right) V_{REF} \left[\frac{\delta}{1 + \frac{R1}{R} + \frac{R1}{R2}} \right] = \left[\left(\frac{R2}{R}\right) \left(1 + \frac{R1}{R2}\right) + \left(\frac{R1}{R2}\right) \right] V_{REF} \delta$$

V_{REF} 一定で、出力電圧は δ に比例し、ゲイン・ファクタは、

$$V_{REF} \left(\frac{R2}{R}\right) \left[\left(1 + \frac{R1}{R2}\right) + \left(\frac{R1}{R2}\right) \right]$$

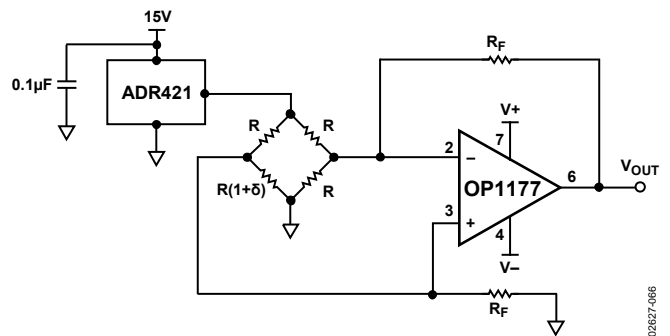


図66.シングル・ブリッジ・アンプ

シングル・オペアンプ・ブリッジ

OP1177 は低い入力オフセット電圧ドリフトを持っているため、RTD シグナル・コンデショニングで使用されるブリッジ・アンプ回路に非常に有効です。計装アンプよりシングル・ブリッジ・オペアンプを利用することが経済的であることがあります。

図 66 に示す回路では、オペアンプの出力電圧は、

$$V_o = \frac{R2}{R} \left[V_{REF} \left(\frac{\delta}{\frac{R1}{R} + \left(1 + \frac{R1}{R2}\right) (1 + \delta)} \right) \right]$$

アクティブ・フィルタの実現

バンドパス KRC または Sallen-Key フィルタ

OPx177 は低オフセット電圧と高い CMRR を持つため、図 67 に示すバンドパス KRC フィルタのような高精度フィルタに対する優れた選択肢です。このフィルタ・タイプは、ゲインとカットオフ周波数を独立に調整する機能を提供します。

アンプへ入力される同相モード電圧は KRC フィルタ回路への入力信号により変わるので、歪みを小さくするために高い CMRR が必要とされます。また、OPx177 は低いオフセット電圧を持つため、回路ゲインを高く選択したとき、ダイナミックレンジを広く維持できます。

図 67 に示す回路は、2つのステージで構成されています。最初のステージは、シンプルなハイパス・フィルタで、コーナー周波数 (f_c) は、

$$f_c = \frac{1}{2\pi R_1 C_1} \quad (2)$$

かつ

$$Q = K \sqrt{\frac{R_1}{R_2}} \quad (3)$$

ここで、 K は DC ゲインです。

等しいコンデンサ値を選択すると、感度が小さくなり、式 2 は次のように簡単になります。

$$f_c = \frac{1}{2\pi C \sqrt{R_1 R_2}}$$

Q の値は、ゲイン周波数特性 (過渡応答のリングング) のピーキングを決定します。 Q に対して一般に選択される値は、1 に近い値です。

$Q = \frac{1}{\sqrt{2}}$ を設定すると、最小ゲイン・ピーキングと最小リングングが得られます。 R_1 と R_2 の値は式 3 から決定します。

$Q = \frac{1}{\sqrt{2}}$ の場合、回路例では $R_1/R_2 = 2$ になります。簡単化のため

$R_1 = 5 \text{ k}\Omega$ と $R_2 = 10 \text{ k}\Omega$ を選択します。

2 番目のステージはローパス・フィルタで、コーナー周波数は同様に決定できます。 $R_3 = R_4 = R$ の場合、

$$f_c = \frac{1}{2\pi R \sqrt{\frac{C_3}{C_4}}} \quad \text{and} \quad Q = \frac{1}{2} \sqrt{\frac{C_3}{C_4}}$$

チャンネル・セパレーション

隣接チャンネルの入力または出力から発生する信号を除去するため、シングル・チップ上に複数のアンプが必要となる場合があります。OP2177 の入力とバイアス回路は 1 つのアンプ・チャンネルから別のチャンネルへ信号が混入しないように、デザインされています。このため、OP2177 のチャンネル・セパレーションは、100 kHz までの周波数に対して -120 dB 以上、1 MHz までの周波数に対しては -115 dB 以上になっています。

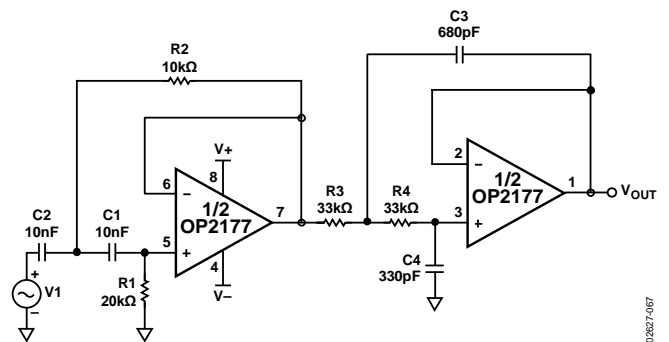


図67.2 ステージのバンドパス KRC フィルタ

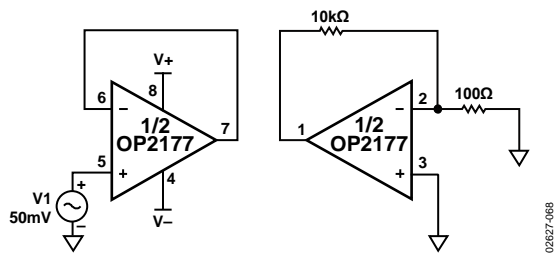


図68.チャンネル・セパレーションのテスト回路

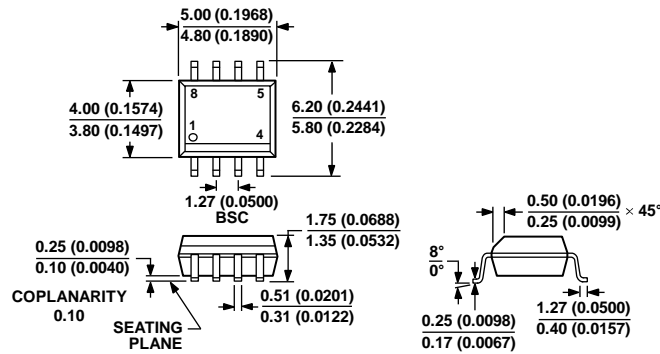
ノイズ・ダイナミクスとフリッカ・ノイズの参考資料

S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*. McGraw-Hill, 1998.

Analog Devices, Inc., *The Best of Analog Dialogue, 1967 to 1991*.

Analog Devices, Inc., 1991.

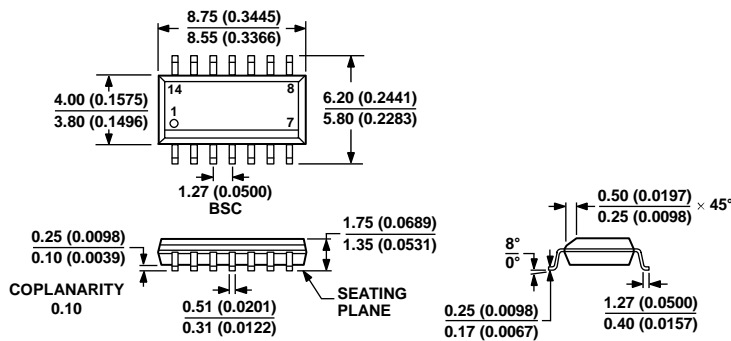
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012A07-A

図69.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-8)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MS-012-AB
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012A07-A

図70.14 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-14)
 寸法: mm (インチ)

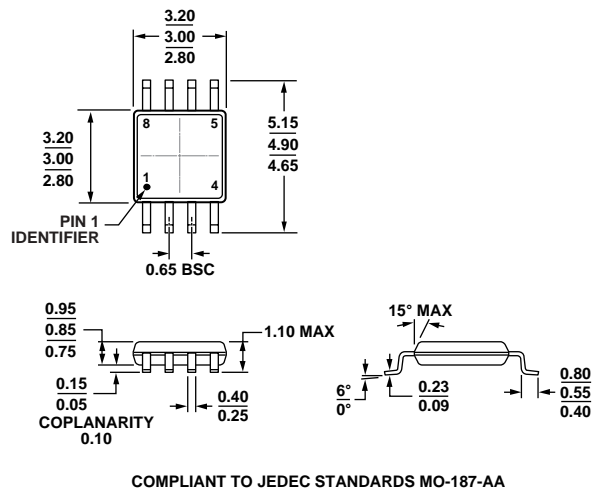


図71.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

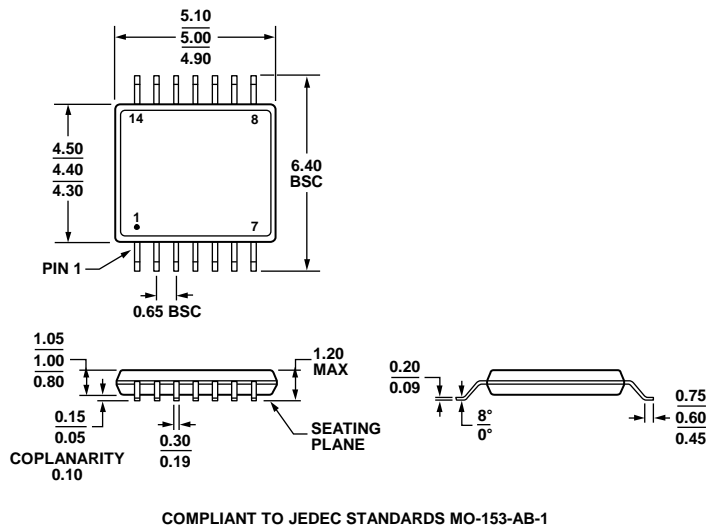


図72.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
OP1177AR	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP1177ARZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP1177ARZ-REEL ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP1177ARZ-REEL7 ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP1177ARM-REEL	-40°C to +125°C	8-Lead MSOP	RM-8	AZA
OP1177ARMZ ¹	-40°C to +125°C	8-Lead MSOP	RM-8	AZA#
OP1177ARMZ-REEL ¹	-40°C to +125°C	8-Lead MSOP	RM-8	AZA#
OP1177ARMZ-R7 ¹	-40°C to +125°C	8-Lead MSOP	RM-8	AZA#
OP2177AR	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP2177AR-REEL	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP2177AR-REEL7	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP2177ARZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP2177ARZ-REEL ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP2177ARZ-REEL7 ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
OP2177ARM-REEL	-40°C to +125°C	8-Lead MSOP	RM-8	B2A
OP2177ARMZ ¹	-40°C to +125°C	8-Lead MSOP	RM-8	B2A#
OP2177ARMZ-REEL ¹	-40°C to +125°C	8-Lead MSOP	RM-8	B2A#
OP2177ARMZ-R7 ¹	-40°C to +125°C	8-Lead MSOP	RM-8	B2A#
OP4177AR	-40°C to +125°C	14-Lead SOIC_N	R-14	
OP4177AR-REEL	-40°C to +125°C	14-Lead SOIC_N	R-14	
OP4177AR-REEL7	-40°C to +125°C	14-Lead SOIC_N	R-14	
OP4177ARZ ¹	-40°C to +125°C	14-Lead SOIC_N	R-14	
OP4177ARZ-REEL ¹	-40°C to +125°C	14-Lead SOIC_N	R-14	
OP4177ARZ-REEL7 ¹	-40°C to +125°C	14-Lead SOIC_N	R-14	
OP4177ARU	-40°C to +125°C	14-Lead TSSOP	RU-14	
OP4177ARU-REEL	-40°C to +125°C	14-Lead TSSOP	RU-14	
OP4177ARUZ ¹	-40°C to +125°C	14-Lead TSSOP	RU-14	
OP4177ARUZ-REEL ¹	-40°C to +125°C	14-Lead TSSOP	RU-14	

³、⁴、⁵ TqJ U 準拠品。%印は鉛フリー製品で上面または下面にマーキング。