

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

## 概要

マイクロコントローラMAXQ2010は、低電力、16ビットデバイスであり、高性能、12ビット、マルチチャンネルADCと液晶ディスプレイ(LCD)インタフェースを内蔵しています。高性能、低電力、およびミックスドシグナルの集積化のすべてを満たしたMAXQ2010は、幅広いアプリケーションに最適です。

MAXQ2010は、64KBのフラッシュメモリ、2KBのRAM、3つの16ビットタイマー、および2つのユニバーサル同期/非同期レーバトランスミッタ(USART)を備えています。フラッシュメモリはプロトタイプ製作を支援し、大量生産に使用することができます。コストが重要要素である場合、マスクROMバージョンが大量生産ボリューム用に用意されています。このマイクロコントローラは、2.7V~3.6Vの動作電源で動作します。最大限の低電力性能を実現するため、MAXQ2010は、低電力スリープモード、ペリフェラルの選択的ディセーブル機能、および複数の省電力動作モードを備えています。

## アプリケーション

バッテリー駆動およびポータブル機器	民生用エレクトロニクス
ポータブル医療機器	サーモスタット/ 湿度センサ
血糖値測定器	セキュリティセンサ
電気化学および光センサ	ガスおよび化学センサ
産業用制御	HVAC
データ収集システム およびデータロガー	スマートトランスミッタ
家庭電化製品	医療用計測

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAXQ2010-RFX+	-40°C to +85°C	100 LQFP

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

標準アプリケーション回路、ピン配置、および選択ガイドはデータシートの最後に記載されています。

MAXQはMaxim Integrated Products, Inc.の登録商標です。SPIはMotorola, Inc.の商標です。

注：この製品の改訂版の中には仕様が公表されたデータシートの仕様と異なり、正誤表として扱われている場合があります。様々な販売チャネルを通し、製品に複数の改訂版が同時に存在することがあります。デバイスの正誤表に関しては、[japan.maxim-ic.com/errata](http://japan.maxim-ic.com/errata)をご覧ください。

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト([japan.maxim-ic.com](http://japan.maxim-ic.com))をご覧ください。

## 特長

- ◆ 高性能、低電力、16ビットのMAXQ® RISCコア
- ◆ DC~10MHz動作、MHz当り1 MIPSに迫る性能
- ◆ 動作電圧：2.7V~3.6V
- ◆ 33の命令、大部分がシングルサイクル
- ◆ 3つの独立したデータポインタが、自動インクリメント/デクリメントでデータ転送を高速化
- ◆ 16レベルハードウェアスタック
- ◆ 16ビットの命令ワード、16ビットのデータバス
- ◆ 16 x 16ビットの汎用ワーキングレジスタ
- ◆ Cコンパイラに最適化(高速/高密度コード)
- ◆ 内蔵FLLによって外部クロック周波数が低下
- ◆ メモリ機能
  - 64KBのフラッシュメモリ(インアプリケーションおよびインシステムプログラマブル)
  - 2KBの内蔵データRAM
  - プログラミングとデバッグ用JTAGブートローダ
- ◆ ペリフェラル機能
  - 内部リファレンスとオートスキャンを備えた12ビットSAR ADC
  - 8つのシングルエンドまたは4つの差動入力
  - サンプルレート：最高312.5ksps
  - 調整可能なスレッシュホールドを備えた電源電圧モニタ
  - シングルサイクル、48ビットアキュムレータによる16 x 16ハードウェア乗算/加算
  - PWM出力付きの、3つの16ビットプログラマブルタイマー/カウンタ
  - デジタルトリム機能を備えた、32ビットのバイナリリアルタイムクロック
  - 内蔵LCD
  - 160セグメント
  - 外付け抵抗が不要
  - 2つのUSART、I<sup>2</sup>Cマスタ/スレーブ、およびSPI™マスタ/スレーブ通信ポート
  - パワーオンリセット/ブラウンアウトリセット内蔵
  - プログラマブルなウォッチドッグタイマ
- ◆ 低消費電力
  - 1MHzフラッシュ動作(2.7Vの場合)：1mA (typ)
  - ストップモード：370nA (typ)
  - 低電力パワーマネージメントモード(PMM)

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## 目次

Absolute Maximum Ratings	4
Recommended DC Operating Conditions	4
I <sup>2</sup> C Electrical Characteristics	10
I <sup>2</sup> C Bus Controller Timing	11
I <sup>2</sup> C Bus Controller Timing (Acting As I <sup>2</sup> C Master)	12
I <sup>2</sup> C Bus Controller Timing (Acting As I <sup>2</sup> C Slave)	13
標準動作特性	14
ブロック図	15
端子説明	16
詳細	21
MAXQコアのアーキテクチャ	21
命令セット	21
メモリ構成	21
スタックメモリ	21
ユーティリティROM	22
プログラミング	23
(ブートローダ)インシステムプログラミング	23
インアプリケーションプログラミング	23
レジスタセット	23
システムタイミング	23
割込み	24
I/Oポート	24
電源電圧モニタ	25
シリアルペリフェラル	25
USARTシリアルポート	25
I <sup>2</sup> Cバス	26
シリアルペリフェラルインタフェース(SPI)	26
リアルタイムクロック	26
プログラマブルタイマー	26
ウォッチドッグタイマ	27
ハードウェア乗算器	27
アナログ-デジタルコンバータ	27
LCDコントローラ	28
インサーキットデバッグ	29
アプリケーション情報	30
グラウンドおよびバイパス処理	30
ピン配置	31

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## 目次(続き)

標準アプリケーション回路	32
補足資料	33
開発および技術サポート	33
選択ガイド	33
パッケージ	33
改訂履歴	34

## 図のリスト

図1. SPIマスタのタイミング	9
図2. SPIスレーブのタイミング	9
図3. 高電圧スパイクに対する保護のための直列抵抗( $R_S$ )	10
図4. I <sup>2</sup> Cバスコントローラのタイミング図	13
図5. MAXQ2010のデフォルトのメモリマップ	22
図6. C/Dタイプのポート端子の回路図	25
図7. ADCのブロック図	28
図8. 2桁、1/2デューティ、LCDインタフェースの例	29
図9. インサーキットデバッグ	30

## 表のリスト

表1. シリアルポートの動作特性	26
------------------	----

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## ABSOLUTE MAXIMUM RATINGS

Voltage Range on All Pins (including AVDD, DVDD) Relative to Ground .....-0.5V to +3.6V  
 Voltage Range on Any Pin Relative to Ground Except AVDD, DVDD .....-0.5V to (V<sub>DVDD</sub> + 0.5V)  
 Operating Temperature Range .....-40°C to +85°C

Continuous Output Current  
 Any Single I/O Pin .....20mA  
 All I/O Pins Combined.....100mA  
 Storage Temperature Range .....-65°C to +150°C  
 Soldering Temperature.....Refer to the IPC/JEDEC J-STD-020 Specification.

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

## RECOMMENDED DC OPERATING CONDITIONS

(V<sub>DVDD</sub> = V<sub>AVDD</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Digital Supply Voltage	V <sub>DVDD</sub>		2.7		3.6	V
Digital Supply Voltage Output	V <sub>REGOUT</sub>	(Note 2)		1.8		V
Analog Supply Voltage	V <sub>AVDD</sub>	V <sub>AVDD</sub> = V <sub>DVDD</sub>	2.7		3.6	V
Ground	GND	AGND = DGND	0		0	V
Digital Power-Fail Reset Voltage	V <sub>RST</sub>	Monitors V <sub>DVDD</sub>	2.55	2.6	2.65	V
Active Current, FLL Disabled (Note 3)	I <sub>DD_HFX1</sub>	f <sub>CK</sub> = 10MHz, V <sub>DVDD</sub> = V <sub>AVDD</sub> = 2.7V, FREQMD = 0		3.1	3.75	mA
	I <sub>DD_HFX2</sub>	f <sub>CK</sub> = 10MHz, V <sub>DVDD</sub> = V <sub>AVDD</sub> = 3.6V, FREQMD = 0 (Note 4)		3.2	4.0	
Active Current, FLL Enabled (Note 5)	I <sub>DD1_FLL</sub>	Divide-by-1 mode, FREQMD = 0		3.15	4	mA
	I <sub>DD2_FLL</sub>	Divide-by-2 mode, FREQMD = 0 (Note 4)		2.9	3.6	
	I <sub>DD3_FLL</sub>	Divide-by-4 mode, FREQMD = 1 (Note 4)		2.25	3	
	I <sub>DD4_FLL</sub>	Divide-by-8 mode, FREQMD = 1 (Note 4)		1.4	2	
	I <sub>DD5_FLL</sub>	PMM mode, FREQMD = 1 (Note 4)		0.5	0.7	
Stop-Mode Current (Note 6)	I <sub>STOP_1</sub> (Note 7)	T <sub>A</sub> = +25°C		0.37	4	μA
		T <sub>A</sub> = +85°C		0.68	6.5	
	I <sub>STOP_2</sub> (Note 8)	T <sub>A</sub> = +25°C		0.94	5	
		T <sub>A</sub> = +85°C		1.3	6.5	
	I <sub>STOP_3</sub> (Note 9)	T <sub>A</sub> = +25°C		195	295	
		T <sub>A</sub> = +85°C		225	335	
Stop-Mode Resume Time (Note 4)	t <sub>STOP_1</sub>	Internal regulator on		4t <sub>CLCL</sub>		μs
	t <sub>STOP_2</sub>	Internal regulator off, brownout or SVM on, SVMSTOP = 1		30	160	
	t <sub>STOP_3</sub>	Internal regulator, brownout, and SVM off		30	320	
Input Low Voltage on HFXIN and 32KIN	V <sub>IL1</sub>		DGND		0.20 × V <sub>DVDD</sub>	V
Input Low Voltage on All Other Pins	V <sub>IL2</sub>		DGND		0.30 × V <sub>DVDD</sub>	V

# MAX92010 LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

## RECOMMENDED DC OPERATING CONDITIONS (continued)

(V<sub>DVDD</sub> = V<sub>AVDD</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input High Voltage on HFXIN and 32KIN	V <sub>IH1</sub>		0.75 x V <sub>DVDD</sub>		V <sub>DVDD</sub>	V
Input High Voltage on All Other Pins	V <sub>IH2</sub>		0.70 V <sub>DVDD</sub>		V <sub>DVDD</sub>	V
Input Hysteresis (Schmitt)	V <sub>IHYS</sub>			0.18		V
Output Low Voltage for All Port Pins (Note 10)	V <sub>OL</sub>	I <sub>OL</sub> = +4mA	DGND		0.4	V
Output High Voltage for All Port Pins (Note 10)	V <sub>OH</sub>	I <sub>OH</sub> = -4mA	V <sub>DVDD</sub> - 0.4			V
I/O Pin Capacitance	C <sub>IO</sub>	Guaranteed by design			15	pF
I/O Pin Capacitance SCL, SDA (Note 11)	C <sub>IO_I2C</sub>	Guaranteed by design			10	pF
$\overline{\text{RST}}$ Pullup Resistance	R <sub>RST</sub>		30		85	k $\Omega$
Input Low Current for $\overline{\text{RST}}$ Pin	I <sub>IL1</sub>	V <sub>IN</sub> = 0.4V	-85		-30	$\mu$ A
Input Low Current for All Other Pins	I <sub>IL2</sub>	V <sub>IN</sub> = 0.4V	-85		-30	$\mu$ A
Input Leakage Current	I <sub>L</sub>	Internal pullup disabled	-150		+150	nA
Input Pullup Resistor	R <sub>PU</sub>		30		85	k $\Omega$
<b>CLOCK SOURCE</b>						
External Clock Frequency	f <sub>HFIN</sub>		DC		10	MHz
External Clock Period	t <sub>CLCL</sub>		100			ns
External Clock Duty Cycle	t <sub>XCLK_DUTY</sub>		40		60	%
System Clock Frequency	f <sub>CK</sub>		DC		10	MHz
<b>FREQUENCY-LOCKED LOOP (FLL)</b>						
FLL Output Frequency	f <sub>FLL</sub>	f <sub>32KIN</sub> = 32.768kHz		8.4		MHz
FLL Output Frequency Delta	$\Delta$ f <sub>FLL</sub>	f <sub>32KIN</sub> = 32.768kHz		1.5	$\pm$ 5	%

**Note 1:** Specifications to -40°C are guaranteed by design and are not production tested.

**Note 2:** Typical value presented for reference only. Do not draw current from this pin.

**Note 3:** FLL disabled. Crystal connected across HFXIN and HFXOUT. Operating in divide-by-1 mode. Measured on the DVDD pin and part executing program code from flash. All inputs are connected to GND or DVDD. Outputs do not source/sink any current. Timer B enabled.

**Note 4:** This parameter is guaranteed by design and is not production tested.

**Note 5:** FLL enabled. f<sub>32KIN</sub> = 32.768kHz, HFXIN = disconnected, FLL = 8.39MHz, measured on the DVDD pin, part executing program code from flash. All inputs are connected to GND or DVDD. Outputs do not source/sink any current. Timer B enabled.

**Note 6:** I<sub>STOP</sub> is the total current into the device when the device is in stop mode. This includes both the digital and analog current (current into DVDD and AVDD).

**Note 7:** Regulator, brownout monitor, LCD, and RTC disabled.

**Note 8:** Regulator, brownout monitor, and LCD disabled; RTC enabled.

**Note 9:** Regulator enabled, brownout monitor enabled, and LCD and RTC disabled.

**Note 10:** I<sub>OH(MAX)</sub> + I<sub>OL(MAX)</sub> for all outputs combined should not exceed 35mA to meet the specification.

**Note 11:** When DVDD is switched off, SDA and SCL may obstruct the line.

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## RECOMMENDED DC OPERATING CONDITIONS (continued)

( $V_{DVDD} = V_{AVDD} = 2.7V$  to  $3.6V$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>FLASH PROGRAMMING</b>						
System Clock During Flash Programming/Erase			2			MHz
Flash Erase Time		Mass erase		24		ms
		Page erase		24		
Flash Programming Time per Word (Note 12)				66		$\mu s$
Write/Erase Cycles			20,000			Cycles
Data Retention		$T_A = +25^{\circ}C$	100			Years
<b>ANALOG-TO-DIGITAL CONVERTER (Note 13)</b>						
Serial Clock Frequency	fSCLK		0.1		5	MHz
Input Voltage Range	$V_{AIN}$	Unipolar (single-ended)	0		$V_{REF}$	V
		Bipolar (differential) (Note 14)	$-V_{REF}/2$		$+V_{REF}/2$	
Analog Input Capacitance	$C_{AIN}$			16		pF
Current Consumption (Note 4)	$I_{AVDD1}$	fSCLK = 5MHz, internal reference		1.9	2.5	mA
	$I_{AVDD2}$	fSCLK = 5MHz, external reference (internal reference disabled)		1.1	1.3	
<b>ANALOG-TO-DIGITAL CONVERTER PERFORMANCE (<math>V_{REF} = V_{AVDD}</math>, 0.1<math>\mu F</math> capacitor on <math>V_{REF}</math>, fSCLK = 5MHz)</b>						
Resolution			12			Bits
Integral Nonlinearity	INL			$\pm 1$	$\pm 2$	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			$\pm 1$	LSB
Offset Error	VOS				$\pm 2$	LSB
Offset Temperature Coefficient				$\pm 0.5$		ppm/ $^{\circ}C$
Gain Error					$\pm 1$	%
Gain Temperature Coefficient				$\pm 0.5$		ppm/ $^{\circ}C$
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 1kHz$	65			dB
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 1kHz$	68			dB
Throughput		16 SCLK samples			312.5	ksps
Conversion Time	tCONV	Not including tACQ	2.6			$\mu s$
ADC Setup Time	tADC_SETUP (Note 15)				4	$\mu s$
Input Leakage Current	$I_{ILA}$	Shutdown or conversion stopped, ANx and $V_{AEREF}$			$\pm 1$	$\mu A$
Autoscan Throughput		All channels active			39	ksps per channel
<b>ANALOG-TO-DIGITAL CONVERTER REFERENCE</b>						
Internal Reference Voltage	$V_{AIREF}$		1.47	1.5	1.53	V
Internal Reference Voltage Startup Time	tAIREF				50	$\mu s$

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## RECOMMENDED DC OPERATING CONDITIONS (continued)

(V<sub>DVDD</sub> = V<sub>AVDD</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
External Reference Voltage Input	V <sub>AEREF</sub>		0.9		V <sub>AVDD</sub> + 0.05	V
Internal Reference Voltage Drift	V <sub>ADRIFT</sub>	Guaranteed by design			±50	ppm/°C
Reference Settle Time (Switching ADC Reference from Either Internal or External Reference to AVDD) (Note 16)	t <sub>AAVDD_SETUP</sub> (Note 17)				4	Samples
<b>SUPPLY VOLTAGE MONITOR</b>						
Supply Voltage Set Point	V <sub>SVM</sub>		2.7		3.5	V
Supply Voltage Increment Resolution (Note 18)	S <sub>VINC</sub>		0.08	0.1	0.12	V
Supply Voltage Default Set Point				2.7		μA
Supply Voltage Monitor Current Consumption	I <sub>SVM</sub>			20		μs
Supply Voltage Monitor Setup Time (Time from Supply Voltage Monitor Enabled to SVMRDY Is Set to 1) (Note 18)	t <sub>SVM_SU</sub>			15	25	μs
<b>REAL-TIME CLOCK</b>						
RTC Input Frequency	f <sub>32KIN</sub>	32kHz watch crystal		32,768		Hz
RTC Operating Current	I <sub>RTC</sub>	V <sub>DVDD</sub> = 2.7V, guaranteed by design		0.45	0.7	μA
		V <sub>DVDD</sub> = 3.6V		0.5	0.8	
<b>LCD</b>						
LCD Reference Voltage	V <sub>LCD</sub>		V <sub>DVDD</sub>		3.6	V
LCD Bias Voltage 1	V <sub>LCD1</sub>	1/3 bias		$V_{ADJ} + \frac{2}{3}(V_{LCD} - V_{ADJ})$		V
LCD Bias Voltage 2	V <sub>LCD2</sub>	1/3 bias		$V_{ADJ} + \frac{2}{3}(V_{LCD} - V_{ADJ})$		V
LCD Adjustment Voltage	V <sub>ADJ</sub>	Guaranteed by design	0		0.4 × V <sub>LCD</sub>	V
LCD Bias Resistor	R <sub>LCD</sub>			40		kΩ
LCD Adjustment Resistor	R <sub>LADJ</sub>	LRA[3:0] = 15		80		kΩ
LCD Segment and COM Voltage (Note 18)	V <sub>SEGxx</sub>	Pin is driven at V <sub>LCD</sub> = 3V, I <sub>SEGxx</sub> = -3μA	V <sub>LCD</sub> - 0.02		V <sub>LCD</sub>	V
		Pin is driven at V <sub>LCD1</sub> = 2V, I <sub>SEGxx</sub> = -3μA	V <sub>LCD1</sub> - 0.02		V <sub>LCD1</sub> + 0.02	
		Pin is driven at V <sub>LCD2</sub> = 1V, I <sub>SEGxx</sub> = -3μA	V <sub>LCD2</sub> - 0.02		V <sub>LCD2</sub> + 0.02	
		Pin is driven at V <sub>ADJ</sub> = 0V, I <sub>SEGxx</sub> = -3μA	-0.1		+0.1	
LCD Output Rise Time	t <sub>LCD_RISE</sub>	COM output load = 5000pF, SEG output load = 200pF, V <sub>LCD</sub> = 3.3V			200	μs

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## RECOMMENDED DC OPERATING CONDITIONS (continued)

( $V_{DVDD} = V_{AVDD} = 2.7V$  to  $3.6V$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SPI (See Figures 1 and 2)</b>						
SPI Master Operating Frequency	$1/t_{MCK}$				$f_{CK}/2$	MHz
SPI Slave Operating Frequency	$1/t_{SCK}$				$f_{CK}/8$	MHz
SCLK Output Pulse-Width High/Low	$t_{MCH}, t_{MCL}$		$(t_{MCK}/2)$ - 25			ns
SCLK Input Pulse-Width High/Low	$t_{SCH}, t_{SCL}$			$t_{SCK}/2$		ns
MOSI Output Hold Time After SCLK Sample Edge	$t_{MOH}$	$C_L = 50pF$	$(t_{MCK}/2)$ - 25			ns
MOSI Output Valid to Sample Edge	$t_{MOV}$		$(t_{MCK}/2)$ - 25			ns
MISO Input Valid to SCLK Sample Edge Rise/Fall Setup	$t_{MIS}$		25			ns
MISO Input to SCLK Sample Edge Rise/Fall Hold	$t_{MIH}$		0			ns
SCLK Inactive to MOSI Inactive	$t_{MLH}$		$(t_{MCK}/2)$ - 25			ns
$\overline{SSEL}$ Active to First Shift Edge	$t_{SSE}$		$4t_{CK}$			ns
MOSI Input to SCLK Sample Edge Rise/Fall Setup	$t_{SIS}$		20			ns
MOSI Input from SCLK Sample Edge Transition Hold	$t_{SIH}$		$t_{CK} + 25$			ns
MISO Output Valid After SCLK Shift Edge Transition	$t_{SOV}$				$3t_{CK} + 25$	ns
$\overline{SSEL}$ Inactive	$t_{SSH}$		$t_{CK} + 25$			ns
SCLK Inactive to $\overline{SSEL}$ Rising	$t_{SD}$		$t_{CK} + 25$			ns
MISO Output Disabled After $\overline{SSEL}$ Edge Rise	$t_{SLH}$				$2t_{CK} + 50$	ns

**Note 12:** Programming time does not include overhead associated with the utility ROM interface.

**Note 13:**  $V_{REF} = V_{AVDD}$ .

**Note 14:** The operational input voltage range for each individual input of a differentially configured pair is from GND to AVDD. The operational input voltage difference is from  $-V_{REF}/2$  to  $+V_{REF}/2$ .

**Note 15:** The typical value is applied when a conversion is requested with ADPMO = 0. Under these conditions, the minimum delay is met. If ADPMO = 1, the user is responsible for ensuring the 4 $\mu$ s delay time is met.

**Note 16:** Switching ADC reference from either internal or external reference to AVDD. Sample accuracy is not guaranteed prior to ADC reference settlement.

**Note 17:** Total on-board decoupling capacitance on the AVDD pin < 100nF. The output impedance of the regulator driving the AVDD pin < 10 $\Omega$ .

**Note 18:** This parameter is guaranteed by design and is not production tested.



# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

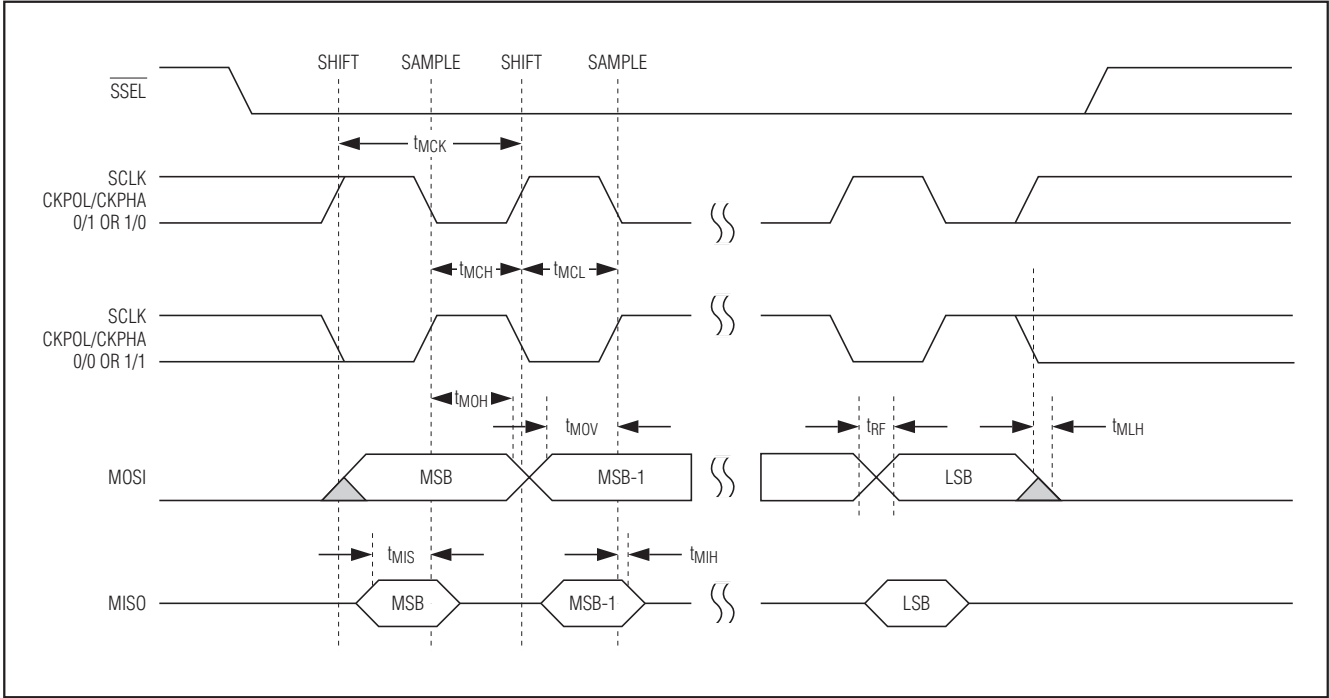


図1. SPIマスタのタイミング

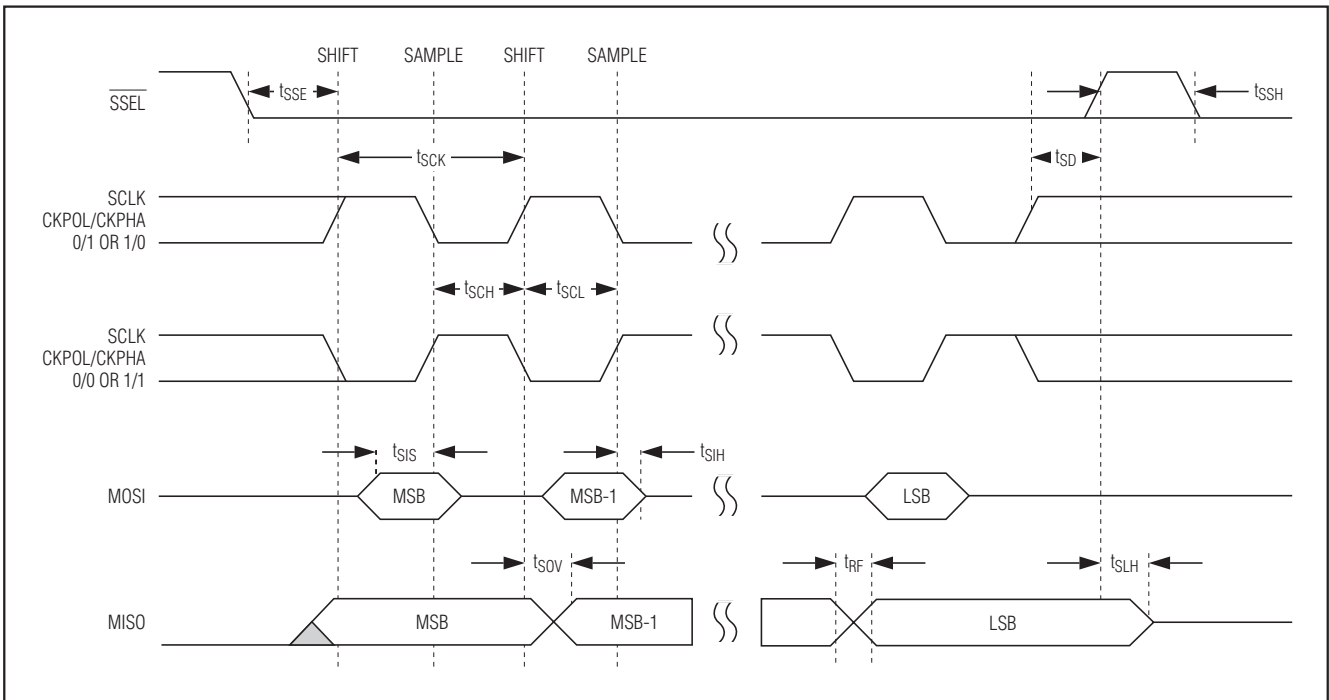


図2. SPIスレーブのタイミング

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## I<sup>2</sup>C ELECTRICAL CHARACTERISTICS

(V<sub>DVDD</sub> = V<sub>AVDD</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.)

PARAMETER	SYMBOL	TEST CONDITIONS	STANDARD MODE		FAST MODE		UNITS
			MIN	MAX	MIN	MAX	
Input Low Voltage (Note 19)	V <sub>IL_I2C</sub>		-0.5	0.3 × V <sub>DVDD</sub>	-0.5	0.3 × V <sub>DVDD</sub>	V
Input High Voltage (Note 19)	V <sub>IH_I2C</sub>		0.7 × V <sub>DVDD</sub>		0.7 × V <sub>DVDD</sub>	V <sub>DVDD</sub> + 0.5V	V
Input Hysteresis (Schmitt)	V <sub>IHYS_I2C</sub>	V <sub>DVDD</sub> > 2V			0.05 × V <sub>DVDD</sub>		V
Output Logic-Low (Open Drain or Open Collector)	V <sub>OL_I2C</sub>	V <sub>DVDD</sub> > 2V, 3mA sink current	0	0.4	0	0.4	V
Output Fall Time from V <sub>IH_MIN</sub> to V <sub>IL_MAX</sub> with Bus Capacitance from 10pF to 400pF (Notes 20, 21)	t <sub>OF_I2C</sub>		250		20 + 0.1C <sub>B</sub>	250	ns
Pulse Width of Spike Filtering That Must Be Suppressed by Input Filter	t <sub>SP_I2C</sub>				0	50	ns
Input Current on I/O	I <sub>IN_I2C</sub>	Input voltage from 0.1 × V <sub>DVDD</sub> to 0.9 × V <sub>DVDD</sub>	-10	+10	-10	+10	μA
I/O Capacitance	C <sub>IO_I2C</sub>		10		10		pF

**Note 19:** Devices that use nonstandard supply voltages that do not conform to the intended I<sup>2</sup>C bus system levels must relate their input levels to the voltage to which the pullup resistors R<sub>p</sub> are connected. See Figure 3.

**Note 20:** C<sub>B</sub>—Capacitance of one bus line in pF.

**Note 21:** The maximum fall time of 300ns for the SDA and SCL bus lines shown in the I<sup>2</sup>C Bus Controller Timing table is longer than the specified maximum t<sub>OF\_I2C</sub> of 250ns for the output stages. This allows series protection resistors (R<sub>s</sub>) to be connected between the SDA/SCL pins and the SDA/SCL bus lines as shown in the I<sup>2</sup>C Bus Controller Timing (Acting as I<sup>2</sup>C Slave) table without exceeding the maximum specified fall time. See Figure 3.

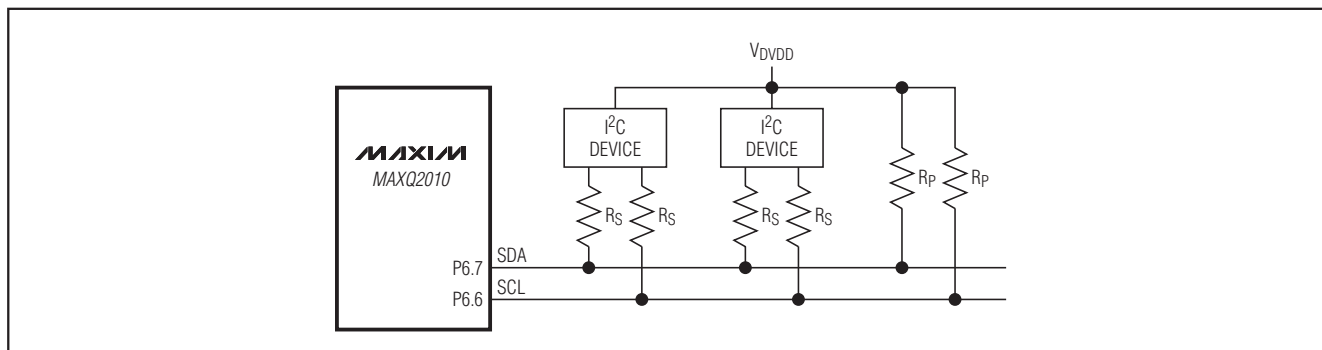


図3. 高電圧スパイクに対する保護のための直列抵抗(R<sub>s</sub>)

# MAX92010 LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

## I<sup>2</sup>C BUS CONTROLLER TIMING

(V<sub>DVDD</sub> = V<sub>AVDD</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.) (Note 22) (Figure 4)

PARAMETER	SYMBOL	STANDARD MODE		FAST MODE		UNITS
		MIN	MAX	MIN	MAX	
Operating Frequency	f <sub>I2C</sub>	0	100	0	400	kHz
Hold Time After (Repeated) START	t <sub>HD:STA</sub>	4.0		0.6		μs
Clock Low Period	t <sub>LOW_I2C</sub>	4.7		1.3		μs
Clock High Period	t <sub>HIGH_I2C</sub>	4.0		0.6		μs
Setup Time for Repeated START	t <sub>SU:STA</sub>	4.7		0.6		μs
Hold Time for Data	t <sub>HD:DAT</sub>	0 (Note 23)	3.45 (Note 24)	0 (Note 23)	0.9 (Note 24)	μs
Setup Time for Data	t <sub>SU:DAT</sub>	250		100 (Note 25)		ns
SDA/SCL Fall Time	t <sub>F_I2C</sub>		300	20 + 0.1C <sub>B</sub> (Note 26)	300	ns
SDA/SCL Rise Time	t <sub>R_I2C</sub>		1000	20 + 0.1C <sub>B</sub> (Note 26)	300	ns
Setup Time for STOP	t <sub>SU:STO</sub>	4.0		0.6		μs
Bus-Free Time Between STOP and START	t <sub>BUF</sub>	4.7		1.3		μs
Capacitive Load for Each Bus Line	C <sub>B</sub>		400		400	pF
Noise Margin at the Low Level for Each Connected Device (Including Hysteresis)	V <sub>NL_I2C</sub>	0.1 × V <sub>DVDD</sub>		0.1 × V <sub>DVDD</sub>		V
Noise Margin at the High Level for Each Connected Device (Including Hysteresis)	V <sub>NH_I2C</sub>	0.2 × V <sub>DVDD</sub>		0.2 × V <sub>DVDD</sub>		V

**Note 22:** All values referenced to V<sub>IH\_I2C(MIN)</sub> and V<sub>IL\_I2C(MAX)</sub>.

**Note 23:** A device must internally provide a hold time of at least 300ns for the SDA signal (referred to as the V<sub>IH\_I2C(MIN)</sub> of the SCL signal) to bridge the undefined region of the falling edge of SCL.

**Note 24:** The maximum t<sub>HD:DAT</sub> need only be met if the device does not stretch the low period (t<sub>LOW\_I2C</sub>) of the SCL signal.

**Note 25:** A fast-mode I<sup>2</sup>C bus device can be used in a standard-mode I<sup>2</sup>C bus system, but the requirement t<sub>SU:DAT</sub> ≥ 250ns must be met. This is automatically the case if the device does not stretch the low period of the SCL signal. If such a device does stretch the low period of the SCL signal, it must output the next data bit to the SDA line t<sub>R\_I2C(MAX)</sub> + t<sub>SU:DAT</sub> = 1000 + 250 = 1250ns (according to the standard-mode I<sup>2</sup>C specification) before the SCL line is released.

**Note 26:** C<sub>B</sub>—Total capacitance of one bus line in pF.

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## I<sup>2</sup>C BUS CONTROLLER TIMING (ACTING AS I<sup>2</sup>C MASTER)

(V<sub>DVDD</sub> = V<sub>AVDD</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.) (Figure 4)

PARAMETER	SYMBOL	STANDARD MODE		FAST MODE		UNITS
		MIN	MAX	MIN	MAX	
System Frequency	f <sub>sys</sub>	0.90		3.60		MHz
Operating Frequency	f <sub>I2C</sub>	f <sub>sys</sub> /8		f <sub>sys</sub> /8		Hz
Hold Time After (Repeated) START	t <sub>HD:STA</sub>	t <sub>HIGH_I2C</sub>		t <sub>HIGH_I2C</sub>		μs
Clock Low Period	t <sub>LOW_I2C</sub>	5t <sub>sys</sub>		5t <sub>sys</sub>		μs
Clock High Period	t <sub>HIGH_I2C</sub>	3t <sub>sys</sub>		3t <sub>sys</sub>		μs
Setup Time for Repeated START	t <sub>SU:STA</sub>	t <sub>LOW_I2C</sub>		t <sub>LOW_I2C</sub>		μs
Hold Time for Data	t <sub>HD:DAT</sub>	0	3.45	0	0.9	μs
Setup Time for Data	t <sub>SU:DAT</sub>	250		100		ns
SDA/SCL Fall Time	t <sub>F_I2C</sub>	300		20 + 0.1C <sub>B</sub>	300	ns
SDA/SCL Rise Time	t <sub>R_I2C</sub>	1000		20 + 0.1C <sub>B</sub>	300	ns
Setup Time for STOP	t <sub>SU:STO</sub>	t <sub>HIGH_I2C</sub>		t <sub>HIGH_I2C</sub>		μs
Bus-Free Time Between STOP and START	t <sub>BUF</sub>	t <sub>LOW_I2C</sub>		t <sub>LOW_I2C</sub>		μs
Capacitive Load for Each Bus Line	C <sub>B</sub>	400		400		pF
Noise Margin at the Low Level for Each Connected Device (Including Hysteresis)	V <sub>NL_I2C</sub>	0.1 × V <sub>DVDD</sub>		0.1 × V <sub>DVDD</sub>		V
Noise Margin at the High Level for Each Connected Device (Including Hysteresis)	V <sub>NH_I2C</sub>	0.2 × V <sub>DVDD</sub>		0.2 × V <sub>DVDD</sub>		V

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## I<sup>2</sup>C BUS CONTROLLER TIMING (ACTING AS I<sup>2</sup>C SLAVE)

(V<sub>DVDD</sub> = V<sub>AVDD</sub> = 2.7V to 3.6V, T<sub>A</sub> = -40°C to +85°C.) (Figure 4)

PARAMETER	SYMBOL	STANDARD MODE		FAST MODE		UNITS
		MIN	MAX	MIN	MAX	
System Frequency	f <sub>sys</sub>	0.9		3.60		MHz
Operating Frequency	f <sub>i2c</sub>		f <sub>sys</sub> /8		f <sub>sys</sub> /8	Hz
System Clock Period	t <sub>sys</sub>	1/f <sub>i2c</sub>		1/f <sub>i2c</sub>		μs
Hold Time After (Repeated) START	t <sub>HD:STA</sub>	3t <sub>sys</sub>		3t <sub>sys</sub>		μs
Clock Low Period	t <sub>LOW_I2C</sub>	5t <sub>sys</sub>		5t <sub>sys</sub>		μs
Clock High Period	t <sub>HIGH_I2C</sub>	3t <sub>sys</sub>		3t <sub>sys</sub>		μs
Setup Time for Repeated START	t <sub>SU:STA</sub>	5t <sub>sys</sub>		5t <sub>sys</sub>		μs
Hold Time for Data	t <sub>HD:DAT</sub>	0	3.45	0	0.9	μs
Setup Time for Data	t <sub>SU:DAT</sub>	250		100		ns
SDA/SCL Fall Time	t <sub>F_I2C</sub>		300	20 + 0.1C <sub>B</sub>	300	ns
SDA/SCL Rise Time	t <sub>R_I2C</sub>		1000	20 + 0.1C <sub>B</sub>	300	ns
Setup Time for STOP	t <sub>SU:STO</sub>	3t <sub>sys</sub>		3t <sub>sys</sub>		μs
Bus-Free Time Between STOP and START	t <sub>BUF</sub>	5t <sub>sys</sub>		5t <sub>sys</sub>		μs
Capacitive Load for Each Bus Line	C <sub>B</sub>		400		400	pF
Noise Margin at the Low Level for Each Connected Device (Including Hysteresis)	V <sub>NL_I2C</sub>	0.1 × V <sub>DVDD</sub>		0.1 × V <sub>DVDD</sub>		V
Noise Margin at the High Level for Each Connected Device (Including Hysteresis)	V <sub>NH_I2C</sub>	0.2 × V <sub>DVDD</sub>		0.2 × V <sub>DVDD</sub>		V

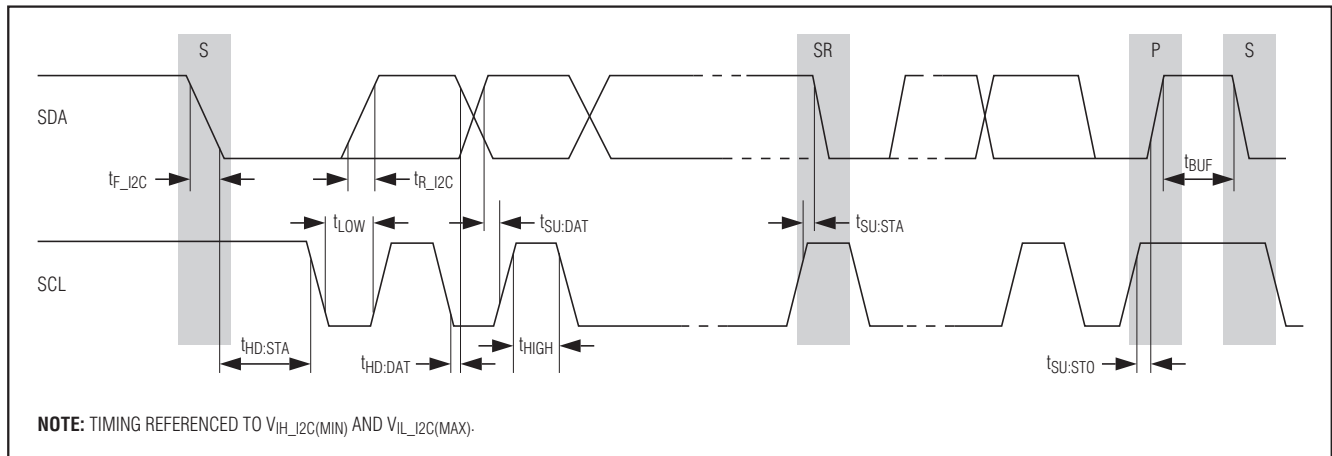


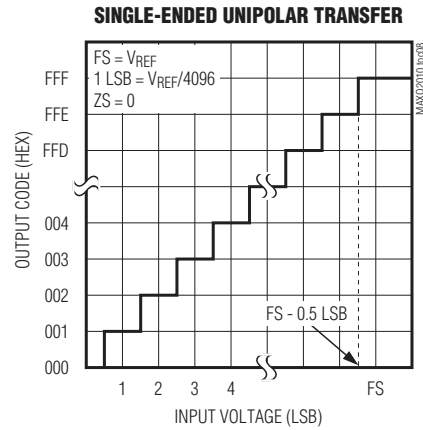
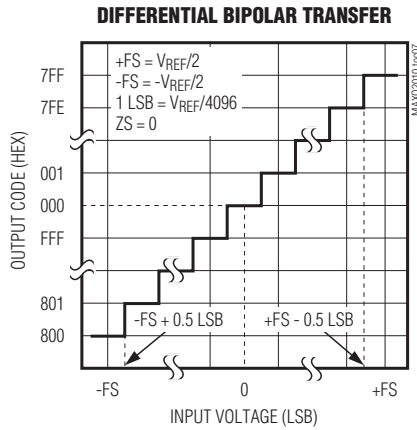
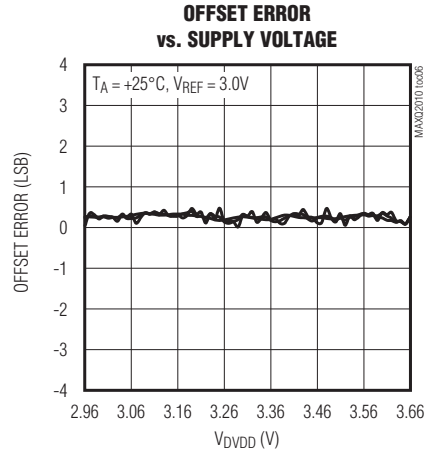
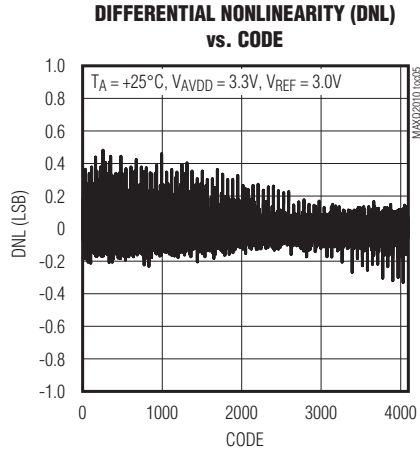
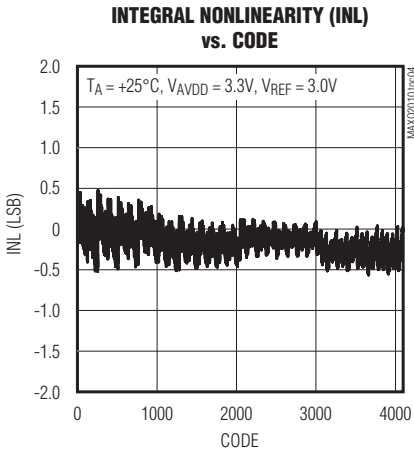
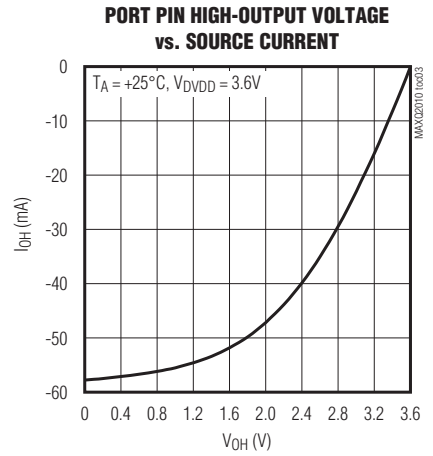
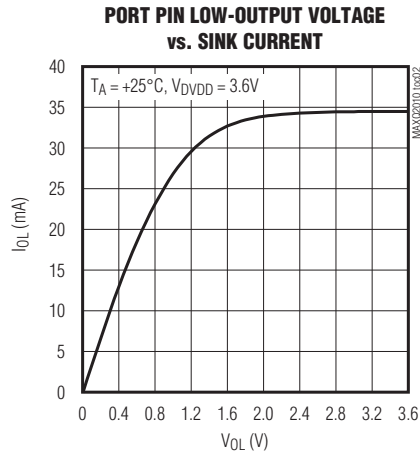
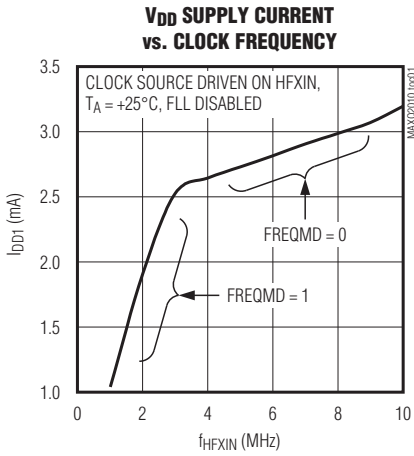
図4. I<sup>2</sup>Cバスコントローラのタイミング図

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

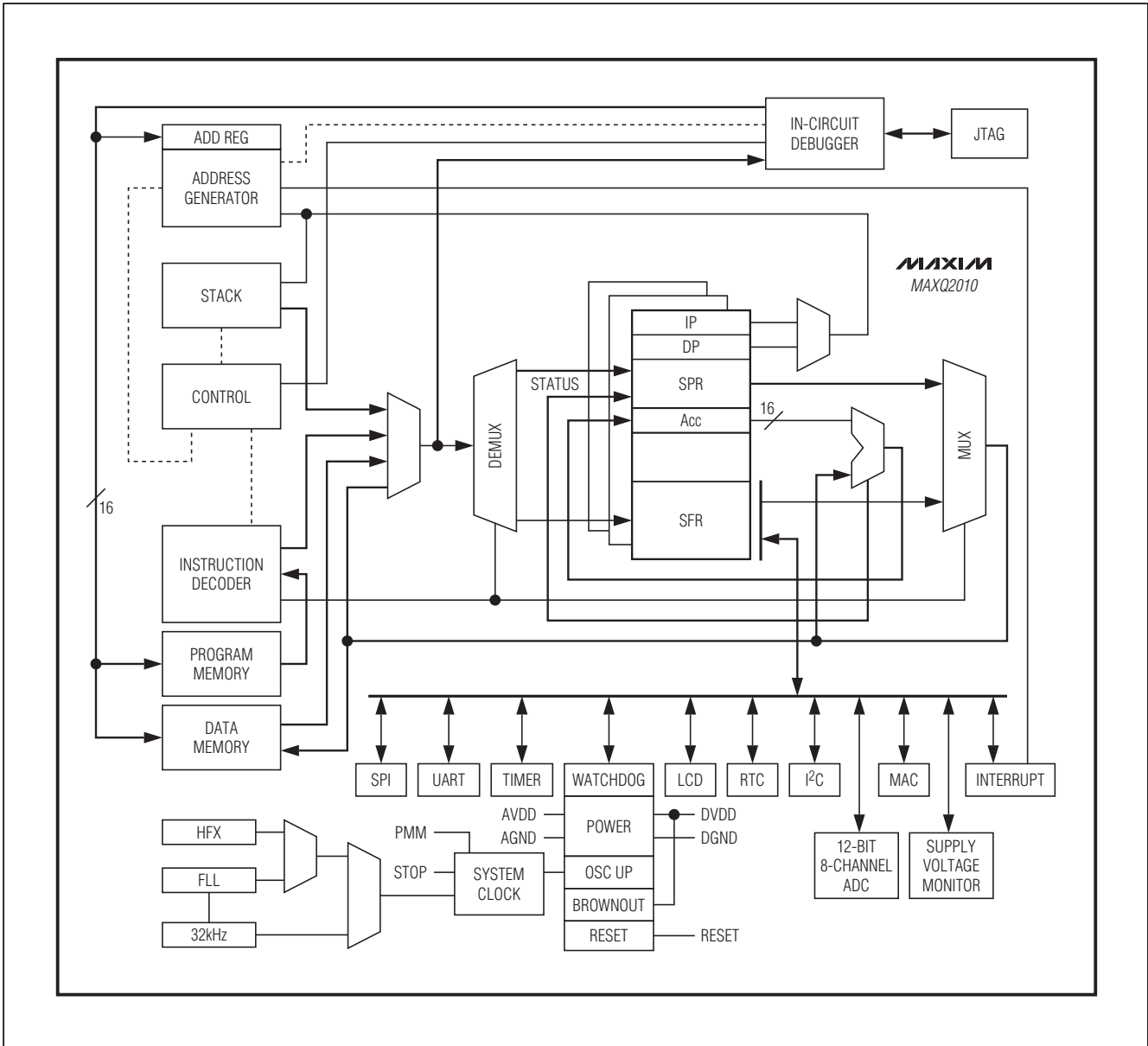
## 標準動作特性

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

ブロック図



MAXQ2010

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

## 端子説明

端子	名称	機能
<b>電源端子</b>		
40, 63, 96	DVDD	デジタル電源電圧
41, 66, 95	DGND	デジタルグランド
98, 99	REGOUT	レギュレータコンデンサ。これらの端子は端子の位置で相互に短絡した上で、1.0 $\mu$ Fのセラミックコンデンサでグランドに接続する必要があります。
82	AVDD	アナログ電源電圧
79	AGND	アナロググランド
<b>アナログ測定用端子</b>		
70	AVREF	アナログ電圧リファレンス。外部リファレンスソースを使用する場合、この端子は、1 $\mu$ Fと0.01 $\mu$ Fを並列にしたフィルタコンデンサに接続する必要があります。内部リファレンスソースを使用する場合は、この端子を0.01 $\mu$ Fのコンデンサに接続する必要があります。
78, 77	AN0, AN1	アナログ入力0:1。この1組のアナログ入力は、2つのシングルエンド入力または1つの差動ペアとしての動作が可能です。差動モードでの動作時には、AN0が正の入力でAN1が負の入力になります。
76, 75	AN2, AN3	アナログ入力2:3。この1組のアナログ入力は、2つのシングルエンド入力または1つの差動ペアとしての動作が可能です。差動モードでの動作時には、AN2が正の入力でAN3が負の入力になります。
74, 73	AN4, AN5	アナログ入力4:5。この1組のアナログ入力は、2つのシングルエンド入力または1つの差動ペアとしての動作が可能です。差動モードでの動作時には、AN4が正の入力でAN5が負の入力になります。
72, 71	AN6, AN7	アナログ入力6:7。この1組のアナログ入力は、2つのシングルエンド入力または1つの差動ペアとしての動作が可能です。差動モードでの動作時には、AN6が正の入力でAN7が負の入力になります。
<b>リセット端子</b>		
92	RST	デジタル、アクティブロー、リセット入力/出力。この端子がローのときはCPUがリセット状態に保たれ、解除された時点でリセットベクトルから実行を開始します。この端子にはプルアップ電流ソースが内蔵されているため、4mAを超える電流をシンク可能なオープンドレインの外部ソースによって駆動してください。内部リセット条件が発生した場合、この端子は出力としてローに駆動されます。
<b>クロック端子</b>		
81	32KIN	32kHz水晶入力/出力。外付けの6pF、32kHz時計用水晶を32KINと32KOUTの間に接続して、システムクロックを生成してください。または、32KOUTを接続しない場合、32KINが外部クロックソースの入力になります。
80	32KOUT	
64	HFXIN	高周波数水晶入力。外付けの水晶または共振器をHFXINとHFXOUTの間に高周波数システムクロックとして接続してください。または、HFXOUTを接続しない場合、HFXINが外部高周波数クロックソースの入力になります。
65	HFXOUT	
<b>LCD端子</b>		
45	V <sub>LCD</sub>	LCDバイアス制御電圧。固定バイアスで使用される最大のLCD駆動電圧です。外部ソースに接続されます。
44	V <sub>LCD1</sub>	LCDバイアス、電圧1。1/2および1/3 LCDバイアスで使用されるLCD駆動電圧です。内部の抵抗分圧器によって電圧が設定されます。外付けの抵抗とコンデンサを使用して、この端子のLCD電圧または駆動能力を変更することができます。



# MAX92010 LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAX92010

## 端子説明(続き)

端子	名称	機能																																				
43	V <sub>LCD2</sub>	LCDバイアス、電圧2。1/3 LCDバイアスで使用されるLCD駆動電圧です。内部の抵抗分圧器によって電圧が設定されます。外付けの抵抗とコンデンサを使用して、この端子のLCD電圧または駆動能力を変更することができます。																																				
42	V <sub>ADJ</sub>	LCD調整電圧。LCDのコントラストを外部で調整する場合は、外付けの抵抗に接続してください。内部でコントラスト調整を行う場合は、未接続のままにしてください。																																				
<b>汎用I/O、特殊機能、およびLCDインタフェース端子</b>																																						
6-1, 94, 93	P0.0-P0.7; SEG0-SEG7; INT0-INT7	<p>デジタルI/O、Dタイプポート0、LCDセグメントドライバ出力、外部エッジ選択可能割込み。このポートは、双方向I/Oまたはそれと択一なLCDセグメント駆動出力のいずれかとして機能します。ポートのリセット状態は、すべてのビットがロジック1です。この状態では、弱プルアップによってポートがハイに保持されます。この状態は、入力モードの役割を果たします。各ポート端子を個別に外部割込みとして動作するように設定することができます。PCF0ビットをセットすることによって、このポートのすべての端子がLCDセグメント駆動出力に切り替わります。</p> <p>同一ポート上にLCDと割込みの機能を混在させることが可能です。それには、PCF0ビットをセットする前に割込みイネーブルを確立する必要があります。LCDコントローラの出力と割込み入力に接続された外部ソースの間で潜在的な危険性を持つ競合が発生する原因となる可能性があります。そのため、LCDが通常動作モードのときに外部割込みをイネーブルしないように注意する必要があります。</p>																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>P0.0</td> <td>SEG0</td> <td>INT0</td> </tr> <tr> <td>5</td> <td>P0.1</td> <td>SEG1</td> <td>INT1</td> </tr> <tr> <td>4</td> <td>P0.2</td> <td>SEG2</td> <td>INT2</td> </tr> <tr> <td>3</td> <td>P0.3</td> <td>SEG3</td> <td>INT3</td> </tr> <tr> <td>2</td> <td>P0.4</td> <td>SEG4</td> <td>INT4</td> </tr> <tr> <td>1</td> <td>P0.5</td> <td>SEG5</td> <td>INT5</td> </tr> <tr> <td>94</td> <td>P0.6</td> <td>SEG6</td> <td>INT6</td> </tr> <tr> <td>93</td> <td>P0.7</td> <td>SEG7</td> <td>INT7</td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		6	P0.0	SEG0	INT0	5	P0.1	SEG1	INT1	4	P0.2	SEG2	INT2	3	P0.3	SEG3	INT3	2	P0.4	SEG4	INT4	1	P0.5	SEG5	INT5	94	P0.6	SEG6	INT6	93	P0.7	SEG7	INT7
		端子	ポート	特殊/代替機能																																		
		6	P0.0	SEG0	INT0																																	
		5	P0.1	SEG1	INT1																																	
		4	P0.2	SEG2	INT2																																	
		3	P0.3	SEG3	INT3																																	
		2	P0.4	SEG4	INT4																																	
		1	P0.5	SEG5	INT5																																	
		94	P0.6	SEG6	INT6																																	
93	P0.7	SEG7	INT7																																			
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
91-84	P1.0-P1.7; SEG8-SEG15	デジタルI/O、Cタイプポート1、LCDセグメントドライバ出力。このポートは、双方向I/Oまたはそれと択一なLCDセグメント駆動出力のいずれかとして機能します。ポートのリセット状態は、すべてのビットがロジック1です。この状態では、弱プルアップによってポートがハイに保持されます。この状態は、入力モードの役割を果たします。このポート端子はシュミット電圧入力も備えています。PCF1ビットをセットすることによって、このポートのすべての端子がLCDセグメント駆動出力に切り替わります。																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
		端子	ポート	特殊/代替機能																																		
		91	P1.0	SEG8																																		
		90	P1.1	SEG9																																		
		89	P1.2	SEG10																																		
		88	P1.3	SEG11																																		
		87	P1.4	SEG12																																		
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				
		<table border="1"> <thead> <tr> <th>端子</th> <th>ポート</th> <th colspan="2">特殊/代替機能</th> </tr> </thead> <tbody> <tr> <td>91</td> <td>P1.0</td> <td>SEG8</td> <td></td> </tr> <tr> <td>90</td> <td>P1.1</td> <td>SEG9</td> <td></td> </tr> <tr> <td>89</td> <td>P1.2</td> <td>SEG10</td> <td></td> </tr> <tr> <td>88</td> <td>P1.3</td> <td>SEG11</td> <td></td> </tr> <tr> <td>87</td> <td>P1.4</td> <td>SEG12</td> <td></td> </tr> <tr> <td>86</td> <td>P1.5</td> <td>SEG13</td> <td></td> </tr> <tr> <td>85</td> <td>P1.6</td> <td>SEG14</td> <td></td> </tr> <tr> <td>84</td> <td>P1.7</td> <td>SEG15</td> <td></td> </tr> </tbody> </table>	端子	ポート	特殊/代替機能		91	P1.0	SEG8		90	P1.1	SEG9		89	P1.2	SEG10		88	P1.3	SEG11		87	P1.4	SEG12		86	P1.5	SEG13		85	P1.6	SEG14		84	P1.7	SEG15	
端子	ポート	特殊/代替機能																																				
91	P1.0	SEG8																																				
90	P1.1	SEG9																																				
89	P1.2	SEG10																																				
88	P1.3	SEG11																																				
87	P1.4	SEG12																																				
86	P1.5	SEG13																																				
85	P1.6	SEG14																																				
84	P1.7	SEG15																																				

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## 端子説明(続き)

端子	名称	機能		
56-52, 48-46	P2.0-P2.7; SEG16-SEG23	デジタルI/O、Cタイプポート2、LCDセグメントドライバ出力。このポートは、双方向I/Oまたはそれと択一なLCDセグメント駆動出力のいずれかとして機能します。ポートのリセット状態は、すべてのビットがロジック1です。この状態では、弱プルアップによってポートがハイに保持されます。この状態は、入力モードの役割を果たします。このポート端子はシュミット電圧入力も備えています。PCF2ビットをセットすることによって、このポートのすべての端子がLCDセグメント駆動出力に切り替わります。		
		端子	ポート	特殊/代替機能
		56	P2.0	SEG16
		55	P2.1	SEG17
		54	P2.2	SEG18
		53	P2.3	SEG19
		52	P2.4	SEG20
		48	P2.5	SEG21
		47	P2.6	SEG22
		46	P2.7	SEG23
36-33, 22-19	P3.0-P3.7; SEG24-SEG31	デジタルI/O、Cタイプポート3、LCDセグメントドライバ出力。このポートは、双方向I/Oまたはそれと択一なLCDセグメント駆動出力のいずれかとして機能します。ポートのリセット状態は、すべてのビットがロジック1です。この状態では、弱プルアップによってポートがハイに保持されます。この状態は、入力モードの役割を果たします。このポート端子はシュミット電圧入力も備えています。PCF3ビットをセットすることによって、このポートのすべての端子がLCDセグメント駆動出力に切り替わります。		
		端子	ポート	特殊/代替機能
		36	P3.0	SEG24
		35	P3.1	SEG25
		34	P3.2	SEG26
		33	P3.3	SEG27
		22	P3.4	SEG28
		21	P3.5	SEG29
		20	P3.6	SEG30
19	P3.7	SEG31		
18-11	P4.0-P4.7; SEG32-SEG39	デジタルI/O、Cタイプポート4、LCDセグメントドライバ出力。このポートは、双方向I/Oまたはそれと択一なLCDセグメント駆動出力のいずれかとして機能します。ポートのリセット状態は、すべてのビットがロジック1です。この状態では、弱プルアップによってポートがハイに保持されます。この状態は、入力モードの役割を果たします。このポート端子はシュミット電圧入力も備えています。PCF4ビットをセットすることによって、このポートのすべての端子がLCDセグメント駆動出力に切り替わります。		
		端子	ポート	特殊/代替機能
		18	P4.0	SEG32
		17	P4.1	SEG33
		16	P4.2	SEG34
		15	P4.3	SEG35
		14	P4.4	SEG36
		13	P4.5	SEG37
12	P4.6	SEG38		
11	P4.7	SEG39		

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## 端子説明(続き)

端子	名称	機能	
10, 9, 8	COM3, COM2, COM1; SEG40, SEG41, SEG42	LCDセグメントドライバ出力、LCD共通駆動出力。これらの端子は、LCDセグメントまたは共通駆動出力として機能します。端子を共通駆動出力に設定した場合、その端子のセグメント機能がディセーブルされます。	
		端子	特殊/代替機能
		10	COM3 SEG40
		9	COM2 SEG41
8	COM1 SEG42		
7	COM0	LCD共通駆動0、出力。この端子は、LCD共通駆動出力として機能します。	
68	P5.0/INT8/ TB0B/RX0	デジタルI/O、Dタイプポート5.0、タイマーB0端子B、シリアルポート0受信、外部エッジ選択可能割込み8。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、デジタルI/Oとしての端子はディセーブルされます。	
67	P5.1/INT9/ TB0A/TX0	デジタルI/O、Dタイプポート5.1、タイマーB0端子A、シリアルポート0送信、外部エッジ選択可能割込み9。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	
61	P5.2/INT10/ SQW	デジタルI/O、Dタイプポート5.2、外部エッジ選択可能割込み10、RTC方形波出力。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	
60	P5.3/INT11/ SSEL	デジタルI/O、Dタイプポート5.3、外部エッジ選択可能割込み11、アクティブロー-SPIスレーブ選択入力。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	
59	P5.4/INT12/ MOSI	デジタルI/O、Dタイプポート5.4、外部エッジ選択可能割込み12、SPIマスタアウト-スレーブイン。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	
58	P5.5/INT13/ SCLK	デジタルI/O、Dタイプポート5.5、外部エッジ選択可能割込み13、SPIクロック出力。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット入力回路を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	
57	P5.6/INT14/ MISO	デジタルI/O、Dタイプポート5.6、外部エッジ選択可能割込み14、SPIマスタイン-スレーブアウト。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	
32	P6.0/INT15/ TCK	デジタルI/O、Dタイプポート6.0、外部エッジ選択可能割込み15、JTAGテストクロック入力。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	
31	P6.1/INT16/ TDI	デジタルI/O、Dタイプポート6.1、外部エッジ選択可能割込み16、JTAGテストデータ入力。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。	

# LCDインタフェース内蔵 16ビットミックストリグナルマイクロコントローラ

MAXQ2010

## 端子説明(続き)

端子	名称	機能
30	P6.2/INT17/ TMS	デジタルI/O、Dタイプポート6.2、外部エッジ選択可能割込み17、JTAGテストモード選択入力。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。
29	P6.3/INT18/ TDO	デジタルI/O、Dタイプポート6.3、外部エッジ選択可能割込み18、JTAGテストデータ出力。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。
28	P6.4/INT19/ TB1B/RX1	デジタルI/O、Dタイプポート6.4、外部エッジ選択可能割込み19、タイマーB1端子B、シリアルポート1受信。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。
25	P6.5/INT20/ TB1A/TX1	デジタルI/O、Dタイプポート6.5、外部エッジ選択可能割込み20、タイマーB1端子A、シリアルポート1送信。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。
24	P6.6/INT21/ TB2B/SCL	デジタルI/O、Dタイプポート6.6、外部エッジ選択可能割込み21、タイマーB2端子B、I <sup>2</sup> CクロックI/O。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。
23	P6.7/INT22/ TB2A/SDA	デジタルI/O、Dタイプポート6.7、外部エッジ選択可能割込み22、タイマーB2端子A、I <sup>2</sup> CデータI/O。この端子は、リセット後にデフォルトで弱プルアップを備えた入力になり、汎用I/Oとして機能します。ポートパッドはシュミット電圧入力を備えており、外部割込みとして設定することが可能です。特殊機能をイネーブルすることによって、汎用I/Oとしての端子はディセーブルされます。
<b>接続なし端子</b>		
26, 27, 37, 38, 39, 49, 50, 51, 62, 69, 83, 97, 100	N.C.	接続なし。予備用。これらの端子は未接続のままにしてください。

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

## 詳細

以下の各項では、このマイクロコントローラの主な特長について紹介します。デバイスの特長に関するさらに詳しい説明は、後ほど「補足資料」の項で説明する正誤表とユーザガイドに記載されています。

## MAXQコアのアーキテクチャ

MAXQ2010は、フラッシュメモリと内蔵LCDコントローラを備えた、低コスト、高性能、CMOS、完全スタティック、16ビットRISCマイクロコントローラです。MAXQ2010は最大160セグメントのLCDをサポートし、内部リファレンスを備えた12ビット逐次比較型(SAR)ADCを使用した8チャンネルの高性能計測をサポートします。MAXQ2010の構造は、非常に先進的な、アキュムレータベースの、16ビットRISCアーキテクチャに基づいています。命令の中にオペコードとデータの両方が含まれているため、パイプラインなしでフェッチと実行の動作が1サイクルで完了します。その結果、システム動作周波数1MHz当り最大100万命令/秒(1 MIPS)で動作する、最新式のマイクロコントローラとなっています。

高速なサブルーチン呼出しとタスク切替えを可能にする16レベルのハードウェアスタックが、非常に効率の高いコアをサポートしています。3つの内部データポイントで、データを素早く効率的に操作することができます。複数のデータポイントが存在するため、毎回データポイントの保存と復元を行う必要なしに、2つ以上の機能からデータメモリにアクセスすることができます。操作のあとでデータポイントを自動的にインクリメントまたはデクリメントすることが可能であり、ソフトウェアによる介入が不要です。その結果、アプリケーションが大幅に高速化します。

## 命令セット

命令セットは、レジスタおよびメモリ位置に対する操作を行う、固定長の、16ビット命令で構成されています。この命令セットは非常に直交性が高く、算術および論理演算で任意のレジスタをアキュムレータと組み合わせて使用することができます。特殊機能レジスタはペリフェラルの制御を行うもので、複数のレジスタモジュールに細分化されています。このファミリのアーキテクチャはモジュール方式であり、既存の製品用に開発したコードを新しいデバイスやモジュールに再利用することが可能です。

このアーキテクチャは、転送トリガ方式です。すなわち、特定のレジスタ位置に対する書込みまたは読取りによって、副作用も発生させることが可能です。これらの副作用が、ADDC、OR、JUMPなど、アセンブラに

よって定義されるより高水準のオペコードの基盤になります。オペコードは、実際には特定のレジスタ位置間のMOVE命令として実装されていますが、アセンブラが符号化を行うため、プログラマが関知する必要はありません。

16ビットの命令ワードは、効率的な実行向けに設計されています。ビット15は、命令の転送元フィールドの形式を示します。命令のビット0~7が、転送元を表します。形式フィールドの値に応じて、即値または転送元レジスタのいずれかになります。このフィールドがレジスタを表す場合は、下位4ビットにモジュール指定子、上位4ビットにそのモジュール内でのレジスタのインデックスが格納されます。ビット8~14は、転送先を表します。この値は常に転送先レジスタを表し、下位4ビットにモジュール指定子、上位3ビットにそのモジュール内でのレジスタのサブインデックスが格納されます。転送先として上位24個のレジスタの1つをじかに選択する必要がある場合は、プレフィックスレジスタ(PFX)で追加のデスティネーションビットを供給する必要があります。このプレフィックスレジスタの書込みはアセンブラによって自動的に挿入され、必要となる追加の実行サイクルは1サイクルだけです。

## メモリ構成

このデバイスには、次のような複数のメモリ領域が組み込まれています。

- 4KBのユーティリティROM
- プログラム格納用の64KBのフラッシュメモリ
- 一時変数保存用の2KBのSRAM
- プログラムのリターンアドレス保存用および汎用に使用可能な16レベルのスタックメモリ

フラッシュメモリの組込みによって、複数回数にわたるデバイスの再プログラムが可能になっており、製造後にユーザアプリケーションの変更を行うことができます。さらに、フラッシュを使用して設定データやログファイルを含むアプリケーション情報を保存することもできます。

デフォルトのメモリ構成はハーバードアーキテクチャとして構成されており、プログラム用とデータメモリ用にそれぞれ独立したアドレス空間が存在します。動的なプログラム変更およびRAMからの実行を必要とするアプリケーション向けに、ユーティリティROMを通して疑似フォンノイマンメモリ構成もサポートされています。疑似フォンノイマンメモリ構成では、コード、データ、およびユーティリティROMメモリが、単一の連続したメモリマップに配置されます。メモリマップについては、図5をご覧ください。

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

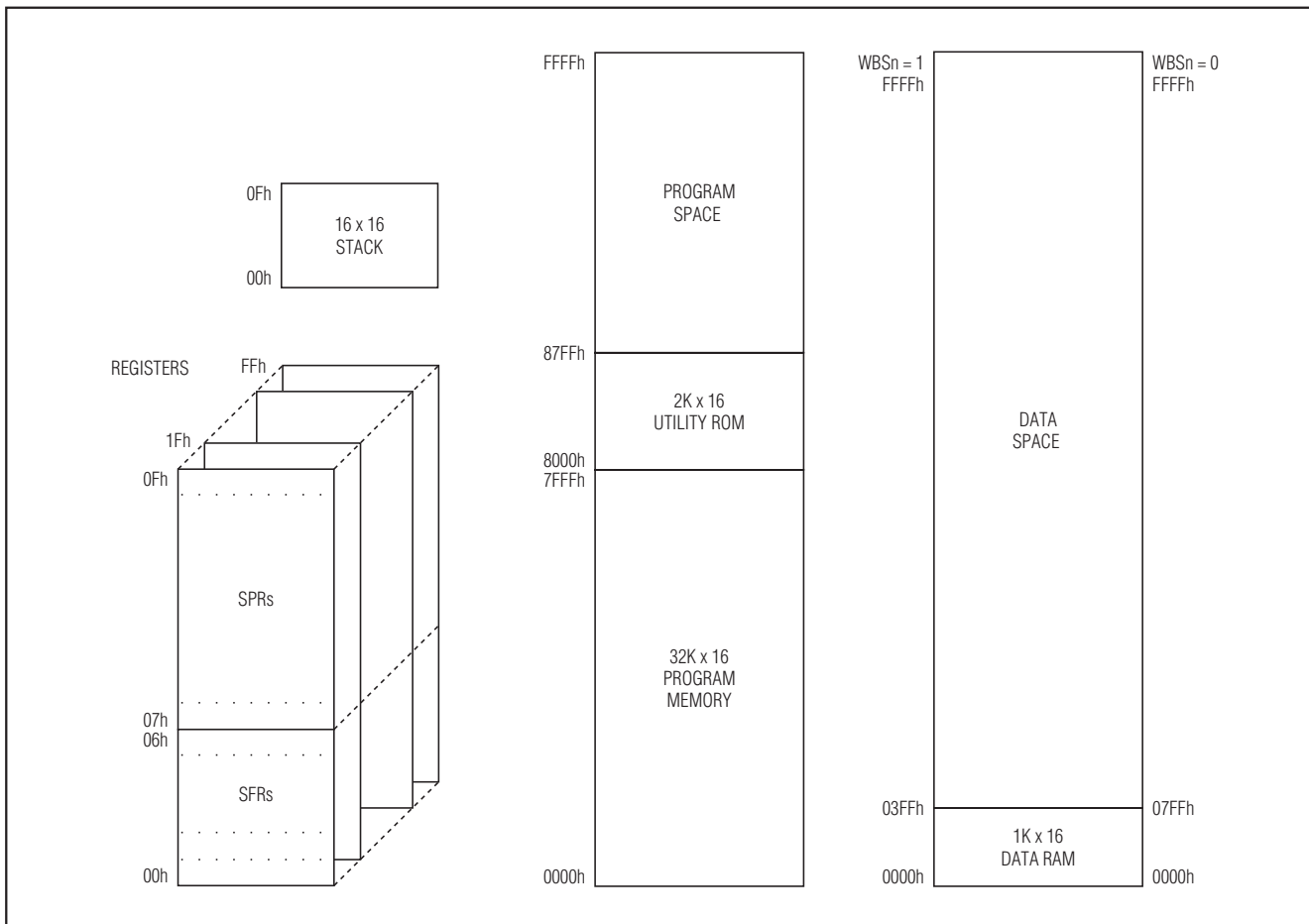


図5. MAXQ2010のデフォルトのメモリマップ

## スタックメモリ

16ビット幅のハードウェアスタックが、プログラムのリターンアドレス用のストレージを提供し、汎用のデータストレージとしても使用可能です。スタックは、CALL、RET、およびRETI命令の実行時、および割込みサービス時に、プロセッサによって自動的に使用されます。また、PUSH、POP、およびPOPI命令を使用することによって、アプリケーションも明示的に値をスタックに格納することができます。

リセット時に、スタックポインタSPはスタック最上部(0Fh)に初期化されます。CALL、PUSH、および割込みベクトル操作によってSPがインクリメントされ、その後SPが指す位置に値が格納されます。RET、RETI、POP、およびPOPI操作は、SPが指す位置の値を取り出したあと、SPをデクリメントします。

## ユーティリティROM

ユーティリティROMは4KBの内蔵ROMメモリブロックであり、デフォルトでは先頭アドレスが8000hになります。ユーティリティROMは、アプリケーションソフトウェアから呼出し可能なサブルーチンで構成されています。これには以下のものが含まれます。

- JTAGインタフェースを使用するインシステムプログラミング(ブートストラップローダ)
- インサーキットデバグルーチン
- テストルーチン(内部メモリテスト、メモリローダなど)
- インアプリケーションフラッシュプログラミングおよび高速テーブル参照のためのユーザ呼出し可能ルーチン

リセット後には、常にユーティリティROMから実行が開始されます。ROMソフトウェアによって、プログラムの実行が直ちにユーザアプリケーションコードの先頭である0000hの位置にジャンプするか、または上記の特殊ルーチンの1つにジャンプするかが決まります。ユーティリティROM内のルーチンはユーザアクセス可能であり、アプリケーションソフトウェアからサブルーチンとして呼び出すことができます。ユーティリティROMの内容の詳細については、「MAXQ Family User's Guide: MAXQ2010 Supplement」に記載されています。

アプリケーションによっては、権限のない参照に対するプログラムコードメモリの保護が要求されます。これらのアプリケーションのために、インシステムプログラミング、インアプリケーションフラッシュプログラミング、またはインサーキットデバッグ機能へのアクセスは、

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

パスワードを指定するまで禁止されています。パスワードは、アドレス0010h~001Fhの16ワードの物理的プログラムメモリとして定義されます。

単一のパスワードロック(PWL)ビットがSCレジスタ内に実装されています。PWLに1がセットされ(パワーオンリセット時のデフォルト)、かつアドレス0010h~001Fhのメモリの内容がすべてFFhまたは00h以外の値である場合、内部メモリの読み書きが可能なインサーキットデバッグおよびインシステムプログラミングルーチンを含む、ユーティリティROMへのアクセスにパスワードが要求されます。PWLが0にクリアされている場合、これらのユーティリティはパスワードなしで完全にアクセス可能になります。全体消去のあと、パスワードは自動的にオール1に設定されます。

## プログラミング

このマイクロコントローラのフラッシュメモリは、インシステムプログラミングとインアプリケーションプログラミングの、2種類の方法でプログラムすることができます。どちらの方法もシステム設計の大幅な柔軟性を提供し、組込みシステムのライフサイクルコストを削減します。これらの機能は、コードメモリへの不正なアクセスを防止するために、パスワード保護することができます。

### (ブートローダ)インシステムプログラミング

内蔵のブートストラップローダによって、単純なJTAGインタフェース上でデバイスの再ロードを行うことができます。その結果、ソフトウェアをインシステムでアップグレードすることができ、アップグレードが必要になった場合に高コストなハードウェアの改装が不要です。リモートソフトウェアアップデートによって、物理的アクセスが不可能な機器のアプリケーションアップデートが可能になっています。インタフェースのハードウェアとしては、別のマイクロコントローラとのJTAG接続か、またはMaximが提供するMAXQJ-TAG-001のようなシリアル-JTAGコンバータを使用したPCのシリアルポートへの接続を利用することができます。インシステムプログラミングが必要ない場合は、市販のギャングプログラマを使用して大量プログラミングを行うことができます。

JTAGインタフェースを作動させ、システムプログラミング命令でテストアクセスポート(TAP)をロードすることによって、ブートストラップローダが起動します。リセット中にJTAGインタフェースを通してSPEビットに1をセットすると、ユーティリティROM内に存在するブートストラップローダモードプログラムが実行されます。プログラミング完了時には、ブートストラップローダがSPEビットをクリアしてデバイスをリセットすることによって、デバイスがユーティリティROMをバイパスしてアプリケーションソフトウェアの実行を開始することができます。

次のブートストラップローダ機能がサポートされています。

- ロード
- ベリファイ
- ダンプ
- 消去
- CRC

## インアプリケーションプログラミング

インアプリケーションプログラミング機能によって、アプリケーションソフトウェアの実行中にマイクロコントローラがそれ自体のフラッシュプログラムメモリを書き換えることが可能になっています。これによって、ダウンタイムが許されないミッションクリティカルなアプリケーションにおいて、稼働中にソフトウェアを更新することができます。あるいは、アプリケーションソフトウェアの制御下で動作するカスタムローダソフトウェアを開発することも可能です。ユーティリティROMには、フラッシュメモリの消去とプログラムを行うためのユーザアクセス可能なフラッシュプログラミング関数が含まれています。これらの関数の詳細については、「MAXQ Family User's Guide: MAXQ2010 Supplement」に記載されています。

## レジスタセット

このデバイスのほとんどの機能は、レジスタセットによって制御されます。これらのレジスタは、メモリ操作のための作業領域を提供するとともに、デバイス上のペリフェラルレジスタの設定とアドレス指定を行います。レジスタは、システムレジスタとペリフェラルレジスタの2種類に大別されます。システムレジスタとも呼ばれる共通レジスタセットには、ALU、アキュムレータレジスタ、データポイント、割込みベクトルと制御、およびスタックポイントが含まれます。ペリフェラルレジスタは、MAXQアーキテクチャをベースとする各種製品ごとに含まれる追加機能を定義します。この機能は個別のモジュールに分割されており、特定の製品に必要な機能のみを含めることが可能になっています。

モジュールおよびレジスタの機能についての詳細な解説は、「MAXQファミリユーザガイド」と「MAXQ Family User's Guide: MAXQ2010 Supplement」に記載されています。この情報には、ステータスビットと制御ビットの位置、それらの機能についての詳細な説明、およびリセット時の値が含まれています。マイクロコントローラの特長および動作を完全に理解するために、これらの資料を参照してください。

## システムタイミング

汎用性を最大にするため、このデバイスは複数のソースから内部システムクロックを生成可能になっています。

- 外部クロックソース
- 外付けの水晶または共振器を使用する内蔵発振器
- 32kHzクロックソースを使用するFLL (約8MHz)
- 外付け水晶なしのFLL (約5MHz)

外部クロックソースまたは外付けの水晶または共振器を使用する内蔵発振器での動作は、他のマイクロコント

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

ローラと同様です。設計者は、定格最大動作速度が外部クロックソースではなくマイクロコントローラのコアの速度に適用されることを覚えておく必要があります。このデバイスはFLLを内蔵しており、単体のクロックソース(FLLEN = 0)または32kHz水晶の逡倍器(FLLEN = 1)として使用します。水晶をタイムベースとして使用するため、32kHzモードベースのタイミングの方が安定性が高くなります。

水晶ウォームアップカウンタによって、動作の信頼性が向上します。ユーザが外付けの水晶またはクロックソースによる動作を選択した場合、ストップモードの終了後など、外付け水晶の発振を再スタートする必要が発生するたびに、デバイスは発振65,536回分の水晶ウォームアップ期間を開始します。これによって、クロックソースとして使用する前に水晶の振幅と周波数が安定するための時間が与えられます。ウォームアップモードの間デバイスは内蔵FLLで動作し、準備が整い次第、自動的にまた水晶に切り替えます。

プログラマブルなクロック分周制御ビット(CD1とCD0)およびPMMEビットによって、システムクロックを低下させ、結果として消費電力を低減させる機能がプロセッサに提供されます。CD[1:0]ビットはデフォルトで00bになり1分周システムクロックが選択されますが、5種類のクロック分周オプションによって、特定のシステムのニーズに応じて様々な水晶を選択することができます。パワーマネージメントモード(PMM)では、1システムクロックが256発振器サイクルになり、マイクロコントローラの動作速度が低下して消費電力が大幅に減少します。スイッチバック機能によって、外部割込みまたはシリアルポートの動作に対する応答としてシステムがPMMを終了し、低速の省電力モードからフルスピードに素早く切り替えることができます。さらに、最も低電力のストップモードでは、マイクロコントローラが内部の発振器を停止させ、システムクロックを止めることが可能です。

## 割込み

内部および外部の事象に素早く応答するために、複数の割込みソースが利用可能になっています。MAXQアーキテクチャでは、単一割込みベクトル(IV)、単一割込みサービスルーチン(ISR)設計を使用しています。柔軟性を最大にするため、割込みのイネーブルは、グローバル、個別、またはモジュール単位に行うことができます。割込み条件が発生した場合、たとえその割込みソースがローカルレベル、モジュールレベル、またはグローバルレベルでディセーブルされていても、その個別フラグがセットされます。同一ソースからの割込みが繰り返されるのを防止するため、ユーザ割込みルーチン内で割込みフラグをクリアする必要があります。アプリケーションソフトウェアは、フラグへの書込みとRETI命令の間に遅延を確保して、割込みハードウェアが内部の割込み条件を除去するための時間を与える必要があります。非同期割込みフラグは1命令分の遅延、同期割込みフラグは2命令分の遅延を必要とします。

イネーブルされている割込みが検出された場合、ソフトウェアはユーザプログラム可能な割込みベクトル位置にジャンプします。IVレジスタはリセット時または起動時にデフォルトで0000hになるため、異なるアドレスに変更していない場合、0000hへのジャンプがリセットによるものか割込みソースによるものかをユーザプログラムで判断する必要があります。

ソフトウェアの制御がISRに移ったあと、割込み識別レジスタ(IIR)を使用して、割込みソースがシステムレジスタかペリフェラルレジスタかを判定することができます。その後、指定されたモジュールに問合せを行って具体的な割込みソースを調べ、ソフトウェアで適切な対処を行うことができます。割込みの評価を行うのがユーザソフトウェアであることから、アプリケーションごとにユーザが固有の割込み優先順位方式を定義することができます。

次の割込みソースがサポートされています。

- 電源電圧モニタ
- 外部割込み22~0
- タイマー2、1、0
- シリアルポート1、0
- ウォッチドッグタイマ
- RTCの時刻またはサブセカンドアラーム
- SPI
- I<sup>2</sup>C
- ADC

イネーブルされている割込みが検出された場合、ソフトウェアはその割込み用に確保されている専用の割込みベクトルアドレスにジャンプします。次に、そのアドレスにあるユーザアプリケーションコードが、ユーザ定義の割込みルーチンにプログラムの実行を回送します。

## I/Oポート

このマイクロコントローラは、「MAXQファミリユーザガイド」に記載されているCタイプとDタイプの双方向I/O端子を使用しています。各ポートが、最大8個の独立した汎用I/O端子と3つの設定/制御レジスタを備えています。多くの端子がタイマーや割込みなどの代替機能をサポートしており、専用のペリフェラルレジスタでそれらの機能をイネーブル、制御、および監視することができます。代替機能を使用すると自動的に端子がその機能に転換され、汎用I/Oの機能よりも優先されます。

Cタイプのポート端子はシュミットトリガレシーバと完全CMOS出力ドライバを備えており、代替機能をサポートすることができます。端子が入力として定義されている場合、出力レジスタの該当するビットの状態に応じて、ハイインピーダンスまたは弱プルアップのいずれかになります。

Dタイプのポート端子はシュミットトリガレシーバと完全CMOS出力ドライバを備えており、代替機能をサポートすることができます。端子が入力として定義



# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

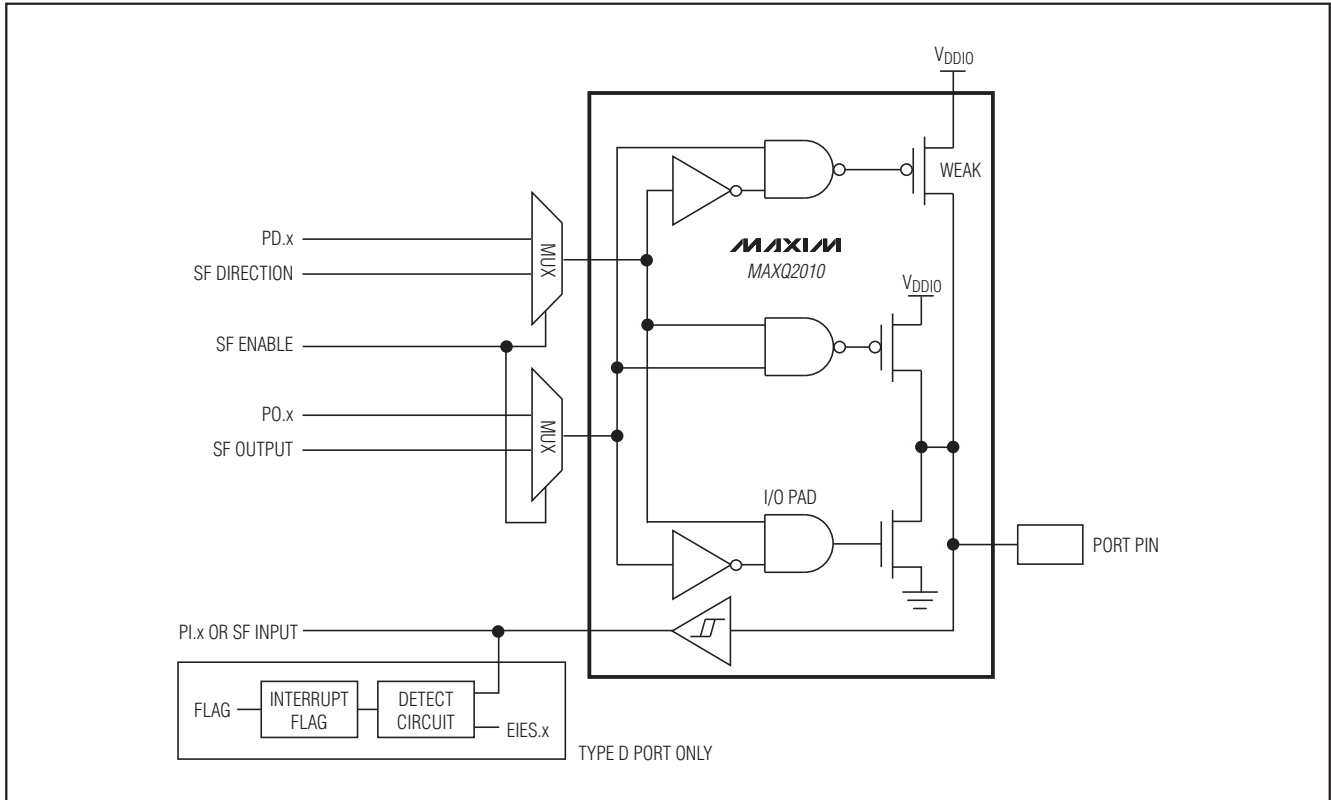


図6. C/Dタイプのポート端子の回路図

されている場合、出力レジスタの該当するビットの状態に応じて、ハイインピーダンスまたは弱プルアップのいずれかになります。すべてのDタイプ端子は、割り込み機能も備えています。C/Dタイプのポート端子の回路図については、図6をご覧ください。

## 電源電圧モニタ

電源電圧モニタによって、電源電圧がユーザ選択可能なレベルを下回った場合に検出することができます。これが発生した場合、割り込みを生成してシステムに通知するようにマイクロコントローラをプログラムすることができます。検出レベルの設定には電源電圧スレッシュホールドビット(SVTH)を使用し、0.1Vステップで2.7V~3.5Vに調整可能です。SVMENビットに1をセットすることによって、電源電圧モニタがイネーブルされます。モニタリング回路が安定して動作の準備が整ったあと、電源電圧モニタレディ(SVMRDY)フラグに1がセットされます。デフォルトのセットポイントは2.7V (SVTH[3:0] = 07h)です。ブラウンアウトモニタが先に作動してSVM割り込みが発生しなくなる可能性があるため、セットポイントを2.7V未満に設定しないように注意が必要です。

電源電圧がスレッシュホールド値を下回り、電源電圧モニタ割り込みがイネーブルされている(SVMIE = 1)場合、電源電圧モニタによってスイッチバックが発生します。

電源電圧モニタストップモードイネーブルビット(SVMSTOP)に1がセットされている場合、電源電圧モニタはストップモードでも動作を継続します。SVM

ペリフェラルがイネーブルされている場合、SVMSTOPを0でクリアすることによって、ストップモードへの移行時に電源電圧モニタがディセーブルされます。ストップモード時に電源電圧モニタがイネーブルされている場合、SVMIE割り込みがイネーブルされていれば(SVMIE = 1)それを契機としてプロセッサがストップモードを終了します。

## シリアルペリフェラル

このマイクロコントローラは、2つの独立したUSARTに加えて、I<sup>2</sup>Cマスタ/スレーブおよびSPIマスタ通信ポートをサポートしています。

## USARTシリアルポート

独立したUSARTが送信信号と受信信号を提供して、他のRS-232インタフェース対応デバイスや、外付けのRS-232ラインドライバレシーバとの組み合わせでPCおよびシリアルモデムとの通信を行います。独立したデュアルのUSARTによって、2個の独立したペリフェラルと異なるボーレートで同時に通信を行うことが可能です。USARTはフレーミングエラーを検出して、ユーザアクセス可能なソフトウェアビットを通して状態を通知することができます。

シリアルポートのタイムベースは、システムクロックの分周または専用のボックロックジェネレータから取り出されます。表1に、各モードの動作特性をまとめてあります。

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

## I<sup>2</sup>Cバス

このマイクロコントローラには、様々な種類の他のI<sup>2</sup>C対応ペリフェラルと通信を行うための、内蔵のI<sup>2</sup>Cバスマスタ/スレーブが集積化されています。I<sup>2</sup>Cバスは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)の2本のバスラインおよびグランドラインを使用する、2線式の双方向バスです。SDAラインとSCLラインの両方ともに、オープンコレクタ/ドレイン出力として駆動する必要があります。図3に示すように、各ラインをロジックハイの状態にプルアップするために外付けの抵抗が必要です。

MAXQ2010は、マスタとスレーブ両方のプロトコルをサポートするという点で柔軟性を備えています。マスタモードではこのデバイスがI<sup>2</sup>Cバスの所有権を持ち、クロックを駆動してSTART信号とSTOP信号を生成します。これによって、必要に応じてスレーブへのデータ送信またはスレーブからのデータ受信を行うことが可能です。スレーブモードでは、MAXQ2010は外部で生成されるクロックに依存してSCLを駆動し、I<sup>2</sup>Cマスタデバイスによって要求されたときにのみデータとコマンドに回答します。

## シリアルペリフェラルインタフェース (SPI)

内蔵のSPIが、複数マスタまたは複数スレーブシステムにおいてペリフェラルデバイスと同期的に通信を行う、独立したシリアル通信チャンネルを提供します。このインタフェースによって4線式、全二重シリアルバスへのアクセスが可能になり、マスタモードまたはスレーブモードでの動作が可能です。2つ以上のマスタが同時にデータ転送を試みた場合の、衝突検出が提供されます。

SPIマスタ転送レートは最高でシステムクロック/2です。SPIスレーブとしての動作時、MAXQ2010は最高でシステムクロック/4のSPI転送レートをサポート可能です。データは8ビットまたは16ビット値として、MSBから先に転送されます。さらに、SPIモジュールはスレーブ-アクティブの選択を通してSSELのアクティブ状態についての設定をサポートします。

## リアルタイムクロック

バイナリリアルタイムクロック(RTC)は、分解能1/256秒の絶対秒数で時刻を管理します。32ビットの秒カウンタは最大で約136年までカウントアップ可能であり、アプリ

ケーションソフトウェアによってカレンダー形式に変換することができます。時刻アラームおよび独立したサブセカンドアラームによって、割り込みの発生またはストップモードからのデバイスのウェイクアップを行うことができます。

独立したサブセカンドアラームは同じRTCによって作動し、アプリケーションが最小間隔約3.9msの割り込みをサポートすることを可能にします。これによって、性能の低下なしに長い時間の計測に使用することができる追加のタイマーが生成されます。伝統的に、長い時間の計測にはそれより短い割り込み間隔で発生する複数の割り込みが使用されてきました。個々のタイマー割り込みが処理を要求して、そのたびに中断が伴うためにシステムの動作速度が低下しました。RTCサブセカンドタイマーを長時間タイマーとして使用することによって、単一の割り込みだけが必要になり、短時間タイマーの使用に伴う性能への悪影響を排除することができます。

内蔵の水晶発振器は、内蔵の6pF負荷コンデンサを使用してRTCを作動させるため、6pF負荷を定格とする32.768kHzの水晶と組み合わせるときの最良の性能が得られます。外付けの負荷コンデンサは不要です。外部クロックソースをRTCに供給することによって、より高い精度を得ることが可能です。

## プログラマブルタイマー

このマイクロコントローラには、TB0、TB1、およびTB2と呼ばれる、3つの16ビットプログラマブルTimer/Counter B (タイマー/カウンタB)ペリフェラルのインスタンスが内蔵されています。これらは、カウンタ/タイマー/キャプチャ/比較/PWMの各機能で使用することができ、内部および外部の事象に対する精密な制御を可能にします。これらのタイマー/カウンタはクロック入力プリスケールリングをサポートしており、他のMAXQのタイマーの実装には見られないPWM/出力制御機能のセット/リセット/トリグルを行います。一部の实装では、新しいレジスタTBCによって特定のPWM/出力制御機能がサポートされています。Timer/Counter Bの顕著な特性として、カウントの範囲が0000hから16ビットのキャプチャ/リロードレジスタ(TBR)に格納された値までとなっています。他の実装(たとえばタイマー1)では、カウント範囲はリロードレジスタの値からFFFFhまでです。これらのタイマーについての詳細な解説は、「MAXQファミリユーザガイド」に記載されています。

Timer Bには、次のような動作モードがあります。

表1. シリアルポートの動作特性

MODE	TYPE	START BITS	DATA BITS	STOP BIT
Mode 0	Synchronous	—	8	—
Mode 1	Asynchronous	1	8	1
Mode 2	Asynchronous	1	8 + 1	1
Mode 3	Asynchronous	1	8 + 1	1

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

- 自動再ロード
- 外部端子を使用する自動再ロード
- 外部端子を使用するキャプチャ
- 外部端子を使用するアップ/ダウンカウント
- アップカウントPWM/出力
- アップ/ダウンPWM/出力
- TBB端子へのクロック出力

## ウォッチドッグタイマ

内蔵のウォッチドッグタイマは、システムの信頼性を大幅に向上させます。ソフトウェアの実行が妨げられた場合、このタイマーがデバイスをリセットします。ウォッチドッグタイマは、アプリケーションソフトウェアによって周期的にリセットされるように設計された自走カウンタです。ソフトウェアが正しく動作している場合、カウンタは周期的にリセットされ、最大カウントに到達することはありません。しかし、ソフトウェアの実行が中断された場合は、タイマーがリセットされず、システムのリセットおよび任意でウォッチドッグタイマ割込みが発生します。これによって、プロセス動作の制御が失われる可能性のある電氣的ノイズや静電気放電(ESD)による混乱からシステムが保護されます。内蔵ウォッチドッグタイマは、外付けのウォッチドッグデバイスを使用する旧来の設計を改良したものであり、システムコストの低減と同時に信頼性が向上しています。

ウォッチドッグタイマは、WDCNレジスタ内のビットを通して制御されます。タイムアウト時間は、デフォルトモードでは $2^{12}$ ~ $2^{21}$ システムクロックの範囲の4つのプログラム可能な間隔の1つに設定することができ、様々な種類のアプリケーションをサポートする柔軟性が提供されています。割込みはリセットの512システムクロック前に発生するため、デバイスが完全なシステムリセットを実行する前にシステムが割込みを処理することが可能であり、既知の、安全な状態にシステムを移行させることができます。8MHz動作の場合、システムクロックモードに応じて、ウォッチドッグのタイムアウト時間を512 $\mu$ s~67秒の範囲でプログラムすることができます。

## ハードウェア乗算器

内蔵のハードウェア乗算器は、高速な乗算をサポートしています。この乗算器は、48ビットのアクキュレータのサポートによって、16ビット x 16ビットの乗算および積算/減算の演算を単一サイクルで完了することができます。この乗算器は、固定小数点の算術ユニットです。オペランドには符号付き数と符号なし数のいずれも使用可能ですが、オペランドレジスタへのロード前にアプリケーションソフトウェアによってデータ型を定義する必要があります。

マイクロコントローラのコアの直接的な介入を必要とせず、7種類の乗算を実行することができます。これには以下のものが含まれます。

- 符号なし16ビット乗算
- 符号なし16ビット乗算および積算
- 符号なし16ビット乗算および減算
- 符号付き16ビット乗算
- 符号付き16ビット乗算および否定
- 符号付き16ビット乗算および積算
- 符号付き16ビット乗算および減算

それぞれの演算に対する制御とアクセスは、6個のSFRレジスタを通して行います。8ビットの乗算器制御レジスタ(MCNT)で、演算、データ型、オペランド数、オプションのハードウェアベースの2乗機能、MCレジスタへの書込みオプション、オーバフローフラグ、およびオペランドレジスタとアクキュレータのクリア制御を選択します。データのロードとアンロードは、5個の16ビットSFRレジスタを通して行います。

計算に必要なとされるのは1サイクルのみです。すなわち、最後のオペランドのロードに続く次のサイクルでは、演算結果の準備が整っていることとなります。データ型やオペランド数に関係なく、演算間のウェイト状態なしで連続した演算を実行することが可能です。

## アナログ-デジタルコンバータ

MAXQ2010は、アナログマルチプレクサを備えた12ビットの逐次比較型アナログ-デジタルコンバータ(ADC)を内蔵しています(図7)。マルチプレクサが、8個のシングルエンドチャンネルまたは4個の差動チャンネルからADCの入力を選択します。内蔵の高精度バンドギャップリファレンスをADCのリファレンス電圧として使用するか、または外部からリファレンス電圧を駆動することが可能です。さらに、アナログ電源電圧(AVDD)も電圧リファレンスとして使用することができます。ADCは2.7V~3.6Vの電源で動作し、変換速度は最大300ksp/sです。

ADCブロックは、12ビットのSARコア、ADCコントロール、リファレンスジェネレータ、および16個の12ビットデータバッファによる環状ブロックを含んでいます。ADCはSFRレジスタによって制御されます。自動スキャン機能によって、ユーザは最大8個のサンプリングチャンネルを選択して16個のメモリ位置に保存することができます。

変換モードには、単一シーケンスモードと連続シーケンスモードの2種類があります。

変換が完了した時点(ADCONV = 0)で、ADCの内部パワーマネージメントシステムによって自動的にパワーダウンします。変換開始ビットADCONVは、すべての変換プロセスの開始に使用されます。ADCパワーマネージメントオーバライドビットがクリアされている場合(ADPMO = 0)、ADCは20 ADCCLK待機してから最初の変換を開始します。これによって、ADCにセットアップのための時間が与えられます。

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

ADPMO = 1の場合、ADCONVに1がセットされた時点で直ちにADC変換が開始されます。ADCの動作は、PMMまたはストップモードへの移行によって中断されます。

ADCONVビットは変換プロセスの開始時にセットされ、変換プロセスが終了するまでセットされたままになります。単一シーケンスモードの場合は、シーケンスの最後のチャンネルでADCが変換を完了するまで、このビットがセットされたままになります。連続モードの場合は、連続モードが停止されるまでADCONVビットがセットされたままになります。ADCONVビットに0を書き込むと、現在のADC変換の完了時にADCの動作が終了します。新しいデータがデータバッファに書き込まれます。

A/D変換の完了には16 ADCCLKサイクルかかります。16 ADCCLKサイクルの内の3サイクルは、サンプルの取得に使用されます。ADCCLKはシステムクロックから抽出され、分周比はADCクロック分周ビット(ADCCLK)で定義されます。したがって、16 ADCCLKで1つのデータを取得する場合、最高のADC速度 = システムクロック/16 (ADCCLK = 0h, ADACQEN = 0h)になります。システムクロックが10MHzの場合、これは理論上10MHz/16という値のMSPsに等しくなります。しかし、ADC変換は300kspsまでに制限されることに注意してください。

ADCデータ利用可能割込みがイネーブルされている場合(ADDAIE = 1)、ADDAI = 1になった時点でCPUに対して割込みが生成されます。一度セットされたADDAIフラグは、ソフトウェアで0を書き込むことによってクリアすることができ、また変換プロセスの開始時にADCONVに1がセットされた時点でクリアされます。データ利用可能割込みフラグ(ADDAI)は、必要に応じてADCデータ利用可能割込み間隔ビット(ADDAINV)を使用することによってセットすることができます。ADDAIは、1、2、3、4、5、6、7、8、12、または16サンプル間隔でセット可能です。コンフィギュレーションレジスタを

1つだけ使用するシーケンスの場合、ADDAINV = 00に設定することによってADDAINV = 01と同じ間隔の割込みが生成され、どちらもADCサンプルごとにADDAIがセットされます。ADDAIがセットされたとき、ADCによって書き込まれた最後のメモリ位置もADDADDRに書き込まれます。

## LCDコントローラ

マイクロコントローラMAXQ2010は、一般的な低電圧ディスプレイとインタフェースするLCDコントローラを内蔵しています。マイクロコントローラにLCDコントローラを組み込むことによって、設計に必要なものがLCDガラスだけになり、大幅に高価なLCDモジュールは不要になります。LCDガラスのすべての文字は1個以上のセグメントで構成されており、各セグメントは適切なセグメント信号と共通信号を選択することによって作動します。マイクロコントローラは、最大43個のセグメント出力(SEG0~SEG42)と4個の共通信号出力(COM0~COM3)の組み合わせを多重化することができます。使用しないセグメント出力は、汎用ポート端子として使用することができます。

セグメントのアドレス指定は、専用のディスプレイメモリに書き込むことによって容易に行うことができます。LCDコントローラの設定とディスプレイメモリの初期化が終わったあと、21バイトのディスプレイメモリが周期的にスキャンされ、選択したディスプレイ周波数でセグメント信号と共通信号が自動的に生成されます。LCDコントローラの動作中、余分なプロセッサのオーバヘッドは必要とされません。使用しないディスプレイメモリは、汎用ストレージとして使用することができます。

ソフトウェアで調整可能な内部分圧器を内蔵し、V<sub>DDIO</sub>または外部の電圧を使用してディスプレイのコントラストを制御することによって、設計をさらに単純化し、

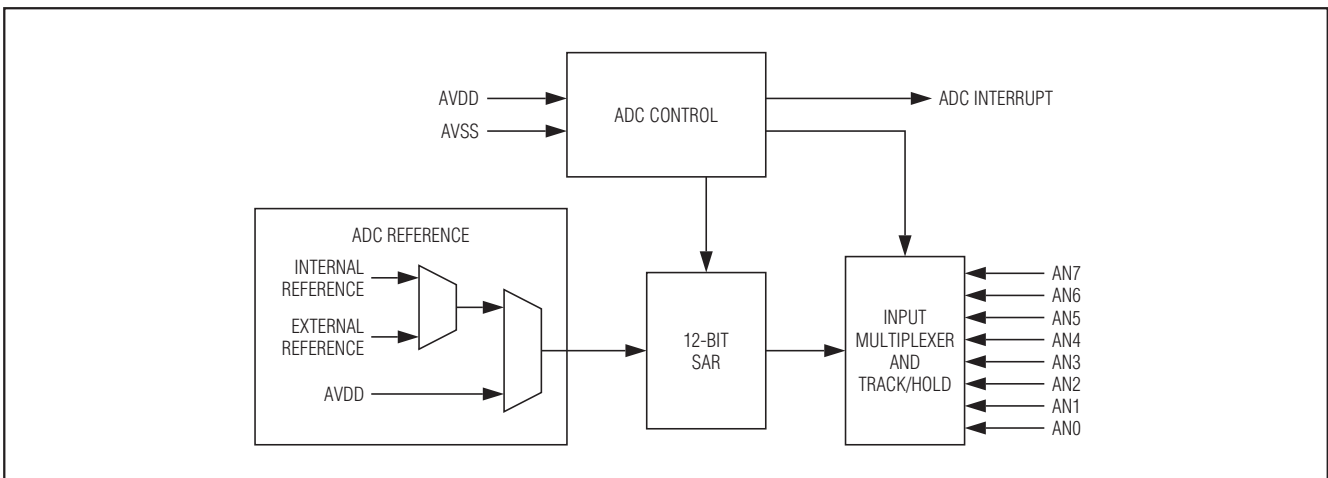


図7. ADCのブロック図

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

コストを削減することができます。必要に応じて、外付け抵抗でコントラストを調整することも可能です。LCDコントローラは、次のような機能を備えています。

- LCDセグメントおよび共通駆動信号の自動生成
- 4つのディスプレイモードをサポート
  - スタティック(COM0)
  - 1/2バイアス電圧で多重化した1/2デューティ(COM[0:1])
  - 1/3バイアス電圧で多重化した1/3デューティ(COM[0:2])
  - 1/3バイアス電圧で多重化した1/4デューティ(COM[0:3])
- 最大43のセグメント出力と4個の共通信号出力
- 21バイト(168ビット)のディスプレイメモリ
- 柔軟なLCDクロックソース(32kHzまたはHFCIk/512から選択可能)
- 可変フレーム周波数
- 抵抗分圧器の内蔵によって外付け部品が不要
- 可変抵抗の内蔵によって外付け部品なしでコントラスト調整が可能

簡単なLCDセグメントガラスインタフェースの例で、マイクロコントローラMAXQ2010とのインタフェースに必要な最小限のハードウェアを示します。2桁のLCDを制御しており、それぞれの桁に7個のセグメントと小数点が含まれています。LCDコントローラは1/2デューティサイクル動作用に設定されており、セグメント信号の組み合わせを使用してアクティブなセグメントが制御され、COM0またはCOM1信号がアクティブなディスプレイの選択に使用されます。図8を参照してください。

## インサーキットデバッグ

JTAG対応のTAPを通して、組込みのデバッグ機能を利用することができます。組込みのデバッグハードウェアと組込みのROMファームウェアによってユーザアプリケーションにインサーキットデバッグ機能が提供され、高価なインサーキットエミュレータが不要になります。図9に、インサーキットデバッグのブロック図を示します。インサーキットデバッグ機能には、次のものが含まれます。

- ハードウェアデバッグエンジン
- レジスタ、コード、またはデータアクセスにブレークポイントを設定可能な1組のレジスタ
- ユーティリティROMに格納された1組のデバッグサービスルーチン

組込みのハードウェアデバッグエンジンは、マイクロコントローラ内の独立したハードウェアブロックです。デバッグエンジンは、CPUがユーザコードを実行している間に、内部の動作を監視して、選択した内部レジスタとのやり取りを行うことができます。ハードウェアとソフトウェアの機能が一体となって、インサーキットデバッグの2つの基本的なモードを可能にします。

- バックグラウンドモードでは、CPUがフルスピードでアプリケーションソフトウェアの実行を続けている間に、ホストがインサーキットデバッグの設定とセットアップを行うことができます。デバッグモードは、バックグラウンドモードから呼び出すことができます。
- デバッグモードでは、デバッグエンジンがCPUを制御して、内部レジスタおよびメモリに対する読取り/書込みアクセスと、シングルステップトレース操作を提供します。

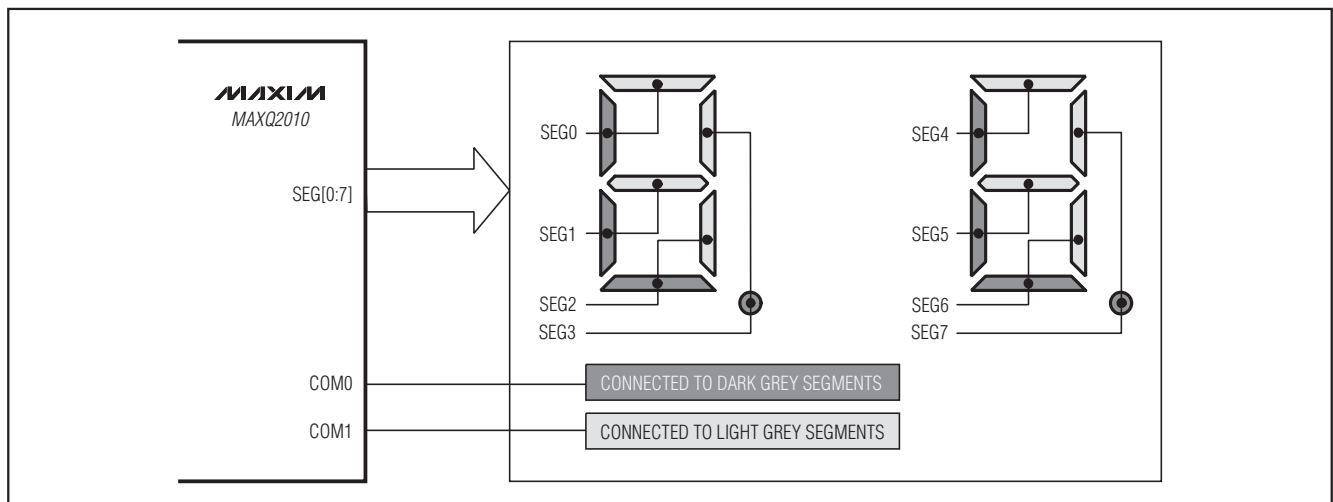


図8. 2桁、1/2デューティ、LCDインタフェースの例

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

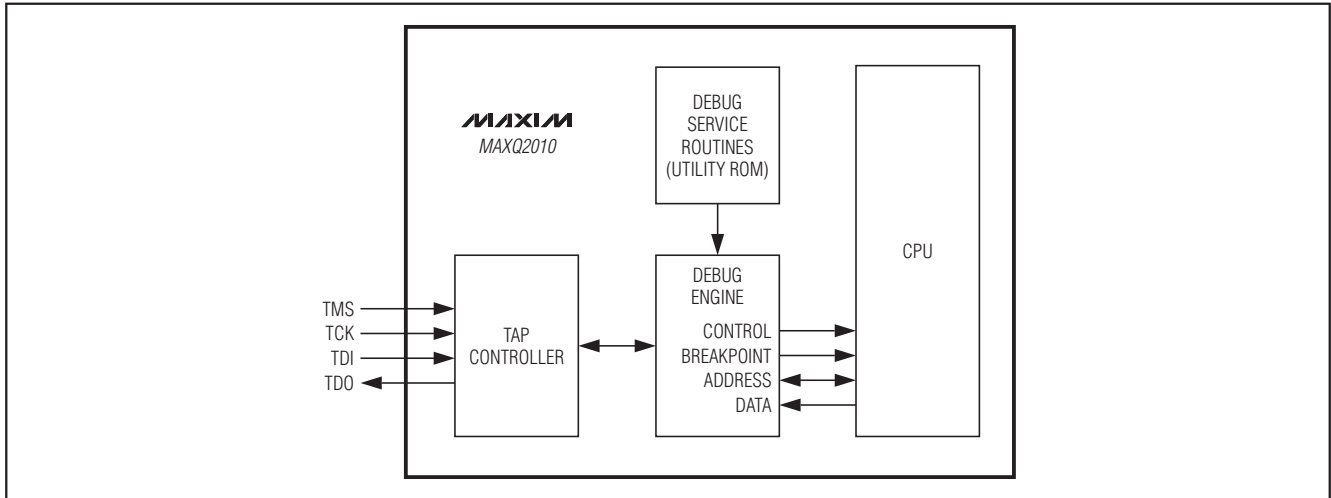


図9. インサーキットデバッガ

## アプリケーション情報

低電力、高性能のRISCアーキテクチャを持つこのデバイスは、コスト効率に優れたコンピューティングを必要とする数多くのポータブルまたはバッテリー駆動アプリケーションに最適です。高スループットのコアが、16ビットのハードウェア乗算器-アキュムレータによって補完されており、高度な計算アルゴリズムの実装が可能です。幅広いペリフェラルインタフェースによって、マイクロコントローラは数多くの外部デバイスと通信を行うことができ、アプリケーションはそのメリットを享受することができます。最大160セグメントのLCDサポートが内蔵されているため、アプリケーションで複雑なユーザインタフェースをサポート可能です。ディスプレイは、追加の外付けハードウェアを必要とせず、じかに駆動されます。コントラストは、内蔵の可変抵抗によって調整することができます。このシンプルなアーキテクチャによって、ポータブルシステムの設計において非常に重要な要素となる、部品数と基板スペースが削減されます。

MAXQ2010は、医療用計測器、ポータブル血糖値測定器、およびデータ収集装置などのアプリケーションに最適です。血糖値測定の場合、このマイクロコントローラには測定テストトリップ用のアナログフロントエンドとじかに接続可能なSPIインタフェースが内蔵されています。

## グラウンドおよびバイパス処理

慎重なPCBレイアウトによってアナログ入力ノイズが大幅に抑制され、その結果として、動作不良の原因と

なるデジタルI/Oのノイズが減少します。専用の電源プレーンを使用可能とするために、多層基板の使用が不可欠です。デジタル部品の下領域は、できる限り連続したグラウンドプレーンとしてください。最良のノイズ除去を実現するためにバイパスコンデンサのリードを短くして、できる限りデバイスのリードの近くにコンデンサを配置してください。

アナログ(AGND)部分とデジタル(DGND)部分それぞれに独立したグラウンド領域を用意して、一点で相互に接続する必要があります。

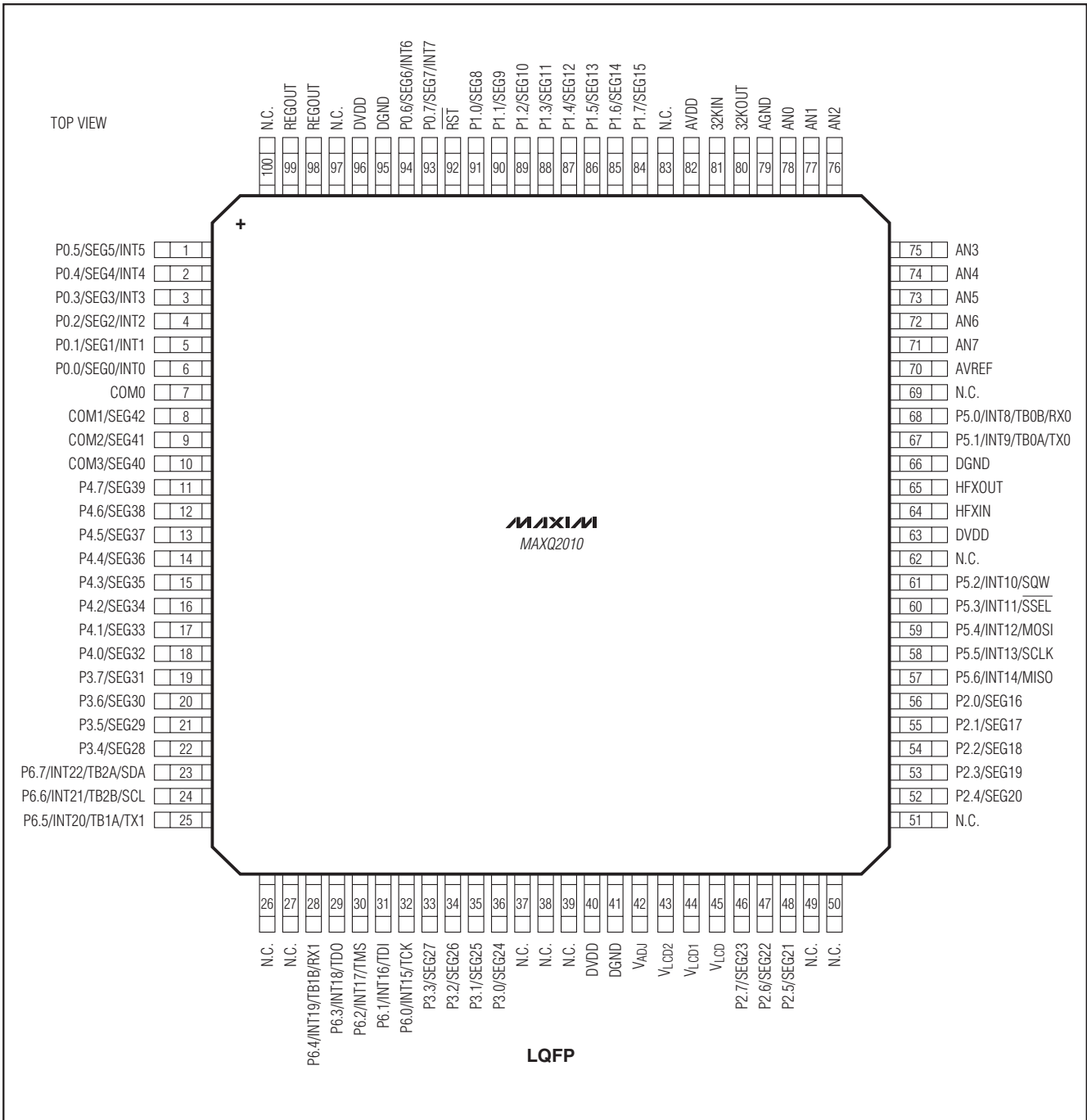
あらゆる半導体のCMOS設計ガイドラインで、いずれの端子も $V_{DVDD}$ を上回らずDGNDを下回らないことが求められています。このガイドラインに反した場合、結果としてハード障害(デバイス内のシリコンの損傷)またはソフト障害(メモリ内容の意図しない変化)が発生する可能性があります。デバイスの絶対最大定格を上下いずれかに超える電圧スパイクは、破壊的なICのラッチアップの原因となる可能性があります。

一般的にマイクロコントローラはその電源端子または汎用I/O端子を通して負の電圧スパイクに遭遇します。内部の電力バスにじかに結合しているため、電源端子の負の電圧スパイクは特に問題です。キーボードなどのデバイスは、マイクロコントローラにじかに静電気放電を伝導して、デバイスに重大な損傷を与える可能性があります。システム設計者は、システムメモリの内容を破壊する可能性のあるこれらの過渡に対して部品を保護する必要があります。

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

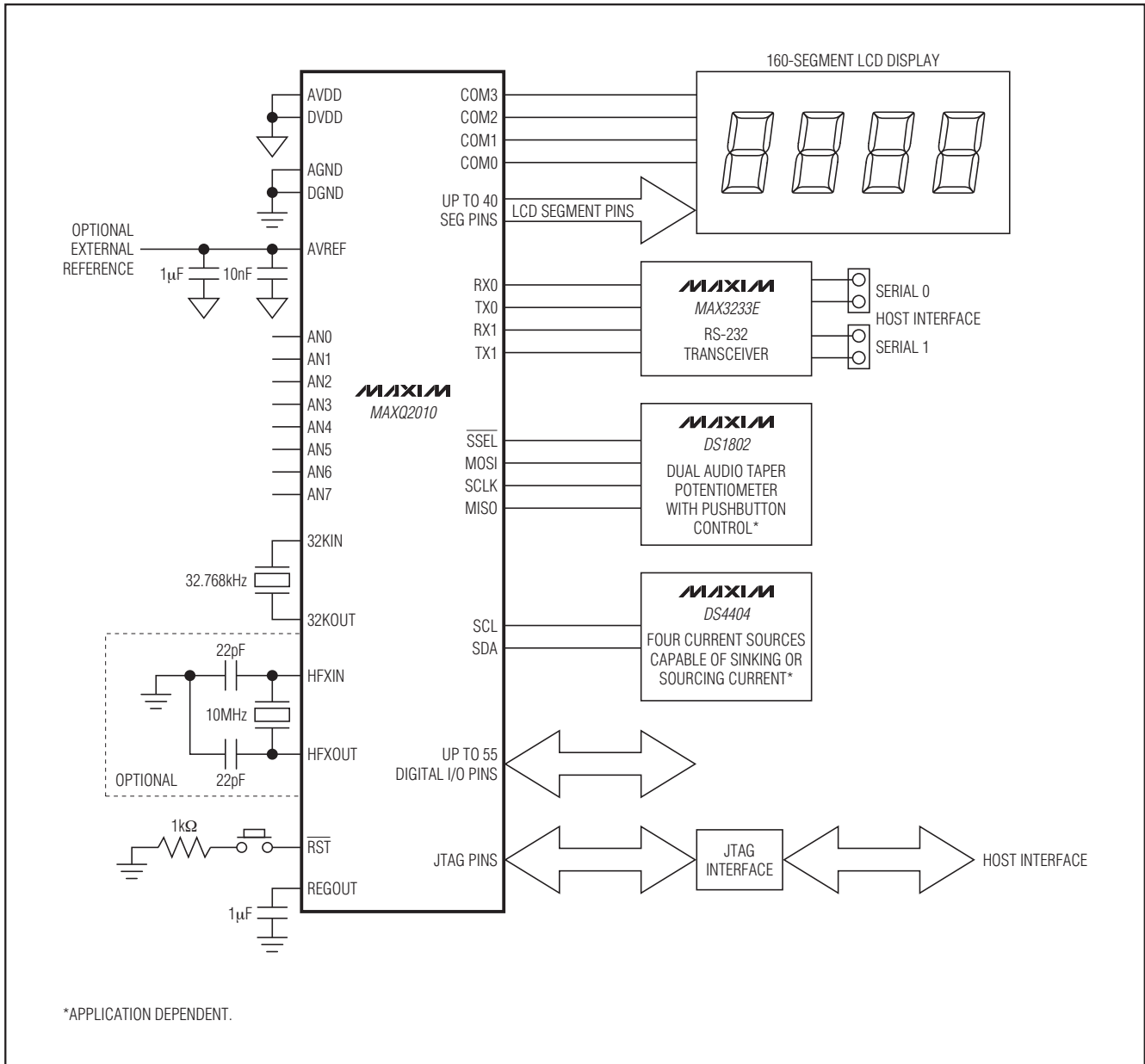
## ピン配置



# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## 標準アプリケーション回路





# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

## 補足資料

設計者はこのデバイスの全機能を十分に利用するために4つの資料を備える必要があります。このデータシートには、端子説明、機能の概要、および電氣的仕様が記載されています。正誤表には公表されている仕様との差異が記載されています。ユーザガイドは製品の特長および動作についての詳しい情報を提供しています。以下の資料を[japan.maxim-ic.com/microcontrollers](http://japan.maxim-ic.com/microcontrollers)からダウンロードすることができます。

- 電氣的/タイミング仕様と端子説明が記載された、このMAXQ2010のデータシート。
- MAXQ2010のリビジョン別の正誤表([japan.maxim-ic.com/errata](http://japan.maxim-ic.com/errata))。
- プログラミングを含む、中心的な特長と動作についての詳細が記載された、「MAXQファミリユーザガイド」([japan.maxim-ic.com/products/microcontrollers/user\\_guides.cfm/](http://japan.maxim-ic.com/products/microcontrollers/user_guides.cfm/))。
- MAXQ2010固有の特長についての詳細が記載された、「MAXQ Family User's Guide: MAXQ2010 Supplement」。

## 開発および技術サポート

Maximおよびサードパーティサプライヤ各社からこのマイクロコントローラ用に、以下を含む非常に汎用性が高く手頃な価格の様々な開発ツールが提供されています。

- コンパイラ
- インサーキットエミュレータ
- 統合開発環境(IDE)
- プログラミングおよびデバッグ用のJTAG-シリアルコンバータ

開発ツールベンダの一部が記載されたリストについては、[japan.maxim-ic.com/MAXQ\\_tools](http://japan.maxim-ic.com/MAXQ_tools)をご覧ください。

技術サポートについては、<https://support.maxim-ic.com/jp/micro>をご覧ください。

## 選択ガイド

PART	PROGRAM MEMORY (KB)	DATA MEMORY (KB)	LCD SEGMENTS	ADC CHANNELS	ADC RESOLUTION
MAXQ2010-RFX+	64	2	160	8	12

## パッケージ

最新のパッケージ情報とランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
100 LQFP	—	<b>21-0297</b>

# LCDインタフェース内蔵 16ビットミックスドシグナルマイクロコントローラ

MAXQ2010

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	7/08	初版。	—
1	12/08	「LCDインタフェース」を含むようにタイトルを更新。	全ページ
		「標準動作特性」の項でTOC2の軸タイトルを修正。	14
		「I <sup>2</sup> Cバス」と「シリアルペリフェラルインタフェース(SPI)」の項を追加。	26

**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

34 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**