



DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

概要

MAX9973/MAX9974は、組込みのレベル設定用デジタル/アナログコンバータ(DAC)を備えた、全機能内蔵、高性能、デュアルチャンネルピンエレクトロニクス用ドライバ/コンパレータ/ロード(DCL)であり、メモリおよびSOCの自動試験機器(ATE)アプリケーションに最適です。各チャンネルについて、3レベルのピンドライバ、ウィンドウコンパレータ、ダイナミッククランプ、1kΩの負荷、および7個の独立したレベル設定用DACを内蔵しています。

ドライバは、広い電圧範囲と高速な動作を特長としており、ハイインピーダンスモードとアクティブ終端(第3レベル駆動)モードを備え、低い電圧振幅でも極めて高いリニアリティを示します。さらにこのドライバは、ECL、LVPECL、LVDS、およびGTLと互換性のある終端抵抗を内蔵した、高速な差動マルチプレクサ制御入力を提供しています。ウィンドウコンパレータは、スルーレート、パルス幅、またはオーバドライブ電圧の変化に対して、極めて低いタイミング変動を提供し、オープンコレクタ出力を備えています。ハイインピーダンスモードが選択されている場合、ダイナミッククランプが高速な試験対象デバイス(DUT)の波形のダンピングを提供します。負荷は、コンパレータと組み合わせて使用することで高速な接続試験が容易になり、オープンドレイン/コレクタ出力のDUT用のプルアップとしても機能します。MAX9973/MAX9974の設定はシリアルインタフェースを通して行います。

MAX9973/MAX9974には、エクスポーズドヒートスラグの位置とピン配置という2つの面でバリエーションが存在します。MAX9973G/MAX9974Gのコンパレータ出力が8mA (typ)をシンクするのに対し、MAX9973H/MAX9974Hのコンパレータ出力は16mA (typ)をシンクします。これらのデバイスは、放熱のためのエクスポーズドパッドを上面(MAX9973)または下面(MAX9974)に備えた、64ピン(10mm x 10mm x 1.00mm)のTQFP-EPパッケージで提供されます。消費電力はチャンネル当たりわずか700mWです。完全な動作電圧範囲は-1.5V~+6.5Vです。内部ダイ温度+40℃~+100℃の範囲での動作が保証されており、温度モニタ出力を備えています。

アプリケーション

メモリテスト
SOCテスト

特長

- ◆ 高速：600Mbps、3V
- ◆ 極めて低い消費電力：チャンネル当たり700mW
- ◆ 広い電圧範囲：-1.5V~+6.5V
- ◆ 広い電圧振幅範囲：200mV~8V
- ◆ 低リークモード：10nA (max)
- ◆ アクティブ終端内蔵(第3レベル駆動)
- ◆ 電圧クランプ内蔵
- ◆ パッシブ負荷またはプルアップ
- ◆ 極めて少ないタイミングのばらつき
- ◆ 最小限の外付け部品数
- ◆ SPI™対応シリアル制御インタフェース

型番

PART	PIN-PACKAGE	PKG CODE	OUTPUT SINK CURRENT
MAX9973GCCB	64 TQFP-EP-IDP** (10mm x 10mm x 1.00mm)	C64E-13R	8mA
MAX9973HCCB*	64 TQFP-EP-IDP** (10mm x 10mm x 1.00mm)	C64E-13R	16mA
MAX9974GCCB*	64 TQFP-EP† (10mm x 10mm x 1.00mm)	—	8mA
MAX9974HCCB*	64 TQFP-EP† (10mm x 10mm x 1.00mm)	—	16mA

注：これらのデバイスは鉛使用と鉛フリーの両方のパッケージを提供しています。鉛フリーを指定するには、型番の末尾に「+」記号を付加してご発注ください。

*開発中の製品。入手性についてはお問い合わせください。

**EP-IDP = エクスポーズドパッド(上面ダイパッド)。

†EP = エクスポーズドパッド。

SPIはMotorola Inc.の商標です。

ピン配置はデータシートの最後に記載されています。



Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +11V
V _{EE} to GND	-6V to +0.3V
V _{CC} - V _{EE}	-0.3V to +17V
V _{DD} to GND	-0.3V to +5V
V _{T0} , V _{T1} to GND	-0.3V to +5V
DGS to GND	±0.7V
DUT ₋ to GND	-2.5V to +7.5V
DATA ₋ , NDATA ₋ , RCV ₋ , NRCV ₋ to GND	-2.5V to +5V
DATA ₋ to NDATA ₋ , RCV ₋ to NRCV ₋	±1V
DATA ₋ , NDATA ₋ , RCV ₋ , NRCV ₋ to VTERM ₋	±1.5V

SCLK, DIN, $\overline{\text{CS}}$, $\overline{\text{RST}}$, $\overline{\text{LOAD}}$ to GND	-0.3V to (V _{DD} + 0.3V)
TEMP to GND	-0.2V to +5V
All Other Pins to GND	(V _{EE} - 0.3V) to (V _{CC} + 0.3V)
DUT ₋ Short Circuit to -1.5V to +6.5V	Continuous
Power Dissipation (T _A = +70°C)	
MAX997_GCCB (derate 125mW/°C above +70°C)	10.0W*
Storage Temperature Range	-65°C to +150°C
Junction Temperature	+150°C
Lead Temperature (soldering, 10s)	+300°C

*Dissipation wattage values are based on still air with no heat sink. Actual maximum power dissipation is a function of heat extraction technique and may be substantially higher.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +9.75V, V_{EE} = -4.75V, V_{DD} = 3.3V, V_{DHV₋} = +3V, V_{DLV₋} = 0, V_{DTV₋} = +1.5V, SC1 = SC0 = 0, V_{CHV₋} = +2.0V, V_{CLV₋} = +1.0V, V_{C_{PHV₋}} = +7.2V, V_{C_{PLV₋}} = -2.2V, V_{VTERM} = V_{T₋} = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DRIVER						
DC CHARACTERISTICS (R_L ≥ 10MΩ, unless otherwise noted; includes DAC error)						
Output Voltage Range	V _{DHV₋}	V _{DLV₋} = -1.5V, V _{DTV₋} = +1.5V	-1.45		+6.50	V
	V _{DLV₋}	V _{DHV₋} = +6.5V, V _{DTV₋} = +1.5V	-1.50		+6.45	
	V _{DTV₋}	V _{DHV₋} = +6.5V, V _{DLV₋} = -1.5V	-1.50		+6.50	
Output Offset Voltage	V _{DHV₋}	V _{DHV₋} = +3V, V _{DLV₋} = -1.5V, V _{DTV₋} = +1.5V			±50	mV
	V _{DLV₋}	V _{DLV₋} = 0V, V _{DHV₋} = +6.5V, V _{DTV₋} = +1.5V			±50	
	V _{DTV₋}	V _{DTV₋} = +1.5V, V _{DHV₋} = +6.5V, V _{DLV₋} = -1.5V			±50	
Output-Voltage Temperature Coefficient (Notes 2, 3)		DHV ₋ , DLV ₋ , DTV ₋		±75	±400	μV/°C
Gain	V _{DHV₋}	V _{DLV₋} = -1.5V, V _{DTV₋} = +1.5V, V _{DHV₋} = 0 and +4.5V	0.998	1	1.002	V/V
	V _{DLV₋}	V _{DHV₋} = +6.5V, V _{DTV₋} = +1.5V, V _{DLV₋} = 0 and +4.5V	0.998	1	1.002	
	V _{DTV₋}	V _{DHV₋} = +6.5V, V _{DLV₋} = -1.5V, V _{DTV₋} = 0 and +4.5V	0.998	1	1.002	

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -4.75V, VDD = 3.3V, VD_{HV} = +3V, VD_{LV} = 0, VD_{TV} = +1.5V, SC1 = SC0 = 0, V_{CHV} = +2.0V, V_{CLV} = +1.0V, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{TERM} = V_T = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Linearity Error		0 to 3V relative to calibration points at 0 and 3V	VD _{LV} = -1.5V, VD _{TV} = +1.5V, VD _{HV} = 0, +0.75V, +1.5V, +2.25V, +3V			±5	mV
			VD _{HV} = +6.5V, VD _{TV} = +1.5V, VD _{LV} = 0, +0.75V, +1.5V, +2.25V, +3V			±5	
			VD _{LV} = -1.5V, VD _{HV} = +6.5V, VD _{TV} = 0, +0.75V, +1.5V, +2.25V, +3V			±5	
		Full range relative to calibration points at 0 and 3V	VD _{LV} = -1.5V, VD _{TV} = +1.5V, VD _{HV} = -1.25V and +6.5V			±5	
			VD _{HV} = +6.5V, VD _{TV} = +1.5V, VD _{LV} = -1.5V and +6.25V			±5	
			VD _{LV} = -1.5V, VD _{HV} = +6.5V, VD _{TV} = -1.5V and +6.5V			±5	
Crosstalk		VD _{HV} to VD _{LV} , VD _{LV} = 0, VD _{TV} = 1.5V, VD _{HV} = 0.2V and 6.5V			±2	mV	
		VD _{LV} to VD _{HV} , VD _{HV} = +5V, VD _{TV} = +1.5V, VD _{LV} = -1.5V and +4.8V			±2		
		VD _{TV} to VD _{LV} and VD _{HV} , VD _{HV} = +3V, VD _{LV} = 0, VD _{TV} = -1.5V and +6.5V			±2		
		VD _{HV} to VD _{TV} , VD _{TV} = +1.5V, VD _{LV} = 0, VD _{HV} = +1.6V and +3.0V			±3		
		VD _{LV} to VD _{TV} , VD _{TV} = +1.5V, VD _{HV} = +3V, VD _{LV} = 0 and +1.4V			±3		
Term Voltage Dependence on DATA ₁		VD _{TV} = +1.5V, VD _{HV} = +3V, VD _{LV} = 0, DATA ₁ = 0 and 1			±2	mV	
DC Power-Supply Rejection		VD _{HV} , VD _{HV} = 3V, VCC and VEE independently varied over full range		40		dB	
		VD _{LV} , VD _{LV} = 0, VCC and VEE independently varied over full range		40			
		VD _{TV} , VD _{TV} = 1.5V, VCC and VEE independently varied over full range		40			
DC Drive Current Limit		VD _{LV} /VD _{UT} = -1.5V/+6.5V, DATA ₁ = 0	-120		-60	mA	
		VD _{HV} /VD _{UT} = +6.5V/-1.5V, DATA ₁ = 1	+60		+120		
		VD _{TV} /VD _{UT} = -1.5V/+6.5V, RCV ₁ = 1	-120		-60		
		VD _{TV} /VD _{UT} = +6.5V/-1.5V, RCV ₁ = 1	+60		+120		
DC Output Resistance		(Note 4)	48	50	52	Ω	

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -4.75V, VDD = 3.3V, VD_{HV} = +3V, VD_{LV} = 0, VD_{TV} = +1.5V, SC1 = SC0 = 0, V_{CHV} = +2.0V, V_{CLV} = +1.0V, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{TERM} = V_T = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC Output Resistance Variation		DATA ₋ = 1, VD _{HV} = 3V, VD _{LV} = 0, VD _{TV} = 1.5V, ID _{UT} = 1mA to 40mA		1	2	Ω
		DATA ₋ = 0, VD _{HV} = 3V, VD _{LV} = 0, VD _{TV} = 1.5V, ID _{UT} = -1mA to -40mA		1	2	
AC CHARACTERISTICS (R_{DUT} = 50Ω to ground) (Note 5)						
Dynamic Drive Current		(Note 6)		60		mA
Drive-Mode Overshoot		VD _{LV} = 0, VD _{HV} = 0.1V		30		mV
		VD _{LV} = 0, VD _{HV} = 1V (Note 2)		40	75	
		VD _{LV} = 0, VD _{HV} = 3V (Note 2)		50	175	
		VD _{LV} = 0, VD _{HV} = 5V (Note 2)		50	275	
Termination-Mode Overshoot		(Note 7)		0		mV
Settling Time (Note 8)		To within 100mV, VD _{HV} = 5V, VD _{LV} = 0		0.25		ns
		To within 50mV, VD _{HV} = 3V, VD _{LV} = 0		0.25		
		To within 25mV, VD _{HV} = 0.5V, VD _{LV} = 0		0.25		
TIMING CHARACTERISTICS (Notes 5, 9)						
Prop Delay (Note 2)		Data to output; VD _{HV} = 3V, VD _{LV} = 0		2	3	ns
		Drive to high impedance, high impedance to drive (Note 10); VD _{HV} = +1V, VD _{LV} = -1V		1.7	4	
		Drive to term		2.7	4	
		Term to drive		1.7	4	
Prop Delay Match (Note 2)		t _{LH} vs. t _{HL}		50	100	ps
		Drivers within package; same edge		40	100	
Prop-Delay Temperature Coefficient		(Note 2)		1	5	ps/°C
Prop Delay Change vs. Pulse Width (Note 2)		VD _{HV} = 1V, VD _{LV} = 0, 2ns to 23ns pulse width		10	100	ps
		VD _{HV} = 3V, VD _{LV} = 0, 3ns to 22ns pulse width		10	100	
		VD _{HV} = 5V, VD _{LV} = 0, 4ns to 21ns pulse width		20	100	
Prop Delay Change vs. Common Mode		VD _{HV} - VD _{LV} = 1V, VD _{HV} = 0 to 6V, (using a DC block)		25		ps
Delay Match		Drive to high impedance vs. high impedance to drive; VD _{HV} = 1V, VD _{LV} = -1V (Note 11)		0.2		ns
		High impedance vs. data (Note 2)		0.4		
		Drive to term vs. term to drive; VD _{HV} = 3V, VD _{LV} = 0, VD _{TV} = 1.5V (Note 12)		1		
		Terminate vs. data		0.7		

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -4.75V, VDD = 3.3V, VD_{HV} = +3V, VD_{LV} = 0, VD_{TV} = +1.5V, SC1 = SC0 = 0, V_{CHV} = +2.0V, V_{CLV} = +1.0V, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{TERM} = V_T = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rise and Fall Time		0.2V _{P-P} programmed, VD _{HV} = 0.2V, VD _{LV} = 0, 20% to 80%		0.20		ns
		1V _{P-P} programmed, VD _{HV} = 1V, VD _{LV} = 0, 10% to 90%	0.35	0.50	0.75	
		3V _{P-P} programmed, VD _{HV} = 3V, VD _{LV} = 0, 10% to 90%, trim condition	1.0	1.2	1.5	
		5V _{P-P} programmed VD _{HV} = 5V, VD _{LV} = 0, 10% to 90%		2.0		
Rise and Fall Time Matching		0.2V _{P-P} programmed, VD _{HV} = 0.2V, VD _{LV} = 0, 20% to 80%		40		ps
		1V _{P-P} programmed, VD _{HV} = 1V, VD _{LV} = 0, 10% to 90%			150	
		3V _{P-P} programmed, VD _{HV} = 3V, VD _{LV} = 0, 10% to 90%			200	
		5V _{P-P} programmed, VD _{HV} = 5V, VD _{LV} = 0, 10% to 90% (Note 2)			250	
Slew Rate	Relative to SC1 = SC0 = 0	SC1 = 0, SC0 = 1, VD _{HV} = 3V, VD _{LV} = 0, 20% to 80%		75		%
		SC1 = 1, SC0 = 0, VD _{HV} = 3V, VD _{LV} = 0, 20% to 80%		50		
		SC1 = 1, SC0 = 1, VD _{HV} = 3V, VD _{LV} = 0, 20% to 80%		25		
Minimum Pulse Width (Note 13)	Positive or negative	0.2V _{P-P} programmed, VD _{HV} = 0.2V, VD _{LV} = 0		0.4		ns
		1V _{P-P} programmed VD _{HV} = 1V, VD _{LV} = 0 (Note 2)		0.7	2	
		3V _{P-P} programmed VD _{HV} = 3V, VD _{LV} = 0 (Note 2)		1.5	2.5	
		5V _{P-P} programmed VD _{HV} = 5V, VD _{LV} = 0 (Note 2)		2.4	3.5	
Data Rate (Note 14)		0.2V _{P-P} programmed, VD _{HV} = 0.2V, VD _{LV} = 0		2900		Mbps
		1V _{P-P} programmed, VD _{HV} = 1V, VD _{LV} = 0		1300		
		3V _{P-P} programmed, VD _{HV} = 3V, VD _{LV} = 0		600		
		5V _{P-P} programmed, VD _{HV} = 5V, VD _{LV} = 0		400		
Rise and Fall Time, Drive to Term		VD _{HV} = 3V, VD _{LV} = 0, VD _{TV} = 1.5V, measured 10% to 90% of waveform		1.6		ns
Rise and Fall Time, Term to Drive		VD _{HV} = 3V, VD _{LV} = 0, VD _{TV} = 1.5V, measured 10% to 90% of waveform		0.7		ns

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -4.75V, VDD = 3.3V, VD_{HV} = +3V, VD_{LV} = 0, VD_{TV} = +1.5V, SC1 = SC0 = 0, V_{CHV} = +2.0V, V_{CLV} = +1.0V, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{TERM} = V_T = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
COMPARATOR						
DC CHARACTERISTICS						
Input Voltage Range			-1.5		+6.5	V
Differential Input Voltage					±8	V
Minimum Hysteresis		R _{HYST} = open		0		mV
Maximum Hysteresis		R _{RHYST} = 2.5kΩ		10		mV
Input Offset Voltage		V _{DUT} = 1.5V			±50	mV
Input-Voltage Temperature Coefficient		(Notes 2, 15)		±75	±400	μV/°C
Common-Mode Rejection Ratio	CMRR	V _{DUT} = -1.5V, +6.5V	50	70		dB
Linearity Error, 0 to 3V		V _{DUT} = 0, 1.5V, 3V (Note 16)		±1	±5	mV
Linearity Error, Full Range		V _{DUT} = -1.5V, 0, +1.5V, +3V, +6.5V (Note 16)		±1	±10	mV
Power-Supply Rejection Ratio	PSRR	V _{DUT} = -1.5V and +6.5V	50	75		dB
AC CHARACTERISTICS (Notes 17–20)						
Minimum Pulse Width		(Note 21)		0.85		ns
Prop Delay				1.2	2	ns
Prop-Delay Temperature Coefficient		(Note 2)		2.6	5	ps/°C
Prop Delay Match		High/low vs. low/high; absolute value of delta for each comparator (Note 2)		40	100	ps
Prop Delay Dispersion vs. Common-Mode Input		Common-mode input -1.4V to +6.4V (Note 22)		20		ps
Prop Delay Dispersion vs. Pulse Width (Note 2)		3ns to 22ns pulse width, 500ps t _{RISE} , positive and negative pulses		10	60	ps
		2ns to 23ns pulse width		10	100	
Prop Delay Dispersion vs. Slew Rate		Slew rate = 0.5V/ns to 2V/ns		10		ps
Waveform Tracking (Note 23)		100mV < V _{C_V} < 900mV, driver in term mode, peak-to-peak within this window		40		ps
		50mV < V _{C_V} < 950mV, driver in term mode, peak-to-peak within this window		60		
		100mV < V _{C_V} < 900mV, driver in high impedance, peak-to-peak within this window		100		
LOGIC OUTPUTS (CH₋, NCH₋, CL₋, NCL₋)						
Termination Voltage	V _T		0		3.5	V
Output Voltage Compliance		Set by I _{OUT} , R _{TERM} , and V _T	-0.5		V _T	V
Differential Rise Time		20% to 80% (Note 2)		200	400	ps
Differential Fall Time		20% to 80% (Note 2)		200	400	ps

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -4.75V, VDD = 3.3V, VD_{HV} = +3V, VD_{LV} = 0, VD_{TV} = +1.5V, SC1 = SC0 = 0, V_{CHV} = +2.0V, V_{CLV} = +1.0V, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{TERM} = V_T = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Termination Resistor Value		V _T to CH ₋ , NCH ₋ , CL ₋ , NCL ₋	48		52	Ω
Output High Voltage		V _T = 0, 3.5V	V _T -0.1	V _T -0.02	V _T	V
Output Low Voltage		V _T = 0, 3.5V	V _T -0.55	V _T -0.4	V _T -0.35	V
Output Voltage Swing		V _T = 0, 3.5V	350	400	450	mV
DYNAMIC CLAMPS						
Functional Clamp Range		CPHV ₋ ; I _{DUT} = -1mA, CPHV ₋ = -0.4V and +6.6V, CPLV ₋ = -1.5V	-0.3		+6.5	V
		CPLV ₋ ; I _{DUT} = 1mA, CPLV ₋ = -1.6V and +5.4V, CPHV ₋ = +6.5V	-1.5		+5.3	
Maximum Programmable CPHV ₋		I _{DUT} = 0mA (Note 24)	7.2	7.5		V
Minimum Programmable CPLV ₋		I _{DUT} = 0mA (Note 24)		-2.5	-2.2	V
Offset Voltage		I _{DUT} = -1mA, CPHV ₋ = +1.5V, CPLV ₋ = -1.5V			±50	mV
		I _{DUT} = +1mA, CPLV ₋ = +1.5V, CPHV ₋ = +6.5V			±50	
Offset-Voltage Temperature Coefficient				0.5		mV/°C
Power-Supply Rejection		I _{DUT} = -1mA, CPHV ₋ = +1.5V, CPLV ₋ = -1.5V	40			dB
		I _{DUT} = +1mA, CPLV ₋ = +1.5V, CPHV ₋ = +6.5V	40			
High-Clamp Voltage Gain		CPHV ₋ = 0, +6.5V, CPLV ₋ = -1.5V	0.99		1.01	V/V
Low-Clamp Voltage Gain		CPLV ₋ = -1.5V, +5.3V, CPHV ₋ = +6.5V	0.99		1.01	V/V
Voltage Gain Matching					1	%
Voltage-Gain Temperature Coefficient				100		ppm/°C
Linearity		I _{DUT} = -1mA, CPHV ₋ = 0, +1.5V, +3.25V, +5V, +6.5V			±30	mV
		I _{DUT} = +1mA, CPLV ₋ = -1.5V, +0.5V, +2.25V, +4V, +5.3V			±30	
Static Output Current		CPHV ₋ = 0, CPLV ₋ = -1.5V, R _L = 0Ω to +6.5V	-120		-60	mA
		CPLV ₋ = +5V, CPHV ₋ = +6.5V, R _L = 0Ω to -1.5V	60		120	
DC Impedance		High clamp, V _{CPHV} = 2.5V, I _{DUT} = -5mA and -15mA	48		55	Ω
		Low clamp, V _{CPLV} = 2.5V, I _{DUT} = 5mA and 15mA	48		55	
DC Impedance Variation (Note 25)		High clamp, I _{DUT} = -20mA and -30mA, CPHV ₋ = +2.5V, CPLV ₋ = -1.5V		±5		Ω
		Low clamp, I _{DUT} = 20mA and 30mA, CPLV ₋ = 2.5V, CPHV ₋ = 6.5V		±5		

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -4.75V, VDD = 3.3V, VD_{HV} = +3V, VD_{LV} = 0, VD_{TV} = +1.5V, SC1 = SC0 = 0, V_{CHV} = +2.0V, V_{CLV} = +1.0V, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{VTERM} = V_T = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Overshoot and Undershoot		(Note 26)		650		mV
LEVEL-SETTING DACs						
Resolution	N	DH _V _, DL _V _, DT _V _, CH _V _, CL _V _		16		Bits
		CPL _V _, CPH _V _		12		
Differential Nonlinearity	DNL				±1	mV
Voltage Settling Time		Full-scale change to ±2.5mV		20		μs
GROUND SENSE (DGS)						
Input Range	V _{GS}	Relative to AGND_, verified by functional test	-250		+250	mV
Gain				1		V/V
Input Resistance			1			MΩ
Reference Input		(Note 27)		2.5		V
1k TRI-STATE LOAD (PULLUP/PULLDOWN)						
Source Impedance When Enabled		Tested at -5mA, 0, +5mA using a 0.5mA step	950		1050	Ω
Maximum Source Current		V _{DUT} = +6.1V, V _{DTV} = -1.1V	6.9	7.2		mA
Maximum Sink Current		V _{DUT} = -1.1V, V _{DTV} = +6.1V	6.9	7.2		mA
Turn-On Time				60		ns
Turn-Off Time				60		ns
Offset Voltage		Output with no load, V _{DTV} = 0 and 3V			±50	mV
Linearity Error		No load, V _{DTV} = -1.5V to +6.5V			±25	mV
TEMPERATURE MONITOR						
Nominal Voltage		T _J = +70°C, R _L ≥ 10MΩ		3.43		V
Temperature Coefficient				10		mV/°C
Output Resistance				15		kΩ
DIFFERENTIAL CONTROL INPUTS (DATA_, NDATA_, RCV_, NRCV_)						
Input High Voltage			-1.6		+3.5	V
Input Low Voltage			-2.0		+3.1	V
Differential Input Voltage			±0.15		±1.00	V
Termination Resistor		50Ω to V _{TERM} _	48		52	Ω
V _{TERM} _ Voltage Range		Verified by functional test	-2.0		+3.5	V
SERIAL PORT INPUTS (CS_, SCLK_, DIN_, RST_, LOAD_, VDD = 3.3V)						
Input High			2/3 (V _{DD})		V _{DD}	V
Input Low			-0.1		1/3 (V _{DD})	V

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -4.75V, VDD = 3.3V, VD_{HV} = +3V, VD_{LV} = 0, VD_{TV} = +1.5V, SC1 = SC0 = 0, V_{CHV} = +2.0V, V_{CLV} = +1.0V, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{TERM} = V_T = +1.8V, R_T = 50Ω || 1pF, T_J = +70°C, unless otherwise noted. All temperature coefficients are measured at T_J = +40°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SERIAL PORT TIMING (Note 28)						
SCLK Frequency					50	MHz
SCLK Pulse-Width High	t ₁		8			ns
SCLK Pulse-Width Low	t ₂		8			ns
$\overline{\text{CS}}$ Low to SCLK High Setup	t ₃		3.5			ns
SCLK High to $\overline{\text{CS}}$ Low Hold	t ₄		3.5			ns
$\overline{\text{CS}}$ High to SCLK High Setup	t ₅		3.5			ns
SCLK High to $\overline{\text{CS}}$ High Hold	t ₆		3.5			ns
DIN to SCLK High Setup	t ₇		3.5			ns
DIN to SCLK High Hold	t ₈		3.5			ns
$\overline{\text{CS}}$ High Pulse Width	t ₉		20			ns
$\overline{\text{LOAD}}$ Low Pulse Width	t ₁₀		20			ns
$\overline{\text{RST}}$ Low Pulse Width	t ₁₁		20			ns
$\overline{\text{CS}}$ High to $\overline{\text{LOAD}}$ Low Hold Time	t ₁₂		20			ns
COMMON FUNCTIONS						
Operating Voltage Range		(Note 29)	-1.5		+6.5	V
DUT_ High-Impedance Leakage		0 < VD _{UT} < 3V			±2	μA
		V _{CLV} = V _{CHV} = +6.5V, VD _{UT} = -1.5V			±5	
		V _{CLV} = V _{CHV} = -1.5V, VD _{UT} = +6.5V			±5	
DUT_ Low-Leakage Mode Leakage		LEAK = 1, 0 < VD _{UT} < 3V, T _J < +90°C	-10		+10	nA
		LEAK = 1, V _{CLV} = V _{CHV} = +6.5V, VD _{UT} = -1.5V, T _J < +90°C	-10		+10	
		LEAK = 1, V _{CLV} = V _{CHV} = -1.5V, VD _{UT} = +6.5V, T _J < +90°C	-10		+10	
DUT_ Combined Capacitance		Driver in terminate mode		2		pF
		Driver in high impedance		4		
POWER SUPPLY						
Positive Supply Voltage	V _{CC}		9.5	9.75	10.5	V
Negative Supply Voltage	V _{EE}		-5.2	-4.75	-4.5	V
Logic Supply Voltage	V _{DD}		2.7	3.3	5.0	V
Positive Supply Current	I _{CC}	(Note 30)		70	85	mA
Negative Supply Current	I _{EE}	(Note 30)		150	180	mA
Logic Supply Current	I _{DD}	(Note 30)		1.2	2	mA
Power Dissipation		(Notes 30, 31)		1.4	1.7	W
Power Dissipation per Channel		(Notes 30, 31)		700		mW

Note 1: All minimum and maximum specifications are 100% production tested, unless otherwise noted. All other test limits are guaranteed by design. Tests are performed at nominal supply voltages, unless otherwise noted. Tested with T_J = +70°C with accuracy of ±15°C.

Note 2: Guaranteed by design and characterization.

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -4.75V$, $V_{DD} = 3.3V$, $V_{DHFV_} = +3V$, $V_{DLV_} = 0$, $V_{DTV_} = +1.5V$, $SC1 = SC0 = 0$, $V_{CHV_} = +2.0V$, $V_{CLV_} = +1.0V$, $V_{CPHV_} = +7.2V$, $V_{CPLV_} = -2.2V$, $V_{VTERM} = V_{T_} = +1.8V$, $R_T = 50\Omega$ || $1pF$, $T_J = +70^\circ C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +40^\circ C$ to $+100^\circ C$, unless otherwise noted.) (Note 1)

- Note 3:** Change in any voltage over operating range. Includes both gain and offset temperature effects. Simulated over entire operating range. Verified at worst-case points, which are the endpoints. $V_{DHFV_} - V_{DLV_} > 250mV$.
- Note 4:** $DATA_ = 1$, $V_{DHFV_} = 3V$, $V_{DLV_} = 0$, $V_{DTV_} = 1.5V$, $I_{OUT} = \pm 30mA$. Different values within the range of 48Ω to 52Ω are available by custom trimming (contact factory).
- Note 5:** Rise time of the differential inputs $DATA_$ and $RCV_$ is $250ps$ (10% to 90%). $SC1 = SC0 = 0$, $40MHz$, unless otherwise specified.
- Note 6:** 0 to 6V step, current supplied for a minimum of 10ns.
- Note 7:** $V_{DTV_} = 1.5V$, $R_S = 50\Omega$ external signal driven into a transmission line to produce a 0/3V edge at the comparator input with $\leq 1.0ns$ rise time (10% to 90%). Measurement point is at comparator input.
- Note 8:** Measured from the 90% point of the driver output (relative to its final value) to the waveform settling to within the specified limit.
- Note 9:** Propagation delays are measured from the crossing point of the differential input signals to the 50% point of expected output swing.
- Note 10:** Measured from crossing point of $RCV_/NRCV_$ to 50% point of the output waveform.
- Note 11:** Four measurements are made: $DHFV_$ to high impedance, $DLV_$ to high impedance, high impedance to $DHFV_$, high impedance to $DLV_$. The worst difference is specified.
- Note 12:** Four measurements are made: $DHFV_$ to $DTV_$, $DLV_$ to $DTV_$, $DTV_$ to $DHFV_$, $DTV_$ to $DLV_$. The worst difference is specified.
- Note 13:** At this pulse width, the output reaches at least 95% of its nominal (DC) amplitude. The pulse width is measured at $DATA_$ and $NDATA_$.
- Note 14:** Maximum data rate in transitions/second. A waveform that reaches at least 95% of its programmed amplitude may be generated at one-half of this frequency.
- Note 15:** Change in offset at any voltage over operating range. Includes both gain (CMRR) and offset temperature effects.
- Note 16:** Relative to straight line between 0 and 3V.
- Note 17:** All propagation delays measured from $V_{DUT_}$ crossing calibrated $CHV_/CLV_$ threshold to crossing point of differential outputs.
- Note 18:** Load is a 500ps transmission line terminated with $1pF$ and 50Ω .
- Note 19:** All AC specifications are measured with $DUT_$ (comparator input) as the reference.
- Note 20:** $40MHz$, 0 to 2V input to comparator, reference = 1V, 50% duty cycle, 1ns rise/fall time, $Z_S = 50\Omega$, driver in term mode with $V_{DTV_} = 0$, unless otherwise noted.
- Note 21:** At this pulse width, the output reaches at least 90% of its nominal peak-to-peak swing. The pulse width is measured at the crossing points of the differential outputs. 500ps rise and fall time. Timing specs are not guaranteed.
- Note 22:** $V_{DUT_} = 200mV_{P-P}$, rise/fall time = 150ps, overdrive = 100mV, $V_{DTV_} = V_{CM}$. Valid for common-mode ranges where the signal does not exceed the operating range. Specification is worst case (slowest to fastest) over the specified range.
- Note 23:** Input to comparator is 40MHz at 0 to 1V, 50% duty cycle, 1ns rise time.
- Note 24:** This specification is implicitly tested, by meeting the high-impedance leakage specification.
- Note 25:** Resistance measurements are made using small-signal voltage changes in the loading instrument. Absolute value of the difference in measured resistance over the specified range, tested separately for each current polarity.
- Note 26:** Ripple in the $DUT_$ signal after one round-trip delay. Stimulus is 0 to 3V, 2.5V/ns square wave from far end of 3ns transmission line with $R_S = 25\Omega$, clamps set to 0 and 3V.
- Note 27:** Any deviation from 2.5V affects offset and gain of all levels.
- Note 28:** Serial port timing specifications are measured at a logic supply voltage (V_{DD}) of +3.3V, ensuring operation of the serial port at rated speed for V_{DD} from +3.3V to +5.5V.
- Note 29:** The maximum usable output operating voltage is limited to -1.5V to +6.5V. Externally forced voltages may exceed this range without damage to the device, provided that they are limited per the *Absolute Maximum Ratings*. External clamps must be provided to limit voltages in this range, or damage to the device is likely.
- Note 30:** Total for dual device. $R_L \geq 10M\Omega$. Worst case of the following conditions: driver enabled, $LLEAK = 0$; driver disabled, $LLEAK = 0$; driver enabled, $RCV_ = 1$; driver disabled, $LLEAK = 1$.
- Note 31:** Excludes dissipation of comparator output supply. A typical output configuration and $V_+ = 1.8V$ adds 30mW (typ) per channel to device power.

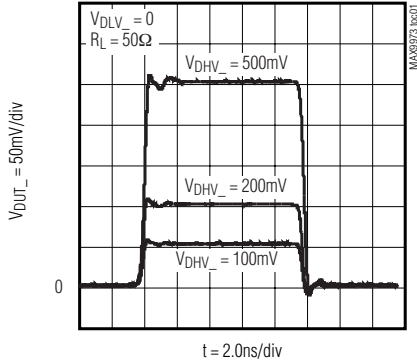
DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

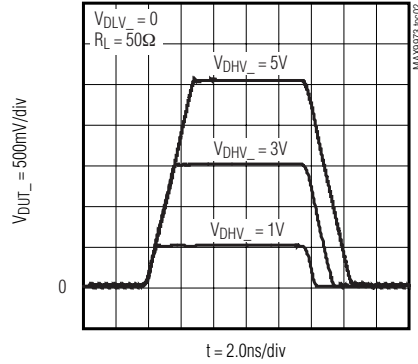
標準動作特性

($T_J = +70^\circ\text{C}$, unless otherwise noted.)

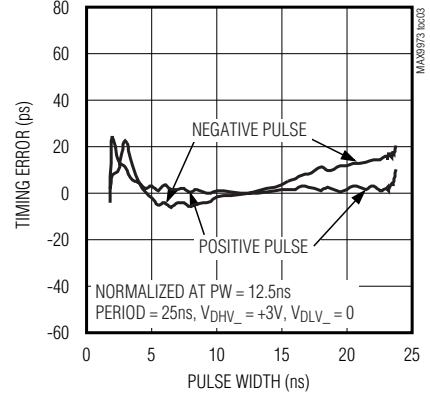
DRIVER SMALL-SIGNAL RESPONSE



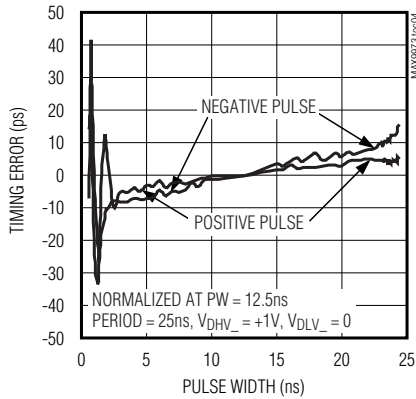
DRIVER LARGE-SIGNAL RESPONSE



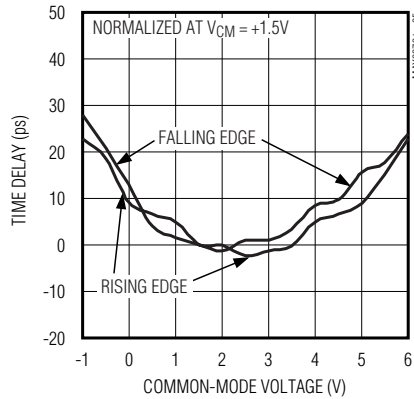
DRIVER 3V TRAILING-EDGE TIMING ERROR vs. PULSE WIDTH



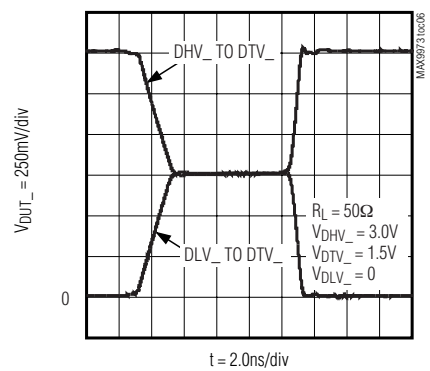
DRIVER 1V TRAILING-EDGE TIMING ERROR vs. PULSE WIDTH



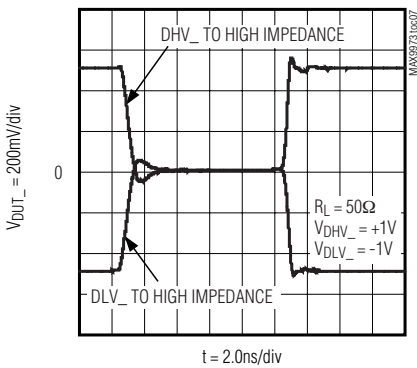
DRIVER TIME DELAY vs. COMMON-MODE VOLTAGE



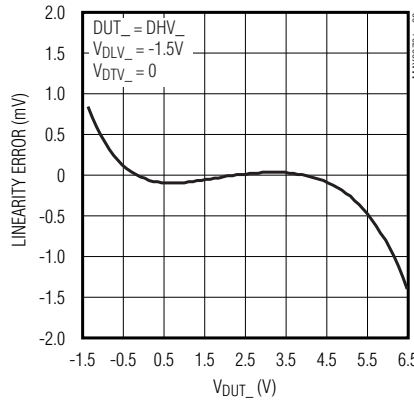
DRIVE TO TERM TRANSITION



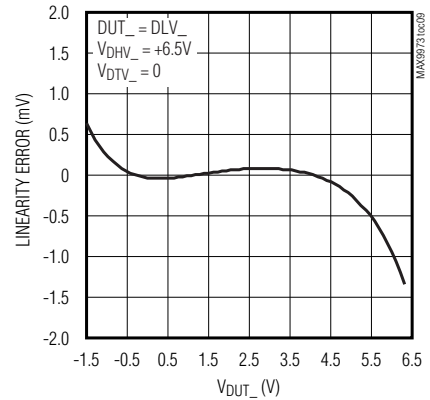
DRIVE TO HIGH IMPEDANCE TRANSITION



DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE



DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE



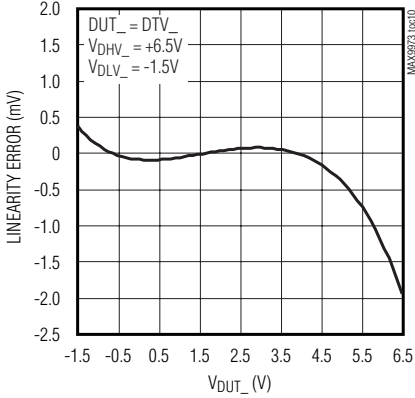
DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

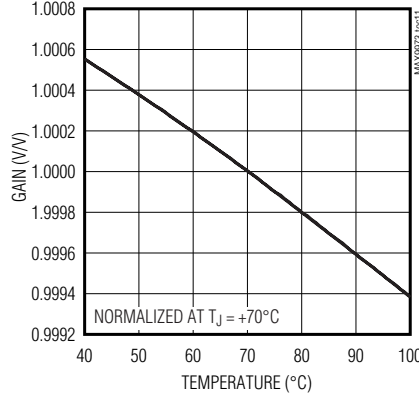
標準動作特性(続き)

($T_J = +70^\circ\text{C}$, unless otherwise noted.)

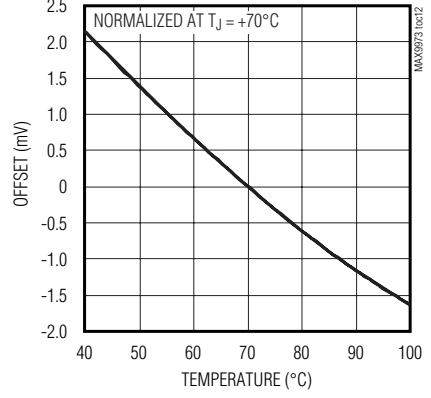
**DRIVER LINEARITY ERROR
vs. OUTPUT VOLTAGE**



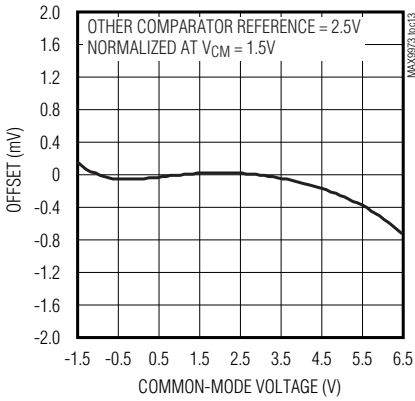
**DRIVER GAIN
vs. TEMPERATURE**



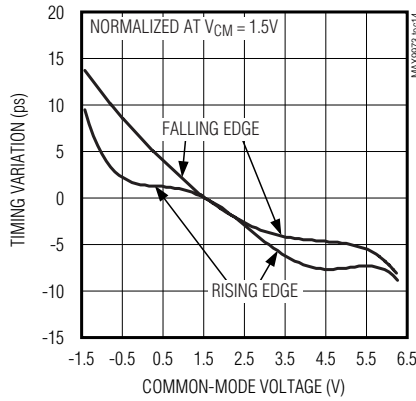
**DRIVER OFFSET
vs. TEMPERATURE**



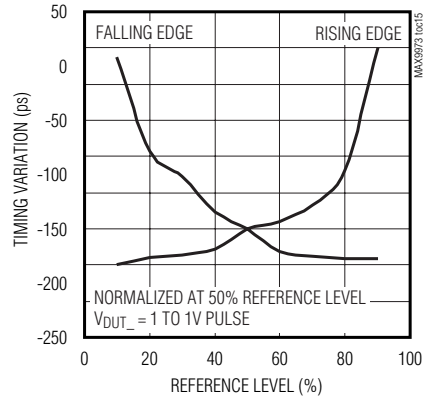
**COMPARATOR OFFSET
vs. COMMON-MODE VOLTAGE**



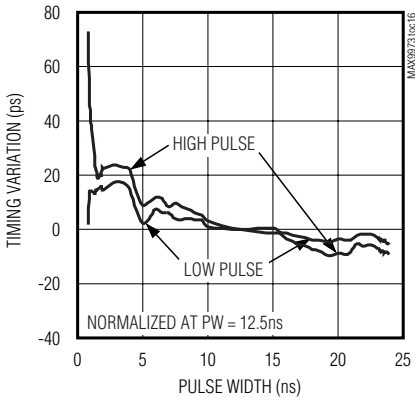
**COMPARATOR TIMING VARIATION
vs. COMMON-MODE VOLTAGE**



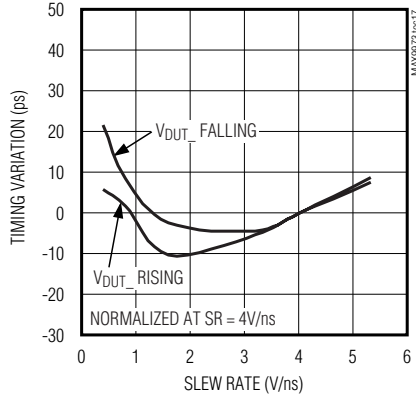
**COMPARATOR WAVEFORM
TRACKING**



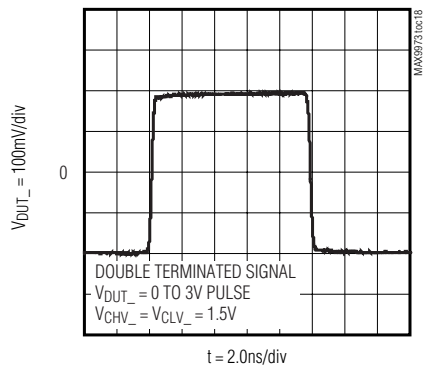
**COMPARATOR TRAILING-EDGE TIMING
VARIATION vs. PULSE WIDTH**



**COMPARATOR TIMING VARIATION
vs. INPUT SLEW RATE**



**COMPARATOR DIFFERENTIAL
OUTPUT RESPONSE**



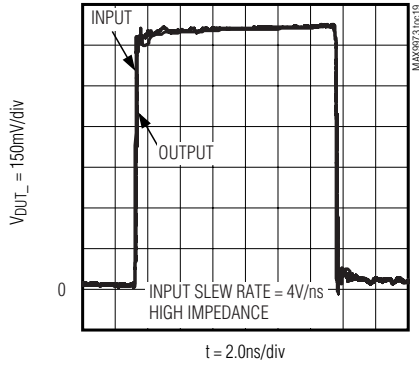
DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

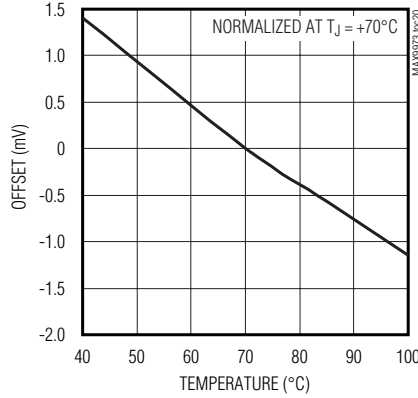
標準動作特性(続き)

($T_J = +70^\circ\text{C}$, unless otherwise noted.)

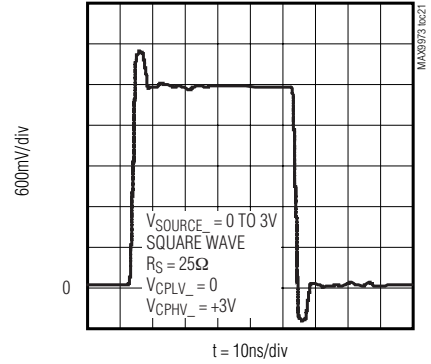
COMPARATOR RESPONSE TO HIGH SLEW-RATE OVERDRIVE



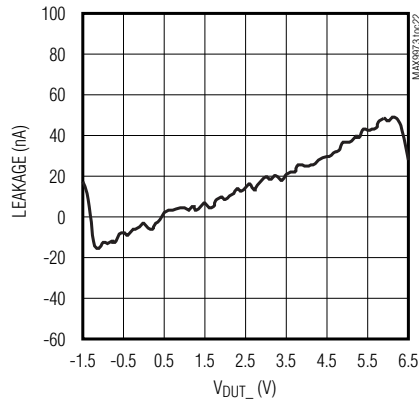
COMPARATOR OFFSET vs. TEMPERATURE



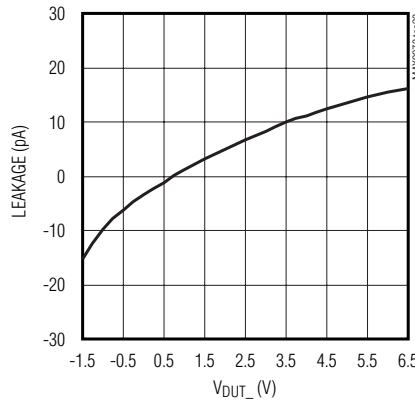
CLAMP RESPONSE AT SOURCE



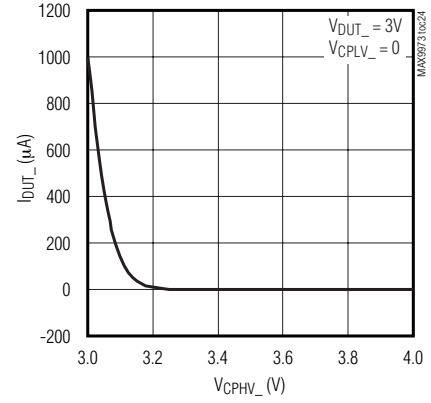
HIGH-IMPEDANCE LEAKAGE CURRENT vs. DUT_VOLTAGE



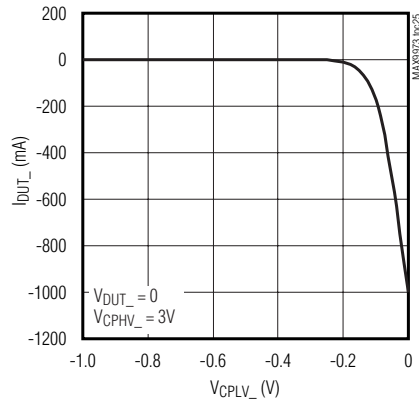
LOW LEAKAGE CURRENT vs. DUT_VOLTAGE



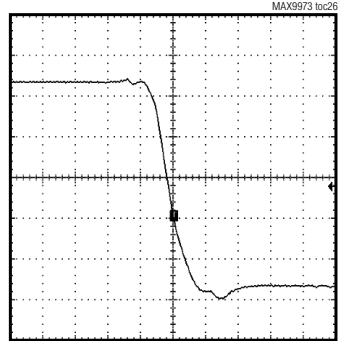
CLAMP CURRENT vs. DIFFERENCE VOLTAGE



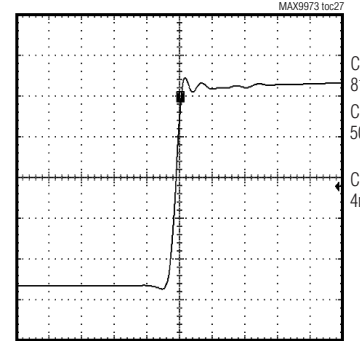
CLAMP CURRENT vs. DIFFERENCE VOLTAGE



DRIVE 1V TO LOW LEAKAGE TRANSITION



LOW LEAKAGE TO DRIVE 1V TRANSITION

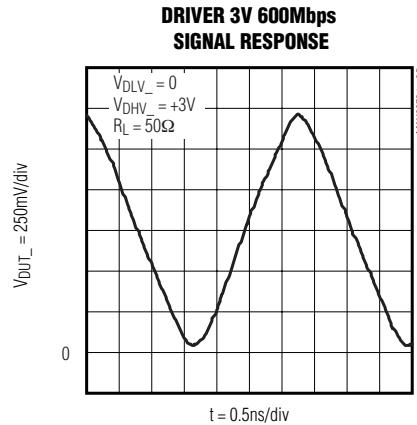
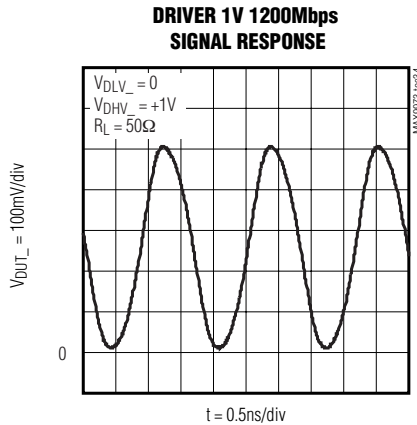
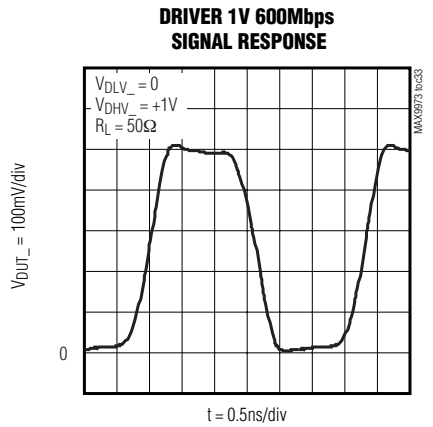
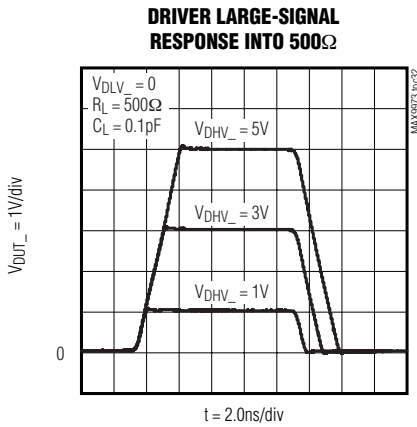
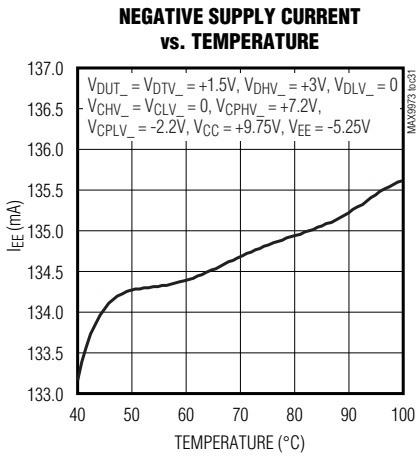
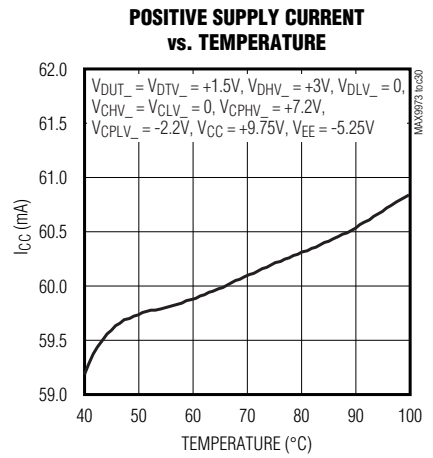
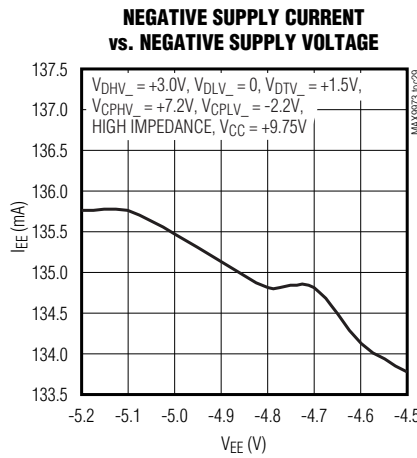
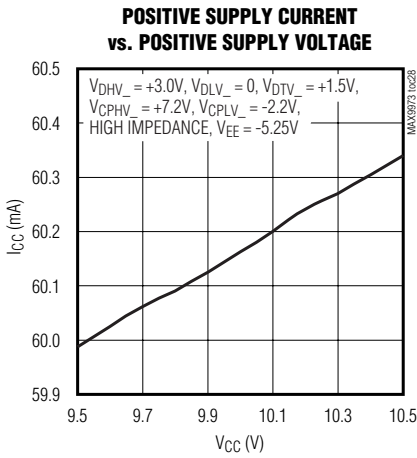


DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

標準動作特性(続き)

($T_J = +70^\circ\text{C}$, unless otherwise noted.)

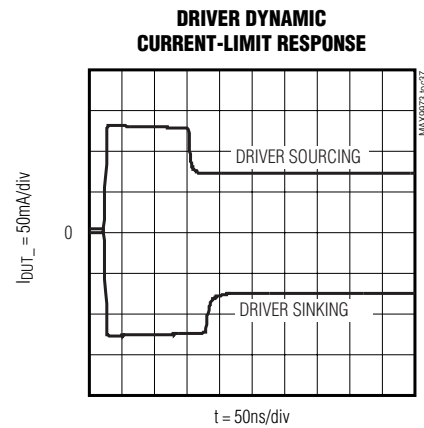
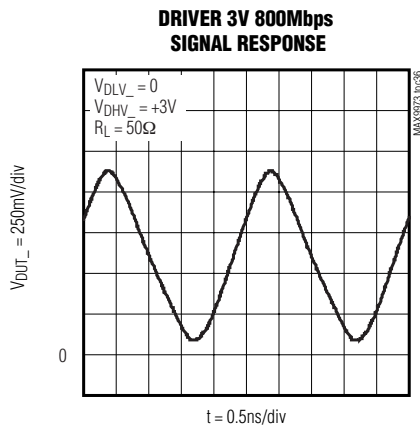


DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

標準動作特性(続き)

($T_J = +70^\circ\text{C}$, unless otherwise noted.)



端子説明

端子(MAX9973)	名称	機能	
1, 16, 18, 33, 36, 39, 42, 45, 48, 63	VEE	負の電源入力	
2, 15, 24, 35, 37, 44, 46, 57	VCC	正の電源入力	
3, 14	AGND	アナロググランド接続	
4	REF	DACリファレンス入力。DGSに対して2.5Vに設定してください。	
5	DGS	DUTグランド検出。DGSはDACのグランドリファレンスです。DGSを試験対象デバイスのグランドに接続してください。	
6	TEMP	温度モニタ出力	
7, 17, 32, 40, 41, 49, 64	GND	グランド	
8	CS	チップセレクト入力。シリアルポート起動用の入力です。	
9	SCLK	シリアルクロック入力。シリアルポート用のクロックです。	
10	DIN	データ入力。シリアルポートのデータ入力です。	
11	VDD	デジタルインタフェース電源入力	
12	LOAD	ロード入力。シリアルレジスタデータDACにラッチします。	
13	RST	リセット入力。シリアルレジスタ用の非同期リセット入力です。	
19	NDATA1	チャンネル1マルチプレクサ制御入力N	差動制御DATA1およびNDATA1で、ドライバ1の入力をDHV1またはDLV1から選択します。DHV1を選択するには、DATA1をNDATA1より高く駆動します。DLV1を選択するには、NDATA1をDATA1より高く駆動します。
20	DATA1	チャンネル1マルチプレクサ制御入力	
21	VTERM1	チャンネル1 RCV/NRCVおよびDATA/NDATA終端電圧入力。RCV1、NRCV1、DATA1、およびNDATA1の各差動入力用の終端電圧入力です。	

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

端子説明(続き)

端子(MAX9973)	名称	機能	
22	NRCV1	チャンネル1マルチプレクサ制御入力N	差動制御RCV1およびNRCV1で、チャンネル1を受信モードにします。チャンネル1を受信モードにするには、RCV1をNRCV1より高く駆動します。チャンネル1を駆動モードにするには、NRCV1をRCV1より高く駆動します。
23	RCV1	チャンネル1マルチプレクサ制御入力	
25, 34, 47, 56	N.C.	接続なし。接続しないでください。	
26	NCL1	チャンネル1ローコンパレータ出力N	チャンネル1ローコンパレータの差動出力です。
27	CL1	チャンネル1ローコンパレータ出力	
28	V _{T1}	コンパレータ終端電圧入力。チャンネル1コンパレータ出力プルアップ抵抗用の終端電圧です。	
29	NCH1	チャンネル1ハイコンパレータ出力N	チャンネル1ハイコンパレータの差動出力です。
30	CH1	チャンネル1ハイコンパレータ出力	
31	RHYST1	チャンネル1コンパレータヒステリシスプログラム入力	
38	DUT1	チャンネル1試験対象デバイス入出力。ドライバ、コンパレータ、クランプ、および負荷の複合I/Oです。	
43	DUT0	チャンネル0試験対象デバイス入出力。ドライバ、コンパレータ、クランプ、および負荷の複合I/Oです。	
50	RHYST0	チャンネル0コンパレータヒステリシスプログラム入力	
51	CH0	チャンネル0ハイコンパレータ出力	チャンネル0ハイコンパレータの差動出力です。
52	NCH0	チャンネル0ハイコンパレータ出力N	
53	V _{T0}	コンパレータ終端電圧入力。チャンネル0コンパレータ出力プルアップ抵抗用の終端電圧です。	
54	CL0	チャンネル0ローコンパレータ出力	チャンネル0ローコンパレータの差動出力です。
55	NCL0	チャンネル0ローコンパレータ出力N	
58	RCV0	チャンネル0マルチプレクサ制御入力	差動制御RCV0およびNRCV0で、チャンネル0を受信モードにします。チャンネル0を受信モードにするには、RCV0をNRCV0より高く駆動します。チャンネル0を駆動モードにするには、NRCV0をRCV0より高く駆動します。
59	NRCV0	チャンネル0マルチプレクサ制御入力N	
60	V _{TERM0}	チャンネル0 RCV/NRCVおよびDATA/NDATA終端電圧入力。RCV0、NRCV0、DATA0、およびNDATA0の各差動入力用の終端電圧入力です。	
61	DATA0	チャンネル0マルチプレクサ制御入力	差動制御DATA0およびNDATA0で、ドライバの入力をDHV0またはDLV0から選択します。DHV0を選択するには、DATA0をNDATA0より高く駆動します。DLV0を選択するには、NDATA0をDATA0より高く駆動します。
62	NDATA0	チャンネル0マルチプレクサ制御入力N	
—	EP	エクスポーズド放熱パッド。このパッドはダイから電氣的に絶縁されています。EPに電氣的接続を行わないでください。	

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

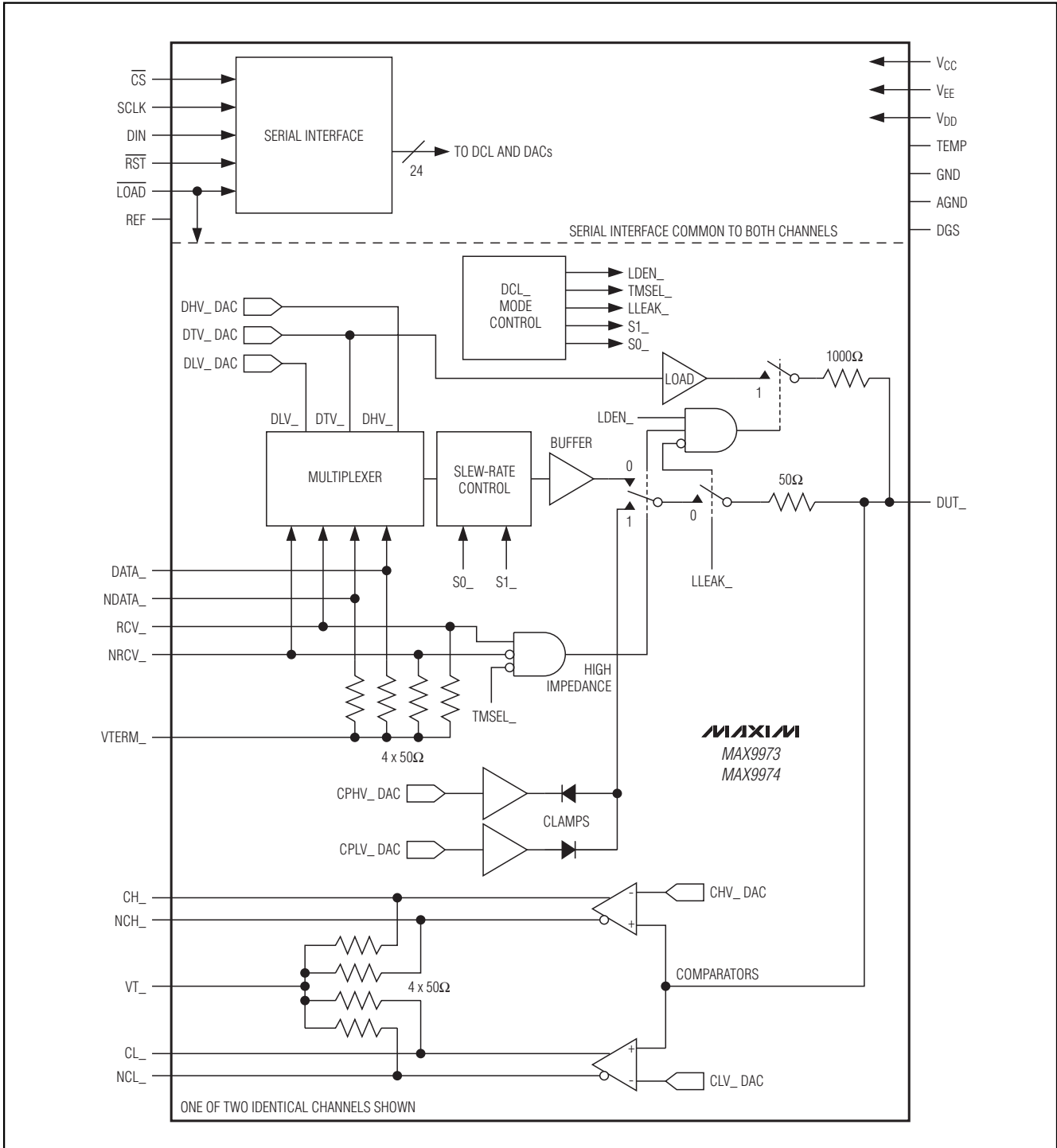


図1. 機能ブロック図

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

詳細

MAX9973/MAX9974は、組込みのレベル設定用DACを備えた、全機能内蔵、高性能、デュアルチャンネルピンエレクトロニクス用ドライバ/コンパレータ/ロード(DCL)です。各チャンネル用に、3つのレベル設定用DACを備えた3レベルのピンドライバ、2つのレベル設定用DACを備えたウィンドウコンパレータ、2つのレベル設定用DACを備えた2組のダイナミッククランプ、およびドライバのDTV_DACによって駆動される1kΩの負荷が内蔵されています。図1にMAX9973/MAX9974の機能ブロック図を示します。

3レベルのピンドライバは-1.5V~+6.5Vの広い電圧範囲を特長としており、ハイインピーダンスモードとアクティブ終端(第3レベル駆動)モードを備えています。終端抵抗を内蔵した高速差動マルチプレクサ制御入力DATAおよびRCVが、3つの入力レベルの間でドライバを切り替えます。図2に簡略化したドライバチャンネルのブロック図を示します。

ウィンドウコンパレータは、極めて低いタイミング変動を提供します。MAX9973G/MAX9974Gのコンパレータのオープンコレクタ出力は8mA (typ)をシンクするのに対し、MAX9973H/MAX9974Hのコンパレータ出力は16mA (typ)をシンクします。図3にコンパレータの機能を示します。

ダイナミッククランプは、ハイインピーダンス受信モードが選択されている場合に、高速なDUT波形のダンピングを提供します。

負荷は、コンパレータと組み合わせて使用した場合に、高速な接続試験を容易に行うことが可能になります。また、オープンドレイン/コレクタ出力を持つ試験対象デバイス用のプルアップとしても機能します。

シリアルインタフェースで、デバイスとその機能の設定を行います。MAX9973/MAX9974は、放熱のためのエクスポーズドパッドを上面(MAX9973)または下面(MAX9974)に備えた、64ピン(10mm x 10mm x 1.00mm)のTQFP-EPパッケージで提供されます。消費電力はチャンネル当たりわずか700mWです。完全な動作電圧範囲は-1.5V~+6.5Vです。内部ダイ温度+40℃~+100℃の範囲での動作が保証されています。これらのデバイスは、温度モニタ出力を備えています。

出カドライバ

ドライバ入力、DHLV_、DLV_、またはDTV_の3種類のDAC電圧から1つを選択する高速マルチプレクサです。DAC電圧間の切り換えは、高速差動入力DATA_/NDATA_およびRCV_/NRCV_と、モード制御ビットTMSEL_によって制御します(表1)。スルーレート回路は、選択可能な4つのスルーレートの1つを使ってバッファ入力

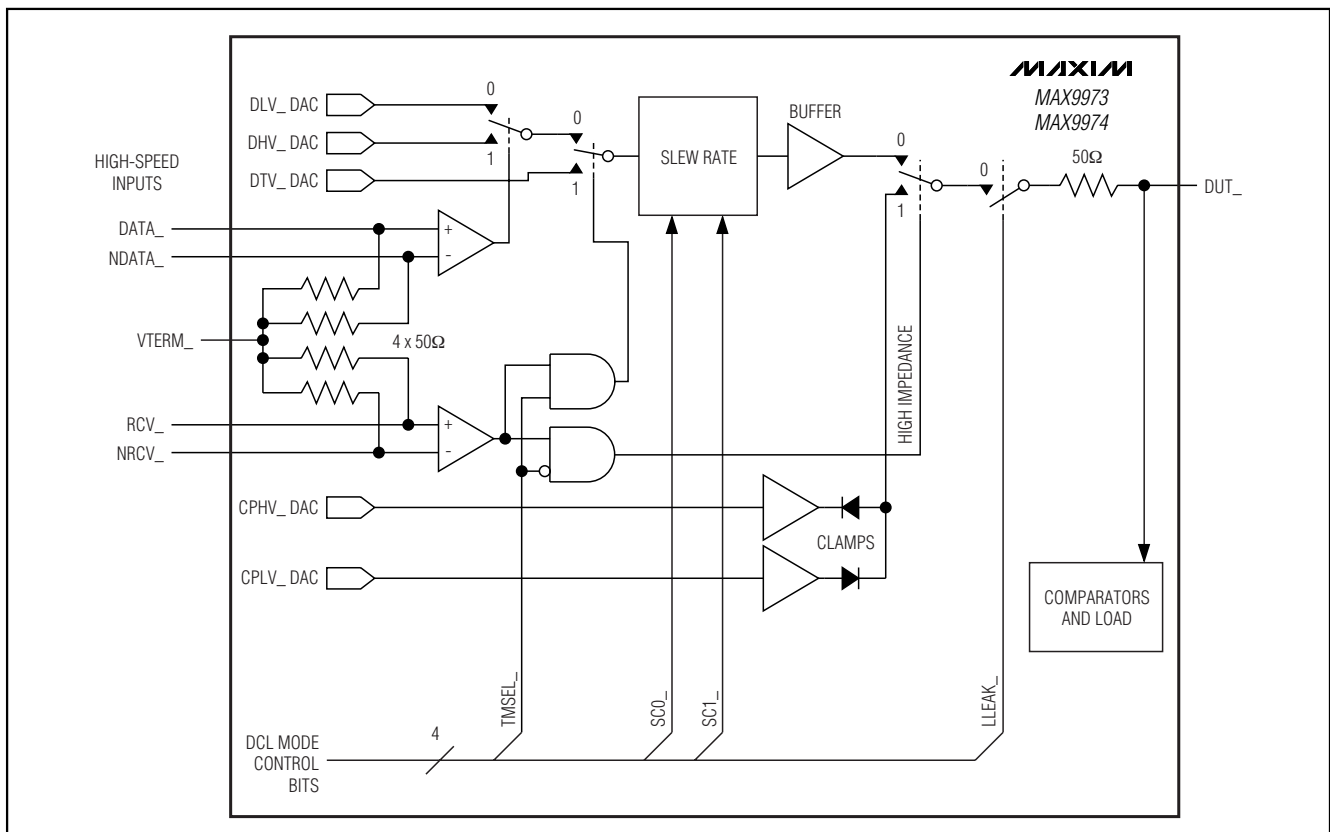


図2. 簡略化したドライバチャンネル

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

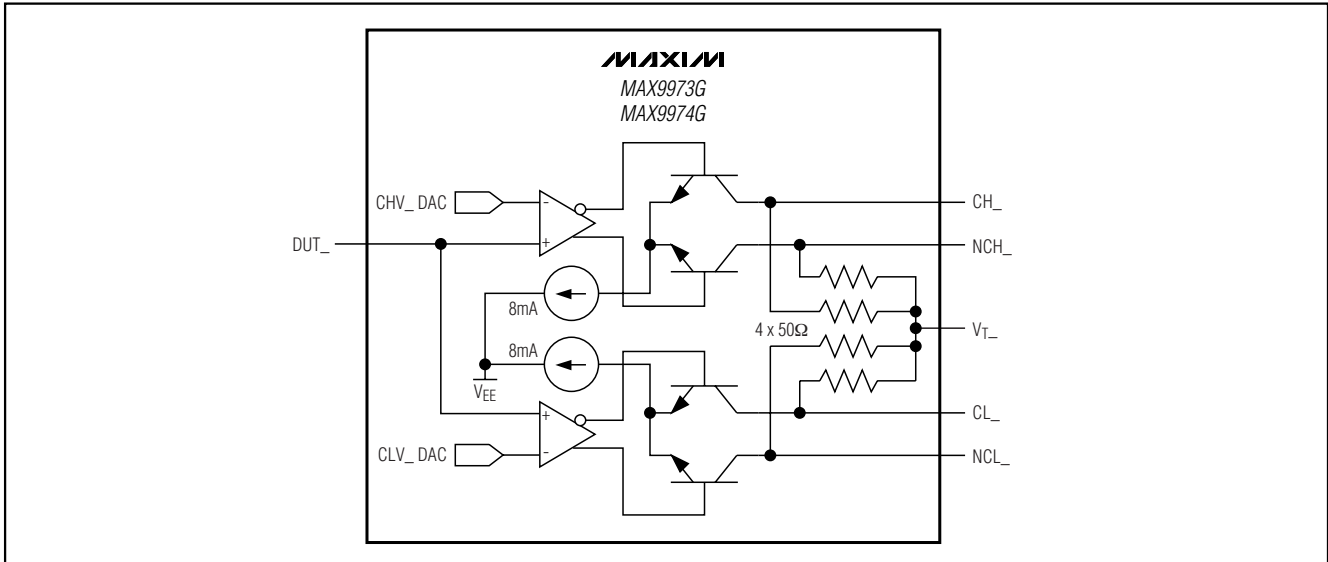


図3. コンパレータの機能ブロック図

表1. ドライバのチャンネルのロジック

HIGH-SPEED INPUTS		MODE CONTROL BITS		DUT_
DATA_/NDATA_	RCV_/NRCV_	TMSEL_ (D3)	LLEAK_ (D2)	
DATA_ > NDATA_	RCV_ < NRCV_	X	0	DHV_
DATA_ < NDATA_	RCV_ < NRCV_	X	0	DLV_
X	RCV_ > NRCV_	1	0	DTV_
X	RCV_ > NRCV_	0	0	High impedance (clamps engaged)
X	X	X	1	Low leakage

X = 任意。

表2. ドライバのスルーレートのロジック

MODE CONTROL BITS		DRIVER SLEW RATE (%)
S1_ (D1)	S0_ (D0)	
0	0	100 (fastest)
0	1	75
1	0	50
1	1	25 (slowest)

のスルーレートを制御します(表2)。100%スルーレートは、マルチプレクサ本来の速度の関数になります(「標準動作特性」の項に記載されている「Driver Large-Signal Response (ドライバの大信号応答)」のグラフ参照)。DUT_は、ドライバモードとハイインピーダンスモードの間で高速で切り替えることが可能であり、またモード

表3. コンパレータのロジック

COMPARATOR INPUTS		COMPARATOR OUTPUTS			
DUT_ > CHV_	DUT_ > CLV_	HIGH COMPARATOR		LOW COMPARATOR	
		CH_	NCH_	CL_	NCL_
0	0	0	1	0	1
0	1	0	1	1	0
1	0	1	0	0	1
1	1	1	0	1	0

制御ビットLLEAK_を使って低リークモードにすることもできます(図2、表1)。ハイインピーダンスモードでは、DUT_のバイアス電流が-1.5V~+6.5Vの範囲にわたって5μA未満になりますが、高速信号を追跡する端子の能力は維持されます。低リークモードでは、DUT_のバイアス

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

電流がさらに低減されて $\pm 10\text{nA}$ 未満になり、信号への追従が低速になります。詳細については、「低リークモード」の項をご覧ください。

ドライバ出力の公称抵抗値は 50Ω です。 $48\Omega \sim 52\Omega$ の範囲内で選択可能な他の調整値については、お問い合わせください。

クランプ

電圧クランプ(ハイおよびロー)は、DUT_の電圧を制限し、チャンネルがハイインピーダンスレシーバとして構成されている場合に反射を抑制します。クランプは、大電流バッファの出力に接続された、直列の 50Ω 抵抗付きのダイオードのように動作します。内部回路によって、 1mA クランプ電流でのダイオード降下を補償します。クランプ電圧は、DACのCPHV_およびCPLV_を使用して設定します。クランプは、ドライバがハイインピーダンスモードのときのみイネーブルされます(図2)。過渡電圧を抑制するためには、DUT_の電圧範囲として予想される最小値と最大値に近い値にクランプ電圧を

設定してください。最適なクランプ電圧はアプリケーションによって異なり、経験的に決定する必要があります。クランプが必要ない場合は、予想されるDUT_の電圧範囲から少なくとも 0.7V 以上外れた値にクランプ電圧を設定してください。DUT_に負荷をかけずに、過電圧保護が有効な状態になります。

コンパレータ

MAX9973/MAX9974は、各チャンネル用にそれぞれ独立した2組の高速コンパレータを提供しています。各コンパレータには2つの入力があり、一方が内部でDUT_に接続されており、もう一方がDACのCHV_またはDACのCLV_に接続されています(図1および3参照)。表3に示すように、コンパレータの出力は入力条件に対する論理演算の結果になります。幅広いロジックファミリとのインタフェースを容易にするため、コンパレータの差動出力はオープンコレクタになっています。MAX9973G/MAX9974Gは 8mA の電流シンクを2つの出力間で切り換えるのに対し、MAX9973H/MAX9974Hは 16mA の

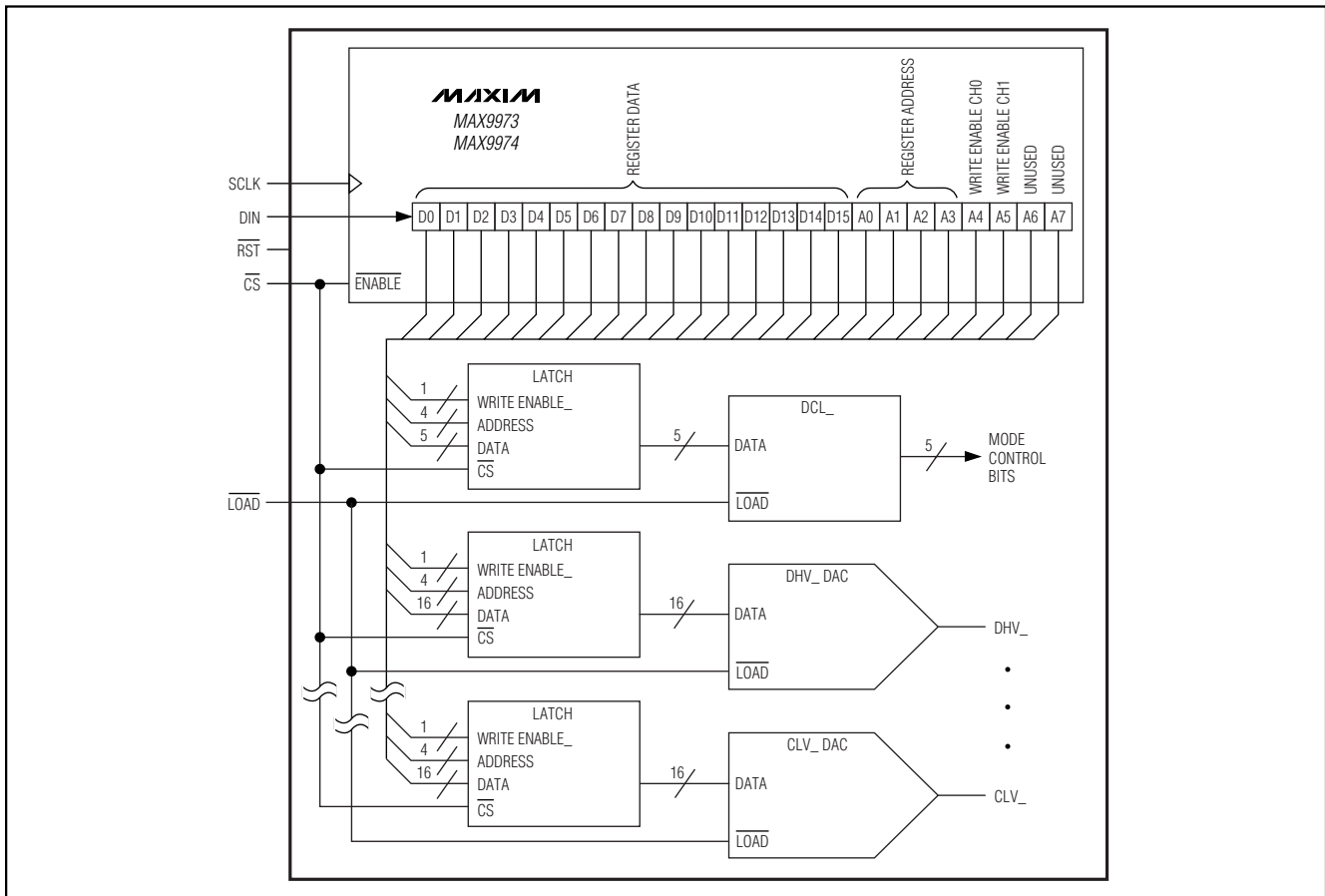


図4. シリアルインタフェースのブロック図

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

表4. 負荷のロジック

HIGH-SPEED INPUT	MODE CONTROL BITS			LOAD
	LLEAK_ (D2)	TMSEL_ (D3)	LDEN_ (D4)	
RCV_<NRCV_	0	X	X	Off
X	0	X	0	Off
RCV_>NRCV_	0	0	1	On
RCV_>NRCV_	0	1	1	Off
X	1	X	X	Off

X = 任意。

表5. シリアルインタフェースの
データビット定義

DIN BIT	BIT FUNCTION
A7	Not used
A6	Not used
A5	Write enable channel 1
A4	Write enable channel 0
A3	Register address (Table 6)
A2	
A1	
A0	
D15–D0	Register data

切り替えが可能です。50Ωの出力終端抵抗が、電圧入力V_Tに接続されています。各出力は、公称400mV_{p-p}の振幅と50Ωのソース終端を提供します。

1kΩ負荷

1kΩの負荷は、内部バッファの出力からDUT_1にかけて接続された抵抗です。バッファの入力はDACのDTV_です(図1)。バッファは少なくとも6.9mAをソースおよびシンクします。スイッチによって、抵抗がバッファから切り離されます。スイッチの操作は、シリアル制御ビットLDEN_、LLEAK_、およびTMSEL_を使用して、高速差動入力RCV_>NRCV_を通して行います。表4に負荷スイッチ操作の真理値表を示します。

DUTグランド検出入力

DUTグランド検出入力(DGS)は、試験対象デバイスのグランド電位を検出し、MAX9973/MAX9974の出力およびDACレベルがそのグランド電位の基準に設定されることを可能にします。DGSを試験対象デバイスのグランドに接続してください。

表6. レジスタアドレス

REGISTER ADDRESS BITS				REGISTER FUNCTION
A3	A2	A1	A0	
0	0	0	0	DCL mode
0	0	0	1	DHV_ level
0	0	1	0	DLV_ level
0	0	1	1	DTV_ level
0	1	0	0	CHV_ level
0	1	0	1	CLV_ level
0	1	1	0	CPHV_ level
0	1	1	1	CPLV_ level
1	X	X	X	Not used

表7. DCLモード制御ビット

BIT	NAME	FUNCTION	POWER-UP STATE
D4	LDEN	Load enable	0
D3	TMSEL	Terminate select	0
D2	LLEAK	Low-leakage enable	1
D1	S1	Slew-rate control (Table 2)	0
D0	S0		0

低リークモード

シリアルインタフェースを通して、またはデジタル入力RSTを使ってLLEAK_をアサートすると、MAX9973/MAX9974は非常に低リークの状態に入ります(「Electrical Characteristics (電気的特性)」の表を参照)。LLEAK_がアサートされると、コンパレータ、ドライバ、クランプ、およびアクティブ負荷がディセーブルされます。このモードは、出力切断用リレーを必要とせずにIDDQとPMUの測定を行うのに便利です。RSTが両方のチャンネルに同時に働くのに対して、LLEAK_は各チャンネルを独立にプログラムします。

シリアルインタフェースとデバイスの制御

CMOS互換シリアルインタフェースで、MAX9973/MAX9974のモードを制御します(図4、表5)。図5に示すように、制御データは24ビットのシフトレジスタに入り、CSがハイになったときにラッチされます。最初の8ビット(A7~A0)によって、2つのチャンネルのどちらに対するコマンドであるか、そして続く16ビットのプログラム対象がどちらのDACまたはDCLであるかが決定します。その16ビット(D15~D0)は、表5、6、7、および図6に示すように、DACの電圧を設定するか、またはモード制御ビットを通してMAX9973/MAX9974の設定を制御します。

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

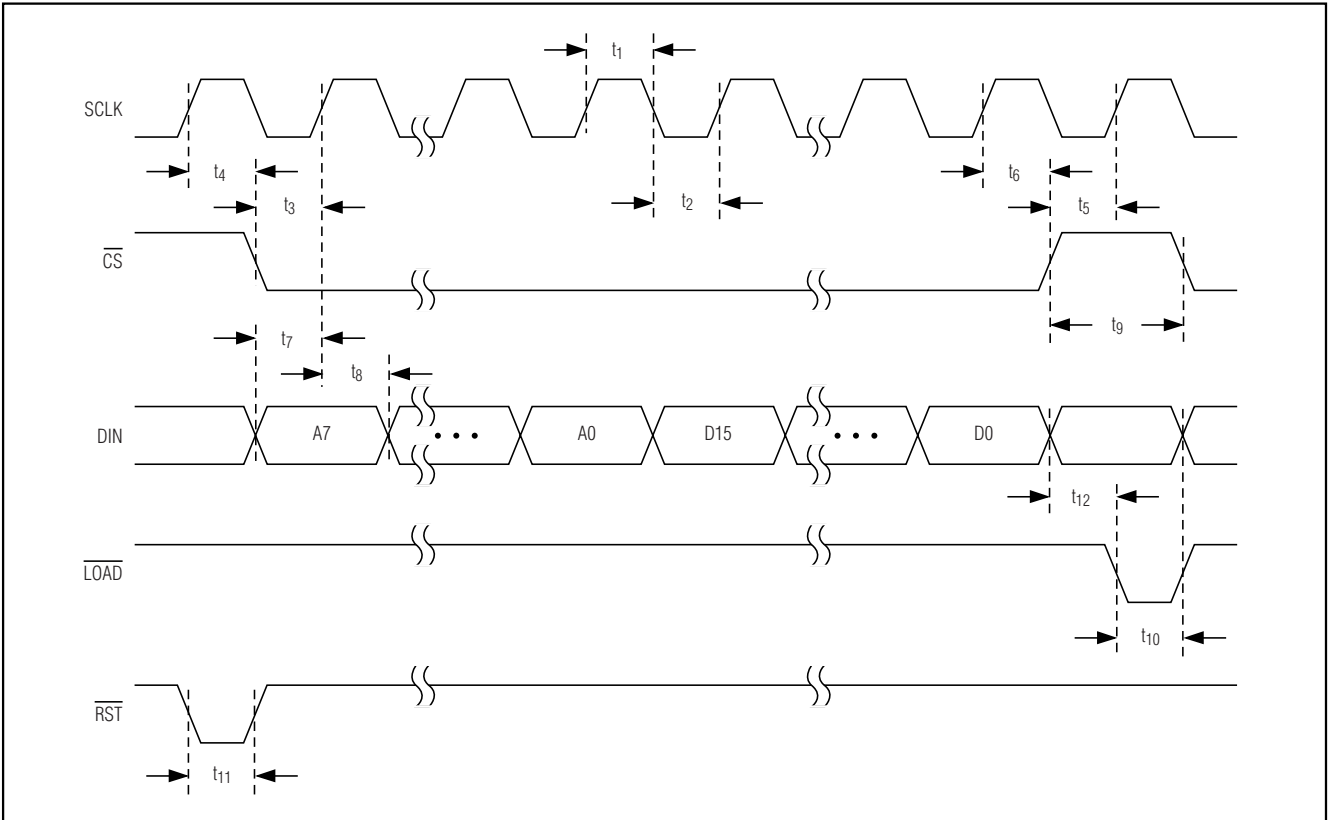


図5. シリアルインタフェースのタイミング

高速差動入力RCV_/NRCV_およびDATA_/NDATA_は、制御ビットTMSEL_、LLEAK_、およびLDEN_と連携して、各チャンネルの機能を管理します。RSTは両方のチャンネルについてLLEAK = 1に設定し、両方のチャンネルを低リークモードに移行させます(それ以外のビットは影響を受けません)。通電時には、VCCとVEEが安定するまでRSTをローに保持してください。

シリアル通信

図5および「Electrical Characteristics (電気的特性)」の表中のシリアルポートタイミングに関する部分に、シリアルインタフェースのタイミング要件を示してあります。CSがローになった後の、最初のクロック立上りエッジでビットA7がシフトレジスタに格納され、最後のクロック立上りエッジでビットD0がラッチされています。その後LOADをローにすることで、データがシリアル入力レジスタからDACとDCLに転送されます。

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

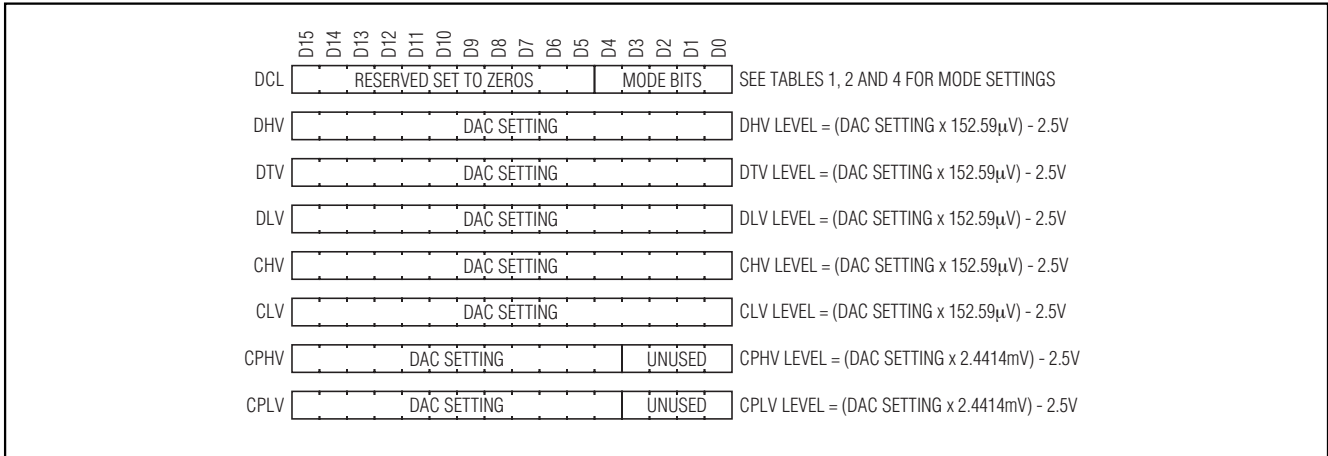


図6. DCLとDACのプログラミングに使用するレジスタデータ

ドライバチャネル入力としてのDAC

シリアルインタフェースを通してプログラムされるデジタル/アナログコンバータが、3つの入力マルチプレクサ(DHV_、DTV_、およびDLV_)、クランプ(CPHV_およびCPLV_)、コンパレータ(CHV_ and CLV_)、および負荷(DTV_が二役で負荷の入力電圧ソースにもなる)に対する入力電圧を提供します。DACの出力電圧設定については、図6で詳しく示しています。

温度モニタ

MAX9973は、ダイ温度+70°C (343K)で公称3.43Vの出力電圧をアサートする、温度出力信号TEMPを提供します。出力電圧は、10mV/°Cの割合で温度に比例して変化しますが、較正はされていません。

放熱

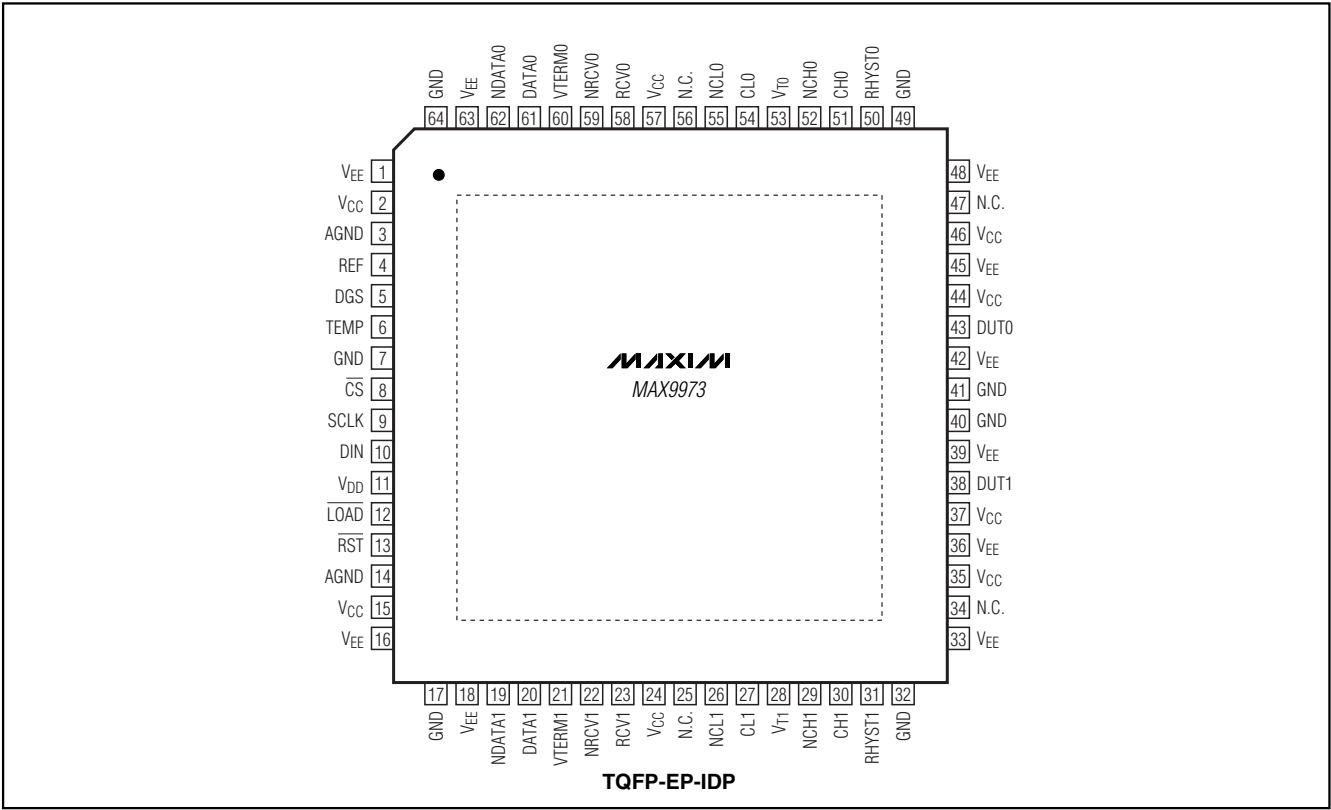
通常の状況下では、MAX9973はエクスポーズドパッド経由で外付けのヒートシンクによる放熱を行う必要があります。エクスポーズドパッドはダイから電気的に絶縁されています。エクスポーズドパッドにはどのような電気的接続も行わないでください。

電源について

すべてのV_{CC}およびV_{EE}電源端子をそれぞれ0.01μFのコンデンサでバイパスし、各電源について少なくとも10μFのバルクバイパスを使用してください。

DAC内蔵、デュアル ドライバ/コンパレータ/ロード

ピン配置



チップ情報

PROCESS: BiCMOS

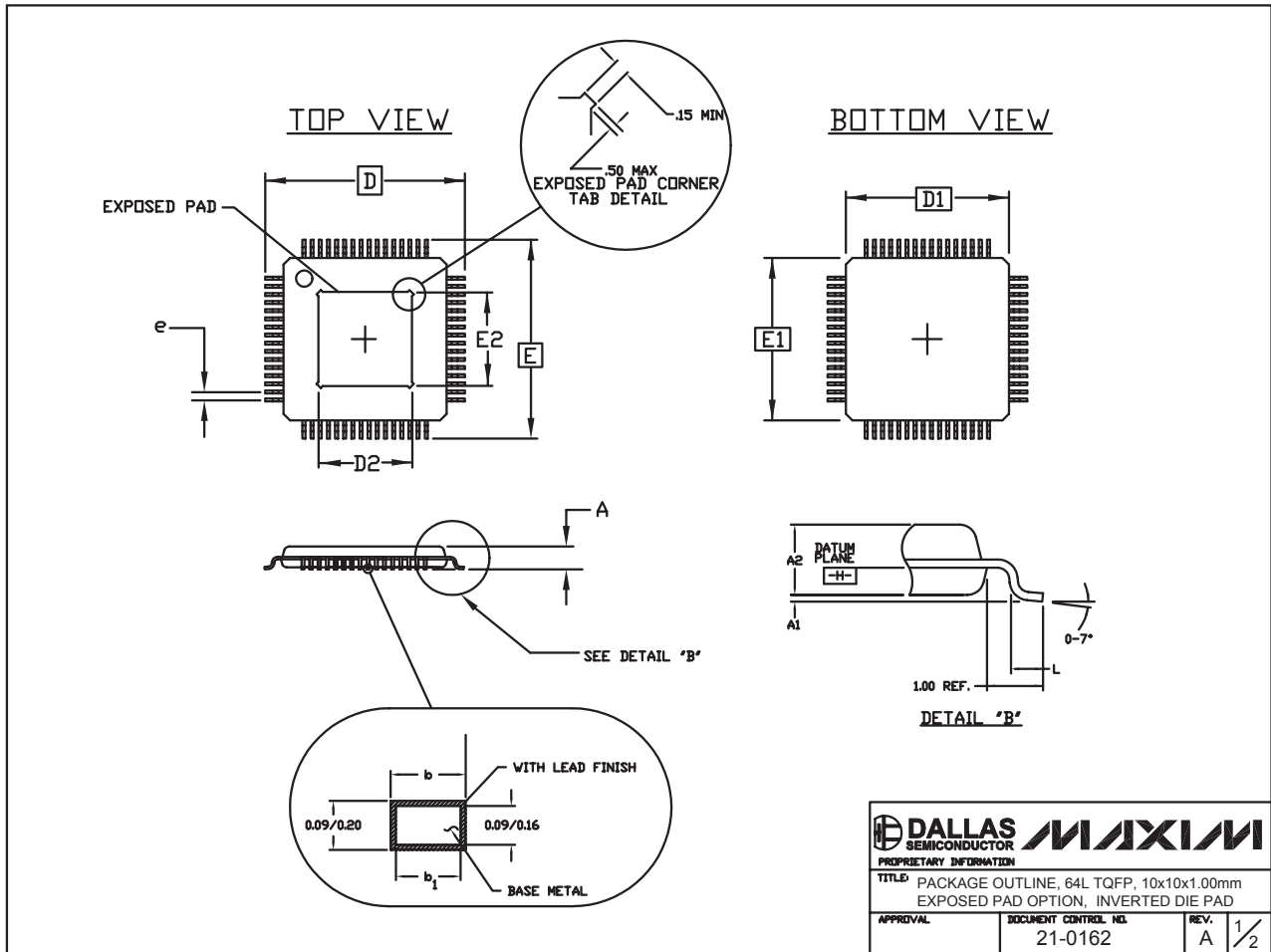
DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

64L TQFP:EPS

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



DAC内蔵、デュアル ドライバ/コンパレータ/ロード

MAX9973/MAX9974

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

NOTES:

1. ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE $\square-H$ IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY AS MUCH AS 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. CONTROLLING DIMENSION: MILLIMETER.
7. MEET JEDEC MS-026 EXCEPT FOR COPLANARITY (SEE NOTE 8).
8. LEADS SHALL BE COPLANAR WITHIN 0.10 MM.
9. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
10. REFER TO PRODUCT DATA SHEET FOR PACKAGE CODE.

SYMBOL	COMMON DIMENSIONS ALL DIMENSIONS IN MILLIMETERS	
	JEDEC VARIATION ACD	
	MIN.	MAX.
A	\sqrt{x}	1.20
A1	0.05	0.15
A2	0.95	1.05
D	12.00 BSC.	
D1	10.00 BSC.	
E	12.00 BSC.	
E1	10.00 BSC.	
L	0.45	0.75
N	64	
e	0.50 BSC.	
b	0.17	0.27
b1	0.17	0.23

EXPOSED PAD VARIATIONS						
PKG CODE	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
C64E-4R	4.7	5.0	5.3	4.7	5.0	5.3
C64E-9R	5.7	6.0	6.3	5.7	6.0	6.3

			
PROPRIETARY INFORMATION			
TITLE: PACKAGE OUTLINE, 64L TQFP, 10x10x1.00mm EXPOSED PAD OPTION, INVERTED DIE PAD			
APPROVAL	DOCUMENT CONTROL NO.	REV.	2/2
	21-0162	A	

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

26