

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

概要

デュアル、低消費電力、高速、ピンエレクトロニクスドライバ/コンパレータ/負荷(DCL)ICのMAX9967は、チャンネルごとに3レベルのピンドライバ、デュアルコンパレータ、可変クランプ、およびアクティブ負荷を内蔵しています。ドライバは、広い電圧範囲と高速動作が特長で、ハイインピーダンスおよびアクティブ終端(第3レベル駆動)モードを備え、低電圧振幅でも高直線性です。デュアルコンパレータは、様々な入力条件に対して小さいばらつき(タイミング変動)を示します。クランプは、デバイスがハイインピーダンスレシーバとして設定されている場合に被測定物(DUT)の高速波形を減衰させます。プログラム可能な負荷は、最大35mAのソース電流とシンク電流を供給します。この負荷は、ハイ出力インピーダンスデバイスの接触/導通試験、IOHとIOLの高速パラメータ試験、およびプルアップを容易にします。

MAX9967Aは、ドライバの利得とオフセット、およびコンパレータとアクティブ負荷のオフセットが緻密に整合されているため、コスト重視のシステムでは複数チャンネル間でリファレンスレベルを共有することができます。チャンネルごとに独立したリファレンスレベルを備えるシステム設計の場合は、MAX9967Bを使用してください。

MAX9967は、ECL、LVPECL、LVDS、およびGTLに互換性のある終端抵抗器をオプションとして内蔵した、高速、差動制御入力を備えています。コンパレータには、ECL/LVPECLまたはオプションのプルアップ抵抗器を内蔵したフレキシブルなオープンコレクタ出力が使用されます。これらの機能によって、基板上のディスクリート部品点数が大幅に削減されます。

3線式、低電圧、CMOS対応シリアルインタフェースは、MAX9967の低リーク、スルーレート制限、およびトライステート/終端動作構成を設定します。

MAX9967の動作範囲は-1.5V~+6.5Vで、消費電力はチャンネル当たりわずか1.15Wです。このデバイスは、14mm x 14mmボディ、0.5mmピッチの100ピンTQFPパッケージで提供されます。パッケージの上部に装着された8mm x 8mmのエクスポーズドダイパッドが放熱を効率化します。このデバイスは、+70°C~+100°Cの内部ダイ温度で動作が保証されており、ダイ温度モニタ出力を備えています。

アプリケーション

低コストミックスドシグナル/システムオンチップ ATE
 コモディティメモリATE
 PCIまたはVXIプログラム可能なデジタル機器

特長

- ◆ 低消費電力：1チャンネル当たり1.15W(typ)
- ◆ 高速：500Mbps(3V_{p-p}にて)
- ◆ プログラム可能な35mAアクティブ負荷電流
- ◆ 小さいタイミングのばらつき
- ◆ 広い動作範囲：-1.5V~+6.5V
- ◆ アクティブ終端(第3レベル駆動)
- ◆ 低リークモード：60nA
- ◆ クランプ内蔵
- ◆ 多数のロジックファミリと容易にインタフェース可能
- ◆ PMU接続部内蔵
- ◆ デジタルプログラマブルスルーレート
- ◆ 終端抵抗器内蔵
- ◆ 低利得で低オフセット誤差

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9967ADCCQ	0°C to +70°C	100 TQFP-EPR**
MAX9967AGCCQ*	0°C to +70°C	100 TQFP-EPR**
MAX9967ALCCQ	0°C to +70°C	100 TQFP-EPR**
MAX9967AMCCQ*	0°C to +70°C	100 TQFP-EPR**
MAX9967AQCCQ*	0°C to +70°C	100 TQFP-EPR**
MAX9967ARCCQ*	0°C to +70°C	100 TQFP-EPR**
MAX9967BDCCQ	0°C to +70°C	100 TQFP-EPR**
MAX9967BGCCQ	0°C to +70°C	100 TQFP-EPR**
MAX9967BLCCQ	0°C to +70°C	100 TQFP-EPR**
MAX9967BMCCQ	0°C to +70°C	100 TQFP-EPR**
MAX9967BQCCQ*	0°C to +70°C	100 TQFP-EPR**
MAX9967BRCCQ	0°C to +70°C	100 TQFP-EPR**

*開発中の製品。入手性についてはお問い合わせください。

**EPR = 上面エクスポーズドパッド

ピン配置と標準動作回路はデータシートの最後に記載されています。

選択ガイドはデータシートの最後に記載されています。

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

MAX9967

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +11.5V	DHV ₋ to DTV ₋	±10V
V _{EE} to GND	-7.0V to +0.3V	DLV ₋ to DTV ₋	±10V
V _{CC} - V _{EE}	-0.3V to +18V	CHV ₋ or CLV ₋ to DUT ₋	±10V
G _S to GND	±1V	CH ₋ , NCH ₋ , CL ₋ , NCL ₋ to GND (open collector)	-2.5V to +5V
DUT ₋ , LDH ₋ , LDL ₋ to GND	-2.5V to +7.5V	CH ₋ , NCH ₋ , CL ₋ , NCL ₋ to GND (open emitter)	..(V _{CCO} ₋ + 1.0V)
DATA ₋ , NDATA ₋ , RCV ₋ , NRCV ₋ , LDEN ₋ , NLDEN ₋ to GND	-2.5V to +5.0V	All Other Pins to GND(V _{EE} - 0.3V) to (V _{CC} + 0.3V)
DATA ₋ to NDATA ₋ , RCV ₋ to NRCV ₋ , LDEN ₋ to NLDEN ₋	±1.5V	Current Out of CH ₋ , NCH ₋ , CL ₋ , NCL ₋ (open emitter)+50mA
V _{CCO} ₋ to GND	-0.3V to +5V	DHV ₋ , DLV ₋ , DTV ₋ , CHV ₋ , CLV ₋ , CPHV ₋ , CPLV ₋ Current±10mA
CLK ₋ , DIN ₋ , CS ₋ , RST ₋ , TDATA ₋ , TRCV ₋ , TLDEN ₋ to GND	-1.0V to +5V	TEMP Current-0.5mA to +20mA
DHV ₋ , DLV ₋ , DTV ₋ , CHV ₋ , CLV ₋ , COM ₋ , FORCE ₋ , SENSE ₋ to GND	-2.5V to +7.5V	DUT ₋ Short Circuit to -1.5V to +6.5VContinuous
CPHV ₋ to GND	-2.5V to +8.5V	Power Dissipation (T _A = +70°C)	MAX9967 ₋ CCQ (derate 167mW/°C above +70°C)13.3W*
CPLV ₋ to GND	-3.5V to +7.5V	Storage Temperature Range-65°C to +150°C
DHV ₋ to DLV ₋	±10V	Junction Temperature+125°C
		Lead Temperature (soldering, 10s)+300°C

*Dissipation wattage values are based on still air with no heat sink. Actual maximum allowable power dissipation is a function of heat extraction technique and may be substantially higher.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +9.75V, V_{EE} = -5.25V, V_{CCO}₋ = +2.5V, SC1 = SC0 = 0, V_{CPHV}₋ = +7.2V, V_{CPLV}₋ = -2.2V, V_{LDH}₋ = V_{LDL}₋ = 0, V_{GS} = 0, T_J = +85°C, unless otherwise noted. All temperature coefficients are measured at T_J = +70°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Positive Supply	V _{CC}		9.5	9.75	10.5	V
Negative Supply	V _{EE}		-6.5	-5.25	-4.5	V
Positive Supply Current (Note 2)	I _{CC}	V _{LDH} ₋ = V _{LDL} ₋ = 0		120	155	mA
		V _{LDH} ₋ = V _{LDL} ₋ = 3.5V, load enabled, driver = high impedance		220	255	
Negative Supply Current (Note 2)	I _{EE}	V _{LDH} ₋ = V _{LDL} ₋ = 0		-220	-265	mA
		V _{LDH} ₋ = V _{LDL} ₋ = 3.5V, load enabled, driver = high impedance		-320	-365	
Power Dissipation	P _D	(Notes 2, 3)		2.3	2.9	W
DUT CHARACTERISTICS						
Operating Voltage Range	V _{DUT}	(Note 4)	-1.5		+6.5	V
Leakage Current in High-Impedance Mode	I _{DUT}	LLEAK = 0; 0 ≤ V _{DUT} ₋ ≤ 3V			±1.5	μA
		LLEAK = 0; V _{DUT} ₋ = -1.5V, +6.5V			±3	
Leakage Current in Low-Leakage Mode		LLEAK = 1; 0 ≤ V _{DUT} ₋ ≤ 3V, T _J < +90°C			±60	nA
		LLEAK = 1; V _{DUT} ₋ = -1.5V, +6.5V; T _J < +90°C			±110	
		LLEAK = 1; 0 ≤ V _{DUT} ₋ ≤ 3V, V _{LDL} ₋ = V _{LDH} ₋ = 3.5V; T _J < +90°C			±80	
		LLEAK = 1; V _{DUT} ₋ = -1.5V, +6.5V; V _{LDL} ₋ = V _{LDH} ₋ = 3.5V; T _J < +90°C			±160	

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -5.25V, VCCO_ = +2.5V, SC1 = SC0 = 0, VCPHV_ = +7.2V, VCPLV_ = -2.2V, VLDH_ = VLDL_ = 0, VGS = 0, TJ = +85°C, unless otherwise noted. All temperature coefficients are measured at TJ = +70°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Combined Capacitance	CDUT	Driver in term mode (DUT_ = DTV_)	4.0			pF
		Driver in high-impedance mode	8.0			
Low-Leakage Enable Time		(Notes 5, 6)	20			μs
Low-Leakage Disable Time		(Notes 6, 7)	20			μs
Low-Leakage Recovery		Time to return to the specified maximum leakage after a 3V, 4V/ns step at DUT_	4			μs
LEVEL PROGRAMMING INPUTS (DHV_, DLV_, DTV_, CHV_, CLV_, CPHV_, CPLV_, COM_, LDH_, LDL_)						
Input Bias Current	IBIAS		±25			μA
Settling time		To 0.1% of full-scale change (Note 7)	1			μs
DIFFERENTIAL CONTROL INPUTS (DATA_, NDATA_, RCV_, NRCV_, LDEN_, NLDEN_)						
Input High Voltage	VIH		-1.6	+3.5		V
Input Low Voltage	VIL		-2.0	+3.1		V
Differential Input Voltage	VDIFF		±0.15	±1.0		V
Input Bias Current		MAX9967_DCCQ, MAX9967_MCCQ	±25			μA
Input Termination Voltage	VTDATA_, VTRCV_, VTLDEN_	MAX9967_GCCQ, MAX9967_LCCQ, and MAX9967_QCCQ	-2.1	+3.5		V
Input Termination Resistor		MAX9967_GCCQ, MAX9967_LCCQ, and MAX9967_QCCQ, between signal and corresponding termination voltage input	48	52		Ω
SINGLE-ENDED CONTROL INPUTS (CS, SCLK, DIN, RST)						
Internal Threshold Reference	VTHRINT		1.05	1.25	1.45	V
Internal Reference Output Resistance	RO		20			kΩ
External Threshold Reference	VTHR		0.43	1.73		V
Input High Voltage	VIH		VTHR + 0.2	3.5		V
Input Low Voltage	VIL		-0.1	VTHR - 0.2		V
Input Bias Current	IB		±25			μA
SERIAL INTERFACE TIMING (Figure 6)						
SCLK Frequency	fSCLK		50			MHz
SCLK Pulse-Width High	tCH		8			ns
SCLK Pulse-Width Low	tCL		8			ns
CS Low to SCLK High Setup	tCSS0		3.5			ns
CS High to SCLK High Setup	tCSS1		3.5			ns

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +9.75V, V_{EE} = -5.25V, V_{CC0} = +2.5V, SC1 = SC0 = 0, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{LDH} = V_{LDL} = 0, V_{GS} = 0, T_J = +85°C, unless otherwise noted. All temperature coefficients are measured at T_J = +70°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
SCLK High to $\overline{\text{CS}}$ High Hold	t _{CSH1}		3.5			ns	
DIN to SCLK High Setup	t _{DS}		3.5			ns	
DIN to SCLK High Hold	t _{DH}		3.5			ns	
$\overline{\text{CS}}$ Pulse Width High	t _{CSWH}		20			ns	
TEMPERATURE MONITOR (TEMP)							
Nominal Voltage		T _J = +70°C, R _L ≥ 10MΩ		3.43		V	
Temperature Coefficient				+10		mV/°C	
Output Resistance				15		kΩ	
DRIVERS (Note 8)							
DC OUTPUT CHARACTERISTICS (R_L ≥ 10MΩ)							
D _{HV} _, D _{LV} _, D _{TV} _, Output Offset Voltage	V _{OS}	At DUT_ with V _{DHV} _, V _{DTV} _, V _{DLV} _ independently tested at +1.5V	MAX9967A		±15	mV	
			MAX9967B		±100		
D _{HV} _, D _{LV} _, D _{TV} _, Output Offset Temperature Coefficient				±65		μV/°C	
D _{HV} _, D _{LV} _, D _{TV} _, Gain	A _V	Measured with V _{DHV} _, V _{DLV} _, and V _{DTV} _ at 0 and 4.5V	MAX9967A (Note 9)	0.999	1.00	1.001	V/V
			MAX9967B	0.96		1.001	
D _{HV} _, D _{LV} _, D _{TV} _, Gain Temperature Coefficient				-35		ppm/°C	
Linearity Error		V _{DUT} = 1.5V, 3V (Note 10)			±5	mV	
		Full range (Notes 10, 11)			±15		
D _{HV} _ to D _{LV} _ Crosstalk		V _{DLV} _ = 0; V _{DHV} _ = 200mV, 6.5V			±2	mV	
D _{LV} _ to D _{HV} _ Crosstalk		V _{DHV} _ = 5V; V _{DLV} _ = -1.5V, +4.8V			±2	mV	
D _{TV} _ to D _{LV} _ and D _{HV} _ Crosstalk		V _{DHV} _ = 3V; V _{DLV} _ = 0; V _{DTV} _ = -1.5V, +6.5V			±2	mV	
D _{HV} _ to D _{TV} _ Crosstalk		V _{DTV} _ = 1.5V; V _{DLV} _ = 0; V _{DHV} _ = 1.6V, 3V			±3	mV	
D _{LV} _ to D _{TV} _ Crosstalk		V _{DTV} _ = 1.5V; V _{DHV} _ = 3V; V _{DLV} _ = 0, 1.4V			±3	mV	
D _{HV} _, D _{TV} _, D _{LV} _ DC Power-Supply Rejection Ratio	PSRR	(Note 12)	40			dB	
Maximum DC Drive Current	I _{DUT} _		±60		±120	mA	
DC Output Resistance	R _{DUT} _	I _{DUT} _ = ±30mA (Note 13)	49	50	51	Ω	
DC Output Resistance Variation	ΔR _{DUT} _	I _{DUT} _ = ±1mA to ±8mA		0.5		Ω	
		I _{DUT} _ = ±1mA to ±40mA		1	2.5		

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -5.25V, VCCO_ = +2.5V, SC1 = SC0 = 0, VCPHV_ = +7.2V, VCPVLV_ = -2.2V, VLDH_ = VLDL_ = 0, VGS = 0, TJ = +85°C, unless otherwise noted. All temperature coefficients are measured at TJ = +70°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Sense Resistance	RSENSE		7.50	10	13.75	kΩ	
Force Resistance	RFORCE		320	400	500	Ω	
Force Capacitance	CFORCE			2		pF	
DYNAMIC OUTPUT CHARACTERISTICS (ZL = 50Ω)							
Drive-Mode Overshoot		V _{DLV_} = 0, V _{DHV_} = 0.1V		30		mV	
		V _{DLV_} = 0, V _{DHV_} = 1V		40			
		V _{DLV_} = 0, V _{DHV_} = 3V		50			
Term-Mode Overshoot		(Note 14)		0		mV	
Settling Time to Within 25mV		3V step (Note 15)		10		ns	
Settling Time to Within 5mV		3V step (Note 15)		20		ns	
TIMING CHARACTERISTICS (ZL = 50Ω) (Note 16)							
Prop Delay, Data to Output	t _{PDD}			2.2		ns	
Prop Delay Match, t _{LH} vs. t _{HL}		3V _{P-P}		±50		ps	
Prop Delay Match, Drivers Within Package		(Note 17)		40		ps	
Prop Delay Temperature Coefficient				+3		ps/°C	
Prop Delay Change vs. Pulse Width		3V _{P-P} , 40MHz, 2.5ns to 22.5ns pulse width, relative to 12.5ns pulse width		±60		ps	
Prop Delay Change vs. Common-Mode Voltage		V _{DHV_} - V _{DLV_} = 1V, V _{DHV_} = 0 to 6V		85		ps	
Prop Delay, Drive to High Impedance	t _{PDDZ}	V _{DHV_} = 1.0V, V _{DLV_} = -1.0V, V _{DTV_} = 0		3.2		ns	
Prop Delay, High Impedance to Drive	t _{PDZD}	V _{DHV_} = 1.0V, V _{DLV_} = -1.0V, V _{DTV_} = 0		3.3		ns	
Prop Delay, Drive to Term	t _{PDDT}	V _{DHV_} = 3V, V _{DLV_} = 0, V _{DTV_} = 1.5V		2.5		ns	
Prop Delay, Term to Drive	t _{PDTD}	V _{DHV_} = 3V, V _{DLV_} = 0, V _{DTV_} = 1.5V		2.2		ns	
DYNAMIC PERFORMANCE (ZL = 50Ω)							
Rise and Fall Time	t _R , t _F	0.2V _{P-P} , 20% to 80%		370		ps	
		1V _{P-P} , 10% to 90%		630			
		3V _{P-P} , 10% to 90%		1.0	1.3	1.5	ns
		5V _{P-P} , 10% to 90%		2.0			
Rise and Fall Time Match	t _R vs. t _F	3V _{P-P} , 10% to 90%		±0.03		ns	
SC1 = 0, SC0 = 1 Slew Rate		Percent of full speed (SC0 = SC1 = 0), 3V _{P-P} , 20% to 80%		75		%	
SC1 = 1, SC0 = 0 Slew Rate		Percent of full speed (SC0 = SC1 = 0), 3V _{P-P} , 20% to 80%		50		%	
SC1 = 1, SC0 = 1 Slew Rate		Percent of full speed (SC0 = SC1 = 0), 3V _{P-P} , 20% to 80%		25		%	

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -5.25V$, $V_{CC0_} = +2.5V$, $SC1 = SC0 = 0$, $V_{CPHV_} = +7.2V$, $V_{CPLV_} = -2.2V$, $V_{LDH_} = V_{LDL_} = 0$, $V_{GS} = 0$, $T_J = +85^{\circ}C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +70^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum Pulse Width (Note 18)		0.2V _{P-P}		650		ps
		1V _{P-P}		1.0		ns
		3V _{P-P}		2.0		
		5V _{P-P}		2.9		
Data Rate (Note 19)		0.2V _{P-P}		1700		Mbps
		1V _{P-P}		1000		
		3V _{P-P}		500		
		5V _{P-P}		350		
Dynamic Crosstalk		(Note 20)		10		mV _{P-P}
Rise and Fall Time, Drive to Term	t _{DTR} , t _{DTF}	V _{DHV₋} = 3V, V _{DLV₋} = 0, V _{DTV₋} = 1.5V, 10% to 90%, Figure 1a (Note 21)		1.6		ns
Rise and Fall Time, Term to Drive	t _{TDR} , t _{TDF}	V _{DHV₋} = 3V, V _{DLV₋} = 0, V _{DTV₋} = 1.5V, 10% to 90%, Figure 1b (Note 21)		0.7		ns
COMPARATORS (Note 8)						
DC CHARACTERISTICS						
Input Voltage Range	V _{IN}	(Note 4)	-1.5		+6.5	V
Differential Input Voltage	V _{DIFF}		±8			V
Hysteresis	V _{HYST}			0		mV
Input Offset Voltage	V _{OS}	V _{DUT₋} = 1.5V	MAX9967A		±20	mV
			MAX9967B		±100	
Input Offset Voltage Temperature Coefficient				±50		μV/°C
Common-Mode Rejection Ratio (Note 22)	CMRR	V _{DUT₋} = 0, 3V	47	78		dB
		V _{DUT₋} = 0, 6.5V	54	78		
		V _{DUT₋} = -1.5V, +6.5V	44	61		
Linearity Error (Note 10)		V _{DUT₋} = 1.5V, 3V			±3	mV
		V _{DUT₋} = 6.5V			±5	
		V _{DUT₋} = -1.5V			±25	
V _{CC} Power-Supply Rejection Ratio (Note 12)	PSRR	V _{DUT₋} = -1.5V, +6.5V	57	80		dB
V _{EE} Power-Supply Rejection Ratio (Note 12)	PSRR	V _{DUT₋} = 0, 6.5V	44	64		dB
		V _{DUT₋} = -1.5V	33	60		
AC CHARACTERISTICS (Note 23)						
Minimum Pulse Width (Note 24)	t _{PW(MIN)}	MAX9967_DCCQ, MAX9967_GCCQ, MAX9967_LCCQ, MAX9967_RCCQ		0.7		ns
		MAX9967_MCCQ, MAX9967_QCCQ		0.85		
Prop Delay	t _{PDL}			2.2		ns
Prop Delay Temperature Coefficient				+6		ps/°C

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.75V, VEE = -5.25V, VCCO_ = +2.5V, SC1 = SC0 = 0, VCPHV_ = +7.2V, VCPLV_ = -2.2V, VL DH_ = VL DL_ = 0, VGS = 0, TJ = +85°C, unless otherwise noted. All temperature coefficients are measured at TJ = +70°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Prop Delay Match, High/Low vs. Low/High				±25		ps
Prop Delay Match, Comparators Within Package		(Note 17)		35		ps
Prop Delay Dispersion vs. Common-Mode Input (Note 25)		VCHV_ = VCLV_ = 0, 6.4V		±75		ps
		VCHV_ = VCLV_ = -1.4V		±175		
Prop Delay Dispersion vs. Overdrive		100mV to 1V		220		ps
Prop Delay Dispersion vs. Pulse Width		2.5ns to 22.5ns pulse width, relative to 12.5ns pulse width		±40		ps
Prop Delay Dispersion vs. Slew Rate		0.5V/ns to 2V/ns slew rate		100		ps
Waveform Tracking 10% to 90%		VDUT_ = 1.0VP-P, tR = tF = 1.0ns, 10% to 90% relative to timing at 50% point	Term mode	250		ps
			High-Z mode	500		
OPEN-COLLECTOR LOGIC OUTPUTS (CH_, NCH_, CL_, NCL_ : MAX9967_DCCQ, MAX9967_GCCQ, MAX9967_LCCQ, and MAX9967_RCCQ)						
VCCO_ Voltage Range	VVCCO_		0		3.5	V
Output Low-Voltage Compliance		Set by IOL, RTERM, and VCCO_		-0.5		V
Output High Current	IOH	MAX9967_DCCQ, MAX9967_GCCQ	-0.05	0	+0.10	mA
Output Low Current	IOL	MAX9967_DCCQ, MAX9967_GCCQ	7.6	8	8.4	mA
Output High Voltage	VOH	ICH_ = INCH_ = ICL_ = INCL_ = 0, MAX9967_LCCQ, MAX9967_RCCQ	VCCO_ - 0.05	VCCO_ - 0.005		V
Output Low Voltage	VOL	ICH_ = INCH_ = ICL_ = INCL_ = 0, MAX9967_LCCQ, MAX9967_RCCQ		VCCO_ - 0.4		V
Output Voltage Swing		ICH_ = INCH_ = ICL_ = INCL_ = 0, MAX9967_LCCQ, MAX9967_RCCQ	360	390	440	mV
Output Termination Resistor	RTERM	Single-ended measurement from VCCO_ to CH_, NCH_, CL_, NCL_, MAX9967_LCCQ, MAX9967_RCCQ	48		52	Ω
Differential Rise Time	tR	20% to 80%	MAX9967_DCCQ, MAX9967_GCCQ, RTERM = 50Ω at end of line	280		ps
			MAX9967_LCCQ, MAX9967_RCCQ			
Differential Fall Time	tF	20% to 80%	MAX9967_DCCQ, MAX9967_GCCQ, RTERM = 50Ω at end of line	280		ps
			MAX9967_LCCQ, MAX9967_RCCQ			
OPEN-EMITTER LOGIC OUTPUTS (CH_, NCH_, CL_, NCL_ : MAX9967_MCCQ and MAX9967_QCCQ)						
VCCO_ Voltage Range	VVCCO_		-0.1		+3.5	V
VCCO_ Supply Current	IvCCO_	All outputs 50Ω to (VVCCO_ - 2V)		165		mA

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -5.25V$, $V_{CCO_} = +2.5V$, $SC1 = SC0 = 0$, $V_{CPHV_} = +7.2V$, $V_{CPLV_} = -2.2V$, $V_{LDH_} = V_{LDL_} = 0$, $V_{GS} = 0$, $T_J = +85^{\circ}C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +70^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output High Voltage	V_{OH}	50Ω to $(V_{VCCO_} - 2V)$	$V_{CCO_} - 1.0$	$V_{CCO_} - 0.85$		V
Output Low Voltage	V_{OL}	50Ω to $(V_{VCCO_} - 2V)$		$V_{CCO_} - 1.7$	$V_{CCO_} - 1.6$	V
Output Voltage Swing		50Ω to $(V_{VCCO_} - 2V)$	800	850	900	mV
Differential Rise Time	t_R	20% to 80%		370		ps
Differential Fall Time	t_F	20% to 80%		370		ps
CLAMPS						
High Clamp Input Voltage Range	$V_{CPH_}$		-0.3		+7.5	V
Low Clamp Input Voltage Range	$V_{CPL_}$		-2.5		+5.3	V
Clamp Offset Voltage	V_{OS}	At $DUT_$ with $I_{DUT_} = 1mA$, $V_{CPHV_} = 0$			± 100	mV
		At $DUT_$ with $I_{DUT_} = -1mA$, $V_{CPLV_} = 0$			± 100	
Offset Voltage Temperature Coefficient				± 0.5		mV/ $^{\circ}C$
Clamp Power-Supply Rejection Ratio (Note 12)	PSRR	$I_{DUT_} = 1mA$, $V_{CPHV_} = 0$		54		dB
		$I_{DUT_} = -1mA$, $V_{CPLV_} = 0$		54		
Voltage Gain	A_V		0.96		1.00	V/V
Voltage Gain Temperature Coefficient				-100		ppm/ $^{\circ}C$
Clamp Linearity		$I_{DUT_} = 1mA$, $V_{CPLV_} = -1.5V$, $V_{CPHV_} = -0.3V$ to $+6.5V$		± 10		mV
		$I_{DUT_} = -1mA$, $V_{CPHV_} = 6.5V$, $V_{CPLV_} = -1.5V$ to $+5.3V$		± 10		
Short-Circuit Output Current	$I_{SCDUT_}$	$V_{CPHV_} = 0$, $V_{CPLV_} = -1.5V$, $V_{DUT_} = 6.5V$	50		95	mA
		$V_{CPHV_} = 6.5V$, $V_{CPLV_} = 5V$, $V_{DUT_} = -1.5V$	-95		-50	mA
Clamp DC Impedance	R_{OUT}	$V_{CPHV_} = 3V$, $V_{CPLV_} = 0$, $I_{DUT_} = \pm 5mA$ and $\pm 15mA$	50		55	Ω
ACTIVE LOAD ($V_{COM_} = +1.5V$, $R_L > 1M\Omega$, driver in high-impedance mode, unless otherwise noted)						
COM_ Voltage Range	$V_{COM_}$		-1.5		+5.7	V
Differential Voltage Range		$V_{DUT_} - V_{COM_}$	-7.2		+8.0	V
COM_ Offset Voltage	V_{OS}	$I_{SOURCE} = I_{SINK} = 20mA$	MAX9967A		± 15	mV
			MAX9967B		± 100	
Offset Voltage Temperature Coefficient				50		$\mu V/^{\circ}C$
COM_ Voltage Gain	A_V	$V_{COM_} = 0$, 4.5V, $I_{SOURCE} = I_{SINK} = 20mA$	0.98		1.00	V/V
Voltage Gain Temperature Coefficient				± 25		ppm/ $^{\circ}C$

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -5.25V$, $V_{CCO_} = +2.5V$, $SC1 = SC0 = 0$, $V_{CPHV_} = +7.2V$, $V_{CPLV_} = -2.2V$, $V_{LDH_} = V_{LDL_} = 0$, $V_{GS} = 0$, $T_J = +85^{\circ}C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +70^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
COM_ Linearity Error		$V_{COM_} = -1.5V, +5.7V$; $I_{SOURCE} = I_{SINK} = 20mA$ (Note 10)		± 3	± 15	mV
COM_ Output-Voltage Power-Supply Rejection Ratio	PSRR	$V_{COM_} = 2.5V$, $I_{SOURCE} = I_{SINK} = 20mA$	40			dB
Output Resistance, Sink or Source	R_o	$I_{SOURCE} = I_{SINK} = 35mA$; $V_{DUT_} = 3V, 6.5V$ with $V_{COM_} = -1.5V$ and $V_{DUT_} =$ $-1.5V, +2V$ with $V_{COM_} = 5.7V$	25			$k\Omega$
		$I_{SOURCE} = I_{SINK} = 1mA$; $V_{DUT_} = 3V, 6.5V$ with $V_{COM_} = -1.5V$ and $V_{DUT_} = -1.5V$, $+2V$ with $V_{COM_} = 5.7V$	500			$k\Omega$
Output Resistance, Linear Region	R_o	$I_{DUT_} = \pm 10mA$, $I_{SOURCE} = I_{SINK} = 35mA$, $V_{COM_} = 2.5V$		6		Ω
Deadband		$V_{COM_} = 2.5V$, 95% I_{SOURCE} to 95% I_{SINK}		400	700	mV
SOURCE CURRENT ($V_{DUT_} = 4.5V$)						
Maximum Source Current		$V_{LDL_} = 3.8V$	36		40	mA
Source Programming Gain	A_{TC}	$V_{LDL_} = 0.3V, 3V$; $V_{LDH} = 0.1V$	9.9	10	10.1	mA/V
Source Current Offset (Combined Offset of $LDL_$ and GS)	I_{OS}	$V_{LDL_} = 20mV$	MAX9967A (Note 9)	10	50	μA
			MAX9967B	0	200	
Source Current Temperature Coefficient		$I_{SOURCE} = 35mA$		-6		$\mu A/^{\circ}C$
Source Current Power-Supply Rejection Ratio	PSRR	$I_{SOURCE} = 25mA$			± 70	$\mu A/V$
		$I_{SOURCE} = 35mA$			± 84	
Source Current Linearity (Note 26)		$V_{LDL_} = 100mV, 1V, 2.5V$			± 60	μA
		$V_{LDL_} = 3.5V$			± 130	
SINK CURRENT ($V_{DUT_} = -1.5V$)						
Maximum Sink Current		$V_{LDH_} = 3.8V$	-40		-36	mA
Sink Programming Gain	A_{TC}	$V_{LDH_} = 0.3V, 3V$; $V_{LDL_} = 0.1V$	-10.1	-10	-9.9	mA/V
Sink Current Offset (Combined Offset of $LDH_$ and GS)	I_{OS}	$V_{LDH_} = 20mV$	MAX9967A (Note 9)	-50	-10	μA
			MAX9967B	-200	0	
Sink Current Temperature Coefficient		$I_{SINK} = 35mA$		+6		$\mu A/^{\circ}C$
Sink Current Power-Supply Rejection Ratio	PSRR	$I_{SINK} = 25mA$			± 70	$\mu A/V$
		$I_{SINK} = 35mA$			± 84	

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +9.75V, V_{EE} = -5.25V, V_{CCO} = +2.5V, SC1 = SC0 = 0, V_{CPHV} = +7.2V, V_{CPLV} = -2.2V, V_{LDH} = V_{LDL} = 0, V_{GS} = 0, T_J = +85°C, unless otherwise noted. All temperature coefficients are measured at T_J = +70°C to +100°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Sink Current Linearity (Note 26)		V _{LDH} = 100mV, 1V, 2.5V			±60	μA
		V _{LDH} = 3.5V			±130	
GROUND SENSE						
GS Voltage Range	V _{GS}	Verified by GS common-mode error test	±250			mV
GS Common-Mode Error		V _{DUT} = -1.5V, V _{GS} = ±250mV, V _{LDH} - V _{GS} = 0.1V			±25	μA
		V _{DUT} = +4.5V, V _{GS} = ±250mV, V _{LDL} - V _{GS} = 0.1V			±25	
GS Input Bias Current		V _{GS} = 0			±25	μA
AC CHARACTERISTICS (Z_L = 50Ω to GND)						
Enable Time (Note 27)	t _{EN}	I _{SOURCE} = 20mA, V _{COM} = -1.5V			2.2	ns
		I _{SINK} = 20mA, V _{COM} = +1.5V				
Disable Time (Note 27)	t _{DIS}	I _{SOURCE} = 20mA, V _{COM} = -1.5V			1.9	ns
		I _{SINK} = 20mA, V _{COM} = +1.5V				
Current Settling Time on Commutation		I _{SOURCE} = I _{SINK} = 1mA and 35mA (Notes 7, 28)	To 10%	10		ns
			To 1.5%	50		
Spike During Enable/Disable Transition		I _{SOURCE} = I _{SINK} = 35mA, V _{COM} = 0			100	mV

Note 1: All minimum and maximum limits are 100% production tested. Tests are performed at nominal supply voltages unless otherwise noted.

Note 2: Total for dual device at worst-case setting. R_L ≥ 10MΩ. The supply currents are measured with typical supply voltages.

Note 3: Does not include internal dissipation of the comparator outputs. With output loads of 50Ω to (V_{VCCO} - 2V), this adds 120mW (typ) to the total device power (MAX9967_MCCQ and MAX9967_QCCQ). For MAX9967_LCCQ, additional power dissipation is typically (32mA × V_{VCCO}).

Note 4: Externally forced voltages may exceed this range provided that the Absolute Maximum Ratings are not exceeded.

Note 5: Transition time from LLEAK being asserted to leakage current dropping below specified limits.

Note 6: Based on simulation results only.

Note 7: Transition time from LLEAK being deasserted to output returning to normal operating mode.

Note 8: With the exception of Offset and Gain/CMRR tests, reference input values are calibrated for offset and gain.

Note 9: Measured at V_{CC} = +9.75, V_{EE} = -5.25V, and T_J = +85°C.

Note 10: Relative to straight line between 0 and 4.5V.

Note 11: Specifications measured at the end points of the full range. Full ranges are -1.3V ≤ V_{DHV} ≤ 6.5V, -1.5V ≤ V_{DLV} ≤ 6.3V, -1.5V ≤ V_{DTV} ≤ 6.5V.

Note 12: Change in offset voltage with power supplies independently set to their minimum and maximum values.

Note 13: Nominal target value is 50Ω. Contact factory for alternate trim selections within the 45Ω to 51Ω range.

Note 14: V_{DTV} = +1.5V, R_S = 50Ω. External signal driven into T-line is a 0 to +3V edge with 1.2ns rise time (10% to 90%). Measurement is made using the comparator.

Note 15: Measured from the crossing point of DATA₊ inputs to the settling of the driver output.

Note 16: Prop delays are measured from the crossing point of the differential input signals to the 50% point of the expected output swing. Rise time of differential inputs DATA₊ and RCV₊ is 250ps (10% to 90%).

Note 17: Rising edge to rising edge or falling edge to falling edge.

Note 18: Specified amplitude is programmed. At this pulse width, the output reaches at least 95% of its nominal (DC) amplitude. The pulse width is measured at DATA₊.

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.75V$, $V_{EE} = -5.25V$, $V_{CC0_} = +2.5V$, $SC1 = SC0 = 0$, $V_{CPHV_} = +7.2V$, $V_{CPLV_} = -2.2V$, $V_{LDH_} = V_{LDL_} = 0$, $V_{GS} = 0$, $T_J = +85^{\circ}C$, unless otherwise noted. All temperature coefficients are measured at $T_J = +70^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.) (Note 1)

- Note 19:** Specified amplitude is programmed. Maximum data rate is specified in transitions per second. A square wave that reaches at least 95% of its programmed amplitude may be generated at one-half this frequency.
- Note 20:** Crosstalk from either driver to the other. Aggressor channel is driving 3V_{p-p} into a 50Ω load. Victim channel is in term mode with $V_{DTV_} = +1.5V$.
- Note 21:** Indicative of switching speed from DHV₋ or DLV₋ to DTV₋ and DTV₋ to DHV₋ or DLV₋ when $V_{DLV_} < V_{DTV_} < V_{DHV_}$. If $V_{DTV_} < V_{DLV_}$ or $V_{DTV_} > V_{DHV_}$, switching speed is degraded by approximately a factor of 3.
- Note 22:** Change in offset voltage over the input range.
- Note 23:** Unless otherwise noted, all propagation delays are measured at 40MHz, $V_{DUT_} = 0$ to $+2V$, $V_{CHV_} = V_{CLV_} = +1V$, slew rate = 2V/ns, $Z_S = 50\Omega$, driver in term mode with $V_{DTV_} = 0$. Comparator outputs are terminated with 50Ω to GND at scope input with $V_{CC0_} = 2V$. Open-collector outputs are also terminated (internally or externally) with $R_{TERM} = 50\Omega$ to $V_{CC0_}$. Measured from $V_{DUT_}$ crossing calibrated CHV₋/CLV₋ threshold to crossing point of differential outputs.
- Note 24:** $V_{DUT_} = 0$ to $+1V$, $V_{CHV_} = V_{CLV_} = +0.5V$. At this pulse width, the output reaches at least 90% of its DC voltage swing. The pulse width is measured at the crossing points of the differential outputs.
- Note 25:** Relative to propagation delay at $V_{CHV_} = V_{CLV_} = +1.5V$. $V_{DUT_} = 200mV_{p-p}$. Overdrive = 100mV.
- Note 26:** Relative to segmented interpolations between 20mV, 200mV, 2V, and 3V.
- Note 27:** Measured from the crossing point of LDEN₋ inputs to the 10% point of the output voltage change.
- Note 28:** $V_{COM_} = 1.5V$, $R_S = 50\Omega$, driving voltage = $+4V$ to $-1V$ transition and $-1V$ to $+4V$ transition. Settling time is measured from $V_{DUT_} = 1.5V$ to I_{SINK}/I_{SOURCE} settling within specified tolerance.

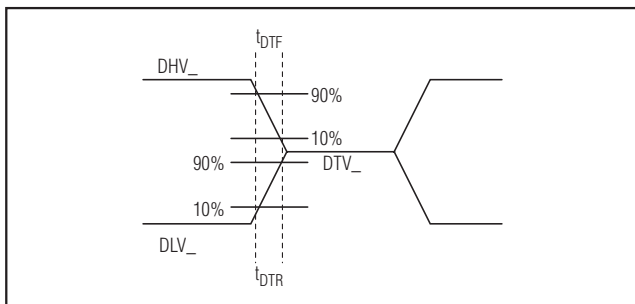


図1a. ドライバからターミネーションへの立上り/立下り時間

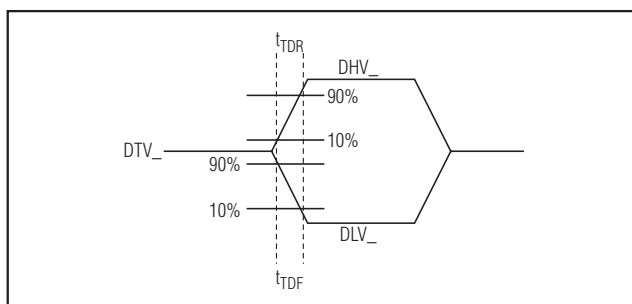
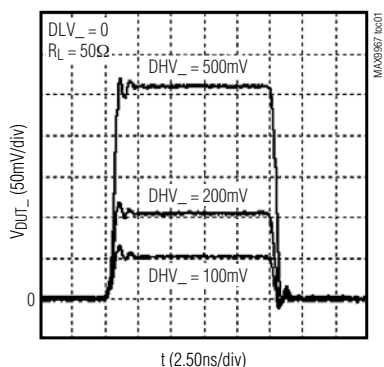


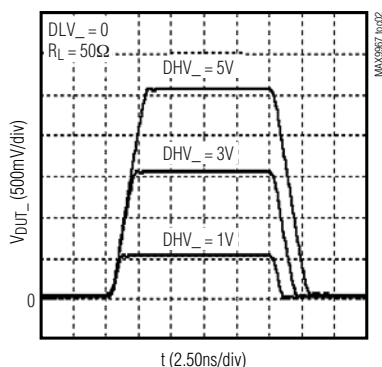
図1b. ターミネーションからドライバへの立上り/立下り時間

標準動作特性

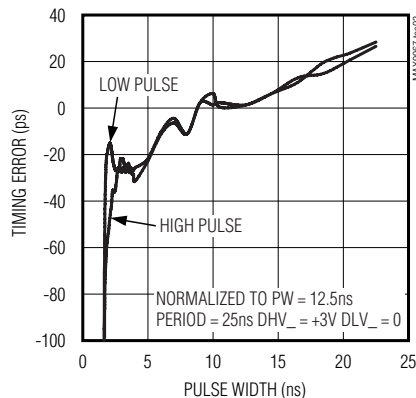
DRIVER SMALL-SIGNAL RESPONSE



DRIVER LARGE-SIGNAL RESPONSE



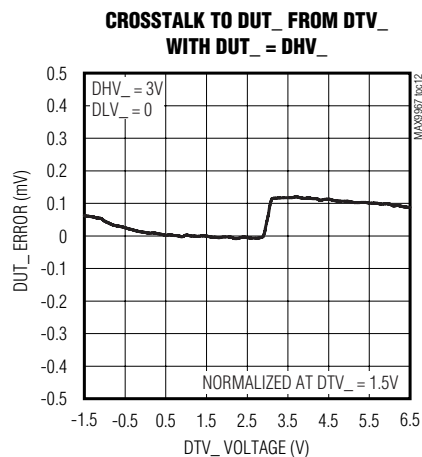
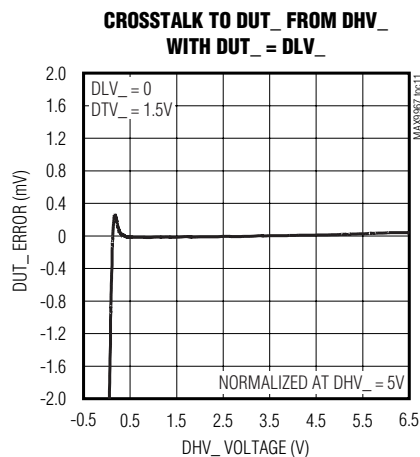
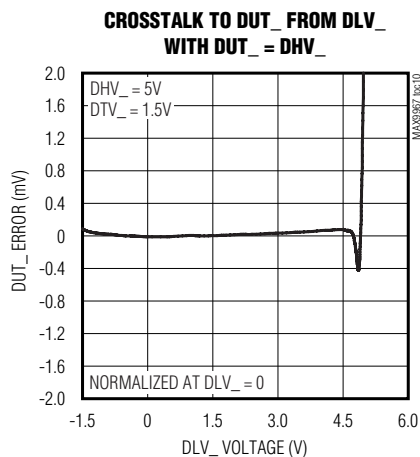
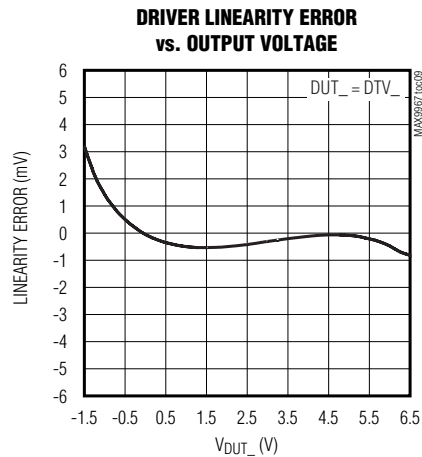
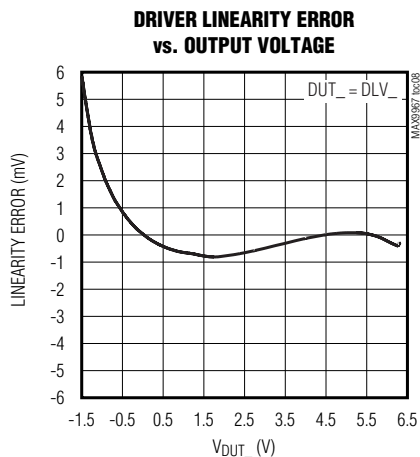
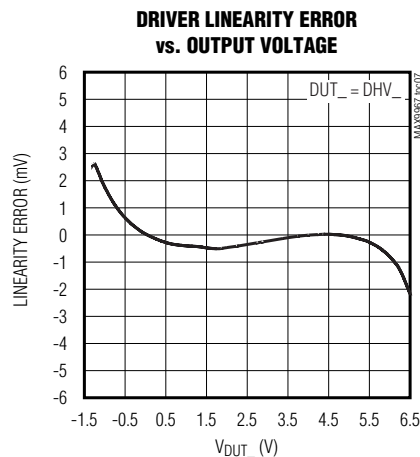
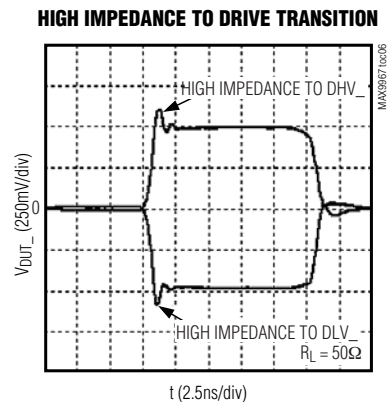
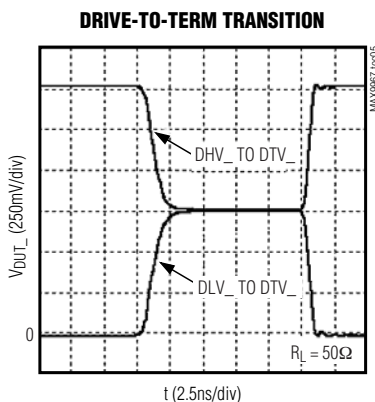
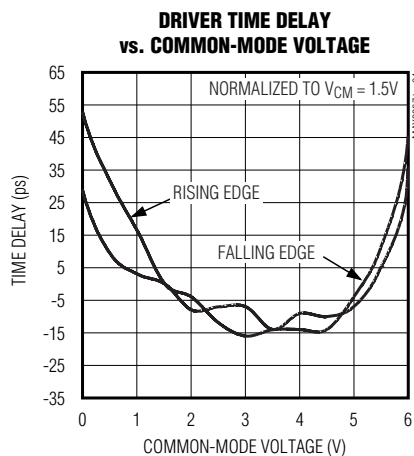
DRIVER TRAILING EDGE TIMING ERROR vs. PULSE WIDTH



35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

MAX9967

標準動作特性(続き)

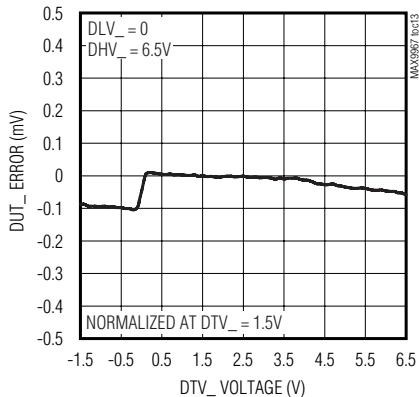


35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

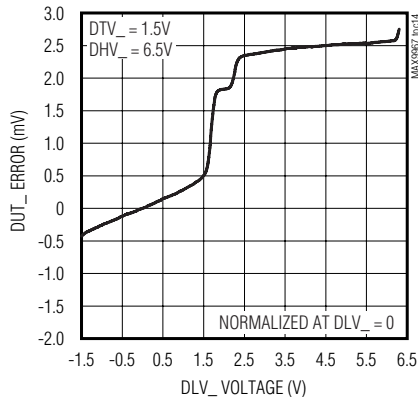
MAX9967

標準動作特性(続き)

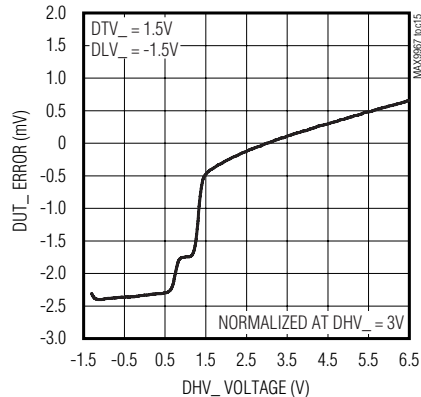
CROSSTALK TO DUT_ FROM DTV_ WITH DUT_ = DLV_



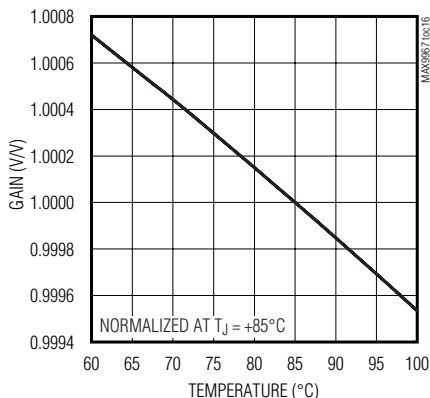
CROSSTALK TO DUT_ FROM DLV_ WITH DUT_ = DTV_



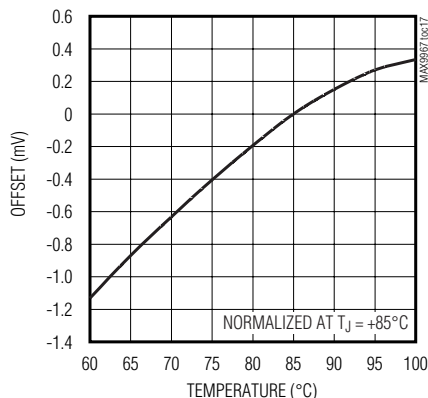
CROSSTALK TO DUT_ FROM DHV_ WITH DUT_ = DTV_



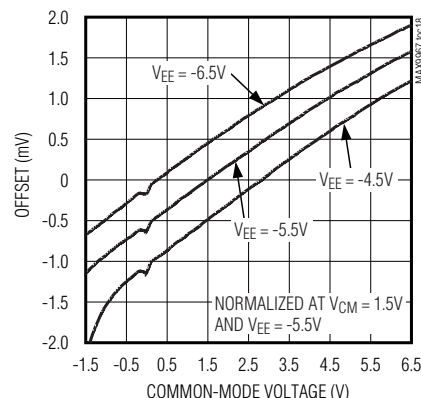
DRIVER GAIN vs. TEMPERATURE



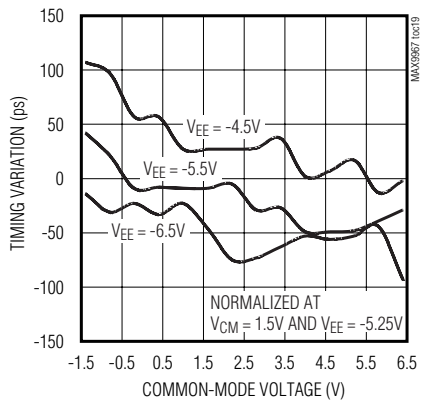
DRIVER OFFSET vs. TEMPERATURE



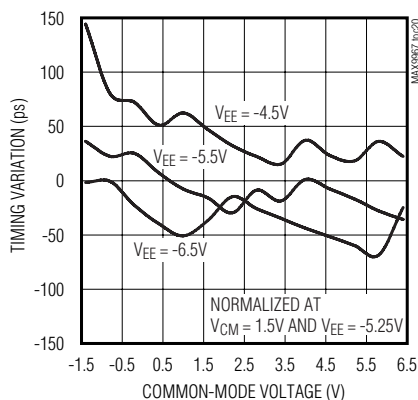
COMPARATOR OFFSET vs. COMMON-MODE VOLTAGE



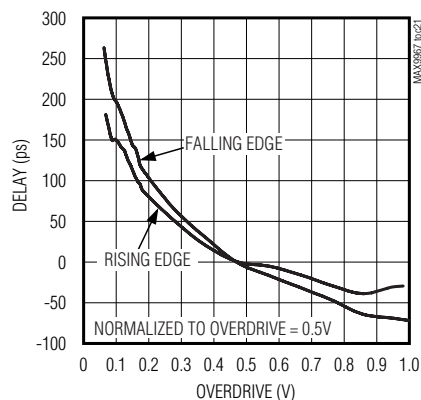
COMPARATOR RISING-EDGE TIMING VARIATION vs. COMMON-MODE VOLTAGE



COMPARATOR FALLING-EDGE TIMING VARIATION vs. COMMON-MODE VOLTAGE



COMPARATOR TIMING VARIATION vs. OVERDRIVE

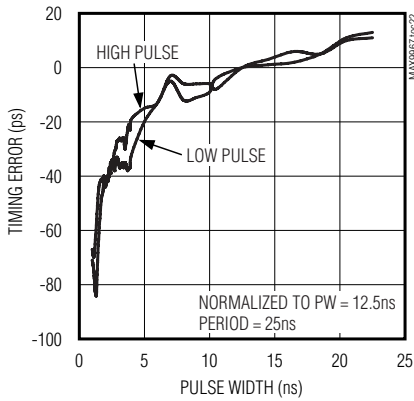


35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

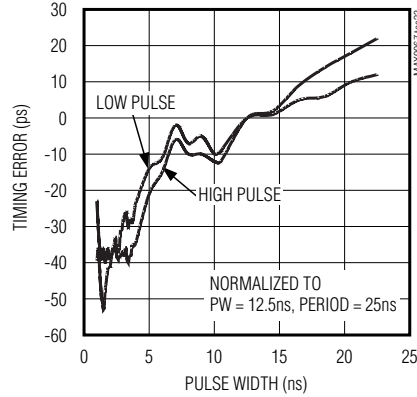
MAX9967

標準動作特性(続き)

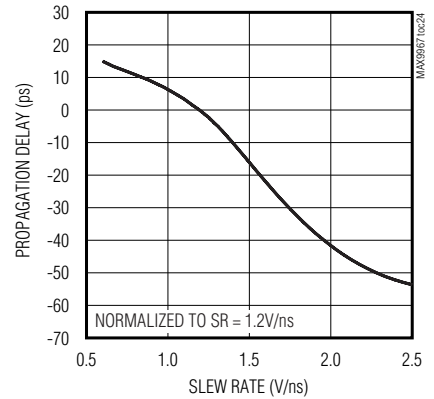
COMPARATOR TRAILING TIMING ERROR vs. PULSE WIDTH, MAX9967_LCCQ



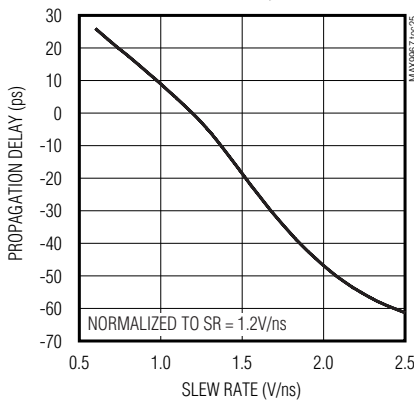
COMPARATOR TRAILING-EDGE TIMING ERROR vs. PULSE WIDTH, MAX9967_MCCQ



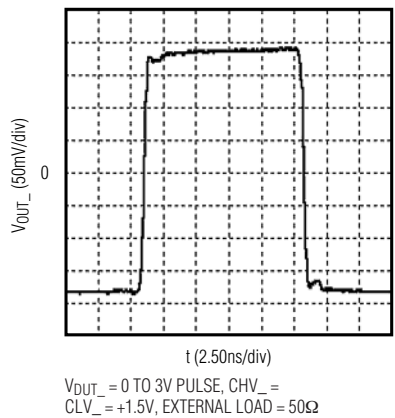
COMPARATOR TIMING VARIATION vs. INPUT SLEW RATE, DUT_ RISING



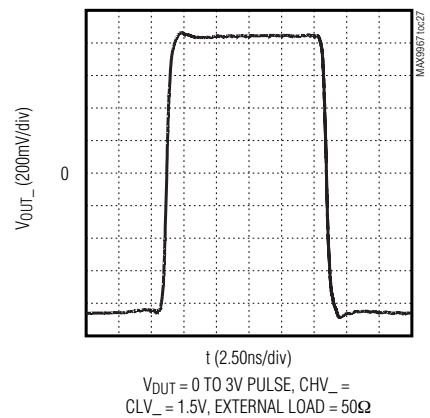
COMPARATOR TIMING VARIATION vs. INPUT SLEW RATE, DUT_ FALLING



COMPARATOR DIFFERENTIAL OUTPUT RESPONSE (MAX9967_LCCQ)



COMPARATOR DIFFERENTIAL OUTPUT RESPONSE (MAX9967_MCCQ)

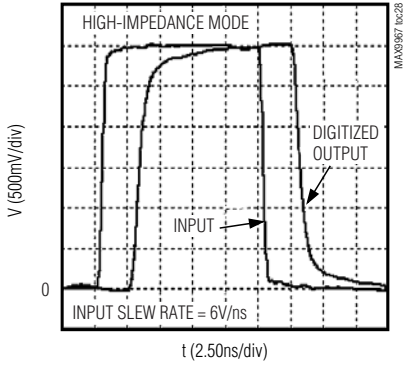


35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

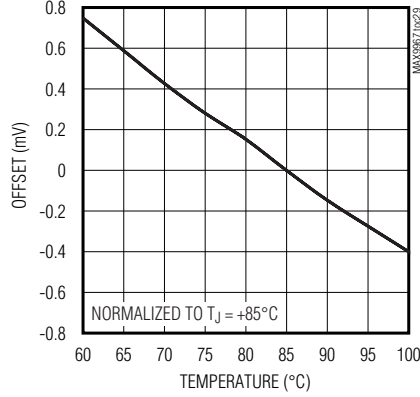
MAX9967

標準動作特性(続き)

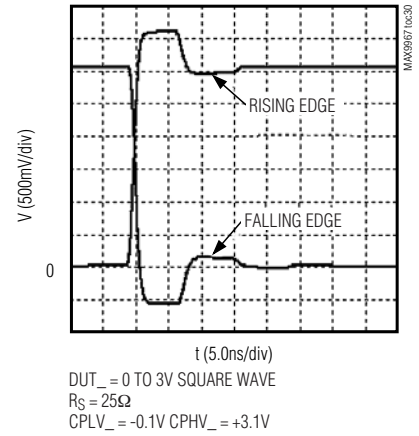
**COMPARATOR RESPONSE
HIGH SLEW-RATE OVERDRIVE**



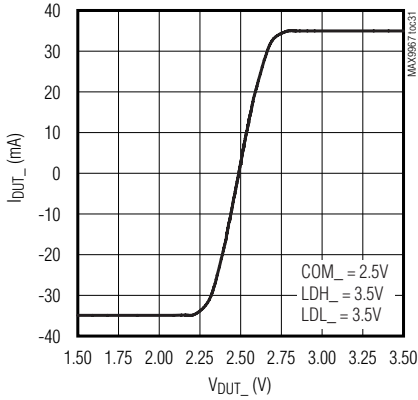
**COMPARATOR OFFSET
vs. TEMPERATURE**



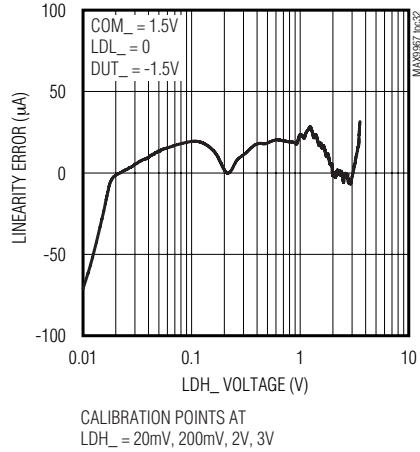
CLAMP RESPONSE



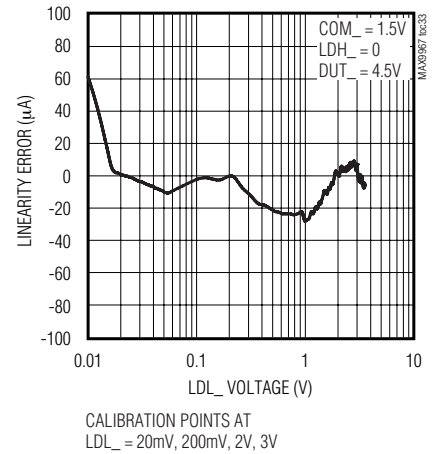
ACTIVE-LOAD VOLTAGE vs. CURRENT



**ACTIVE-LOAD LINEARITY ERROR I_{DUT-}
vs. LDH₋**



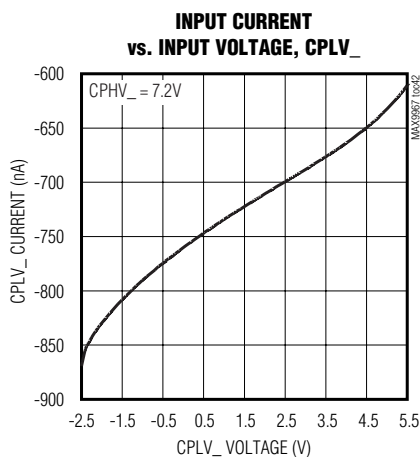
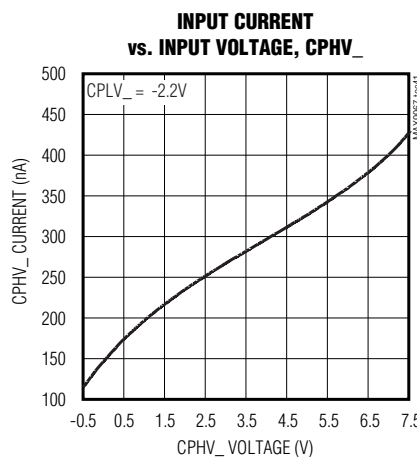
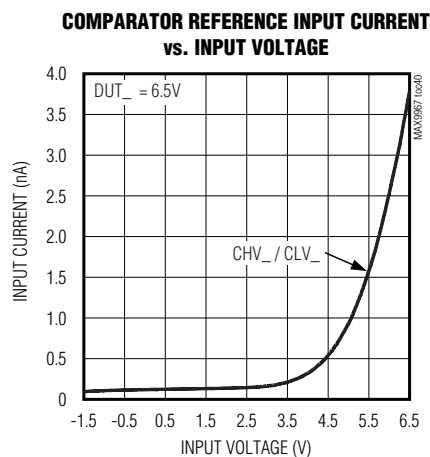
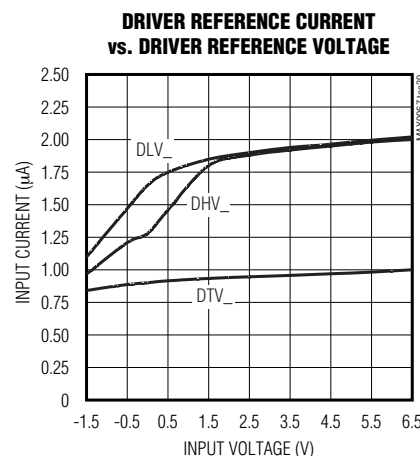
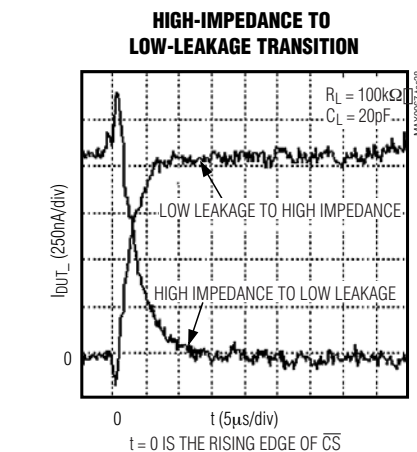
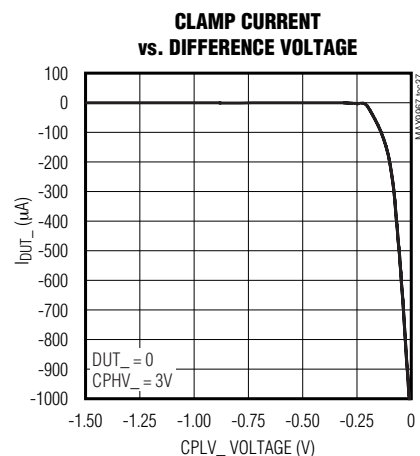
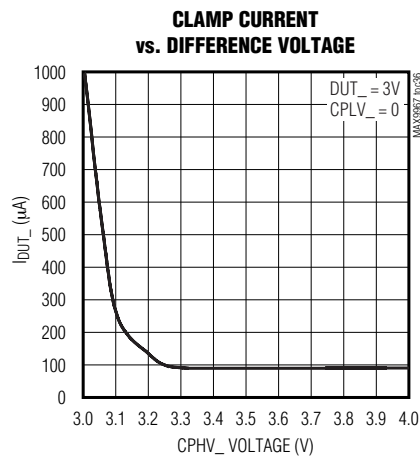
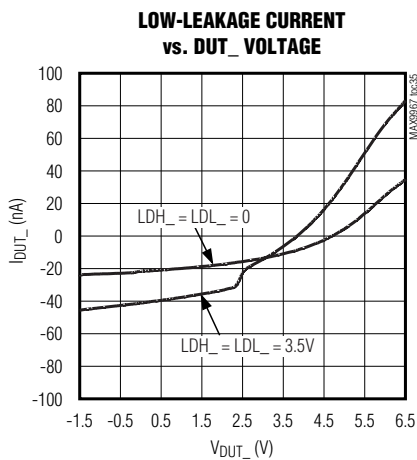
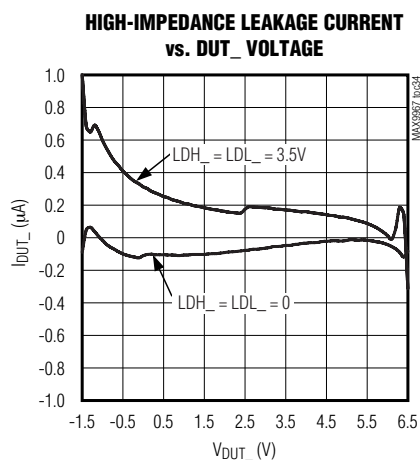
**ACTIVE-LOAD LINEARITY ERROR I_{DUT-}
vs. LDL₋**



35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

MAX9967

標準動作特性(続き)

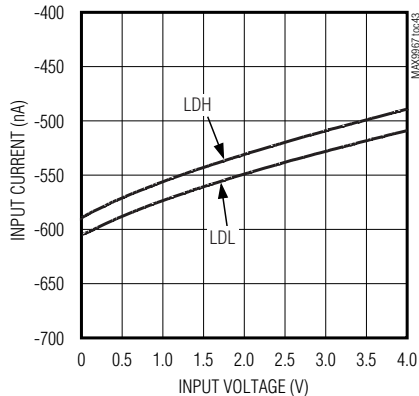


35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

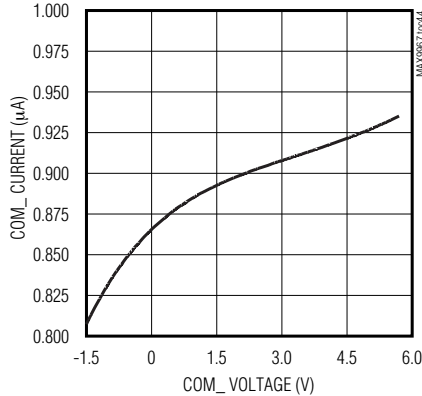
MAX9967

標準動作特性(続き)

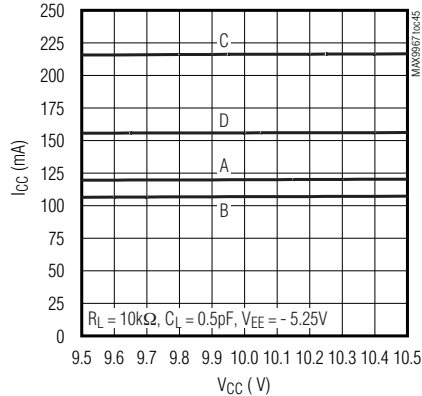
LOAD REFERENCES INPUT CURRENTS vs. INPUT VOLTAGE



INPUT CURRENTS vs. INPUT VOLTAGE, COM_



SUPPLY CURRENT, I_{CC} vs. V_{CC}



$R_L = 10k\Omega$, $C_L = 0.5pF$, $V_{EE} = -5.25V$

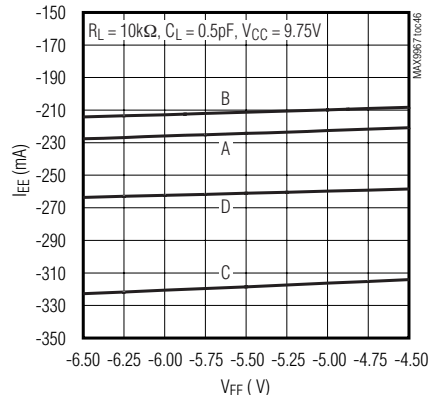
A: $DUT_+ = DTV_+ = 1.5V$, $DHV_+ = 3V$, $DLV_+ = 0$,
 $CHV_+ = CLV_+ = 0$, $CPHV_+ = 7.2V$, $CPLV_+ = -2.2V$,
 $LDH_+ = LDL_+ = 0$
 $I_{SOURCE} = I_{SINK} = 0$

B: SAME AS A EXCEPT DRIVER DISABLED HIGH-Z AND LOAD ENABLED

C: SAME AS B EXCEPT $I_{SOURCE} = I_{SINK} = 35mA$

D: SAME AS C EXCEPT LOW-LEAKAGE MODE ASSERTED

SUPPLY CURRENT, I_{EE} vs. V_{EE}



$R_L = 10k\Omega$, $C_L = 0.5pF$, $V_{CC} = 9.75V$

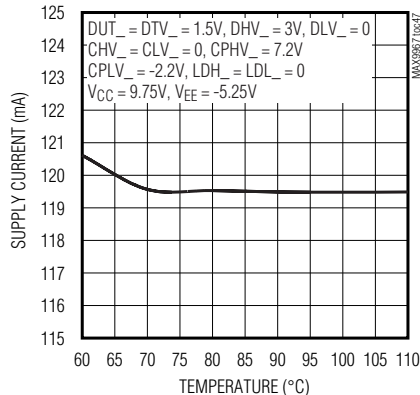
A: $DUT_+ = DTV_+ = 1.5V$, $DHV_+ = 3V$, $DLV_+ = 0$,
 $CHV_+ = CLV_+ = 0$, $CPHV_+ = 7.2V$, $CPLV_+ = -2.2V$,
 $LDH_+ = LDL_+ = 0$
 $I_{SOURCE} = I_{SINK} = 0$

B: SAME AS A EXCEPT DRIVER DISABLED HIGH-Z AND LOAD ENABLED

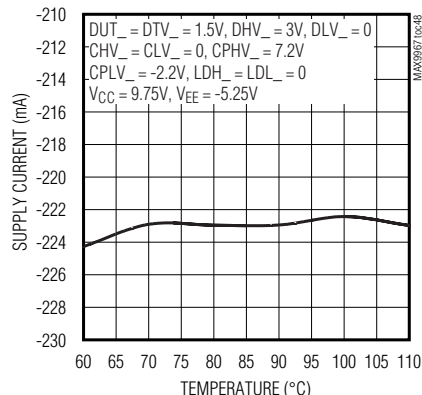
C: SAME AS B EXCEPT $I_{SOURCE} = I_{SINK} = 35mA$

D: SAME AS C EXCEPT LOW-LEAKAGE MODE ASSERTED

I_{CC} vs. TEMPERATURE



I_{EE} vs. TEMPERATURE



35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

端子説明

端子	名称	機能
1	TEMP	温度モニタ出力
2, 9, 12, 14, 17, 24, 35, 45, 46, 60, 80, 81, 91	VEE	負電源入力
3, 5, 10, 16, 21, 23, 25, 34, 43, 44, 82, 83, 92	GND	グランド接続部
4, 11, 15, 22, 33, 41, 42, 66, 84, 85, 93	VCC	正電源入力
6	FORCE1	外部PMUからのチャンネル1印加入力
7	DUT1	チャンネル1被測定物入力/出力。ドライバ、コンパレータ、クランプ、および負荷用の統合I/O。
8	SENSE1	外部PMUへのチャンネル1検出出力
13	GS	グランド検出。GSはLDH ₋ とLDL ₋ に対するグランドリファレンスです。
18	SENSE2	外部PMUへのチャンネル2検出出力
19	DUT2	チャンネル2被測定物入力/出力。ドライバ、コンパレータ、クランプ、および負荷用の統合I/O。
20	FORCE2	外部PMUからのチャンネル2印加入力
26	CLV2	チャンネル2ローコンパレータリファレンス入力
27	CHV2	チャンネル2ハイコンパレータリファレンス入力
28	DLV2	チャンネル2ドライバローリファレンス入力
29	DTV2	チャンネル2ドライバ終端リファレンス入力
30	DHV2	チャンネル2ドライバハイリファレンス入力
31	CPLV2	チャンネル2ロークランプリファレンス入力
32	CPHV2	チャンネル2ハイクランプリファレンス入力
36	NCH2	チャンネル2コンパレータハイ出力。チャンネル2ハイコンパレータの差動出力。
37	CH2	
38	VCCO2	チャンネル2コレクタ電圧入力。チャンネル2コンパレータ出力プルアップ抵抗器の電圧。オープンコレクタ出力の場合、これは内部終端抵抗器のプルアップ電圧です。オープンエミッタ出力の場合、これは出力トランジスタのコレクタ電圧です。内部終端抵抗器のないオープンコレクタバージョンでは内部で接続されていません。
39	NCL2	チャンネル2コンパレータロー出力。チャンネル2ローコンパレータの差動出力。
40	CL2	
47	COM2	チャンネル2アクティブ負荷整流電圧リファレンス入力
48	LDL2	チャンネル2アクティブ負荷ソース電流リファレンス入力
49	LDH2	チャンネル2アクティブ負荷シンク電流リファレンス入力
50, 76	N.C.	接続なし。接続しないでください。
51	TDATA2	チャンネル2データ終端電圧入力。DATA2およびNDATA2差動入力に対する終端電圧入力。内部終端抵抗器のないバージョンでは内部で接続されていません。
52	NDATA2	チャンネル2マルチプレクサ制御入力。差動制御DATA2とNDATA2は、DHV2またはDLV2からドライバ2の入力を選択します。DHV2を選択するためには、DATA2をNDATA2以上に駆動してください。DLV2を選択するためには、NDATA2をDATA2以上に駆動してください。
53	DATA2	

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

端子説明(続き)

端子	名称	機能
54	TRCV2	チャンネル2 RCV終端電圧入力。RCV2およびNRCV2差動入力用の終端電圧入力。内部終端抵抗器のないバージョンでは内部で接続されていません。
55	NRCV2	チャンネル2マルチプレクサ制御入力。差動制御RCV2とNRCV2は、チャンネル2を受信モードに入れます。チャンネル2を受信モードに入れるためには、RCV2をNRCV2以上に駆動してください。チャンネル2を駆動モードに入れるためには、NRCV2をRCV2以上に駆動してください。
56	RCV2	
57	TLDEN2	チャンネル2負荷イネーブル終端電圧入力。LDEN2およびNLDEN2差動入力用の終端電圧入力。内部終端抵抗器のないバージョンでは内部で接続されていません。
58	NLDEN2	チャンネル2マルチプレクサ制御入力。差動制御LDEN2とNLDEN2はアクティブ負荷をイネーブル/ディセーブルします。チャンネル2アクティブ負荷をイネーブルするためには、LDEN2をNLDEN2以上に駆動してください。チャンネル2アクティブ負荷をディセーブルするためには、NLDEN2をLDEN2以上に駆動してください。
59	LDEN2	
61	RST	リセット入力。シリアルレジスタの非同期リセット入力。RSTは、アクティブローで、低リークモードをアクティブにします。パワーアップ時には、V _{CC} とV _{EE} が安定化するまでRSTをローに保持してください。
62	CS	チップセレクト入力。シリアルポート駆動入力。CSはアクティブローです。
63	THR	シングルエンドロジックスレッショルド。スレッショルドを+1.25Vに設定するためには、THRを無接続のままにするか、またはTHRを所望のスレッショルドに強制してください。
64	SCLK	シリアルクロック入力。シリアルポート用クロック。
65	DIN	データ入力。シリアルポートデータ入力。
67	LDEN1	チャンネル1マルチプレクサ制御入力。差動制御LDEN1とNLDEN1はアクティブ負荷をイネーブル/ディセーブルします。チャンネル1アクティブ負荷をイネーブルするためには、LDEN1をNLDEN1以上に駆動してください。チャンネル1アクティブ負荷をディセーブルするためには、NLDEN1をLDEN1以上に駆動してください。
68	NLDEN1	
69	TLDEN1	チャンネル1負荷イネーブル終端電圧入力。LDEN1およびNLDEN1差動入力用の終端電圧入力。内部終端抵抗器のないバージョンでは内部で接続されていません。
70	RCV1	チャンネル1マルチプレクサ制御入力。差動制御RCV1とNRCV1は、チャンネル1を受信モードに入れます。チャンネル1を受信モードに入れるためには、RCV1をNRCV1以上に駆動してください。チャンネル1を駆動モードに入れるためには、NRCV1をRCV1以上に駆動してください。
71	NRCV1	
72	TRCV1	チャンネル1 RCV終端電圧入力。RCV1およびNRCV1差動入力用の終端電圧入力。内部終端抵抗器のないバージョンでは内部で接続されていません。
73	DATA1	チャンネル1マルチプレクサ制御入力。差動制御DATA1とNDATA1は、DHV1またはDLV1からドライバの入力を選択します。DHV1を選択するためには、DATA1をNDATA1以上に駆動してください。DLV1を選択するためには、NDATA1をDATA1以上に駆動してください。
74	NDATA1	
75	TDATA1	チャンネル1データ終端電圧入力。DATA1およびNDATA1差動入力に対する終端電圧入力。内部終端抵抗器のないバージョンでは内部で接続されていません。
77	LDH1	チャンネル1アクティブ負荷シンク電流リファレンス入力
78	LDL1	チャンネル1アクティブ負荷ソース電流リファレンス入力
79	COM1	チャンネル1アクティブ負荷整流電圧リファレンス入力
86	CL1	チャンネル1ローコンパレータ出力。チャンネル1ローコンパレータの差動出力。
87	NCL1	

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

MAX9967

端子説明(続き)

端子	名称	機能
88	VCC01	チャンネル1コレクタ電圧入力。チャンネル1コンパレータ出力プルアップ抵抗器の電圧。オープンコレクタ出力の場合、これは内部終端抵抗器のプルアップ電圧です。オープンエミッタ出力の場合、これは出力トランジスタのコレクタ電圧です。内部終端抵抗器のないオープンコレクタバージョンでは内部で接続されていません。
89	CH1	チャンネル1ハイコンパレータハイ出力。チャンネル1ハイサイドコンパレータの差動出力。
90	NCH1	
94	CPHV1	チャンネル1ハイクランプリファレンス入力
95	CPLV1	チャンネル1ロークランプリファレンス入力
96	DHV1	チャンネル1ドライバハイリファレンス入力
97	DTV1	チャンネル1ドライバ終端リファレンス入力
98	DLV1	チャンネル1ドライバローリファレンス入力
99	CHV1	チャンネル1ハイコンパレータリファレンス入力
100	CLV1	チャンネル1ローコンパレータリファレンス入力

詳細

デュアル、低消費電力、高速、ピンエレクトロニクス DCL ICのMAX9967は、チャンネルごとに3レベルのピンドライバ、デュアルコンパレータ、可変クランプ、およびアクティブ負荷を内蔵しています。ドライバは、-1.5V~+6.5Vの動作範囲と高速動作が特長で、ハイインピーダンスおよびアクティブ終端(第3レベル駆動)モードを備え、低電圧振幅でも高直線性です。デュアルコンパレータは、様々な入力条件に対して小さいばらつき(タイミング変動)を示します。クランプは、このデバイスがハイインピーダンスレシーバとして設定された場合にDUT_高速波形を減衰させます。プログラム可能な負荷は、最大35mAのソース電流とシンク電流を供給します。この負荷によって、ハイ出力インピーダンスデバイスの接触/導通試験、IOHとIOLの高速パラメータ試験、およびプルアップを容易にします。

MAX9967Aは、ドライバの利得とオフセット、およびコンパレータとアクティブ負荷のオフセットが厳密に整合されているため、コスト重視のシステムでは複数チャンネル間でリファレンスレベルを共有することができます。チャンネルごとに独立したリファレンスレベルを備えるシステム設計の場合は、MAX9967Bを使用してください。

高速入力ピンでオプションの内部抵抗器は、ECL、LVPECL、LVDS、およびGTLインタフェースと互換性

があります。終端電圧入力(TDATA_、TRCV_、TLDEN_)をECL、LVPECL、GTLあるいは他のロジックを終端するのに適した電圧に接続してください。100Ωの差動LVDS終端の場合は、入力を無接続のままにしてください。また、コンパレータには、ECL/LVPECLまたはオプションのプルアップ抵抗器を内蔵したフレキシブルなオープンコレクタ出力を使用することができます。これらの機能によって、基板上のディスクリット部品点数が大幅に削減されます。

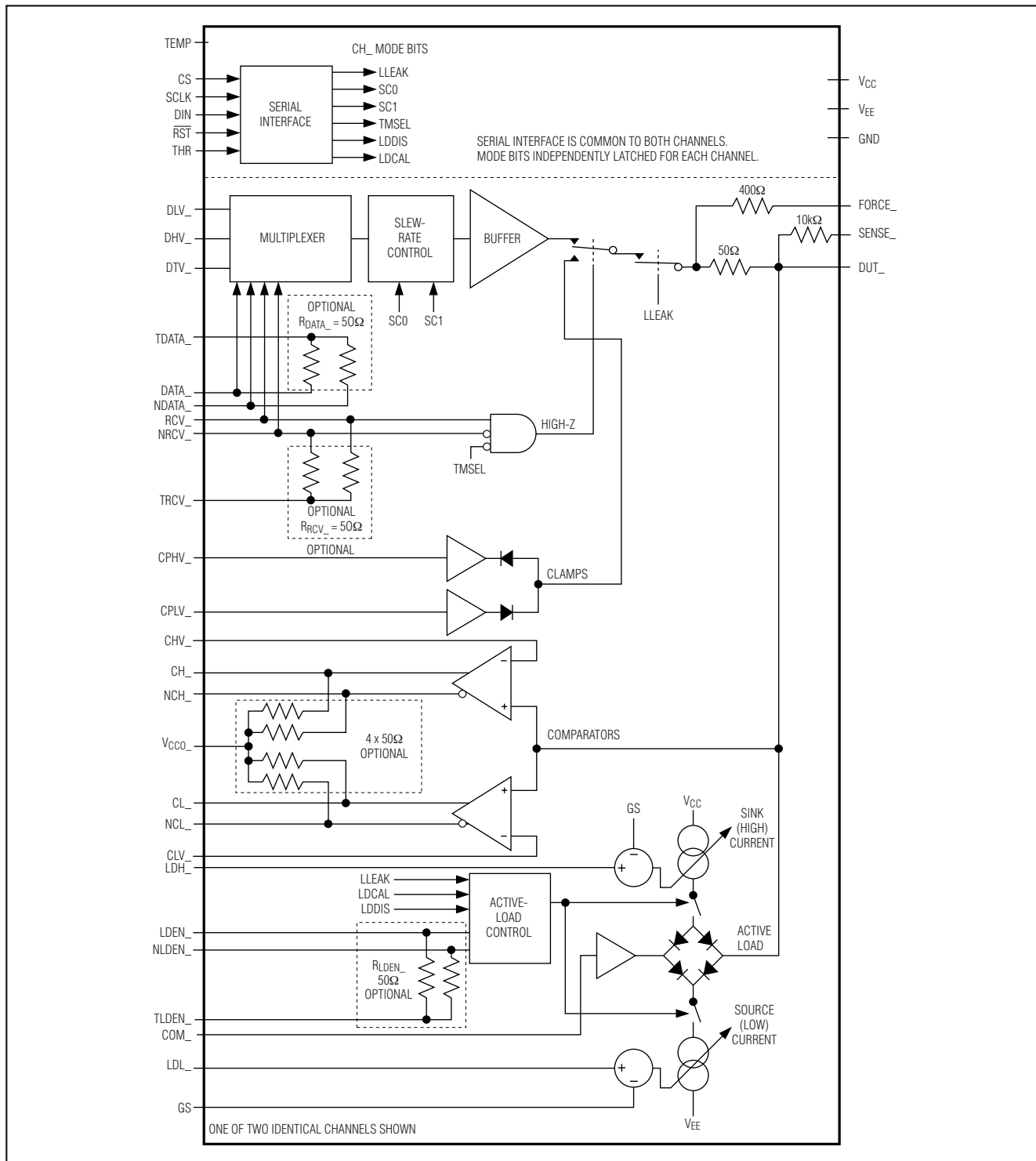
3線式、低電圧、CMOS対応シリアルインタフェースは、MAX9967の低リーク、負荷ディセーブル、スルーレート、およびトライステート/終端動作構成を設定します。

出力ドライバ

ドライバ入力は、3つの電圧入力DHV_、DLV_、またはDTV_の1つを選択する高速マルチプレクサです。このスイッチングは、高速入力DATA_とRCV_、およびモード制御ビットTMSELによって制御されます(表1)。スルーレート回路は、バッファ入力のスルーレートを制御します。表2にしたがって4つの可能なスルーレートの1つを選択してください。内蔵マルチプレクサの速度は、100%のドライバスルーレートを設定します(「標準動作特性」の「Driver Large-Signal Response」のグラフ参照)。

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

ファンクションダイアグラム



MAX9967

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

DUT₋は、バッファ出力とハイインピーダンスモードを高速でトグルすることが可能で、また低リークモードに入れることもできます(図2、表1)。ハイインピーダンスモードでは、クランプが接続されます。高速入力RCV₋およびモード制御ビットのTMSELとLLEAKは、スイッチングを制御します。ハイインピーダンスモードでは、DUT₋のバイアス電流が0V~3Vの範囲で1.5μA未満で、この間ノードは高速信号を追跡し続けることができます。低リークモードでは、DUT₋のバイアス電流がさらに50nA未満に減少し、信号の追跡が遅くなります。詳しくは、「低リークモード、LLEAK」の項をご覧ください。

通常のドライバ出力抵抗は50Ωです。45Ω~51Ωの範囲内の異なる抵抗値については、お問い合わせください。

クランプ

チャンネルをハイインピーダンスレシーバとして設定するとき、電圧クランプ(ハイとロー)を設定してDUT₋の電圧を制限し反射を抑制してください。クランプは、大電流バッファの出力に接続されたダイオードとして動作します。内部回路は、1mAのクランプ電流におけるダイオード電圧降下を補償します。CPHV₋とCPLV₋を外部に接続してクランプ電圧を設定してください。クランプは、ドライバがハイインピーダンスモードにあるときのみイネーブルされます(図2)。トランジエントを抑制するために、クランプ電圧を予想されるおよその最小と最大のDUT₋電圧範囲に設定してください。最適

なクランプ電圧は、アプリケーションによって異なり、経験的に決定する必要があります。クランプが必要でなければ、クランプ電圧を予想されるDUT₋電圧範囲よりも0.7V以上外に設定してください。その場合、過電圧保護はDUT₋に負荷をかけずにアクティブ状態を保ちます。

コンパレータ

MAX9967は、各チャンネルに対して2つの独立した高速コンパレータを備えています。各コンパレータには、DUT₋に内部で接続された1つの入力、およびCHV₋またはCLV₋のいずれかに接続されたもう1つの入力があります(「ファンクションダイアグラム」参照)。コンパレータ出力は、表3に示すように、入力条件の論理演算結果です。

様々なロジックファミリとのインタフェースを容易にするために、コンパレータ差動出力として3つの構成が用意されています。オープンコレクタ構成は、8mA電流源を2出力間で切り替えます。V_{CC0}に接続された内部終端抵抗器の有無にかかわらず、この構成を利用することができます(図3)。内部終端のないオープンコレクタバージョンの場合は、V_{CC0}を無接続のままとし、必要な抵抗器を外付けしてください。これらの抵抗器は、出力トレース受信端のプルアップ電圧に対して50Ω(typ)です。絶対最大定格を超えない場合は、上記に代る構成を利用することもできます。内部で終端されたオープンコレクタバージョンの場合は、V_{CC0}を所望のV_{OH}電圧に接続してください。

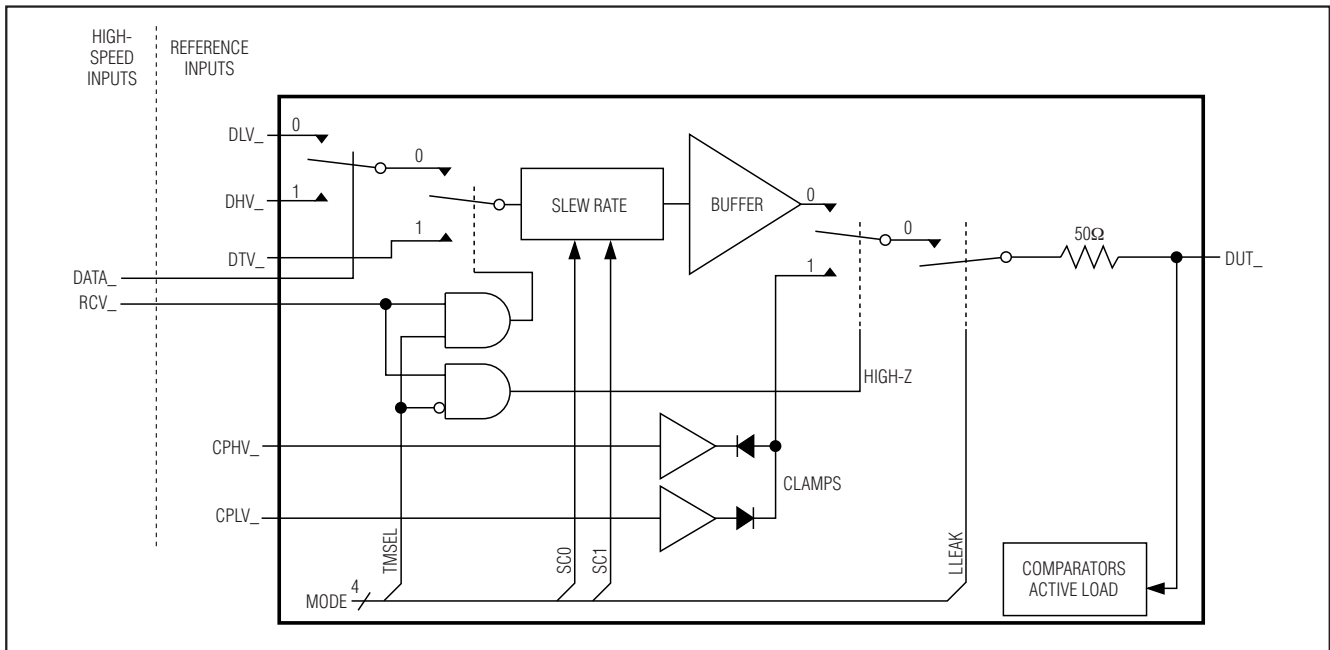


図2. 簡略化ドライバチャンネル

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

表1. ドライバロジック

EXTERNAL CONNECTIONS		INTERNAL CONTROL REGISTER		DRIVER OUTPUT
DATA_	RCV_	TMSEL	LLEAK	
1	0	X	0	Drive to DHV_
0	0	X	0	Drive to DLV_
X	1	1	0	Drive to DTV_ (term mode)
X	1	0	0	High-impedance (high-z) mode
X	X	X	1	Low-leakage mode

表2. スルーレートロジック

SC1	SC0	DRIVER SLEW RATE (%)
0	0	100
0	1	75
1	0	50
1	1	25

各出力は、公称振幅が400mV_{p-p}で、ソース終端が50Ωです。

オープンエミッタ構成も用意されています(図4)。外部コレクタ電圧をV_{CC0}に接続し、プルダウン抵抗器を外付けしてください。これらの抵抗器は、出力トレース受信端のV_{CC0} - 2Vに対して50Ω(typ)です。絶対最大定格を超えない場合は、上記に代る構成を利用することもできます。

アクティブ負荷

アクティブ負荷は、直線的に設定可能なソースおよびシンク電流源、整流バッファ、およびダイオードブリッジで構成されます(「ファンクションダイアグラム」参照)。アナログリファレンス入力のLDH₋とLDL₋は、それぞれシンク電流とソース電流を0mA~35mAの範囲内に設定します。アナログリファレンス入力COM₋は、整流バッファ出力電圧を設定します。ソースとシンクという命名法は被測定物を基準としています。すなわち、MAX9967から流れ出す電流がシンク電流となり、MAX9967に流れ込む電流がソース電流となります。

V_{DUT} > V_{COM} のとき、設定されたソース(ロー)電流は被測定物を負荷とします。V_{DUT} < V_{COM} のとき、設定されたシンク(ハイ)電流は被測定物に負荷します。

GS入力によって、MAX5631やMAX5734などの単一レベル設定DACは、MAX9967のアクティブ負荷、ドライバ、コンパレータ、およびクランプを設定することができます。すべてのDACレベルは、通常、V_{GS}によって補正されますが、MAX9967のグランド検出

入力はこのオフセットをアクティブ負荷電流に対してゼロにします。GSをDACに使用されるグランドリファレンスに接続してください。(V_{LDL} - V_{GS})は、+10mA/Vによってソース電流を設定します。(V_{LDH} - V_{GS})は、-10mA/Vによってシンク電流を設定します。

高速差動入力LDEN₋、および制御ワードの3ビット(LDCAL、LDDIS、およびLLEAK)は、負荷を制御します(表4)。負荷がイネーブルされると、内部のソースおよびシンク電流源はダイオードブリッジに接続されます。負荷がディセーブルされると、内部の電流源はグランドに短絡され、ブリッジの上部と下部はフローティング状態になります(「ファンクションダイアグラム」参照)。LLEAKは負荷を低リークモードに入れます。LLEAKはLDEN₋、LDDIS、およびLDCALに優先します。詳しくは、「低リークモード、LLEAK」の項をご覧ください。

LDDISとLDCAL

一部のあるテスト構成では、負荷のイネーブルがドライバハイインピーダンス信号(RCV₋)の補数によって駆動されるため、ドライバをディセーブルすると負荷がイネーブルされ、ドライバをイネーブルすると負荷がディセーブルされます。LDDIS信号とLDCAL信号は、LDEN₋の状態とは無関係に負荷をディセーブルおよびイネーブルします。これによって、診断を行うためには負荷とドライバを同時にイネーブルおよびディセーブルすることができます(表4)。

低リークモード、LLEAK

シリアルポートを経由して、またはRSTによってLLEAKをアサートすると、MAX9967は超低リーク状態になります(「ELECTRICAL CHARACTERISTICS(電気的特性)」参照)。コンパレータは最高速度で動作しますが、ドライバ、クランプ、およびアクティブ負荷はディセーブルされます。このモードは、IDDQおよびPMU測定を出力遮断リレーなしで行うため便利です。LLEAKは、チャンネルごとに個別にプログラムされます。

LLEAKがアサートされている間にDUT₋が高速信号で駆動されると、リーク電流は通常動作に対して規定された制限値を超えて瞬間的に増加します。「ELECTRICAL CHARACTERISTICS(電気的特性)」の表の低リーク回復仕様は、この状況におけるデバイスの動作を表わします。

表3. コンパレータのロジック

DUT ₋ > CHV ₋	DUT ₋ > CLV ₋	CH ₋	CL ₋
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

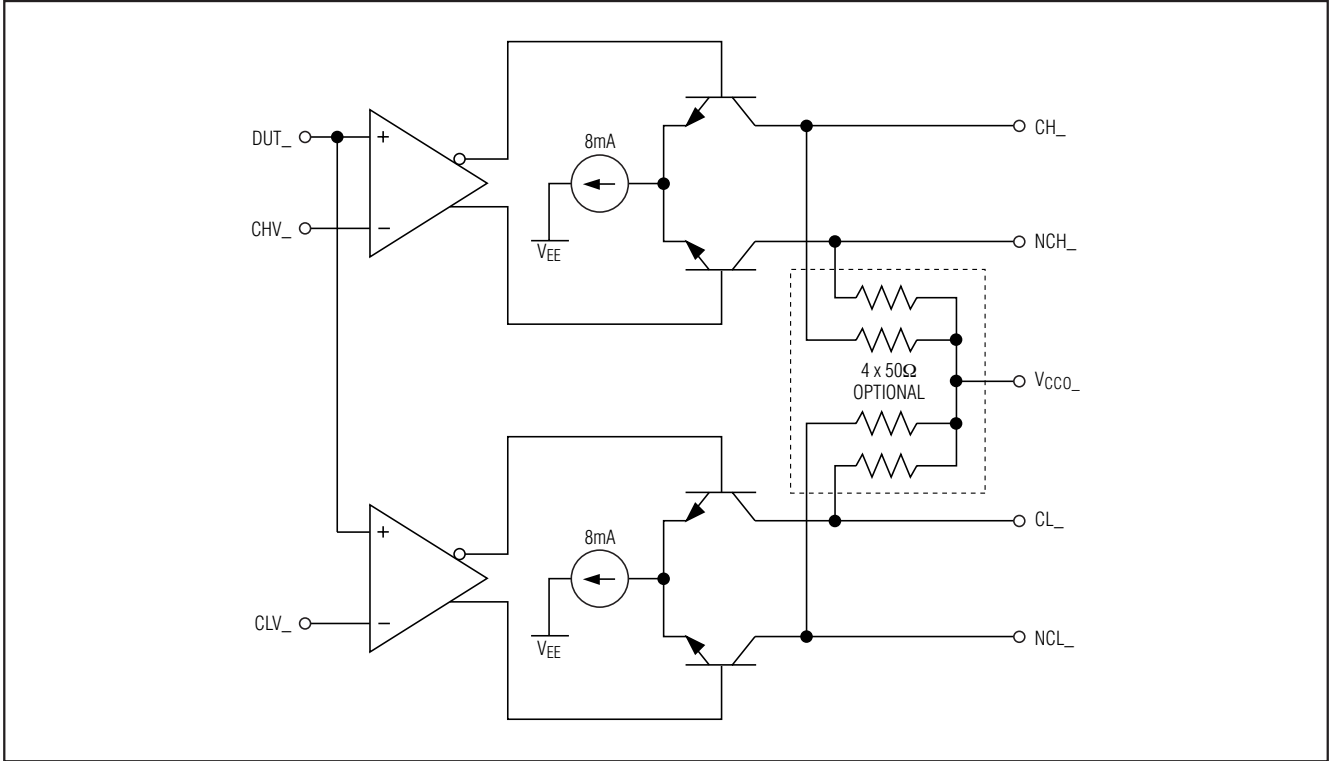


図3. オープンコレクタコンパレータ出力

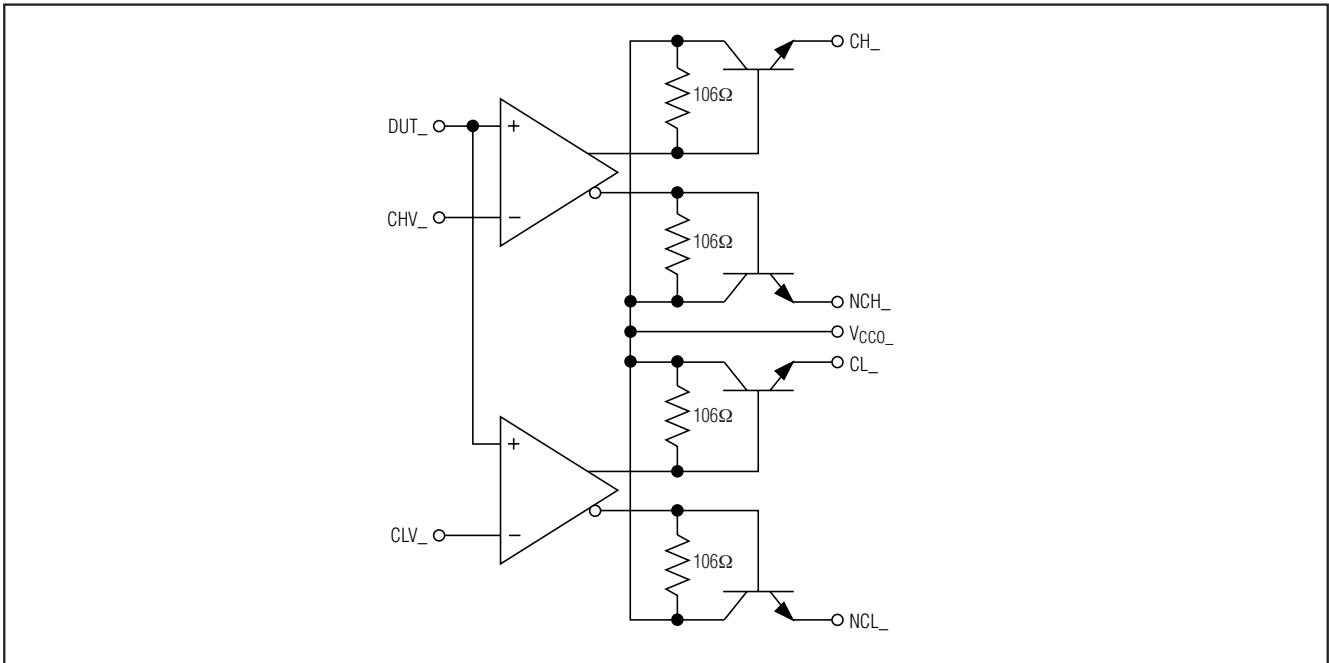


図4. オープンエミッタコンパレータ出力

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

表4. アクティブ負荷のプログラミング

EXTERNAL CONNECTIONS	INTERNAL CONTROL REGISTER			MODE
	LDCAL	LDDIS	LLEAK	
LDEN_ = 0	0	0	0	Normal operating mode, load disabled
LDEN_ = 1	0	0	0	Normal operating mode, load enabled
LDEN_ = X	1	0	0	Load enabled for diagnostics
LDEN_ = X	X	1	0	Load disabled
LDEN_ = X	X	X	1	Low-leakage mode

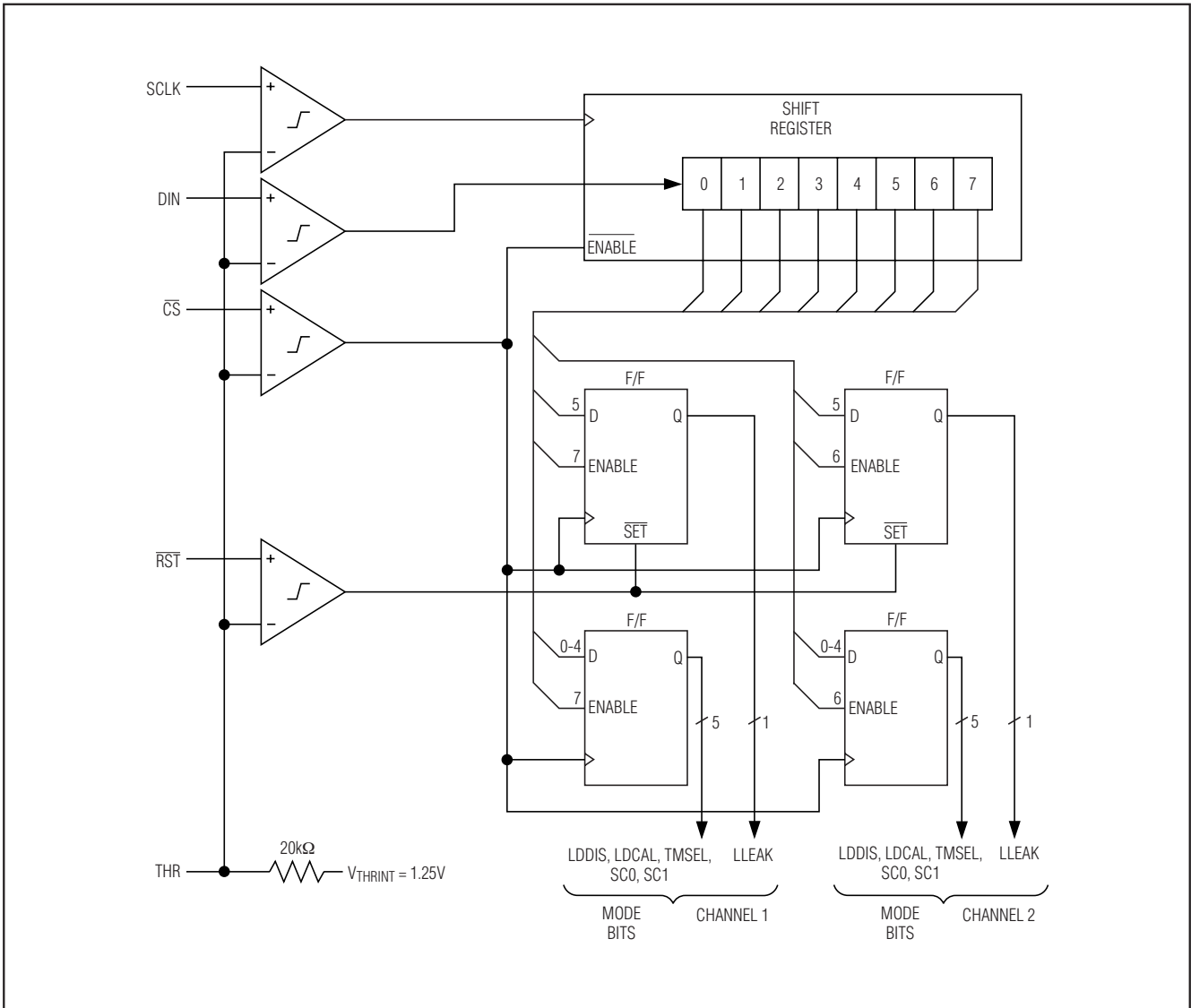


図5. シリアルインタフェース

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

MAX9967

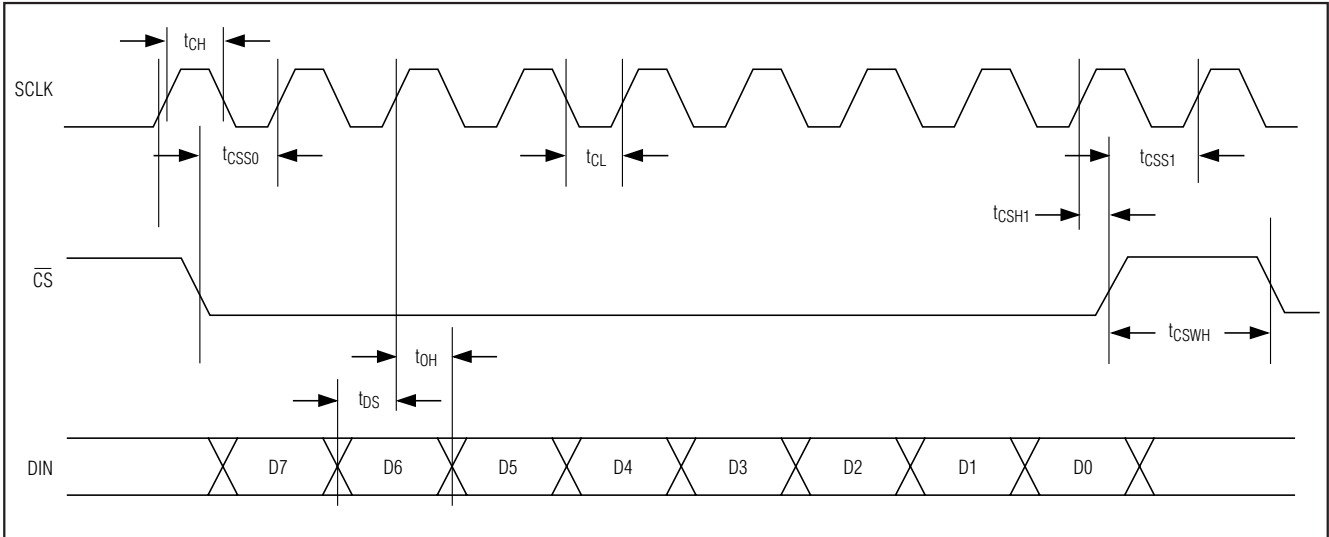


図6. シリアルインタフェースタイミング

シリアルインタフェースおよびデバイス制御

CMOS対応シリアルインタフェースは、MAX9967のモードを制御します(図5)。図6に示すように、制御データは、8ビットシフトレジスタにシフトインされ(MSB先頭)、 \overline{CS} がハイになるとラッチされます。ラッチは、デュアルピンドライバの各チャンネルに対して6制御ビットを備えています。シフトレジスタからのデータは、ビットD6とD7の決定にしたがってラッチの片方または両方にロードされます(図5と表5参照)。表1と2に示すように、制御ビットは、外部入力のDATA₀およびRCV₀とともに、各チャンネルの機能を管理します。 \overline{RST}

は、両チャンネルに対してLLEAK = 1を設定し、これらのチャンネルを低リークモードに強制します。他のすべてのビットは影響を受けません。パワーアップ時には、 V_{CC} と V_{EE} が安定化するまで \overline{RST} をローに保持してください。

アナログ制御入力THRは、入力ロジックのスレッシュホールドを設定するため、0.9Vという低いCMOSロジックの動作が可能です。THRを無接続のままにすると、内部リファレンスから1.25Vの通常スレッシュホールドが得られ、2.5V~3.3Vロジックとの整合性が保たれます。

表5. シフトレジスタ機能

BIT	NAME	DESCRIPTION
D7	CH1	Channel 1 Write Enable. Set to 1 to update the control byte for channel 1. Set to 0 to make no changes to channel 1.
D6	CH2	Channel 2 Write Enable. Set to 1 to update the control byte for channel 2. Set to 0 to make no changes to channel 2.
D5	LLEAK	Low-Leakage Select. Set to 1 to put driver, load, and clamps into low-leakage mode. Comparators remain active in low-leakage mode. Set to 0 for normal operation.
D4	TMSEL	Driver Termination Select. Set to 1 to force the driver output to the DTV ₀ voltage when RCV ₀ = 1 (term). Set to 0 to place the driver into high-impedance mode when RCV ₀ = 1 (high-Z). See Table 1.
D3	SC1	Driver Slew-Rate Select. SC1 and SC0 set the driver slew rate. See Table 2.
D2	SC0	
D1	LDDIS	Load Disable. Set LDDIS to 1 to disable the load. Set to 0 for normal operation. See Table 4.
D0	LDCAL	Load Calibrate. Overrides LDEN to enable load. Set LDCAL to 1 to enable load. Set LDCAL to 0 for normal operation. See Table 4.

35mA負荷付き、デュアル、低消費電力、500Mbps ATEドライバ/コンパレータ

MAX9967

温度モニタ

MAX9967は、+70°C (343K)のダイ温度で3.43Vの通常出力電圧をアサートする温度出力信号TEMPを供給します。出力電圧は、温度に比例して増加します。

放熱

通常状態において、MAX9967は、外部ヒートシンクを使用してエクスポーズドパッドから放熱する必要があります。エクスポーズドパッドは、 V_{EE} の電位にあり、 V_{EE} に接続するか、または絶縁する必要があります。

消費電力は、アプリケーションに大きく依存します。「ELECTRICAL CHARACTERISTICS(電気的特性)」表は、ソース電流とシンク電流を0mAに設定した状態の消費電力を示します。消費最大は、ソース電流とシンク電流がともに35mAで、 $V_{DUT_}$ が電圧範囲の最大値または最小値(-1.5Vまたは+6.5V)で、ダイオードブリッジが完全に整流しているときに発生します。こうした条件での消費電力の増加分(チャンネル当り)は次の通りです：

DUTにソース電流が流れている場合、 $\Delta P_D = (V_{DUT_} - V_{EE}) \times I_{SOURCE} + (V_{CC} - V_{EE}) \times I_{SINK}$ 。

DUTにシンク電流が流れている場合、 $\Delta P_D = (V_{CC} - V_{DUT_}) \times I_{SINK} + (V_{CC} - V_{EE}) \times I_{SOURCE}$ 。

DUTは、 $V_{DUT_} > V_{COM_}$ のとき、設定された(ロー)電流をソースします。電流の経路は、DUTからダイオードブリッジの外側とソース(ロー)電流源を經由して V_{EE} までです。設定されたシンク電流は、 V_{CC} からシンク(ハイ)電流源、ダイオードブリッジの内側、および整流バッファを經由して V_{EE} に流れます。

DUTは、 $V_{DUT_} < V_{COM_}$ のとき、設定された(ハイ)電流をシンクします。電流の経路は、 V_{CC} からシンク(ハイ)電流源とダイオードブリッジの外側を經由してDUTまでです。設定されたソース電流は、 V_{CC} から整流バッファ、ダイオードブリッジの内側、およびソース(ロー)電流源を經由して V_{EE} に流れます。

エクスポーズドパッドパッケージの θ_{J-C} は非常に低く、約3°C/W~4°C/Wです。このため、ダイ温度は、アプリケーションで採用される放熱方式に大きく依存します。

最大全消費電力は以下の条件で発生します：

- $V_{CC} = +10.5V$
- $V_{EE} = -6.5V$
- $I_{SOURCE} = I_{SINK} = 35mA$ (両チャンネルに対して)
- 負荷イネーブル
- $V_{DUT_} = +6.5V$
- $V_{COM_} < +5.5V$

こうした極限状態での全消費電力は約6Wです。この状態でダイ温度を許容レベルに維持することができない場合は、ソフトウェアクランプを使用して負荷出力電流を低い値に制限したり電源電圧を下げたりしてください。

チップ情報

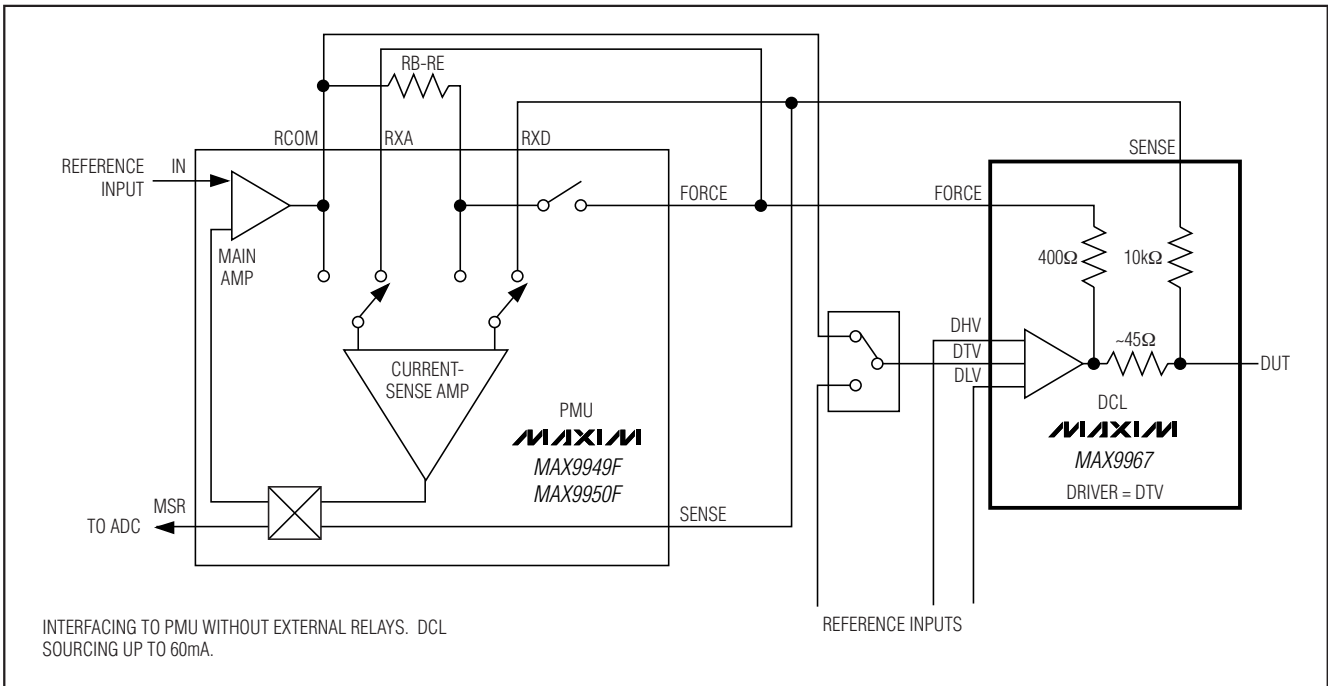
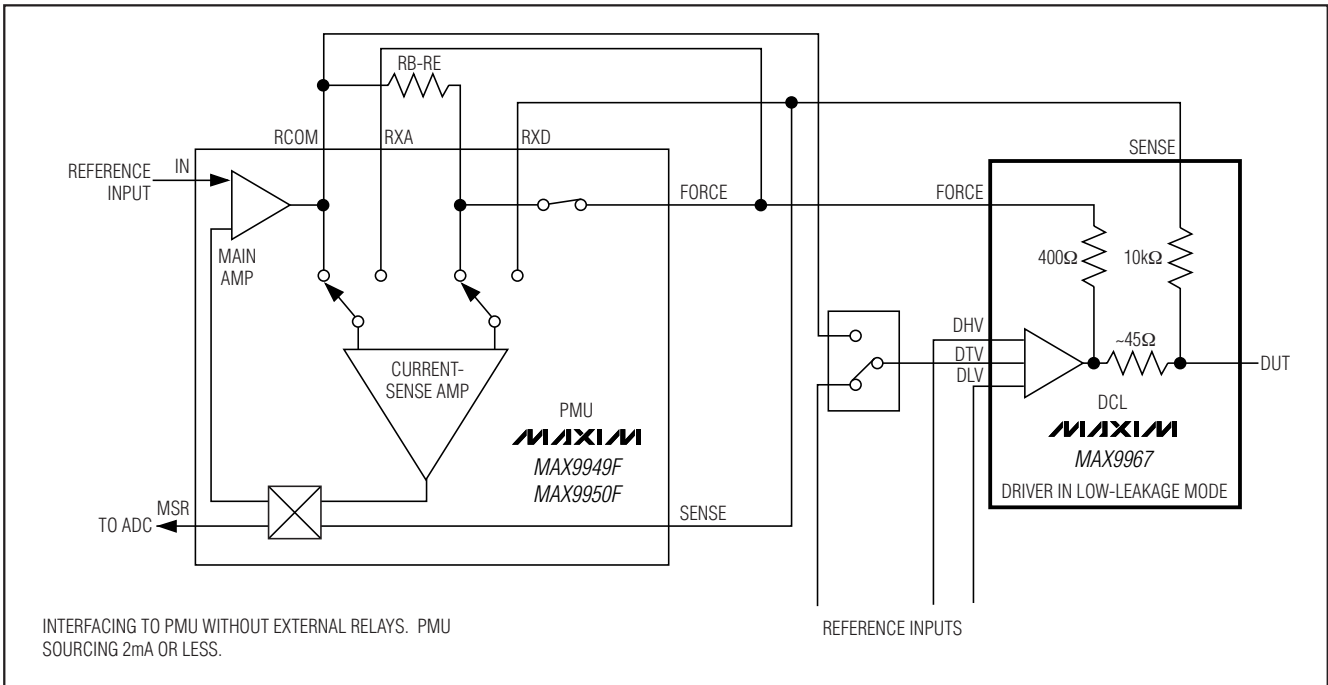
TRANSISTOR COUNT: 5656

PROCESS: Bipolar

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

MAX9967

標準動作回路(簡略化)



35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

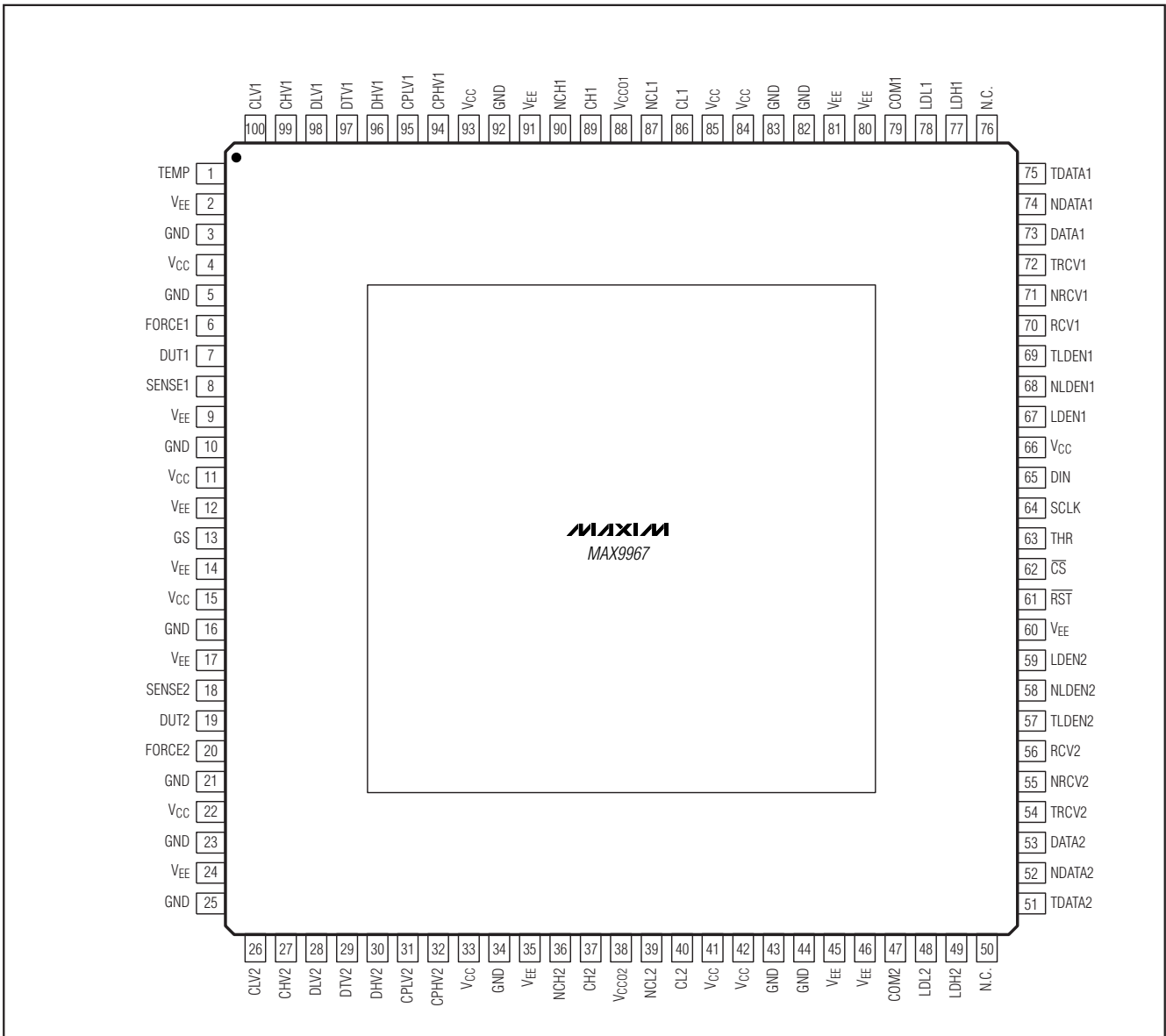
選択ガイド

PART	ACCURACY GRADE	COMPARATOR OUTPUT TYPE	COMPARATOR OUTPUT TERMINATION	HIGH-SPEED DIGITAL INPUT TERMINATION			HEAT EXTRACTION
				RCV_	DATA_	LDEN_	
MAX9967ADCCQ	A	Open collector	None	None	None	None	Top
MAX9967AGCCQ	A	Open collector	None	100	100	100	Top
MAX9967ALCCQ	A	Open collector	50Ω to V _{CCO_}	100	100	100	Top
MAX9967AMCCQ	A	Open emitter	ECL/LVPECL	None	None	None	Top
MAX9967AQCCQ	A	Open emitter	ECL/LVPECL	100	100	100	Top
MAX967ARCCQ	A	Open collector	50Ω to V _{CCO_}	None	100	100	Top
MAX9967BDCCQ	B	Open collector	None	None	None	None	Top
MAX9967BGCCQ	B	Open collector	None	100	100	100	Top
MAX9967BLCCQ	B	Open collector	50Ω to V _{CCO_}	100	100	100	Top
MAX9967BMCCQ	B	Open emitter	ECL/LVPECL	None	None	None	Top
MAX9967BQCCQ	B	Open emitter	ECL/LVPECL	100	100	100	Top
MAX9967BRCCQ	B	Open collector	50Ω to V _{CCO_}	None	100	100	Top

MAX9967

35mA負荷付き、デュアル、低消費電力、 500Mbps ATEドライバ/コンパレータ

ピン配置



パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

30 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**